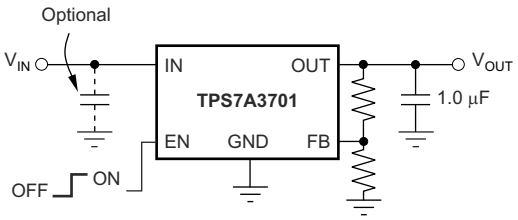
TPS7A37：逆電流保護付き、1% 高精度、1A 出力の低ドロップアウト レギュレータ

1 特長

- 1µF 以上のセラミック出力コンデンサにより安定
- 入力電圧範囲：2.2V ～ 5.5V
- 非常に低いドロップアウト電圧：
  - 1A 時最大 200mV
- わずか 1µF の出力コンデンサでも優れた負荷過渡応答
- NMOS トポロジにより、逆リーク電流を低減
- 非常に優れた精度：
  - 公称精度 0.23%
  - ライン、負荷、温度の全範囲にわたって 1% の総合精度
- シャットダウン モード時の I_Q：20nA 未満 (標準値)
- サーマル シャットダウンおよび電流制限によるフォルト保護

2 アプリケーション

- DSP、FPGA、ASIC、マイクロプロセッサのポイント オブ ロード レギュレーション
- スイッチング電源のポスト レギュレーション
- 携帯用およびバッテリ駆動の機器



代表的なアプリケーション回路 (可変バージョン)

3 説明

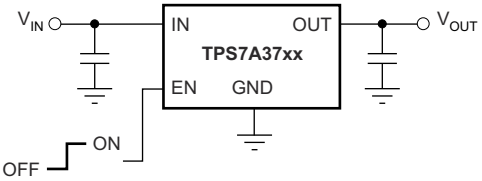
TPS7A37 リニア低ドロップアウト (LDO) 電圧レギュレータ ファミリは、NMOS パス素子を電圧フォロワ構成で使用しています。このトポロジは出力コンデンサの値と ESR の影響を比較的受けにくいため、広範な負荷構成に対応できます。わずか 1µF のセラミック出力コンデンサを使用した場合でも、負荷過渡応答が非常に優れています。また、NMOS トポロジにより、ドロップアウトも非常に小さくなります。

TPS7A37 ファミリは、非常に小さいドロップアウト電圧と小さなグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は 20nA 未満であり、携帯型アプリケーション向けに設計されています。これらのデバイスは、サーマル シャットダウンとフォールドバック電流制限で保護されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7A37	DRV (WSON、6)	2.00mm × 2.00mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーションの回路 (固定バージョン)

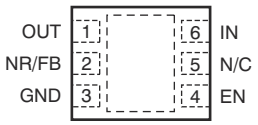
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 電気的特性 6
5.6 代表的特性 7
6 詳細説明 17
6.1 概要 17
6.2 機能ブロック図 17
6.3 機能説明 18
6.4 デバイスの機能モード 19
7 アプリケーションと実装 20
7.1 使用上の注意 20
7.2 代表的なアプリケーション 22
7.3 電源に関する推奨事項 25
7.4 レイアウト 25
8 デバイスおよびドキュメントのサポート 30
8.1 デバイス サポート 30
8.2 ドキュメントのサポート 30
8.3 ドキュメントの更新通知を受け取る方法 30
8.4 サポート・リソース 30
8.5 商標 30
8.6 静電気放電に関する注意事項 30
8.7 用語集 30
9 改訂履歴 31
10 メカニカル、パッケージ、および注文情報 31

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



消費電力が動作範囲を制限する可能性があります。熱に関する情報 表を参照してください。

図 4-1. DRV パッケージ、6 ピン WSON (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
EN	4	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「アプリケーション情報」の「シャットダウン」セクションを参照してください。EN をフローティング状態のままにしてはいけません。使用しない場合は IN に接続できます。
FB	2	I	可変電圧バージョンのみ - このピンは制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するために使用されます。
GND	3、Pad	—	グランド
IN	6	I	非安定型入力電源
N/C	5	—	未接続
NR/FB	2	—	固定電圧バージョンの場合のみ、このピンに外部コンデンサを接続すると、内部バンドギャップによって生成されるノイズがバイパスされし、出力ノイズを非常に低いレベルまで低減されます。
OUT	1	O	レギュレーター出力。安定動作のために、1.0µF 以上の任意のタイプのコンデンサが必要です。
PowerPAD	—	—	

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	6	V
	イネーブル、V_{EN}	-0.3	6	
	出力、V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
電流	最大出力、I_{OUT}	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	P_{DISS}	*熱に関する情報* 参照		
温度	動作時の接合部温度、T_J	-55	150	°C
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	2.2		5.5	V
V_{OUT}	公称出力電圧範囲	V_{FB}		5.5 - V_{DO}	V
V_{EN}	イネーブル入力電圧	0		V_{IN}	V
I_{OUT}	出力電流	0		1	A
C_{IN}	入力コンデンサ		1		µF
C_{OUT} (1)	出力コンデンサ	1			µF
C_{NR}	ノイズ低減コンデンサ		10		nF
R_1 (2)	可変出力抵抗分圧器の上側抵抗		$V_{OUT(nom)}$ × 15.833		kΩ
C_{FF}	フィードフォワード コンデンサ		10	100	nF
T_J	動作時接合部温度	-40		125	°C

(1) C_{OUT} × ESR の積が 50nF × Ω より小さい場合、過渡現象の後にリンギングが発生することがあります。
(2) この公称値は最良の精度を得るための値です。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS7A37 新しいシリコン	TPS7A37 レガシーシリコン	単位
		DRV (WSON)	DRV (WSON)	
		6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	67.3	67.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	100.8	87.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	33.7	36.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	4.4	1.8	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	33.8	37.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.7	7.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 1V[1]、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF (特に記述のない限り)。標準値は T_J = 25℃ 時に測定

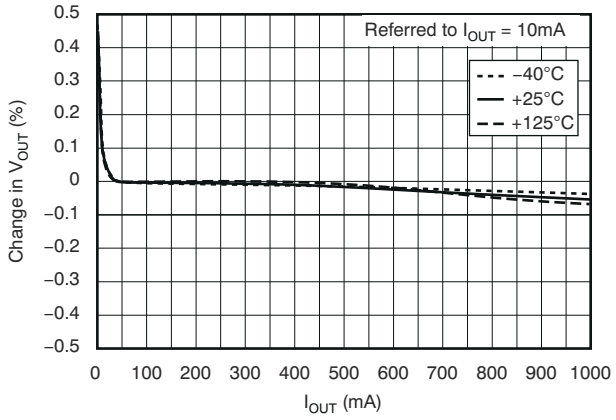
パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲[1][2]		2.2		5.5	V
V_{FB}	内部リファレンス	T_J = 25°C	1.192	1.204	1.216	V
V_{OUT}	出力電圧範囲	TPS7A3701[4]	V_{FB}		5.5 - V_{DO}	V
	精度、公称値	T_J = 25°C		0.23		%
	V_{IN}、I_{OUT}、および T[3] 全体で	V_{OUT} + 0.5V ≤ V_{IN} ≤ 5.5V、10mA ≤ I_{OUT} ≤ 1A	-1		1	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション[1]	$V_{OUT(nom)}$ + 0.5V ≦ V_{IN} ≦ 5.5V、旧型シリコン		0.01	0.03	%/V
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション[1]	$V_{OUT(nom)}$ + 0.5V ≦ V_{IN} ≦ 5.5V、新型シリコン		0.01	0.07	%/V
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	0.1mA ≤ I_{OUT} ≤ 300mA		0.25	0.35	%
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	0.1mA ≤ I_{OUT} ≤ 300mA		3	5	mV
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	10mA ≤ I_{OUT} ≤ 1A		0.5		%
V_{DO}	ドロップアウト電圧[5] (V_{IN} = $V_{OUT(nom)}$ - 0.1V)	I_{OUT} = 1A		130	200	mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	2.2V ≦ V_{IN} ≦ V_{OUT} + V_{DO}		0.25		Ω
I_{CL}	出力電流制限	V_{OUT} = 0.9 × $V_{OUT(nom)}$	1.05	1.6	2.2	A
I_{SC}	短絡電流	V_{OUT} = 0V		450		mA
I_{REV}	逆リーク電流[6] (-I_{IN})	V_{EN} ≦ 0.5V、0V ≦ V_{IN} ≦ V_{OUT}		0.1		µA
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)		400		µA
I_{GND}	グランド ピン電流	I_{OUT} = 1A、レガシーシリコン		1300		µA
I_{GND}	グランド ピン電流	I_{OUT} = 1A、新しいシリコン		880		µA
I_{SHDN}	シャットダウン時の電流 (I_{GND})	V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V		20		nA
I_{FB}	帰還ピン電流 (TPS7A3701)			0.1	0.6	µA
PSRR	電源電圧変動除去比 (リップル除去)	f = 100Hz、I_{OUT} = 1A		58		dB
		f = 10kHz、I_{OUT} = 1A		37		
V_N	出力ノイズ電圧、BW = 10Hz~100kHz	C_{OUT} = 10µF		27 × V_{OUT}		μV_{RMS}
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、レガシーシリコン		600		µs
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、新しいシリコン		431		µs
$V_{EN(high)}$	EN ピン 高 (イネーブル)		1.7		V_{IN}	V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)		0		0.5	V
I_{EN}	イネーブル ピンの電流 (イネーブル)	V_{EN} = 5.5V		20		nA
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇		160		°C
		リセット、温度低下		140		
T_J	動作時接合部温度		-40		125	℃

(1) 最小 V_{IN} = V_{OUT} + V_{DO} または 2.2V のいずれか大きい方。
(2) $V_{OUT(nom)}$ < 1.6V の場合、V_{IN} ≦ 1.6V になると出力が V_{IN} にロックされ、過電圧による損傷が発生する可能性があります。この状況を避けるため、V_{IN} をオフにする前にデバイスを無効にしてください。(レガシーシリコンのみ)
(3) TPS7A3701 は、V_{OUT} = 1.2V でテストされています。
(4) この仕様には外付け抵抗の許容誤差は含まれていません。
(5) $V_{OUT(nom)}$ < 2.3V の出力バージョンでは、最小 V_{IN} = 2.2V であるため、V_{DO} は測定されません。
(6) 固定電圧バージョンのみ対応。詳細は「*アプリケーション情報*」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

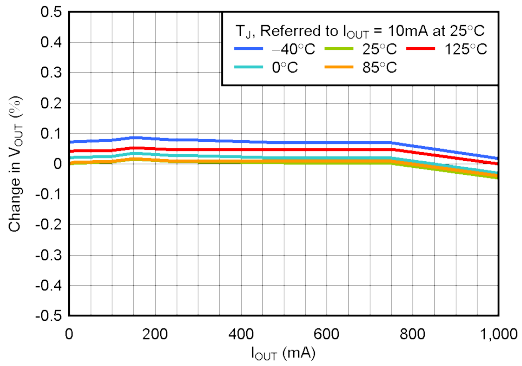
5.6 代表的特性

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



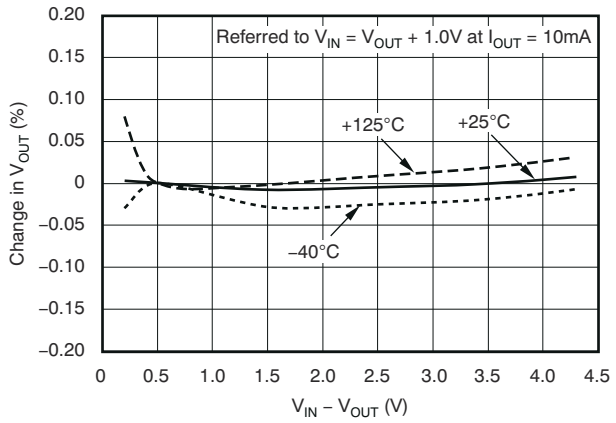
レガシー シリコン

図 5-1. ロード レギュレーション



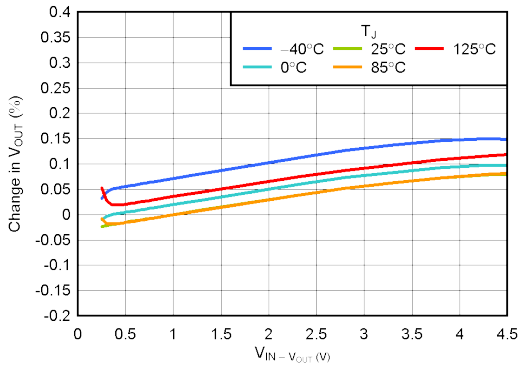
新しいシリコン

図 5-2. ロード レギュレーション



レガシー シリコン

図 5-3. ライン レギュレーション



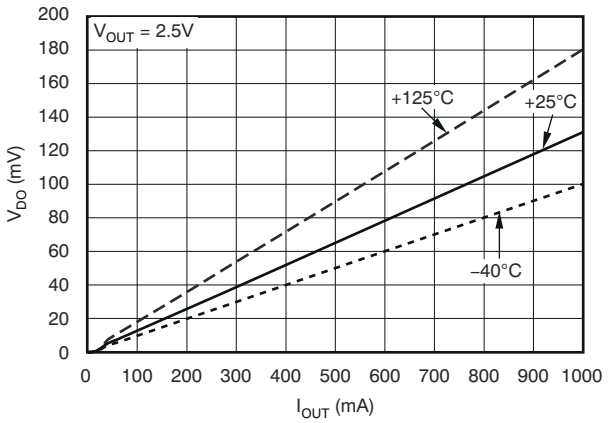
新しいシリコン

図 5-4. ライン レギュレーション

Copyright © 2026 Texas Instruments Incorporated

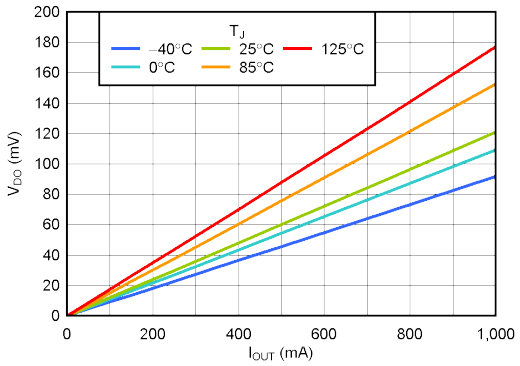
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



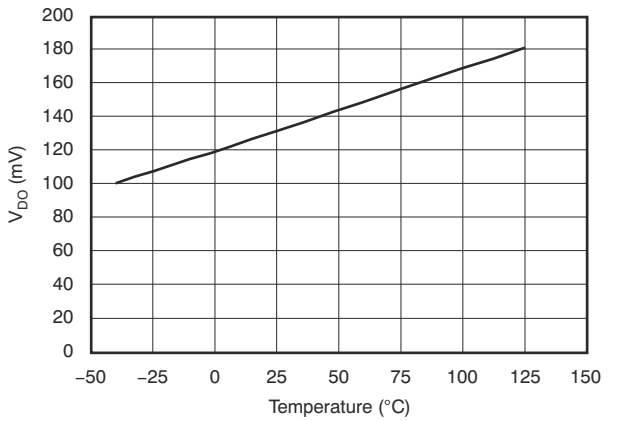
レガシー シリコン

図 5-5. ドロップアウト電圧と出力電流との関係



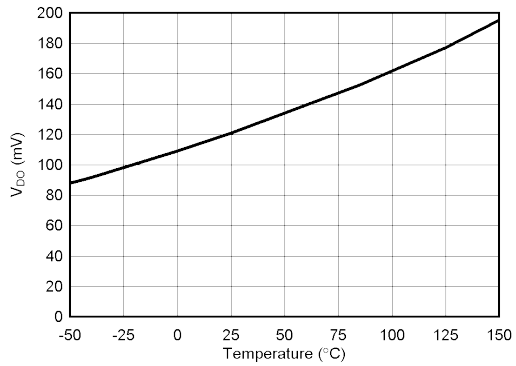
新しいシリコン

図 5-6. ドロップアウト電圧と出力電流との関係



I_{OUT} = 1A　　V_{OUT} = 2.5V　　レガシー シリコン

図 5-7. ドロップアウト電圧 vs 温度



新しいシリコン

図 5-8. ドロップアウト電圧 vs 温度

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。

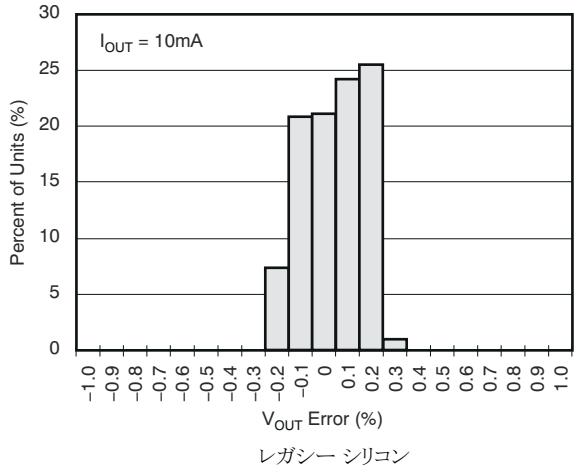


図 5-9. 出力電圧ヒストグラム

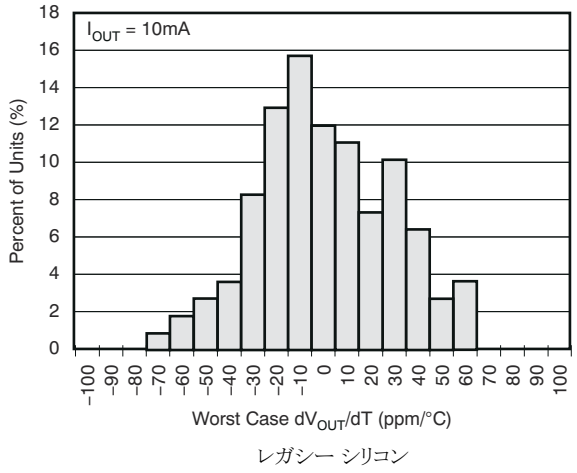


図 5-10. 出力電圧ドリフトのヒストグラム

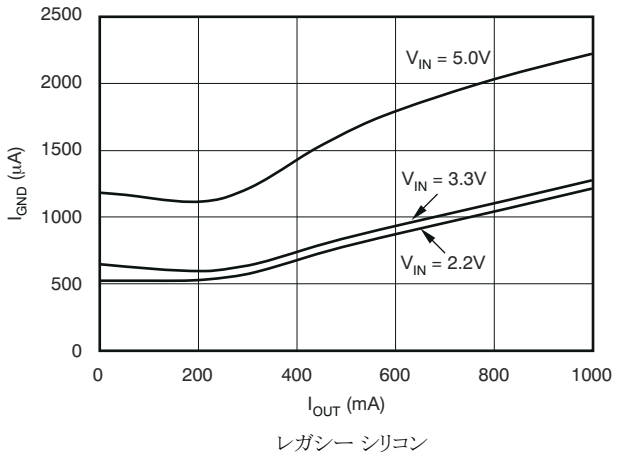


図 5-11. グランドピンの電流と出力電流との関係

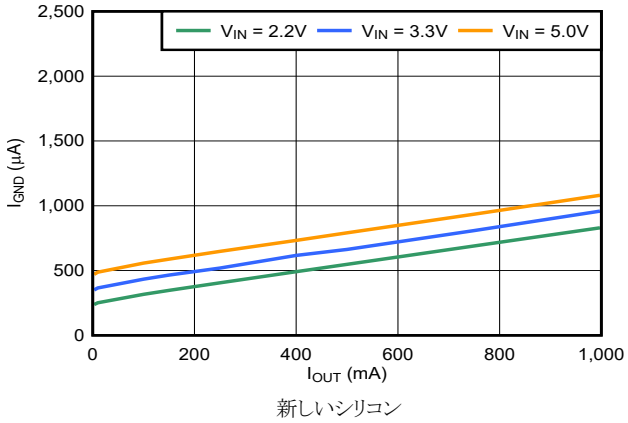
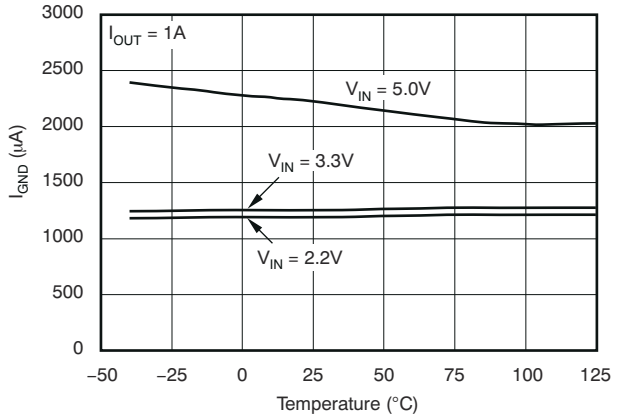


図 5-12. グランドピンの電流と出力電流との関係

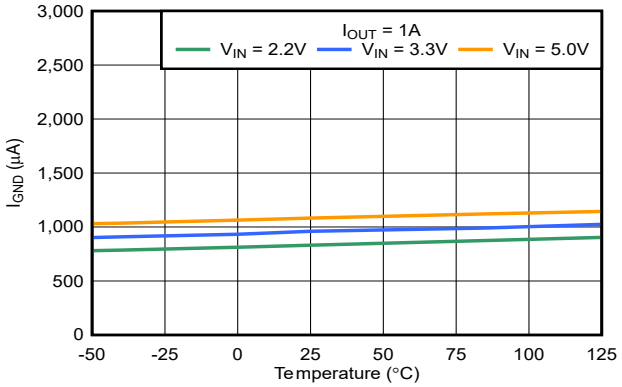
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



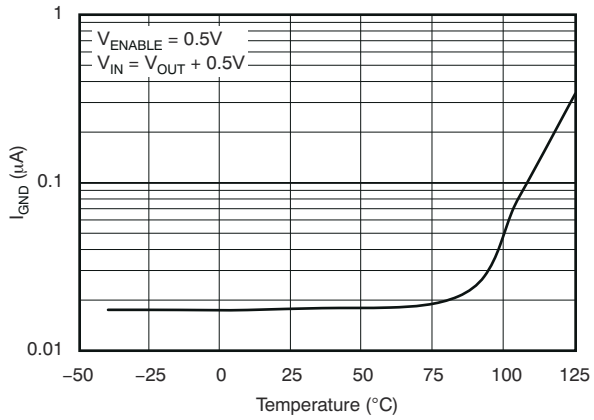
レガシー シリコン

図 5-13. グランドピンの電流と温度との関係



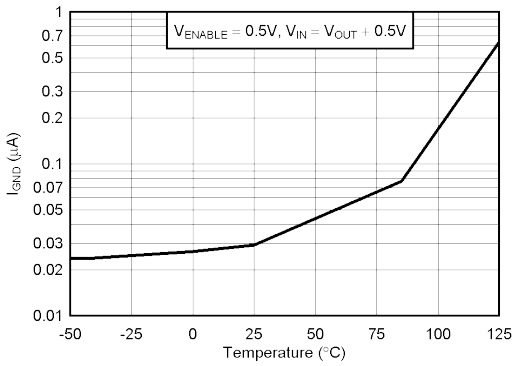
新しいシリコン

図 5-14. グランドピンの電流と温度との関係



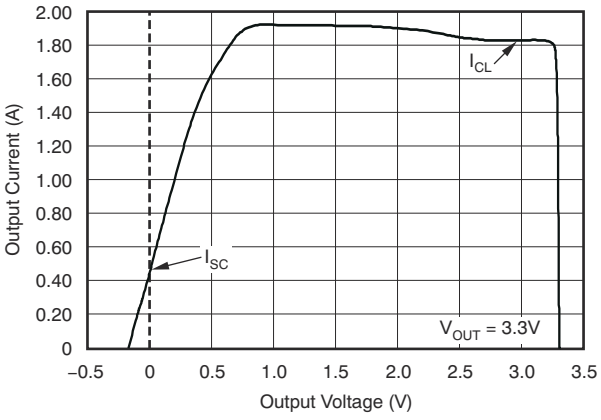
レガシー シリコン

図 5-15. シャットダウン時のグランドピンの電流と温度との関係



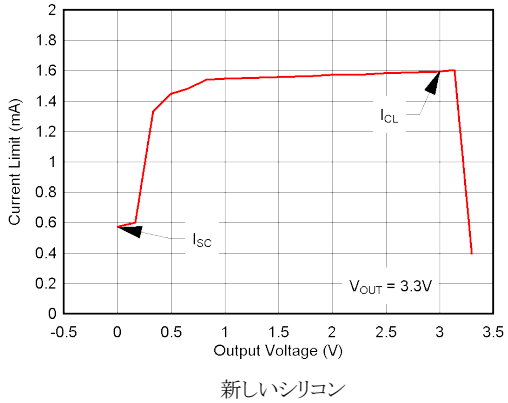
新しいシリコン

図 5-16. シャットダウン時のグランドピンの電流と温度との関係



レガシー シリコン

図 5-17. 電流制限と V_{OUT} (フォールドバック) の関係



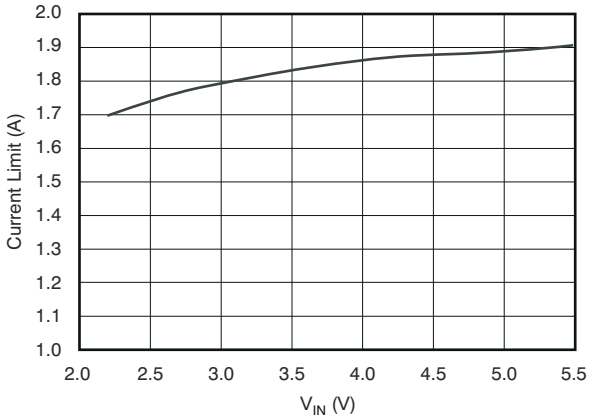
新しいシリコン

図 5-18. 電流制限と V_{OUT} (フォールドバック) の関係

Copyright © 2026 Texas Instruments Incorporated

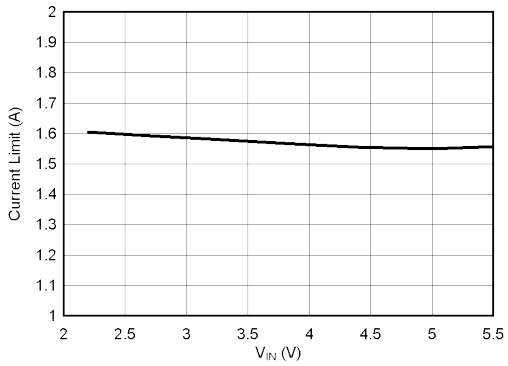
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



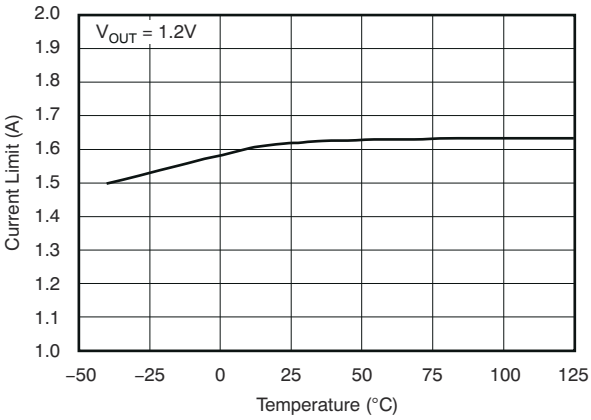
レガシー シリコン

図 5-19. 電流制限と V_{IN} との関係



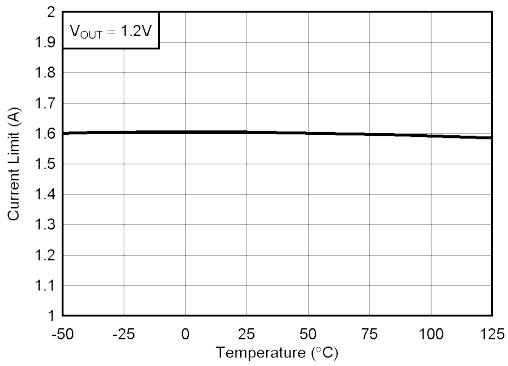
新しいシリコン

図 5-20. 電流制限と V_{IN} との関係



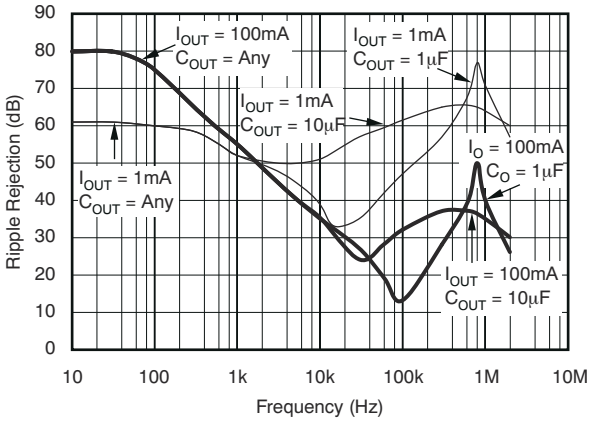
レガシー シリコン

図 5-21. 電流制限と温度との関係



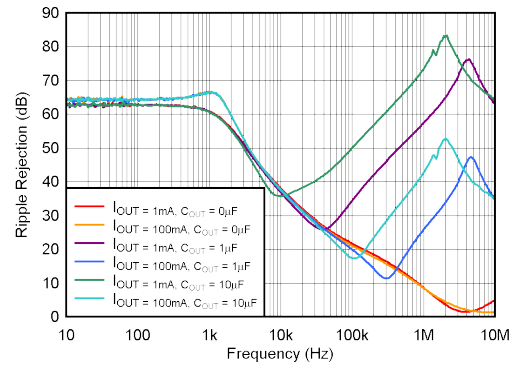
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR (リップル除去) と周波数との関係



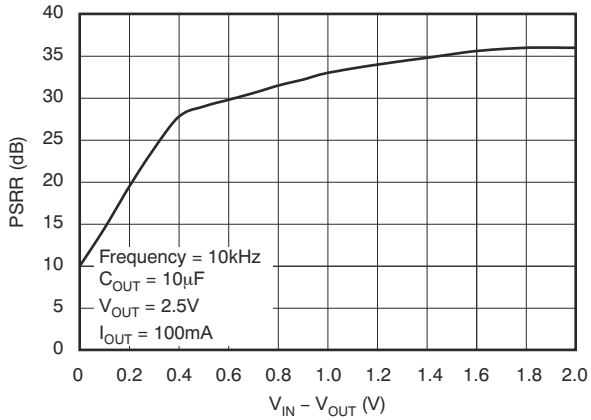
新しいシリコン

図 5-24. PSRR (リップル除去) と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

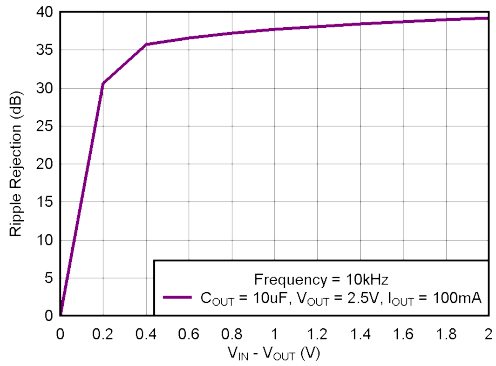
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



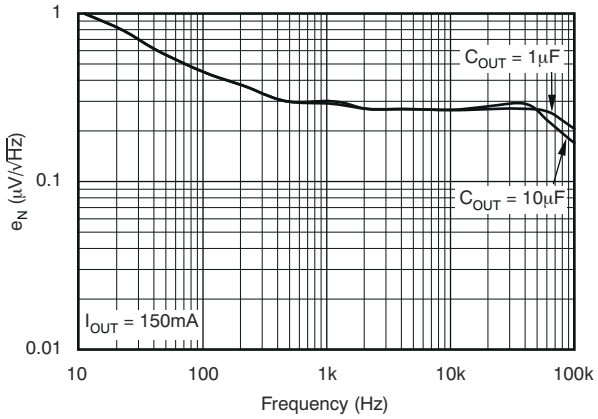
レガシー シリコン

図 5-25. PSRR (リップル除去) と V_{IN} - V_{OUT} との関係



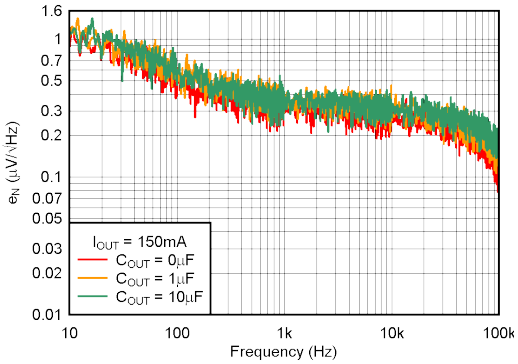
新しいシリコン

図 5-26. PSRR (リップル除去) と (V_{IN} – V_{OUT}) との関係



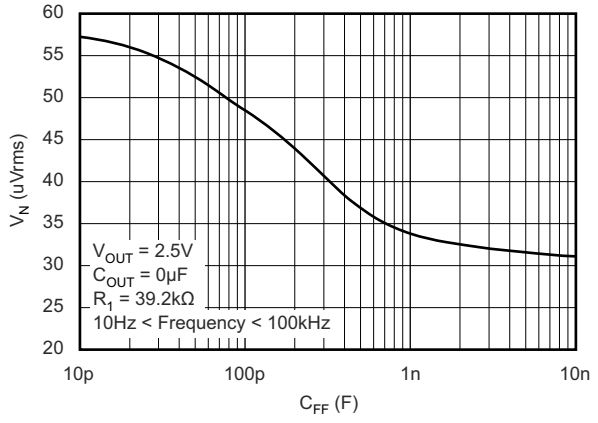
レガシー シリコン

図 5-27. ノイズ スペクトル密度



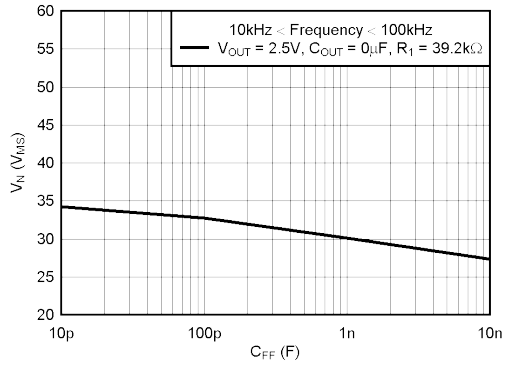
新しいシリコン

図 5-28. ノイズ スペクトル密度



レガシー シリコン

図 5-29. TPS7A3701：RMS ノイズ電圧と C_{FF} との関係



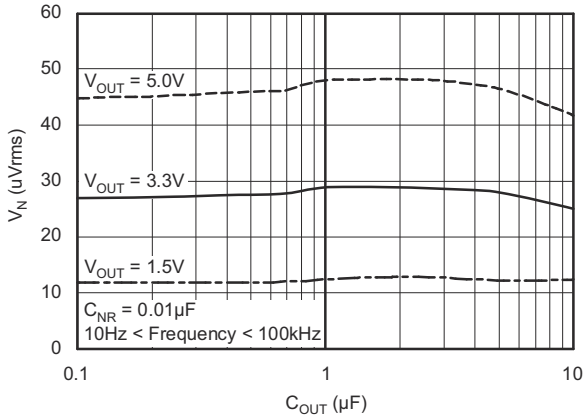
新しいシリコン

図 5-30. TPS7A3701 の RMS ノイズ電圧と C_{FF} との関係

Copyright © 2026 Texas Instruments Incorporated

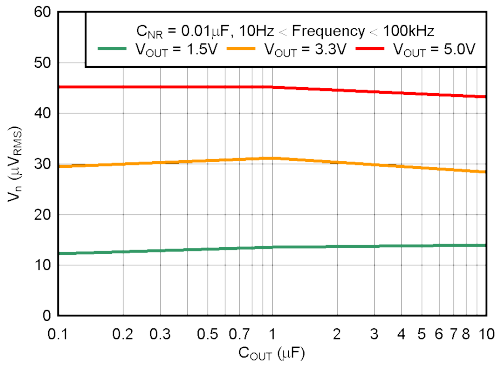
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



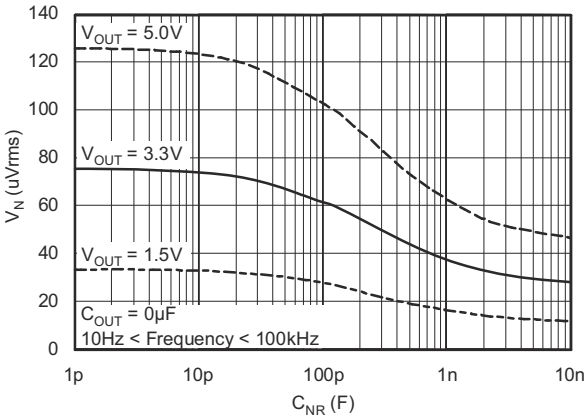
レガシー シリコン

図 5-31. RMS ノイズ電圧と C_{OUT} との関係



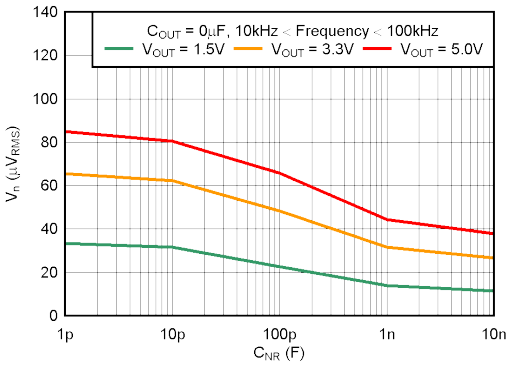
新しいシリコン

図 5-32. RMS ノイズ電圧と C_{OUT} との関係



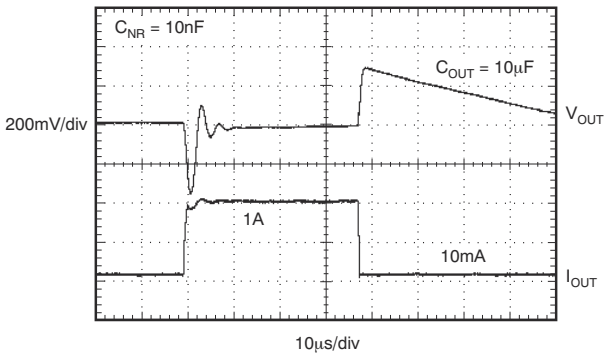
レガシー シリコン

図 5-33. RMS ノイズ電圧と C_{NR} との関係



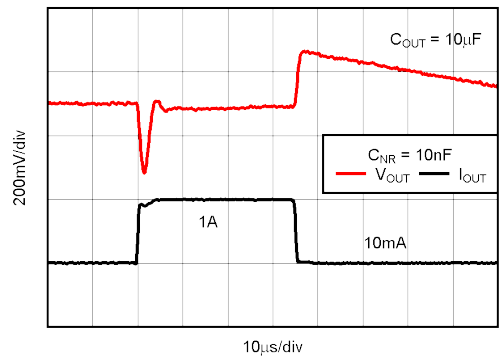
新しいシリコン

図 5-34. RMS ノイズ電圧と C_{NR} との関係



V_{OUT} = 3.3V　　レガシー シリコン

図 5-35. TPS7A37 : 負荷過渡応答



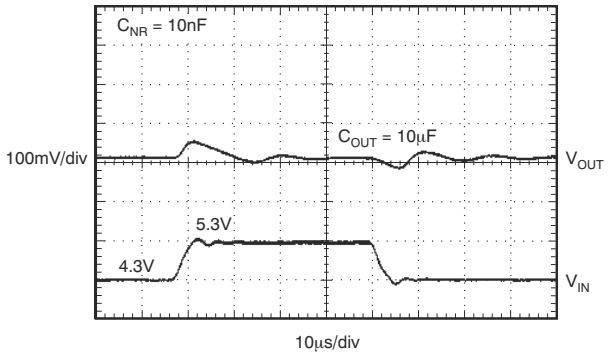
新しいシリコン

図 5-36. TPS7A37 の負荷過渡応答

Copyright © 2026 Texas Instruments Incorporated

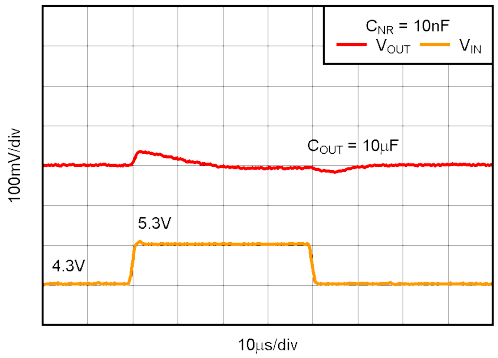
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



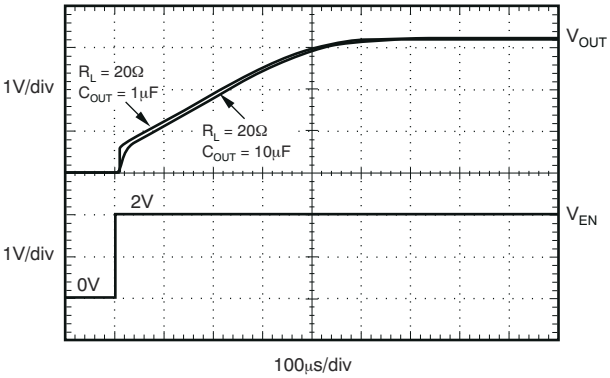
V_{OUT} = 3.3V　　レガシー シリコン

図 5-37. TPS7A37：ライン過渡応答



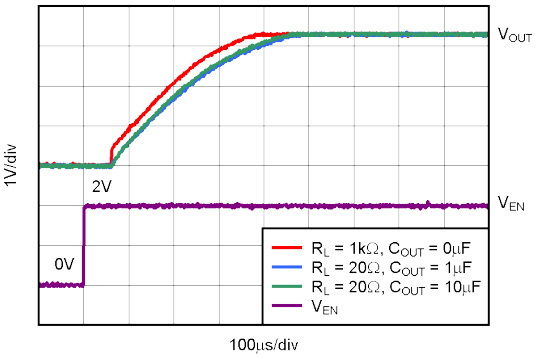
新しいシリコン

図 5-38. TPS7A37 のライン過渡応答



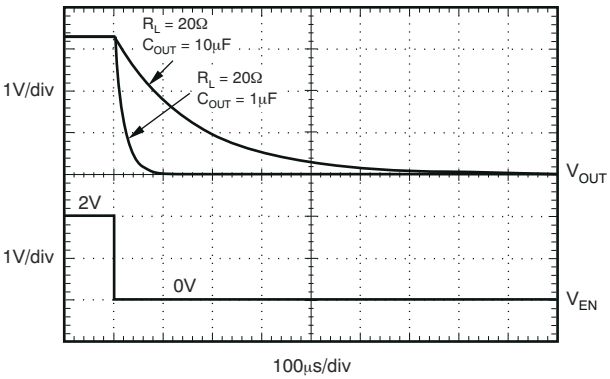
レガシー シリコン

図 5-39. TPS7A3701：ターンオン応答



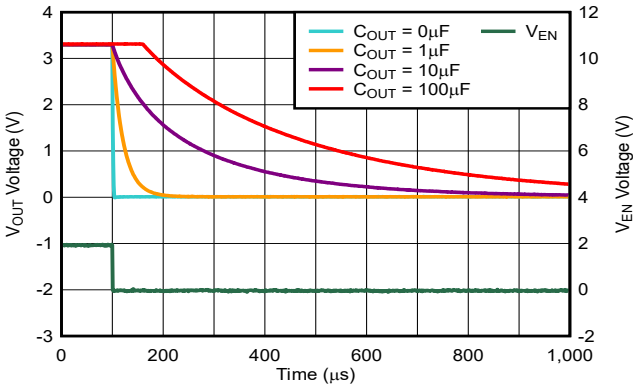
新しいシリコン

図 5-40. TPS7A3701 のターンオン応答



レガシー シリコン

図 5-41. TPS7A3701：ターンオフ応答



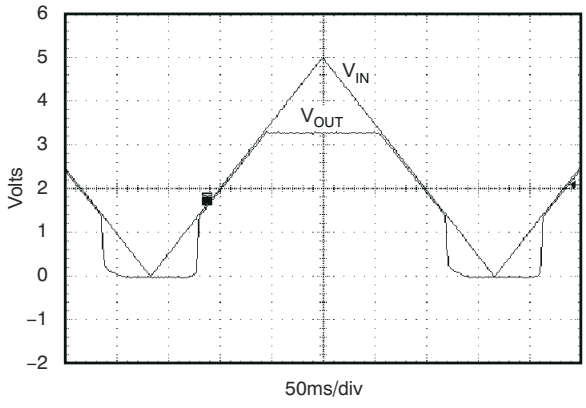
新しいシリコン

図 5-42. TPS7A3701 のターンオフ応答

Copyright © 2026 Texas Instruments Incorporated

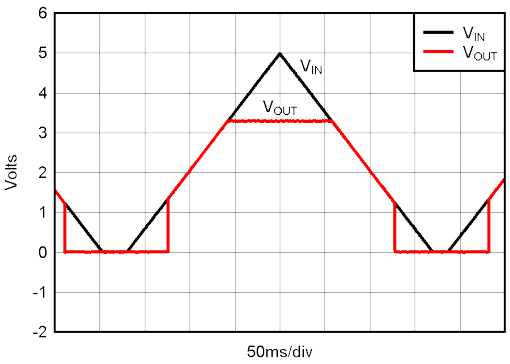
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



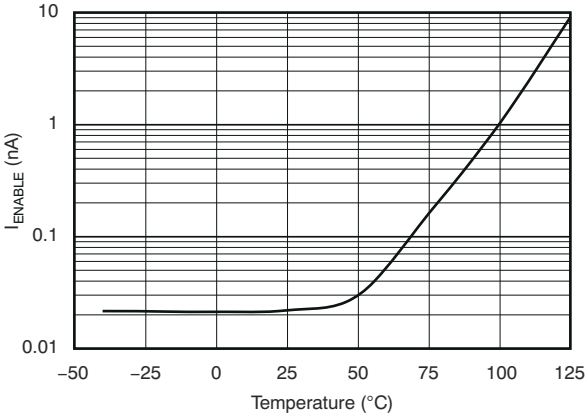
レガシー シリコン

図 5-43. TPS7A3701：電源投入/電源遮断 (V_{OUT} = 3.3V)



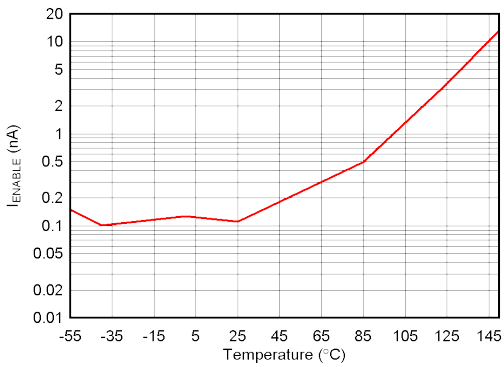
新しいシリコン

図 5-44. TPS7A3701、V_{OUT} = 3.3V 電源オンおよび電源オフ



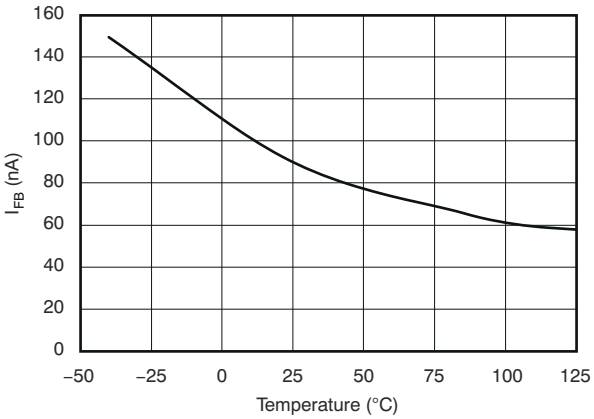
レガシー シリコン

図 5-45. I_{ENABLE} vs 温度



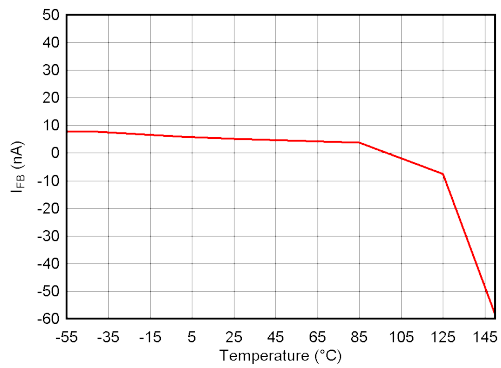
新しいシリコン

図 5-46. I_{ENABLE} vs 温度



レガシー シリコン

図 5-47. TPS7A3701：I_{FB} と温度との関係

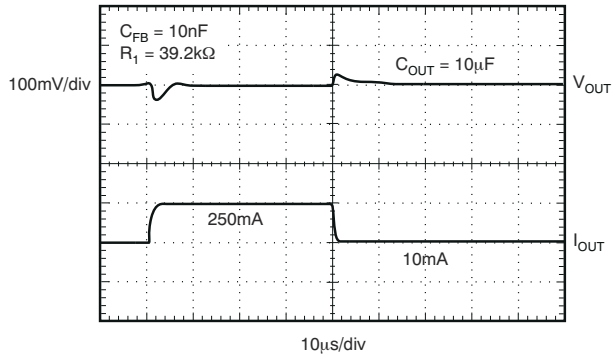


新しいシリコン

図 5-48. TPS7A3701I_{FB} と温度との関係

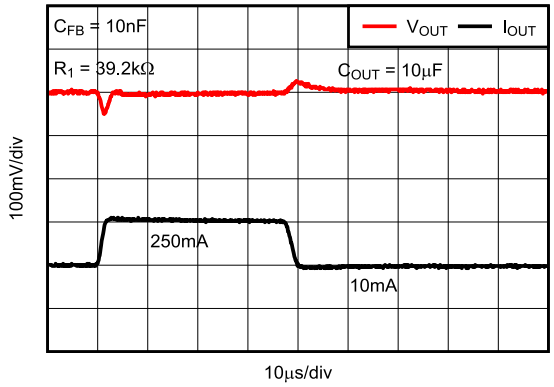
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF の条件下とします。



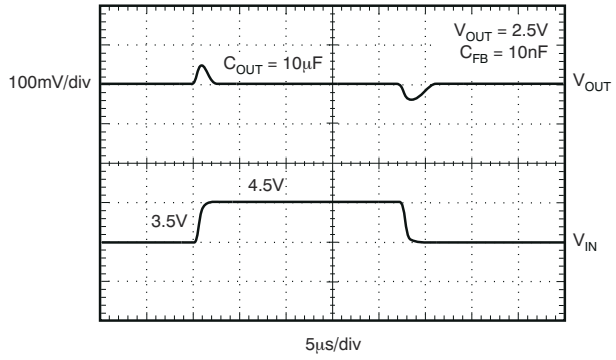
レガシー シリコン

図 5-49. TPS7A3701：負荷過渡応答、可変バージョン



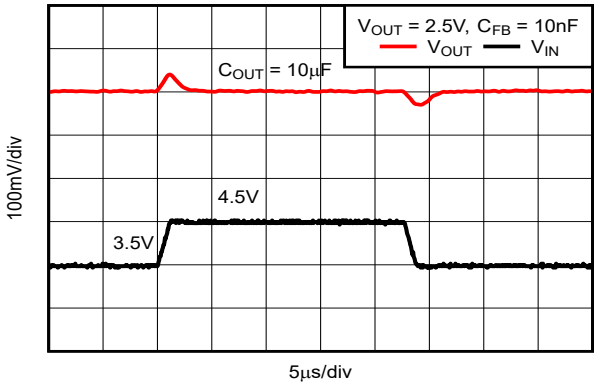
新しいシリコン、C_{OUT} = 10µF タンタル

図 5-50. TPS7A3701 の負荷過渡応答、可変バージョン



レガシー シリコン

図 5-51. TPS7A3701：ライン過渡応答、可変バージョン



新しいシリコン、C_{OUT} = 10µF タンタル

図 5-52. TPS7A3701 のライン過渡応答、可変バージョン

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS7A37 は、超低ドロップアウト性能および逆電流保護を実現するために NMOS パストランジスタを採用した LDO レギュレータ ファミリに属しています。これらの機能に加え、イネーブル入力を備えた TPS7A37 は、携帯用途向けに設計されています。このレギュレータ ファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

6.2 機能ブロック図

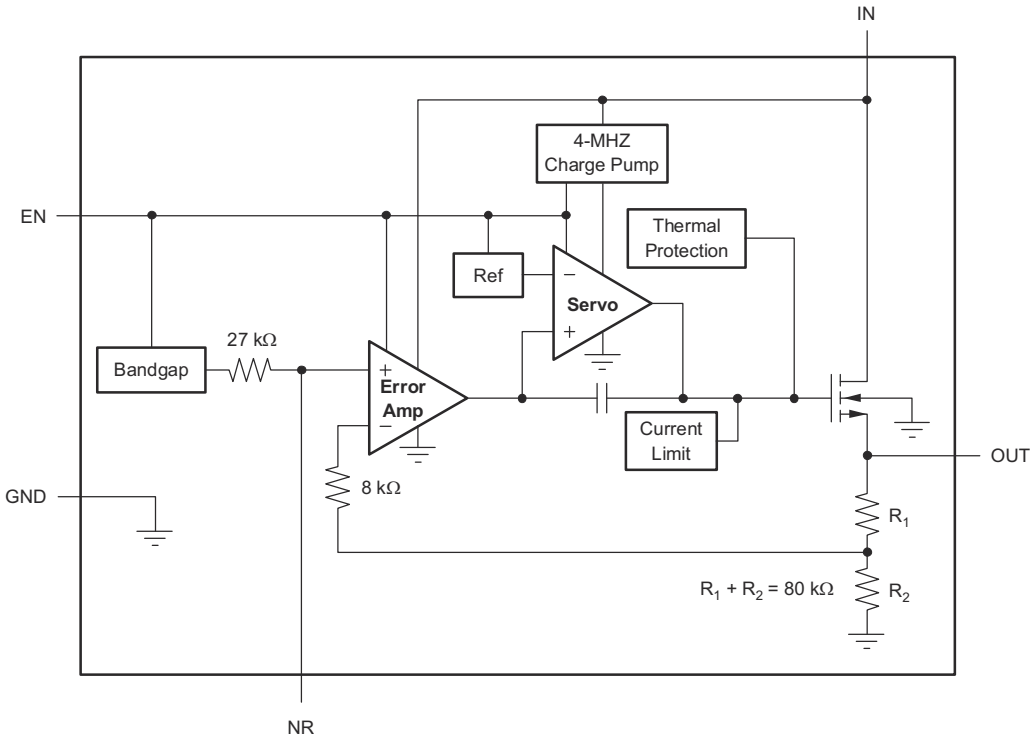
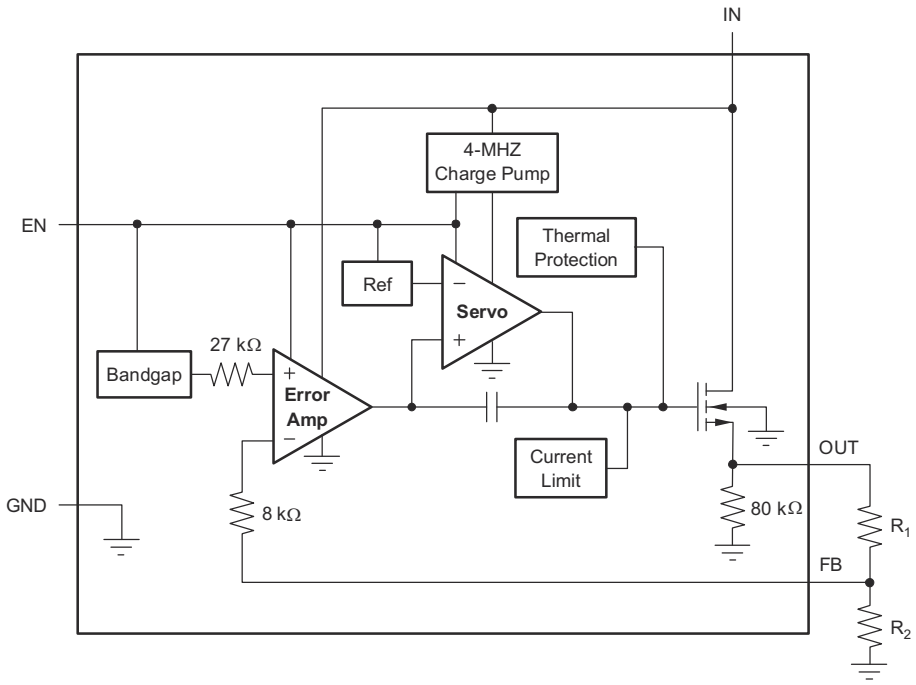


図 6-1. 固定電圧バージョン



Standard 1% Resistor Values for Common Output Voltages

V_O	R_1	R_2
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3 kΩ
1.8 V	28.0 kΩ	56.2 kΩ
2.5 V	39.2 kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3.0 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$; $R_1 \parallel R_2 \cong 19\ k\Omega$ for best accuracy.

図 6-2. 可変電圧バージョン

6.3 機能説明

6.3.1 内部電流制限

TPS7A37 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、V_{OUT} が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。*セクション 5.6* セクションの 図 5-17 を参照してください。

図 5-17 から、V_{OUT} が約 -0.2V のとき、電流制限は 0mA になることにご注意ください。したがって、EN が high になる前に OUT が強制的に -0.2V より低くなった場合、デバイスがスタート アップしない可能性があります。正と負の両方の電源電圧で動作するアプリケーションでは、TPS7A37 を最初に有効にする必要があります。

6.3.2 イネーブルおよびシャットダウン

イネーブル ピン (EN) はアクティブ High であり標準的な TTL-CMOS レベルと互換性があります。V_{EN} が 0.5V (最大値) 未満になると、レギュレータはオフになり、GND ピンの電流は約 10nA にまで低下します。EN を使用してレギュレータをシャットダウンすると、すべての電荷がパス トランジスタ ゲートから取り除かれ、出力はレギュレートされた V_{OUT} に戻ります (図 5-39 を参照)。

シャットダウン機能が不要な場合は、EN ピンを V_{IN} に接続します。ただし、この構成ではパス ゲートが常に放電されるとは限らず、V_{IN} が除去された後も、パストランジスタが相当な時間オン (拡張) のままになる可能性があります。この状況では、逆電流が流れ (IN ピンが低インピーダンスの場合)、パワーアップ時のランプ時間が短くなります。さらに、V_{IN} のランプ時間が数ミリ秒より遅い場合、パワーアップ時に出力がオーバーシュートを起こす可能性があります。

条件によっては、電流制限フォールドバックを用いてデバイスのスタートアップを防止できることを注意してください。詳細については、「セクション 6.3.1」セクションを参照してください。

6.3.3 逆電流

TPS7A37 の NMOS パス素子は、パス デバイスのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、本質的な安全性を高めます。パス素子のゲートから確実にすべての電荷を除去するため、入力電圧が解除される前に EN ピンを low に駆動する必要があります。この手順を実行しないと、ゲートに蓄積された電荷が原因でパス素子がオンのままになる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

EN ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印加されることによって IN ピンから流れ出す電流を指すことに注意してください。80kΩ 内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます（図 6-1 および図 6-2 を参照）。

TPS7A3701 の場合、V_{FB} が V_{IN} を 1.0V 以上上回ると、逆電流が発生する可能性があります。

6.4 デバイスの機能モード

EN ピンに 1.7V 以上を加えると、レギュレータが動作します。EN ピンを 0.5V 未満にすると、レギュレータはシャットダウンモードに移行します。シャットダウン時には、デバイスの消費電流が 20nA（標準値）に低下します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 入出力コンデンサの要件

入力インピーダンスが非常に低い場合、安定性のために入力コンデンサは必要ありませんが、レギュレータの近くにある入力電源の両端に、0.1µF ～ 1µF の低等価直列抵抗 (ESR) コンデンサを接続することは、アナログ回路設計における良い慣行です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

TPS7A37 の安定動作には、1µF の出力コンデンサが必要です。本デバイスは、利用可能なすべてのタイプとコンデンサの値で安定するよう設計されています。複数の低 ESR コンデンサが並列に接続されているアプリケーションでは、C_{OUT} × ESR < 50nΩ-F の場合、リンギングが発生する可能性があります。総 ESR には、コンデンサの ESR だけでなく、基板、ソケット、はんだ接合部の抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

7.1.2 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧 V_{REF} を生成します。このリファレンスは TPS7A37 の主要なノイズ源であり、リファレンス出力 (NR) で約 $32\mu V_{RMS}$ (10Hz ～ 100kHz) を生成します。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は以下で求められます。

$$V_N = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

V_{REF} の値が 1.2V であるため、この関係は以下のように減少します。

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (2)$$

C_{NR} がない場合。

外部ノイズ低減コンデンサ C_{NR} がノイズ低減ピン (NR) からグランドに接続されている時、27kΩ の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。C_{NR} = 10nF の場合、10Hz ～ 100kHz の帯域幅での合計ノイズは約 3.2 倍に低減され、そのおおよその関係は次のように得られます。

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (3)$$

C_{NR} = 10nF の場合。

このノイズ低減の効果は、「標準特性」セクションで、RMS ノイズ電圧と C_{NR} の関係として示されています。

可変バージョンの TPS7A3701 には、NR ピンがありません。しかし、帰還コンデンサ C_{FB} を出力から帰還ピン (FB) に接続することで、出力ノイズが減少し、負荷過渡性能が向上します。このコンデンサは、0.1µF に限定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

TPS7A37 は、内部のチャージポンプを使用して、NMOS パス素子のゲートが V_{OUT} を超える電圧で駆動するのに十分な内部供給電圧を生成します。チャージ ポンプは約 4MHz で約 250µV のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における I_{OUT} および C_{OUT} のほとんどの値で、無視できるほど小さくなります。

7.1.3 ドロップアウト電圧

TPS7A37 は NMOS パストランジスタを使用して、非常に低いドロップアウト電圧を実現しています。(V_{IN} – V_{OUT}) がドロップアウト電圧 (V_{DO}) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の $R_{DS, ON}$ となります。

TPS7A37 では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために V_{IN} から V_{OUT} への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、dc ドロップアウト電圧の約 2 倍です。V_{IN} – V_{OUT} の値がこの境界を超えている場合、通常の過渡応答が保証されます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム (V_{IN} から V_{OUT} への電圧降下) の関数で求められます。ワーストケース条件 [(V_{IN} – V_{OUT}) が dc ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、TPS7A37 は仕様どおりのレギュレーション精度に復帰するまでに数百マイクロ秒を要する場合があります。

7.1.4 過渡応答

電圧フォロワ構成の NMOS パス素子により低い開ループ出力インピーダンスが得られるため、動作に 1.0µF 出力コンデンサは不要です。他のレギュレータと同様に、OUT ピンからグランドへの静電容量を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、OUT ピンと FB ピンとの間にコンデンサ、すなわち C_{FB} を追加することでも過渡応答を改善できます。

TPS7A37 には、出力が過電圧の際のアクティブ プルダウン機能はありません。このアーキテクチャにより、代替電源などの高い電圧源を出力に接続する用途が可能になります。このアーキテクチャはまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ C_{OUT} と内部または外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は以下によって示されます。

(固定電圧バージョン)

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \quad (4)$$

(可変電圧バージョン)

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 代表的なアプリケーション

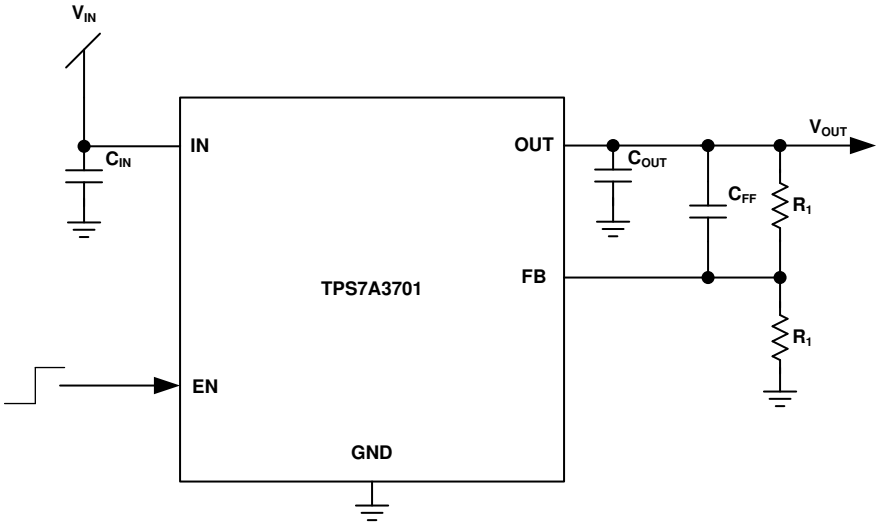


図 7-1. 代表的なアプリケーション回路図

7.2.1.1 設計要件

表 7-1 に、設計パラメータの一覧を示します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	3.6V
出力電圧	3.3V
DC 出力電流	100mA
ピーク出力電流	1A

7.2.1.2 詳細な設計手順

このアプリケーションでは過渡現象が発生しているため、入力コンデンサと出力コンデンサを使用する必要があります。A C IN = C_{OUT} = 10µF コンデンサを選択しました。

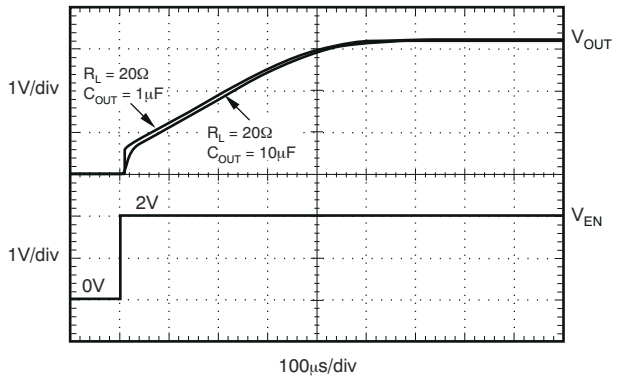
選択したコンデンサの ESR は、全周波数帯域の複素インピーダンスの大きさを調べることで確認できます。|Zc| が最小値に達すると、DC ESR はその周波数における |Zc| の値になります。選択したコンデンサの ESR は 10mΩ です。これにより、10mΩ × 10µF = 100nΩ-F > 50nΩ-F となり、過渡時のリンギングが最小限に抑えられます。

V IN - V_{OUT} の変化は 100mA DC 電流でわずか 300mV であるため、JEDEC 標準基板における周囲温度からの予測される接合部温度上昇は 67.2C/W×0.3V×0.1A = 2C です。

最高の精度を実現するために、R1 = 52.3kΩ および R2 = 30.1kΩ で、10nF の C_{FF} を使用して出力ノイズを低減します。

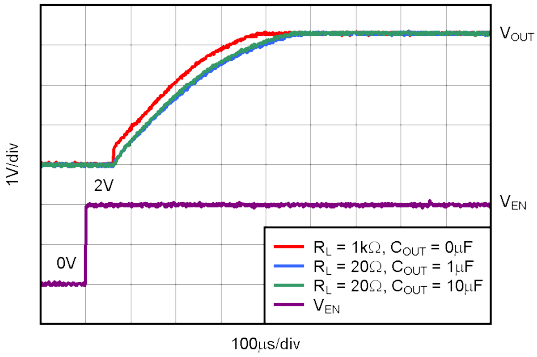
Copyright © 2026 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線



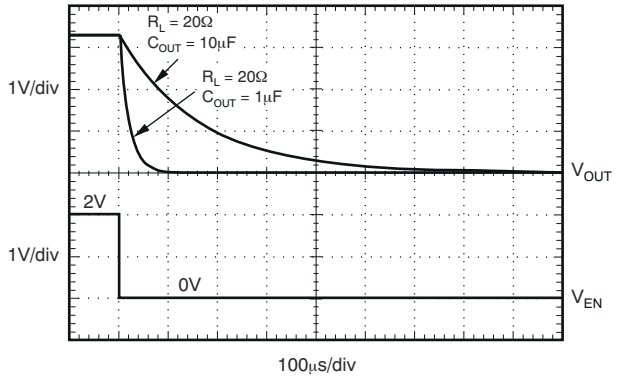
レガシー シリコン

図 7-2. TPS7A3701：ターンオン応答



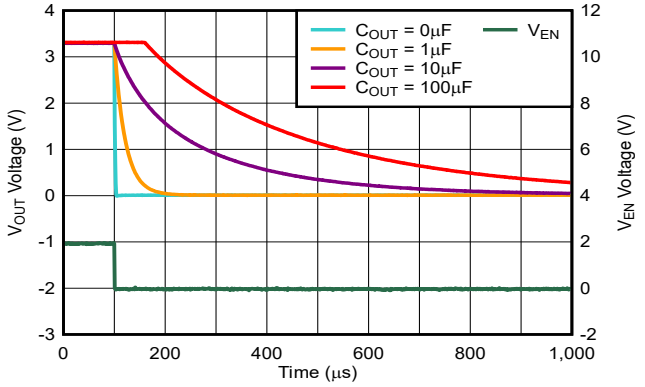
新しいシリコン

図 7-3. TPS7A3701 のターンオン応答



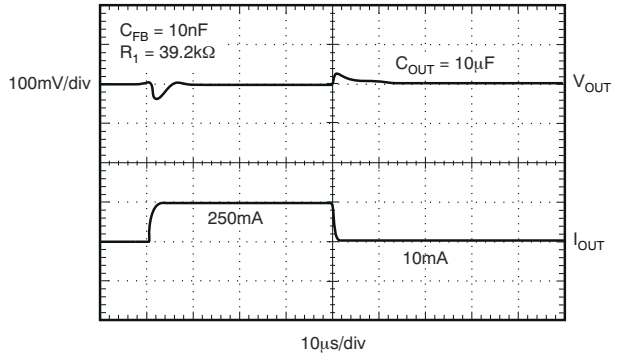
レガシー シリコン

図 7-4. TPS7A3701：ターンオフ応答



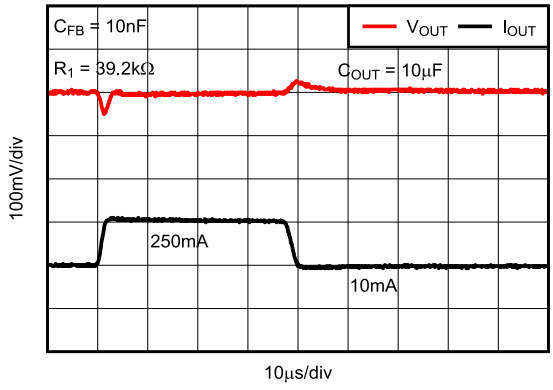
新しいシリコン

図 7-5. TPS7A3701 のターンオフ応答



レガシー シリコン

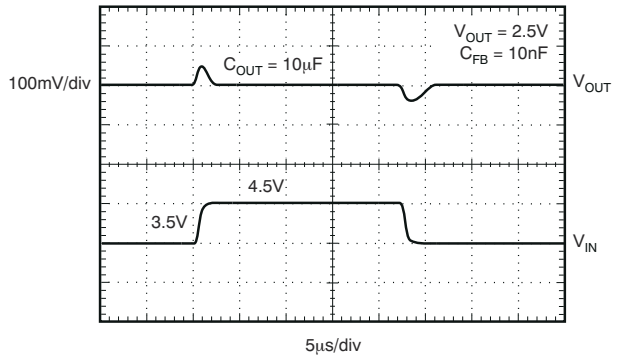
図 7-6. TPS7A3701：負荷過渡応答、可変バージョン



新しいシリコン、C_{OUT} = 10µF タンタル

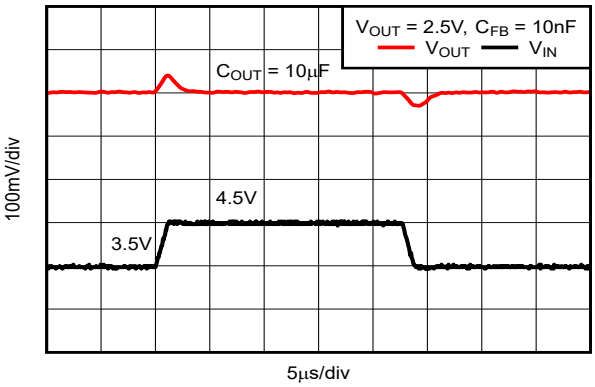
図 7-7. TPS7A3701 の負荷過渡応答、可変バージョン

Copyright © 2026 Texas Instruments Incorporated



レガシー シリコン

図 7-8. TPS7A3701 : ライン過渡応答、可変バージョン



新しいシリコン、C_{OUT} = 10µF タンタル

図 7-9. TPS7A3701 のライン過渡応答、可変バージョン

Copyright © 2026 Texas Instruments Incorporated

7.2.2 固定電圧バージョン

図 7-10 に、固定電圧モデルの基本的な回路接続を示します。

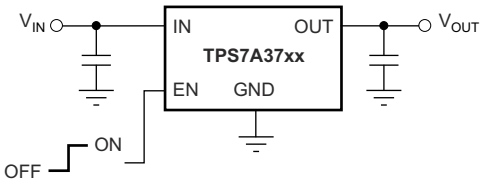


図 7-10. 代表的なアプリケーション回路 (固定電圧バージョン)

7.2.3 可変動作

図 7-11 には、出力調整可能なバージョンである TPS7A3701 の [1] の接続情報が記載されています。

R_1 と R_2 は、出力電圧に応じて 図 7-11 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 6-2 に示します。

より高い精度を得るため、R_1 と R_2 の並列組み合わせを約 19kΩ に設定します。この 19kΩ に、内部の 8kΩ 抵抗が加わることで、エラー アンプに対して 27kΩ のバンドギャップ リファレンス出力と同じインピーダンスを提供します。このインピーダンスは、エラー アンプ端子へのリークを補償するのに役立ちます。

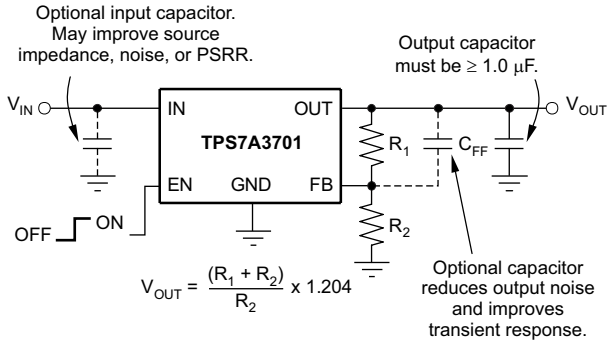


図 7-11. 可変電圧バージョン向けの標準的なアプリケーション回路(1)

7.3 電源に関する推奨事項

LDO の入力電源は、推奨動作条件内 (すなわち 2.2V ～ 5.5V) に配置する必要があります。入力電圧は、デバイスが出力をレギュレートするための十分なヘッドルームを提供しなければなりません。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力の過渡応答特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な部分です。高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、IN ピンは、X5R または X7R 誘電体を使用した低 ESR のセラミック バイパス コンデンサを使用してグランドにバイパスする必要があります。

GND ピンは、IC の下の PowerPAD に直接接続する必要があります。PowerPAD は、IC の直下にある複数のビアを使用して内部の PCB グランド プレーンに接続する必要があります。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。これらの回路はシステムの性能に悪影響を及ぼし、不安定化を招くこともあるため、ビアと長いパターンの使用は強く推奨しません。

[1] 製品プレビュー用デバイス

Copyright © 2026 Texas Instruments Incorporated

7.4.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、V_{IN} および V_{OUT} コンデンサのグラウンド プレーン接続を基板を設計してください。さらに、グランド プレーンがデバイスの GND ピンに接続されていることを確認します。

7.4.1.2 熱に関する検討事項

過熱保護機能は、接合部温度が約 +160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 +140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。このサイクリング動作により、デバイスの消費電力が制限され、過熱によって起きる損傷からレギュレータを保護します。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を +125℃以下に制限する必要があります。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも +35°C 上回った時に過熱保護をトリガするよう設定します。これにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は +125°C になります。

TPS7A37 の内部保護回路は、過負荷状態からの保護を目的に設計されています。この回路は、適切なヒートシンクの代わりとなるものではありません。TPS7A37 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

7.4.1.3 消費電力

デバイスの消費電力を把握し、タブやパッドに接続されたサーマル プレーンを適切に設計することは、サーマル シャットダウンを回避し、信頼性の高い動作を確保するうえで極めて重要です。

デバイスの消費電力は入力電圧および負荷条件に依存し、式 6 を使用して計算できます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{6}$$

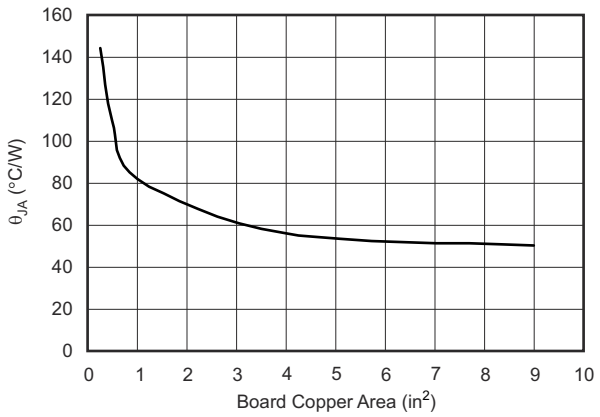
必要な出力電圧の安定性を得るために可能な限り低い入力電圧を使用することで、電力損失を最小限に抑え、より高い効率を達成することができます。

WSON (DRV) パッケージのいずれにおいても、主な放熱経路は露出パッドを通じてプリント基板 (PCB) に伝わります。このパッドはグラウンドに接続しても浮かせたままにしてもかまいませんが、デバイスが過熱しないよう、十分な面積の銅 PCB 領域に接続する必要があります。タブはグランドに接続する必要があります。接合部から周囲への最大熱抵抗は、デバイスの最大周囲温度、デバイスの最大接合部温度、および消費電力に依存し、式 7 を使って計算できます。

$$R_{\theta JA} = \frac{(+125°C - T_A)}{P_D} \tag{7}$$

最大 $R_{\theta JA}$ が判明していれば、適切なヒートシンクに必要な PCB 銅箔面積の最小値は、図 7-12 を使って推定できます。

Copyright © 2026 Texas Instruments Incorporated



基板サイズが 9 インチ ^{2} (つまり 3 インチ × 3 インチ) の場合の θ_{JA} 値は、JEDEC 規格に基づくものです。

図 7-12. DRV (WSON) パッケージ θ_{JA} と基板サイズとの関係

図 7-12 に、基板のグランド プレーン銅領域の関数としての θ_{JA} の変化を示します。この画像は、グランド プレーンにおける熱の伝播効果を示すための参考資料としてのみ意図されたものであり、実際の使用環境における熱的性能を推定するために使用してはなりません。

注

デバイスをアプリケーション PCB に実装する場合は、*セクション 7.4.1.4* セクションに記載の Ψ_{JT} および Ψ_{JB} を使用します。

7.4.1.4 推定接合部温度

熱に関する情報 に示されるように、熱特性値 Ψ_{JT} および Ψ_{JB} を用いて、接合部温度は対応する式 (式 8 に記載) で推定できます。下位互換性のため、古い θ_{JC}、Top パラメータもリストされています。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{8}$$

ここで、P_D は式 6 に示される消費電力、T_T は IC パッケージの中央上部の温度、T_B は PCB 表面上の IC パッケージから 1mm 離れた場所で測定された PCB 温度です (図 7-14 を参照)。

注

T_T と T_B の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と T_B の測定の詳細については、www.ti.com からダウンロードできるアプリケーション ノート SBVA025、新しい熱評価基準の使用を参照してください。

図 7-13 に示されるように、新しい熱特性値 (Ψ_{JT} および Ψ_{JB}) は基板サイズへの依存性が極めて低いことがわかります。つまり、式 8 で、Ψ_{JT} や Ψ_{JB} を使用して、T_T または T_B を測定することで、基板サイズに関係なく簡単に接合部温度 T_J を推定するのに有効な方法です。

Copyright © 2026 Texas Instruments Incorporated

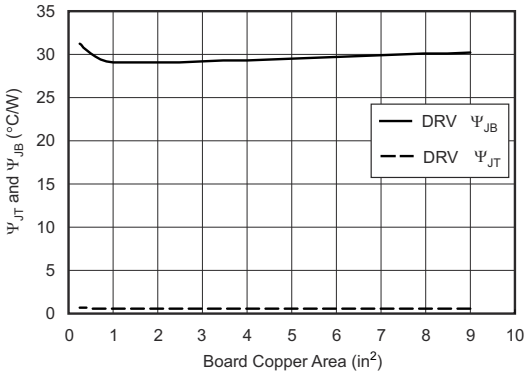
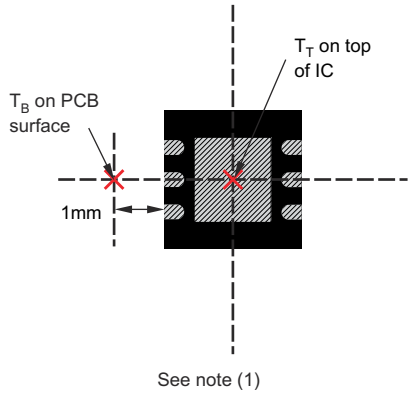


図 7-13. DRV (WSON) パッケージ Ψ_{JT} および Ψ_{JB} と基板サイズとの関係

熱特性を判定するために TI が $\theta_{JC(top)}$ を使用することを推奨しない理由についての詳細は、www.ti.com からダウンロードできるアプリケーション ノート SBVA025「新しい熱評価基準の使用」を参照してください。詳細については、テキサス インスツルメンツの Web サイトでも入手可能な「半導体および IC パッケージの熱評価基準」アプリケーション ノート SPRA953 を参照してください。



A. 消費電力が動作範囲を制限する可能性があります。熱に関する情報 表を参照してください。
B. DRV (SON) パッケージ測定の例

図 7-14. T_T および T_B の測定ポイント

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

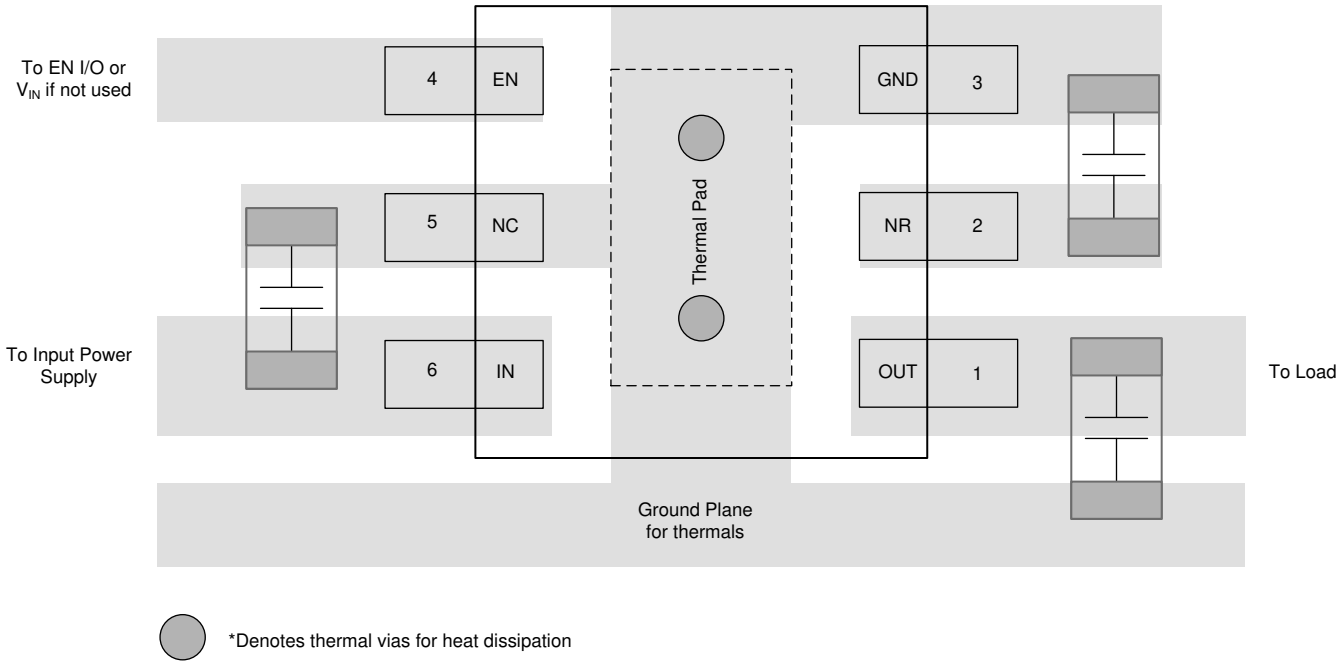


図 7-15. 固定電圧レイアウト

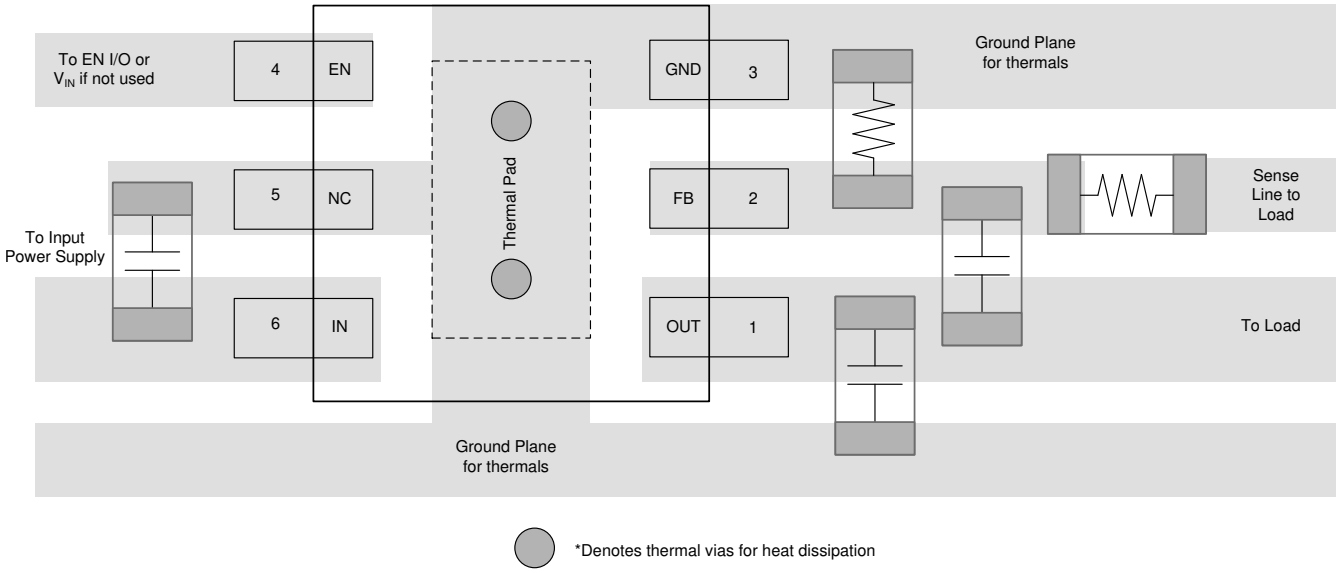


図 7-16. 可変電圧レイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. 利用可能なオプション

製品(1)	説明
TPS7A37**xxyyyz(M3)**	**xx** は公称出力電圧です (例:25 = 2.5V、01 = 可変(1))。 **yyy** はパッケージ指定子です。 **Z** はパッケージ数量です。 **M3** は、最新の製造フローのみを使用するデバイスの接尾辞の指定子です (CSO:RFB)。この接尾辞がないデバイスは、*レガシー シリコン* (CSO: DLN) または *新しいシリコン* (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーション ノート
- テキサス インスツルメンツ、『TPS7A37xxEVM-529 評価基板』ユーザー ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2015) to Revision C (October 2026)	Page
• DRV (WSON) パッケージの新しいシリコンの熱効果を追加	5
• 内部リファレンスの標準値を更新	6
• 新しいシリコン ライン レギュレーションを追加	6
• 新しいシリコンのグランド電流を追加	6
• 新しいシリコンのグランド ピン電流仕様を追加	6
• 新しいシリコン スタートアップ時間仕様を追加	6
• *「デバイス命名規則」*セクションを追加	30

Changes from Revision A (July 2013) to Revision B (July 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル データ、パッケージ、および注文情報」セクションを追加。	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A3701DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3721DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3725DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJH
TPS7A3725DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJH
TPS7A3725DRVT	Obsolete	Production	WSON (DRV) | 6	-	-	Call TI	Call TI	-40 to 125	SJH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

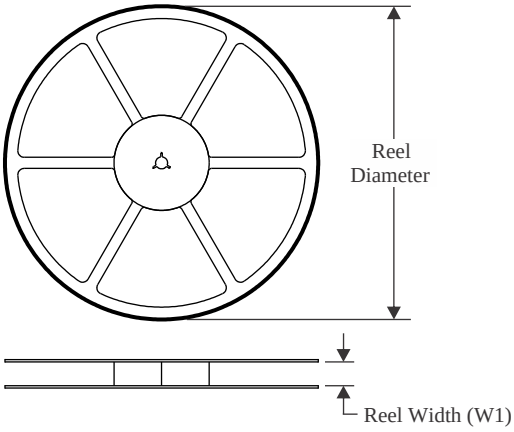
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

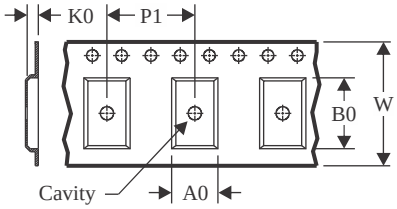
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

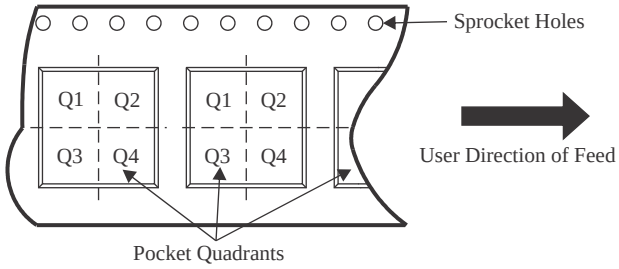


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

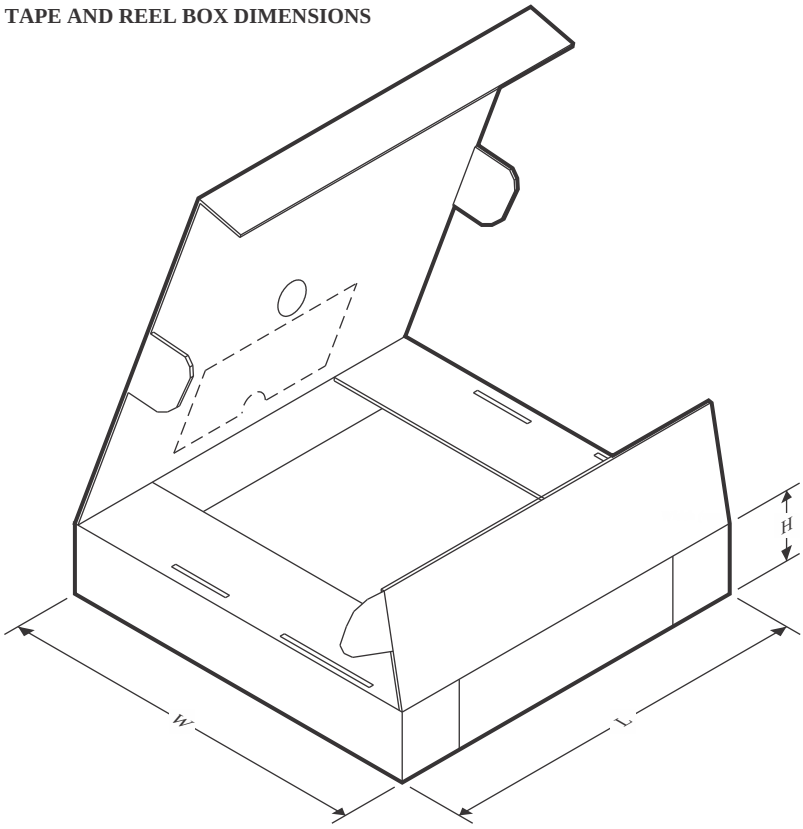
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A3721DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A3721DRVT	WSON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A3725DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS

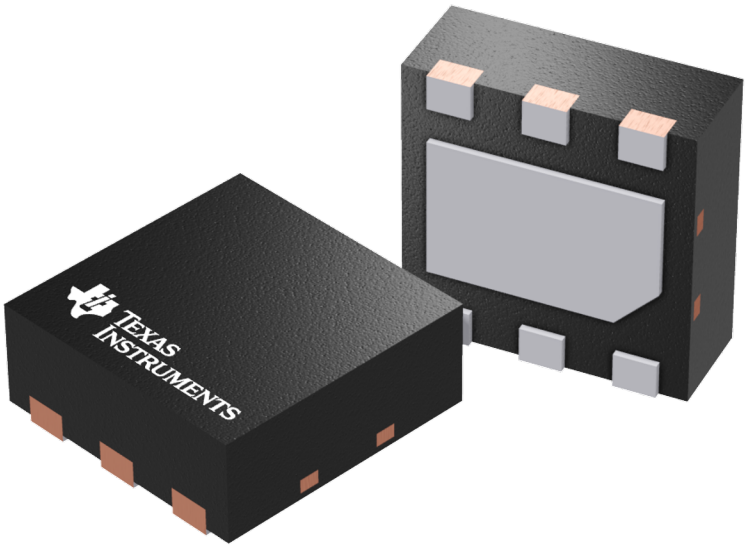


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A3721DRVR	WSON	DRV	6	3000	213.0	191.0	35.0
TPS7A3721DRVT	WSON	DRV	6	250	213.0	191.0	35.0
TPS7A3725DRVR	WSON	DRV	6	3000	213.0	191.0	35.0

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



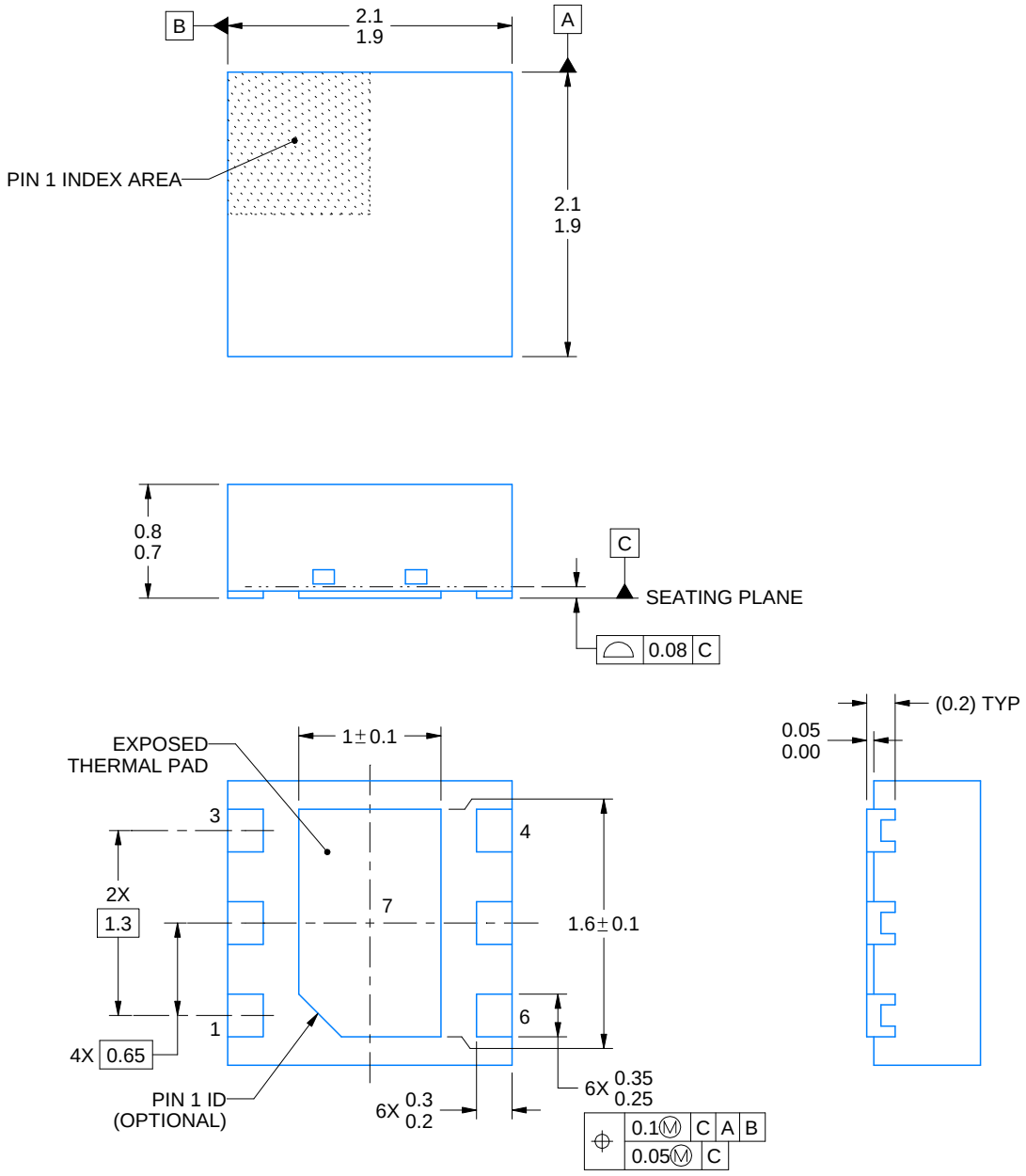
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRV0006D

PACKAGE OUTLINE

WSON - 0.8 mm max height

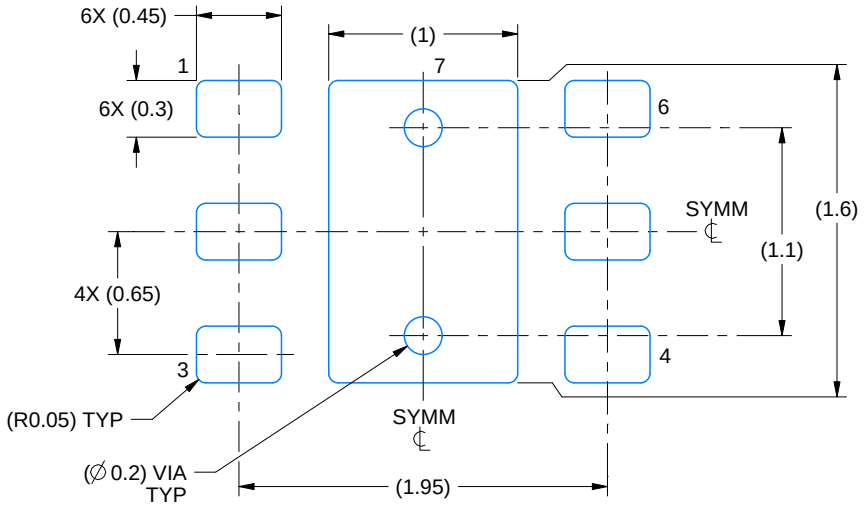
PLASTIC SMALL OUTLINE - NO LEAD



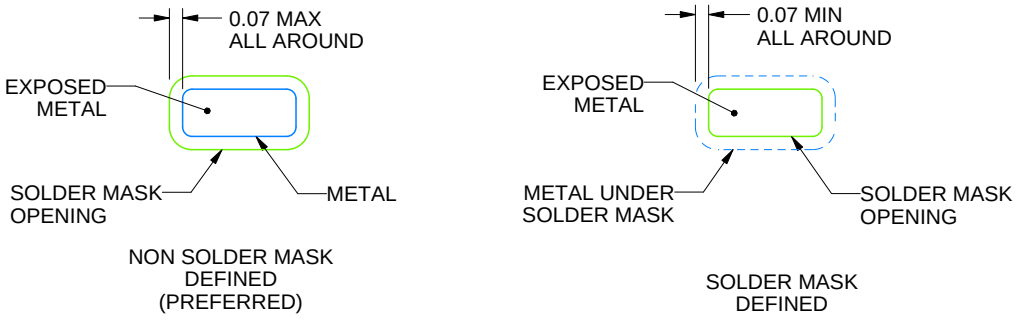
4225563/A 12/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

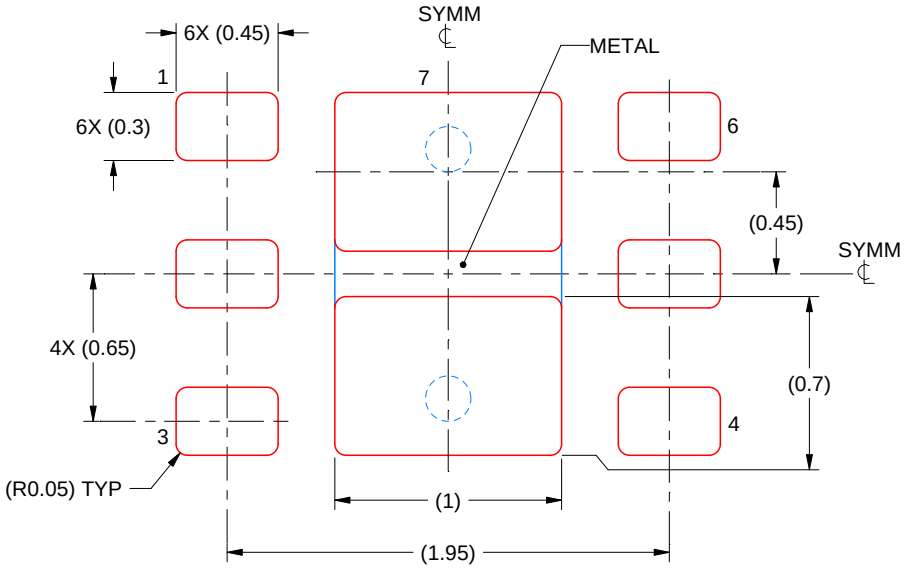


SOLDER MASK DETAILS

4225563/A 12/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4225563/A 12/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月