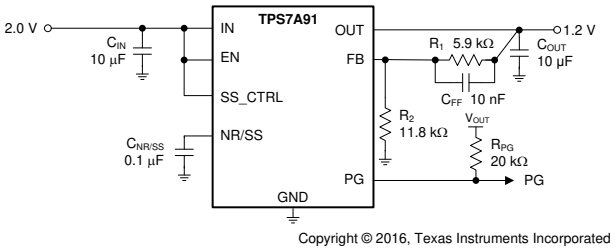
TPS7A91 1A、高精度、低ノイズ LDO 電圧レギュレータ

1 特長

- ライン、負荷、温度の全範囲にわたって 1.0% の精度
- 低い出力ノイズ:4.7μV_{RMS} (10Hz ～ 100kHz)
- 低いドロップアウト:1A で 200mV (最大値)
- 幅広い入力電圧範囲:1.4V ～ 6.5V
- 広い出力電圧範囲:0.8V～5.2V
- 高い電源除去率 (PSRR):
  - DC 時に 70dB
  - 100kHz 時に 40dB
  - 1MHz 時に 40dB
- 高速過渡応答
- 選択可能なソフトスタート充電電流による、調整可能なスタートアップ時の突入電流制御
- オープンドレインのパワー グッド (PG) 出力
- 2.5mm × 2.5mm、10 ピン SON パッケージ

2 アプリケーション

- 高速アナログ回路:
  - VCO、ADC、DAC、LVDS
- イメージング:CMOS センサ、ビデオ ASIC
- 試験および測定機器
- 計測機器、医療用、オーディオ
- デジタル負荷:SerDes、FPGA、DSP



Copyright © 2016, Texas Instruments Incorporated

代表的なアプリケーション回路

3 説明

TPS7A91 は低ノイズ (4.7μV_{RMS})、低ドロップアウト (LDO) の電圧レギュレータであり、1A を供給できます。最大ドロップアウト電圧はわずか 100mV です。

TPS7A91 の出力は、外付け抵抗により 0.8V ～ 5.7V の範囲で調整できます。TPS7A91 は広い入力電圧範囲に対応し、最低 1.4 V、最高 6.5V での動作をサポートしています。

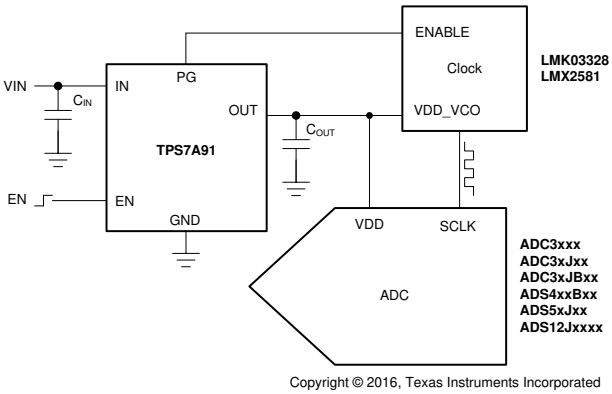
1% の出力電圧精度 (ライン、負荷、温度の変動に対して) と、突入電流を低減するソフトスタート機能を備えた TPS7A91 は、感度の高い低電圧のアナログ デバイス (電圧制御発振器 (VCO)、A/D コンバータ (ADC)、D/A コンバータ (DAC)、ハイエンド プロセッサ、フィールド プログラマブル ゲート アレイ (FPGA) など) への電力供給用に設計されています。

TPS7A91 は、高速通信、ビデオ、医療、試験および計測用途に使用されるような、ノイズの影響を受けやすい部品への電力供給用に設計されています。4.7μV_{RMS} の非常に低い出力ノイズと、広帯域の PSRR (1MHz において 40dB) により、位相ノイズとクロックのジッタを最小限に抑えます。これらの機能により、クロッキング デバイス、ADC、DAC の性能が最大化されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7A91	DSK (SON、10)	2.5mm × 2.5mm

(1) 詳細については、このデータシートの末尾にある注文情報をご覧ください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

代表的なアプリケーションの図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 4
5.5 電気的特性 5
5.6 代表的特性 7
6 詳細説明 15
6.1 概要 15
6.2 機能ブロック図 15
6.3 機能説明 15
6.4 デバイスの機能モード 18
7 アプリケーションと実装 20
7.1 使用上の注意 20
7.2 代表的なアプリケーション 23
7.3 電源に関する推奨事項 25
7.4 レイアウト 25
8 デバイスおよびドキュメントのサポート 27
8.1 デバイス サポート 27
8.2 ドキュメントのサポート 27
8.3 ドキュメントの更新通知を受け取る方法 27
8.4 サポート・リソース 27
8.5 商標 28
8.6 静電気放電に関する注意事項 28
8.7 用語集 28
9 改訂履歴 28
10 メカニカル、パッケージ、および注文情報 28

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

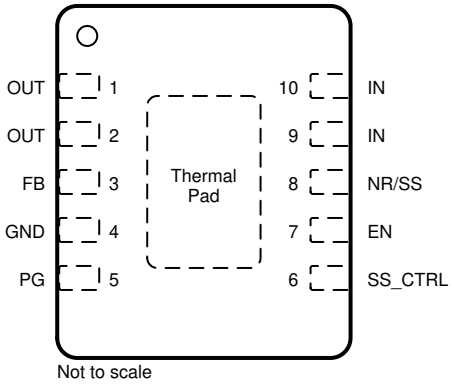


図 4-1. DSK パッケージ、2.5mm × 2.5mm、10 ピン SON (上面図)

表 4-1. ピンの機能

ピン			説明
名称	番号	タイプ(1)	
EN	7	I	イネーブル ピン。このピンは LDO のオン / オフを切り替えます。$V_{EN} \geq V_{IH(EN)}$ の場合、レギュレータが有効です。$V_{EN} \leq V_{IL(EN)}$ の場合、 レギュレータは無効です。有効化機能を使用しない場合は、EN ピンを IN に接続する必要があります。
FB	3	I	フィードバック ピン。 このピンは制御ループのエラー アンプへの入力であり、デバイスの出力電圧を設定するために使用されます。
GND	4	—	デバイス GND。デバイスのサーマル パッドに接続します。
IN	9、10	I	入力ピン。10µF 以上の入力コンデンサが必要です。
NR/SS	8	—	ノイズ リダクション ピン このピンに外部コンデンサを接続して、内部バンドギャップ リファレンスによって発生するノイズをバイパスします。コンデンサは、出力ノイズを非常に低いレベルに低減し、突入電流を制限するように出力上昇レートを設定します。
OUT	1、2	O	レギュレーター出力。安定性のため、このピンと GND との間に 10µF 以上のコンデンサを接続する必要があります。
PG	5	O	LDO の出力電圧用のオープン ドレイン型パワー グッド インジケータ ピン。10kΩ ～ 100kΩ の外部プルアップ抵抗が必要です。このピンは、フローティングのままにすることも、使用しないときは GND に接続することもできます。
SS_CTRL	6	I	ソフト スタート制御ピン。このピンを GND または IN に接続して、NR/SS コンデンサの充電電流を変更します。 $C_{NR/SS}$ コンデンサを使用しない場合は、出力オーバーシュートを防止するために SS_CTRL を GND に接続する必要があります。
サーマル パッド	パッド	—	サーマル パッドはプリント基板 (PCB) のグランド プレーンに接続します。レイアウト例については、図 7-5 を参照してください。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作接合部温度範囲の全域において、すべての電圧は GND を基準 (特に記載のない限り)(1)

		最小値	最大値	単位
電圧	IN、PG、EN	-0.3	7.0	V
	IN、PG、EN (5% デューティ サイクル、パルス幅 ≤ 200µs)	-0.3	7.5	
	OUT	-0.3	V_{IN} + 0.3	
	SS_CTRL	-0.3	V_{IN} + 0.3	
	NR/SS、FB	-0.3	3.6	
電流	OUT	内部的に制限		A
	PG (デバイスへのシンク電流)		5	mA
温度	動作時の接合部温度、T_J	-55	150	°C
	保存、T_{stg}	-55	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{IN}	入力電源電圧範囲	1.4	6.5	V
V_{OUT}	出力電圧範囲	0.8	5.2	V
I_{OUT}	出力電流	0	1	A
C_{IN}	入力コンデンサ	10		µF
C_{OUT}	出力コンデンサ	10		µF
$C_{NR/SS}$	ノイズ低減コンデンサ	0	10	µF
C_{FF}	フィードフォワード コンデンサ	0	100	nF
R_{PG}	パワーグッドのプルアップ抵抗	10	100	kΩ
T_J	接合部温度	-40	125	°C

5.4 熱に関する情報

熱評価基準(1)		TPS7A91 DSK (SON) 10 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	62.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	59.7	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準(1)		TPS7A91 DSK (SON) 10 ピン	単位
$R_{\theta JB}$	接合部から基板への熱抵抗	30.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.7	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	30.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.8	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

動作温度範囲全体 (T_J = –40℃ ～ +125℃)、1.4V ≤ V_{IN} ≤ 6.5V、$V_{OUT(NOM)}$ = 0.8V、I_{OUT} = 5mA、V_{EN} = 1.4V、C_{IN} = C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、SS_CTRL = GND、PG ピンを 100kΩ で V_{IN} にプルアップ (特に記載のない限り)。標準値は T_J = 25℃ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	入力電源電圧範囲		1.4		6.5	V
V_{REF}	リファレンス電圧			0.8		V
V_{UVLO}	入力電源 UVLO	V_{IN} 立ち上がり		1.31	1.39	V
$V_{HYS(UVLO)}$	入力電源 UVLO ヒステリシス			290		mV
V_{OUT}	出力電圧範囲		0.8		5.2	V
	出力電圧精度(1)	1.4V ≤ V_{IN} ≤ 6.5V、5mA ≤ I_{OUT} ≤ 1A	-1.0%		1.0%	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション			0.005		%/V
$\Delta V_{OUT(\Delta IOUT)}$	負荷レギュレーション(2)	5mA ≤ I_{OUT} ≤ 1A		0.02		%/A
V_{DO}	ドロップアウト電圧	V_{IN} ≥ 1.4V、I_{OUT} = 1A、V_{FB} = 0.8V – 3%			200	mV
I_{LIM}	出力電流制限	V_{OUT} は 0.9 × $V_{OUT(NOM)}$ に強制、V_{IN} = $V_{OUT(NOM)}$ + 300mV	1.5	1.7	1.9	A
I_{GND}	GND ピン電流	V_{IN} = 6.5V、I_{OUT} = 5mA		2.1	3.5	mA
		V_{IN} = 1.4V、I_{OUT} = 1A			4	
I_{SDN}	シャットダウン GND ピン電流	PG = (オープン)、V_{IN} = 6.5V、V_{EN} = 0.4V		0.1	15	µA
I_{EN}	EN ピン電流	V_{IN} = 6.5V、0V ≤ V_{EN} ≤ 6.5V	-0.2		0.2	µA
$V_{IL(EN)}$	EN ピンの Low レベル入力電圧 (デバイス ディスエーブル)		0		0.4	V
$V_{IH(EN)}$	EN ピンの High レベル入力電圧 (デバイス イネーブル)		1.1		6.5	V
I_{SS_CTRL}	SS_CTRL ピンの電流	V_{IN} = 6.5V、0V ≤ V_{SS_CTRL} ≤ 6.5V	-0.2		0.2	µA
$V_{IT(PG)}$	PG ピンのスレッショルド	V_{OUT} の低下に伴って PG が Low に遷移する電圧 ($V_{OUT(NOM)}$ に対するパーセンテージとして表記)	82%	88.9%	93%	
$V_{HYS(PG)}$	PG ピンのヒステリシス	V_{OUT} の上昇に伴って PG が High に遷移する電圧 ($V_{OUT(NOM)}$ に対するパーセンテージとして表記)		1%		
$V_{OL(PG)}$	PG ピンの Low レベル出力電圧	V_{OUT} < $V_{IT(PG)}$、V_{PG} = -1mA (デバイスへの電流)			0.4	V
$I_{LKG(PG)}$	PG ピンのリーク電流	V_{OUT} > $V_{IT(PG)}$、V_{PG} = 6.5V			1	µA
$I_{NR/SS}$	NR/SS ピンの充電電流	$V_{NR/SS}$ = GND、V_{SS_CTRL} = GND	4.0	6.2	9.0	µA
		$V_{NR/SS}$ = GND、V_{SS_CTRL} = V_{IN}	65	100	150	
I_{FB}	FB ピンのリーク電流	V_{IN} = 6.5V、V_{FB} = 0.8V	-100		100	nA
PSRR	電源リップル除去	f = 500kHz、V_{IN} = 3.8V、$V_{OUT(NOM)}$ = 3.3V、I_{OUT} = 750mA、$C_{NR/SS}$ = 10nF、C_{FF} = 10nF		39		dB

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

動作温度範囲全体 (T_J = –40℃ ～ +125℃)、1.4V ≤ V_{IN} ≤ 6.5V、$V_{OUT(NOM)}$ = 0.8V、I_{OUT} = 5mA、V_{EN} = 1.4V、C_{IN} = C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、SS_CTRL = GND、PG ピンを 100kΩ で V_{IN} にプルアップ (特に記載のない限り)。標準値は T_J = 25℃ での値です。

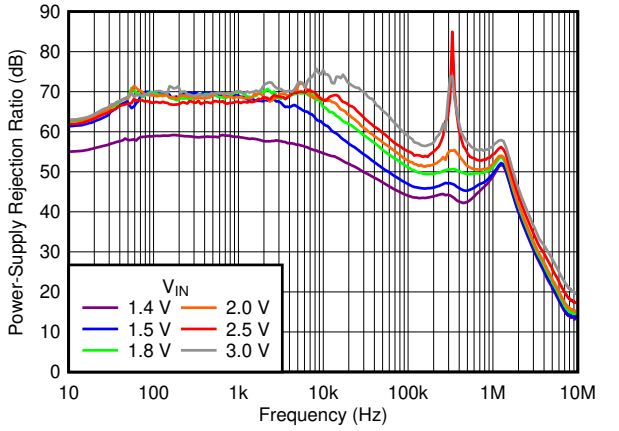
パラメータ		テスト条件	最小値	標準値	最大値	単位
V_n	出力ノイズ電圧	BW = 10Hz ～ 100kHz、V_{IN} = 1.8V、$V_{OUT(NOM)}$ = 0.8V、 I_{OUT} = 1.0A、$C_{NR/SS}$ = 10nF、C_{FF} = 10nF		4.7		μV_{RMS}
	ノイズ スペクトル密度	f = 10kHz、V_{IN} = 1.8V、$V_{OUT(NOM)}$ = 0.8V、 I_{OUT} = 1.0A、$C_{NR/SS}$ = 10nF、C_{FF} = 10nF		13		$nV/\sqrt{Hz}$
R_{diss}	出力アクティブ放電抵抗	V_{EN} = GND		250		Ω
T_{sd}	サーマル シャットダウン温度	シャットダウン、温度上昇		160		℃
		リセット、温度低下		140		

(1) デバイスの FB ピンに外部帰還抵抗を接続する場合、外付け抵抗の公差は含まれません。
(2) V_{IN} > V_{OUT} + 2.5V および I_{OUT} = 1A の条件では、消費電力がパッケージの最大定格を上回っているため、デバイスはこの条件下ではテストされていません。また、この精度仕様は、テスト対象のパッケージの消費電力制限を超えるアプリケーション条件には適用されません。

Copyright © 2026 Texas Instruments Incorporated

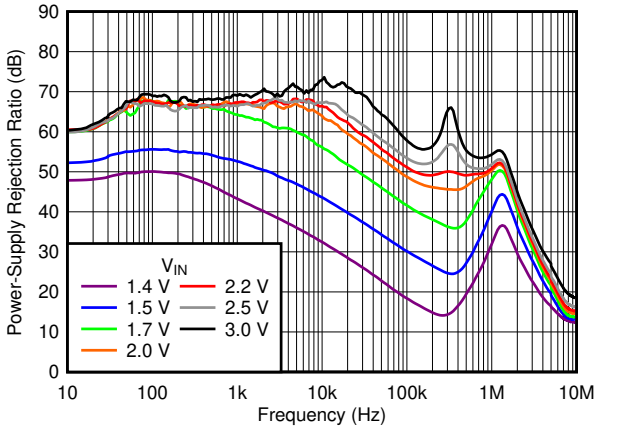
5.6 代表的特性

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



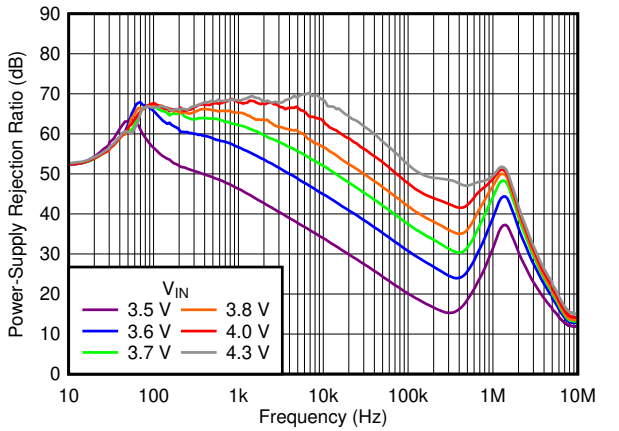
V_{OUT} = 0.8V、I_{OUT} = 1.0A、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-1. PSRR と周波数および入力電圧との関係



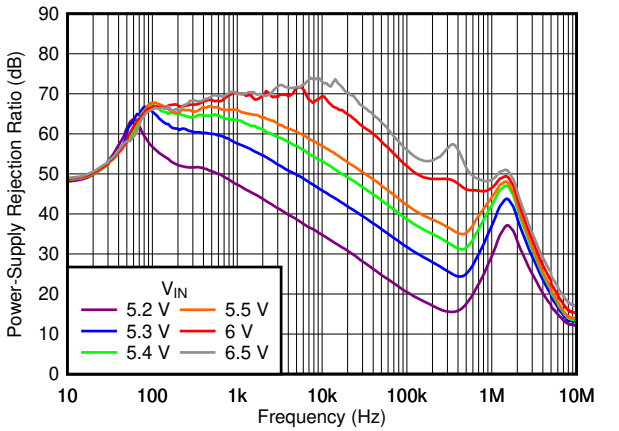
V_{OUT} = 1.2V、I_{OUT} = 1.0A、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-2. PSRR と周波数および入力電圧との関係



V_{OUT} = 3.3V、I_{OUT} = 1.0A、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-3. PSRR と周波数および入力電圧との関係



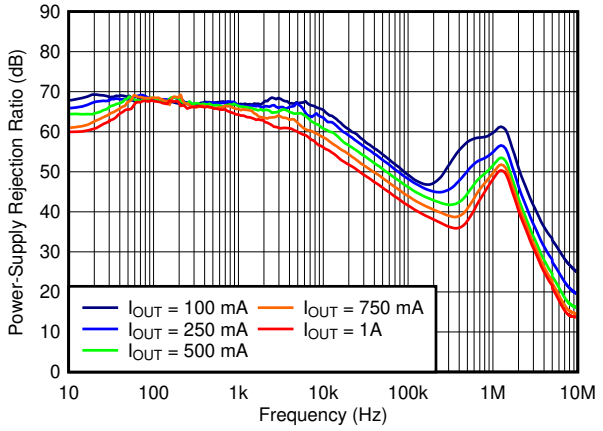
V_{OUT} = 5V、I_{OUT} = 1.0A、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-4. PSRR と周波数および入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

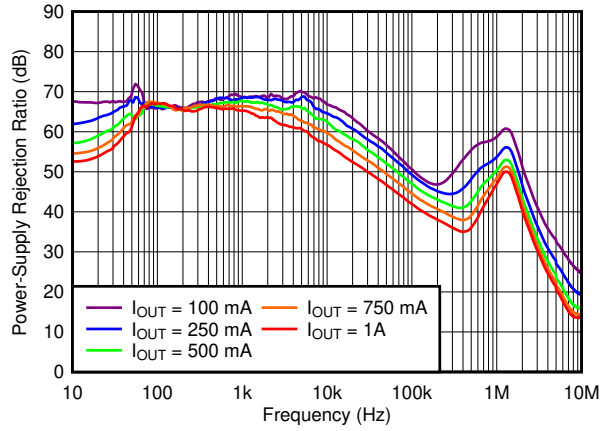
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



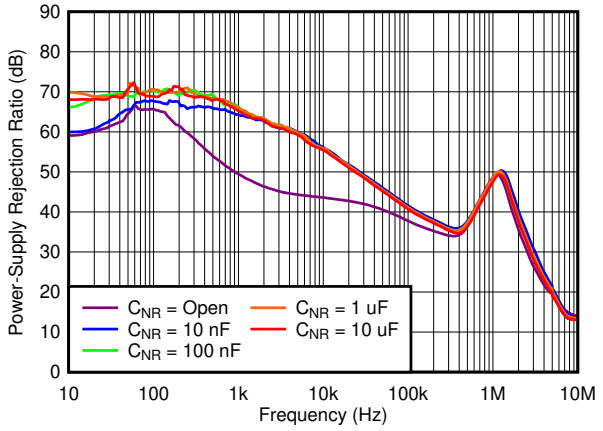
V_{OUT} = 1.2V、V_{IN} = V_{EN} = 1.7V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-5. PSRR と周波数および出力電流との関係



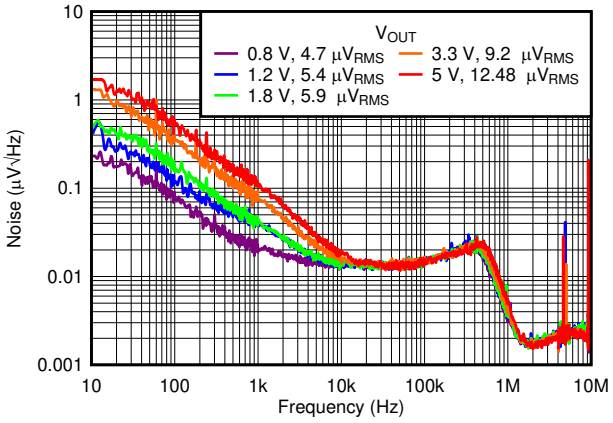
A. V_{OUT} = 3.3V、V_{IN} = V_{EN} = 3.8V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF

図 5-6. PSRR と周波数および出力電流との関係



V_{OUT} = 1.2V、V_{IN} = V_{EN}1.7V、I_{OUT} = 1.0A、C_{OUT} = 10µF、C_{FF} = 10nF

図 5-7. PSRR と周波数および $C_{NR/SS}$ との関係



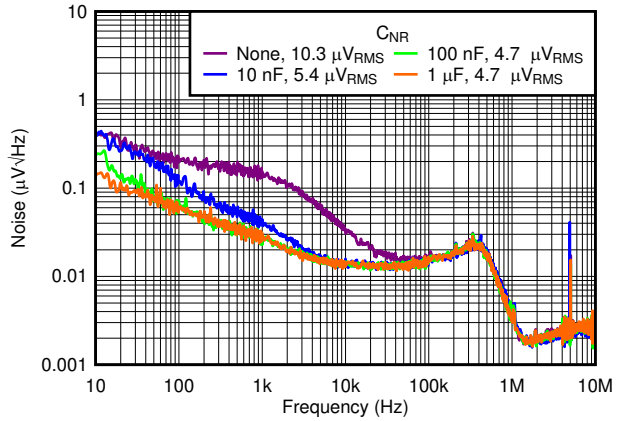
V_{IN} = V_{OUT} + 1.0V、I_{OUT} = 1.0A、C_{IN} = C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF、V_{RMS} BW = 10Hz ～ 100kHz

図 5-8. スペクトル ノイズ密度と周波数および出力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

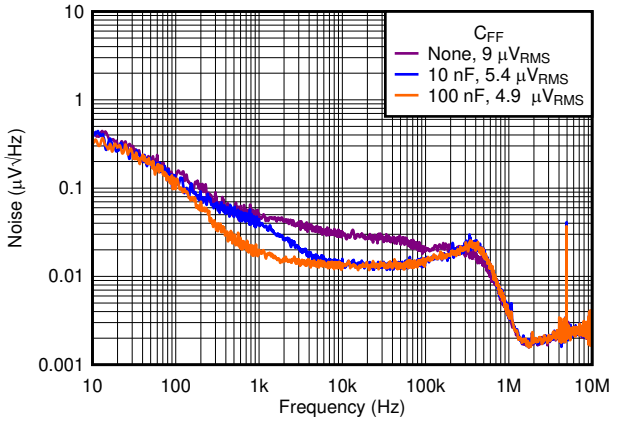
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



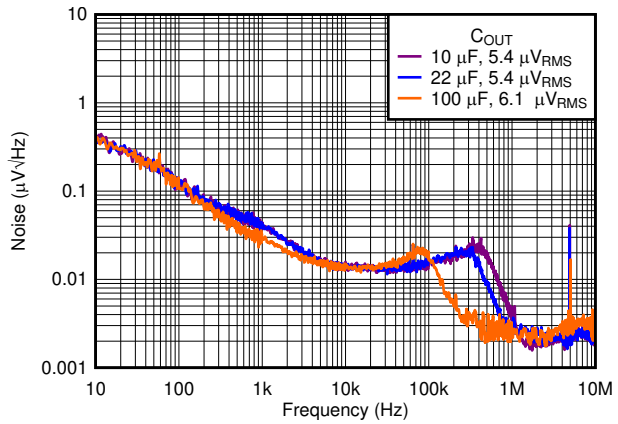
V_{IN} = 2.2V、V_{OUT} = 1.2V、I_{OUT} = 1.0A、C_{IN} = C_{OUT} = 10µF、C_{FF} = 10nF、V_{RMS} BW = 10Hz ～ 100kHz

図 5-9. スペクトル ノイズ密度と周波数および $C_{NR/SS}$ との関係



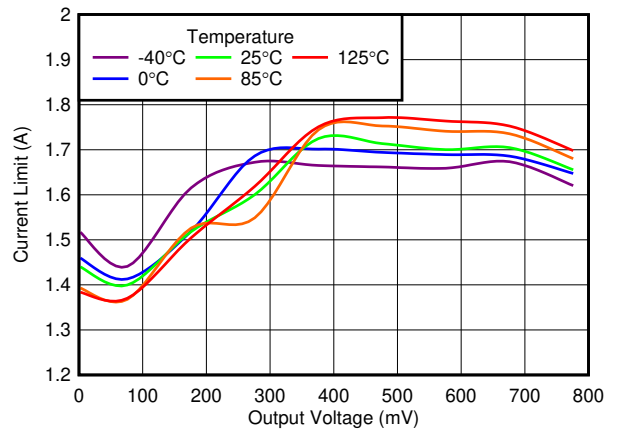
V_{IN} = 2.2V、V_{OUT} = 1.2V、I_{OUT} = 1.0A、C_{IN} = C_{OUT} = 10µF、$C_{NR/SS}$ = 10nF、V_{RMS} BW = 10Hz ～ 100kHz

図 5-10. スペクトル ノイズ密度と周波数および C_{FF} との関係



V_{IN} = 2.2V、V_{OUT} = 1.2V、I_{OUT} = 1.0A、C_{IN} = 10µF、$C_{NR/SS}$ = C_{FF} = 10nF、V_{RMS} BW = 10Hz ～ 100kHz

図 5-11. スペクトル ノイズ密度と周波数および C_{OUT} との関係



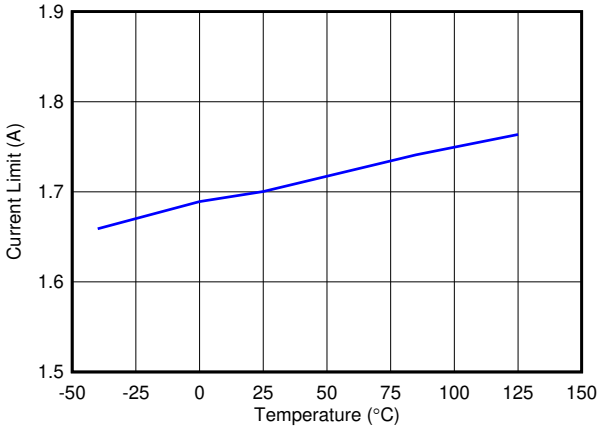
V_{IN} = 1.4V、V_{OUT} = 0.8V

図 5-12. 電流制限フォールドバック

Copyright © 2026 Texas Instruments Incorporated

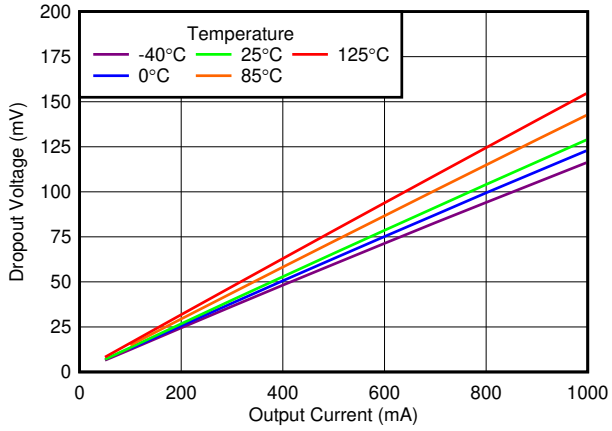
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



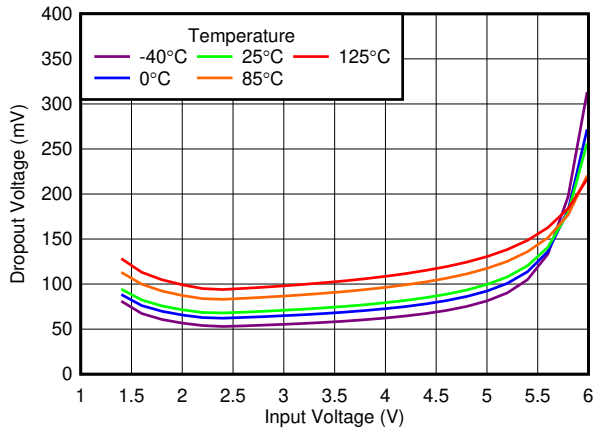
V_{IN} = 1.4V、V_{OUT} = 0.8V

図 5-13. 電流制限と温度との関係



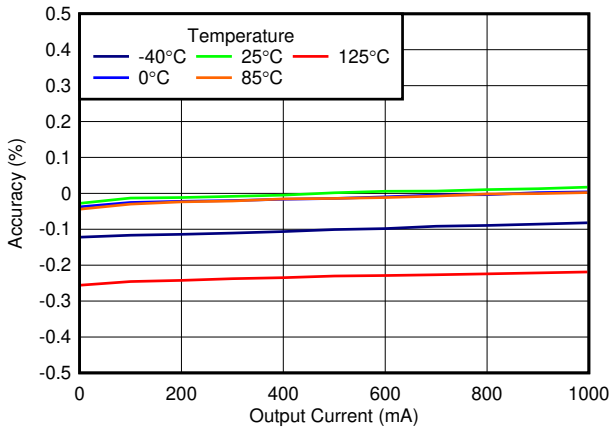
V_{IN} = 5.5V

図 5-14. ドロップアウト電圧と出力電流との関係



I_{OUT} = 1A

図 5-15. ドロップアウト電圧と入力電圧との関係



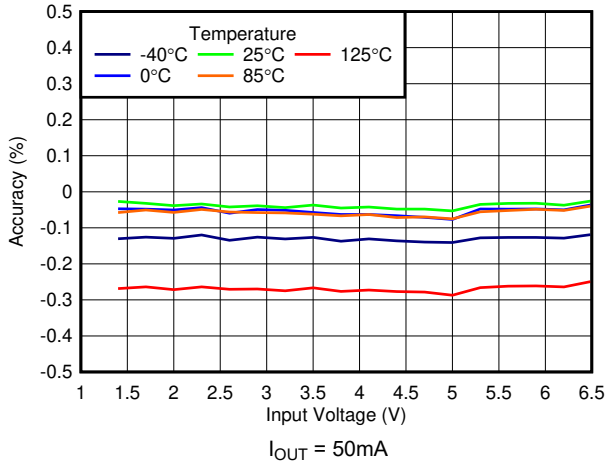
V_{IN} = 1.4V

図 5-16. ロード レギュレーション

Copyright © 2026 Texas Instruments Incorporated

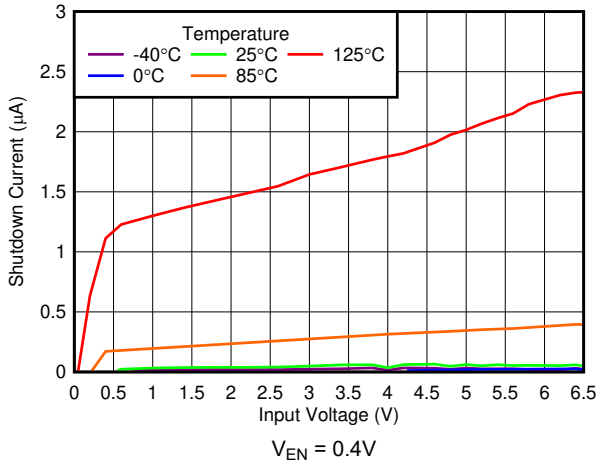
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



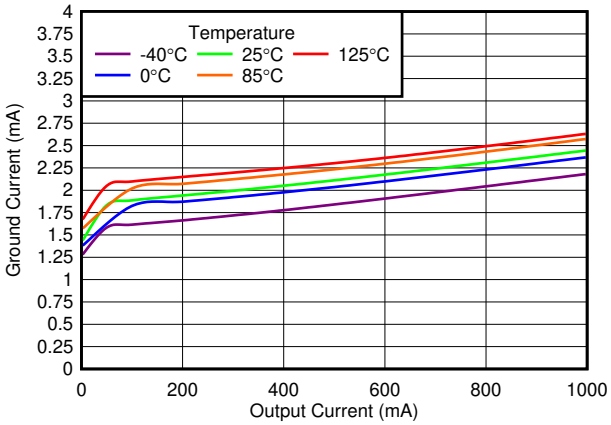
I_{OUT} = 50mA

図 5-17. ライン レギュレーション



V_{EN} = 0.4V

図 5-18. シャットダウン電流と入力電圧との関係



V_{IN} = 1.4V

図 5-19. グランド電流と出力電流との関係

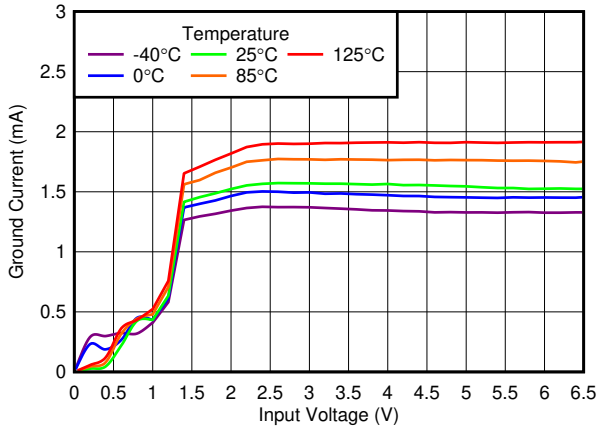


図 5-20. グランド電流と入力電圧との関係

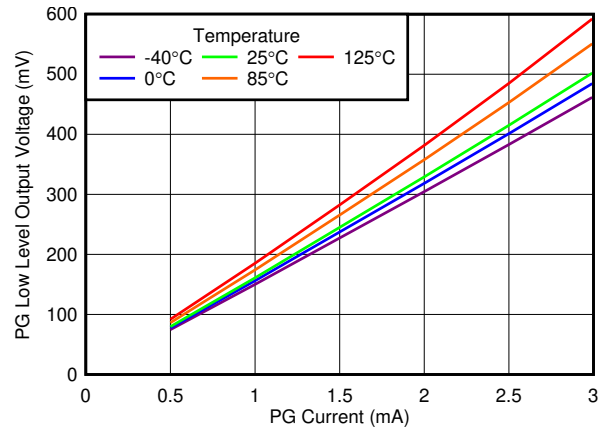


図 5-21. PG Low レベル電圧と PG 電流との関係 (V_{IN} = 1.4V)

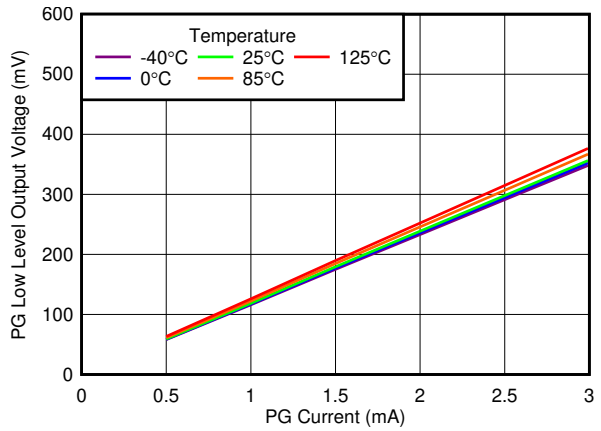


図 5-22. PG Low レベル電圧と PG 電流との関係 (V_{IN} = 6.5V)

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)

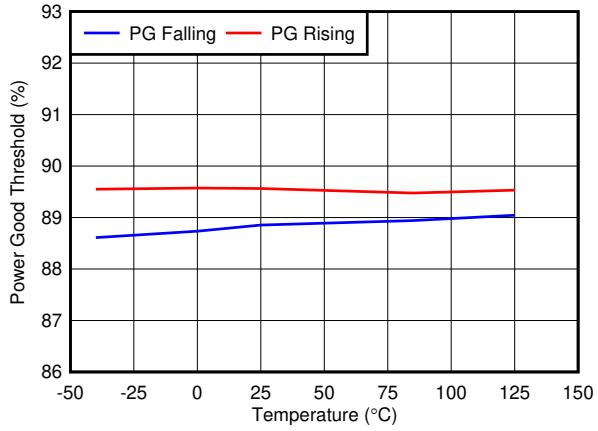
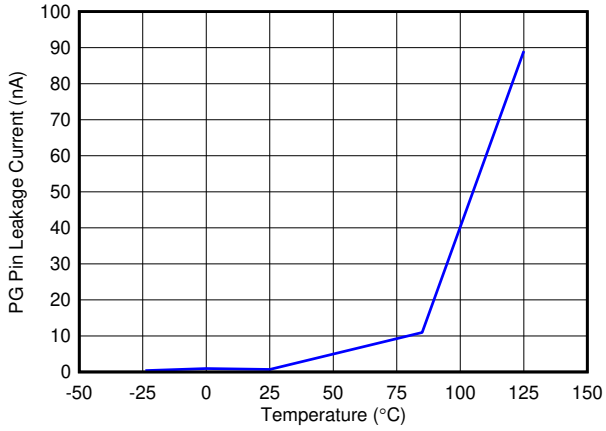


図 5-23. PG スレッショルドと温度との関係



V_{IN} = V_{PG} = 6.5V

図 5-24. PG リーク電流と温度との関係

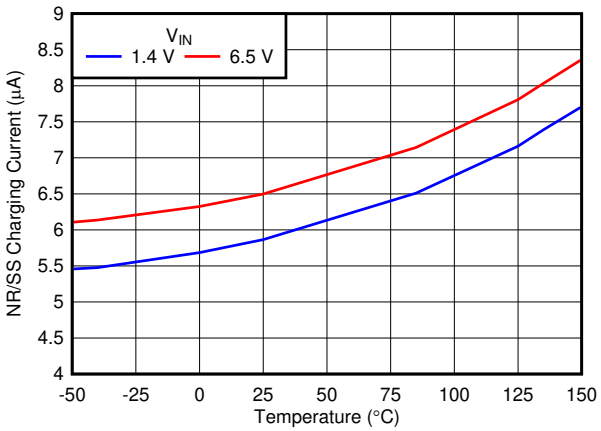


図 5-25. ソフトスタート電流と温度との関係 (SS_CTRL = GND)

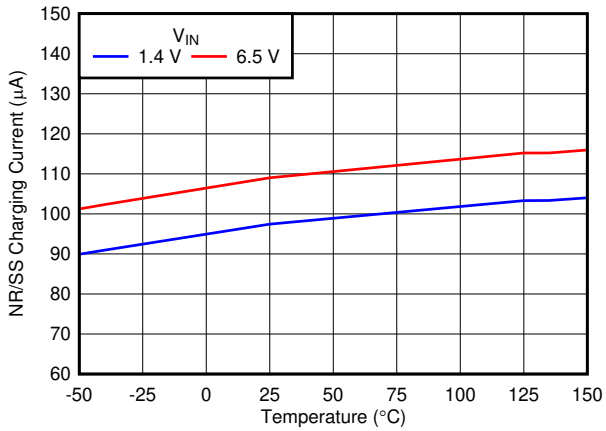


図 5-26. ソフトスタート電流と温度との関係 (SS_CTRL = V_{IN})

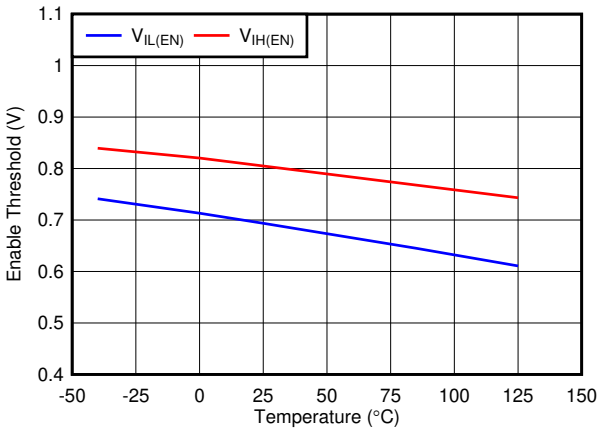


図 5-27. イネーブル スレッショルドと温度との関係

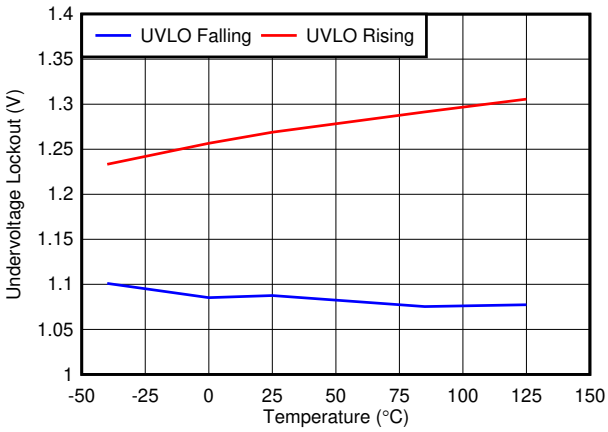
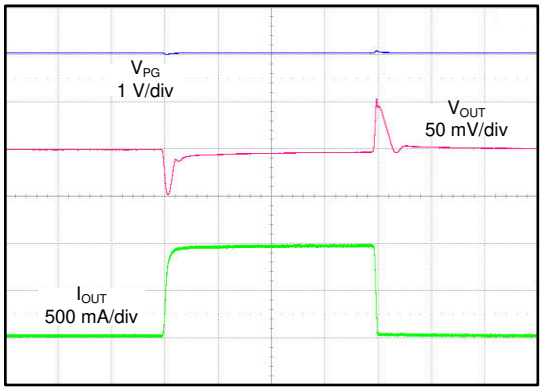


図 5-28. 入力 UVLO スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

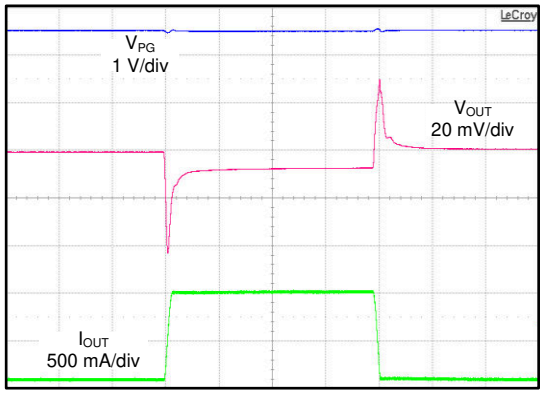
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



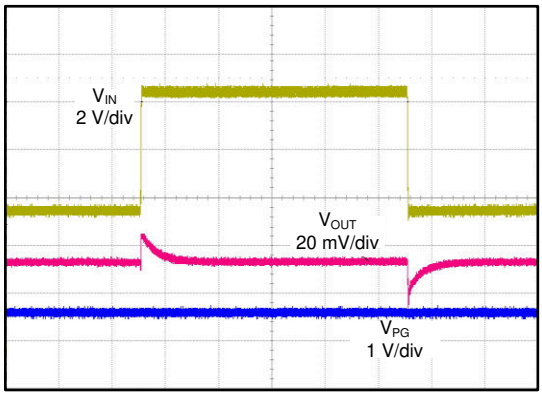
V_{IN} = 1.5V、I_{OUT} = 100mA → 1A → 100mA (1A/µs)、C_{OUT} = 10µF、V_{PG} = V_{OUT}

図 5-29. 負荷過渡応答 (V_{OUT} = 1.2V)



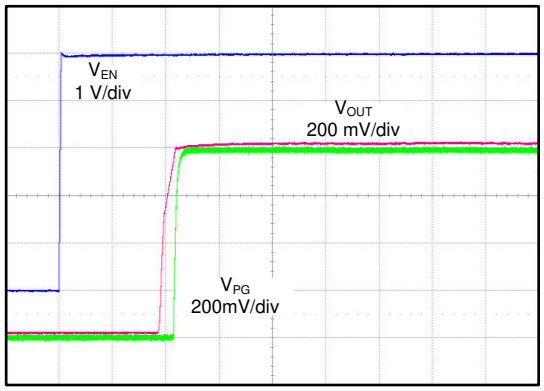
V_{IN} = 5.5V、I_{OUT} = 100mA → 1A → 100mA (1A/µs)、C_{OUT} = 10µF、V_{PG} = V_{OUT}

図 5-30. 負荷過渡応答 (V_{OUT} = 5.0V)



V_{IN} = 1.4V → 6.5V → 1.4V (2V/µs)、V_{OUT} = 0.8V、I_{OUT} = 1A、$C_{NR/SS}$ = C_{FF} = 10nF、V_{PG} = V_{OUT}

図 5-31. ライン トランジェント



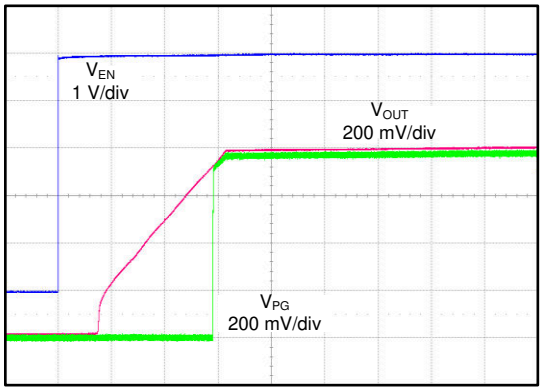
V_{IN} = 1.4V、V_{PG} = V_{OUT}

図 5-32. スタートアップ (SS_CTRL = GND、$C_{NR/SS}$ = 0nF)

Copyright © 2026 Texas Instruments Incorporated

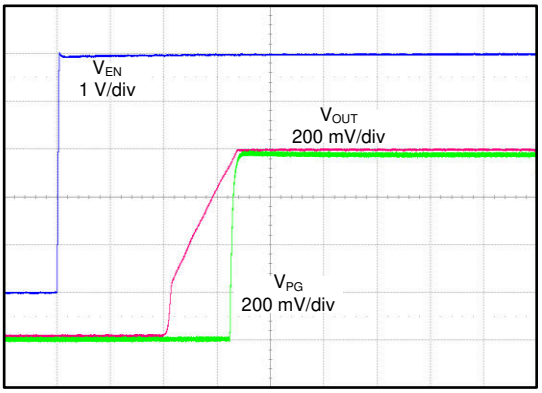
5.6 代表的特性 (続き)

T_J = 25℃、1.4V ≤ V_{IN} ≤ 6.5V、V_{IN} ≥ $V_{OUT(NOM)}$ + 0.3V、V_{OUT} = 0.8V、SS_CTRL = GND、I_{OUT} = 5mA、V_{EN} = 1.1V、C_{OUT} = 10µF、$C_{NR/SS}$ = C_{FF} = 0nF、PG ピンは 100kΩ で V_{OUT} にプルアップ、SS_CTRL = GND (特に記述のない限り)



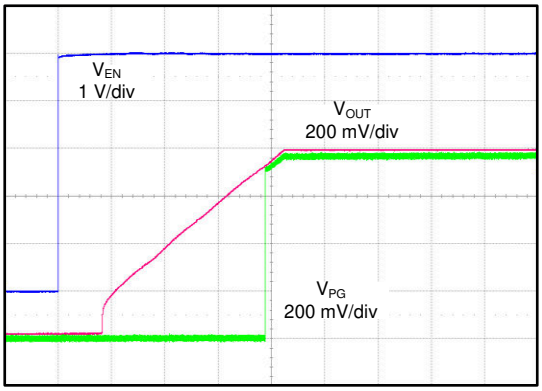
V_{IN} = 1.4V、V_{PG} = V_{OUT}

図 5-33. スタートアップ (SS_CTRL = GND、$C_{NR/SS}$ = 10nF)



V_{IN} = 1.4V、V_{PG} = V_{OUT}

図 5-34. スタートアップ (SS_CTRL = V_{IN}、$C_{NR/SS}$ = 10nF)



V_{IN} = 1.4V、V_{PG} = V_{OUT}

図 5-35. スタートアップ (SS_CTRL = V_{IN}、$C_{NR/SS}$ = 1µF)

Copyright © 2026 Texas Instruments Incorporated

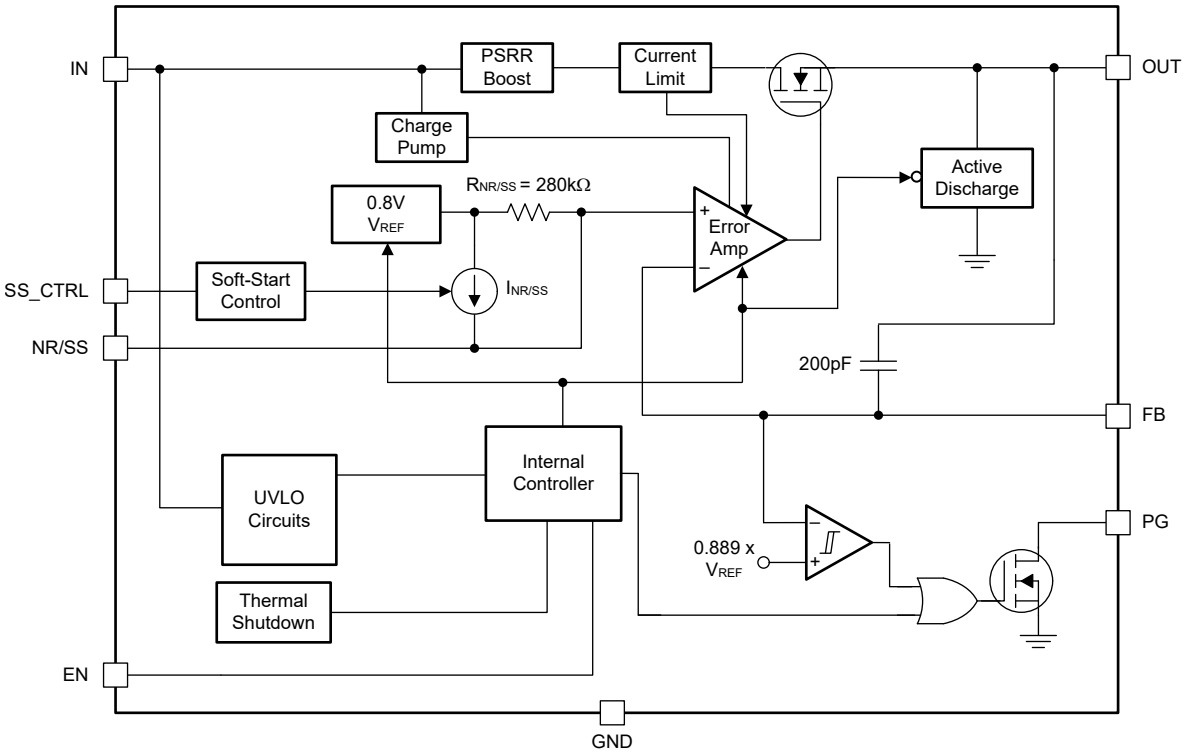
6 詳細説明

6.1 概要

TPS7A91 は、200mV 以下の最大ドロップアウトで 1A を供給できる低ノイズ、高 PSRR、低ドロップアウト (LDO) レギュレータです。TPS7A91 は、最低 1.4V の入力電圧と 0.8V の出力電圧で動作できます。このデバイスは、低ノイズ、高 PSRR、低ドロップアウト電圧を組み合わせているため、高速通信アプリケーションにおいて、ノイズに敏感な通信部品からハイエンドのマイクロプロセッサまたはフィールド プログラマブル ゲートアレイ (FPGA) まで、各種の負荷に電力を供給するための適切な LDO として機能します。

機能ブロック図 に示すように、TPS7A91 リニア レギュレータは低ノイズの 0.8V 内部リファレンス電圧を備えており、外部でフィルタリングして出力ノイズをさらに低減することができます。内部保護回路 (低電圧誤動作防止など) により、正確なレギュレーションが確立するのに十分な入力に達する前に、デバイスがオンになるのを防止します。また、フォールドバック電流制限機能が搭載されているため、出力電圧が調整範囲内のときには定格出力電流が供給されますが、短絡状態のときには許容される出力電流を減少させます。内部パワーグッド検出回路により、ダウンストリーム電源のシーケンス制御が行われ、出力電圧が調整スレッショルドを下回った場合にはアラートが送信されます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 出力イネーブル

TPS7A91 のイネーブル ピン (EN) はアクティブ High です。イネーブル ピンの電圧が $V_{IH(EN)}$ を上回ると出力電圧がイネーブルになり、イネーブル ピンの電圧が $V_{IL(EN)}$ を下回るとディスエーブルになります。出力電圧を独立して制御する必要がない場合は、イネーブル ピンを入力に接続します。

TPS7A91 には内部プルダウン MOSFET が搭載されており、デバイスがディスエーブルになると放電抵抗を V_{OUT} とグランドの間に接続し、出力放電をアクティブに放電します。

6.3.2 ドロップアウト電圧 (V_{DO})

ドロップアウト電圧 (V_{DO}) は、パス FET が完全にオンで、動作のオーミック領域にある場合の 1A の定格電流 (I_{RATED}) において、$V_{IN} – V_{OUT}$ 電圧として定義されます。V_{DO} は、出力電圧がレギュレーション状態にとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力が公称出力レギュレーションよりも低下すると、出力も同様に低下します。

パス FET の $R_{DS(ON)}$ によって、ドロップアウト電圧が決まります。したがって、LDO が定格電流よりも低い値で動作する場合、その電流に対する V_{DO} はそれに応じてスケーリングされます。式 1 を使用して、TPS7A91 の $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 出力電圧精度

出力電圧精度では、期待される公称出力電圧に対する最小および最大出力電圧誤差がパーセントで規定されます。TPS7A91 は 1% の出力電圧精度を備えており、電気的特性に示されているように、内部リファレンス電圧、ロード レギュレーション、およびライン レギュレーション変動によって生じる誤差を含む、過熱定格負荷およびライン動作条件の全範囲にわたる変動が含まれます。出力電圧精度は製造ロット間のすべての変動も考慮しています。

6.3.4 高い電源除去率 (PSRR)

PSRR は、LDO 制御ループが入力源からノイズをどれだけ除去して、DC 出力電圧を周波数スペクトル全体 (通常は 10Hz ～ 10MHz で測定) で可能な限りノイズを低減するかの尺度です。PSRR はノイズ信号振幅の損失ですが、便宜上、代表的特性の PSRR 曲線はデシベル (dB) 単位で正の値として示されています。式 2 では周波数関数として PSRR を計算しています。ここでは入力ノイズ電圧 ($V_{IN}[f]$) と出力ノイズ電圧 ($V_{OUT}[f]$) が各正弦波信号の振幅です。

$$PSRR\ (dB) = 20\ \log_{10}\left(\frac{V_{IN}(f)}{V_{OUT}(f)}\right) \quad (2)$$

入力を内部リファレンス電圧と結合することから発生するノイズは、PSRR の性能を低減する主な要因です。TI は、入力電圧からの不要なノイズをフィルタリングするために、ノイズ低減コンデンサを使用することを推奨します。この場合、低周波数時の PSRR 性能を向上させるために、内部抵抗を使用してローパス フィルタを形成します。

LDO は、降圧レギュレータとしてだけでなく、ノイズに敏感な部品に対して非常にクリーンな電源レールを供給するためにも採用されます。PSRR を 200kHz から 1MHz に昇圧する優れた回路を備えた TPS7A91 の場合、この使用法は特に当てはまります。この昇圧回路は、この領域で動作するスイッチング レギュレータからのスイッチング ノイズをさらにフィルタリングするのに役立ちます。「代表的特性」を参照してください。この PSRR 昇圧回路の最大の利点を実現するために、100kHz から 1MHz 帯域までの範囲で最小インピーダンスを持つコンデンサを使用することをお勧めします。

6.3.5 低い出力ノイズ

LDO ノイズは、半導体回路内で発生する内部起因の固有ノイズとして定義されます。TPS7A91 は、システム性能のため、電源レールのノイズを最小限に抑えることが重要なシステム アプリケーション向けに設計されています。これには、最小位相ノイズが極めて重要なフェーズ ロック ループ (PLL) ベースのクロック供給回路、または小さな電源ノイズの変動でも瞬間的に測定精度が損なわれる可能性があるイン テストおよび測定システムが含まれます。

TPS7A91 は低ノイズのリファレンスを備えており、通常動作時に出力ノイズを最小限に抑えることができます。ノイズ低減コンデンサ ($C_{NR/SS}$)、フィードフォワード コンデンサ (C_{FF})、またはこれら 2 つの組み合わせを追加する方法で、さらに改善を加えてください。追加の設計情報については、ノイズ低減およびソフトスタート コンデンサ ($C_{NR/SS}$) およびフィードフォワード コンデンサ (C_{FF}) セクションを参照してください。

ノイズとノイズの測定の詳細については、『How to Measure LDO Noise』というホワイトペーパーをご覧ください。

Copyright © 2026 Texas Instruments Incorporated

6.3.6 出力ソフトスタート制御

ソフトスタートとは、EN および UVLO のスレッショルドを超えた後の、LDO ターンオン時における出力電圧のランプアップ特性を指します。ノイズ低減コンデンサ ($C_{NR/SS}$) には、出力ノイズの低減を制御し、ターンオン時におけるソフトスタートの立ち上がりをプログラミングするという 2 つの役割があります。ノイズ低減コンデンサの値を大きくするとノイズが減少しますが、出力ターンオン時の立ち上がり速度が遅くなります。

TPS7A91 は SS_CTRL ピンを備えています。SS_CTRL ピンをグランドに接続すると、NR/SS ピンの充電電流は 6.2µA (標準値) となります。このピンを IN に接続すると、NR/SS ピンの充電電流は 100µA (標準値) に増加します。この高い電流によって、さらに大きいノイズ低減コンデンサを使用することができ、適切なスタートアップ時間を維持できます。図 6-1 に、ソフトスタート回路の簡略化されたブロック図を示します。V_{FB} が V_{REF} の約 97% に達すると、スイッチ SW がオープンになり、$I_{NR/SS}$ 電流源がオフになります。$V_{NR/SS}$ の最後の 3% はノイズ低減抵抗 (R_{NR}) を介して充電されるため、RC 遅延が発生します。R_{NR} はおよそ 280kΩ であり、大容量の $C_{NR/SS}$ を使用する際に最高の精度を必要とするアプリケーションでは、この RC 遅延を考慮する必要があります。

NR/SS ピンにノイズ低減コンデンサを使用しない場合は、SS_CTRL ピンを IN ピンに接続すると、出力電圧が約 10% オーバーシュートする可能性があります。SS_CTRL ピンを GND に接続するか、NR/SS ピンにコンデンサを使用することで、このオーバーシュートを最小限に抑えることができます。

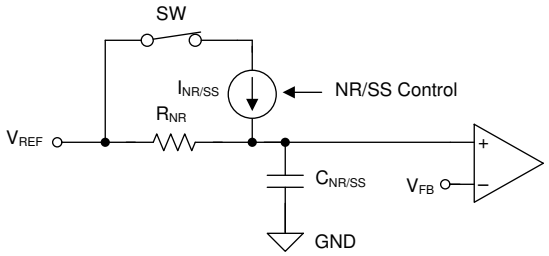


図 6-1. 簡易ソフトスタート回路

6.3.7 パワー グッド機能

パワー グッド回路を使うと、フィードバック ピンの電圧を監視して出力電圧のステータスを表示できます。フィードバック ピンの電圧が PG スレッショルド電圧 ($V_{IT(PG)}$) を下回ると、PG ピンのオープン ドレイン出力が作動し、PG ピンが GND 付近にプルされます。帰還電圧が $V_{IT(PG)}$ スレッショルドより $V_{HYS(PG)}$ 以上高くなると、PG ピンはハイ インピーダンスになります。外部電源にプルアップ抵抗を接続することで、後段のデバイスはパワー グッド信号をロジック信号として受け取り、シーケンス制御に利用できます。外部プルアップ電源電圧が受信デバイスの有効なロジック信号になることを確認します。TI では、10kΩ ～ 100kΩ のプルアップ抵抗の使用を推奨します。また、高精度が必要なアプリケーションや、マイクロプロセッサによるリセットが必要なアプリケーションでは、TPS3890 などの外部リセット デバイスを使用することも推奨しています。

フィードフォワード コンデンサ (C_{FF}) を使用する場合、LDO の起動時定数は増加しますが、パワーグッド出力の時定数は変化しないため、パワーグッド出力が無効な状態を示す可能性があります。この問題を回避し、有効な PG 出力を得るためには、LDO の起動時定数とパワーグッド出力の時定数を一致させる必要があります。これは、パワーグッドのプルアップ抵抗に並列してコンデンサを追加することで実現できます。『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用することの長所と短所』アプリケーション ノートも参照してください。

PG の状態が有効なのは、デバイスが最小入力電圧を上回る電圧で動作している場合のみです。また、入力電圧が UVLO スレッショルドから UVLO ヒステリシスを引いた値を下回ると、出力電圧の状態に関係なくパワーグッドはアサートされます。図 6-2 に、パワーグッド回路の簡略化されたブロック図を示します。入力電圧が約 0.8V を下回ると、オープン ドレインのパワーグッド デバイスをオン状態に維持するためのゲート駆動電圧が不足し、パワーグッド出力は High にプルされます。パワーグッドのプルアップ抵抗を出力電圧に接続することで、この影響を最小限に抑えることができます。

Copyright © 2026 Texas Instruments Incorporated

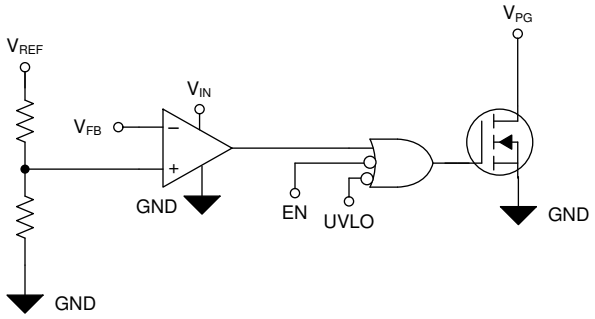


図 6-2. PG の概略回路図

6.3.8 内部保護回路

6.3.8.1 低電圧誤動作防止 (UVLO)

TPS7A91 は、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。起動時に入力電圧が低下してデバイスがオフになるのを防ぐため、UVLO には約 290mV のヒステリシスが内蔵されています。

UVLO 回路は、V_{IN} のグリッチに迅速に応答し、このレールが過度に急速に低下し始めると、デバイスの出力を無効にします。入力過渡電圧を 2V/ms 未満まで低速化するのに十分な大きさの入力コンデンサを使用します。

6.3.8.2 内部電流制限 (I_{CL})

高負荷過渡電流による故障や短絡事象から LDO を保護するため、内部電流制限回路が使用されます。この LDO は、定常的な状態での電流制限下で動作するようには設計されていません。出力電圧が安定化出力電圧より 10% 低い値にプルされる過電流イベント中、LDO は、「電気的特性」の表に規定されている定電流を供給します。出力電圧が低下すると、デバイスをより適切に保護するため、出力電流の量が減少します。ハード短絡発生中は、電流は約 1.45A に低減されます。電流制限フォールドバック動作の詳細については、「代表的特性」セクションの電流制限フォールドバックを参照してください。ただし、電流制限イベントが発生すると、消費電力の増加により LDO が発熱し始めます。熱が増加すると、内蔵サーマル シャットダウン保護回路がトリガされる可能性があります。

6.3.8.3 過熱保護

TPS7A91 には、LDO 内で過剰な熱が放散される際に出力電流をオフにするサーマル シャットダウン保護回路が内蔵されています。パス FET の熱的接合部温度 (T_J) が 160°C (標準値) を超えると、サーマル シャットダウンが発生します。温度が 140°C (標準値) まで低下すると、サーマル シャットダウンのヒステリシスにより、LDO が再度リセットがリセットされます (オンになります)。半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、出力は高速でオンとオフに切り替わります。

TPS7A91 の内部保護回路は、熱過負荷状態に対して保護を行うように設計されています。この回路は適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS7A91 を使用し続けると、デバイスの信頼性が低下します。

動作の信頼性を高めるには、接合部温度を最大 125°C に制限します。所定のレイアウトの熱マージンを推定するには、最悪事例の負荷と最大入力電圧条件を使用して、過熱保護シャットダウンがトリガされるまで周囲温度を上げます。信頼性を高めるために、用途で想定される最大周囲温度条件を少なくとも 35°C 上回った時にサーマル シャットダウンがトリガするようにする必要があります。この構成では、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

6.4 デバイスの機能モード

通常モード、ドロップアウト モード、ディスエーブル モードの各動作間の簡単な比較を表 6-1 に示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. デバイスの機能モード比較

動作モード	パラメータ			
	V_{IN}	EN	I_{OUT}	T_J
通常(1)	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
ドロップアウト(1)	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
ディスエーブル(2)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{IL(EN)}$	—	$T_J > T_{sd}$

(1) 表に記載のすべての条件を満たす必要があります。
(2) いずれかの条件が満たされると、デバイスはディスエーブルになります。

6.4.1 通常動作

デバイスは、以下のすべての条件が満たされるとき、公称出力電圧への調整を行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{sd}$)

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト状態で動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パス デバイスがトライオード状態にあり、LDO によって電流の制御を行わないため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態の直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パス FET は可能な限り強く駆動されます。入力電圧が $V_{IN} \geq V_{OUT(NOM)} + V_{DO}$ に戻ると、入力電圧のスルーレートが 0.1V/µs を超える場合、V_{OUT} は短時間オーバーシュートする可能性があります。

6.4.3 ディスエーブル

TPS7A91 の出力は、イネーブル ピンを 0.4V 未満に強制することでシャットダウンできます。無効化されるとパス デバイスがオフになり、内部回路がシャットダウンされ、出力とグランド間の内部抵抗によって、出力電圧はアクティブにグランドに放電されます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS7A91 は、入力 1.4V ～ 6.5V の範囲で動作するリニア電圧レギュレータであり、1% 精度内で 0.8V ～ 5.0V の電圧をレギュレートし、最大出力電流は 1A です。TPS7A91 はリニア電圧レギュレータであるため、効率は出力電圧と入力電圧の比で定義されます。高効率を実現するには、ドロップアウト電圧 (V_{IN} - V_{OUT}) をできるだけ小さくする必要があるため、非常に低いドロップアウトの LDO が必要です。アプリケーションで LDO を正しく実装するには、アプリケーションの要件に依存します。このセクションでは、デバイスの主要な機能および、それらの機能を最適に実装し、信頼性の高い設計を実現する方法について説明します。

7.1.1 調整可能な出力

図 7-1 に示すように、TPS7A91 の出力電圧は、抵抗デバイダを使用して 0.8V ～ 5.2V の範囲で調整できます。

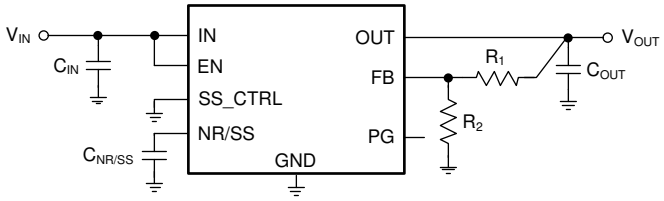


図 7-1. 可変動作

任意の出力電圧範囲について、R_1 と R_2 を計算するには、式 3 を使用します。最適なノイズ性能を得るために、この抵抗性ネットワークは、5µA 以上の電流を供給する必要があります。

$$R_1 = R_2 \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \quad (3)$$

ここで、

$$\frac{| V_{REF(max)} |}{R_2} > 5\ \mu A \quad (4)$$

より高い電圧精度が必要な場合は、フィードバック ピン電流 (I_{FB}) に起因する出力電圧オフセットの寄与を考慮し、許容誤差が 0.1% の抵抗を使用します。

表 7-1 に、市販の製品で利用可能な 0.1% の許容誤差の抵抗を使用して最も一般的なレールをいくつか作り出し、公称電圧精度を最大化して、式 3 および式 4 に示す式も遵守するために必要な抵抗の組み合わせを示しています。

表 7-1. 帰還抵抗の推奨値

$V_{OUT(TARGET)}$ (V)	帰還抵抗値 (1)		計算された出力電圧 (V)
	R_1 (kΩ)	R_2 (kΩ)	
0.8	短絡	オープン	0.800
1.00	2.55	10.2	1.000
1.20	5.9	11.8	1.200
1.50	9.31	10.7	1.496
1.80	1.87	1.5	1.797

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 帰還抵抗の推奨値 (続き)

$V_{OUT(TARGET)}$ (V)	帰還抵抗値 (1)		計算された出力電圧 (V)
	R_1 (kΩ)	R_2 (kΩ)	
1.90	15.8	11.5	1.899
2.50	2.43	1.15	2.490
3.00	3.16	1.15	2.998
3.30	3.57	1.15	3.283
5.00	10.5	2	5.00

(1) R_1 は OUT から FB に接続され、R_2 は FB から GND に接続されます。図 7-1 を参照してください。

7.1.2 スタートアップ

7.1.2.1 イネーブル (EN) および低電圧誤動作防止 (UVLO)

TPS7A91 は、EN と UVLO がそれぞれの電圧スレッショルドを上回るとオンになります。TPS7A91 は、入力電圧を監視する独立した UVLO 回路を備えており、オンおよびオフを制御された一定の動作で行えるようにします。UVLO には約 290mV のヒステリシスがあり、起動時に入力電圧が低下してデバイスがオフになるのを防ぎます。EN 信号を使用すると独立したロジック レベルをオンにでき、入力電圧が存在するときに LDO シャットダウンできます。独立ターンオンが必要ない場合は、EN を IN に直接接続することを推奨します。

TPS7A91 には内部プルダウン MOSFET が搭載されており、デバイスがディスエーブルになると放電抵抗を V_{OUT} とグランドの間に接続し、出力放電をアクティブに放電します。

7.1.2.2 ノイズ低減およびソフトスタート コンデンサ ($C_{NR/SS}$)

$C_{NR/SS}$ コンデンサには、出力ノイズの低減し、ターンオン時におけるソフトスタートの立ち上がりを設定するという 2 つの役割があります。

7.1.2.2.1 ノイズ低減

低ノイズ用途では、$C_{NR/SS}$ コンデンサが RC フィルタを形成し、制御ループによって増幅されてしまう出力ノイズをフィルタリングします。低ノイズ用途では、10nF ～ 10µF の $C_{NR/SS}$ を推奨します。$C_{NR/SS}$ にはより大きな値を使用することもできますが、1µF を超えると、10Hz を超える周波数の出力電圧ノイズを低減する効果はほとんど得られません。

7.1.2.2.2 ソフトスタートおよび突入電流

ソフトスタートとは、EN および UVLO がスレッショルド電圧を達成した後の出力電圧の段階的なランプアップ特性を指します。スタートアップ時に出力電圧が増加する速度を低下させると、出力コンデンサの充電に必要な電流の量 (突入電流と呼びます) も減少します。突入電流は、スタートアップ時に LDO に流れ込む電流として定義されます。突入電流は、負荷電流、出力コンデンサの充電に使用される電流、グランド ピンの電流 (突入電流にはごくわずかしか寄与しない) で構成されます。入力コンデンサを取り除く必要があるため、この電流を測定するのは困難ですが、これは推奨しません。ただし、式 5 を使用して突入電流を推定します。

$$I_{OUT}(t) = \left(\frac{C_{OUT} \times d\,V_{OUT}(t)}{d\,t}\right) + \left(\frac{V_{OUT}(t)}{R_{LOAD}}\right) \quad (5)$$

ここで

- V_{OUT} (t) はターンオン ランプの瞬時出力電圧
- dV_{OUT} (t) / dt は V_{OUT} ランプの勾配
- R_{LOAD} は出力負荷インピーダンス

TPS7A91 には、外付けコンデンサ ($C_{NR/SS}$) とともに単調、電圧制御のソフトスタートが搭載されています。このソフトスタートにより、突入電流を低減し、入力電源バスへの負荷過渡を最小限に抑えることができます。負荷過渡が発生すると、FPGA、デジタル信号プロセッサ (DSP)、または他の大電流負荷に電力を供給する際に、スタートアップの初期化に問題が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

単調なスタートアップを実現するため、TPS7A91 エラー アンプは、電圧が内部リファレンスの約 97% を超えるまで、外部ソフトスタート コンデンサの電圧ランプを追跡します。$V_{NR/SS}$ の最後の 3% はノイズ低減抵抗 (R_{NR}) を経由して充電され、RC 遅延が発生します。R_{NR} はおよそ 280kΩ であり、大容量の $C_{NR/SS}$ を使用する際に最高の精度を必要とするアプリケーションでは、この RC 遅延を考慮する必要があります。

ソフトスタートのランプ時間は、ソフトスタート充電電流 ($I_{NR/SS}$)、ソフトスタート容量 ($C_{NR/SS}$)、内部リファレンス電圧 (V_{REF}) に依存します。式 6 を使用して、ソフトスタートのランプ時間 (t_{SS}) の近似値を計算します。

$$t_{SS} = (V_{REF} \times C_{NR/SS}) / I_{NR/SS} \quad (6)$$

$I_{NR/SS}$ の値は、SS_CTRL ピンの状態によって決まります。SS_CTRL ピンが GND に接続されている場合、$I_{NR/SS}$ 電流の標準値は 6.2µA です。SS_CTRL ピンを IN に接続すると、標準的なソフトスタート充電電流が 100µA に増加します。スタートアップ時間を短くする必要がある場合 (大きなノイズ低減コンデンサを使用する場合など) には、より大きな $I_{NR/SS}$ の充電電流が有効です。

7.1.3 コンデンサに関する推奨事項

TPS7A91 は、入力、出力、およびノイズ低減ピンに低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準であり、推奨されますが、制約をよく理解して使用する必要があります。X7R 定格、X5R 定格、COG 定格の誘電体を採用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。Y5V 定格のコンデンサの使用は、容量に大きな変動があるため推奨されません。いずれの場合も、セラミック コンデンサは動作電圧および温度によって大きく変化するため、設計エンジニアはこれらの特性に注意する必要があります。一般的なガイドラインとして、セラミック コンデンサのディレーティングには 50% を推奨します。ここで推奨する入力および出力コンデンサは、50% の容量ディレーティングを考慮しています。

7.1.3.1 入力および出力コンデンサの要件 (C_{IN} および C_{OUT})

TPS7A91 は、入力 10µF 以上、出力で のセラミック コンデンサを使用した動作向けに設計および特性評価されています。コンデンサからデバイスまでのトレースのインダクタンスを最小限に抑えるために、入力コンデンサと出力コンデンサを入力ピンと出力ピンにできるだけ近い位置に配置します。

スタートアップおよび負荷電流ステップ中の過渡入力ドループを最小限に抑えるため、入力容量に注意する必要があります。単純に非常に大きなセラミック入力キャパシタンスを使用すると、入力コンデンサが (ワイヤ リード インダクタンスとの組み合わせで) 過渡中に大きな Q ピーク効果を引き起こした場合に、出力に不要なリンギングが発生する可能性があります。そのため、リンギングを最小限に抑えるために、上流電源との相互接続のパターンを短く、適切に設定する必要があります。望ましくないリンギングのダンピングは、セラミック入力コンデンサと並列に数百マイクロオームの ESR のタンタル コンデンサを接続することにより実現できます。UVLO 回路は、V_{IN} のグリッチに迅速に応答し、このレールが過度に急速に低下し始めると、デバイスの出力を無効にします。入力過渡電圧を 2V/ms 未満まで低速化するのに十分な大きさの入力コンデンサを使用します。

7.1.3.1.1 負荷ステップ過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流のステップ変化に対してどのように応答するかを示すものです。負荷ステップ直後における電荷の減少量は、出力キャパシタンスの大きさに正比例します。ただし、出力キャパシタンスが大きくなると、負荷ステップ時に発生する電圧ディップやピークは低減する一方、制御ループの帯域幅も低下し、応答時間が遅くなります。

LDO は充電をシンクできないため、出力負荷が取り外された場合、または大幅に低減された場合、制御ループはパス FET をオフにし、過剰な電荷が放出されるまで待機する必要があります。

7.1.3.2 フィードフォワード コンデンサ (C_{FF})

安定性を実現するためには、FB ピンから OUT ピンへのフィードフォワード コンデンサ (C_{FF}) は必須ではありませんが、10nF のフィードフォワード コンデンサにより、ノイズ、および PSRR の特性が向上します。より高容量の C_{FF} を使用する場合、スタートアップ時間が長くなり、パワーグッド信号が出力電圧が安定したと誤って示す可能性があります。詳細につ

Copyright © 2026 Texas Instruments Incorporated

いては、「低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所」アプリケーション ノートを参照してください。

7.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。式 7 は、P_D を計算します:

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

DSK パッケージの主な放熱経路は、サーマル パッドを通じて PCB へ伝わる経路です。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。式 8 によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (\theta_{JA} \times P_D) \quad (8)$$

残念ながら、熱抵抗 ($R_{\theta JA}$) は、個々の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。「熱に関する情報」の表に記録されている $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。

7.1.5 推定接合部温度

JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 (Ψ_{JT} と Ψ_{JB}) は、式 9 に従って使用されており、「熱に関する情報」の表に示されています。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D$$
$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (9)$$

ここで

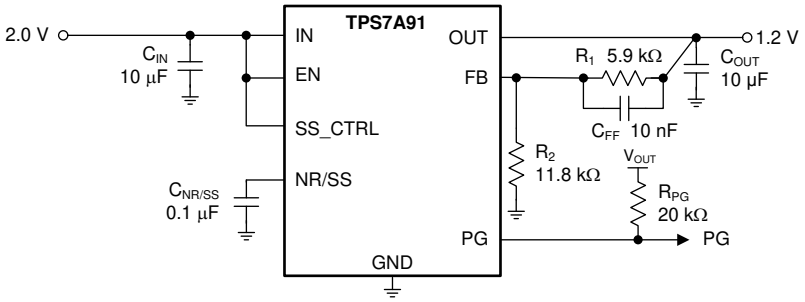
- P_D は、式 7 で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱特性指標の使用方法の詳細については、アプリケーション ノート「半導体および IC パッケージの熱特性指標」を参照してください。

7.2 代表的なアプリケーション

このセクションでは、ノイズに敏感な負荷に対して 2V 入力電圧から 1.2V の出力電圧にレギュレートするために TPS7A91 を実装する方法について説明します。図 7-2 には、このアプリケーション回路の回路図が示されています。

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

図 7-2. アプリケーションの例

7.2.1 設計要件

図 7-2 に示されている設計例では、表 7-2 に記載されているパラメータを入力パラメータとして使用しています。

表 7-2. 設計パラメータ

パラメータ	アプリケーション要件	設計結果
入力電圧 (V_{IN})	2V、±3%、750kHz でスイッチングする DC/DC コンバータにより供給	1.4V ～ 6.5V
最大動作周囲温度	55℃	接合部温度 101℃
出力電圧 (V_{OUT})	1.2 V、±1%	1.2 V、±1%
出力電流 (I_{OUT})	1.0A (最大値)、10mA (最小値)	1.0A (最大値)、5mA (最小値)
RMS ノイズ	5μV_{RMS} 未満、帯域幅 = 10Hz ～ 100kHz	4.7μV_{RMS}、帯域幅 = 10Hz ～ 100kHz
750kHz での PSRR	> 40dB	49dB
起動時間	2ms 未満	800μs (標準値) 1.48μs (最大値)

7.2.2 詳細な設計手順

R_1 と R_2 の適切な値を選択して、出力電圧を 1.2V に設定します。式 3 を参照してください。

入力および出力コンデンサは、コンデンサに関する推奨事項 に従って選択してください。入力と出力の両方で 10μF のセラミック キャパシタンスを使用することで、出力コンデンサを充電する際のスタートアップ時に必要な電荷のバランスを取るため、入力電圧降下を低減できます。

必要なスタートアップ時間 (t_{SS}) を満たし、低ノイズ性能を維持するため、SS_CTRL が V_{IN} に接続されている状態で、0.1μF $C_{NR/SS}$ が選択されています。式 10 でこの値を計算します。$I_{NR/SS(MAX)}$ と、製造時のばらつきに起因する小さな $C_{NR/SS}$ 容量 (多くの場合 ±20%) を使用することで、最速の起動時間を実現できます。一方、$I_{NR/SS(MIN)}$ と、製造時のばらつきに起因する $C_{NR/SS}$ 容量が最大のものを使用することで、起動時間が最低になります。

$$t_{SS} = (V_{REF} \times C_{NR/SS}) / I_{NR/SS} \quad (10)$$

1.0A の最大負荷の場合、内部消費電力は 800mW であり、46°C の接合部温度の上昇に対応します。最大周囲温度 55°C の場合、接合部温度は JEDEC 標準高 K 基板で 101°C。ノイズを最小限に抑えるため、10nF のフィードフォワード容量 (C_{FF}) を使用します。

最良の PSRR とノイズを実現するために TPS7A91 をレイアウトする方法の例については、レイアウト を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

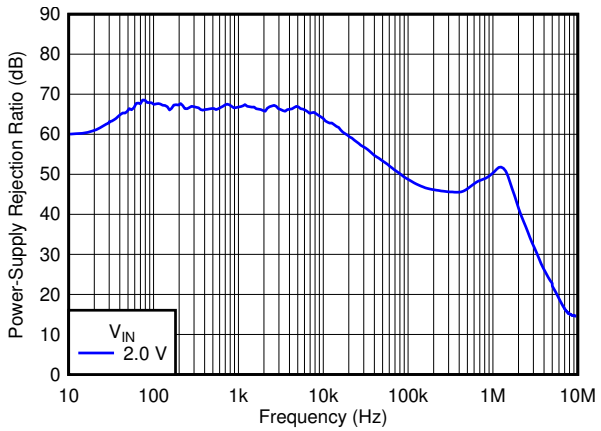


図 7-3. PSRR と周波数との関係

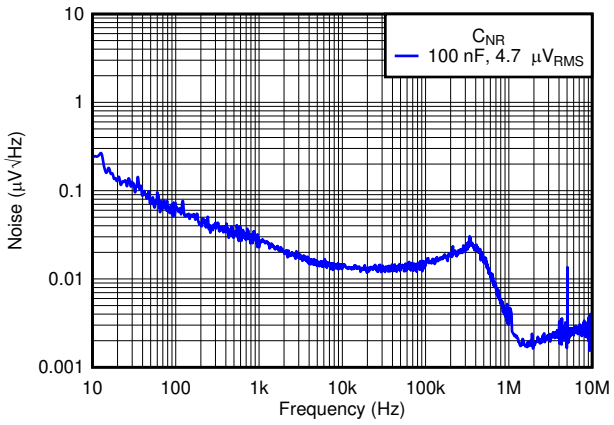


図 7-4. 出力ノイズと周波数との関係

7.3 電源に関する推奨事項

TPS7A91 の入力は、1.4V ～ 6.5V の入力電圧範囲で動作するよう設計されており、10µF の入力コンデンサを使用します。入力電圧範囲は、デバイスが出力をレギュレートするための十分なヘッドルームを提供しなければなりません。この入力電源には適切なレギュレーションが行われる必要があります。入力電源にノイズがある場合、追加の入力コンデンサを使用することで、出力ノイズ特性を改善できます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

リニア レギュレータにおける一般的なガイドラインでは、回路のすべての部品を基板の同じ面で、それぞれの LDO ピン接続部に対して実用上可能な限り近づけて配置します。入力コンデンサと出力コンデンサ、および LDO グランド ピンへのグランド リターン接続を、部品側の広い銅表面で接続し、できるだけ近づけて配置します。ビアや長いパターンを使用して LDO 回路の接続部を作成しないよう強くお勧めします。これらは、システム性能を低下させます。

7.4.1.1 基板レイアウト

TPS7A91 の AC 性能を最大化するには、図 7-5 に示すレイアウト例に従うことを推奨します。このレイアウトでは、アナログ グランド (AGND) をノイズの多いパワー グランドから分離しています。ノイズの少ないアナログ グランドに接続する必要のある部品は、ノイズ低減コンデンサ ($C_{NR/SS}$) と下側の帰還抵抗 (R_2) です。出力ノイズ性能を最大限に高めるために、これらの部品には、デバイスのサーマル パッドへ戻る個別の接続が必要です。GND ピンは、外部プレーンには接続せず、サーマル パッドに直接接続してください。

出力電圧の精度を最大化するため、出力電圧から上側の出力分圧器抵抗 (R_1) までの接続は、負荷のできるだけ近くで行う必要があります。フィードバック パターンを接続するこの方法により、デバイスの出力から負荷までの電圧降下をなくすことができます。

放熱性能を向上させるため、複数のサーマル ビアを使用して、サーマル パッドをグランド プレーンに接続してください。グランド プレーンをより大きくすると、デバイスの放熱性能が向上し、デバイスの動作温度が低下します。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

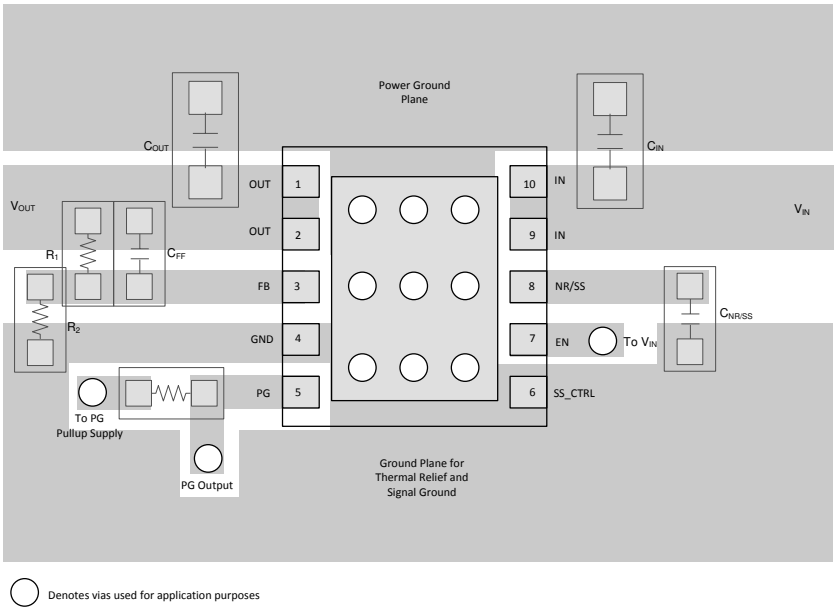


図 7-5. TPS7A91 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS7A91 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。表 8-1 に、この評価基板の概要を示します。

表 8-1. 設計キットと評価モジュール(1)

名称	部品番号
TPS7A91 低ドロップアウト 電圧レギュレータの評価基板	TPS7A91EVM-831

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

この評価基板は、テキサス インスツルメンツの Web サイトの TPS7A91 製品フォルダで請求できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS7A91 用の SPICE モデルは、TPS7A91 製品フォルダの「シミュレーション モデル」で入手できます。

8.1.2 デバイスの命名規則

表 8-2. 注文情報(1)

製品名	説明
TPS7A91**XXYYYZ**	**XX** は公称出力電圧を表します。01 は調整可能なオプションです。 **YYY** はパッケージ指定子です。 **Z** はパッケージ数量です。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『TPS3890 低静止電流、1% 精度のスーパーバイザ、遅延プログラム可能』データシート
- テキサス・インスツルメンツ、『TPS7A91EVM-831 評価基板』ユーザー ガイド
- テキサス インスツルメンツ、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用することの長所と短所』アプリケーション ノート
- テキサス インスツルメンツ、『LDO ノイズの測定方法』ホワイト ペーパー
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション レポート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

Copyright © 2026 Texas Instruments Incorporated

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2016) to Revision A (September 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 熱情報セクションを更新しました	4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A9101DSKR	Active	Production	SON (DSK) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP
TPS7A9101DSKR.A	Active	Production	SON (DSK) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP
TPS7A9101DSKRG4	Active	Production	SON (DSK) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP
TPS7A9101DSKRG4.A	Active	Production	SON (DSK) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP
TPS7A9101DSKT	Active	Production	SON (DSK) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP
TPS7A9101DSKT.A	Active	Production	SON (DSK) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19GP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

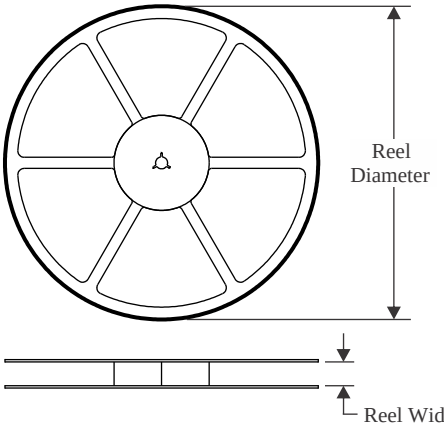
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

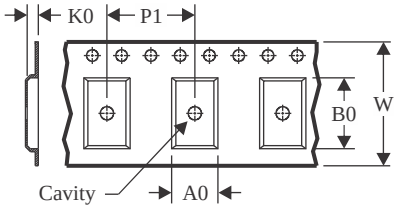
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

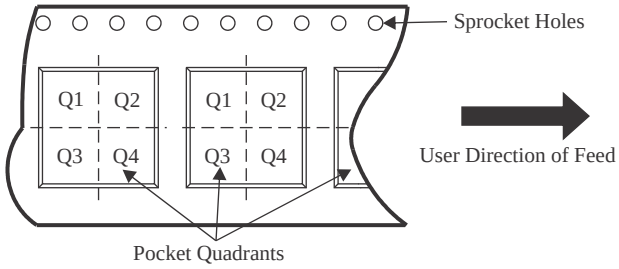


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

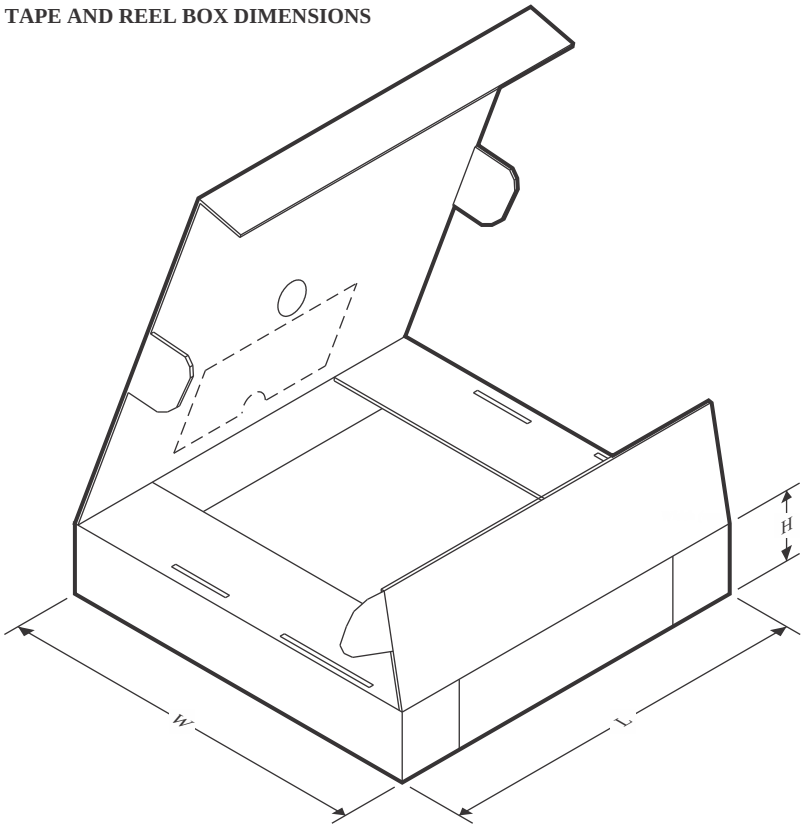
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A9101DSKR	SON	DSK	10	3000	178.0	8.4	2.75	2.75	0.95	4.0	8.0	Q2
TPS7A9101DSKRG4	SON	DSK	10	3000	180.0	8.4	2.8	2.8	1.0	4.0	8.0	Q2
TPS7A9101DSKRG4	SON	DSK	10	3000	178.0	8.4	2.75	2.75	0.95	4.0	8.0	Q2
TPS7A9101DSKT	SON	DSK	10	250	178.0	8.4	2.75	2.75	0.95	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



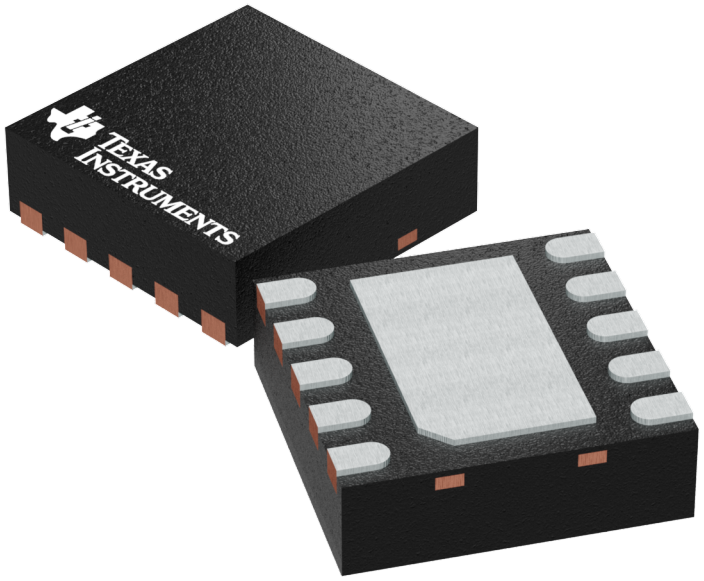
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A9101DSKR	SON	DSK	10	3000	205.0	200.0	33.0
TPS7A9101DSKRG4	SON	DSK	10	3000	182.0	182.0	20.0
TPS7A9101DSKRG4	SON	DSK	10	3000	205.0	200.0	33.0
TPS7A9101DSKT	SON	DSK	10	250	205.0	200.0	33.0

DSK 10 WSON - 0.8 mm max height

2.5 x 2.5 mm, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD



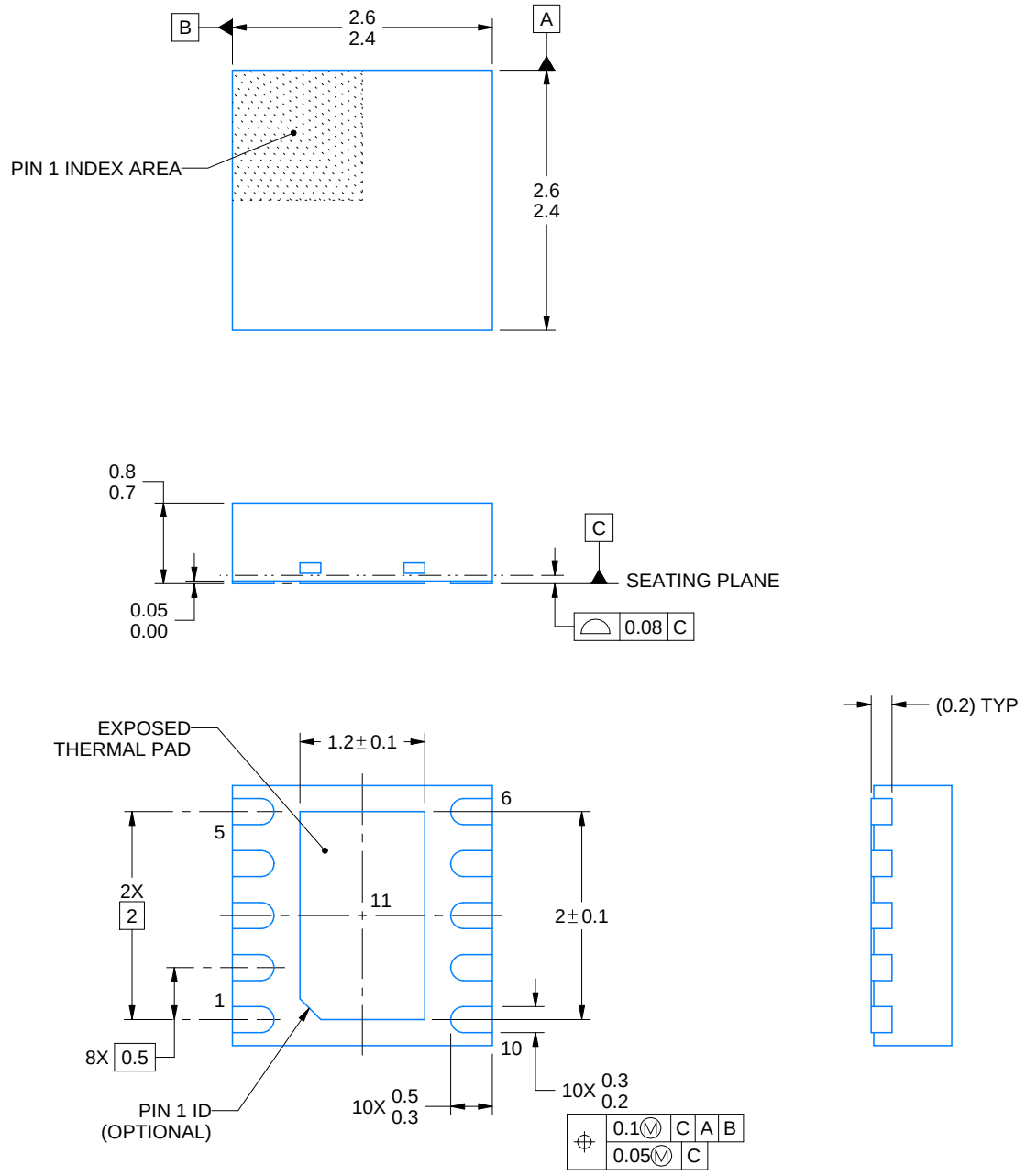
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DSK0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218903/C 09/2025

NOTES:

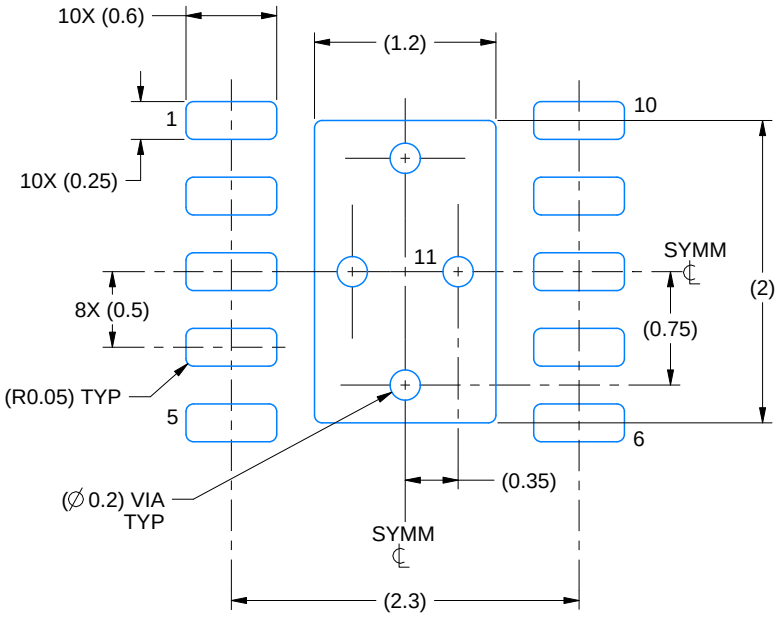
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

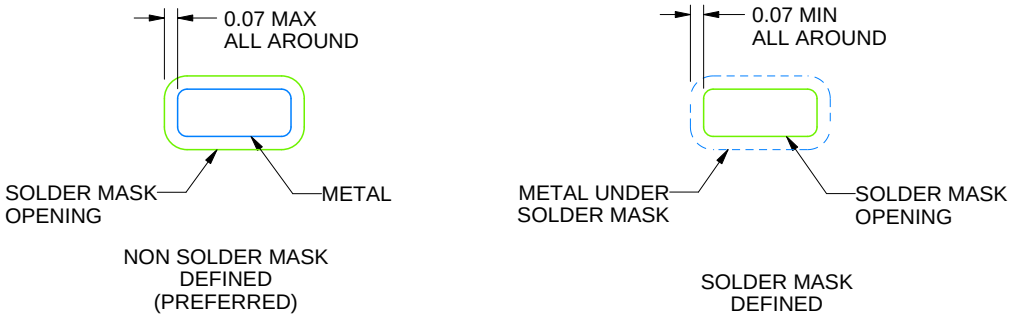
DSK0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X

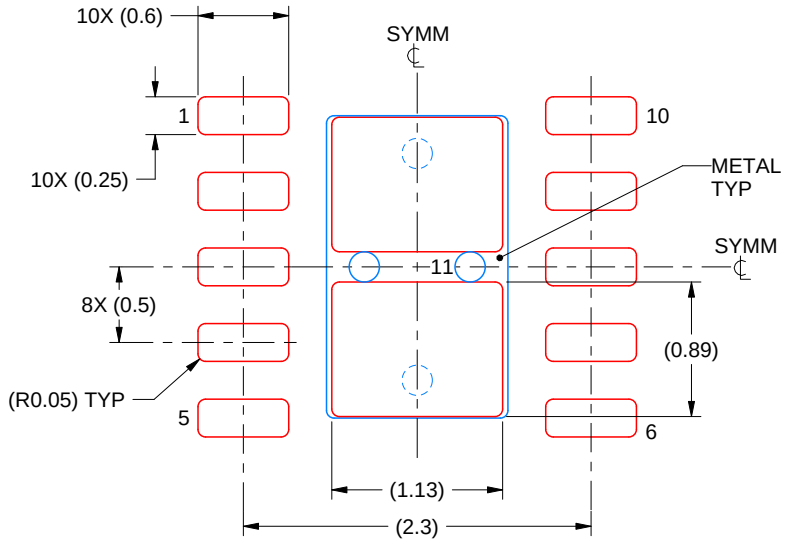


SOLDER MASK DETAILS

4218903/C 09/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4218903/C 09/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月