TPS7B7802-Q1 車載用、デュアル チャネル LDO、診断機能および I²C インターフェイス付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ 125℃、T_A
  - 接合部温度、–40°C ～ 150°C、T_J
- 幅広い入力電圧範囲:
  - 絶対最大入力範囲:-40V ～ 45V
  - 動作範囲:4.5V ～ 40V
- 出力電圧:
  - 外付け抵抗を使用して、広い範囲の出力電圧を設定できます:2V ～ 40V
  - 外部抵抗なしで I²C を使用してプログラムされる出力電圧範囲:2V～27.4V (100mV 刻み)
  - パワー スイッチ モードは、I²C (内部 FB モード) を使用するか、FB を GND に接続 (外部 FB 抵抗モード) を使用して設定できます
- チャネルあたり最大 300mA の負荷電流に対応
- 追加のキャリブレーションなしで、低負荷電流 (≤25mA) を検出できる高精度電流検出(≤ ±12.5%)
- 可変グリッチ耐性 (I²C プログラミング利用)
- Low ドロップアウト電圧:315mV (最大値)、100mA 時
- 幅広いセラミック出力コンデンサの値全体で安定:
  - C_{OUT} 範囲:4.7µF～100µF
  - ESR 範囲:1mΩ～500mΩ
- 内蔵保護機能:
  - 逆電流保護
  - 逆極性保護
  - 過熱保護
  - グランド / バッテリへの出力短絡に対する保護
- I²C インターフェイスを使用した診断および監視機能を内蔵:
  - 入力電圧および出力電圧の監視
  - 負荷電流監視
  - 接合部温度モニタ
  - 開路の検出
  - 出力低電圧および過電圧検出。

2 アプリケーション

- 車載ヘッド ユニットの低ノイズ アンプへの電力供給
- サラウンド ビュー システム内でのカメラ モジュールへの電力供給
- マイクの電源

3 説明

TPS7B7802-Q1 は、ADC と I²C インターフェイスを内蔵したモノリシック デュアル チャネル、高電圧の低ドロップアウト レギュレータです。このデバイスは広い入力電圧動作範囲を備えており、45V の入力電圧によるロード ダンプ事象から保護するよう設計されています。このデバイスは、同軸ケーブルを介して、離れた場所に配置された LNA (AM/FM/GNSS アンテナ用)、マイク モジュール、およびカメラ モジュールに電力を供給する用途に最適です。過酷な車載環境では、同軸ケーブルはさまざまな故障状態にさらされる可能性があり、故障のリスクが高まります。このような条件には、グランドへの短絡、バッテリへの短絡、過熱が含まれます。TPS7B7802-Q1 には、これらの各故障状態に対する保護機能、および逆極性からの保護機能が内蔵されています。このデバイスは、2 つの双方向 P チャネル金属酸化膜半導体電界効果トランジスタ (MOSFET) を実装するトポロジを採用しています。この PMOS トポロジにより、逆電流の流れを防ぐために必要な外付けダイオードが不要になります。各チャネルは、最大 300mA の出力電流と、2V ～ 40V の範囲で調整可能な出力電圧を提供できます。

このデバイスは、複数の故障状態を個別に識別して診断できます。この診断情報は、I²C 通信とエラー ピンを介してレジスタから推定できます。内蔵の 10 ビット ADC により、入力電圧、出力電圧、接合部温度、および負荷電流を継続的に監視できます。このデバイスは、両チャネルにおいて、電流範囲全域で高精度の電流検出回路を備えています (1mA ～ 23.5mA で ±12.5% 以内、75mA 超で ±9.5% 以内)。この機能により、追加の較正を行うことなく、オープン状態、正常状態、および短絡状態を高精度に検出し、識別できます。各チャネルは調整可能な電流制限も備えており、I²C 通信を使用して設定できます。

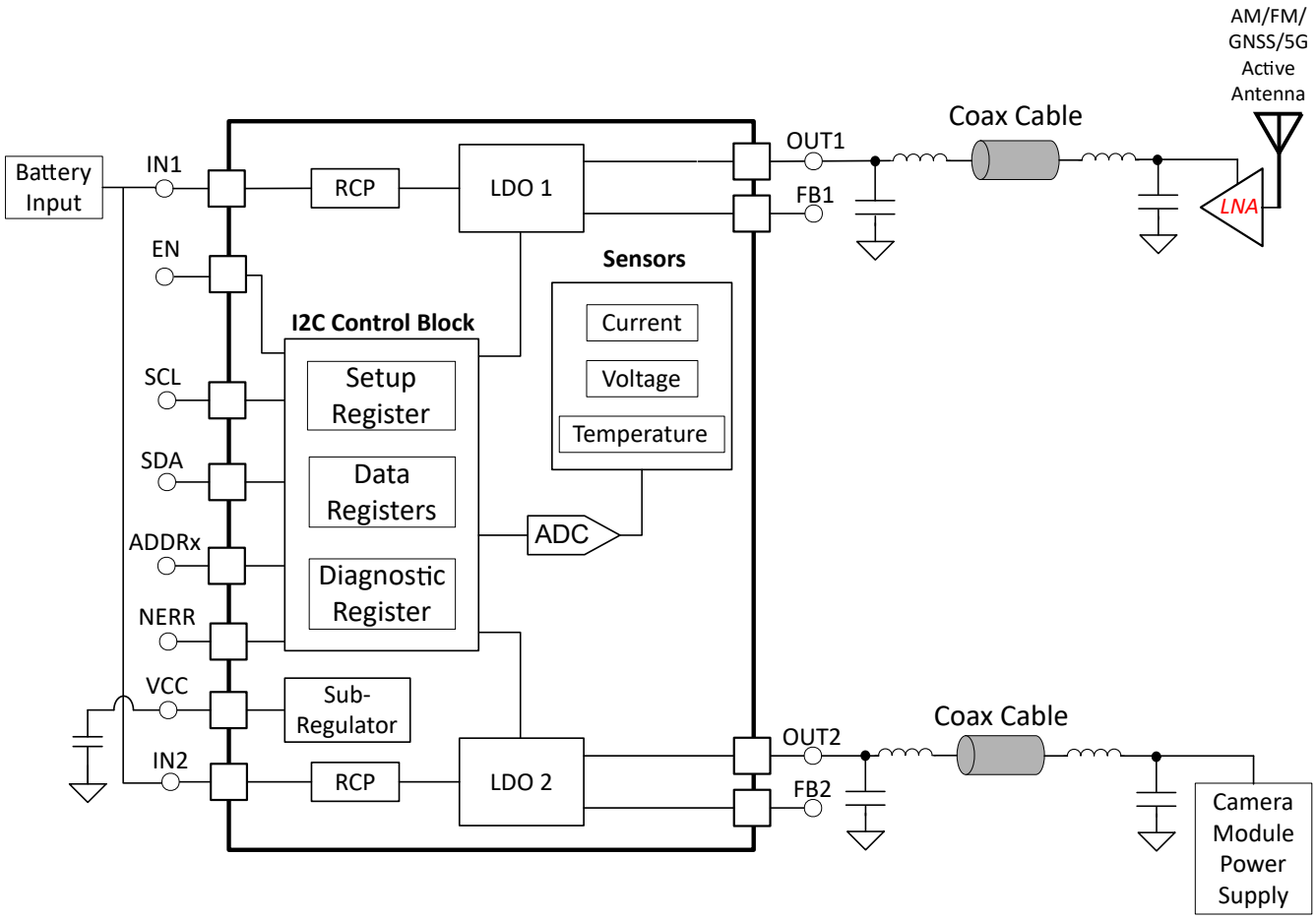
このデバイスは、−40°C ～ +125°C の周囲温度範囲で動作し、4.0mm × 4.0mm、20 ピン WQFN (ウェッタブル フランク) (RTJ-WF) を備えた高放熱パッケージで提供されます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B7802-Q1	RTJ (WQFN-WF、20)	4mm × 4mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 ... 7
5.5 電気的特性 ... 7
5.6 タイミング要件 - I²C 標準モード ... 9
5.7 タイミング要件 - I²C 高速モード ... 9
5.8 タイミング要件 - I²C 高速モード プラス ... 10
5.9 代表的特性 ... 10
6 詳細説明 ... 20
6.1 概要 ... 20
6.2 機能ブロック図 ... 20
6.3 機能説明 ... 21
6.4 デバイスの機能モード ... 25
6.5 プログラミング ... 27
7 レジスタ マップ ... 38
7.1 デフォルト設定 ... 38
7.2 レジスタの詳細 ... 39
8 アプリケーションと実装 ... 57
8.1 使用上の注意 ... 57
8.2 代表的なアプリケーション ... 57
8.3 電源に関する推奨事項 ... 63
8.4 レイアウト ... 63
9 デバイスおよびドキュメントのサポート ... 65
9.1 デバイス サポート ... 65
9.2 ドキュメントのサポート ... 65
9.3 ドキュメントの更新通知を受け取る方法 ... 65
9.4 サポート・リソース ... 65
9.5 商標 ... 65
9.6 静電気放電に関する注意事項 ... 66
9.7 用語集 ... 66
10 改訂履歴 ... 66
11 メカニカル、パッケージ、および注文情報 ... 66

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

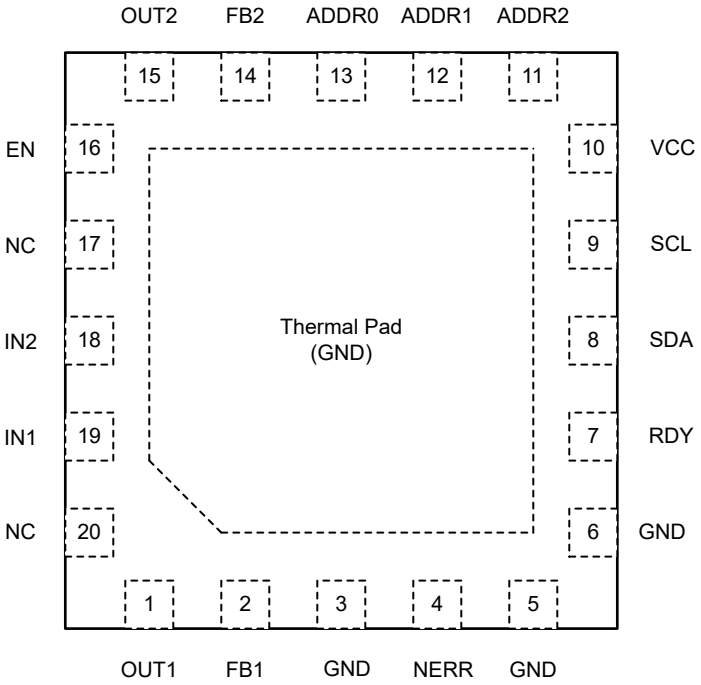


図 4-1. デュアル チャネル TPS7B7802-Q1 RTJ パッケージ、 20 ピン WQFN (PowerPAD 付き) (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
1	OUT1	O	LDO1 の出力。GND との間に、少なくとも 4.7µF のセラミック コンデンサを接続してバイパスする必要があります。この出力コンデンサは、このピンのできるだけ近くに配置します。
2	FB1	I	LDO1 のフィードバック ピン。出力電圧を内部設定で使用しない場合、このピンは適切な抵抗分圧回路を介して OUT1 に接続する必要があります。内部抵抗分圧回路を使用する場合は、これを NC ピンとして扱います。詳細については、「出力電圧設定」セクションを参照してください。
3	GND	G	グランド。すべてのグランド ピンは、グランドに接続する必要があります。露出パッドも GND に接続します
4	NERR	O	オープン ドレイン、アクティブ Low の故障出力。マスクされていない診断ビットのいずれかがアサートされると、NERR は Low レベルにアサートされます。NERR とロジック電源の間にプルアップ抵抗を接続します。
5	GND	G	グランド。すべてのグランド ピンは、グランドに接続する必要があります。
6	GND	G	グランド。すべてのグランド ピンは、グランドに接続する必要があります。
7	RDY	O	このピンは、アクティブ High のオープン ドレイン出力です。このピンはプルアップ抵抗で正の電圧に接続します。V_{IN} がデジタル $UVLO_{(RISING)}$ 仕様値以上になると、このピンは内部的にハイ インピーダンス状態になります。このピンはロジック High で、デバイスは I^2C 通信の準備ができたことを示します。
8	SDA	I/O	I^2C シリアル データ入力 / 出力。ピンとロジック電源との間にプルアップ抵抗を接続します。
9	SCL	I	I^2C クロック入力。このピンとロジック電源との間にプルアップ抵抗を接続します。
10	VCC	O	これは、内部制御回路に電源を供給する内部 1.8V レギュレータの出力です。VCC と GND の間に 1µF のセラミック コンデンサを接続します。
11	ADRR2	I	アドレス ピン。デバイスの I^2C アドレスを選択します。
12	ADRR1	I	
13	ADRR0	I	
14	FB2	I	LDO2 のフィードバック ピン。出力電圧を内部設定で使用しない場合、このピンは適切な抵抗分圧回路を介して OUT2 に接続する必要があります。内部抵抗分圧回路を使用する場合は、これを NC ピンとして扱います。詳細については、「出力電圧設定」セクションを参照してください。
15	OUT2	O	LDO2 の出力。GND との間に、少なくとも 4.7µF のセラミック コンデンサを接続してバイパスする必要があります。この出力コンデンサは、このピンのできるだけ近くに配置します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
16	EN	I	イネーブル入力。EN が low レベルになると、デバイスの出力チャネルは無効になります。出力チャネルをレギュレーション動作させるには、このピンをロジック High にするとともに、出力チャネルをデジタルで有効化する必要があります。
17	NC	-	内部未接続。放熱性能を最適化するため、GND に接続します。
18	IN2	I	LDO2 への電源入力。デバイスの近くで IN1 ピンに接続する必要があります。
19	IN1	I	LDO1 への電源入力。性能を向上させるため、このピンをセラミック コンデンサを使用して GND にバイパスします。IN1 ピンと IN2 ピンは互いに、デバイスに近付けて接続する必要があります。
20	NC	-	内部未接続。放熱性能を最適化するため、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{IN1}、V_{IN2}	レギュレートされていない入力電圧(2)	-40	45	V
EN	イネーブル入力	-0.3	45	V
V_{OUT1}、V_{OUT2}	安定化出力(2)	-0.3	45	V
FB1、FB2	フィードバック	-0.3	45	V
ADDR0、ADDR1、ADDR2、RDY、SDA、SCL および NERR		-0.3	5.5	V
V_{CC}	内部サブレギュレータ電圧	-0.3	2	V
T_J	動作ジャンクション温度範囲	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。*「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件*でも、*本製品が正しく動作することを暗に示すものではありません*。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 絶対最大定格電圧 45V に耐えられるのは 200ms です

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1) (2)		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			角のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) 人体モデルは 1.5kΩ の抵抗を介して各ピンに 100pF のコンデンサで放電します。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{IN1}、V_{IN2}	入力電圧	4.5		40	V
V_{OUT1}、V_{OUT2}	I^2C による出力電圧設定	2		27.4	V
	外付けフィードバック抵抗による出力電圧設定	2		40	V
I_{OUT1}、I_{OUT2}	出力電流	0		300	mA
V_{EN}	高電圧 (I/O)	0		40	V
V_{FB1}、V_{FB2}	帰還電圧	0		2	V
ADDR0、ADDR1、ADDR2	アドレス ピン	0		5	V
SDA、SCL	シリアル クロックおよびデータ ピン	0		5	V
RDY	I^2C 通信ステータスを示す準備完了ピン。	0		5	V
NERR	エラー ピンの電圧	0		5	V
V_{CC}		0		1.8	V
C_{VCC}	V_{CC} コンデンサ	0.2		10	µF
$R_{PULL-UP}$	NERR、SDA、SCL、RDY ピンの外部プルアップ抵抗	1			kΩ
R_{FB}	FB 抵抗			100	kΩ
C_{IN}	入力コンデンサ(1)	1	2.2		µF
C_{OUT}	出力コンデンサ(2)	4.7		100	µF

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
ESR	出力コンデンサの ESR 要件	1		500	mΩ
T_J	動作時接合部温度	-40		150	°C

(1) 堅牢な EMI 性能を実現するための最小入力容量は 500nF です。
(2) 安定させるために、最低 2.2µF の実効出力キャパシタンスが必要です。

5.4 熱に関する情報

熱特性指標(1) (2)		TPS7B7802-Q1	
		RTJ	単位
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	42.61	°C/W
$R_{\theta JCtop}$	接合部からケース (上面) への熱抵抗	29.68	
$R_{\theta JB}$	接合部から基板への熱抵抗	19.55	
ψ_{JT}	接合部から上面への特性パラメータ	0.507	
ψ_{JB}	接合部から基板への特性パラメータ	19.54	
$R_{\theta JCbot}$	接合部からケース (底面) への熱抵抗	4.85	

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) 熱性能の結果は、JEDEC 規格の 2s2p PCB 構成に基づいています。これらの熱評価基準パラメータは、熱的に最適化された PCB レイアウト設計に基づいて、さらに 35～55% 改善されます。『基板レイアウトが LDO の熱性能に及ぼす影響』アプリケーション ノートの分析を参照してください。

5.5 電気的特性

T_J = –40°C ～ +150°C、V_{IN} = 12V、V_{EN} = 3V、I_{OUT} = 100µA、C_{OUT} = 4.7µF、C_{IN} = 1µF で規定 (特に指定のない限り)。標準値は T_J = 25°C、両方の LDO チャネルが同一の場合

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{FBX}	帰還電圧	V_{FBx} = V_{OUTx}、V_{INx} = 5V	1.975	2.0	2.025	V
$I_{FB\ LKG\ X}$	フィードバック ピンのリーケージ				1	µA
I_Q	静止電流、ADC 有効	V_{INX} = 12V、I_{OUT1} = 0µA、I_{OUT2} = 0µA、V_{OUTX} = 8V		650	1000	µA
I_{GND}	グランド電流、ADC 有効	V_{INX} = 12V、I_{OUT1} = 100µA、I_{OUT2} = 0µA、V_{OUTX} = 8V			1100	µA
		V_{INx} = 12V、I_{OUT1} = 300mA、I_{OUT2} = 0mA、V_{OUTx} = 8V			4800	µA
		V_{INX} = 12V、I_{OUT1} = 300mA、I_{OUT2} = 300mA、V_{OUTX} = 8V			8800	µA
$I_{SHUTDOWN}$	デバイス無効時の静止電流	V_{INx} = 40V、V_{EN} = 0V、ADC 無効			35	µA
$V_{UVLO(RISING)}$	立ち上がり入力電源 UVLO	V_{IN} rising、I_{OUT} = 1mA	4.23	4.35	4.45	V
$V_{UVLO(FALLING)}$	立ち下がり入力電源 UVLO	V_{IN} falling、I_{OUT} = 1mA	3.8	3.9	4.0	V
$V_{UVLO(HYST)}$	$V_{UVLO(IN)}$ ヒステリシス			450		mV
デジタル UVLO (RISING)	V_{IN} 立ち上がり。I^2C 通信用の最小 V_{IN}		2.0	2.6	3.2	V
デジタル UVLO (FALLING)	V_{IN} 立ち下がり。レジスタ マップがデフォルト状態にリセットされる最大 V_{IN}		1.65	2.1	2.8	V
$V_{EN\ L}$	イネーブル入力のロジック Low レベル				0.83	V
$V_{EN\ H}$	イネーブル入力のロジック High レベル		1.85			V
I_{EN}	EN ピンのリーク電流	V_{EN} = V_{INx} = 12V			0.225	µA
V_{IL}	SDA、SCL のロジック Low レベル				0.4	V
V_{IH}	SDA、SCL ロジック High レベル		1.4			V
V_{OL}	SDA、出力ロジック Low レベル	I_{SINK} = 3mA			0.15	V
f_{SCL}	I^2C クロック周波数またはデータ レート				1	MHz

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 12V、V_{EN} = 3V、I_{OUT} = 100µA、C_{OUT} = 4.7µF、C_{IN} = 1µF で規定 (特に指定のない限り)。標準値は T_J = 25°C、両方の LDO チャネルが同一の場合

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{ADDR\ L}$	ADDRx ロジック Low レベル				0.4	V
$V_{ADDR\ H}$	ADDRx ロジック High レベル		1.4			V
$I_{LEAKAGE}$	SDA、SCL および ADDRx ピン				0.440	µA
V_{OUT}	安定化出力	0.5mA ≤ I_{OUT} ≤ 300mA、V_{OUT} + 2V ≤ V_{IN} ≤ 40V、I^2C で設定される V_{OUT} 範囲	-2.45		2.45	%
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション	I_{OUT} = 0.5mA、V_{OUT} + 2V < V_{IN} < 40V、V_{OUT} ≥ 2V			0.08	%
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	0.5mA ≤ I_{OUT} ≤ 300mA、V_{IN} = V_{OUT} + 2V、V_{OUT} ≥ 2V			0.2	%
V_{DO}	ドロップアウト電圧	V_{IN} = 5V、V_{FB} = 1.8V、I_{OUT} = 300mA		485	870	mV
		V_{IN} = 12V、V_{FB} = 1.8V、I_{OUT} = 300mA		480	855	mV
PSRR	電源リップル除去	V_{IN} = 12V、V_{RIPPLE} = $1V_{P-P}$、V_{OUT} = 8V、I_{OUT} = 100mA、f = 100Hz		80		dB
V_n	出力ノイズ電圧 (RMS)	帯域幅 = 10Hz ～ 100kHz、V_{OUT} = 2V、I_{OUT} = 100mA		83		µV
V_{IN}	ADC で測定された入力電圧精度	4.5V ≤ V_{IN} ≤ 40V	-1.4	0.5	1.4	%
V_{OUT}	ADC で測定された出力電圧精度	2V ≤ V_{OUT} ≤ 40V	-2.0	0.5	2.0	%
I_{OUT}	ADC で測定された出力電流の精度	大電流範囲 I_{OUT} > 75mA	-9.5		9.5	%
		Low 電流範囲: 1mA < I_{OUT} ≤ 23.5mA	-12.5		12.5	
I_{CL}	出力電流制限	25mA ≤ I_{CL} ≤ 125mA 範囲の電流制限精度 (25mA ステップ)。V_{OUT} = V_{FB} で測定	-11		11	mA
		150mA ≤ I_{CL} ≤ 400mA 範囲の電流制限精度 (25mA ステップ)。V_{OUT} = V_{FB} で測定	-8.5		8.5	%
		V_{OUT} は 0.9 × $V_{OUT(nom)}$ で強制され、V_{IN} = $V_{OUT(nom)}$ + 1V、電流制限が 1101 に設定	320.5	350	380	mA
		V_{OUT} は 0.9 × $V_{OUT(nom)}$ で強制され、V_{IN} = $V_{OUT(nom)}$ + 1V、電流制限が 0100 に設定	114	125	136	
		V_{OUT} は 0.9 × $V_{OUT(nom)}$ で強制され、V_{IN} = $V_{OUT(nom)}$ + 1V、電流制限が 0000 に設定	14	25	36	
I_{ST_CL}	起動時の電流制限	25mA ≤ I_{CL} ≤ 125mA の設定範囲 (25mA ステップ) における起動時電流制限精度。	-11		11	mA
		150mA ≤ I_{CL} ≤ 400mA の設定範囲 (25mA ステップ) における起動時電流制限精度。V_{OUT} = V_{FB} で測定	-8.5		8.5	%
		起動電流制限 を 0000 に設定し	14	25	36	mA
		起動電流制限 を 1101 に設定し	320.5	350	380	
$I_{OL\ CHX}$	開放負荷スレッショルド	8mA ≤ I_{OL} ≤ 15mA 範囲の精度	-12.0		12.0	%
		0mA ≤ I_{OL} ≤ 7mA 範囲の精度	-0.8		0.8	mA
		$I_{OL\ CHX}$ を 1111 に設定、V_{INx} = V_{EN} = 12V	13.2	15	16.8	
		$I_{OL\ CHX}$ を 0001 に設定、V_{INx} = V_{EN} = 12V	0.2	1	1.8	
I_{OUT_WARN}	出力電流警告	出力電流警告スレッショルドが 10mA ≤ $I_{OUT\ WARN}$ ≤ 110mA の範囲における精度	-11		11	mA
		出力電流警告スレッショルドが 130mA ≤ $I_{OUT\ WARN}$ ≤ 310mA の範囲における精度	-8.5		8.5	%
		出力電流警告レジスタを 1111 に設定	283.6	310	336.5	mA
T_J	接合部温度の読み取り値	–40°C ≤ T_J < 150°C 範囲における接合部温度精度		±2.5		°C
	接合部温度警告設定	T_J 警告レジスタ設定 101	120	125	130	°C
$t_{BLANKING}$	ブランキング時間	ブランキング時間レジスタ設定 100		8.5		ms
V_{PG} スレッショルド	過電圧 PG スレッショルド	V_{OUT} 立ち上がり	105	110	115	%
	低電圧 PG スレッショルド	V_{OUT} 立ち下がり	84	88	91	%
	ヒステリシス			2		%

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 12V、V_{EN} = 3V、I_{OUT} = 100µA、C_{OUT} = 4.7µF、C_{IN} = 1µF で規定 (特に指定のない限り)。標準値は T_J = 25°C、両方の LDO チャネルが同一の場合

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_R	V_{IN} での逆電流	V_{IN} = 0V、V_{OUT} = 20V			0.46	µA
	逆電流検出	V_{OUTX} 立ち上がり、V_{INX} = 12V 時に逆電流が検出される V_{OUTX} – V_{INX} 電圧差	18	30	45	mV
	逆電流応答時間	V_{IN} = 12V、V_{OUTX} 立ち上がり、V_{OUTx} – V_{INx} = 100mV			15	µs
I_{RN2}	負の V_{IN} での逆電流	V_{IN} = -20V、V_{OUT} = 0V			0.46	µA
$V_{ERR\ LOW}$	エラー ピンの Low レベル出力電圧	I_{ERR} = 3mA			0.15	V
$I_{ERR\ LKG}$	故障ピンのリーク電流	V_{ERR} = 5V、故障検出なし			0.44	µA
$V_{RDY\ LOW}$	RDY ピンの Low レベル電圧	V_{IN} = 2.2V、I_{RDY} = 3mA			0.15	V
$I_{RDY\ LKG}$	RDY ピンのリーク電流				0.44	µA
$T_{SD(SHUTDOWN)}$	接合部のシャットダウン温度			175		℃
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス			14		℃

5.6 タイミング要件 - I²C 標準モード

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数			100	kHz
t_{BUF}	STOP 条件と START 条件の間のバス解放時間	4.7			µs
t_{HD_STA}	(繰り返し) START 条件のホールド時間	4			µs
t_{SU_STA}	繰り返し START 条件のセットアップ時間	4.7			µs
t_{SU_STO}	STOP 条件のセットアップ時間	4			µs
t_{HD_DAT}	データ ホールド時間	0			µs
t_{SU_DAT}	データ セットアップ時間	250			ns
t_{LOW}	SCL クロック Low 期間	4.7			µs
t_{HIGH}	SCL クロックの High の時間	4			µs
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間			1000	ns
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間			300	ns
t_{VD_DAT}	データ有効時間	0		3.45	µs
t_{VD_ACK}	データ有効アクノリッジ時間	0		3.45	µs

5.7 タイミング要件 - I²C 高速モード

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数			400	kHz
t_{BUF}	STOP 条件と START 条件の間のバス解放時間	1.3			µs
t_{HD_STA}	(繰り返し) START 条件のホールド時間	0.6			µs
t_{SU_STA}	繰り返し START 条件のセットアップ時間	0.6			µs
t_{SU_STO}	STOP 条件のセットアップ時間	0.6			µs
t_{HD_DAT}	データ ホールド時間	0			µs
t_{SU_DAT}	データ セットアップ時間	100			ns
t_{LOW}	SCL クロック Low 期間	1.3			µs
t_{HIGH}	SCL クロックの High の時間	0.6			µs
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間			300	ns
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間			300	ns
t_{VD_DAT}	データ有効時間	0		0.9	µs

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
t_{VD_ACK}	データ有効アクノリッジ時間	0		0.9	µs

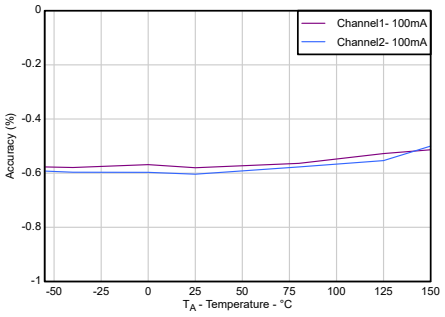
5.8 タイミング要件 - I²C 高速モード プラス

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数			1000	kHz
t_{BUF}	STOP 条件と START 条件の間のバス解放時間	0.5			µs
t_{HD_STA}	(繰り返し) START 条件のホールド時間	0.26			µs
t_{SU_STA}	繰り返し START 条件のセットアップ時間	0.26			µs
t_{SU_STO}	STOP 条件のセットアップ時間	0.26			µs
t_{HD_DAT}	データ ホールド時間	0			µs
t_{SU_DAT}	データ セットアップ時間	50			ns
t_{LOW}	SCL クロック Low 期間	0.5			µs
t_{HIGH}	SCL クロックの High の時間	0.26			µs
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間			120	ns
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間			120	ns
t_{VD_DAT}	データ有効時間			0.45	µs
t_{VD_ACK}	データ有効アクノリッジ時間			0.45	µs

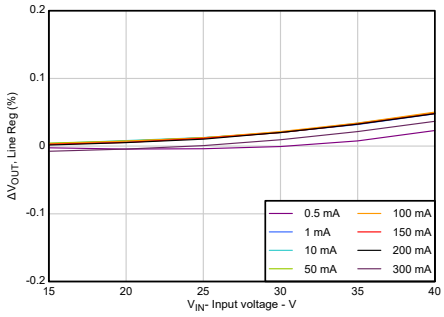
5.9 代表的特性

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 100mA

図 5-1. vOUT 精度 (両チャネル) と温度との関係



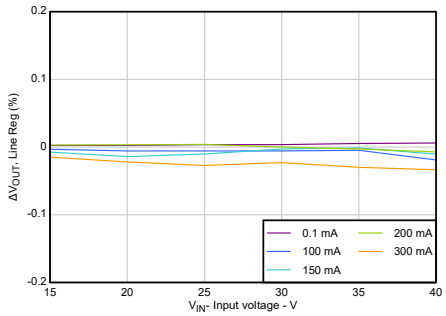
V_{OUT} = 8V、I_{OUT} (Ch2) = 100mA

図 5-2. (%ΔVOUT) ライン レギュレーションと IOUT との関係 (チャネル 1)

Copyright © 2026 Texas Instruments Incorporated

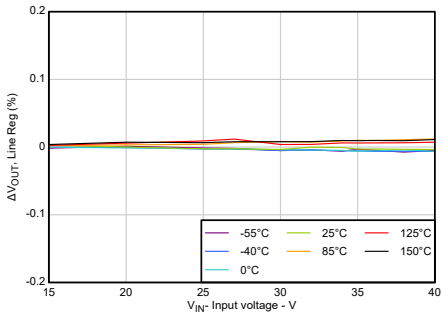
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



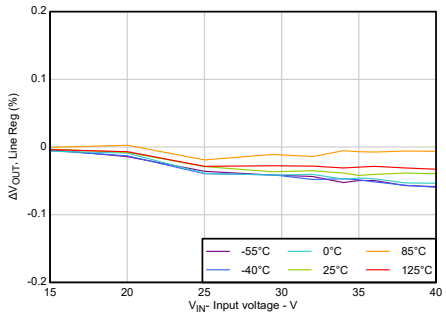
V_{OUT} = 8V、I_{OUT} (Ch1) = 100mA

図 5-3. (%ΔVOUT) ライン レギュレーションと IOUT との関係 (チャネル 2)



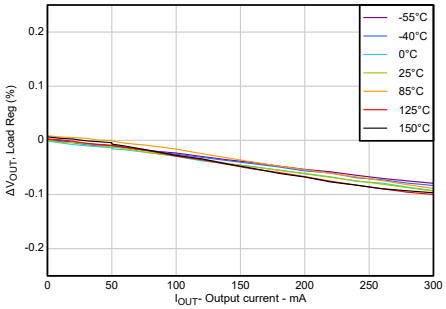
V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 50mA

図 5-4. (%ΔVOUT) ライン レギュレーションと温度との関係 (チャネル 1)



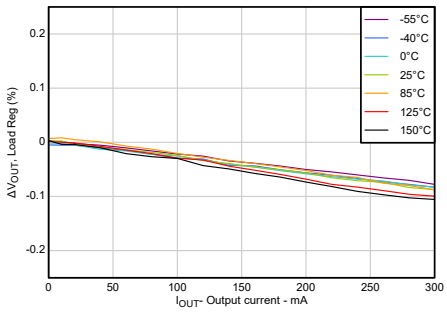
V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 50mA

図 5-5. (%ΔVOUT) ライン レギュレーションと温度との関係 (チャネル 2)



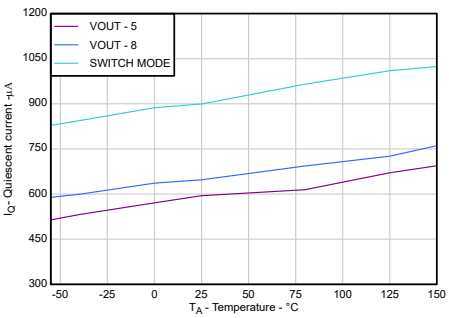
V_{OUT} = 8V、I_{OUT} (Ch2) = 100mA

図 5-6. (%ΔVOUT) ロード レギュレーションと温度との関係 (チャネル 1)



V_{OUT} = 8V、I_{OUT} (Ch1) = 100mA

図 5-7. (%ΔVOUT) ロード レギュレーションと温度との関係 (チャネル 2)

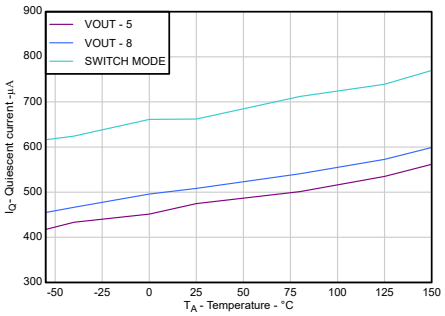


V_{IN} = 13.5V、I_{OUT} (Ch1/Ch2) = 0mA

図 5-8. TPS7B7802-Q1 IQ と温度との関係

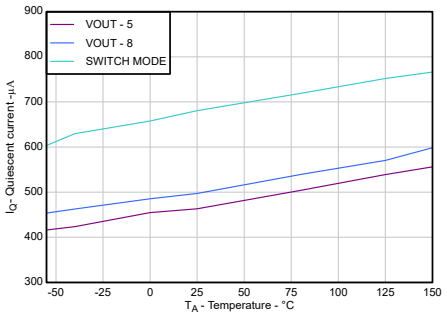
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



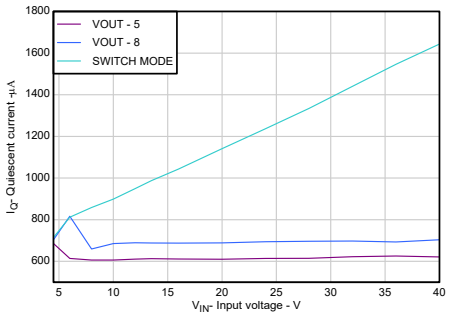
V_{IN} = 13.5V、I_{OUT} (Ch1) = 0mA、チャネル 2 はディスエーブル

図 5-9. TPS7B7802-Q1 IQ (チャネル 1) と温度との関係



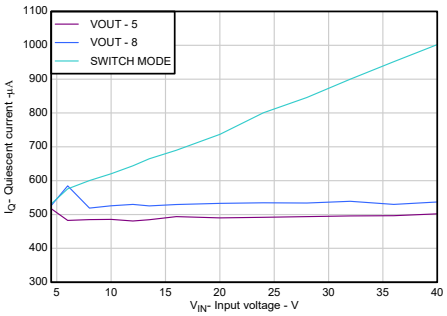
V_{IN} = 13.5V、I_{OUT} (Ch2) = 0mA、チャネル 1 はディスエーブル

図 5-10. TPS7B7802-Q1 IQ (チャネル 2) と温度との関係



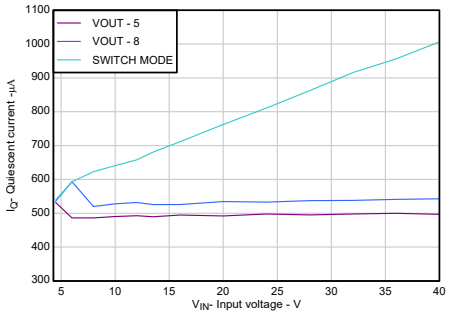
I_{OUT} (Ch1/Ch2) = 0mA、T_J = 25°C

図 5-11. TPS7B7802-Q1 IQ と V_{IN} (入力電源) との関係



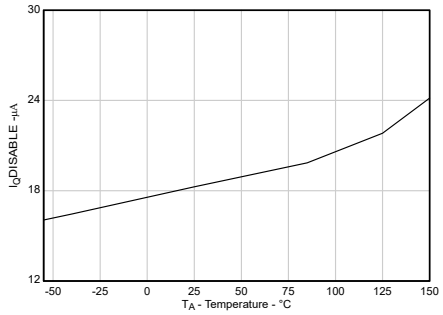
I_{OUT} (Ch1) = 0mA、T_J = 25°C、チャネル 2 はディスエーブル

図 5-12. TPS7B7802-Q1 IQ (チャネル 1) と V_{IN} (入力電源) との関係



I_{OUT} (Ch2) = 0mA、T_J = 25°C、チャネル 1 はディスエーブル

図 5-13. TPS7B7802-Q1 IQ (チャネル 2) と V_{IN} (入力電源) との関係



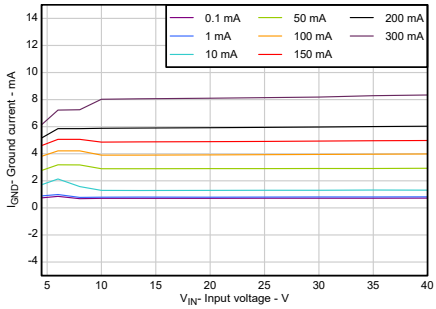
V_{IN} = 13.5V

図 5-14. シャットダウン IQ と温度との関係

Copyright © 2026 Texas Instruments Incorporated

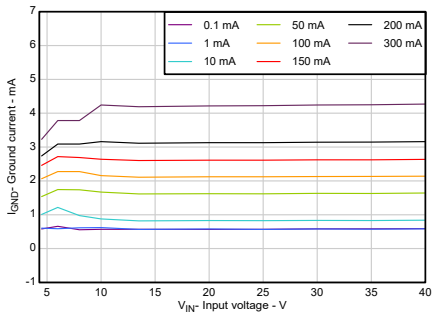
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



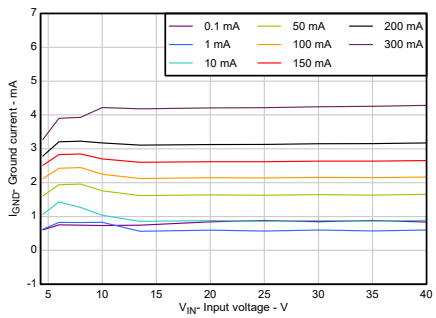
V_{OUT} = 8V、両方のチャネルがイネーブル

図 5-15. I_{GND} (両チャネル) vs V_{IN} (入力電源) との関係



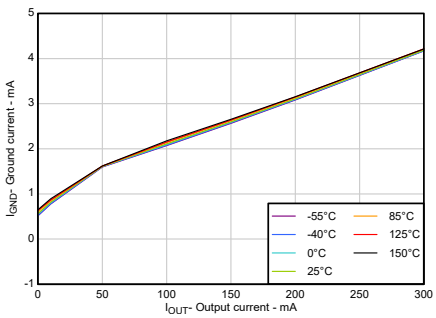
V_{OUT} = 8V、チャネル 2 はディスエーブル

図 5-16. I_{GND} (チャネル 1) vs V_{IN} (入力電源) との関係



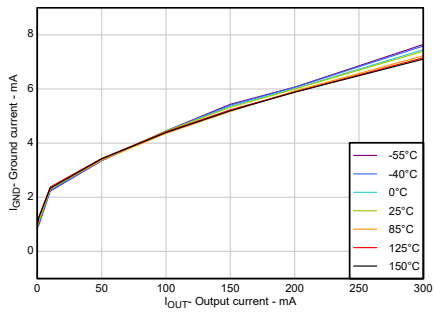
V_{OUT} = 8V、チャネル 1 はディスエーブル

図 5-17. I_{GND} (チャネル 2) vs V_{IN} (入力電源) との関係



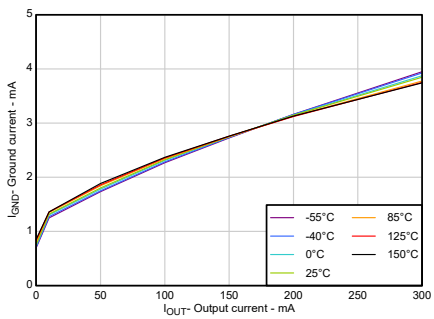
V_{IN} = 13.5V、V_{OUT} = 8V、チャネル 2 はディスエーブル

図 5-18. I_{GND} (チャネル 1、レギュレーション モード) と I_{OUT} との関係



V_{IN} = 13.5V、両方のチャネルがイネーブル

図 5-19. I_{GND} (両チャネル、スイッチ モード) と I_{OUT} との関係



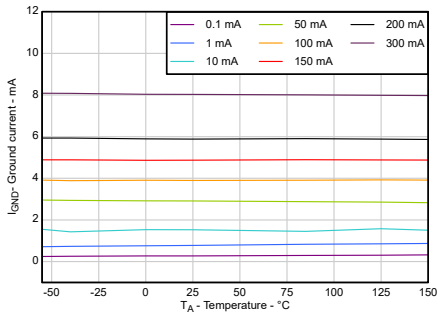
V_{IN} = 13.5V、チャネル 2 はディスエーブル

図 5-20. I_{GND} (チャネル 1、スイッチ モード) と I_{OUT} との関係

Copyright © 2026 Texas Instruments Incorporated

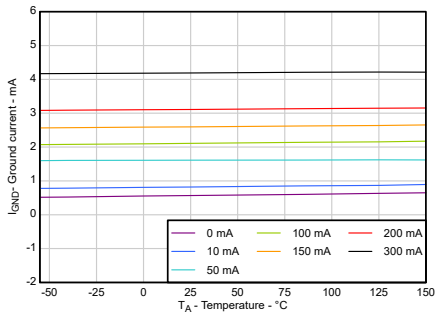
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



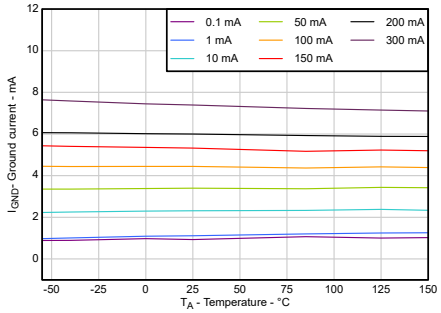
V_{IN} = 13.5V、V_{OUT} = 8V、両方のチャネルがイネーブル

図 5-21. I_{GND} (両チャネル、レギュレーション モード) と温度との関係



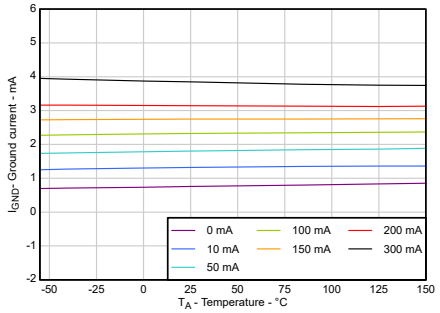
V_{IN} = 13.5V、V_{OUT} = 8V、チャネル 2 はディスエーブル

図 5-22. I_{GND} (チャネル 1、レギュレーション モード) と温度との関係



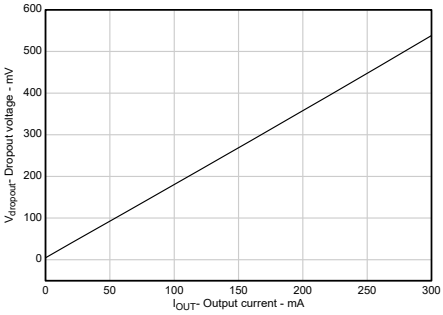
V_{IN} = 13.5V、両方のチャネルがイネーブル

図 5-23. I_{GND} (両チャネル、スイッチ モード) と温度との関係



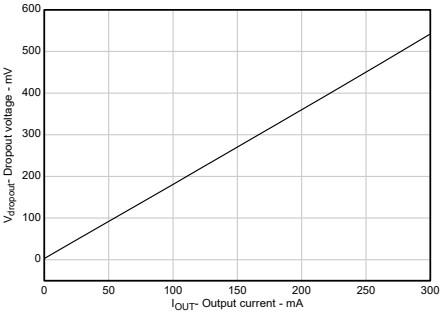
V_{IN} = 13.5V、チャネル 2 はディスエーブル

図 5-24. I_{GND} (チャネル 1、スイッチ モード) と温度との関係



V_{IN} = 13.5V、V_{OUT} = 8V、両方のチャネルがイネーブル、I_{OUT} (Ch2) = 0mA

図 5-25. V_{DO} と I_{OUT} との関係 (チャネル 1)



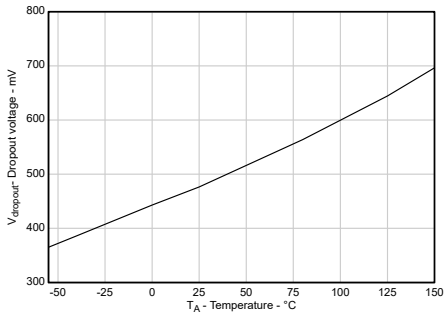
V_{IN} = 13.5V、V_{OUT} = 8V、両方のチャネルがイネーブル、I_{OUT} (Ch1) = 0mA

図 5-26. V_{DO} と I_{OUT} との関係 (チャネル 2)

Copyright © 2026 Texas Instruments Incorporated

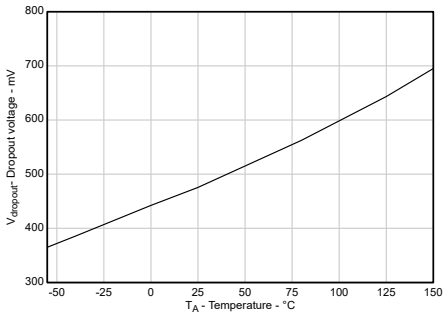
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



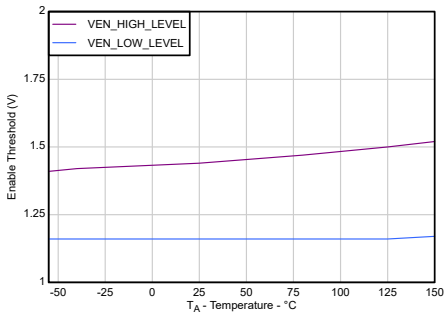
V_{IN} = 13.5V、V_{OUT} = 8V、両方のチャネルがイネーブル、I_{OUT} (Ch1) = 300mA、I_{OUT} (Ch2) = 0mA

図 5-27. V_{DO} と温度との関係 (チャネル 1)



V_{IN} = 13.5V、V_{OUT} = 8V、両方のチャネルがイネーブル、I_{OUT} (Ch2) = 300mA、I_{OUT} (Ch1) = 0mA

図 5-28. V_{DO} と温度との関係 (チャネル 2)



V_{IN} = 13.5V

図 5-29. EN スレッショルドと温度との関係

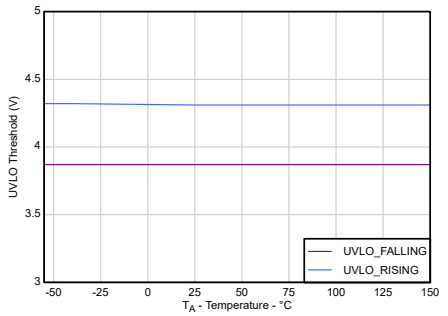
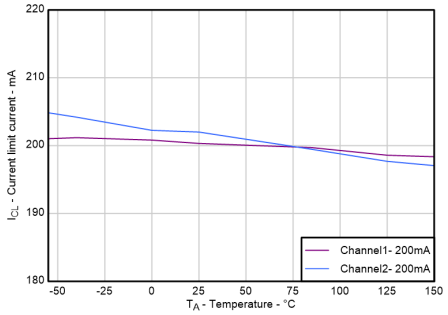


図 5-30. UVLO スレッショルドと温度との関係



V_{IN} = 13.5V

図 5-31. 電流制限と温度との関係 (I_{LIM} = 200mA)

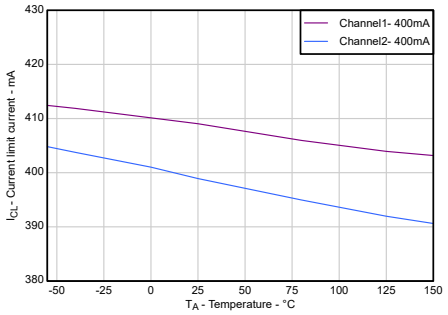
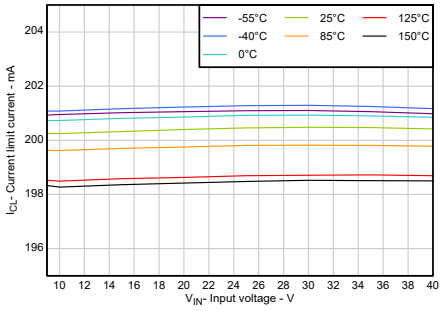


図 5-32. 電流制限と温度との関係 (I_{LIM} = 400mA)

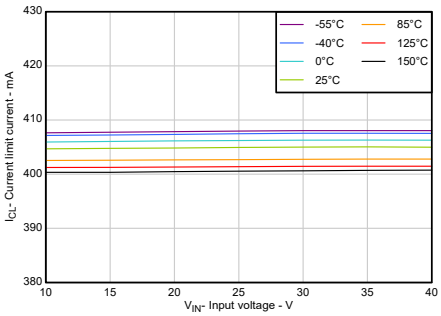
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



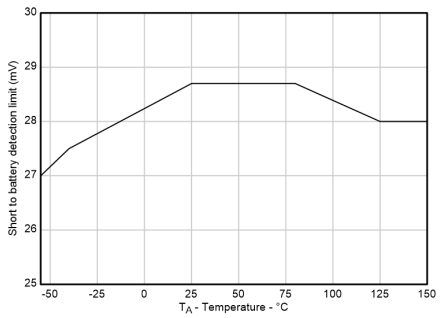
V_{IN} = 13.5V

図 5-33. 電流制限と V_{IN} との関係 (I_{LIM} = 200mA)



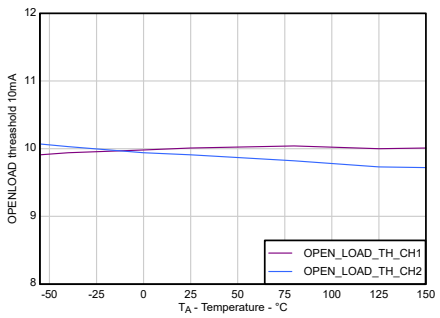
V_{IN} = 13.5V

図 5-34. 電流制限と V_{IN} との関係 (I_{LIM} = 400mA)



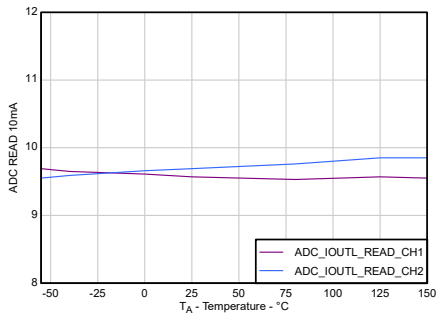
V_{IN} = 13.5V

図 5-35. バッテリ短絡検出スレッショルド (V_{OUT} - V_{IN}) と温度との関係



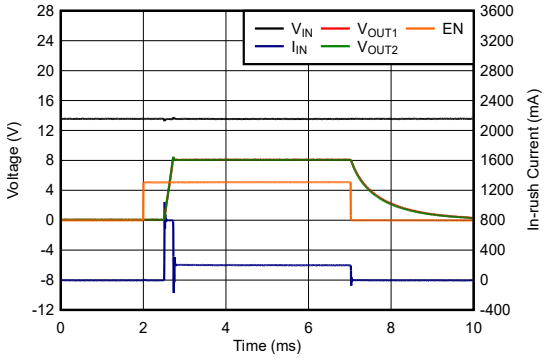
V_{IN} = 13.5V

図 5-36. 開放負荷検出と温度との関係



V_{IN} = 13.5V、I_{OUT} (Ch1、Ch2) = 10mA

図 5-37. 低負荷電流時の ADC 読み取りと温度との関係



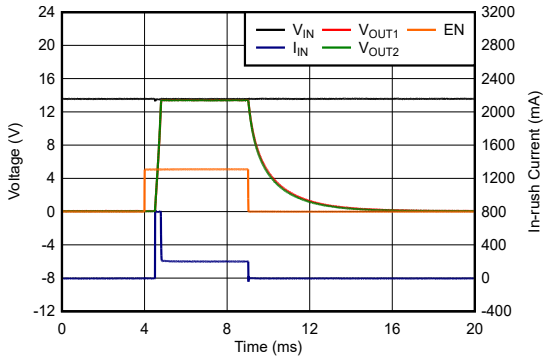
V_{IN} = 13.5V、V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 100mA

図 5-38. EN スタートアップ (レギュレーション モード)、両方のチャネル

Copyright © 2026 Texas Instruments Incorporated

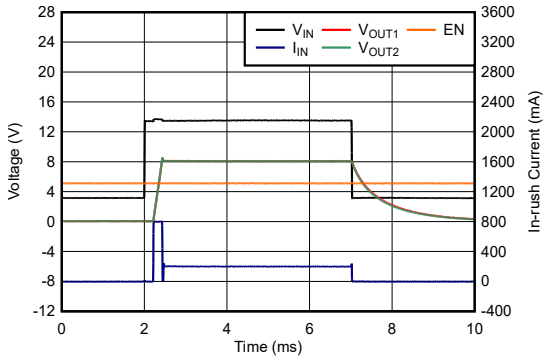
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



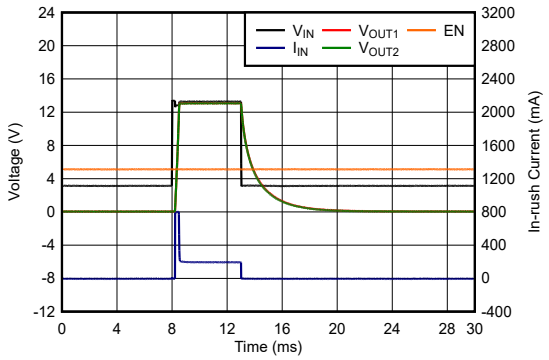
V_{IN} = 13.5V、I_{OUT} (Ch1、Ch2) = 100mA

図 5-39. EN スタートアップ (スイッチ モード)、両方のチャネル



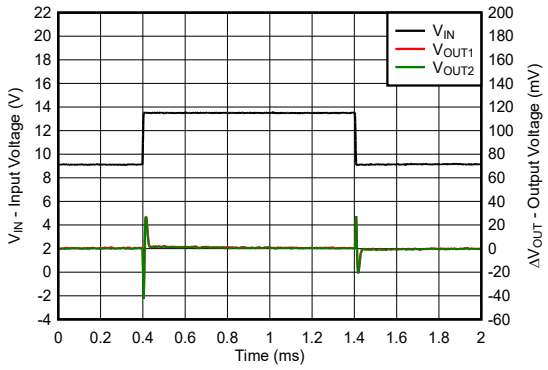
V_{IN} = 13.5V、V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 100mA

図 5-40. V_{IN} スタートアップ (レギュレーション モード)、両方のチャネル



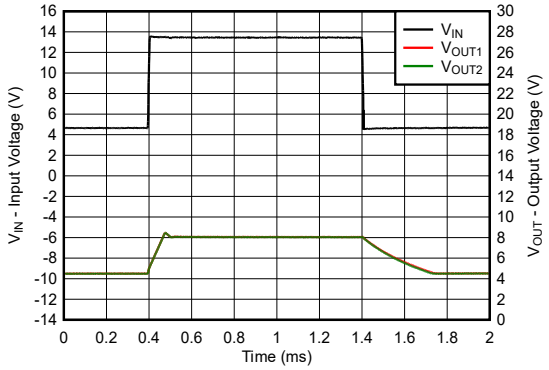
V_{IN} = 13.5V、I_{OUT} (Ch1、Ch2) = 100mA

図 5-41. V_{IN} スタートアップ (スイッチ モード)、両方のチャネル



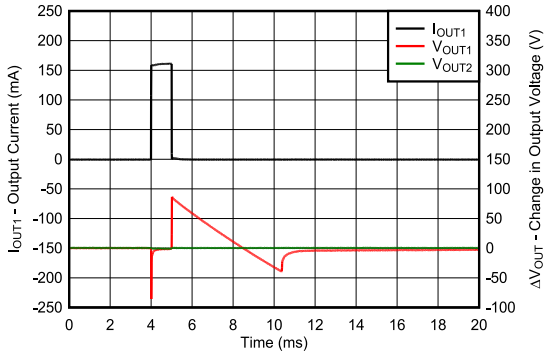
V_{IN} = 9V ～ 14V (dV/dt = 1V/µs)、I_{OUT} (Ch1、Ch2) = 100mA

図 5-42. ライン過渡応答 (9V ～ 14V)



V_{IN} = 4.5V ～ 13V (dV/dt = 1V/µs)、I_{OUT} (Ch1、Ch2) = 100mA

図 5-43. ライン過渡応答 (ドロップアウト 4.5V ～ 13V)



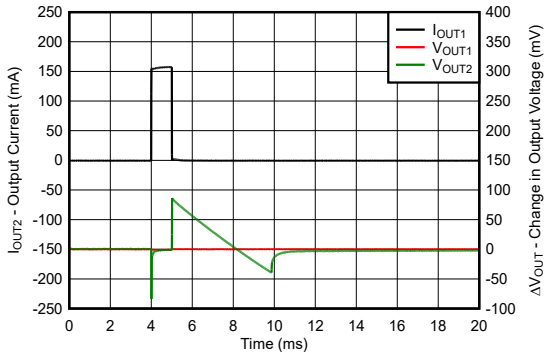
V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 10µF、I_{OUT} (Ch1) = 0.1mA ～ 150mA (dI/dt = 1A/µs)、I_{OUT} (Ch2) = 100mA

図 5-44. 負荷過渡 (チャネル 1)

Copyright © 2026 Texas Instruments Incorporated

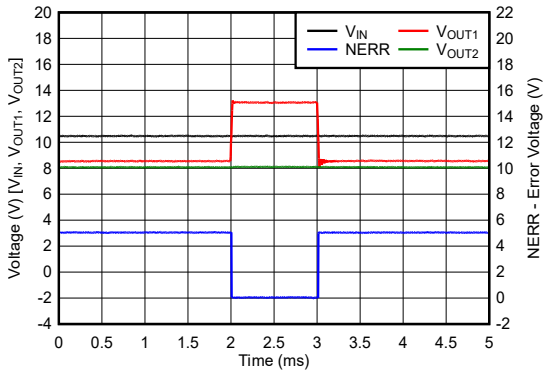
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



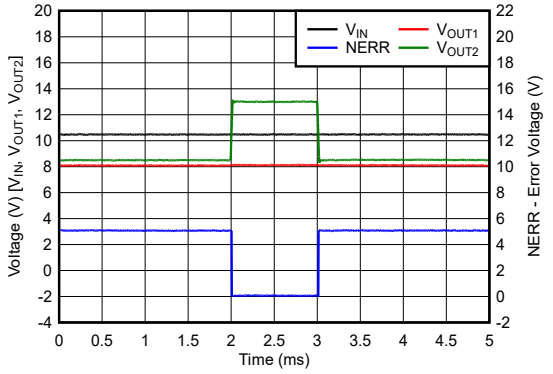
V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 10µF、I_{OUT} (Ch1) = 0.1mA ～ 150mA (dI/dt = 1A/µs)、I_{OUT} (Ch2) = 100mA

図 5-45. 負荷過渡 (チャネル 2)



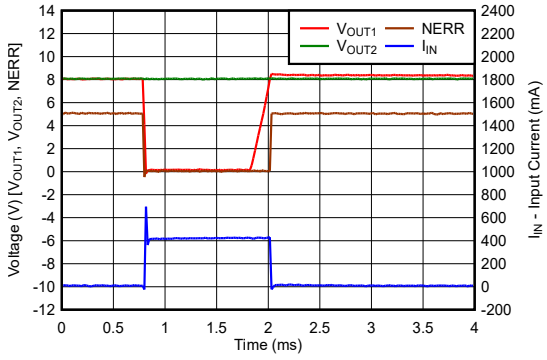
V_{IN} = 10.5V、V_{OUT} (Ch1) = 8V ～ 13.5V、両方のチャネルで無負荷、NERR を外部 5V に接続

図 5-46. バッテリへの短絡 (チャネル 1)



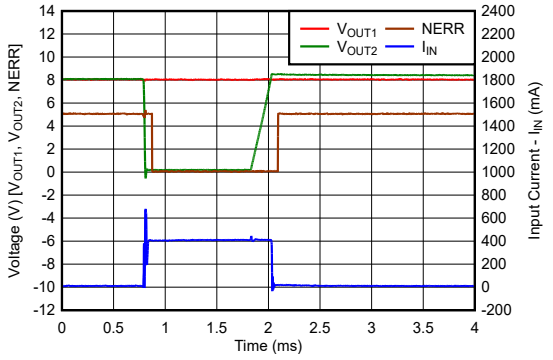
V_{IN} = 10.5V、V_{OUT} (Ch2) = 8V ～ 13.5V、両方のチャネルで無負荷、NERR を外部 5V に接続

図 5-47. バッテリへの短絡 (チャネル 2)



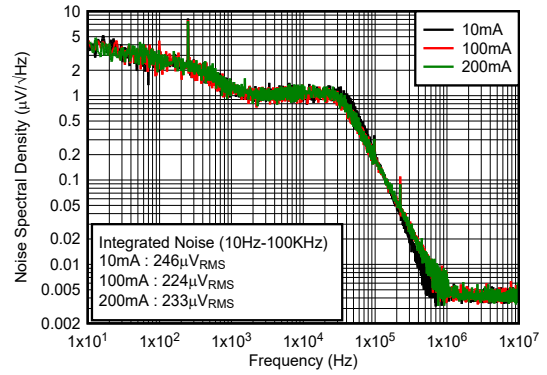
V_{IN}=13.5V、V_{OUT} (Ch1) = 8V ～ 0V、V_{OUT}(nom Ch1、Ch2)=8V、C_{OUT}=10µF

図 5-48. GND への出力短絡 (チャネル 1)



V_{IN}=13.5V、V_{OUT} (Ch1) = 8V ～ 0V、V_{OUT}(nom Ch1、Ch2)=8V、C_{OUT}=10µF

図 5-49. GND への出力短絡 (チャネル 2)



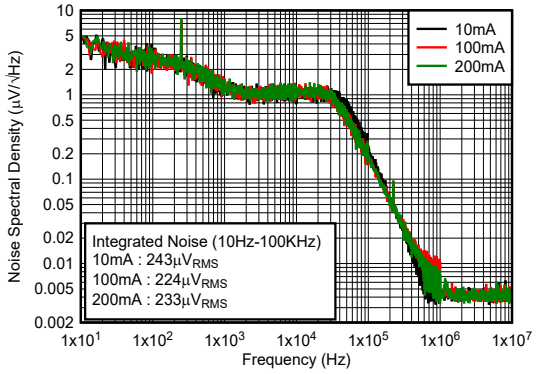
V_{IN}=13.5V、V_{OUT} (Ch1) = 8V、C_{OUT}=10µF

図 5-50. ノイズと I_{OUT} との関係 (チャネル 1)

Copyright © 2026 Texas Instruments Incorporated

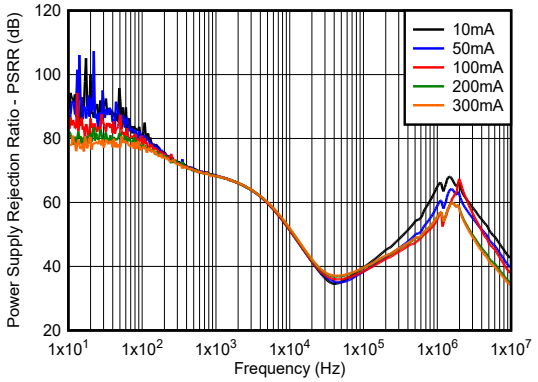
5.9 代表的特性 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



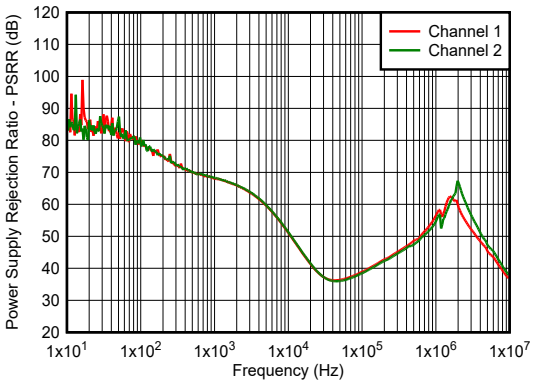
V_{IN}=13.5V、V_{OUT} (Ch2) = 8V、C_{OUT}=10µF

図 5-51. ノイズと I_{OUT} との関係 (チャネル 2)



V_{IN}=13.5V、V_{OUT} (Ch1、Ch2) = 8V、I_{OUT} (Ch2) = 100mA、C_{OUT}=10µF

図 5-52. PSRR と I_{OUT} との関係 (チャネル 1)



V_{IN}=13.5V、V_{OUT} (Ch1、Ch2) = 8V、I_{OUT} (Ch1、Ch2) = 100mA、C_{OUT}=10µF

図 5-53. 両方のチャネルの PSRR

6 詳細説明

6.1 概要

TPS7B7802-Q1 は、4.5V ～ 40V の広い入力電圧範囲で動作するデュアル チャネル LDO です (ロード ダンプ保護のため、V_{IN} の絶対最大定格は 45V)。このデバイスは、短絡 (電流制限経由)、バッテリ短絡 (RCP 機能経由)、逆極性、および過熱 (TSD 機能経由) など、さまざまな故障状態に対する保護機能を備えています。このデバイスには、完全に 10 ビット ADC と I^2C インターフェイスが統合されています。これらの機能により、両方のチャネルの I_{OUT} と V_{OUT}、V_{IN}、デバイス接合部温度、および故障状態の診断情報を監視できます。デバイス出力電圧は、I^2C デジタル プログラミングにより 2V ～ 27.4V の範囲の値 (100mV ステップ) に設定できます。より広い範囲で、外付け抵抗を使用して 2V ～ 40V の範囲の値を設定できます。または、各チャネルをスイッチとして動作させるように設定することもできます。

6.2 機能ブロック図

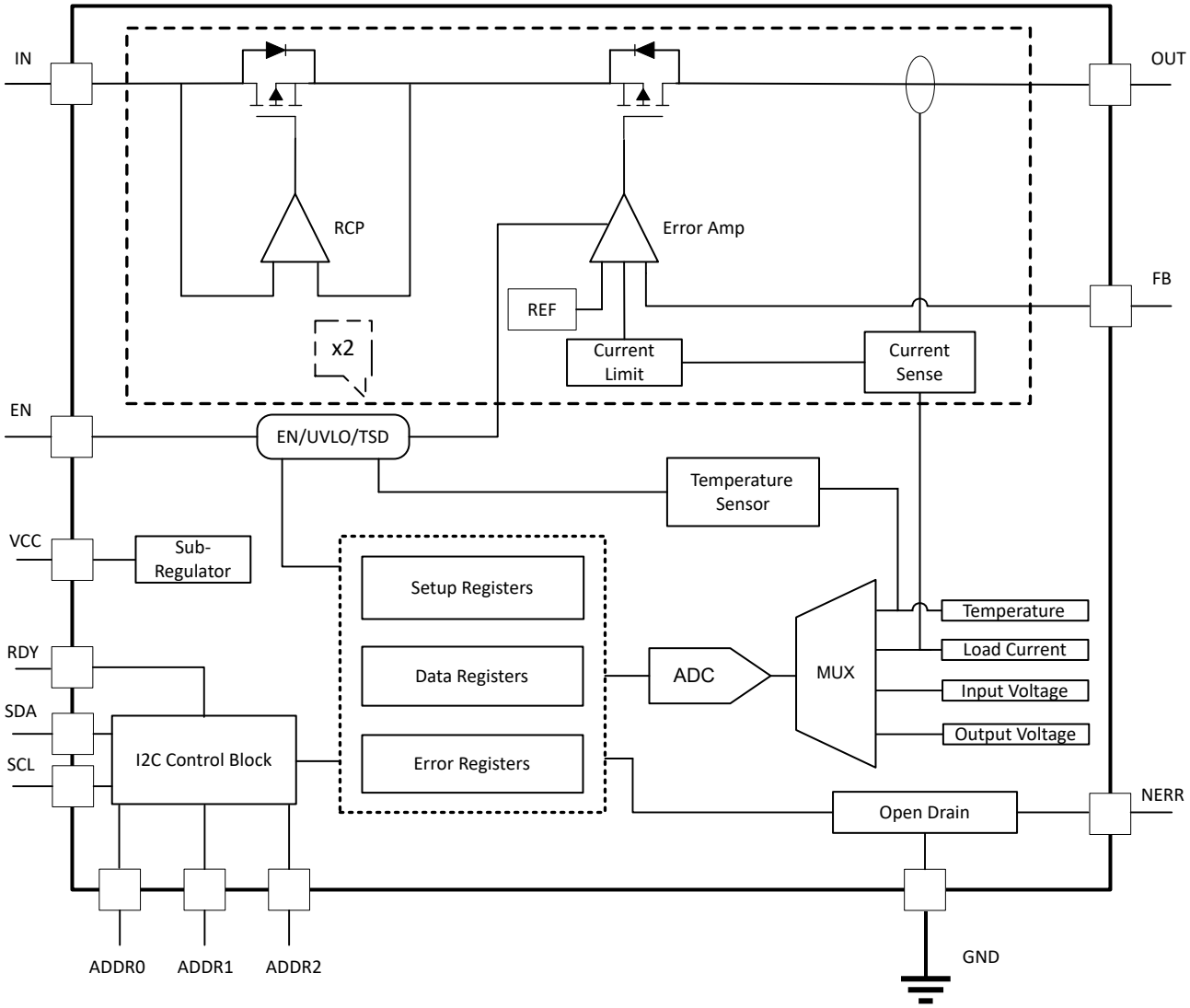


図 6-1. 機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 入力低電圧ロックアウト (UVLO)

このデバイスは、内部で固定された入力低電圧ロックアウト (UVLO) スレッショルドを備えています。V_{IN} がこの $UVLO_{(FALLING)}$ スレッショルドを下回ると、UVLO が動作し、LDO を無効化します。この機能により、入力電圧が低い状態でも、レギュレータが不明な状態でラッチされることを防ぎます。入力電圧を $UVLO_{(FALLING)}$ スレッショルド未満まで低下させる負の過渡変動が発生すると、レギュレータはシャットダウンします。入力電圧が $UVLO_{(RISING)}$ スレッショルドを超えて回復すると、レギュレータは通常のパワーアップ シーケンスで起動します。

ラッチ エラー レジスタおよびランタイム エラー レジスタのレジスタ マップにある UVLO1 ビットおよび UVLO2 ビットの値を確認することで、入力電圧 UVLO イベントが発生したかどうかを監視できます。 チャネルが有効である限り、V_{IN} が $UVLO_{(FALLING)}$ 仕様を下回ると、UVLOx ビットは「1」に切り替わります。

このデバイスは、I^2C 通信とレジスタ マップのリセットに関して、独立したデジタル UVLO 仕様も備えています。デジタル $UVLO_{(Rising)}$ スレッショルドは、このデバイスとの I^2C 通信を開始するために必要な最小入力電圧です。ユーザーが構成レジスタを入力するため、またはステータス / データ レジスタを読み出すためには、V_{IN} はこのスレッショルドよりも高くする必要があります。デジタル $UVLO_{(Falling)}$ は、レジスタ マップがデフォルト設定にリセットされる立ち下がり V_{IN} スレッショルドです。V_{IN} がこの仕様よりも大きい値に低下した場合、デバイスは V_{IN} の過渡現象より前にプログラムされた I^2C 設定を維持します。デフォルト設定はデフォルト設定表に記載されており、ユーザーが上書きしない限りデバイスを起動するときの設定です。入力電圧がデジタル $UVLO_{(FALLING)}$ スレッショルドを下回るような負の過渡電圧が発生すると、レギュレータはシャットダウンし、レジスタ マップはデフォルト設定にリセットされます。この過渡変動が発生する前にユーザーがレジスタ マップに設定した内容は、復元できません。

$UVLO_{(FALLING)}$、$UVLO_{(RISING)}$、デジタル $UVLO_{(Rising)}$、およびデジタル $UVLO_{(Falling)}$ の各パラメータは、電気的特性表に規定されています

6.3.2 イネーブル

デバイスのイネーブル ピンはアクティブ High ピンです。十分な入力電圧 (デバイスをイネーブルするが供給されている場合 $V_{IN} \geq 4.5V$)、二つの条件を満たす必要があります。EN ピンの電圧は $V_{EN\,H}$ スレッショルドより高くある必要があり、このデバイスをデジタルで有効にする必要もあります。このデバイスをデジタルでイネーブルにするには+、レジスタ マップの構成 3 レジスタの EN ビットを 1 に設定する必要があります。レギュレーション動作中に、対応するデジタル ENx ビットを 0 に切り替えると、該当する出力チャネルは無効になります。EN ピンの電圧を $V_{EN\,L}$ スレッショルドより低くすると、デジタル ENx ビットの設定に関係なく、両方の出力チャネルは無効になります。デバイスをすると、内部 ADC とともに、デバイスの静止電流消費が $I_{DISABLED}$ 仕様未満に低減されます。内部 ADC を無効にするには、レジスタ マップの構成 3 レジスタの ADC-EN ビットを 0 にセットします。

$V_{EN\,H}$、$V_{EN\,L}$、$I_{DISABLED}$ はすべて電気的特性で規定されています。

6.3.3 出力電圧設定

TPS7B7802-Q1 デバイスでは、各チャネルの出力電圧を外部または内部の二つの方法で設定できます。V_{OUTX} を外部でセットアップするには、対応するチャネルの FBx ピンと OUTx ピンの間に外部帰還抵抗を使用します。この方法での出力電圧範囲は、$2V \leq V_{OUTX} \leq 40V$ です。チャネルの出力電圧を外部で設定するには、設定レジスタ 3 のレジスタ マップにある FBx ビットを「1」に設定する必要があります。 FBx ピンをグランドに接続すると、デバイスの対応するチャネルがスイッチとして設定されます。

I2C を介して出力電圧を内部設定することで、外付け抵抗が不要になります。上記で説明した FBx ビットは、「0」にプログラムする必要があります。その結果、両方のチャネルについて、$2V \leq V_{OUTX} \leq 27.4V$ の範囲で出力電圧値を選択する必要があります。選択した値は、レジスタマップの設定レジスタ 1 および設定レジスタ 0 にプログラムする必要があります。このデバイスは、I^2C を介して各チャネルをスイッチとして構成できます。詳細については、レジスタの詳細セクションを参照してください。このモードでは、FBx ピンが内部回路から切断されます。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 ソフト スタート

このデバイスは電流制限モードで起動し、両方のチャネルの出力電圧を制御された方法で上昇できます。対応する出力チャネルのランプ レートは、次の式で表されます。

$$\frac{\Delta V_{OUT\ X}}{\Delta t} = \frac{I_{STARTUP\ CL}}{C_{OUT}} \quad (1)$$

両方のチャネルのスタートアップ電流制限値は、構成 0 および構成 1 レジスタで個別にプログラムできます。各チャネルについて、25mA ≤ $I_{STARTUP_CL}$ ≤ 400mA の範囲の電流値を選択する必要があります。詳細については、レジスタの詳細セクションを参照してください。デバイスの起動が正常に行われるには、各チャネルについて、選択された $I_{STARTUP_CL}$ 値が、期待される定常状態負荷電流よりも大きい必要があります。

6.3.5 電圧監視

TPS7B7802-Q1 は、各チャネルの入力電圧および出力電圧を監視する機能を備えています。このデバイスには 10 ビット ADC が統合されており、これらの各パラメータのサンプリングに役立ちます。V_{IN}、V_{OUT1}、および V_{OUT2} のデジタル測定値は、レジスタ マップのそれぞれ「入力電圧測定」、出力測定チャネル 1、出力電圧測定チャネル 2 レジスタに格納され、それらのレジスタから読み取ることができます。これらの測定の精度は、電気的特性に規定されてます。

TPS7B7802-Q1 は、各出力チャネルの低電圧状態および過電圧状態を通知する機能も備えています。レジスタ マップ内のラッチ レジスタおよびランタイム レジスタの OUTUVx ビットと OUTOVx ビットにより、両チャネルの V_{OUT} のステータスを確認できます。 出力電圧が電気的特性に規定されている過電圧および低電圧 PG スレッショルド内にある場合のみ、ビットの値は 0 を保持します。いずれかのチャネル、または両方のチャネルの出力電圧が低電圧 PG スレッショルドを下回ると、適切な OUTUVx ビットは「1」に切り替わります。いずれかのチャネル、または両方のチャネルの出力電圧が過電圧 PG スレッショルドを超えると、適切な OUTOVx ビットは「1」に切り替わります。詳細については、ランタイムとラッチレジスタの説明セクションを参照してください。

6.3.6 電流監視

TPS7B7802-Q1 デバイスでは、両方の出力チャネルで負荷電流を複数の方法で監視できます。出力電流の 10 ビット ADC 測定値には、レジスタ マップに示す特定のレジスタからアクセスできます。負荷電流が 0mA ≤ I_{OUT} ≤ 400mA 以下の範囲にある場合、測定値はチャネル 1 High レンジ電流測定レジスタおよびチャネル 2 High レンジ電流測定レジスタに格納されます。 これらのレジスタの測定の分解能は 390µA です。負荷電流の範囲が 0mA ≤ I_{OUT} ≤ 25mA である場合、デジタル測定値はチャネル 1 低範囲電流測定レジスタおよびチャネル 2 低範囲電流測定レジスタに保存されます。電流範囲には重複がありますが、軽負荷時には低電流レンジ レジスタを使用して測定値を取得することを推奨します。これらのレジスタにおける測定値の分解能は 25µA です。詳細については、レジスタの詳細セクションを参照してください。

TPS7B7802-Q1 はオープン ロード検出機能を備えています。オープン ロード スレッショルド (0mA ≤ $I_{OL\ TH}$ ≤ 15mA) は、各チャネルごとに個別に設定し、構成レジスタ 2 にプログラムする必要があります。いずれか一方、または両方のチャネルの負荷電流が設定されたスレッショルドを下回ると、デバイスはその状態をオープン ロードと判断します。レジスタ マップ内のラッチ エラー レジスタおよびランタイム エラー レジスタにある該当する OLx ビットは「1」にセットされます。 詳細については、「構成レジスタ 2 の説明」セクションを参照してください。

TPS7B7802-Q1 は過負荷検出機能も備えています。過電流警告スレッショルド (10mA ≤ $I_{WARN\ TH}$ ≤ 310mA) は、各チャネルごとに個別に選択し、構成 0 レジスタおよび構成 1 レジスタに設定する必要があります。 いずれか一方、または両方のチャネルの負荷電流が設定されたスレッショルドを超えると、デバイスはその状態を過負荷と判断します。ランタイム エラー レジスタおよびラッチ エラー レジスタレジスタ マップ内の適切な IWRNx ビットが「1」に切り替わります。 追加情報については「レジスタの詳細」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.3.7 逆電流保護

車載環境では、出力電圧が入力電圧を上回る故障状態が発生することがあります。状況として、LDO 出力が V_{IN} を上回った電源へ短絡したり、電源喪失により V_{IN} が突然低下したりした場合が挙げられます。このような状況でも、V_{OUT} は V_{IN} よりも高い値にします。一般的な LDO では、このような状況により大きな逆電流が流れ、発熱、エレクトロマイグレーション、またはラッチアップ イベントによってシリコンが損傷するおそれがあります。TPS7B7802-Q1 デバイスには保護機能が内蔵されており、逆電流の流れをブロックします。このデバイスでは、双方向に接続された P チャネル MOSFET で構成されるトポロジを採用しており、一方は「ブロッキング」FET、もう一方は「パス」FET として機能します。ブロッキング FET のゲートは電圧コンパレータによって駆動され、V_{OUT} が V_{IN} より高いことが検出された場合、FET はシャットダウンされます。コンパレータが動作するスレッショルドおよびこの保護機能の応答時間は、電気的特性の I_R セクションに規定されています。このコンパレータのデグリッチ時間は、標準値で約 100µs です。逆電圧コンパレータとブロッキング FET のボディ ダイオードの向きを組み合わせることで、このデバイスは逆電流の流れから保護されます。上記の部品はすべて、機能ブロック図に示されています。

レジスタ マップのラッチ エラー レジスタおよびランタイム エラー レジスタにある IREV1 ビットおよび IREV2 ビットの状態を監視します。チャネルの V_{OUT} がスレッショルド値だけ V_{IN} を超えると、適切な IREVx ビットが「1」に切り替わります。このデバイスは引き続き V_{IN} および V_{OUT} を監視し、ラッチオフを必要としないか、EN トグルを必要としません。故障状態が解消されると、このデバイスは通常のレギュレーション動作を再開します。

6.3.8 電流制限

デバイスおよび下流の部品を過電流から保護するため、TPS7B7802-Q1 デバイスには電流制限保護回路が内蔵されています。また、このデバイスを使用すると、各チャネルに対して個別に $25mA \le I_{CL} \le 400mA$ の範囲から電流制限値をプログラムできます。選択した値は、レジスタ マップの設定レジスタ 2 セクションに設定する必要があります。 詳細については、レジスタの説明のセクションを参照してください。このデバイスには、ブリックウォール方式の電流制限が実装されています。デバイスがいずれかのチャネルまたは両方で電流制限状態に達し、プログラムされた I_{CL} 電流を供給しても、出力電圧はレギュレートされません。出力電圧値は、負荷インピーダンスによって決まります。

レジスタ マップ内のラッチ エラー レジスタおよびランタイム エラー レジスタにある ILIM1 ビットおよび ILIM2 ビットの状態を監視します。 デバイスのいずれか一方または両方のチャネルで電流制限状態が検出されると、対応する ILIMx ビットが「1」に切り替わります。

6.3.9 接合部温度モニタ

TPS7B7802-Q1 デバイスでは、二種類の方法で接合部温度を監視できます。接合部温度の 10 ビット ADC 測定値は、レジスタ マップ内の T_J 測定レジスタに格納されます。 詳細については、レジスタの説明のセクションを参照してください。また、TPS7B7802-Q1 デバイスは過熱検出機能も備えています。過熱警告スレッショルドを設定レジスタ 3 にプログラムする必要があります。デバイスの接合部温度が設定したスレッショルドを超えると、デバイスはこれを過温度イベントと判断します。このようなイベントが発生すると、レジスタ マップ内のラッチ エラー レジスタおよびランタイム エラー レジスタにある TWRN ビットが「1」に切り替わります。 詳細については、レジスタの説明セクションを参照してください。

6.3.10 過熱保護

接合部温度が約 175°C に達すると、サーマル保護回路が動作し、デバイスを無効にします。このようなイベントが発生すると、レジスタ マップ内のラッチ エラー レジスタおよびランタイム エラー レジスタの TSD ビットは「1」に切り替わります。詳細については、レジスタの詳細セクションを参照してください。この機能は、デバイス内部の温度が危険なレベルに達するのを防ぐのに役立ちます。デバイスが無効になることで温度が低下し、接合部温度が約 160°C まで低下すると、デバイスは再び有効になります。このような高温でデバイスが有効化されますが、デバイスのパラメータと性能は、最高で 150°C の接合部温度まで規定されています。消費電力、熱抵抗、周囲温度は、過熱保護回路が有効化されるかどうかを決定するパラメータです。デバイスが再び有効になると、消費電力または周囲温度、あるいはその両方が低下していない限り、保護回路はデバイスをオン状態とオフ状態の間で繰り返し切り替えます。

TPS7B7802-Q1 の内部保護回路は、過負荷状態に対して保護を行うように設計されています。この回路は、適切なヒート シンクの代替となるものではありません。TPS7B7802-Q1 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

Copyright © 2026 Texas Instruments Incorporated

6.3.11 保護機能と診断機能

以下に、TPS7B7802-Q1 デバイスに内蔵されている保護機能の一覧を示します。

1. 逆極性保護：IN ピンの絶対最大定格が –40V であるため、バッテリ端子が誤って接続された場合でも、デバイスを保護できます。
2. 電流制限 / グランド短絡保護：このデバイスは、過電流に対する保護機能を備えています。詳細については、電流制限セクションを参照してください。
3. 過熱保護：このデバイスは、接合部温度が過剰に上昇しても保護されます。詳細については、過熱保護セクションを参照してください。
4. バッテリ短絡保護：OUT ピンの 45V の絶対最大定格と逆電流保護機能により、出力がバッテリに短絡した場合でも、デバイスはその状態に耐えることができます。

以下に、TPS7B7802-Q1 が検出可能な故障状態の一覧を示します。

1. 出力低電圧および過電圧状態：エラー レジスタの OUTUVx ビットおよび OUTOVx ビットにより、各チャネルの低電圧イベントおよび過電圧イベントをそれぞれ監視できます。詳細については、電圧監視セクションを参照してください。
2. 入力低電圧：エラー レジスタの UVLO ビットにより、入力電圧が UVLO スレッショルドを下回ったことを確認できます。詳細については、UVLO のセクションを参照してください。
3. 過負荷および開放負荷条件：エラー レジスタの ILIMx ビット、IWRNx ビット、および OLx ビットにより、それぞれ電流制限状態、過負荷電流、およびオープンロード状態を監視できます。詳細については、電流制限および電流監視のセクションを参照してください。
4. 逆電流フロー：エラー レジスタの IREVx ビットにより、逆方向電流が流れていることを確認できます。詳細については、逆電流保護セクションを参照してください。
5. 超過接合部温度：エラー レジスタの TSD ビットおよび TWRN ビットにより、それぞれサーマル シャットダウン状態および接合部温度の過昇温状態を監視できます。詳細については、過熱保護および接合部温度モニタのセクションを参照してください。

6.3.12 NERR ピン

TPS7B7802-Q1 デバイスには、オープンドレイン ベースの NERR ピンがあります。デバイスが保護機能と診断機能セクションに記載された故障状態のいずれかを検出すると、このピンはロジック Low 状態になります。ユーザーは、NERR ピンを故障状態のリアルタイムの状態に追従させることも、ラッチ状態に設定することもできます。設定レジスタ 3 の「ラッチ」ビットを「0」に設定すると、NERR ピンは故障状態のランタイム プロファイルに従います。故障状態が発生すると、このピンはロジック Low レベルになり、故障状態が解消されるとロジック High レベルに戻ります。「ラッチ」ビットを 1 に設定すると、故障条件が発生した際に、NERR ピンはラッチされたロジック Low 状態になります。故障状態が解消されても、このピンはラッチされた状態を維持します。ラッチ状態を解除するには、故障条件を解消した後、以下のいずれかの操作を実行する必要があります。

- 「1」を 0 にリセットするには、ラッチ エラー レジスタを適切なデジタル ワードで上書きします。詳細については、「ラッチ エラー レジスタ フィールドの説明」セクションを参照してください。
- デバイスの電源をサイクル (または V_{IN} をデジタル $UVLO_{FALLING}$ スレッショルドより低くした場合)。

注

電源の再投入中には、リセット回路が内部的に遅延するため、V_{IN} の一定の Low 時間が必要です。

- 制御バイト 1 で SWRRST を使用。詳細については、「読み取りサイクル」セクションを参照してください。

レジスタ マップ内のエラー マスク レジスタは、故障条件が NERR ピンに影響を与えないように隠す、またはマスクするためのものです。この機能を使用するには、エラー マスク レジスタの適切な故障条件に対応するビットを「1」に設定する必要があります。選択されたこれらの故障条件が発生した場合、NERR ピンはロジック Low 状態を想定しません。例えば、マスク レジスタの OUTOV1 ビットを「1」に設定すると、V_{OUT1} で過電圧イベントが発生しても、NERR ピンはロジック Low になりません。ただし、チャネル 1 出力で過電圧イベントが発生した場合、ラッチ レジスタとランタイム レジスタの

Copyright © 2026 Texas Instruments Incorporated

OUTOV1 ビットは、引き続き更新されます。 詳細については、エラー マスク レジスタのフィールドの説明を参照してください。

6.3.13 ブランキング時間

TPS7B7802-Q1 は、一時的なイベントを故障として誤検出することを防ぐため、プログラム可能なブランキング時間機能を備えています。ブランキング時間は、チャネルが完全に有効化されるたび、またはデバイスがサーマル シャットダウンから復帰するたびに開始されます。デバイスのブランキング時間は、0ms ≤ $t_{BLANKING}$ ≤ 85ms の範囲でプログラム可能です。これはデバイス レベル設定であり、二つのチャネルを個別に $t_{BLANKING}$ 設定することはできません。詳細については、構成レジスタ 3 のフィールドの説明セクションを参照してください。ブランキング時間中は、対応する故障状態が発生しても、ラッチ エラー レジスタおよびランタイム エラー レジスタのビットは更新されません。ブランキング時間が経過した後も故障条件が継続して存在した場合にのみ、ビットは更新されます。これらのレジスタの TSD、UVLO1、UVLO2 ビットの更新のみがブランキング時間を免除されます。なお、ブランキング時間は、チャネルが有効化されるたびに開始されます。したがって、二つのチャネルを別々のタイミングで有効化した場合、ブランキング時間は各チャネルが有効化されるたびに個別に開始 / リセットされます。

6.3.14 スイッチ モード

このデバイス チャネルは、I^2C を介してスイッチとして動作するように構成できますこの機能を使用するには、レジスタ マップの設定レジスタ 3 にある対応する FBx ビットを「0」に設定する必要があります。これにより、パッケージの FBx ピンが内部回路から切断されます。適切な構成レジスタ 0/1 の出力電圧チャネル x フィールドにも、デジタル ワード 0xFF を入力する必要があります。詳細については、レジスタの詳細セクションを参照してください。

デバイスをスイッチとして外部から構成するには設定レジスタ 3 の適切な FBx ビットを「1」にプログラムする必要があります。続いて、パッケージ上の対応する FB ピンをグランドに接続する必要があります。

スイッチ モードでも、デバイスは開放負荷、電流制限、逆電流故障状態に対する診断を実行できます。このデバイスは、このモードを過電圧または低電圧故障イベントとして登録しません。

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、電気的特性 表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ				
	V_{IN}	V_{EN}	I_{OUT}	T_J	I^2C 設定
通常動作	V_{IN} > 最大値 {$V_{OUT1\ (Nom)}$, $V_{OUT2\ (Nom)}$} + V_{DO} および V_{IN} ≥ $V_{IN(min)}$	V_{EN} > $V_{EN\ H}$	最大値 {I_{OUT1}, I_{OUT2}} ≤ 300mA	T_J ≤ 150 °C	チャネル X の場合：構成レジスタのビット ENx = 1 を設定 - 3
ドロップアウト動作 (V_{IN} または I^2C 設定列のいずれかの条件が満たされると、デバイスはドロップアウトになる)	チャネル X がドロップアウト状態になる場合：$V_{IN(min)}$ < V_{IN} < $V_{OUTX\ (Nom)}$ + V_{DO}。両方のチャネルがドロップアウト状態になる場合：$V_{IN(min)}$ < V_{IN} < 最小値 {$V_{OUT1\ (Nom)}$, $V_{OUT2\ (Nom)}$} + V_{DO}	V_{EN} > $V_{EN\ H}$	最大値 {I_{OUT1}, I_{OUT2}} ≤ 300mA	T_J ≤ 150 °C	チャネル X の場合：構成レジスタのビット ENx = 1、出力電圧 Ch-X ビットを 0xFF に設定します。
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	V_{IN} < $V_{UVLO\ (Falling)}$	V_{EN} < $V_{EN\ L}$	該当なし	T_J > $T_{SD\ (shutdown)}$	チャネル X の場合：構成レジスタのビット ENx = 0 を設定 - 3

6.4.1 通常動作

次の条件を満たすと、デバイスの各チャネルは安定化された出力を供給します

- 十分な入力電圧を供給する必要があります。V_{IN} は、公称 / 目標出力電圧と必要なドロップアウト電圧の和よりも高い必要があります。いずれの条件も、V_{IN} ≥ 4.5V および V_{IN} > $V_{OUT(Nom)}$ + V_{DO} である必要があります。

Copyright © 2026 Texas Instruments Incorporated

- 対応するチャネルの負荷電流は、プログラムされた電流制限値 $I_{OUT} < I_{CL}$ よりも小さい必要があります。
- デバイスの接合部温度が –40℃ を超え、+150℃ 未満。
- デバイスが適切に有効化されている必要があります。イネーブル ピン電圧は、イネーブル立ち上がりスレッショルドを超えている必要があります ($V_{EN} > V_{EN\,H}$)。また、対応するチャネルのイネーブル ビットをレジスタ マップの「1」に設定する必要があります。詳細については、「イネーブル」セクションを参照してください。

6.4.2 ドロップアウト

V_{IN} が、チャネルの公称 / 目標出力電圧 V_{OUT} と必要なドロップアウト電圧の合計より低い場合、チャネルはドロップアウト モードで動作します。ただし、通常動作に必要なその他すべての条件が満たされていることが前提です。ドロップアウト モードでは、出力電圧はレギュレーション状態を維持できなくなり、過渡応答特性 (ライン変動および負荷変動) が大幅に低下します。パストランジスタは三極管 / 抵抗領域で動作し、V_{OUT} は V_{IN} に追従し、チャネルは実質的にスイッチとして動作します。ドロップアウト モードでは、PSRR 電流検出の精度も低下します。デバイスをスイッチ モードで動作させる方法の詳細については、スイッチ モードセクションを参照してください。ドロップアウトで動作している間に、十分な V_{IN} が供給されている場合、デバイスはドロップアウトを終了し、レギュレーション モードに移行します。パストランジスタは、三極管領域から飽和状態に遷移します。デバイスがドロップアウト モードから復帰する際のこの短い遷移期間中は、出力電圧に大きなオーバーシュートが発生する可能性があります。

6.4.3 V_{IN} < 4.5V での動作

V_{IN} が 4.5V 未満の場合のデバイス性能の詳細については、入力低電圧ロックアウト (UVLO)セクションを参照してください。

6.4.4 無効

個々のチャネルを選択的に無効するには、レジスタ マップの構成 3 レジスタの適切な ENx ビットを 0 に設定します。EN ピンの電圧を $V_{EN\,L}$ スレッショルドより低くすると、デジタル ENx ビットの設定に関係なく両方の出力チャネルが無効になります。デバイスは、V_{IN} が $UVLO_{(FALLING)}$ スレッショルドを下回ると無効になります。無効な時は、デバイスの静止電流消費が減少します。デバイスの静止電流消費を $I_{DISABLED}$ 規定値未満に低減するには、内部 ADC も無効にする必要があります。$V_{EN\,L}$、$UVLO_{(FALLING)}$ および $I_{DISABLED}$ パラメータは電気的特性で指定されています。

Copyright © 2026 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 I²C インターフェイス

TPS7B7802-Q1 デバイスは、シリアル通信のための集積回路間通信 (I²C) 互換インターフェイスを内蔵しています。I²C は、1 つまたは複数のコントローラ デバイス (MCU など) とターゲット デバイス (ADC、LDO など) との通信を可能にする 2 線式プロトコルです。TPS7B7802-Q1 デバイスは、ターゲット デバイスとしてのみ動作するように設計されています。

I²C インターフェイスは、シリアル クロック (SCL) ラインとシリアル データ ライン (SDA) で構成されています。SCL ラインはクロック信号を伝送し、SDA ラインはデータ パケットを伝送します。両方のラインは、プルアップ抵抗を介してバス電源に接続する必要があります。プルアップ抵抗のサイズは、I2C ラインの容量と通信速度によって決定されます。I²C バス上のすべてのデバイスは、オープン ドレインの SDA ピンおよび SCL ピンを備えており、ラインを Low に駆動しますが、High に駆動することはありません。コントローラは SCL にクロック信号を生成し、SDA ラインはコントローラまたはターゲットのいずれかによって Low にプルできます。データ転送はクロック信号と同期して行われ、半二重です。これは、一度に 1 つのデバイスのみが送信を行うことを意味します。I²C バス上の各ターゲット デバイスには固有のアドレスがあります。コントローラは、SDA ラインでターゲットのアドレスを送信することで、特定のターゲットと通信します。

バス構成の例を図 6-2 に示します。

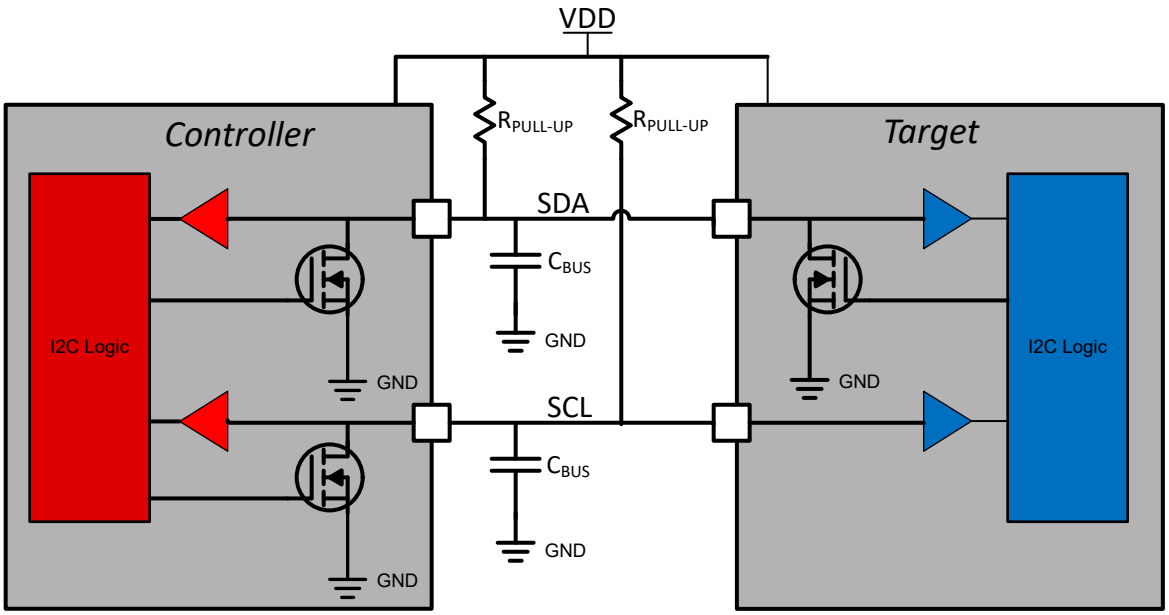


図 6-2. 標準的な I²C バス

データおよびクロックはバイナリ形式で伝送され、SDA/SCL ラインの電圧は NMOS をオフまたはオンすることで High レベル (VDD) または Low レベル (GND/V_{OL}) に設定されます。図 6-3 に、SDA/SCL ラインの代表的な電圧プロファイルを示します。

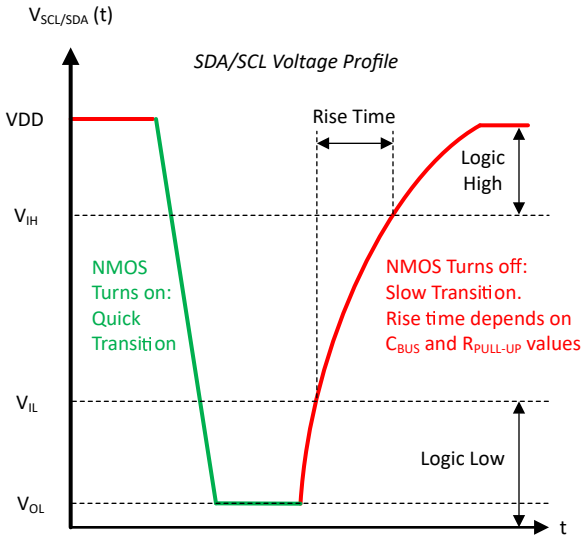


図 6-3. SDA/SCL 電圧プロファイル

NMOS がオンになると、ラインは低電圧レベルにプルされます。NMOS デバイスの抵抗は有限なため、ラインの電圧は V_{OL} にセトリングします。これは通常、高速に遷移します。NMOS がオフになると、ラインは $R_{PULL-UP}$ によって VDD にプルされます。Low から High への遷移はより低速であり、バス ラインの容量の大きさである C_{BUS} にも依存します。

TPS7B7802-Q1 は、SCL/SDA ライン上の電圧が V_{IH} を超える場合をロジック High、V_{IL} 未満の場合をロジック Low として認識します。NMOS デバイスのプルダウン駆動能力 (I_{SINK})、$R_{PULL-UP}$、および C_{BUS} は、いずれも通信速度を決定する上で重要な役割を果たします。$R_{PULL-UP}$ 値は、速度と消費電力の間のトレードオフです。値が小さいと、$R_{PULL-UP}$*C_{BUS} 遅延が減少し、速度が向上します。抵抗値を大きくすると遅延は増加しますが、消費電力は低減されます。I_{SINK} 値は、NMOS デバイスのサイズに応じてスケーリングされます。

6.5.1.1 I²C のインターフェース速度

TPS7B7802-Q1 デバイスは、三種類の I²C 速度モードをサポートできます。モードの名前、速度、電気的仕様の詳細を、以下の表 6-2 に示します。

表 6-2. I²C 速度モードの詳細

I²C モード	最大ビット レート	I²C スタンダード		TPS7B7802-Q1	
		最小 I_{SINK}	最大 C_{BUS}	最小 I_{SINK}	最大 C_{BUS}
スタンダード モード	100Kbps	3mA	400pF	3mA	400pF
ファースト モード	400Kbps	3mA	400pF	3mA	400pF
ファースト モード プラス	1Mbps	20mA	550pF	3mA	*80pF*

C_{BUS} = 550pF を伝送するラインでの 1MHz の速度をサポートするため、I2C 仕様では I_{SINK} ≥ 20mA を推奨しています。ただし、TPS7B7802-Q1 の NMOS トランジスタは、6mA を超える I_{SINK} を流せるようには設計されていません。このため、TPS7B7802-Q1 が高速モード プラス (1MHz) で SDA/SCL ラインに対応できる C_{BUS} の最大値は、80pF まで低下します。標準モードおよび高速モードについて、TPS7B7802-Q1 は I²C 仕様に準拠しています。

6.5.2 I²C データ転送プロトコル

I²C 通信は常に、コントローラ デバイスによって開始されます。通信に参加するすべてのデバイス (コントローラおよびターゲット) は、それぞれ一意のアドレスを持つ必要があります。このデバイスは 3 本の ADDR ピンを備え、8 種類の固有アドレスを設定できるため、一つのシステムで最大 8 台の TPS7B7802-Q1 デバイスを使用できます。起動時には、コントローラが TPS7B7802-Q1 をアドレス指定し、内部レジスタにデータを書き込んで設定する必要があります。コントローラは、バスがアイドル状態のときにのみ通信を開始できます。ストップ条件の後、SDA ラインと SCL ラインの両方が High レベ

Copyright © 2026 Texas Instruments Incorporated

ルである場合、バスはアイドル状態と見なされます。コントローラとターゲットとの間の I²C 通信に関連するプロセスの概要を以下に示します。

1. コントローラからターゲットへのデータ送信
   - コントローラは、スタート条件を生成し、ターゲットをアドレス指定するとともに、そのターゲットを受信側として指定します。
   - コントローラはトランスミッタとして動作し、データをターゲット (レシーバ) に送信します。
   - コントローラのトランスミッタは、ストップ条件で転送を終了します。
2. コントローラによるターゲットからのデータ受信
   - コントローラは、スタート条件を生成し、ターゲットをアドレス指定するとともに、そのターゲットを受信側として指定します。
   - その後、コントローラはターゲットの特定のレジスタをアドレス指定してデータを読み取ります。
   - コントローラは、スタート条件を再生成し、ターゲットをアドレス指定するとともに、ターゲットを送信側として指定します。
   - トランスミッタとして動作するターゲットは、データをコントローラ (レシーバ) に送信します。
   - コントローラのトランスミッタは、ストップ条件で転送を終了します。

6.5.2.1 開始と停止

バスがアイドルのとき、SDA ラインと SCL ラインの両方が High のとき、**スタート**シーケンスを開始すると、コントローラは SDA を Low にプルした後、SCL ラインを Low にプルします。このシーケンスでは、コントローラは通信バスを制御できます。データ転送の完了後、通信を終了するため、コントローラは**ストップ** シーケンスを開始します。まず SCL ラインを解放して High レベルにし、その後 SDA ラインを解放してロジック High レベルにします。これによって、他のコントローラが通信を開始できるようにバスが解放されます。コントローラは、SDA ラインの制御を維持するため、データ転送後に再度スタート条件を発行できます。これは**繰り返しスタート**シーケンスと呼ばれ、双方向のストップ スタート シーケンスの代わりに使用できます。

6.5.2.2 ロジック 1 と 0

I²C は、1 と 0 のシーケンスであるバイナリ ビットを使用してデータを送信します。SDA ラインを解放し、プルアップ抵抗によって VDD までプルアップすると、ロジック 1 を送信できます。同様に、SDA ラインが GND に Low でプルされると、ロジック 0 を送信できます。SCL がパルス駆動されると、ロジック 1 およびロジック 0 が受信されます。このビットが有効になるには、SDA ラインの電圧レベルを SCL ラインの立ち上がりエッジと立ち下がりエッジの間で変化させることはできません。SCL の立ち上がりエッジと立ち下がりエッジの間の SDA の変化は、I²C バス上のスタート条件またはストップ条件として解釈されます。

6.5.2.3 データ フォーマット

SDA ライン上の I²C 通信は、フレームに分けることができます。各フレームは、情報バイトで構成されます。各バイトは 8 ビットで構成されています。バイトには、ターゲットのアドレス、ターゲット内のレジスタ アドレス、またはターゲットに書き込むデータもしくはターゲットから読み取るデータを格納できます。データは常に MSB ファーストで送信されます。

アドレス バイトでは、最上位 7 ビットにアドレス情報が格納されます。アドレス バイトの LSB は R/$\overline{W}$ ビットであり、このビットによってターゲットがトランスミッタ (R/$\overline{W}$ ビットを 1 に設定) として動作するか、レシーバ (R/$\overline{W}$ ビットを 0 に設定) として動作するかが指定されます。

各データ バイトの後には 1 ビットの ACK (アクノリッジ) ビットが続き、このビットではレシーバが SCL パルス中に SDA ラインを Low にプルダウンします。ACK 信号は、レシーバがトランスミッタに対して、バイトを正常に受信したこと、および通信を継続できることを通知するための信号です。図 6-4 に、スタート シーケンス、アドレス フレーム、データ フレーム、ACK、およびストップ シーケンスを示す例を示します。

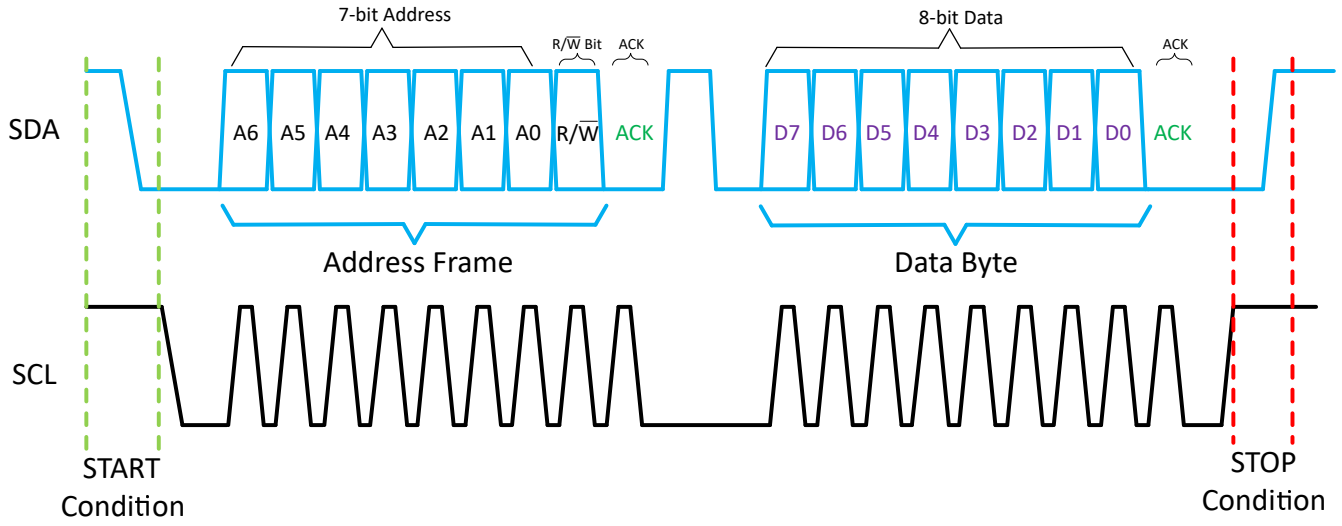


図 6-4. 代表的な転送シーケンス

バイト受信後も SDA ラインが High レベルのままである場合、この状態を NACK (ACK なし) と呼びます。NACK が発生する状況を次に示します。

- 送信されたアドレスに対応する受信デバイスがバス上に存在しないため、アクノリッジを返すデバイスがありません。
- レシーバが何らかのリアルタイム機能を実行している場合、コントローラとの通信は行われません。
- レシーバが理解できないデータまたはコマンドを取得した場合。
- コントローラのレシーバは、ターゲットのトランスミッタへの転送の終了を通知する必要があります。
- レシーバが、受け入れ可能なビット数よりも多くのビットを取得した場合。
- TPS7B7802-Q1 がレシーバとして動作している場合、空の開始 / 停止サイクル (データトランザクションなし、またはアドレス送信なし) の後、レシーバは有効なデータ / アドレス バイトを含む次の開始 / 停止サイクルで NACK を返します。重複する後続の開始 / 停止サイクルで ACK が返されます。

6.5.3 アドレス フレーム

スタート条件を開始した後、通信を開始するために、コントローラは 7 ビット アドレスを送信する必要があります。TPS7B7802-Q1 デバイスの場合、7 つのアドレス ビット (MSB) のうち最初の 4 つは出荷時に「1001」にプリセットされています。アドレス ビットの残り三つの LSB は、TPS7B7802-Q1 の三つの ADDRX ピンに印加される論理レベルに対応しており、これによりコントローラは最大 8 台の TPS7B7802-Q1 デバイスと通信できます。図 6-5 に、スタート シーケンスと ACK シーケンスを含むアドレス フレームの例を示します。

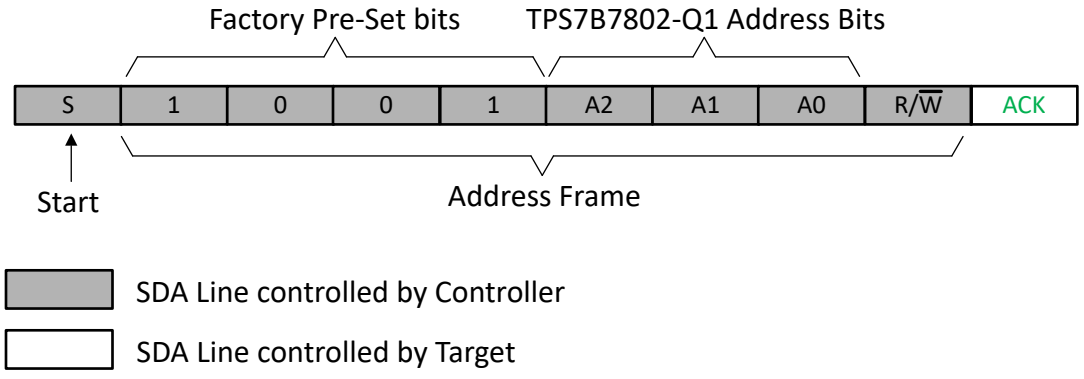


図 6-5. アドレス フレーム構造

Copyright © 2026 Texas Instruments Incorporated

6.5.4 書き込みサイクル

TPS7B7802-Q1 デバイスは、四つの設定レジスタ (CFGR0-3) に値を書き込んで正しく設定する必要があります。すべてのレジスタの詳細な説明については、レジスタ マップセクションを参照してください。表 6-3 に、TPS7B7802-Q1 デバイスのすべてのレジスタのアドレスおよび読み取り / 書き込み (R/W) アクセス属性を示します。表 6-3 に示すレジスタのサイズは 16 ビットです。したがって、これらのレジスタは 2 バイト単位で読み取りまたは書き込み (可能な場合) を行う必要があります。

表 6-3. レジスタ マップの概要

インデックス	レジスタ名	アドレス (16 進)	アドレス (2 進)				読み出し / 書き込み
			A3	A2	A1	A0	
1	CFGR0	0	0	0	0	0	R/W
2	CFGR1	1	0	0	0	1	R/W
3	CFGR2	2	0	0	1	0	R/W
4	CFGR3	3	0	0	1	1	R/W
5	デバイス V_{IN} のデータ レジスタ	4	0	1	0	0	R
6	Ch1V_{OUT} のデータ レジスタ	5	0	1	0	1	R
7	Ch1I_{OUT-H} のデータ レジスタ	6	0	1	1	0	R
8	Ch1I_{OUT-L} のデータ レジスタ	7	0	1	1	1	R
9	接合部温度用データ レジスタ	8	1	0	0	0	R
10	デバイス V_{IN} のデータ レジスタ	9	1	0	0	1	R
11	Ch2V_{OUT} のデータ レジスタ	A	1	0	1	0	R
12	Ch2I_{OUT-H} のデータ レジスタ	B	1	0	1	1	R
13	Ch2I_{OUT-L} のデータ レジスタ	C	1	1	0	0	R
14	ラッチ ステータス レジスタ	D	1	1	0	1	R/W
15	ラン タイム ステータス レジスタ	E	1	1	1	0	R
16	マスク レジスタ	F	1	1	1	1	R/W

目的のターゲット デバイスをアドレス指定した後、特定のレジスタへ書き込む際には、8 ビット フレームの制御バイト 0 を使用する必要があります。図 6-6 にこのフレームの構造を示し、表 6-4 に各ビットの機能を示します。

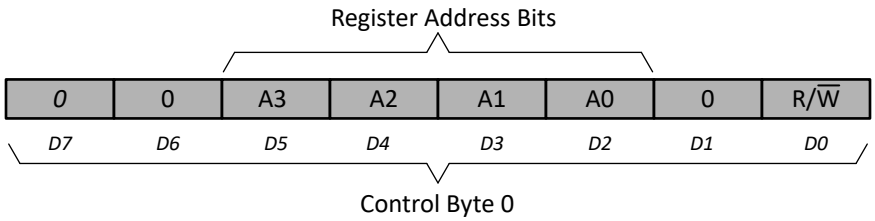


図 6-6. 制御バイト 0 の構造

表 6-4. 制御バイト 0 の説明

ビット	フィールド	説明
D7	制御バイト ID	0 : 制御バイト 0 (このバイトはユーザーがレジスタへのデータの読み取り / 書き込みに役立ちます)。 1 : 制御バイト 1 (このバイトは特定の ADC 機能の実行に役立ちます)。
D6	該当なし	正常動作時は「0」である必要があります。
D5	A3	レジスタ アドレス ビット
D4	A2	
D3	A1	
D2	A0	
D1	該当なし	正常動作時は「0」である必要があります。
D0	R/$\overline{W}$	1 : アドレス ビットに対応するアドレスを持つレジスタからのデータを読み取ることができます。 0 : アドレス ビットに対応するアドレスをレジスタに書き込むことができます。

表 6-5 に、TPS7B7802-Q1 デバイスの構成例を示します。図 6-7 に示す構成を取得するために、四つの構成レジスタを入力するプロセスについては、表 6-5 で説明します。マスク レジスタとラッチ ステータス レジスタへの書き込みも、同様に行うことができます。さまざまなターゲット値と構成レジスタ CFGR0-3 の構成に対応する 16 進数 / バイナリ コードについては、レジスタ マップセクションを参照してください。

表 6-5. 設定例

パラメータ	チャネル 1		チャネル 2	
	目標値	バイナリ コード	目標値	バイナリ コード
起動時の電流制限	200mA	0111	300mA	1011
負荷電流警告スレッショルド	310mA	1111	250mA	1100
出力電圧	12V	0110 0100	10V	0101 0000
開放負荷スレッショルド	10mA	1010	15mA	1111
電流制限	350mA	1101	400mA	1111
接合部温度警告スレッショルド	130°C	110		
ADC イネーブル	イネーブル	1		
ランタイム / ラッチ エラー	ランタイム	0		
ブランキング時間	8.5ms	100		
デジタル イネーブル	イネーブル	1	イネーブル	1
外部フィードバック設定	なし	0	なし	0

Copyright © 2026 Texas Instruments Incorporated

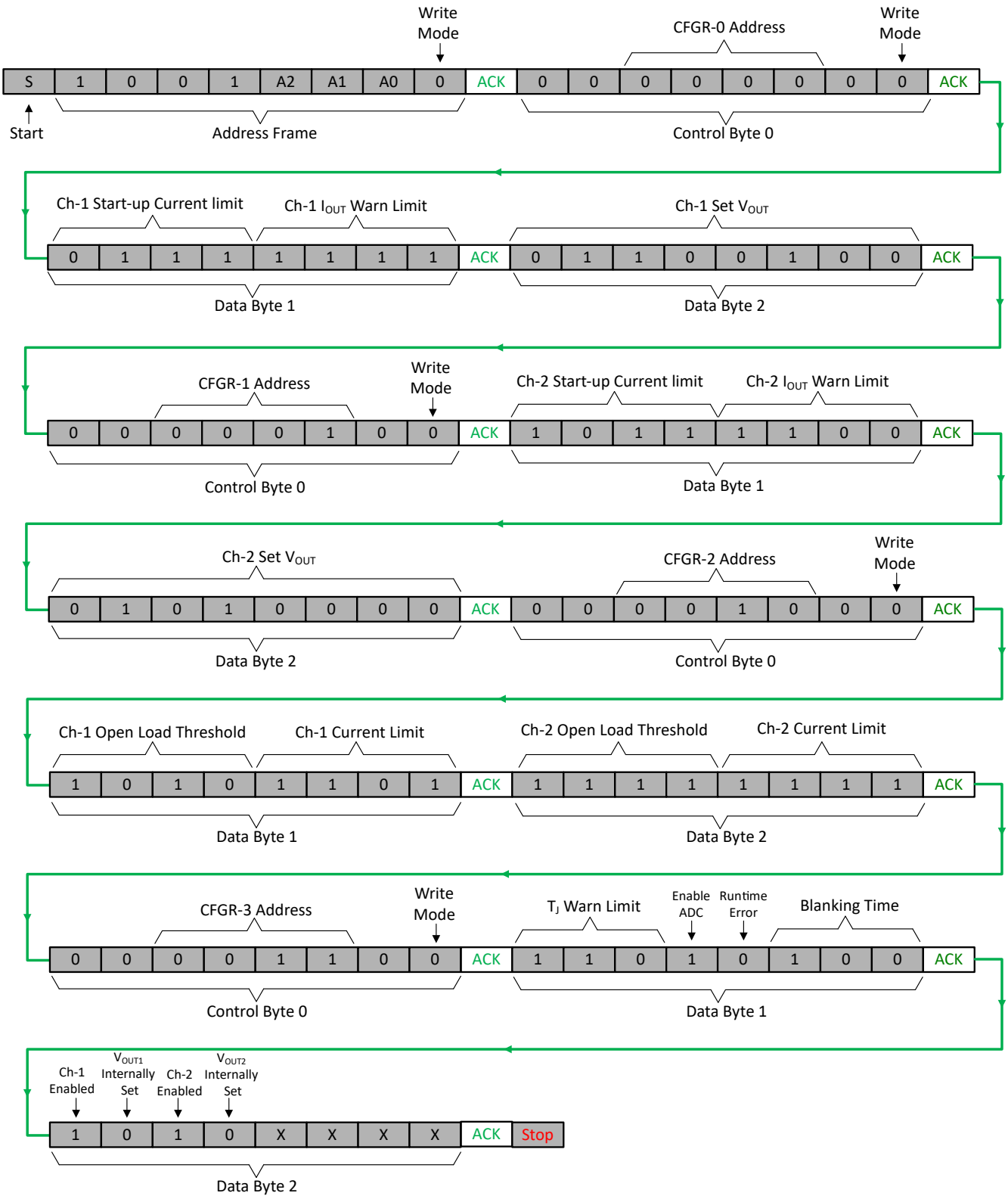


図 6-7. 書き込みサイクルの例

書き込みアクセス可能なレジスタは任意のシーケンスに設定でき、ストップ (または反復スタート) シーケンスはいつでも開始できます。ストップ シーケンス後に再度書込みを開始するには、ターゲット デバイスを再度アドレス指定し、前述の書き込みサイクルを繰り返す必要があります。

読み取り専用アクセス可能なレジスタにデータが書き込まれようとすると、TPS7B7802-Q1 デバイスは NACK を返します。これを図 6-8 に示します。ここで、制御バイト 0 が読み取り専用レジスタ (LDO チャネル 1 の V_{IN} レジスタ) への書き込み命令で送信され、TPS7B7802-Q1 デバイスは NACK で応答します。TPS7B7802-Q1 デバイスは、コントローラがストップを発行してから正しいアドレス フレームを発行するまで、NACK で応答を続けます。

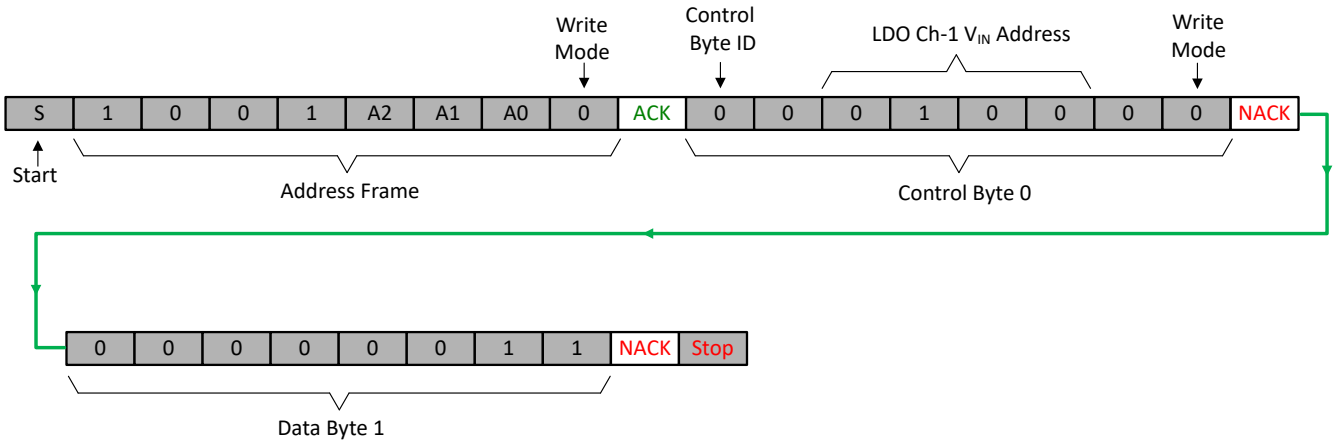


図 6-8. 不正な書き込みサイクル

6.5.5 読み取りサイクル

TPS7B7802-Q1 のレジスタ マップに記載されているすべてのレジスタは、読み取り可能です。その多くは、電圧、電流、温度の ADC 測定値を格納します。8 ビットのフレーム「コントロール バイト 1」を使用して、これらのレジスタを構成するための各種の命令を ADC に提供できます。図 6-9 は、この制御バイト 1 フレームの構造を示し、表 6-6 に各ビットの機能について説明しています。

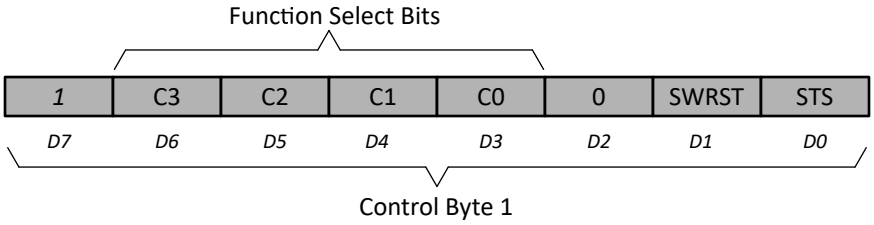


図 6-9. 制御バイト 1

アドレス ACK (図 6-10 および図 6-8 を参照) の直後にあるフレームの MSB 値により、TPS7B7802-Q1 は制御バイト 1 (ビット = 1) と制御バイト 0 (ビット = 0) を区別できます。制御バイト 0 および 1 の両方で、アドレス フレームは書き込みサイクル モード (アドレス フレームの LSB = 0) で送信する必要があります。

表 6-6. 制御バイト 1 の説明

ビット	フィールド	説明
D7	制御バイト ID	0: 制御バイト 0 (このバイトはユーザーがレジスタへのデータの読み取り / 書き込みに役立ちます)。 1: 制御バイト 1 (このバイトは特定の ADC 機能の実行に役立ちます)。

Copyright © 2026 Texas Instruments Incorporated

表 6-6. 制御バイト 1 の説明 (続き)

ビット	フィールド	説明
D6	C3	ADC 機能選択ビット
D5	C2	
D4	C1	
D3	C0	
D2	該当なし	正常動作時は「0」である必要があります。
D1	SWRST	ソフトウェア リセット ビット。このビットに「1」を書き込むと、すべてのレジスタがデフォルト値に設定されます。
D0	STS	データ コンバータ機能のストップ ビット。このビットを「1」に設定すると、データ コンバータ機能は中止されます。この場合、レジスタはリセットされません。

機能ビットの設定に応じて、ADC は各パラメータを単発または連続で測定し、対応するレジスタを更新するよう指示できます。以下の表 6-7 に、ADC が実行可能な各機能と、それらを実行してレジスタにデータを格納するために必要な時間を示します。

表 6-7. ADC 機能

ADC 機能選択ビット				C3C0 (10 進数)	機能の説明	測定時間
C3	C2	C1	C0			
0	1	0	0	4	デバイスのすべての主要パラメータを測定:V_{IN}、V_{OUT1}、I_{OUTH1}、I_{OUTL1}、T_J、V_{IN}、V_{OUT2}、I_{OUTH2}、I_{OUTL2} をシーケンシャルに単一測定	50µS
0	1	0	1	5	LDO チャネル 1 のバイタルを測定:V_{IN1}、V_{OUT1}、I_{OUTH1}、I_{OUTL1}、T_J をシーケンシャルに単一測定	25µS
0	1	1	0	6	LDO チャネル 2 の主要パラメータを測定:V_{IN2}、V_{OUT2}、I_{OUTH2}、I_{OUTL2}、T_J をシーケンシャルに単一測定	25µS
0	1	1	1	7	温度のみを測定し	10µS
1	0	0	0	8	LDO1 の主要パラメータを連続測定*	n*25µS
1	0	0	1	9	LDO2 の主要パラメータを連続測定*	n*25µS
1	0	1	0	10	すべてのデバイスバイタルを連続的に測定します。	n*50µS

以下の図 6-10 は、制御バイト 1 を使用して ADC に LDO チャネル 1 のすべての主要パラメータを単一測定させ、その結果を表 6-3 のレジスタ 5 ～ 9 に更新 / 格納する例を示しています。ターゲットから制御バイト 1 に対応する ACK を受信した後、コントローラは ADC が適切なレジスタを設定できるように、一定の時間を待つ必要があります。表 6-7 の「測定時間」列には、さまざまな ADC 機能の標準的な待機時間が示されています。

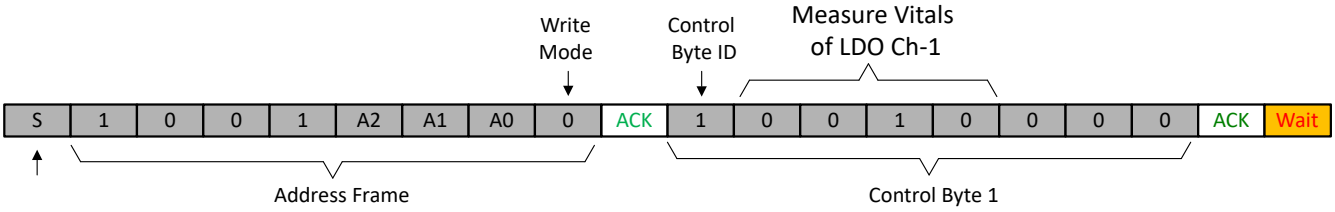


図 6-10. 待機時間付きの制御バイト 1

レジスタからデータを読み取るには、以下に示す手順で 8 ビット フレームの制御バイト 0 を使用する必要があります。

1. コントローラがスタート条件を発行した後、ターゲット アドレス フレームを書き込みモード (LSB = 0) で送信する必要があります。

2. その後で、制御バイト 0 が**読み取り**モード (このフレームの LSB = 1) で送信されます。制御バイト 0 フレームのレジスタ アドレスは、ユーザー / コントローラがデータを読み取るターゲット レジスタのアドレスです。ターゲットから ACK を受信した後、コントローラはストップ条件または繰り返しスタート シーケンスを発行する必要があります。
3. その後、コントローラは読み取りモード (LSB = 1) で**ターゲット アドレス フレーム**を送信します。コントローラがトランスミッタからレシーバ、またはその逆への変更を必要とするときは、コントローラがストップ (または繰り返しスタート) シーケンスを発行する必要があります。ターゲットから ACK が送信された後、コントローラは前の手順で選択したターゲット レジスタからのデータの受信を開始します。
4. ストップ条件が発行されない場合、コントローラはレジスタ マップ内の後続レジスタからのデータを引き続き受信します。読み取りは、コントローラがサイクル終了を決定するまで、レジスタ マップを循環し続けます。コントローラが必要なデータを受信したら、NACK を送信し、その後にストップ条件を発行することで通信サイクルを終了できます。

以下の図 6-11 は、コントローラが制御バイト 1 を発行して ADC に LDO チャネル 1 およびチャネル 2 のすべての主要パラメータを単回測定させ、その後、LDO チャネル 1 の V_{IN} レジスタから LDO チャネル 2 の I_{OUT-L} レジスタまでのすべてのデータをコントローラが読み取る例を示しています。

読み取りサイクル中、TPS7B7802-Q1 は、デバイスが無効化されても、制御バイト 0 で指定された対象レジスタのアドレス (図 6-11 では LDO チャネル 1 の V_{IN} レジスタ) を保持できます。読み取りサイクルの開始後、LDO が無効化 / 有効化シーケンスを経た場合でも、TPS7B7802-Q1 はあらかじめ設定された対象レジスタ アドレスを保持します。したがって、制御バイト 0 を再度送信することなく、コントローラはそのレジスタから直接データを読み取ることができます。TPS7B7802-Q1 は、デバイスがパワー サイクルを実行しない (または UVLO に移行しない) 限り、ソフトウェアリセット (制御バイト 1 の SWRST)、または新しい制御バイト 0 シーケンスで上書きされない限り、このアドレスを保持します。

Copyright © 2026 Texas Instruments Incorporated

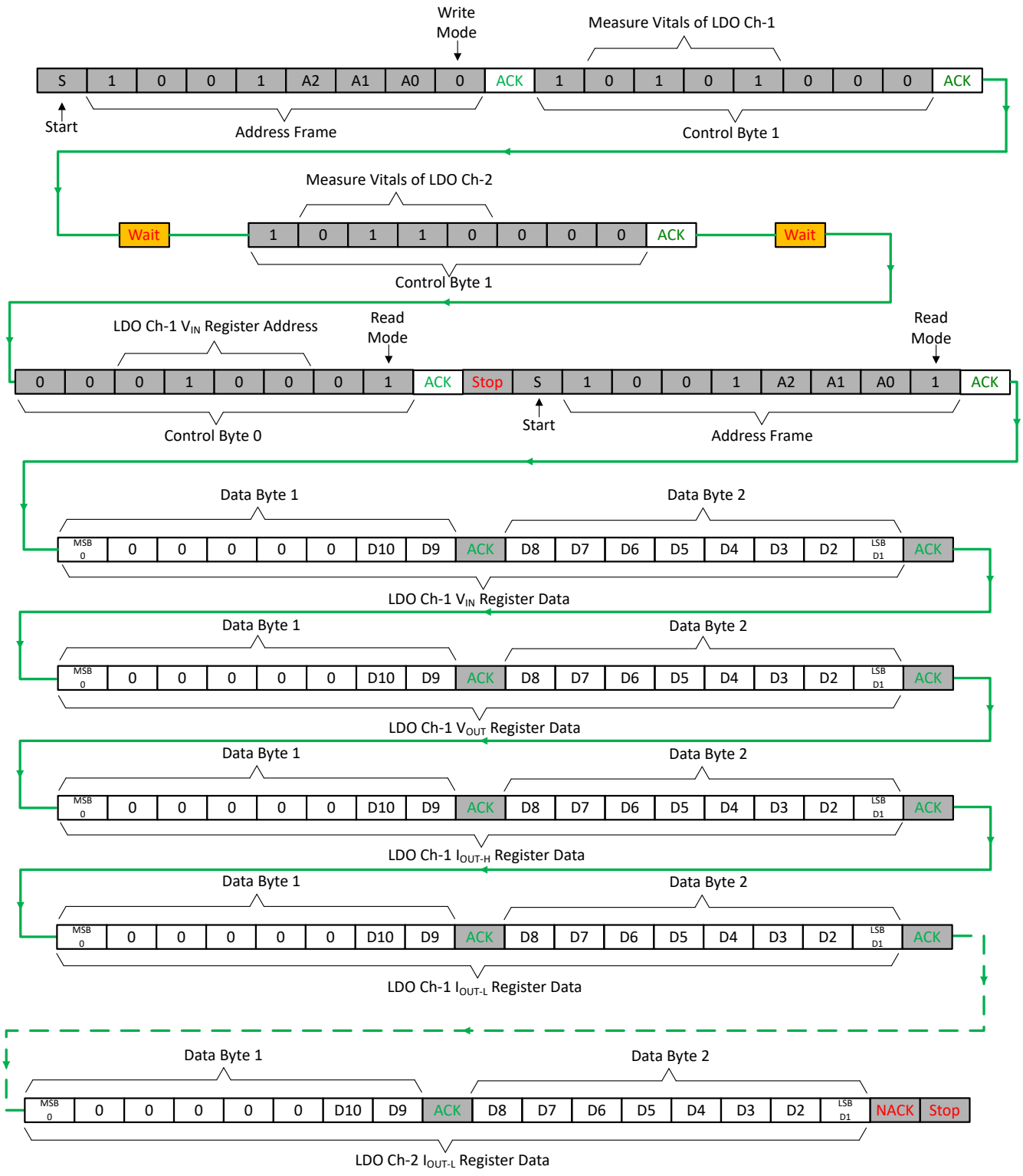


図 6-11. 読み取りサイクルの例

7 レジスタ マップ

表 7-1. レジスタ マップ

レジスタ名	アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	R/W アクセシビリティ
CFR-0	0x0	起動時電流制限チャネル 1				I_{OUT} 警告スレッショルド チャネル 1				出力電圧チャネル 1								R/W
CFR-1	0x1	起動時電流制限チャネル 2				I_{OUT} 警告スレッショルド チャネル 2				出力電圧チャネル 2								R/W
CFR-2	0x2	I_{OUT} オープン スレッショルド チャネル 1				電流制限チャネル 1				I_{OUT} オープン スレッショルド チャネル 2				電流制限チャネル 2				R/W
CFR-3	0x3	T_J 警告スレッショルド			ADC-EN	ラッチ	ブランキング時間			EN1	FB1	EN2	FB2	予約済み				R/W
VIN	0x4	0	0	0	0	0	0	入力電圧測定										R
VOUT-1	0x5	0	0	0	0	0	0	出力測定チャネル 1										R
IOUTH-1	0x6	0	0	0	0	0	0	High レンジ負荷電流測定値チャネル 1										R
IOUTL-1	0x7	0	0	0	0	0	0	Low レンジ負荷電流測定チャネル 1										R
TEMP	0x8	0	0	0	0	0	0	デバイス接合部温度の測定										R
VIN	0x9	0	0	0	0	0	0	入力電圧測定										R
VOUT-2	0xA	0	0	0	0	0	0	出力電圧測定チャネル 2										R
IOUTH-2	0xB	0	0	0	0	0	0	High レンジの電流測定チャネル 2										R
IOUTL-2	0xC	0	0	0	0	0	0	Low レンジの負荷電流測定チャネル 2										R
LAT_ST	0xD	TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2	R/W
RT_ST	0xE	TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2	R
MASK	0xF	TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2	R/W

7.1 デフォルト設定

デバイスの電源投入時に、デバイスのチャネル 1 とチャネル 2 は、表 7-2 に示すデフォルト設定で構成されます。ユーザーは、これらのデフォルト設定を上書きして、デバイスを再構成できます。

表 7-2. デフォルト設定

チャネル 1 および 2 の設定		
説明	デジタル ワード	アナログ値
起動電流制限	0111	200mA
I_{OUT} 警告スレッショルド	1010	210mA
出力電圧 V_{OUTX}	0001 1110	5V
I_{OUT} 開放負荷スレッショルド	0101	5mA
I_{OUT} 電流制限	1001	250mA
T_J 警告スレッショルド	101	120°C
ADC イネーブル	ADCEN = 1	ADC イネーブル
ラッチ ビット	0	0 (ランタイム エラー検出)
ブランキング時間	100	8.5msec
イネーブル ビット	EN1 = 0、EN2 = 1	-
フィードバック ビット	FB1 = 0、FB2 = 1	V_{OUT2} は外付け抵抗により設定します

Copyright © 2026 Texas Instruments Incorporated

7.2 レジスタの詳細

構成レジスタ (アドレス = 0x1) [リセット = 0x7A1E]

図 7-1. 設定レジスタ 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
起動時電流制限チャネル 1[3:0]				I_{OUT} 警告スレッショルド チャネル 1[3:0]				出力電圧チャネル 1[7:0]							
R/W-0b0111				R/W-0b1010				R/W-0b00011110 (0x1E)							

表 7-3. 構成レジスタ 0 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	起動時電流制限チャネル 1[3:0]	R/W	0b0111	このレジスタでは、チャネル 1 の電流制限値を 25mA ≤ $I_{STARTUP_CL}$ ≤ 400mA の範囲で、25mA の増分で設定できます。25mA および 400mA の値は、それぞれデジタル ワード 0b0000 および 0b1111 に設定されています。中間の値は、次の式を用いて算出できます。$I_{STARTUP_CL}$ = (D[3:0] + 1) * 25mA。例えば、D[3:0] = 0b0111 = 7 の場合、$I_{STARTUP_CL}$ = 8 × 25mA = 200mA となります。
11:8	I_{OUT} 警告スレッショルド チャネル 1[3:0]	R/W	0b1010	このレジスタでは、チャネル 1 の負荷電流警告スレッショルド値を 10mA ≤ I_{WARN_TH} ≤ 310mA の範囲で、20mA の増分で設定できます。10mA は 0b0000 に設定され、310mA は 0b1111 に設定されます。その他の中間値は、次の式を用いて設定できます。I_{WARN_TH} = (D[3:0]) * 20mA + 10mA。例えば、D[3:0] = 0b1010 = 10 の場合、$I_{STARTUP_CL}$ = 10 × 20mA + 10mA = 210mA となります。
7:0	出力電圧チャネル 1[7:0]	R/W	0x1E	このレジスタは、チャネル 1 の出力電圧を 2V ≤ V_{OUT} ≤ 27.4V の範囲で、100mV の増分で設定します。2V および 27.4V は、それぞれ 0x00 および 0xFE に設定されます。その他の中間値は、次の式を用いて設定できます。V_{OUT} = (D[7:0]) * 0.1V + 2V。例えば、D[7:0] = 0b0001 1110 = 30 の場合、V_{OUT} = 30 × 0.1 + 2 = 5V となります。デジタル ワード 0xFF を設定すると、チャンルはスイッチとして構成されます。

構成レジスタ 1 (アドレス = 0x1) [リセット = 0x7A1E]

図 7-2. 設定レジスタ 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
起動時電流制限チャネル 2[3:0]				I_{OUT} 警告スレッショルド チャネル 2[3:0]				出力電圧チャネル 2[7:0]							
R/W-0b0111				R/W-0b1010				R/W-0b00011110 (0x1E)							

表 7-4. 構成レジスタ 1 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	起動時電流制限チャネル 2[3:0]	R/W	0b0111	このレジスタは、チャネル 2 の $I_{STARTUP_CL}$ を設定します。設定範囲は 25mA 以上 400mA 以下で、25mA の増分で設定できます。25mA および 400mA は、それぞれデジタル ワード $[0000]_2$ および 0b1111 に対応します。中間の値は、次の式を用いて算出できます。$I_{STARTUP_CL}$ = (D[3:0] + 1) * 25mA。例えば、D[3:0] = 0b0111 = 7 の場合、$I_{STARTUP_CL}$ = 8 × 25mA = 200mA となります。
11:8	I_{OUT} 警告スレッショルド チャネル 2[3:0]	R/W	0b1010	このレジスタでは、チャネル 2 の負荷電流警告スレッショルド値を 10mA ≤ I_{WARN_TH} ≤ 310mA の範囲で、20mA の増分で設定できます。10mA は 0b0000 に設定され、310mA は 0b1111 に設定されます。その他の中間値は、次の式を用いて設定できます。I_{WARN_TH} = (D[3:0]) * 20mA + 10mA。例えば、D[3:0] = 0b1010 = 10 の場合、$I_{STARTUP_CL}$ = 10 × 20mA + 10mA = 210mA となります。
7:0	出力電圧チャネル 2[7:0]	R/W	0x1E	このレジスタは、チャネル 2 の出力電圧を 2V ≤ V_{OUT} ≤ 27.4V の範囲で、100mV の増分で設定します。2V および 27.4V は、それぞれ 0x00 および 0xFE に設定されます。その他の中間値は、次の式を用いて設定できます。V_{OUT} = (D[7:0]) * 0.1V + 2V。例えば、D[7:0] = 0b0001 1110 = 30 の場合、V_{OUT} = 30 × 0.1 + 2 = 5V となります。デジタル ワード 0xFF を設定すると、チャンルはスイッチとして構成されます。

Copyright © 2026 Texas Instruments Incorporated

構成レジスタ 2 (アドレス = 0x2) [リセット = 0x5959]

図 7-3. 設定レジスタ 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I_{OUT} オープン スレッショルド チャネル 1				電流制限チャネル 1				I_{OUT} オープン スレッショルド チャネル 2				電流制限チャネル 2			
R/W-0b0101				R/W-0b1001				R/W-0b0101				R/W-0b1001			

表 7-5. 構成レジスタ 2 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	I_{OUT} オープン スレッショルド チャネル 1[3:0]	R/W	0b0101	このレジスタでは、チャネル 1 の開放負荷スレッショルド値を 0mA ≤ I_{OPEN_TH} ≤ 15mA の範囲で、1mA の増分で設定できます。0mA および 15mA の値は、それぞれデジタル ワード 0b0000 および 0b1111 に設定されています。中間の値は、次の式を用いて算出できます。I_{OPEN_TH} = D[3:0] mA。例えば、D[3:0] = 0b0101 = 5 の場合、I_{OPEN_TH} = 5mA となります。
11:8	電流制限チャネル 1[3:0]	R/W	0b1001	このレジスタでは、チャネル 1 の電流制限値を 25mA ≤ I_{CL} ≤ 400mA の範囲で、25mA の増分で設定できます。25mA および 400mA の値は、それぞれデジタル ワード 0b0000 および 0b1111 に設定されています。中間の値は、次の式を用いて算出できます。I_{CL} = (D[3:0] + 1) * 25mA。例えば、D[3:0] = 0b1001 = 9 の場合、I_{CL} = 10 × 25mA = 250mA となります。
7:4	I_{OUT} オープン スレッショルド チャネル 2[3:0]	R/W	0b0101	このレジスタでは、チャネル 2 の開放負荷スレッショルド値を 0mA ≤ I_{OPEN_TH} ≤ 15mA の範囲で、1mA の増分で設定できます。0mA および 15mA の値は、それぞれデジタル ワード 0b0000 および 0b1111 に設定されています。中間の値は、次の式を用いて算出できます。I_{OPEN_TH} = D[3:0] mA。例えば、D[3:0] = 0b0101 = 5 の場合、I_{OPEN_TH} = 5mA となります。
3:0	電流制限チャネル 2[3:0]	R/W	0b1001	このレジスタでは、チャネル 2 の電流制限値を 25mA ≤ I_{CL} ≤ 400mA の範囲で、25mA の増分で設定できます。25mA および 400mA の値は、それぞれデジタル ワード 0b0000 および 0b1111 に設定されています。中間の値は、次の式を用いて算出できます。I_{CL} = (D[3:0] + 1) * 25mA。例えば、D[3:0] = 0b1001 = 9 の場合、I_{CL} = 10 × 25mA = 250mA となります。

Copyright © 2026 Texas Instruments Incorporated

構成レジスタ 3 (アドレス = 0x3) [リセット = 0xB430]

図 7-4. 設定レジスタ 3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T_J 警告スレッショルド			ADC-EN	ラッチ	ブランキング時間			EN1	FB1	EN2	FB2	予約済み			
R/W-0b101			R/W-0b1	R/W-0b0	R/W-0b100			R/W-0b0	R/W-0b0	R/W-0b1	R/W-0b1	0b0000			

表 7-6. 構成レジスタ 3 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	T_J 警告スレッショルド [2:0]	R/W	0b101	このレジスタでは、接合部温度警告スレッショルド値を 70°C ≤ T_{J_WARN} ≤ 140°C の範囲で、10°C の増分で設定できます。70°C および 140°C は、それぞれデジタル ワード 0b000 および 0b111 に対応します。抵抗値は、以下の式で設定できます。T_{J_WARN} = (D[2:0]) * 10°C + 70°C。例えば、D[2:0] = 0b101 = 5 の場合、T_{J_WARN} = 5 × 10°C + 70°C = 120°C となります。
12	ADC-EN	R/W	0b1	このビットにより、ADC を無効化 (ビットを 0 に設定) し、静止電流消費を低減できます。
11	ラッチ	R/W	0b0	このビットを 1 に設定すると、NERR ピンは LAT_ST レジスタ内のビットの状態に従って動作するよう設定されます。0 に設定した場合、NERR ピンは RT_ST レジスタの各ビットの状態を反映します。
10:8	ブランキング時間	R/W	0b100	このレジスタでは、ブランキング時間を 0msec ≤ T_{BLANK} ≤ 100msec の範囲で設定します。このレジスタに設定するデジタル値 0b000、0b001、0b010、0b011、0b100、0b101、0b110、および 0b111 は、それぞれ 0ms、0.85ms、1.7ms、3.4ms、8.5ms、17ms、34ms、および 85ms のブランキング時間に対応します。ブランキング時間は、(いずれかのチャンネルの) 有効化時、およびサーマル シャットダウンからの復帰時に開始されます。ステータス レジスタ内の各ビットは、ブランキング時間経過後も対応する故障状態が存在する場合にのみ更新されます。ブランキング時間は、ステータス レジスタ内のすべてのビットに適用されます。ただし、TSD、UVLO1、および UVLO2 ビットは例外です。これらのビットにはブランキング時間はありません。
7	EN1	R/W	0b0	このビットにより、I^2C 経由でチャネル 1 を有効化 (ビット = 1 に設定) または無効化 (ビット = 0 に設定) できます。デバイスのチャネル 1 が安定化された出力電圧を供給するためには、イネーブル ピン電圧が V_{EN} ≥ 2V であり、かつデジタル EN1 ビットが 1 に設定されている必要があります。
6	FB1	R/W	0b0	このビットにより、チャネル 1 の出力電圧を外付け抵抗で設定する (1 に設定した場合) か、CFR-0 を使用して I^2C 経由で設定する (0 に設定した場合) かを選択できます。
5	EN2	R/W	0b1	このビットを 1 に設定すると I^2C 経由でチャネル 2 を有効化し、0 に設定すると無効化します。デバイスのチャネル 2 が安定化された出力電圧を供給するためには、イネーブル ピン電圧が V_{EN} ≥ 2V であり、かつデジタル EN2 ビットが 1 に設定されている必要があります。
4	FB2	R/W	0b1	このビットにより、チャネル 2 の出力電圧を外付け抵抗で設定する (1 に設定した場合) か、CFR-1 を使用して I^2C 経由で設定する (0 に設定した場合) かを選択できます。
3:0	予約済み	-	0b0000	これらのビットは予約済みであり、常に 0 として読み取られます。

Copyright © 2026 Texas Instruments Incorporated

入力電圧測定 (アドレス = 0x4) [リセット値 = 0x0000]

図 7-5. デバイス入力電圧測定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						入力電圧測定									
0b00000						R-0x000									

表 7-7. 入力電圧測定フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	入力電圧測定 [9:0]	R	0x000	このレジスタでは、デバイスの入力電圧値の 10 ビットの ADC 測定値を 0V ≤ V_{IN} ≤ 45V の範囲で、約 43.8mV の増分で保存できます。IN1 と IN2 ピンは相互に接続する必要があります。0V および 45V は、それぞれデジタル値 0x000 および 0x3FF に対応します。2V ≤ V_{IN} ≤ 42V の範囲における中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。V_{IN_MEAS} = (D[9:0] + 3) * 0.0432V。例えば、レジスタの読み取り値が D[9:0] = 0x113 = 275 の場合、チャネルの入力電圧は V_{IN} = (275 + 3) * 0.0432V = 12V となります。

Copyright © 2026 Texas Instruments Incorporated

出力電圧測定チャネル 1 (アドレス = 0x5) [リセット = 0x0000]

図 7-6. 出力測定チャネル 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						出力測定チャネル 1									
0b00000						R-0x000									

表 7-8. 出力電圧測定チャネル 1 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	出力電圧測定チャネル 1[9:0]	R	0x000	このレジスタでは、チャネル 1 の出力電圧値の 10 ビット ADC 測定値が 0V ≤ V_{OUT} ≤ 45V の範囲で、約 43.8mV の増分で保存できます。0V および 45V は、それぞれデジタル値 0x000 および 0x3FF に対応します。2V ≤ V_{OUT} ≤ 42V の範囲の中間測定値および関連するデジタル ワードは、次の式で関連付けられます。V_{OUT_MEAS} = (D[9:0] + 3) * 0.0432V。例えば、レジスタの読み取り値が D[9:0] = 0x0B6 = 182 の場合、チャネル出力電圧測定値は V_{OUT_MEAS} = (182 + 3) * 0.0432V = 8V となります。

Copyright © 2026 Texas Instruments Incorporated

High レンジ負荷電流測定チャネル 1 (アドレス = 0x6) [リセット = 0x0000]

図 7-7. High レンジ負荷電流測定値チャネル 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						High レンジ負荷電流測定値チャネル 1									
0b00000						R-0x000									

表 7-9. High レンジ負荷電流測定チャネル 1 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	High レンジ負荷電流測定チャネル 1[9:0]	R	0x000	このレジスタでは、チャネル 1 の出力電圧値の 10 ビット ADC 測定値が 0mA ≤ V_{OUT} ≤ 400mA の範囲で、397µA の増分で保存できます。0mA および 400mA は、それぞれデジタル値 0x000 および 0x3FF に対応します。中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。I_{OUTH_MEAS} = (D[9:0]) * 0.397mA。例えば、レジスタの読み取り値が D[9:0] = 0x0FC = 252 の場合、チャネル I_{OUTH_MEAS} = 252 × 0.397mA = 100mA となります。

Low レンジ負荷電流測定チャネル 1 (アドレス = 0x7) [リセット = 0x0000]

図 7-8. Low レンジ負荷電流測定チャネル 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						Low レンジ負荷電流測定チャネル 1									
0b00000						R-0x000									

表 7-10. Low レンジ負荷電流測定チャネル 1 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	Low レンジ負荷電流測定チャネル 1[9:0]	R	0x000	このレジスタでは、チャネル 1 の出力電圧値の 10 ビット ADC 測定値が 0mA ≤ V_{OUT} ≤ 25mA の範囲で、約 24.3µA の増分で保存できます。0mA および 25mA は、それぞれデジタル値 0x000 および 0x3FF に対応します。中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。I_{OUTL_MEAS} = {(D[9:0]) * 0.02375) – 0.02138} mA。例えば、レジスタの読み取り値が D[9:0] = 0x337 = 823 の場合、チャネル I_{OUTL_MEAS} = {(823 × 0.02375) – 0.02138} mA = 19.5mA となります。

Copyright © 2026 Texas Instruments Incorporated

接合部温度測定 (アドレス = 0x8) [リセット = 0x0000]

図 7-9. 接合部温度の測定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						デバイス接合部温度の測定									
0b00000						R-0x000									

表 7-11. 接合部温度測定フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	デバイス接合部温度測定 [9:0]	R	0x000	このレジスタでは、接合部温度値の 10 ビット ADC 測定値が -50°C ≤ T_J ≤ 150°C の範囲で、1°C の増分で保存できます。-50°C および 150°C は、それぞれデジタル ワード 0x332 および 0x265 に対応します。中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。T_{J_MEAS} = 763 – D[9:0]。例えば、レジスタの読み取り値が D[9:0] = 0x297 = 663 の場合、デバイスは T_{J_MEAS} = 763 – 663 = 100°C となります。

入力電圧測定 (アドレス = 0x9) [リセット値 = 0x0000]

図 7-10. デバイス入力電圧測定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						入力電圧測定									
0b00000						R-0x000									

表 7-12. 入力電圧測定フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	入力電圧測定 [9:0]	R	0x000	このレジスタでは、デバイスの入力電圧値の 10 ビットの ADC 測定値を 0V ≤ V_{IN} ≤ 45V の範囲で、約 43.8mV の増分で保存できます。IN1 と IN2 ピンは相互に接続する必要があります。0V および 45V は、それぞれデジタル値 0x000 および 0x3FF に対応します。2V ≤ V_{IN} ≤ 42V の範囲における中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。V_{IN_MEAS} = (D[9:0] + 3) * 0.0432V。例えば、レジスタの読み取り値が D[9:0] = 0x113 = 275 の場合、チャネルの入力電圧は V_{IN} = (275 + 3) * 0.0432V = 12V となります。

Copyright © 2026 Texas Instruments Incorporated

出力電圧測定チャネル 2 (アドレス = 0xA) [リセット = 0x0000]

図 7-11. 出力電圧測定チャネル 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						出力電圧測定チャネル 2									
0b00000						R-0x000									

表 7-13. 出力電圧測定チャネル 2 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	出力電圧測定チャネル 2[9:0]	R	0x000	このレジスタでは、チャネル 2 の出力電圧値の 10 ビット ADC 測定値が 0V ≤ V_{OUT} ≤ 45V の範囲で、約 43.8mV の増分で保存できます。0V および 45V は、それぞれデジタル値 0x000 および 0x3FF に対応します。2V ≤ V_{OUT} ≤ 42V の範囲における中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。V_{OUT_MEAS} = (D[9:0] + 3) * 0.0432V。例えば、レジスタの読み取り値が D[9:0] = 0x071 = 113 の場合、チャネル出力電圧測定値は V_{OUT_MEAS} = (113 + 3) * 0.0432V = 5V となります。

Copyright © 2026 Texas Instruments Incorporated

High レンジの負荷電流測定チャネル 2 (アドレス = 0xB) [リセット = 0x0000]

図 7-12. High レンジの電流測定チャネル 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						High レンジの電流測定チャネル 2									
0b00000						R-0x000									

表 7-14. High レンジの負荷電流測定チャネル 2 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	High レンジ負荷電流測定チャネル 2[9:0]	R	0x000	このレジスタでは、チャネル 2 の出力電圧値の 10 ビット ADC 測定値が 0mA ≤ V_{OUT} ≤ 400mA の範囲で、約 397µA の増分で保存できます。0mA および 400mA は、それぞれデジタル値 0x000 および 0x3FF に対応します。中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。I_{OUTH_MEAS} = (D[9:0]) * 0.397mA。例えば、レジスタの読み取り値が D[9:0] = 0x0FC = 252 の場合、チャネル I_{OUTH_MEAS} = 252 × 0.397mA = 100mA となります。

Copyright © 2026 Texas Instruments Incorporated

Low レンジの負荷電流測定チャネル 2 (アドレス = 0xC) [リセット = 0x0000]

図 7-13. Low レンジの負荷電流測定チャネル 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						Low レンジの負荷電流測定チャネル 2									
0b00000						R-0x000									

表 7-15. Low レンジの負荷電流測定チャネル 2 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	-	0b00000	これらのビットは予約済みです。
9:0	Low レンジの負荷電流測定チャネル 2[9:0]	R	0x000	このレジスタでは、チャネル 2 の出力電圧値の 10 ビット ADC 測定値が 0mA ≤ V_{OUT} ≤ 25mA の範囲で、24.3µA の増分で保存できます。0mA および 25mA は、それぞれデジタル値 0x000 および 0x3FF に対応します。中間測定値と対応するデジタル ワードとの関係は、次の式で表されます。I_{OUTL_MEAS} = {(D[9:0]) * 0.02375) – 0.02138} mA。例えば、レジスタの読み取り値が D[9:0] = 0x337 = 823 の場合、チャネル I_{OUTL_MEAS} = {(823 × 0.02375) – 0.02138} mA = 19.5mA となります。

ラッチ エラー レジスタ (アドレス = 0xD) [リセット = 0x0000]

図 7-14. ラッチ エラー レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2
R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0

表 7-16. ラッチ エラー レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TSD	R/W	0b0	デバイスがサーマル シャットダウン状態になると、このビットは「1」にラッチされます。
14	TWRN	R/W	0b0	デバイスの接合部温度が CFR-3 の T_J 警告スレッショルド レジスタで設定された値を超えると、このビットは「1」にラッチされます。
13	ILIM1	R/W	0b0	チャネル 1 の負荷電流が CFR-2 の電流制限チャネル 1 レジスタで設定された値と等しいか上回ると、このビットはロジック「1」にラッチされます。
12	IWRN1	R/W	0b0	チャネル 1 の負荷電流が CFR-0 の I_{OUT} 警告スレッショルド チャネル 1 レジスタに設定された値と等しいか上回ると、このビットは論理「1」にラッチされます。
11	OL1	R/W	0b0	チャネル 1 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 1 レジスタで設定された値と等しいか下回った場合、このビットはロジック「1」にラッチされます。
10	IREV1	R/W	0b0	チャネル 1 で逆電流が検出されると、このビットはロジック「1」にラッチされます。
9	UVLO1	R/W	0b0	入力電圧が $UVLO_{FALLING}$ を下回ると、このビットはロジック「1」にラッチされます。
8	OUTUV1	R/W	0b0	チャネル 1 の出力電圧が公称値から 10% (標準値) 低下すると、このビットはロジック「1」にラッチされます。
7	OUTOV1	R/W	0b0	チャネル 1 の出力電圧が公称値の 10% (標準値) を超えると、このビットはロジック「1」にラッチされます。
6	ILIM2	R/W	0b0	チャネル 2 の負荷電流が、CFR-2 の電流制限チャネル 2 レジスタで設定された値以上になると、このビットはロジック「1」にラッチされます。
5	IWRN2	R/W	0b0	チャネル 2 の負荷電流が CFR-1 の I_{OUT} 警告スレッショルド チャネル 2 レジスタに設定された値と等しいか上回ると、このビットはロジック「1」にラッチされます。
4	OL2	R/W	0b0	チャネル 2 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 2 レジスタで設定された値と等しいか下回った場合、このビットはロジック「1」にラッチされます。
3	IREV2	R/W	0b0	チャネル 2 で逆電流が検出されると、このビットはロジック「1」にラッチされます。
2	UVLO2	R/W	0b0	入力電圧が $UVLO_{FALLING}$ を下回ると、このビットはロジック「1」にラッチされます。
1	OUTUV2	R/W	0b0	チャネル 2 の出力電圧が公称値の 10% (標準値) 低下すると、このビットはロジック「1」にラッチされます。
0	OUTOV2	R/W	0b0	チャネル 2 の出力電圧が公称値の 10% (標準値) を超えると、このビットはロジック「1」にラッチされます。

Copyright © 2026 Texas Instruments Incorporated

注

このレジスタの各ビットは、対応する故障状態が発生すると「1」にラッチされます。故障状態が解消された後も、これらのビットはロジック状態を保持します。これらのビットは、適切なデジタル ワードを書き込むことでリセットできます。V_{IN} < $UVLO_{DIG}$ になるか、制御バイト 1 の SWRRST を使用すると、すべてのレジスタがデフォルト状態にリセットされます。

Copyright © 2026 Texas Instruments Incorporated

ランタイム エラー レジスタ (アドレス = 0xE)［リセット = 0x0000］

図 7-15. ランタイム エラー レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2
R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0	R-0b0

表 7-17. ランタイム エラー レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TSD	R	0b0	デバイスがサーマル シャットダウンを受けると、このビットは 1 に切り替わります。
14	TWRN	R	0b0	デバイス接合部温度が CFR-3 の T_J 警告スレッショルド レジスタで設定された値を超えると、このビットは 1 に切り替わります。
13	ILIM1	R	0b0	チャネル 1 の負荷電流が CFR-2 の電流制限チャネル 1 レジスタで設定された値と等しいか上回ると、このビットはロジック「1」に切り替わります。
12	IWRN1	R	0b0	チャネル 1 の負荷電流が CFR-0 の I_{OUT} 警告スレッショルド チャネル 1 レジスタに設定された値と等しいか上回ると、このビットはロジック「1」に切り替わります。
11	OL1	R	0b0	チャネル 1 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 1 レジスタに設定された値と等しいか下回った場合、このビットはロジック「1」に切り替わります。
10	IREV1	R	0b0	チャネル 1 で逆電流が検出されると、このビットはロジック 1 に切り替わります。
9	UVLO1	R	0b0	入力電圧が $UVLO_{FALLING}$ を下回ると、このビットはロジック「1」になります。
8	OUTUV1	R	0b0	チャネル 1 の出力電圧が公称値の 10% (標準値) 低下すると、このビットはロジック「1」に切り替わります。
7	OUTOV1	R	0b0	チャネル 1 の出力電圧が公称値の 10% (標準値) を超えると、このビットはロジック「1」に切り替わります。
6	ILIM2	R	0b0	チャネル 2 の負荷電流が、CFR-2 の電流制限チャネル 2 レジスタで設定された値に達するか、それを超えると、このビットはロジック「1」になります。
5	IWRN2	R	0b0	チャネル 2 の負荷電流が CFR-1 の I_{OUT} 警告スレッショルド チャネル 2 レジスタに設定された値と等しいか上回ると、このビットはロジック「1」に切り替わります。
4	OL2	R	0b0	チャネル 2 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 2 レジスタに設定された値と等しいか下回った場合、このビットはロジック「1」に切り替わります。
3	IREV2	R	0b0	チャネル 2 で逆電流が検出されると、このビットはロジック 1 に切り替わります。
2	UVLO2	R	0b0	入力電圧が $UVLO_{FALLING}$ を下回ると、このビットはロジック「1」になります。
1	OUTUV2	R	0b0	チャネル 2 の出力電圧が公称値の 10% (標準値) 低下すると、このビットはロジック「1」に切り替わります。
0	OUTOV2	R	0b0	チャネル 2 の出力電圧が公称値の 10% (標準値) を超えると、このビットはロジック「1」に切り替わります。

注

このレジスタの各ビットは、動作中に対応する故障状態に追従して変化します。対応する故障状態が発生すると、これらのビットは「1」に変化し、故障状態が解消されると自動的に「0」に戻ります。

Copyright © 2026 Texas Instruments Incorporated

エラー マスク レジスタ (アドレス = 0xF) [リセット = 0x0000]

図 7-16. エラー マスク レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSD	TWRN	ILIM1	IWRN1	OL1	IREV1	UVLO1	OUTUV1	OUTOV1	ILIM2	IWRN2	OL2	IREV2	UVLO2	OUTUV2	OUTOV2
R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0	R/W-0b0

表 7-18. エラー マスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TSD	R/W	0b0	このビットを「1」に設定すると、サーマル シャットダウン故障状態による NERR ピンへの影響をマスクします。
14	TWRN	R/W	0b0	このビットが「1」に設定されている場合、接合部温度が CFR-3 の T_J 警告スレッショルド レジスタで設定された値を超えても、NERR ピンはロジック High に維持されます。
13	ILIM1	R/W	0b0	このビットを「1」に設定すると、チャネル 1 の負荷電流が CFR-2 の電流制限チャネル 1 レジスタに設定された値と等しいか上回っても、NERR ピンはロジック High に維持されます。
12	IWRN1	R/W	0b0	このビットを「1」に設定すると、チャネル 1 の負荷電流が CFR-0 の I_{OUT} 警告スレッショルド チャネル 1 レジスタに設定された値と等しいか上回っても、NERR ピンはロジック High に維持されます。
11	OL1	R/W	0b0	このビットを「1」に設定すると、チャネル 1 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 1 レジスタに設定された値と等しいか下回った場合でも、NERR ピンはロジック High に維持されます。
10	IREV1	R/W	0b0	このビットを「1」に設定すると、チャネル 1 で逆電流が検出された場合でも、NERR ピンはロジック High のままになります。
9	UVLO1	R/W	0b0	このビットを「1」に設定すると、入力電圧が $UVLO_{FALLING}$ を下回った場合でも、NERR ピンはロジック High のままになります。
8	OUTUV1	R/W	0b0	このビットを 1 に設定すると、チャネル 1 の出力電圧が公称値の 10% (標準値) 低下しても、NERR ピンはロジック High に維持されます。
7	OUTOV1	R/W	0b0	このビットを「1」に設定すると、チャネル 1 の出力電圧が公称値から 10% (標準値) 超えても、NERR ピンはロジック High に維持されます。
6	ILIM2	R/W	0b0	このビットを「1」に設定すると、チャネル 2 の負荷電流が CFR-2 の電流制限チャネル 2 レジスタに設定された値と等しいか上回っても、NERR ピンはロジック High に維持されます。
5	IWRN2	R/W	0b0	このビットを「1」に設定すると、チャネル 2 の負荷電流が CFR-1 の I_{OUT} 警告スレッショルド チャネル 2 レジスタに設定された値と等しいか上回っても、NERR ピンはロジック High に維持されます。
4	OL2	R/W	0b0	このビットを「1」に設定すると、チャネル 2 の負荷電流が CFR-2 の I_{OUT} オープン スレッショルド チャネル 2 レジスタに設定された値と等しいか下回っても、NERR ピンはロジック High に維持されます。
3	IREV2	R/W	0b0	このビットを「1」に設定すると、チャネル 2 で逆電流が検出された場合でも、NERR ピンはロジック High のままになります。
2	UVLO2	R/W	0b0	このビットを「1」に設定すると、入力電圧が $UVLO_{FALLING}$ を下回った場合でも、NERR ピンはロジック High のままになります。
1	OUTUV2	R/W	0b0	このビットを 1 に設定すると、チャネル 2 の出力電圧が公称値の 10% (標準値) 低下しても、NERR ピンはロジック High に維持されます。
0	OUTOV2	R/W	0b0	このビットを「1」に設定すると、チャネル 2 の出力電圧が公称値から 10% (標準値) 超えても、NERR ピンはロジック High に維持されます。

Copyright © 2026 Texas Instruments Incorporated

注

このレジスタの各ビットにより、ユーザーは NERR ピンをロジック Low にする故障条件を選択できます。ビットを「1」に設定すると、対応する故障状態は NERR ピンへの出力からマスクされ、故障状態が発生してもロジック High のままになります。ビットが「0」に設定されている場合、その故障状態はマスクされず、故障状態が発生すると NERR ピンはロジック Low にプルダウンされます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS7B7802-Q1 ファミリは、10 ビット ADC および I²C インターフェイスを内蔵した、デュアル チャネルの 300mA LDO レギュレータです。これらの機能により、両方のチャネルの出力電圧、電流制限、他の設定を構成でき、V_{IN}、デバイス接合部温度、I_{OUT}、V_{OUT} の両方のチャネル、故障状態の診断情報を監視できます。

デバイスの基本機能を評価するには、PSPICE トランジェント モデルを使用します。PSPICE モデルとデバイスのユーザー ガイドは、www.ti.com からダウンロードできます。

8.2 代表的なアプリケーション

図 8-1 に、TPS7B7802-Q1 ファミリのデバイスの代表的なアプリケーション回路を示します。エンド アプリケーションによっては、値の異なる外付け部品を使用できます。急激な負荷電流の変化が生じる可能性のあるアプリケーションでは、負荷過渡時の出力電圧の低下を抑えるために、出力容量を追加すると効果があります。

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「推奨動作条件」表に推奨される入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

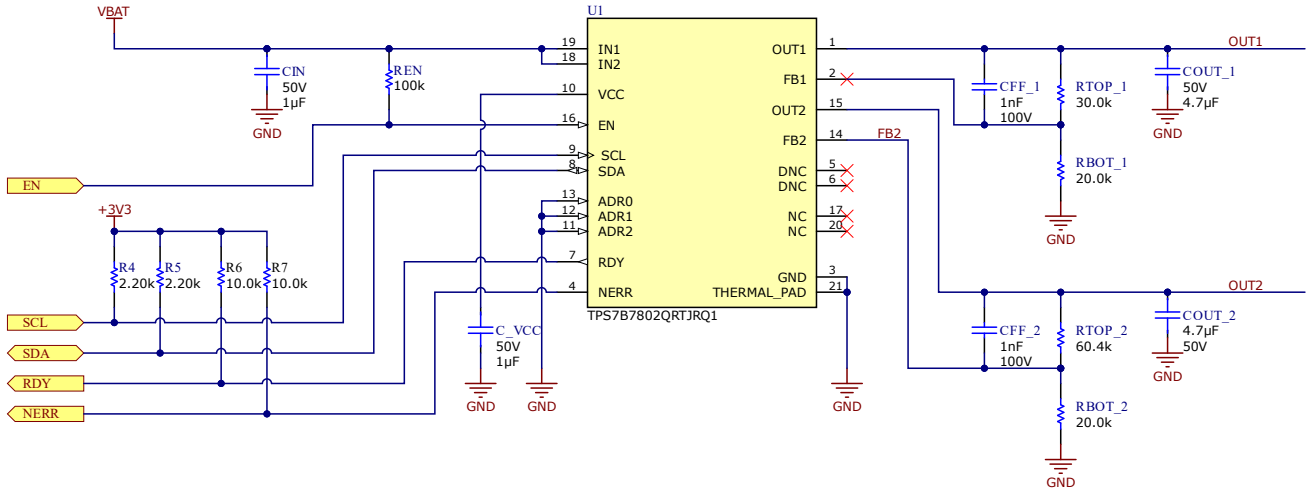


図 8-1. TPS7B7802-Q1 の代表的なアプリケーション回路図

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲	4.5～40V
出力電圧	2 ～ (V_{IN} – V_{DO})
出力コンデンサ範囲	4.7 - 100µF
出力コンデンサの ESR 範囲	0.001 ～ 0.5Ω
プログラム可能な電流制限 (標準値、I^2C を使用)	25～350mA

8.2.2 詳細な設計手順

8.2.2.1 入力および出力コンデンサの選択

TPS7B78xx-Q1 は、安定性のために 4.7µF 以上の出力コンデンサ (2.2µF 以上の静電容量) と、0.001Ω ～ 0.5Ω の等価直列抵抗 (ESR) を必要とします。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力容量は 100µF です。

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。堅牢な EMI 性能を実現するための最小入力容量は 500nF です。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

8.2.2.2 可変デバイス フィードバック抵抗の選定

可変出力バージョンのデバイスでは、出力電圧を設定するために外付けの帰還分圧抵抗が必要です。V_{OUT} は、次の式に示すように、フィードバック分圧抵抗 R_{TOPx} および R_{BOTx} によって設定されます。

$$V_{OUT} = V_{FB} \times (1 + R_{TOPx} / R_{BOTx}) \quad (2)$$

V_{OUT} の計算式における FB ピン電流誤差項を無視するには、フィードバック分圧電流を *電気的特性* 表内に示されている FB ピン電流の 100 倍に設定してください。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます:

$$R_{TOPx} + R_{BOTx} \leq V_{OUT} / (I_{FB} \times 100) \quad (3)$$

8.2.2.3 フィードフォワード コンデンサ

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから FB ピンへ接続できます。C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。より高い容量の C_{FF} を使用することもできますが、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノートを参照してください。

C_{FF} と R_{TOPx} は周波数 f_Z でループ ゲインのゼロを形成し、C_{FF}、R_{TOPx}、R_{BOTx} は周波数 f_P でループ ゲインの極を形成します。C_{FF} のゼロ周波数と極周波数は、次の式から計算できます。

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_{TOPx}) \quad (4)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_{TOPx} \parallel R_{BOTx})) \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

8.2.2.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} – V_{OUT}) \times I_{OUT} \quad (6)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (7)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。「熱に関する情報」表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔の拡散領域によって決定され、パッケージの熱性能の相対的な基準として使用されます。

8.2.2.5 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「熱に関する情報」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (8)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (9)$$

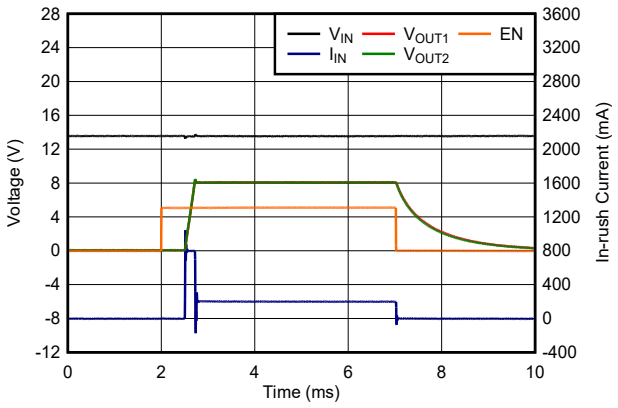
ここで、

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーション ノートを参照してください。

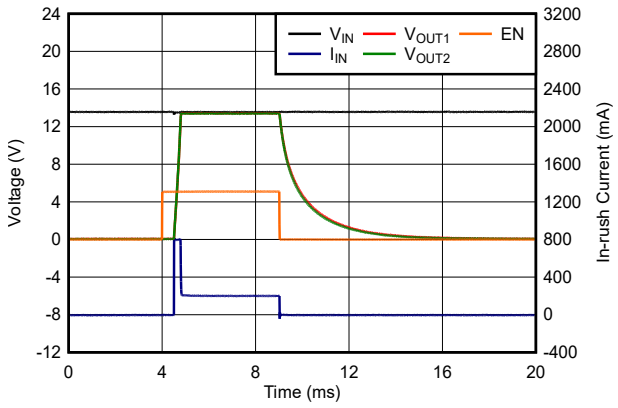
8.2.3 アプリケーション曲線

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 4V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



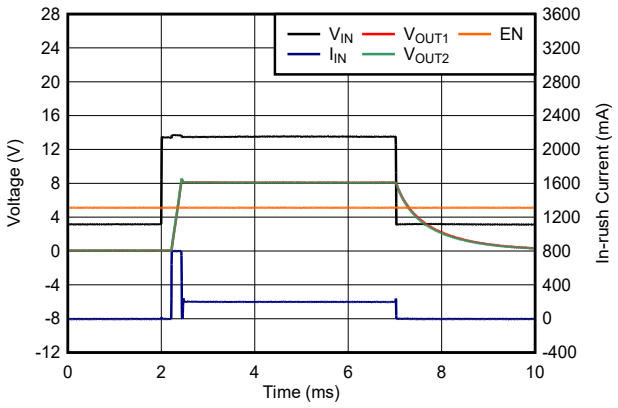
V_{IN} = 13.5V、V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 100mA

図 8-2. EN スタートアップ (レギュレーション モード)、両方のチャネル



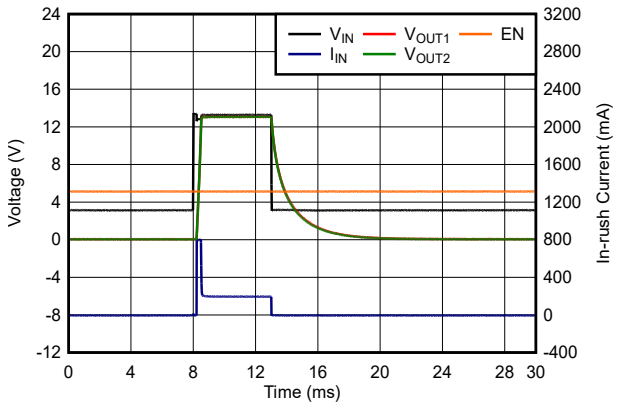
V_{IN} = 13.5V、I_{OUT} (Ch1、Ch2) = 100mA

図 8-3. EN スタートアップ (スイッチ モード)、両方のチャネル



V_{IN} = 13.5V、V_{OUT} = 8V、I_{OUT} (Ch1、Ch2) = 100mA

図 8-4. V_{IN} スタートアップ (レギュレーション モード)、両方のチャネル



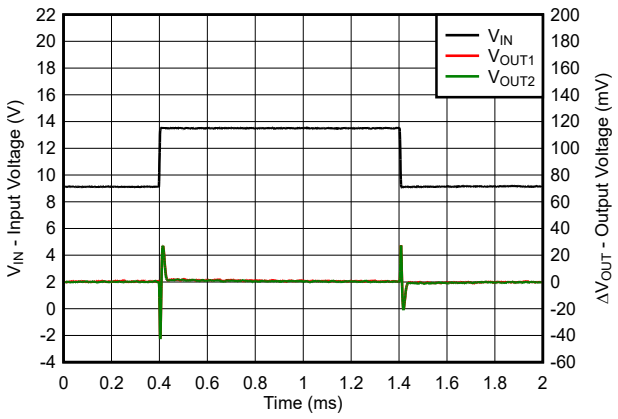
V_{IN} = 13.5V、I_{OUT} (Ch1、Ch2) = 100mA

図 8-5. V_{IN} スタートアップ (スイッチ モード)、両方のチャネル

Copyright © 2026 Texas Instruments Incorporated

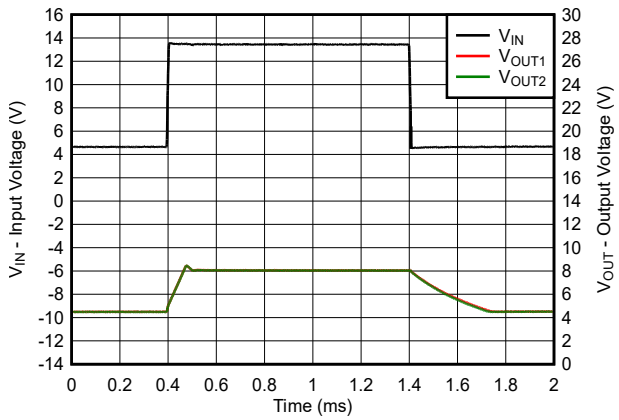
8.2.3 アプリケーション曲線 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 4V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



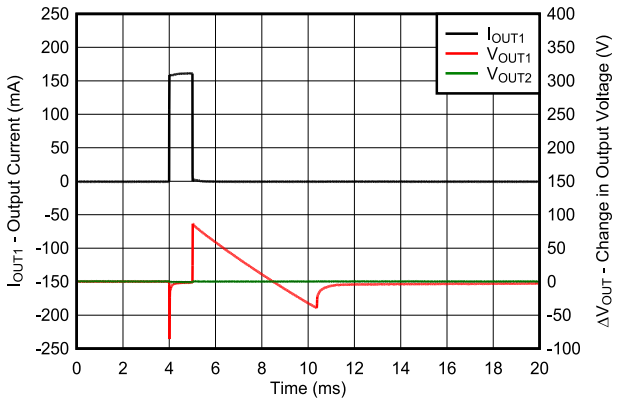
V_{IN} = 9V ～ 14V (dV/dt = 1V/µs)、I_{OUT} (Ch1、Ch2) = 100mA

図 8-6. ライン過渡応答 (9V ～ 14V)



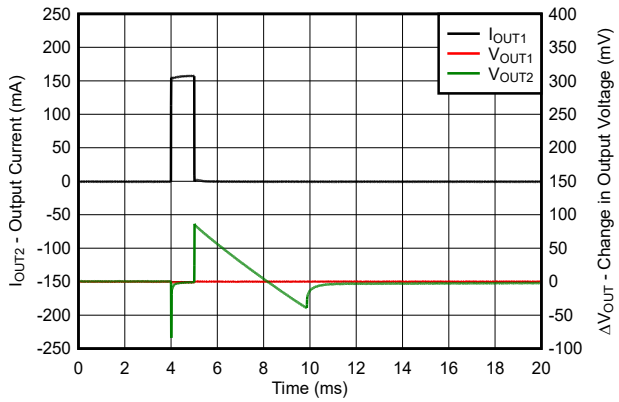
V_{IN} = 4.5V ～ 9V (dV/dt = 1V/µs)、I_{OUT} (Ch1、Ch2) = 100mA

図 8-7. ライン過渡応答 (ドロップアウト 4.5V ～ 13V)



V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 10µF、I_{OUT} (Ch1) = 0.1mA ～ 150mA (dI/dt = 1A/µs)、I_{OUT} (Ch2) = 100mA

図 8-8. 負荷過渡 (チャネル 1)



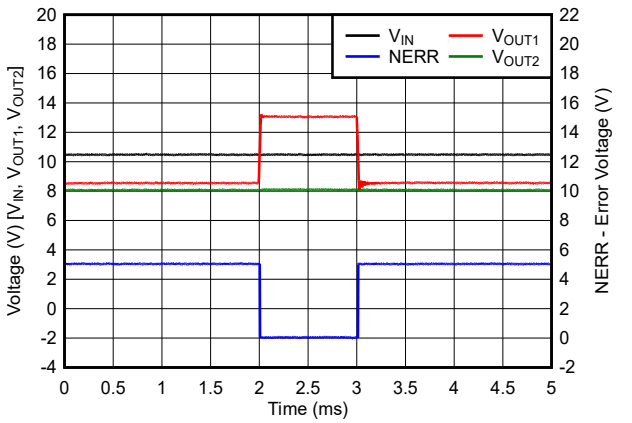
V_{IN} = 13.5V、V_{EN} = 5V、C_{OUT} = 10µF、I_{OUT} (Ch1) = 0.1mA ～ 150mA (dI/dt = 1A/µs)、I_{OUT} (Ch2) = 100mA

図 8-9. 負荷過渡 (チャネル 2)

Copyright © 2026 Texas Instruments Incorporated

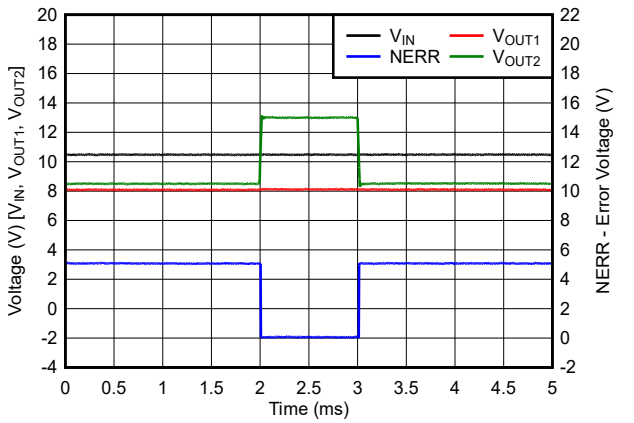
8.2.3 アプリケーション曲線 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 4V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



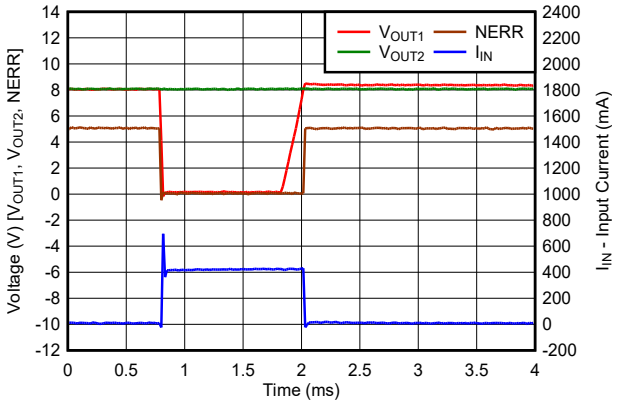
V_{IN} = 10.5V、V_{OUT} (Ch1) = 8V ～ 13.5V、両方のチャネルで無負荷、NERR を外部 5V に接続

図 8-10. バッテリへの短絡 (チャネル 1)



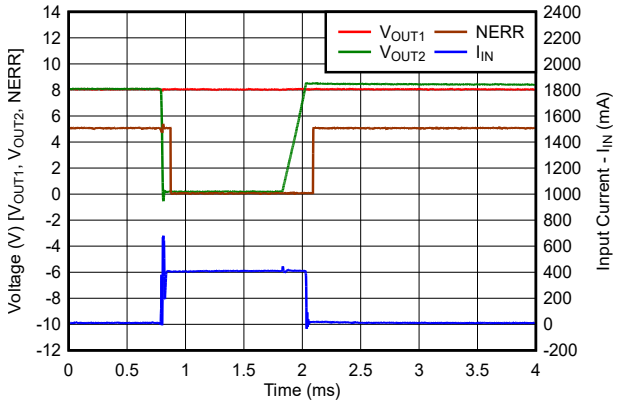
V_{IN} = 10.5V、V_{OUT} (Ch2) = 8V ～ 13.5V、両方のチャネルで無負荷、NERR を外部 5V に接続

図 8-11. バッテリへの短絡 (チャネル 2)



V_{IN}=13.5V、V_{OUT} (Ch1) = 8V ～ 0V、V_{OUT}(nom Ch1、Ch2)=8V、C_{OUT}=10µF

図 8-12. GND への出力短絡 (チャネル 1)



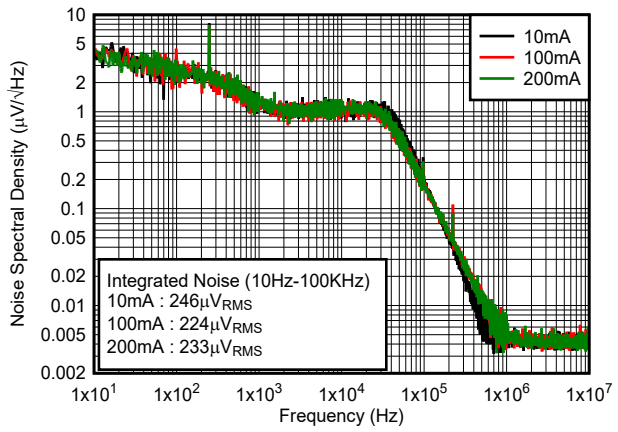
V_{IN}=13.5V、V_{OUT} (Ch1) = 8V ～ 0V、V_{OUT}(nom Ch1、Ch2)=8V、C_{OUT}=10µF

図 8-13. GND への出力短絡 (チャネル 2)

Copyright © 2026 Texas Instruments Incorporated

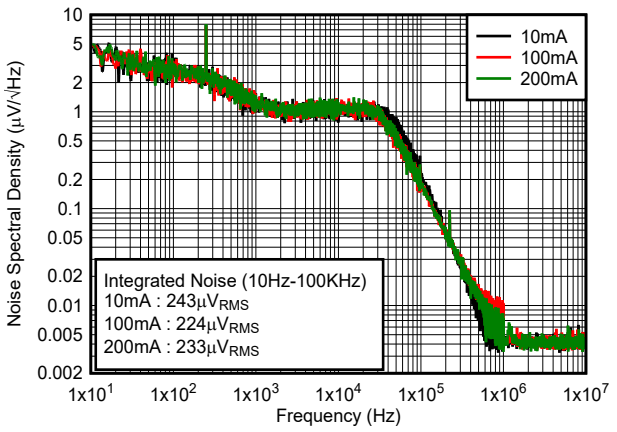
8.2.3 アプリケーション曲線 (続き)

T_J = 25°C で、V_{IN} = 13.5V、V_{EN} = 4V、C_{OUT} = 4.7µF、C_{IN} = 1µF、I_{OUT} = 100µA (特に指定のない限り)



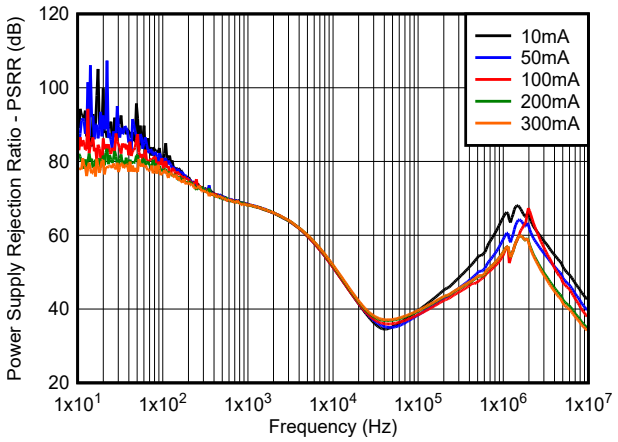
V_{IN}=13.5V、V_{OUT} (Ch1) = 8V、C_{OUT}=10µF

図 8-14. ノイズと I_{OUT} との関係 (チャネル 1)



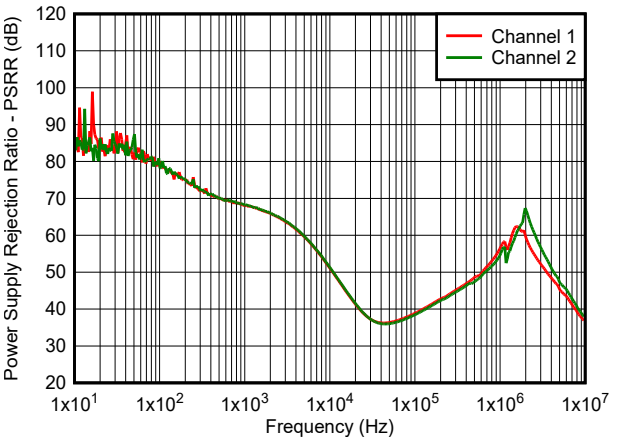
V_{IN}=13.5V、V_{OUT} (Ch2) = 8V、C_{OUT}=10µF

図 8-15. ノイズと I_{OUT} との関係 (チャネル 2)



V_{IN}=13.5V、V_{OUT} (Ch1、Ch2) = 8V、I_{OUT} (Ch2) = 100mA、C_{OUT}=10µF

図 8-16. PSRR と I_{OUT} との関係 (チャネル 1)



V_{IN}=13.5V、V_{OUT} (Ch1、Ch2) = 8V、I_{OUT} (Ch1、Ch2) = 100mA、C_{OUT}=10µF

図 8-17. 両方のチャネルの PSRR

8.3 電源に関する推奨事項

TPS7B7802-Q1 デバイスは 4.5V ～ 40V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS7B7802-Q1 デバイスから数インチ以上離れている場合、TI は入力に 1µF の MLCC バイパス コンデンサを追加することを推奨しています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

総合的に最良の性能を達成するには、回路のすべてのコンポーネントを基板の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力コンデンサと出力コンデンサ、および LDO グランド ピンへのグランド リターン接続を、コンポーネント側の広い銅表面で接続し、できるだけ近づけて配置します。システム性能の低下を防ぐため、入力および出力コンデンサへの接続にビアや長い配線は使用しないでください。図 8-18 に示された接地およびレイアウト方式は、寄生インダクタンスを最小限に抑えることで、負荷電流の過渡応答を低減し、ノイズを最小化

Copyright © 2026 Texas Instruments Incorporated

し、回路の安定性を高めます。広い帯域幅と高い出力電流性能を備えているため、出力に存在するインダクタンスは負荷の過渡応答に悪影響を与えます。最良の性能を得るために、出力と負荷間の配線インダクタンスを最小限に抑えます。低 ESL コンデンサと低インダクタンスの配線を組み合わせることで、出力に存在する総インダクタンスを抑え、高周波における PSRR を最適化できます。性能を向上させるために、基板内に埋め込むか、部品面の反対側 (基板の底面) に配置したグランド基準面を使用します。このリファレンス プレーンは、出力電圧精度を検証し、ノイズをシールドし、サーマルパッドに接続されたときに LDO デバイスからの熱を拡散 (または放熱) するサーマル プレーンと同様に動作します。ほとんどの用途では、熱要件を満たすためにこのグランド プレーンが必要です

8.4.2 レイアウト例

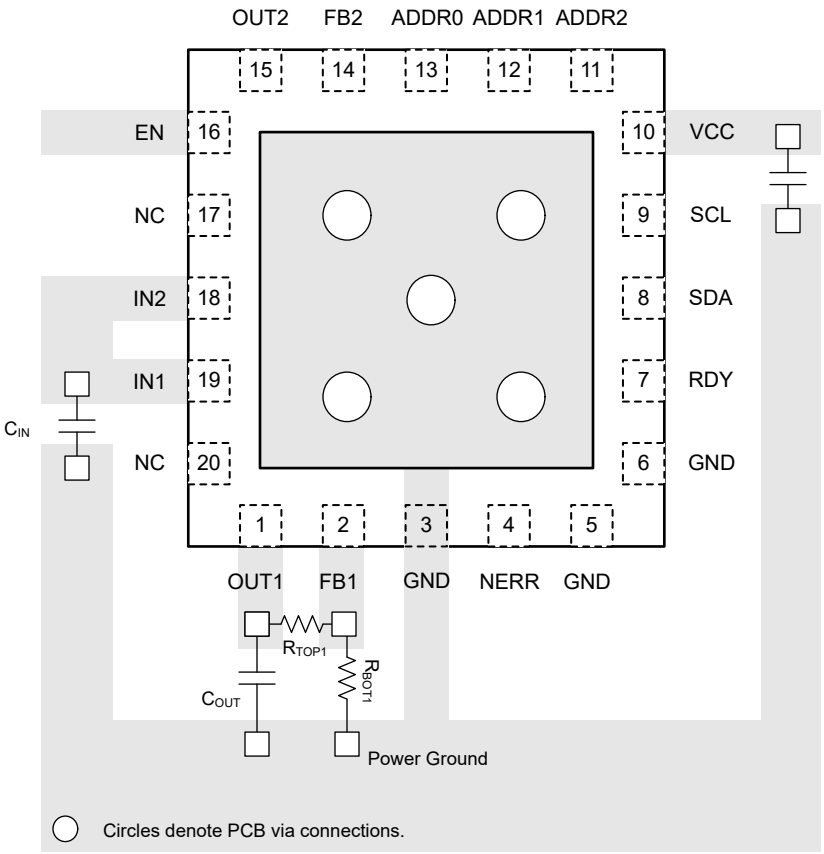


図 8-18. TPS7B7802-Q1 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.1.1 開発サポート

TPS7B7802-Q1 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS7B7802-Q1 評価基板 (および関連するユーザーガイド) は、TI の製品フォルダ経由で TI ウェブサイトからリクエストするか、TI eStore から直接購入できます。

9.1.2 デバイスの命名規則

表 9-1. デバイスの命名規則

製品名	V_{OUT}
TPS7B78**xxQRTJRQ1**	WQFN (RTJ) パッケージ: **xx** はチャネル数を表します。02 はデュアル チャネル バージョンを指します。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。 **R** は、大型リール包装の数量を示します。 **Q1** は、車載グレード (AEC-Q100) デバイスであることを表すものです。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『I^2C に関する基本的なガイド』、アプリケーション ノート。
- テキサス インスツルメンツ、『I^2C バスについて』、アプリケーション ノート。
- テキサス インスツルメンツ、『車載バッテリ直結のアプリケーションでの LDO 設計の基礎』、アプリケーション ノート。

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2026) to Revision A (August 2026)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1
• 「特長」、「説明」、「推奨動作条件」、「電気的特性」の表、「I^2C インターフェイス」の詳細、「レジスタ マップ」セクション、「使用上の注意」、「設計要件」の表を更新し、量産データの仕様を反映。	1

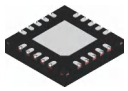
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

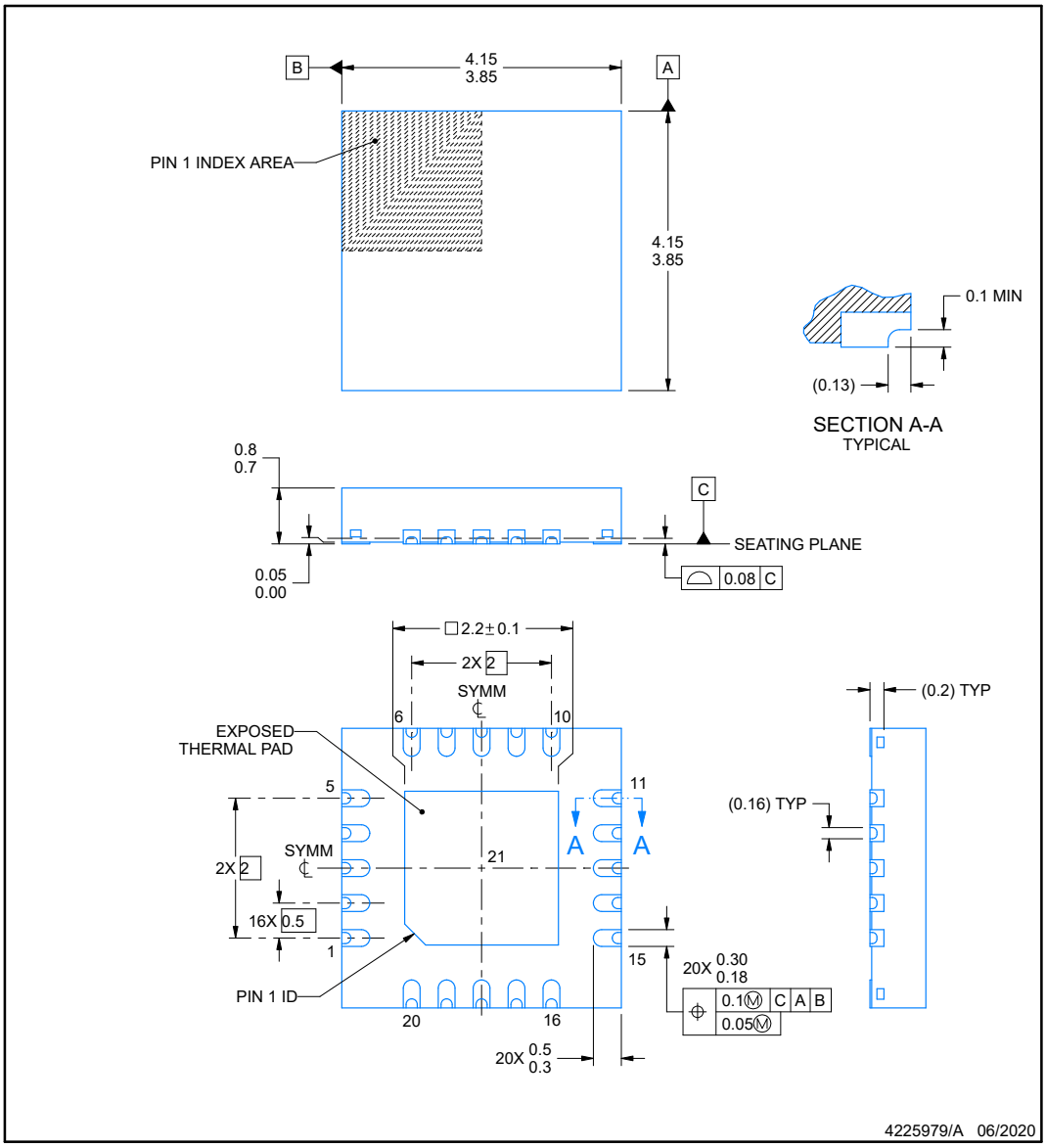
PACKAGE OUTLINE

RTJ0020K



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

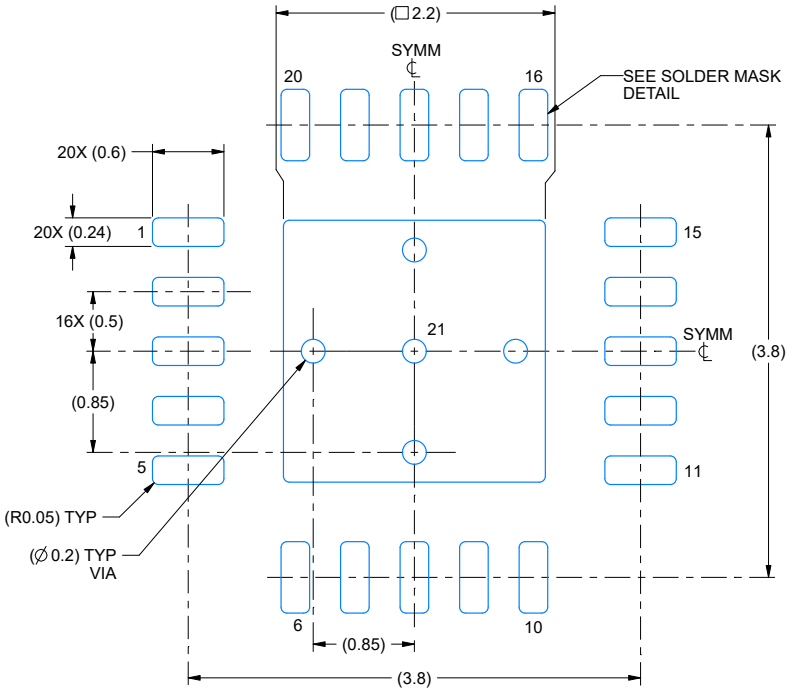
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

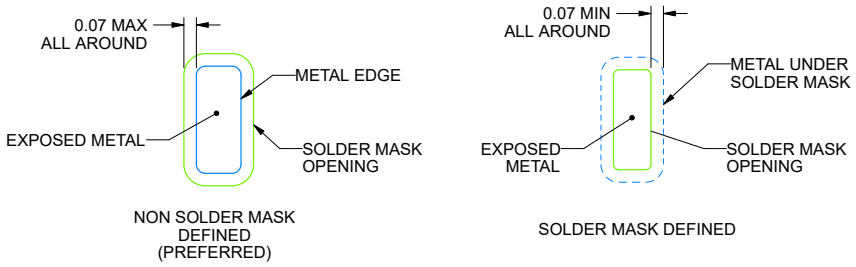
RTJ0020K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225979/A 06/2020

NOTES: (continued)

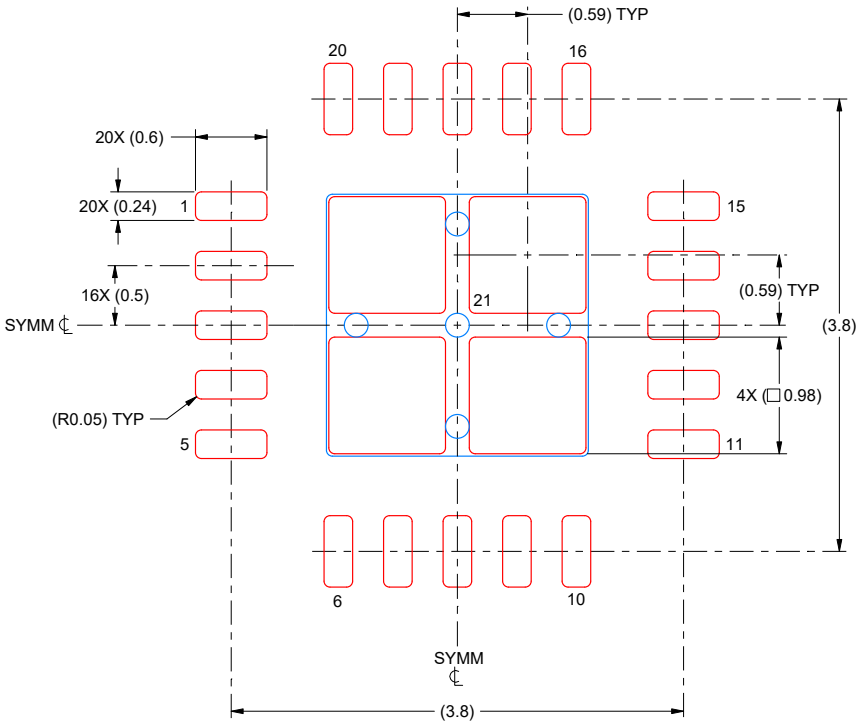
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RTJ0020K **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 21
79% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225979/A 06/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B7802QRTJRQ1	Active	Production	QFN (RTJ) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	7B7802

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

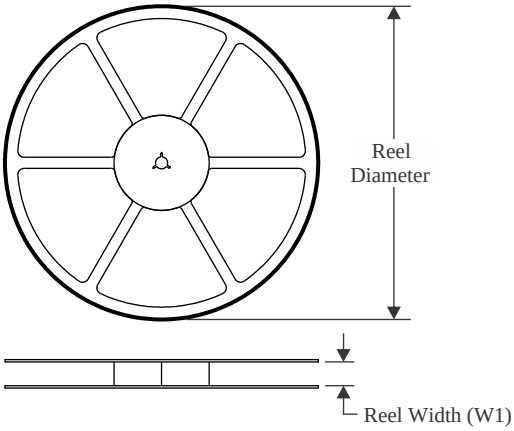
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

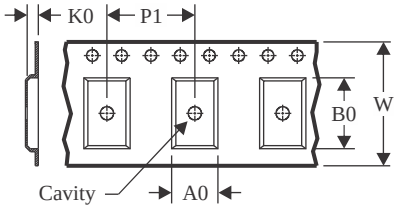
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

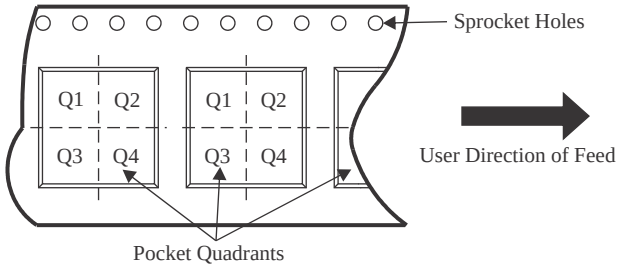


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

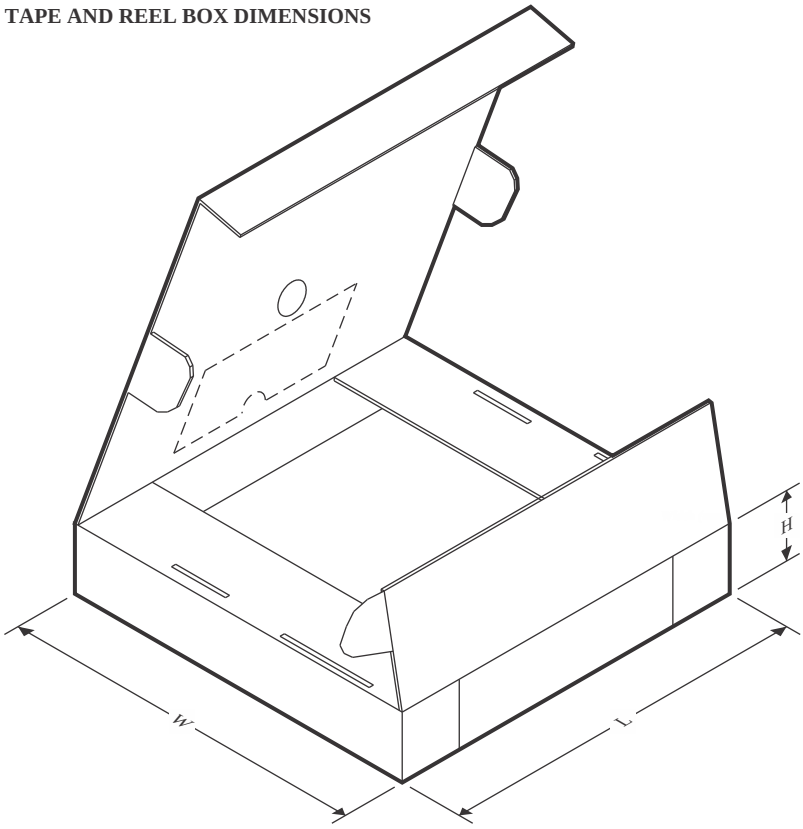
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B7802QRTJRQ1	QFN	RTJ	20	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B7802QRTJRQ1	QFN	RTJ	20	5000	360.0	360.0	36.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月