TPS7B81-Q1 車載用、150mA、バッテリ直結型、超低 I_Q (3µA)、低ドロップアウト レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
  - 温度グレード 1:–40℃～+150℃、T_J
- 3V ～ 40V の広い V_{IN} 入力電圧範囲、最大 45V の過渡電圧に対応
- 最大出力電流:150mA
- 小さい静止電流 (I_Q):
  - EN = low (シャットダウン モード) 時:300nA (標準値)
  - 軽負荷時標準値:2.7µA
  - 軽負荷時最大値:4.5µA
- ライン、負荷、温度の全範囲にわたって 1.5% の出力電圧精度
- 最大ドロップアウト電圧:固定 5V 出力バージョンで、負荷電流 150mA 時に 540mV
- 低 ESR (0.001Ω ～ 5Ω) のセラミック出力安定化コンデンサ (1µF ～ 200µF) で安定動作
- 固定出力電圧:5V、3.3V、2.5V
- フォルト保護機能を搭載:
  - サーマル シャットダウン
  - 短絡保護と過電流保護
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- パッケージ:
  - DGN (8 ピン HVSSOP)、$R_{\theta JA}$ = 63.9℃/W
  - DRV (6 ピン WSON)、$R_{\theta JA}$ = 72.8℃/W
  - DRV (6 ピン WSON ウェッタブル フランク)、$R_{\theta JA}$ = 72.8℃/W
  - KVU (5 ピン TO-252)、$R_{\theta JA}$ = 38.8℃/W

2 アプリケーション

- 車載ヘッド ユニット
- ヘッドライト
- バッテリ管理システム (BMS)
- インバータおよびモータ制御

3 説明

車載用のバッテリ接続アプリケーションでは、エネルギーを削減し、バッテリ駆動時間を延長するため、静止電流 (I_Q) が低いことが重要です。常時オンのシステムでは、車両のエンジンが停止しているときも継続して動作できるようにするため、拡張温度範囲にわたって非常に低い I_Q が要求されます。

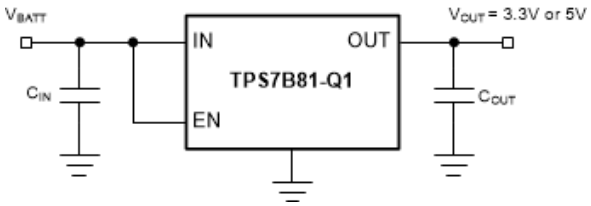
TPS7B81-Q1 は、V_{IN} が 40V までのアプリケーション用に設計された低ドロップアウト (LDO) リニア レギュレータです。このデバイスは、軽負荷時の静止電流がわずか 2.7µA (標準値) であるため、スタンバイ システム内のマイコンや CAN/LIN (コントローラ エリア ネットワーク/ローカル相互接続ネットワーク) トランシーバへの給電に最適な設計です。

このデバイスには、短絡および過電流保護機能が内蔵されています。このデバイスは –40℃ ～ +125℃ の周囲温度、–40℃ ～ +150℃ の接合部温度で動作します。また、サイズや熱伝導率が異なる複数のパッケージで使用できます。小型の WSON パッケージでは、ウェッタブル フランク オプションで供給されます。TO-252 パッケージは、デバイス全体で大きな発熱があっても持続して動作できます。これらの特長により、このデバイスは各種のバッテリ接続車載アプリケーションの電源として適しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B81-Q1	DGN (HVSSOP、8)	3mm × 3mm
	DRV (WSON、6)	2mm × 2mm
	DRV (WSON ウェッタブル フランク、6)	2mm × 2mm
	KVU (TO-252、5)	6.1mm × 6.6mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 代表的特性.....7
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....11
6.3 機能説明.....11
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....13
7.1 アプリケーション情報.....13
7.2 代表的なアプリケーション.....17
7.3 電源に関する推奨事項.....18
7.4 レイアウト.....18
8 デバイスおよびドキュメントのサポート.....20
8.1 デバイス サポート.....20
8.2 ドキュメントの更新通知を受け取る方法.....20
8.3 サポート・リソース.....20
8.4 商標.....20
8.5 静電気放電に関する注意事項.....20
8.6 用語集.....20
9 改訂履歴.....20
10 メカニカル、パッケージ、および注文情報.....21

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

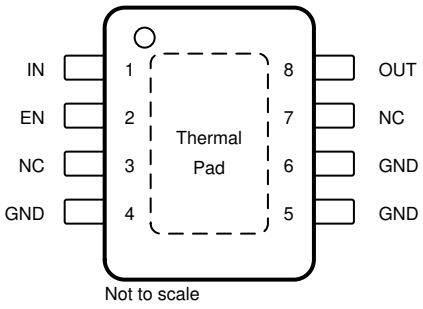


図 4-1. DGN パッケージ、8 ピン HVSSOP PowerPAD™ 上面図

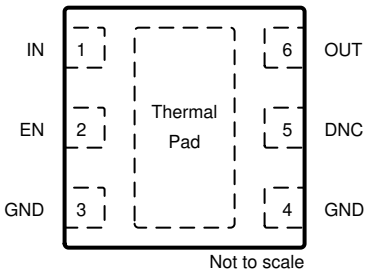


図 4-2. DRV パッケージ、6 ピン WSON PowerPAD™ 上面図

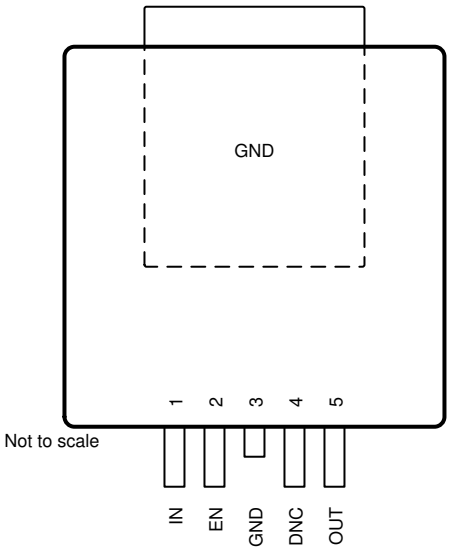


図 4-3. KVU パッケージ、5 ピン TO-252 (上面図)

表 4-1. ピンの機能

ピン				タイプ	説明
名称	番号				
	DGN	DRV	KVU		
DNC	—	5	4	—	バイアス電圧に接続しないでください。このピンをグラウンドに接続するか、フローティングのままにします。
EN	2	2	2	I	イネーブル入力ピン EN を V_{IH} より高く駆動すると、レギュレータがオンになります。EN を V_{IL} 未満に駆動すると、低ドロップアウト (LDO) がシャットダウン モードに移行します。
GND	4、5、6	3.4	3、TAB	—	グランド
IN	1	1	1	I	入力電源電圧。*推奨動作条件* 表および *入力コンデンサ* セクションに示されているように、最高の過渡応答を実現し、入力インピーダンスを最小化するには、推奨値またはそれ以上に大きい値のセラミック コンデンサを IN とグランドの間に接続します。入力コンデンサはデバイスの出力にできるだけ近い場所に配置します。
NC	3、7	—	—	—	内部接続なし
OUT	8	6	5	O	レギュレートされた出力電圧ピン。安定性のために、OUT とグランドの間にコンデンサが必要です。*推奨動作条件* 表および *出力コンデンサ* セクションに示されているように、最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT とグランドの間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。
サーマル パッド				—	熱性能を向上させるには、サーマル パッドは大面積の GND プレーンに接続します。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時周辺温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
V_{IN}	レギュレーションなしの入力(3)	-0.3	45	V
V_{EN}	イネーブル入力(3)	-0.3	V_{IN}	V
V_{OUT}	レギュレーター出力	-0.3	7	V
T_J	接合部温度範囲	-40	150	°C
T_{stg}	保管温度範囲	-40	150	°C

(1) *絶対最大定格* 外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*絶対最大定格*の範囲内であっても*推奨動作条件*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、GND を基準としたものです。
(3) 絶対最大電圧、200ms 間 45V に耐えられます。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{IN}	レギュレートされていない入力電圧	3	40	V
V_{EN}	イネーブル入力電圧	0	V_{IN}	V
C_{OUT}	出力コンデンサ要件(1)	1	200	µF
ESR	出力コンデンサの ESR 要件(2)	0.001	5	Ω
T_A	周囲温度範囲	-40	125	°C
T_J	接合部温度範囲	-40	150	°C

(1) 表に規定されている出力容量範囲は実効値です。
(2) f = 10kHz での関連する ESR 値。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS7B81-Q1			単位
		DGN (HVSSOP)	DRV (WSON)	KVU (TO-252)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	63.9	72.8	31.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	50.2	85.8	39.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.6	37.4	9.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.8	2.7	4.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	22.3	37.3	9.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	12.1	13.8	2.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

動作時周囲温度範囲全体、T_J = –40°C ～ 150°C、V_{IN} = 14V、10µF セラミック出力コンデンサ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電圧および電流 (IN)							
V_{IN}	入力電圧			$V_{OUT(Nom)}$ + $V_{(Dropout)}$		40	V
$I_{(SD)}$	シャットダウン電流	EN = 0V			0.3	1	µA
$I_{(Q)}$	静止時電流	V_{IN} = 6V ～ 40V、EN ≥ 2V、I_{OUT} = 0mA			1.9	3.5	µA
		V_{IN} = 6V ～ 40V、EN ≥ 2V、I_{OUT} = 0.2mA	DGN パッケージ		2.7	6.5	
			DRV および KVU パッケージ		2.7	4.5	
$V_{(IN, UVLO)}$	V_{IN} 低電圧検出	出力がオフになるまで V_{IN} を下げます				2.7	V
		ヒステリシス			200		mV
イネーブル入力 (EN)							
V_{IL}	ロジック入力 low レベル					0.7	V
V_{IH}	ロジック入力 high レベル			2			V
I_{EN}	電流を有効にする				10		nA
レギュレートされた出力 (OUT)							
V_{OUT}	レギュレーター出力	V_{IN} = V_{OUT} + $V_{(Dropout)}$ ～ 40V、I_{OUT} = 1mA ～ 150mA		-1.5%		1.5%	
$V_{(Line-Reg)}$	ライン レギュレーション	V_{IN} = 6V ～ 40V、I_{OUT} = 10mA				10	mV
$V_{(Load-Reg)}$	ロード レギュレーション	V_{IN} = 14V、I_{OUT} = 1mA ～ 150mA	DGN パッケージ			20	mV
			DRV および KVU パッケージ			10	

5.5 電気的特性 (続き)

動作時周囲温度範囲全体、T_J = –40°C ～ 150°C、V_{IN} = 14V、10µF セラミック出力コンデンサ (特に記述のない限り)

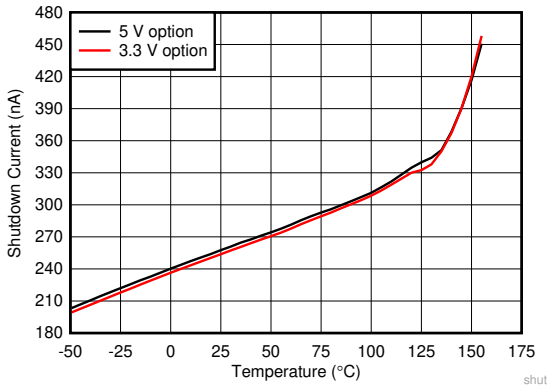
パラメータ		テスト条件			最小値	標準値	最大値	単位
$V_{(Dropout)}$	ドロップアウト電圧(1)	V_{OUT} = 5V	I_{OUT} = 150mA	DGN パッケージ		270	540	mV
				DRV および KVU パッケージ		325	585	
			I_{OUT} = 100mA	DGN パッケージ		180	350	
				DRV および KVU パッケージ		200	390	
		V_{OUT} = 3.3V	I_{OUT} = 150mA	DGN パッケージ			650	
				DRV および KVU パッケージ		345	675	
			I_{OUT} = 100mA			255	450	
I_{OUT}	出力電流	V_{OUT} がレギュレーション状態、5v 固定オプションの場合は V_{IN} = 7V、固定 3.3V オプションの場合は V_{IN} = 5.8V			0		150	mA
$I_{(CL)}$	出力電流制限	V_{OUT} が 90% × V_{OUT} に短絡			180	510	690	mA
PSRR	電源リップル除去	$V_{(Ripple)}$ = 0.5V_{PP}、I_{OUT} = 10mA、周波数 = 100Hz、C_{OUT} = 2.2µF				60		dB
OPERATING TEMPERATURE RANGE								
$T_{(SD)}$	接合部のシャットダウン温度					175		°C
$T_{(HYST)}$	サーマル シャットダウンのヒステリシス					20		°C

(1) 最小入力電圧制限のため、ドロップアウトは 2.5V 出力では無効です。

Copyright © 2025 Texas Instruments Incorporated

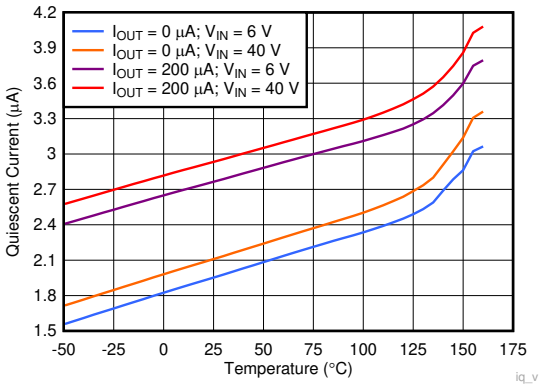
5.6 代表的特性

T_J = –40°C ～ +150°C、V_{IN} = 14V、および V_{EN} ≥ 2V (特に記述のない限り)



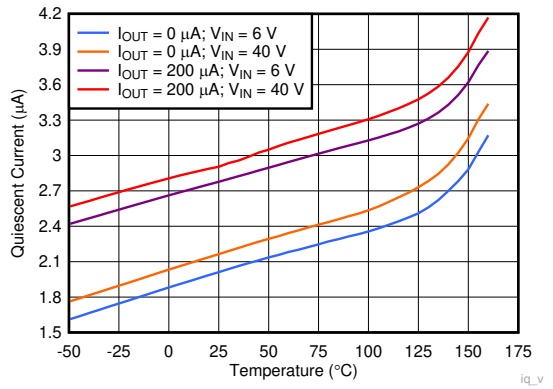
V_{EN} = 0V

図 5-1. シャットダウン電流と周囲温度との関係



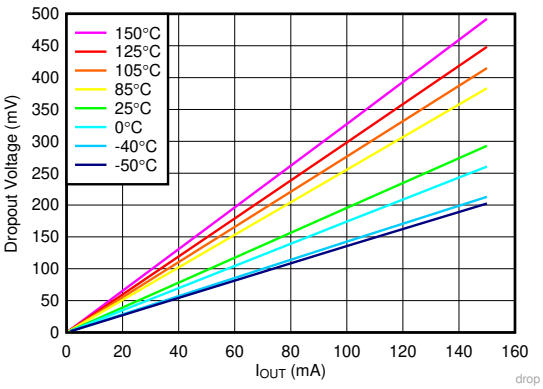
V_{OUT} = 5V

図 5-2. 静止電流と周囲温度の関係



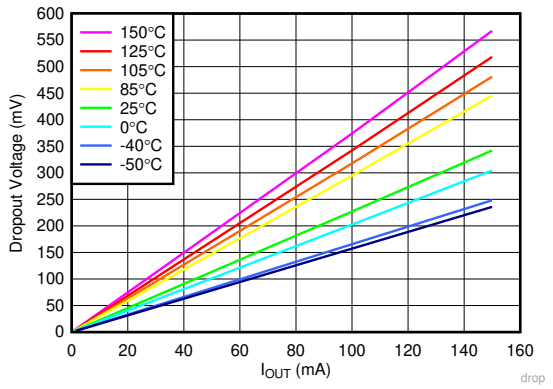
V_{OUT} = 3.3V

図 5-3. 静止電流と周囲温度の関係



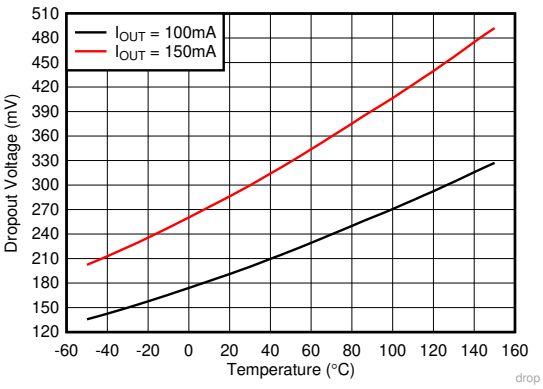
V_{OUT} = 5V、DRV パッケージ

図 5-4. ドロップアウト電圧と出力電流との関係



V_{OUT} = 3.3V、DRV パッケージ

図 5-5. ドロップアウト電圧と出力電流との関係



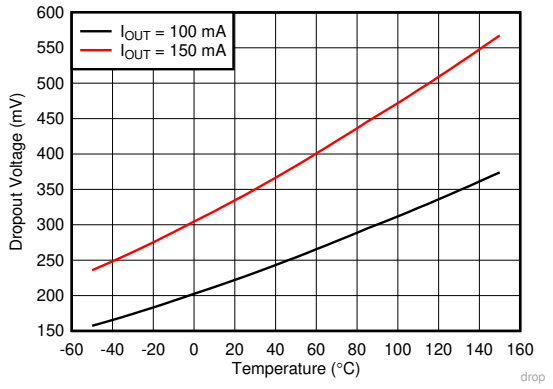
V_{OUT} = 5V

図 5-6. ドロップアウト電圧と周囲温度との関係

Copyright © 2025 Texas Instruments Incorporated

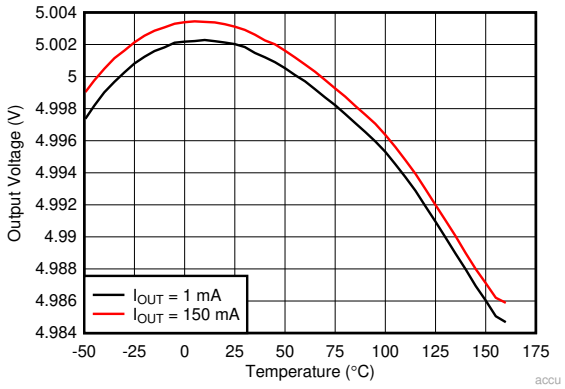
5.6 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 14V、および V_{EN} ≥ 2V (特に記述のない限り)



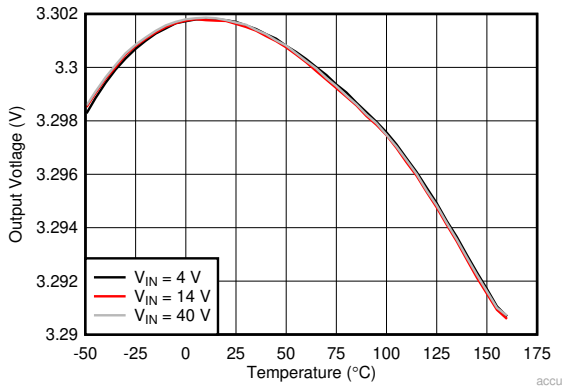
V_{OUT} = 3.3V

図 5-7. ドロップアウト電圧と周囲温度との関係



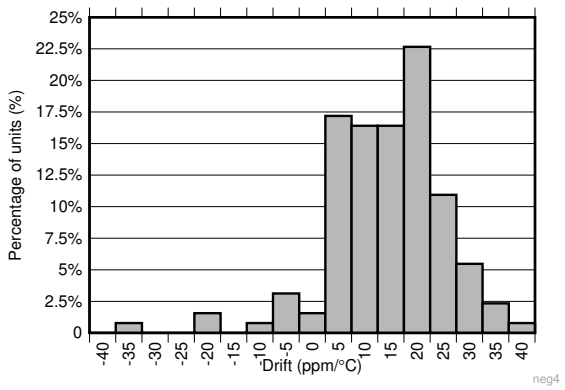
V_{OUT} = 5V

図 5-8. 出力電圧と周囲温度との関係



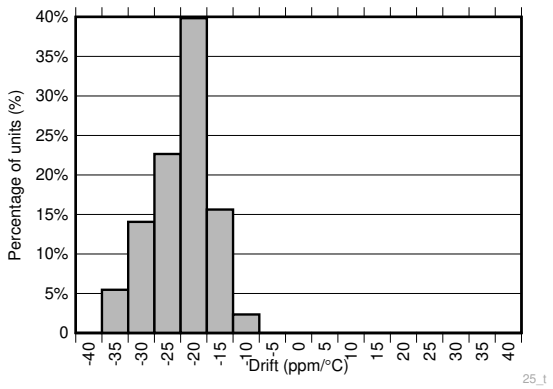
V_{OUT} = 3.3V、I_{OUT} = 1mA

図 5-9. 出力電圧と周囲温度との関係



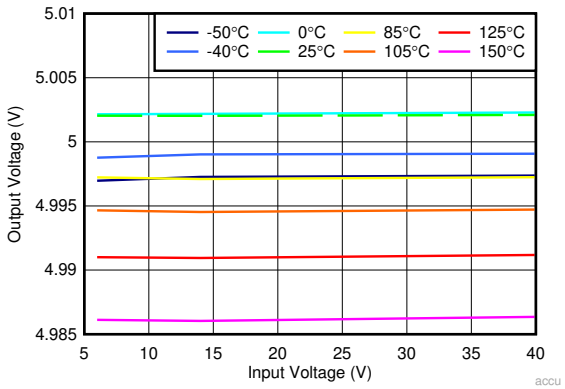
3.3V および 5V オプション、I_{OUT} = 1mA

図 5-10. 温度ドリフト ヒストグラム (–40°C ～ 25°C)



3.3V および 5V オプション、I_{OUT} = 1mA

図 5-11. 温度ドリフト ヒストグラム (25°C ～ 150°C)



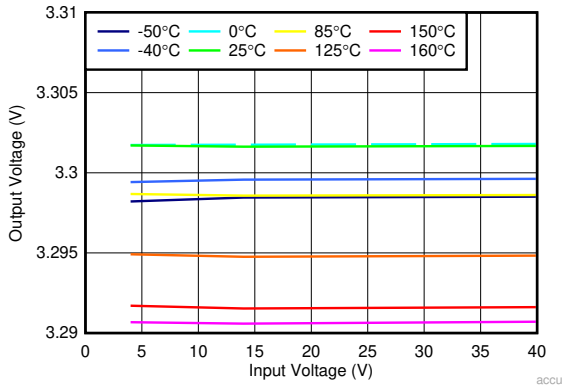
V_{OUT} = 5V、I_{OUT} = 1mA

図 5-12. 出力電圧と入力電流との関係

Copyright © 2025 Texas Instruments Incorporated

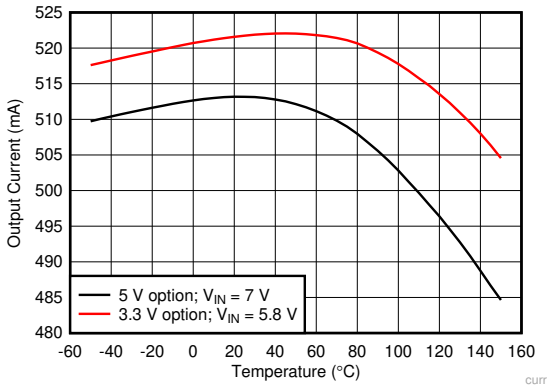
5.6 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 14V、および V_{EN} ≥ 2V (特に記述のない限り)



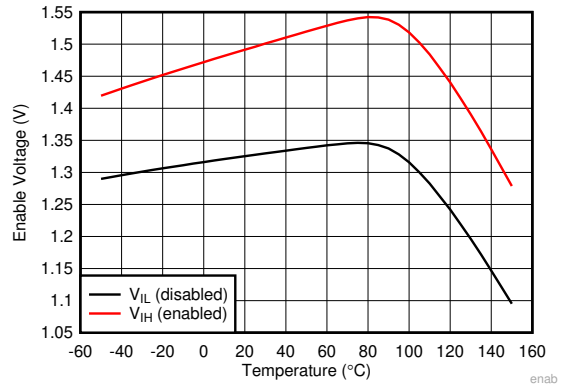
V_{OUT} = 3.3V、I_{OUT} = 1mA

図 5-13. 出力電圧と入力電流との関係



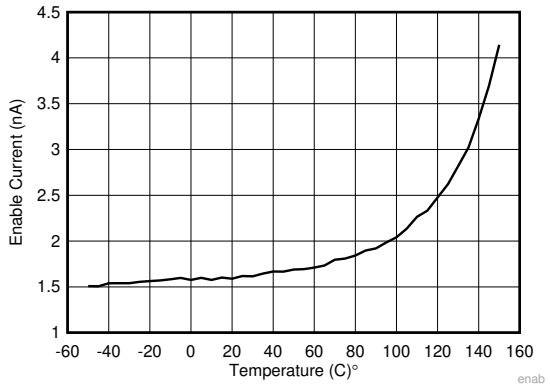
V_{OUT} が 90% × $V_{OUT(NOM)}$ に短絡

図 5-14. 出力電流制限と周囲温度との関係



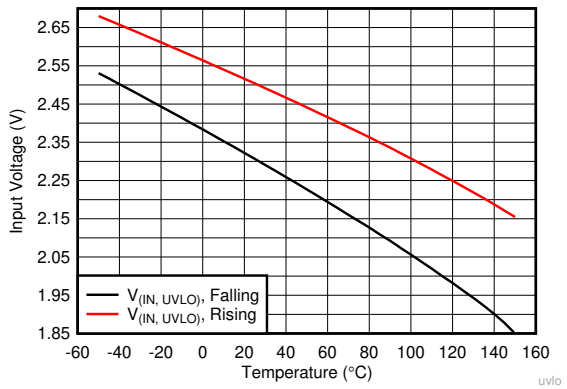
A.

図 5-15. イネーブル電圧と周囲温度との関係



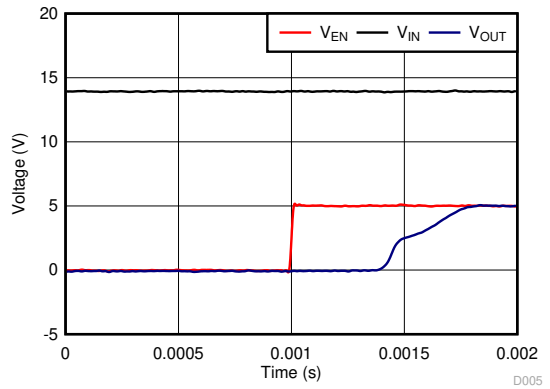
A.

図 5-16. イネーブル電流と周囲温度との関係



A.

図 5-17. UVLO と周囲温度の関係

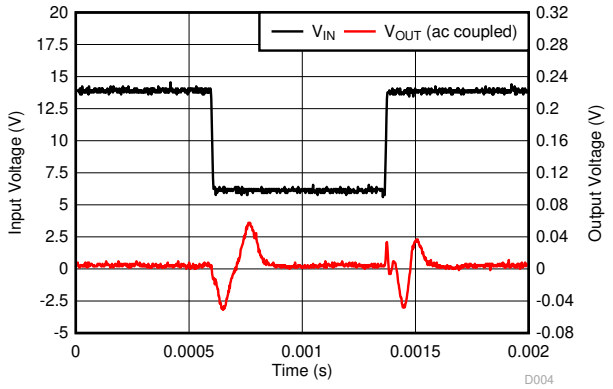


V_{OUT} = 5V、C_{IN} = 1µF、C_{OUT} = 1µF

図 5-18. イネーブルから起動

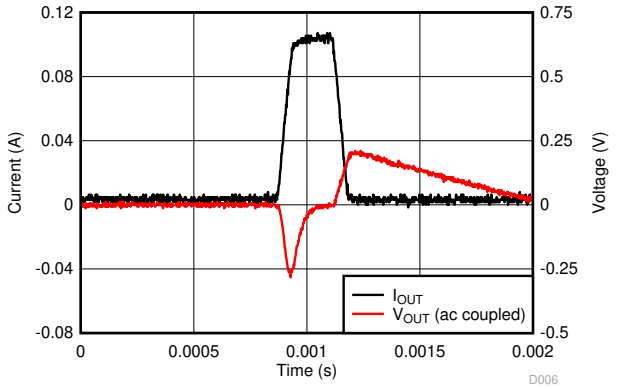
5.6 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 14V、および V_{EN} ≥ 2V (特に記述のない限り)



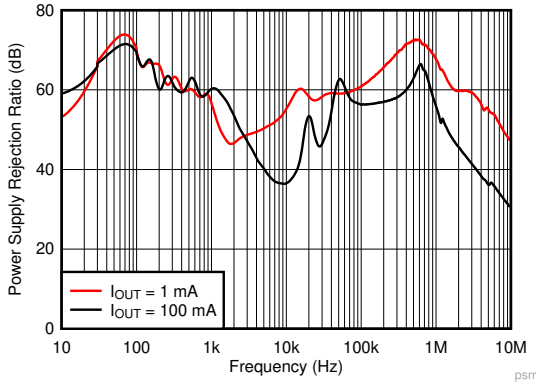
V_{OUT} = 3.3V、C_{IN} = 0µF、C_{OUT} = 1µF、I_{OUT} = 100mA、スルー レート = 1V/µs

図 5-19. ライン トランジェント



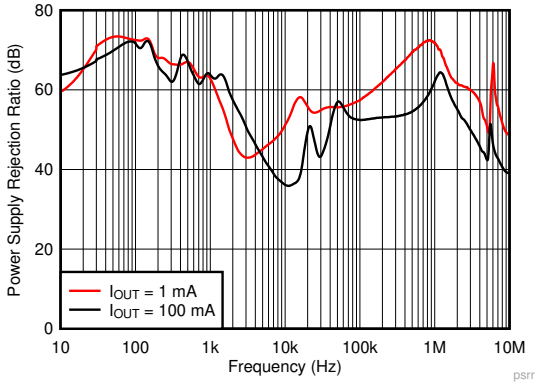
V_{OUT} = 5V、C_{IN} = 1µF、C_{OUT} = 1µF、I_{OUT} = 1mA → 100mA → 1mA、スルー レート = 1mA/µs

図 5-20. 負荷過渡



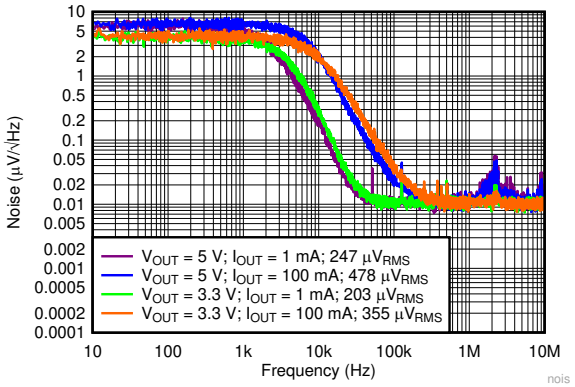
V_{OUT} = 5V、C_{IN} = 0µF、C_{OUT} = 10µF

図 5-21. PSRR と周波数との関係



V_{OUT} = 3.3V、C_{IN} = 0µF、C_{OUT} = 10µF

図 5-22. PSRR と周波数との関係



C_{IN} = 0.1µF、C_{OUT} = 10µF

図 5-23. ノイズ電圧と周波数との関係

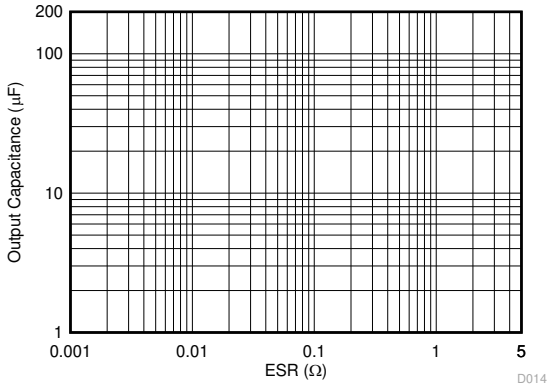


図 5-24. 出力容量と ESR 安定性との関係

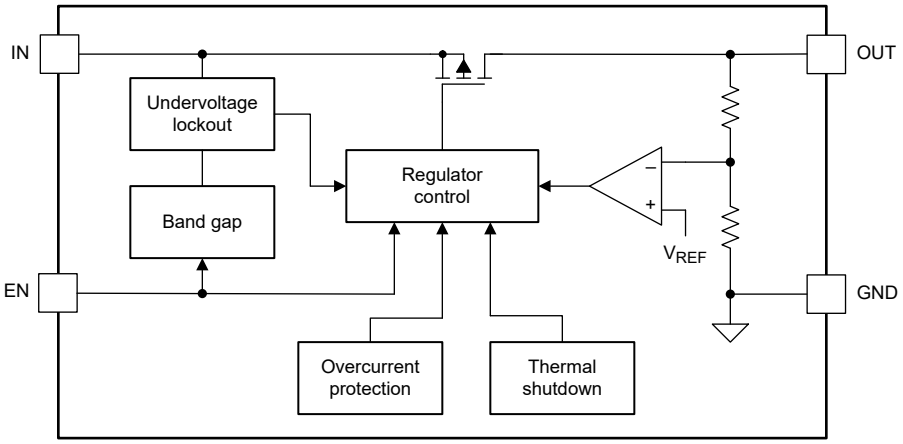
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS7B81-Q1 は、40V、150mA の低ドロップアウト (LDO) リニア レギュレータで、超低静止電流です。この電圧レギュレータは、軽負荷時の静止電流として 3µA のみを消費し、車載用の常時オンアプリケーション向けに設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 デバイス イネーブル (EN)

EN ピンは、高電圧対応のピンです。入力が high になると、デバイスがアクティブになり、レギュレーションがオンになります。このピンを外部マイクロコントローラまたはデジタル回路に接続して、デバイスをイネーブル/ディセーブルするか、または自己バイアス アプリケーションでは IN ピンに接続します。

6.3.2 低電圧シャットダウン

このデバイスには低電圧誤動作防止 (UVLO) 回路が内蔵されており、入力電圧 (V_{IN}) が内部 UVLO スレッショルド ($V_{(UVLO)}$) を下回ると、出力がシャットダウンされます。この機能により、入力電圧が低い状態でもレギュレータが不明な状態にラッチされないようになります。入力電圧に負のトランジェント電圧が生じて UVLO スレッショルドを下回り、その後で回復した場合、レギュレータはいったんシャットダウンした後、入力電圧が必要なレベル以上であるときと通常の電源オンシーケンスで、再度オンになります。

6.3.3 電流制限

このデバイスには、過負荷または出力からグランドへの短絡状態が発生したときにデバイスを安全な動作領域に維持するため、電流制限保護機能が搭載されています。この機能は、過剰な消費電力からデバイスを保護します。たとえば、出力の短絡状態のとき、フォルト保護機能はパス素子を流れる電流を $I_{(LIM)}$ に制限し、デバイスを過剰な電力消費から保護します。

6.3.4 サーマル シャットダウン

これらのデバイスには、過熱状態からの保護のため、サーマル シャットダウン (TSD) 回路が組み込まれています。連続の通常動作では、接合部温度が TSD トリップ ポイントを超えないようにする必要があります。接合部温度が TSD トリップ ポイントを超えると、出力はオフになります。接合部温度が低下し、TSD のトリップ点からサーマル シャットダウン ヒステリシスを引いた値を下回ると、出力が再度オンになります。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 3V を下回る V_{IN} での動作

このデバイスは通常、3V を上回る入力電圧で動作します。このデバイスは、より低い入力電圧でも動作できます。最大 UVLO 電圧は 2.7V です。本デバイスは、実際の UVLO 電圧より低い入力電圧では動作しません。

6.4.2 3V を超える V_{IN} での動作

V_{IN} が 3V より大きい場合、V_{IN} も出力設定値とデバイスのドロップアウト電圧を加算した値よりも高い場合、V_{OUT} は設定値と等しくなります。それ以外の場合、V_{OUT} は V_{IN} からドロップアウト電圧を引いた値と等しくなります。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
通常モード	$V_{IN} > V_{OUT(nom)} + V_{(Dropout)}$ and $V_{IN} \geq 3V$	$V_{EN} > V_{IH}$	$I_{OUT} < I_{CL}$	$T_J < 160°C$
ドロップアウト モード	$3V \leq V_{IN} < V_{OUT(nom)} + V_{(Dropout)}$	$V_{EN} > V_{IH}$	$I_{OUT} < I_{CL}$	$T_J < 160°C$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{(IN, UVLO)}$	$V_{EN} < V_{IL}$	—	$T_J > 160°C$

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS7B81-Q1 は、150mA、40V、超低静止電流の低ドロップアウト (LDO) リニア レギュレータです。PSpice トランジェント モデルは、製品フォルダからダウンロードでき、デバイスの基本機能を評価するために使用できます。

7.1.1 消費電力

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。P_D は、式 1 を使用して概算できます。

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (1)$$

重要な点は、システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

このデバイスの主な放熱経路は、パッケージのサーマル パッドを通じたものです。このため、サーマル パッドは、デバイスの下にある銅パッド領域に半田付けする必要があります。このパッド領域にはめっきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。

最大消費電力により、デバイスの最大許容接合部温度 (T_J) が決まります。式 2 によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。式 3 の式を並べ替えて、出力電流を示しています。

$$T_J = T_A + R_{\theta JA} \times P_D \quad (2)$$

$$I_{OUT} = (T_J - T_A) \div [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (3)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。テーブルに記録されている $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は実際には、パッケージのジャンクションからケース (底面) までの熱抵抗 ($R_{\theta JCbot}$) と PCB 銅による熱抵抗の寄与の合計になることに注意してください。

図 7-1 および 図 7-6 は、銅面積および厚さに対する $R_{\theta JA}$ および ψ_{JB} の機能を示します。これらのプロットは、101.6mm × 101.6mm × 1.6mm の PCB で 2 層および 4 層を使用して生成したものです。4 層基板の場合、内側のプレーンでは 1 オンスの銅箔厚を使用します。外層は、1 オンスおよび 2 オンスの銅厚でシミュレーションしています。サーマル パッドの下に、300µm のドリル直径と 25µm の銅めっきの 2 x 1 アレイのサーマル ビアが配置されています。サーマル ビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。各層には、同じ面積の銅プレーンがあります。

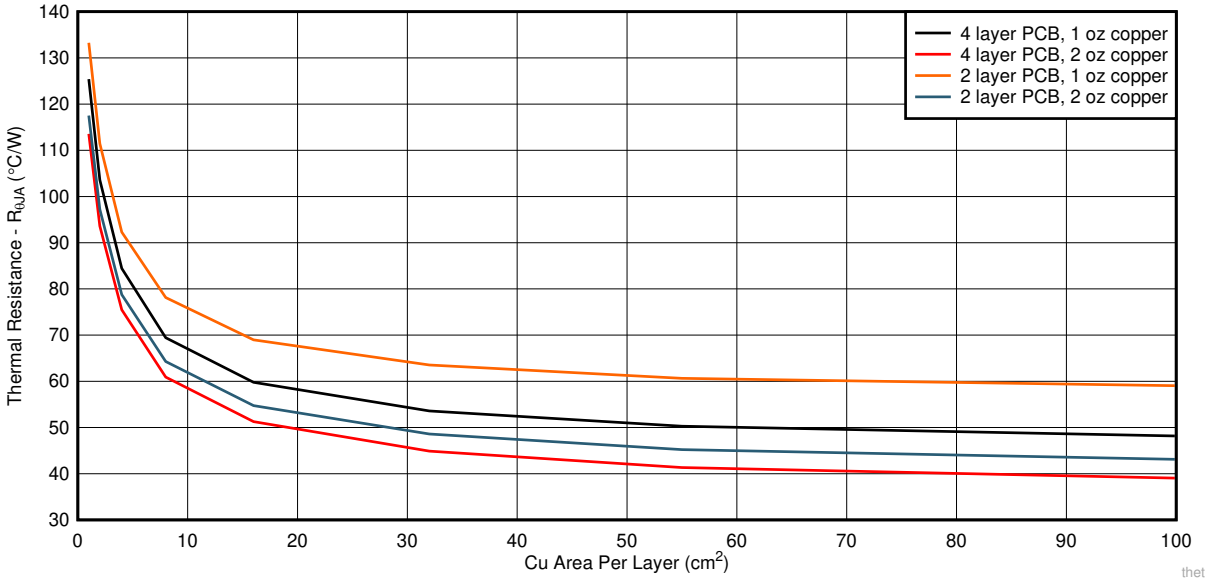


図 7-1. WSON (DRV) パッケージの $R_{\theta JA}$ と Cu 面積との関係

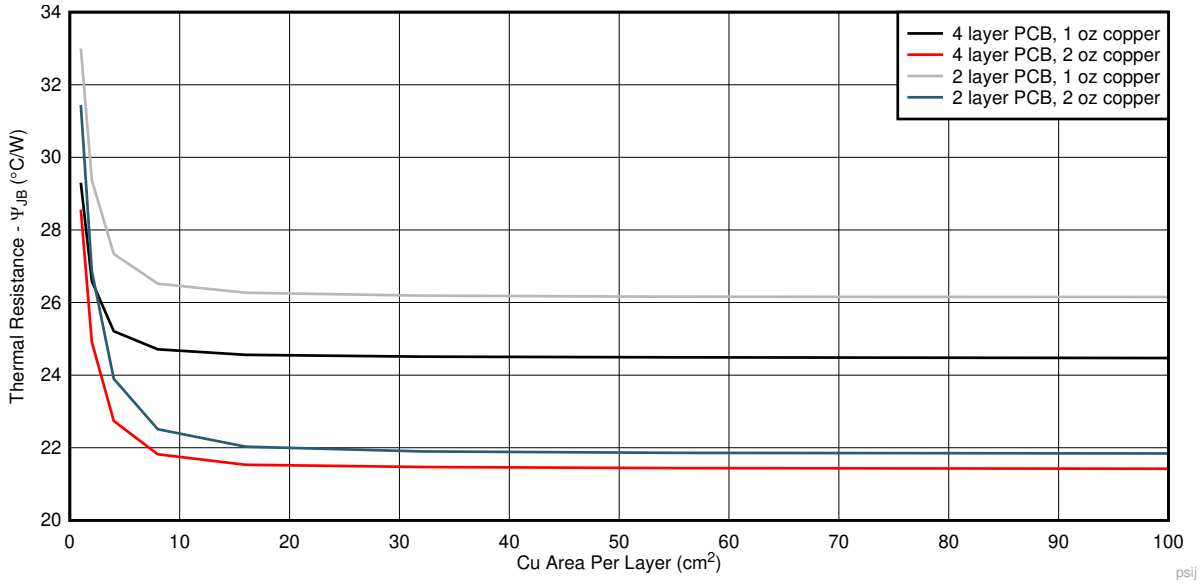


図 7-2. WSON (DRV) パッケージの Ψ_{JB} と Cu 面積との関係

Copyright © 2025 Texas Instruments Incorporated

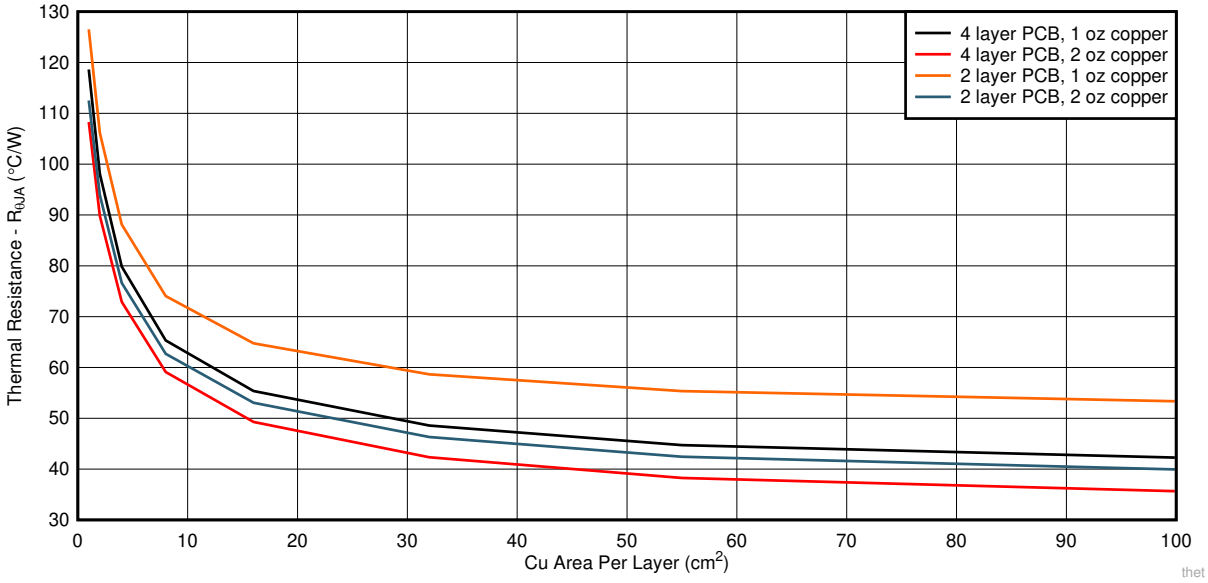


図 7-3. HVSSOP (DGN) パッケージの $R_{\theta JA}$ と Cu 面積との関係

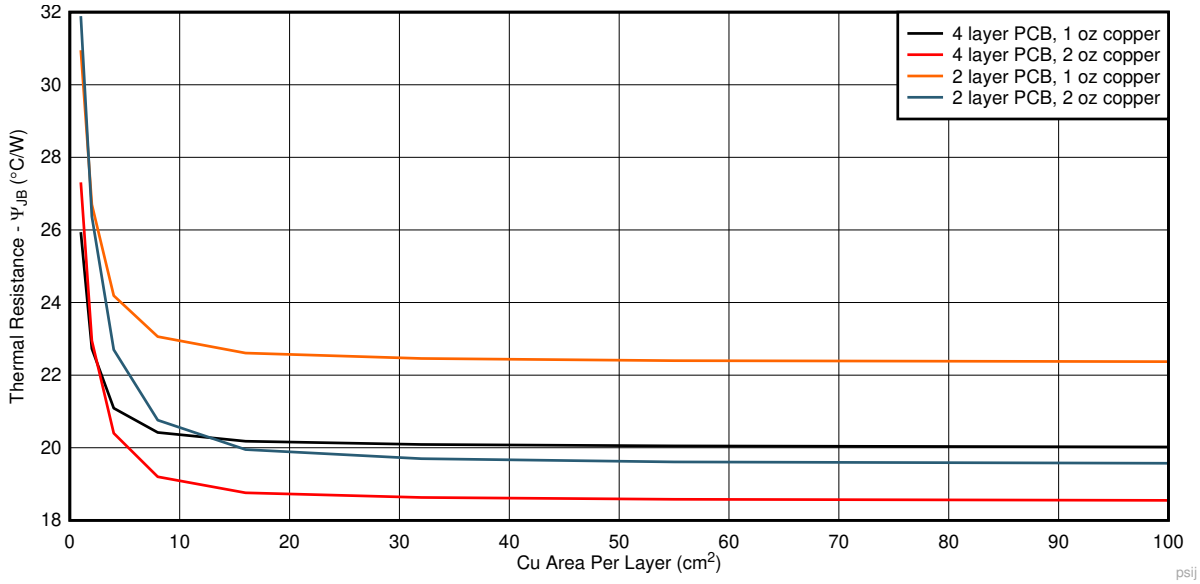


図 7-4. HVSSOP (DGN) パッケージの Ψ_{JB} と Cu 面積との関係

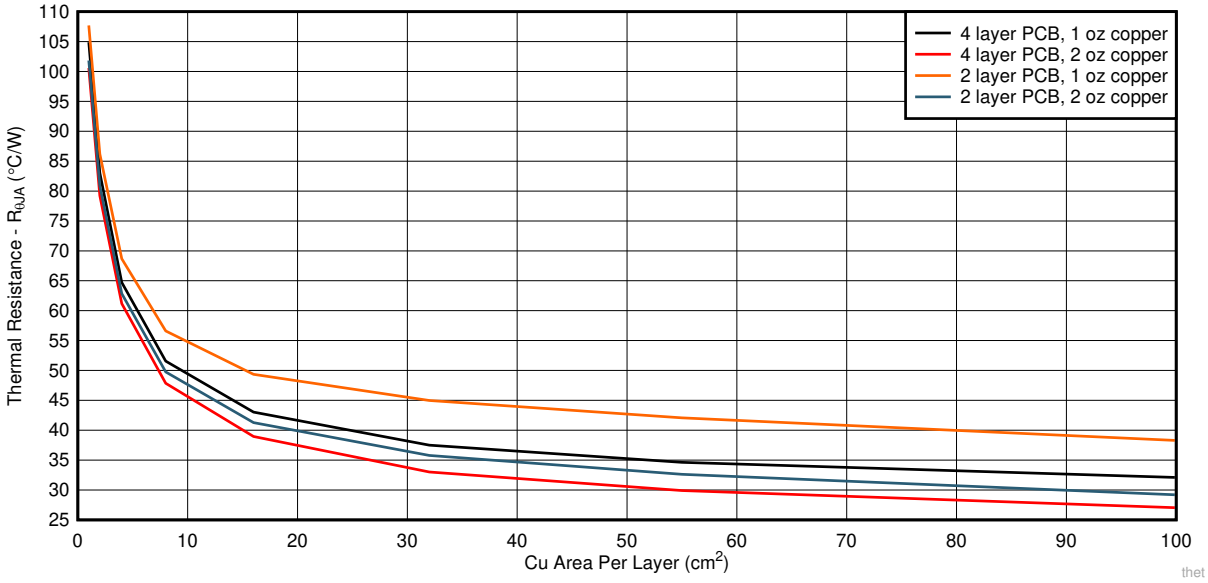


図 7-5. TO-252 (KVU) パッケージの $R_{\theta JA}$ と Cu 面積との関係

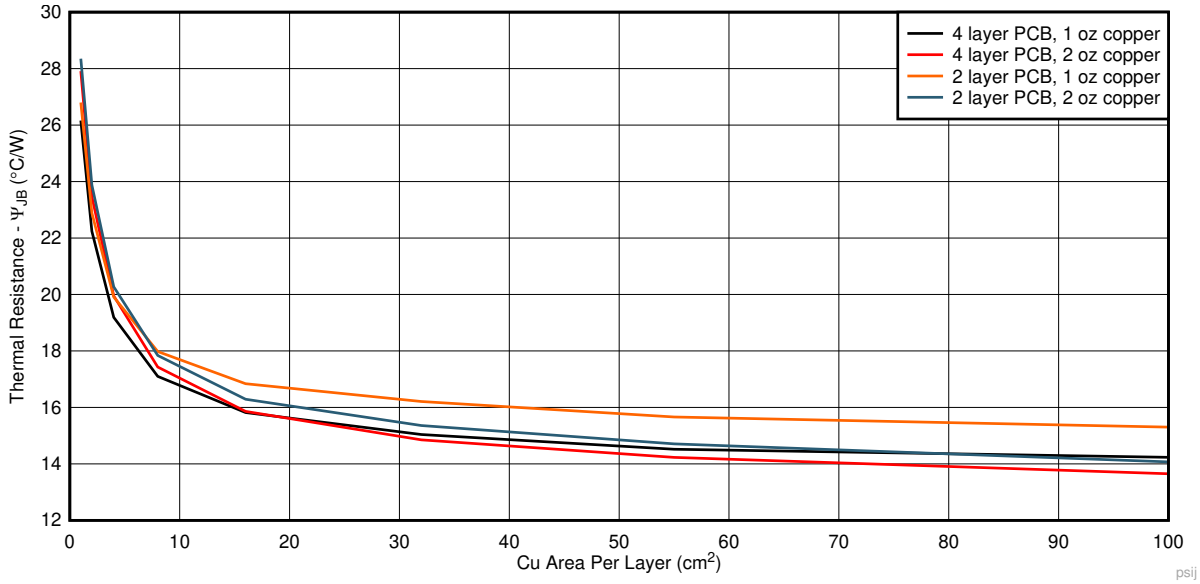


図 7-6. TO-252 (KVU) パッケージでの Ψ_{JB} と Cu 面積との関係

Copyright © 2025 Texas Instruments Incorporated

7.1.1.1 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱メトリクス (Ψ_{JT} および Ψ_{JB}) は *セクション 5.4* 表に示されており、式 4 に従って使用されます。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times PD$$
$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times PD \quad (4)$$

ここで

- P_D は、式 1 で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.2 代表的なアプリケーション

図 7-7 に、TPS7B81-Q1 の代表的なアプリケーション回路を示します。エンド アプリケーションによっては、値の異なる外付け部品を使用できます。アプリケーションでは、出力電圧の大きな降下を防止するために、高速負荷ステップ時のより大きな出力コンデンサが必要になる場合があります。テキサス インスツルメンツは、X5R または X7R タイプの誘電体を使用した、低等価直列抵抗 (ESR) のセラミック コンデンサをお勧めします。

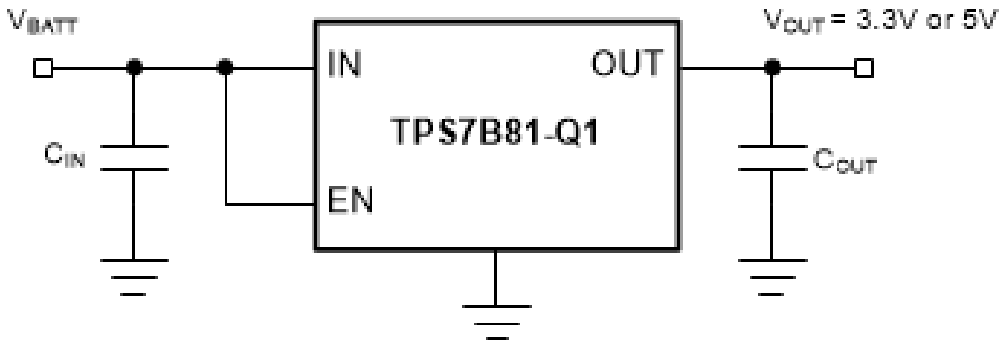


図 7-7. TPS7B81-Q1 の代表的なアプリケーション回路

7.2.1 設計要件

この設計例では、表 7-1 の設計パラメータを使用します。

表 7-1. 設計要件パラメータ

パラメータ	値
入力電圧範囲	3V ～ 40V
出力電圧	5V または 3.3V
出力電流	150mA 以下

7.2.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
- 出力電圧
- 出力電流

7.2.2.1 入力コンデンサ

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間に 10µF ～ 22µF コンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル除去、PSRR を改善します。電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.2.2 出力コンデンサ

TPS7B81-Q1 の安定性を確認するためには、1µF から 200µF までの範囲の値、ESR 範囲が 0.001Ω ～ 5Ω の出力コンデンサが必要です。TI は、負荷トランジェント応答を改善するため、低 ESR のセラミック コンデンサをお勧めします。

7.2.3 アプリケーション曲線

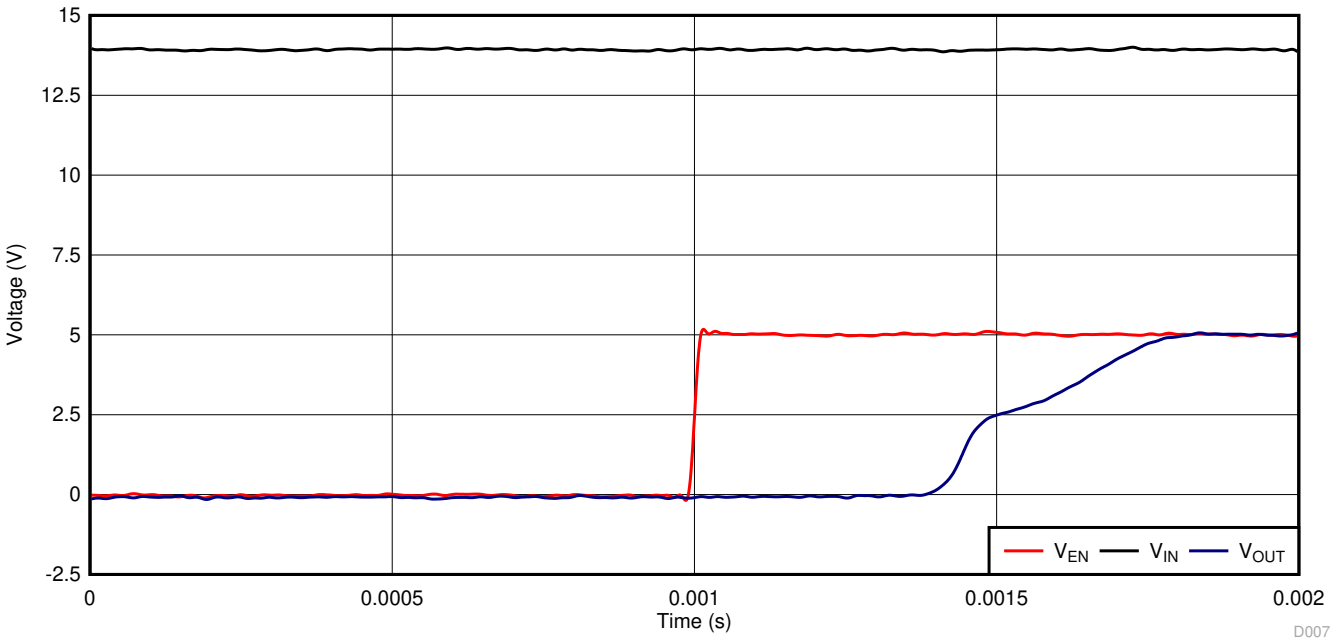


図 7-8. TPS7B81-Q1 のパワーアップ波形 (5V)

7.3 電源に関する推奨事項

このデバイスは、3V から 40V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS7B81-Q1 から数インチ以上離れている場合、TI では、入力に 0.1µF のバイパス コンデンサと並列に 10µF 以上のコンデンサを追加することをお勧めします。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

レイアウトは、特に高電圧および大出力電流の電源では、LDO 電源で重要なステップです。レイアウトが注意深く設計されていないと、熱の制限が原因で、レギュレータは十分な出力電流を供給できない可能性があります。デバイスの熱性能を向上させ、高い周囲温度での電流出力を最大化するため、サーマル パッド下の銅をできるだけ広く拡散し、サーマル パッド下の銅上に十分なサーマル ビアを配置します。図 7-9 にレイアウト例を示します。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

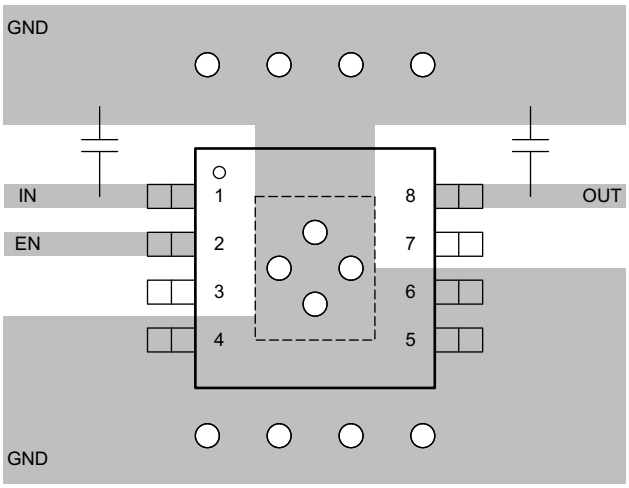


図 7-9. TPSB81-Q1 のレイアウト図例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. 利用可能なオプション

製品(1)	説明
TPS7B81**xx**Q(W)***yyyz***Q1	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。 **yyy** はパッケージ指定子です。 **z** はリール数量です。 **Q1** は、このデバイスが車載グレード (AEC-Q100) デバイスであることを示しています。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (June 2025) to Revision F (September 2025)	Page
• ドキュメントにウェッタブル フランク (DRV) 付きの WSON パッケージを追加	1
• *「デバイス命名規則」*セクションを追加	20

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision D (June 2020) to Revision E (June 2025) **Page**

- *「特長」*セクションに機能安全の箇条書き項目を追加 1
- *「機能ブロック図」*でパワー FET を NMOS から PMOS に変更 11

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8125QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	26GX
TPS7B8125QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	26GX
TPS7B8133QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VTX
TPS7B8133QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VTX
TPS7B8133QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1X2H
TPS7B8133QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1X2H
TPS7B8133QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8133Q1
TPS7B8133QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8133Q1
TPS7B8133QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NGH
TPS7B8150QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VUX
TPS7B8150QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VUX
TPS7B8150QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1WNH
TPS7B8150QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1WNH
TPS7B8150QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8150Q1
TPS7B8150QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8150Q1
TPS7B8150QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NHH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7B81-Q1 :

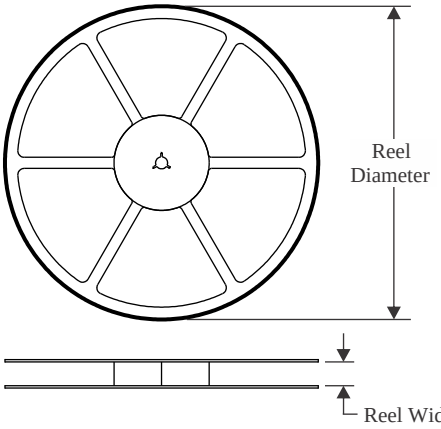
- Catalog : TPS7B81

NOTE: Qualified Version Definitions:

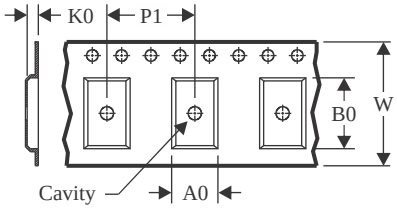
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

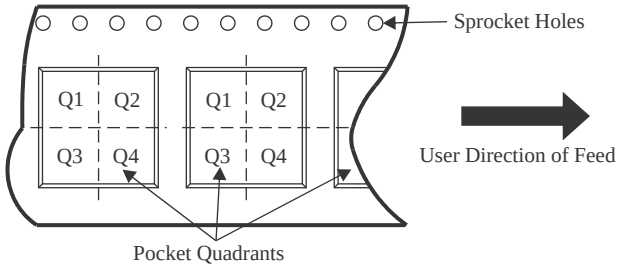


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

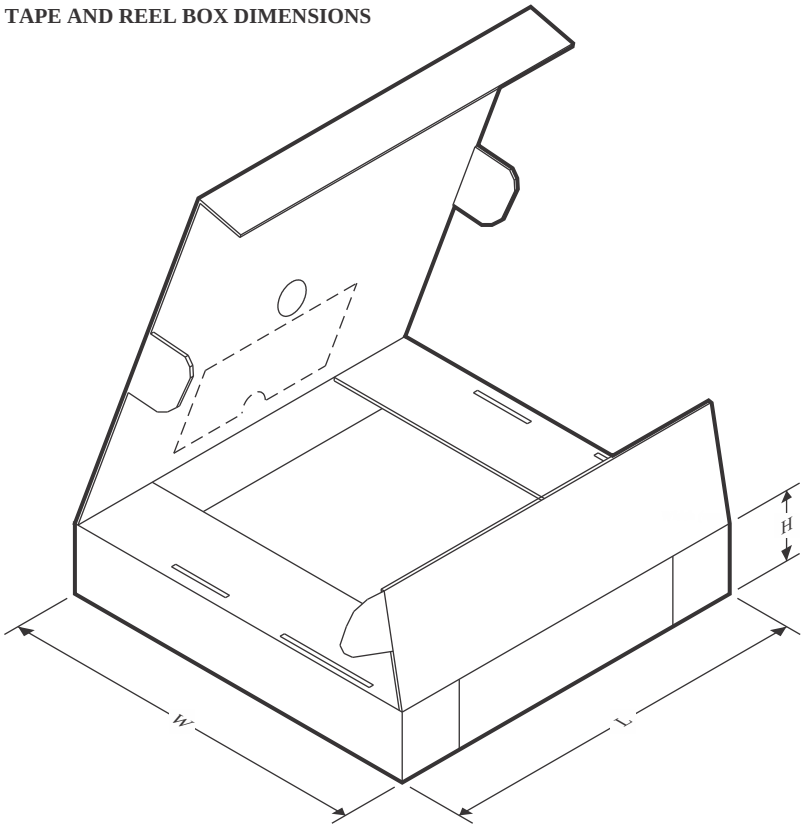
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8125QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8133QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8133QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8133QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8133QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8150QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8150QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8150QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8150QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8125QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8133QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8133QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8133QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8133QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8150QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8150QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8150QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8150QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

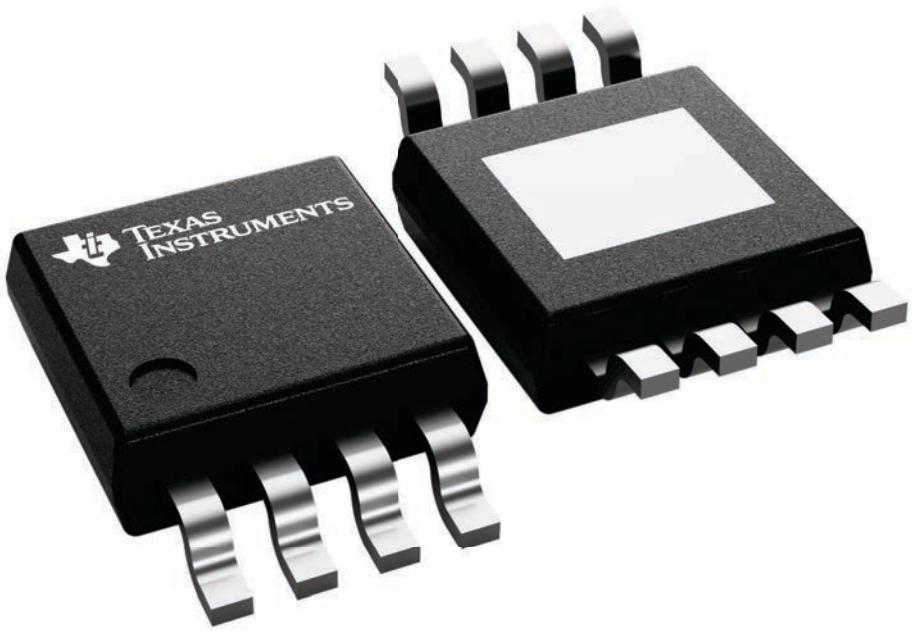
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

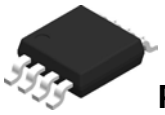
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

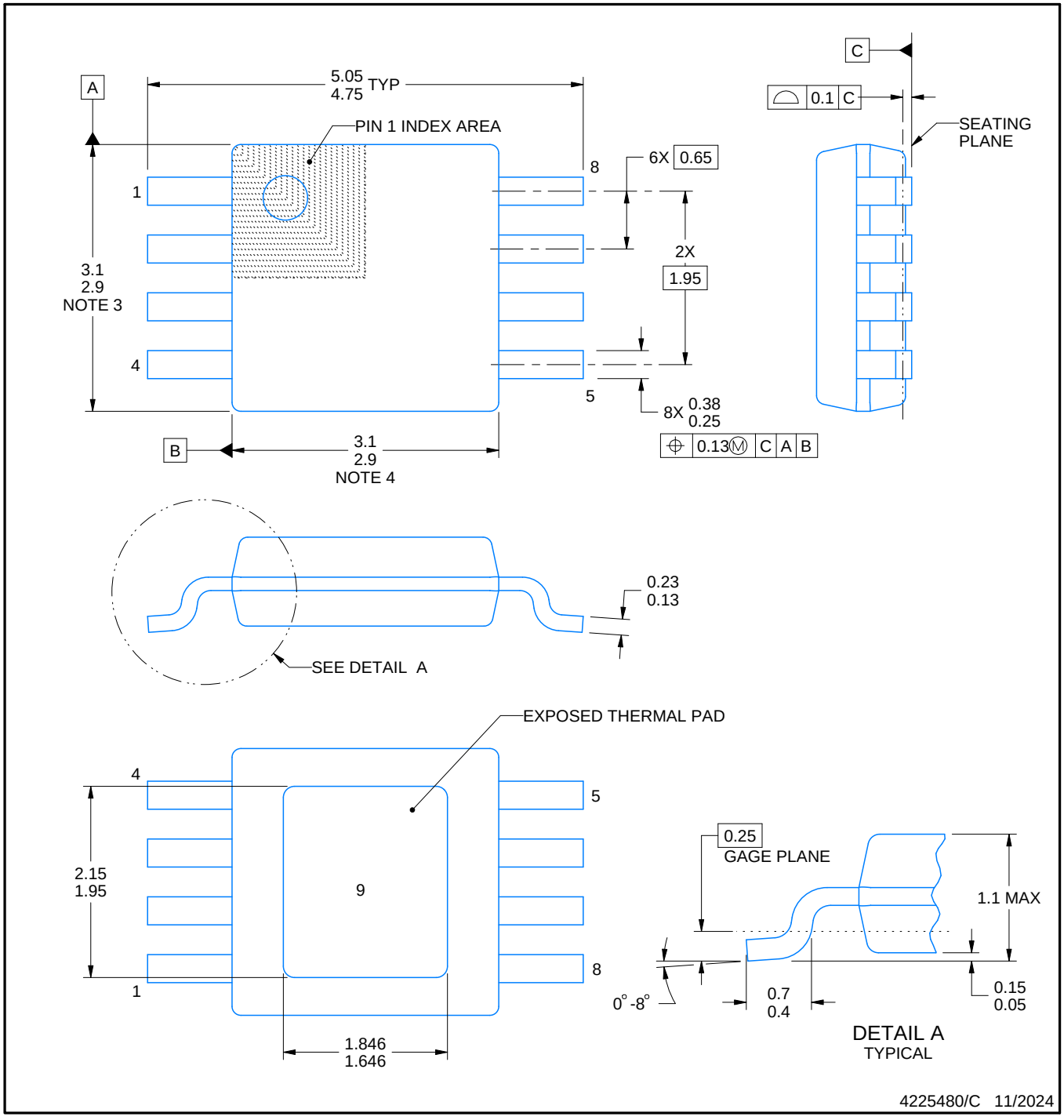
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

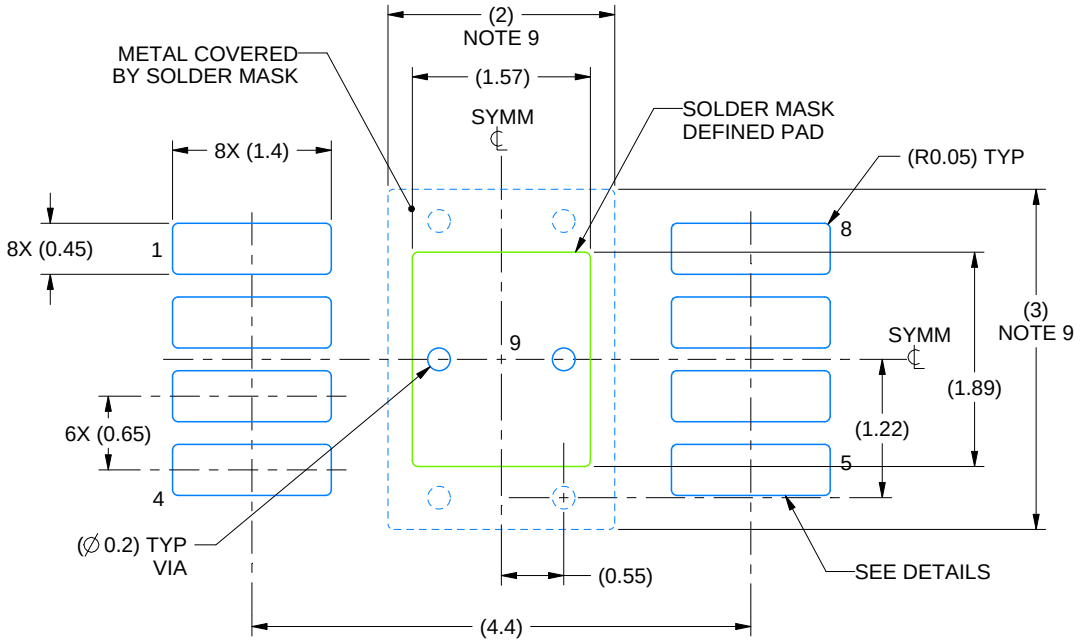
SMALL OUTLINE PACKAGE



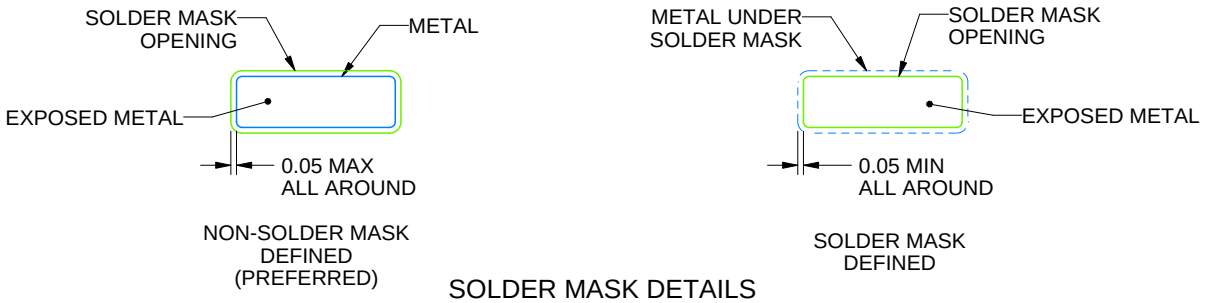
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

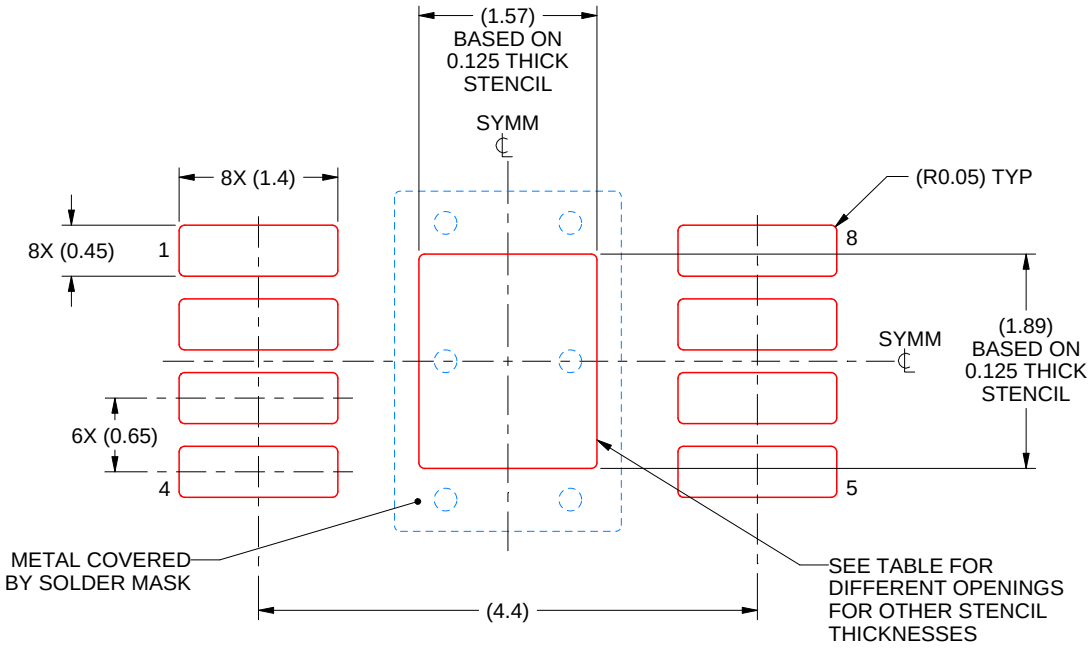


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

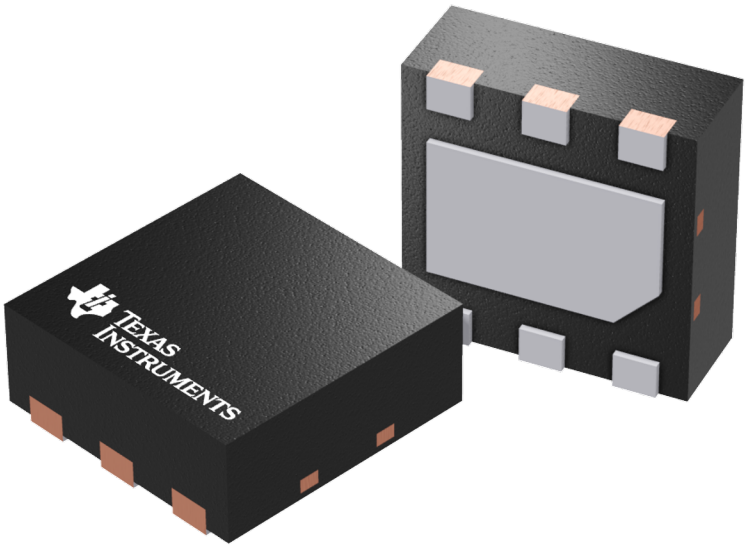
4225480/C 11/2024

NOTES: (continued)

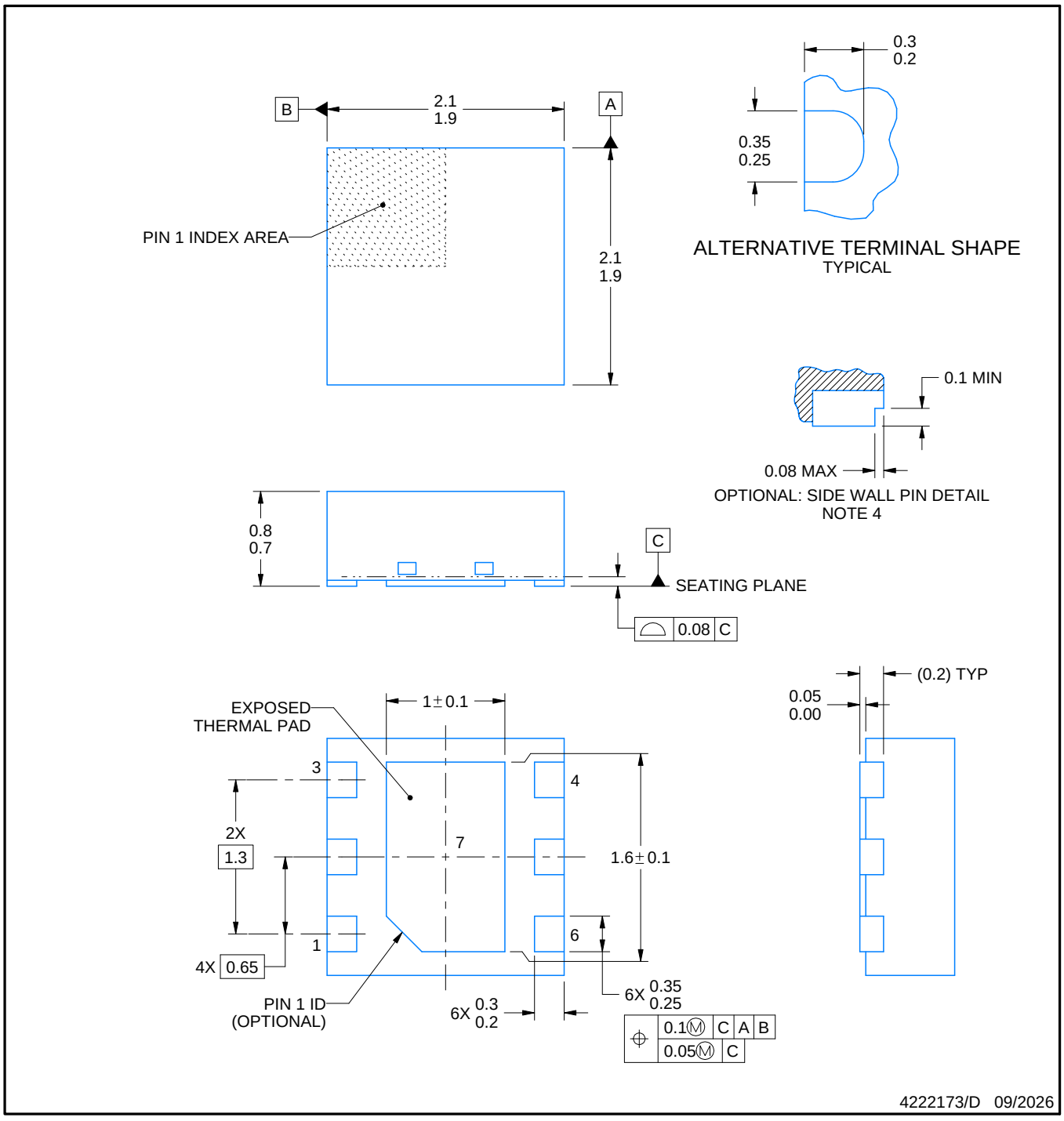
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

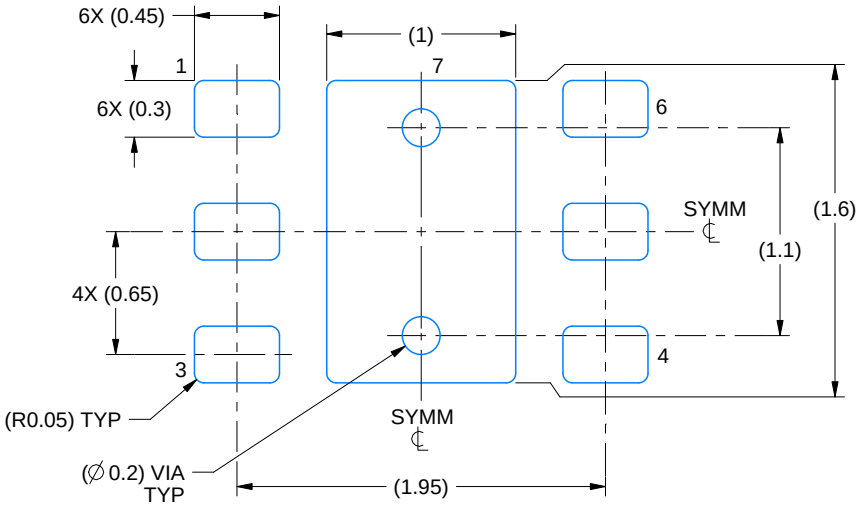


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

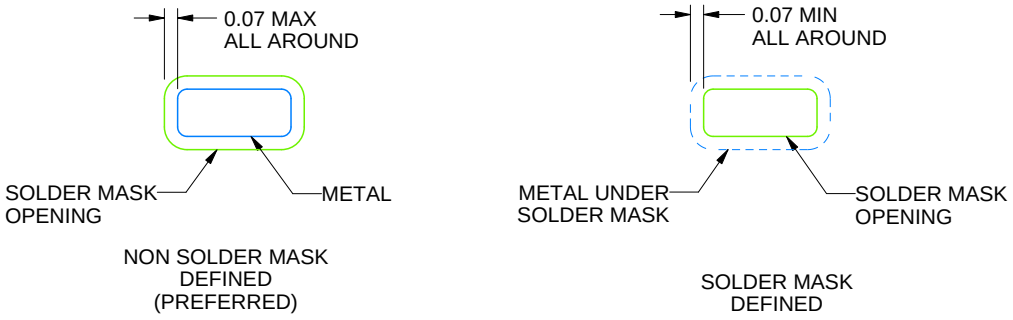


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

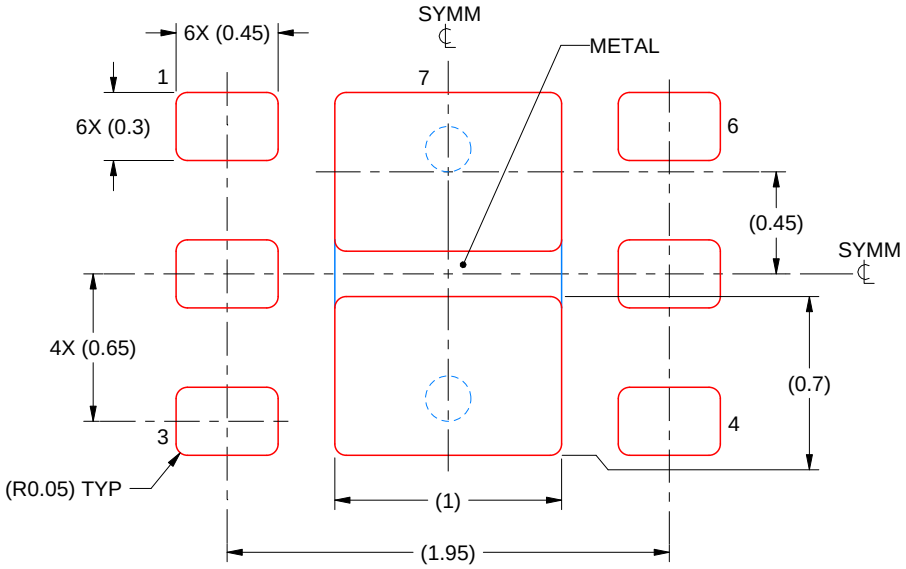


SOLDER MASK DETAILS

4222173/D 09/2026

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

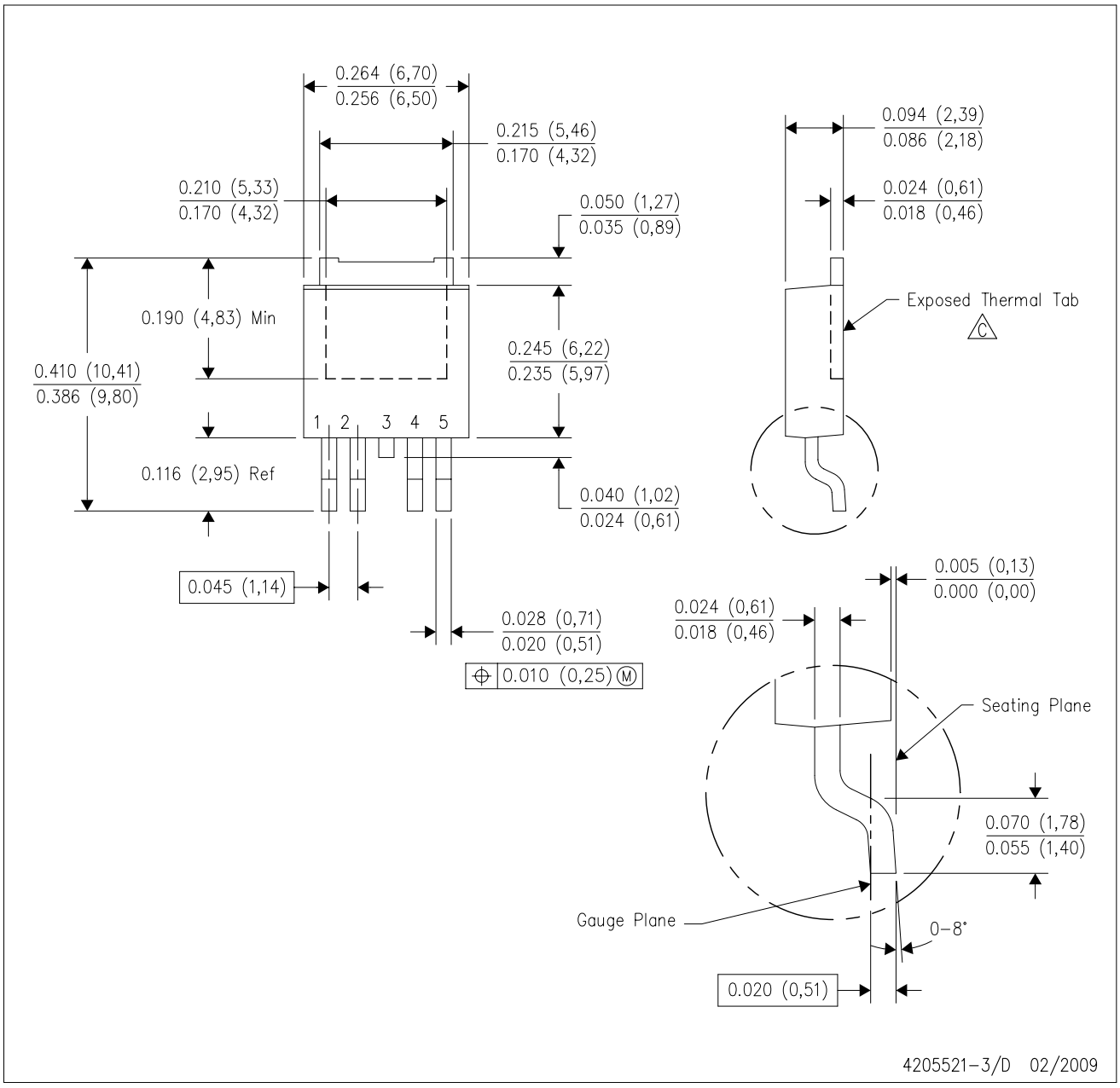
EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/D 09/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

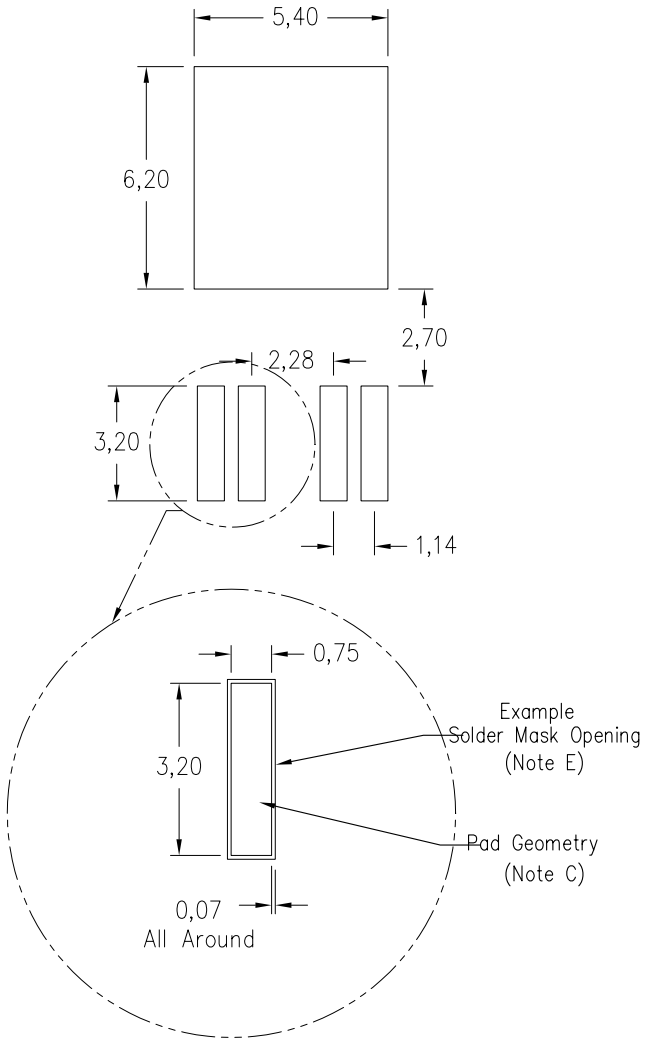
KVU (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



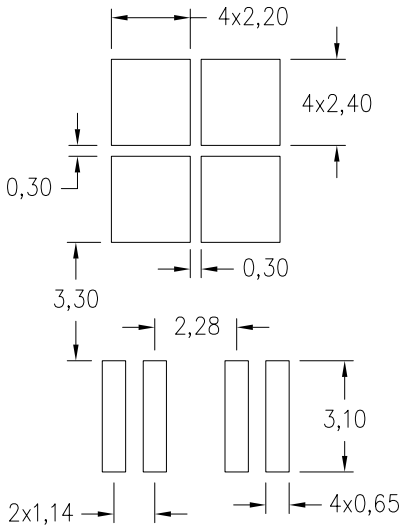
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. The center lead is in electrical contact with the exposed thermal tab.
D. Body Dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.006 (0,15) per side.
E. Falls within JEDEC TO–252 variation AD.

KVU (R–PSFM–G5) PLASTIC FLANGE MOUNT PACKAGE

Example Board Layout



Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



63% solder coverage on center pad

4211592–3/B 03/12

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is an alternate information source for PCB land pattern designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月