TPS7B82-Q1 300mA、高電圧、超低 I_Q、低ドロップアウト・レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ≤ T_A ≤ 125℃
  - 温度グレード 0:-40℃ ≤ T_A ≤ 150℃
- 広い接合部温度範囲:
  - グレード 1: –40°C ≤ T_J ≤ 150°C
  - グレード 0:–40°C ≤ T_J ≤ 165°C
- 小さい静止電流 (I_Q):
  - 300nA シャットダウン時 I_Q
  - 軽負荷時標準値:2.7µA
  - 軽負荷時最大値:5µA
- 3V ～ 40V の広い V_{IN} 入力電圧範囲、最大 45V の過渡電圧に対応
- 最大出力電流:300mA
- 2% の出力電圧精度
- 最大ドロップアウト電圧:固定 5V 出力バージョンで、負荷電流 200mA 時に 700mV
- 低 ESR (0.001Ω ～ 5Ω) のセラミック出力安定化コンデンサ (1µF ～ 200µF) で安定動作
- 2.5V、3.3V、5V の固定出力電圧
- パッケージ:
  - 8 ピン HVSSOP、$R_{\theta JA}$ = 63.9°C/W
  - 6 ピン WSON、$R_{\theta JA}$ = 72.8°C/W
  - 6 ピン WSON ウェッタブルフランク、$R_{\theta JA}$ = 72.8°C/W
  - 5 ピン TO-252、$R_{\theta JA}$ = 31.1°C/W
  - 14 ピン HTSSOP、$R_{\theta JA}$ = 52.0°C/W

2 アプリケーション

- 車載ヘッド・ユニット
- テレマティクス制御ユニット
- ヘッドライト
- 車体制御モジュール
- インバータおよびモータ制御

3 説明

車載用のバッテリ接続アプリケーションでは、消費電力を削減し、バッテリ駆動時間を延長するため、静止電流 (I_Q) が低いことが重要です。常時オンのシステムには超低静止電流 I_Q が不可欠です。

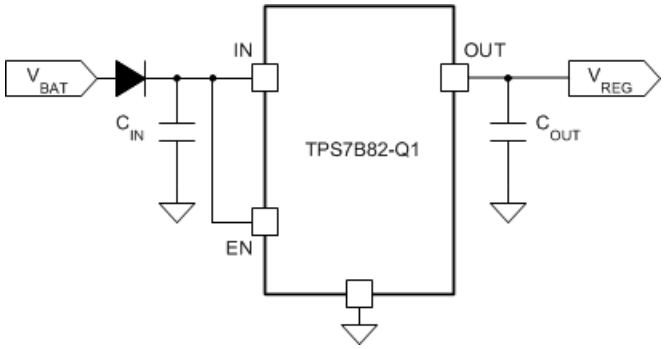
TPS7B82-Q1 は低ドロップアウトのリニア レギュレータであり、3V～40V の広い入力電圧範囲 (45V の負荷ダンプ保護) で動作するよう設計されています。TPS7B82-Q1 は最低 3V で動作するため、コールド クランクおよび始動 - 停止状態の間も動作を継続できます。軽負荷時の標準静止電流がわずか 2.7µA なので、本デバイスはスタンバイ システムのマイクロコントローラ (MCU) や CAN/ LIN トランシーバの電源として最適です。

このデバイスには、短絡および過電流保護機能が内蔵されています。このデバイスは –40℃～+125℃の周囲温度、–40℃～+150℃の接合部温度で動作します。また、このデバイスは高放熱パッケージを採用しているため、デバイスの電力消費が大きくても持続的に動作できます。これらの特長から、このデバイスは各種の車載アプリケーションの電源として設計されていると言えます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B82-Q1	DGN (HVSSOP、8)	3mm × 4.9mm
	DRV (WSON、6)	2mm × 2mm
	DRV (WSON ウェッタブルフランク、6)	2mm × 2mm
	KVU (TO-252、5)	6.6mm × 10.11mm
	PWP (HTSSOP、14)	5mm × 6.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性:グレード 1 のオプション.....5
5.6 電気的特性:グレード 0 のオプション.....6
5.7 代表的特性.....8
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....11
6.3 機能説明.....11
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....13
7.1 アプリケーション情報.....13
7.2 代表的なアプリケーション.....13
7.3 電源に関する推奨事項.....14
7.4 レイアウト.....15
8 デバイスおよびドキュメントのサポート.....16
8.1 デバイスの命名規則.....16
8.2 ドキュメントの更新通知を受け取る方法.....16
8.3 サポート・リソース.....16
8.4 商標.....16
8.5 静電気放電に関する注意事項.....16
8.6 用語集.....16
9 改訂履歴.....16
10 メカニカル、パッケージ、および注文情報.....17

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

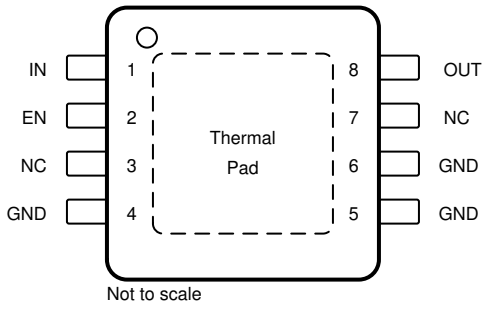


図 4-1. DGN パッケージ、 8 ピン HVSSOP (上面図)

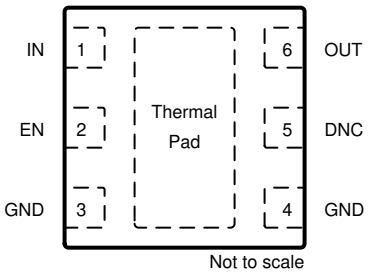


図 4-2. DRV パッケージ、 6 ピン WSON (上面図)

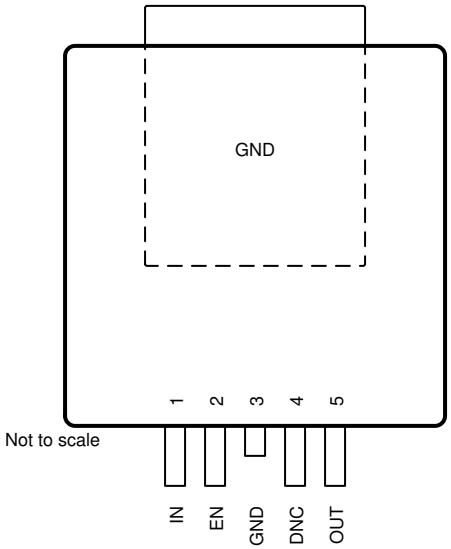


図 4-3. KVU パッケージ、 5 ピン TO-252 (上面図)

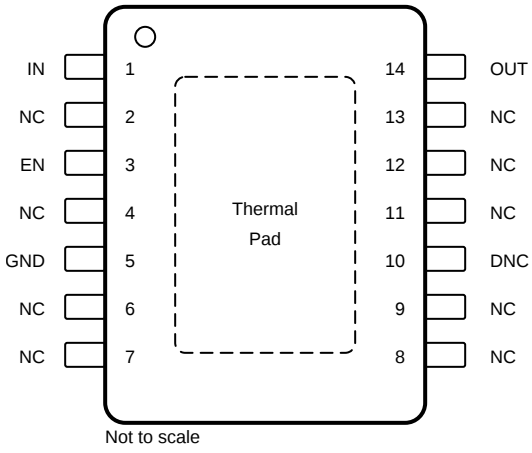


図 4-4. PWP パッケージ、 14 ピン HTSSOP (上面図)

表 4-1. ピンの機能

ピン					タイプ	説明
名称	番号					
	DGN	DRV	KVU	PWP		
DNC	—	5	4	10	—	バイアス電圧に接続しないでください。グランドに接続するか、フローティングのままにします。
EN	2	2	2	3	I	イネーブル入力ピン
GND	4、5、6	3.4	3、TAB	5	—	グランド
IN	1	1	1	1	I	入力電源電圧ピン
NC	3、7	—	—	2、4、6、7、8、9、11、12、13	—	内部接続なし
OUT	8	6	5	14	O	制御された出力電圧ピン
サーマル パッド					—	熱性能を向上させるには、サーマル パッドは大面積の GND プレーンに接続します。

5 仕様

5.1 絶対最大定格

動作時周辺温度範囲全体（特に記述のない限り）(1) (2)

		最小値	最大値	単位
V_{IN}	制御されていない入力(3)	-0.3	45	V
V_{EN}	イネーブル入力(3)	-0.3	V_{IN}	V
V_{OUT}	制御された出力	-0.3	7	V
T_J	接合部温度（グレード 1）	-40	150	°C
	接合部温度（グレード 0）	-40	165	
T_{stg}	保管温度範囲	-40	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての電圧値は、GND を基準としたものです。
(3) 絶対最大電圧、45V に 200ms 耐えます。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル（HBM）、AEC Q100-002 (1) HBM ESD 分類レベル H2 に準拠		±2000	V
		帯電デバイスモデル（CDM）、AEC Q100-011 CDM ESD 分類レベル C3B に準拠	コーナー ピン （1、4、5、8）	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作時周辺温度範囲全体（特に記述のない限り）

		最小値	最大値	単位
V_{IN}	制御されていない入力電圧	3	40	V
V_{EN}	イネーブル入力電圧	0	V_{IN}	V
C_{OUT}	出力コンデンサ要件(1)	1	200	µF
ESR	出力コンデンサ ESR 要件(2)	0.001	5	Ω
T_A	周囲温度（グレード 1）	-40	125	°C
	周囲温度（グレード 0）	-40	150	
T_J	接合部温度（グレード 1）	-40	150	°C
	接合部温度（グレード 0）	-40	165	

(1) 表に指定されている出力容量範囲は実効値です。
(2) f = 10kHz での関連する等価直列抵抗 (ESR) 値。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS7B82-Q1				単位
		DGN (HVSSOP)	DRV (WSON)	KVU (TO-252)	PWP (HTSSOP)	
		8 ピン	6 ピン	5 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	63.9	72.8	31.1	52.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	50.2	85.8	39.9	48.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.6	37.4	9.9	28.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.8	2.7	4.2	2.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	22.3	37.3	9.9	28.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	12.1	13.8	2.8	10.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性：グレード 1 のオプション

V_{IN} = 14V、10µF セラミック出力コンデンサ、グレード 1 オプション、T_J = –40°C から +150°C、動作時周囲温度範囲内（特に記述のない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電圧および電流（IN）							
V_{IN}	入力電圧			$V_{OUT(NOM)}$ + $V_{(Dropout)}$		40	V
$I_{(SD)}$	シャットダウン電流	EN = 0V			0.3	1	µA
$I_{(Q)}$	静止時電流	V_{IN} = 6V から 40V、EN ≥ 2V、I_{OUT} = 0mA	DRV および KVU パッケージ		1.9	3.5	µA
			DGN パッケージ		1.9	5	
		V_{IN} = 6V から 40V、EN ≥ 2V、I_{OUT} = 0.2mA	DRV および KVU パッケージ		2.7	4.5	
			DGN パッケージ		2.7	6.5	
$V_{(IN、UVLO)}$	V_{IN} 低電圧検出	出力が OFF になるまで V_{IN} を下げます				2.7	V
		ヒステリシス			200		mV
イネーブル入力（EN）							
V_{IL}	ロジック入力低レベル					0.7	V
V_{IH}	ロジック入力高レベル			2			V
制御された出力（OUT）							
V_{OUT}	制御された出力	V_{IN} = V_{OUT} + $V_{(Dropout)}$ ～ 40V、I_{OUT} = 1mA ～ 300mA	DRV、KVU パッケージ	-1.5%		1.5%	
			VOUT = 5.0 V の DGN パッケージ	-1.5%		1.5%	
			VOUT = 2.5V および 3.3V の DGN パッケージ	-2%		2%	
$V_{(Line-Reg)}$	ライン レギュレーション	V_{IN} = 6V ～ 40V、I_{OUT} = 10mA				10	mV
$V_{(Load-Reg)}$	負荷の制御	V_{IN} = 14V、I_{OUT} = 1mA ～ 300mA	DRV および KVU パッケージ			10	mV
			DGN パッケージ			20	

5.5 電気的特性：グレード 1 のオプション (続き)

V_{IN} = 14V、10µF セラミック出力コンデンサ、グレード 1 オプション、T_J = –40°C から +150°C、動作時周囲温度範囲内（特に記述のない限り）

パラメータ		テスト条件			最小値	標準値	最大値	単位
$V_{(Dropout)}$	ドロップアウト電圧(1)	$V_{OUT(NOM)}$ = 5V	I_{OUT} = 300mA	DRV および KVU パッケージ		630	1170	mV
				DGN パッケージ			1000	
			I_{OUT} = 200mA	DRV および KVU パッケージ		420	780	
				DGN パッケージ		400	700	
			I_{OUT} = 100mA	DRV および KVU パッケージ		210	390	
				DGN パッケージ		200	350	
		V_{OUT} = 3.3V	I_{OUT} = 300mA	DRV および KVU パッケージ		730	1350	
				DGN パッケージ			1250	
			I_{OUT} = 200mA	DRV および KVU パッケージ		475	900	
				DGN パッケージ			850	
			I_{OUT} = 100mA				450	
I_{OUT}	出力電流	制御された V_{OUT}			0		300	mA
$I_{(CL)}$	出力電流制限	V_{OUT} が 90% × V_{OUT} に短絡			310	510	690	mA
PSRR	電源リップル除去	$V_{(Ripple)}$ = 0.5 V_{PP}、I_{OUT} = 10mA、周波数 = 100Hz、C_{OUT} = 2.2µF				60		dB
OPERATING TEMPERATURE RANGE								
$T_{(SD)}$	接合部のシャットダウン温度					175		°C
$T_{(HYST)}$	サーマル シャットダウンのヒステリシス					20		°C

(1) ドロップアウトは、最低入力電圧制限のため、2.5V 出力では無効です。

5.6 電気的特性：グレード 0 のオプション

V_{IN} = 14V、10µF セラミック出力コンデンサ、グレード 0 オプション（PWP パッケージ）、T_J = –40°C ～ +165°C、動作時周囲温度範囲全体（特に記述のない限り）

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧および電流（IN）						
V_{IN}	入力電圧		$V_{OUT(NOM)}$ + $V_{(Dropout)}$		40	V
$I_{(SD)}$	シャットダウン電流	EN = 0V		0.3	1	µA
$I_{(Q)}$	静止時電流	V_{IN} = 6V から 40V、EN ≥ 2V、I_{OUT} = 0mA		1.9	5	
		V_{IN} = 6V から 40V、EN ≥ 2V、I_{OUT} = 0.2mA		2.7	6.5	µA
$V_{(IN、UVLO)}$	V_{IN} 低電圧検出	出力が OFF になるまで V_{IN} を下げます			2.7	V
		ヒステリシス		200		mV
イネーブル入力（EN）						
V_{IL}	ロジック入力低レベル				0.7	V
V_{IH}	ロジック入力高レベル		2			V
制御された出力（OUT）						

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性：グレード 0 のオプション (続き)

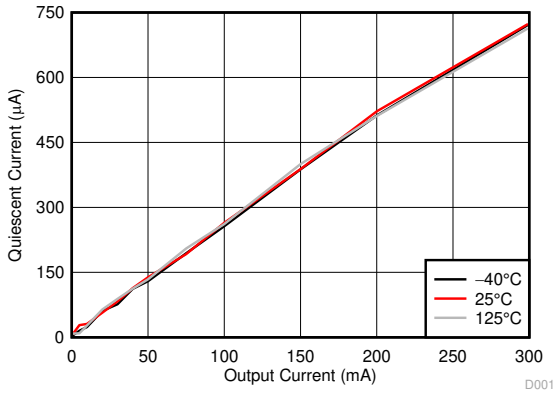
V_{IN} = 14V、10µF セラミック出力コンデンサ、グレード 0 オプション（PWP パッケージ）、T_J = –40°C ～ +165°C、動作時周囲温度範囲全体（特に記述のない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	制御された出力	V_{IN} = V_{OUT} + $V_{(Dropout)}$ ～ 14V、 I_{OUT} = 1mA ～ 300mA		-1.5%		1.5%	
$V_{(Line-Reg)}$	ライン レギュレーション	V_{IN} = 6V ～ 40V、I_{OUT} = 10mA				10	mV
$V_{(Load-Reg)}$	負荷の制御	V_{IN} = 14V、I_{OUT} = 1mA ～ 300mA				20	mV
$V_{(Dropout)}$	ドロップアウト電圧(1)	$V_{OUT(NOM)}$ = 5V	I_{OUT} = 300mA		630	1170	mV
			I_{OUT} = 200mA		420	780	
			I_{OUT} = 100mA		210	390	
		V_{OUT} = 3.3V	I_{OUT} = 300mA		730	1350	
			I_{OUT} = 200mA		475	900	
			I_{OUT} = 100mA			450	
I_{OUT}	出力電流	制御された V_{OUT}		0		300	mA
$I_{(CL)}$	出力電流制限	V_{OUT} が 90% × V_{OUT} に短絡		310	510	690	mA
PSRR	電源リップル除去	$V_{(Ripple)}$ = 0.5 V_{PP}、I_{OUT} = 10mA、周波数 = 100Hz、C_{OUT} = 2.2µF			60		dB
OPERATING TEMPERATURE RANGE							
$T_{(SD)}$	接合部のシャットダウン温度				185		°C
$T_{(HYST)}$	サーマル シャットダウンのヒステリシス				20		°C

Copyright © 2025 Texas Instruments Incorporated

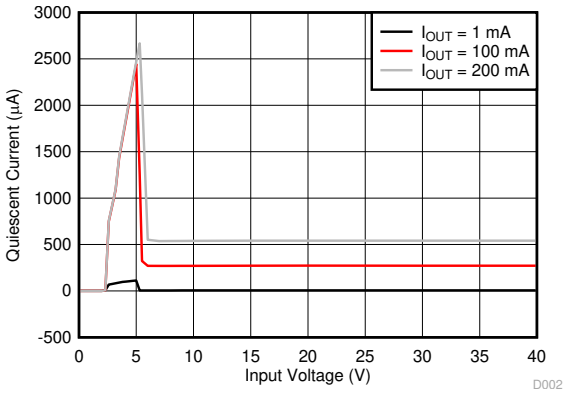
5.7 代表的特性

V_{IN} = 14V、V_{EN} ≥ 2V、T_J = –40°C から 150°C（特に記述のない限り）



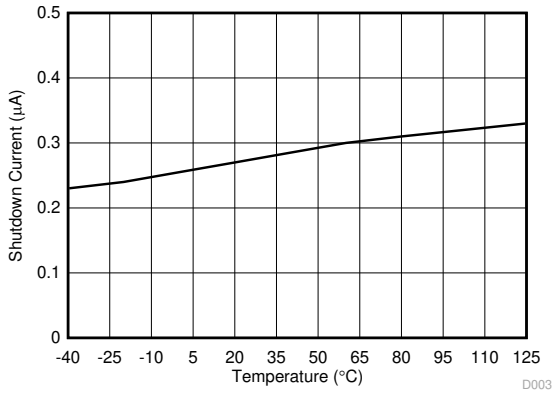
V_{OUT} = 5V

図 5-1. 静止電流と出力電流との関係



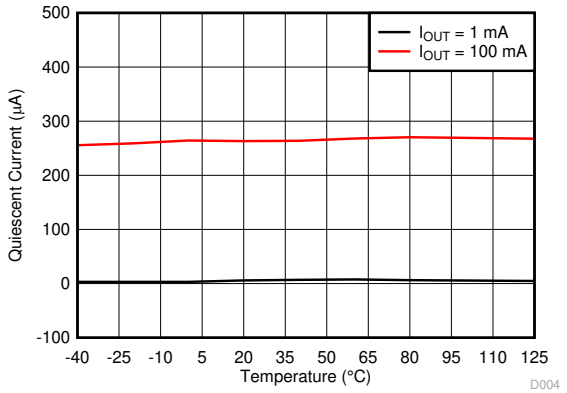
V_{OUT} = 5V

図 5-2. 静止電流と入力電圧との関係



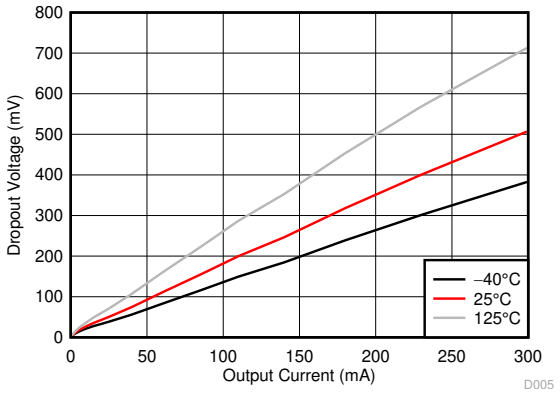
V_{EN} = 0V

図 5-3. シャットダウン電流と周囲温度との関係



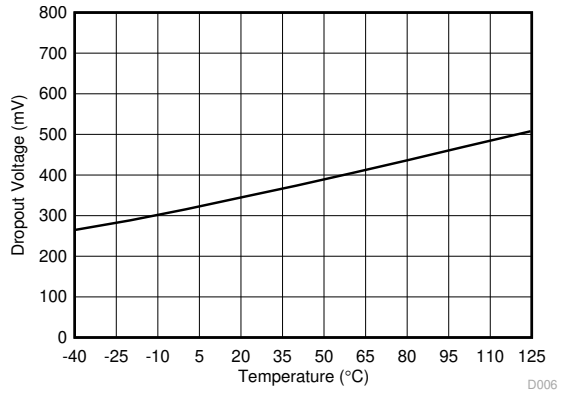
V_{OUT} = 5V

図 5-4. 静止電流と周囲温度の関係



V_{IN} = 5V、5V 固定出力、$V_{(Dropout)} = V_{IN} – V_{OUT}$

図 5-5. ドロップアウト電圧と出力電流との関係



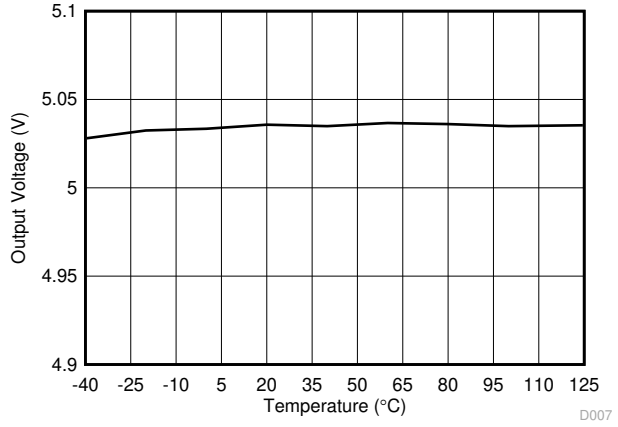
V_{IN} = 5V、5V 固定出力、$V_{(Dropout)} = V_{IN} – V_{OUT}$

図 5-6. ドロップアウト電圧と周囲温度との関係

Copyright © 2025 Texas Instruments Incorporated

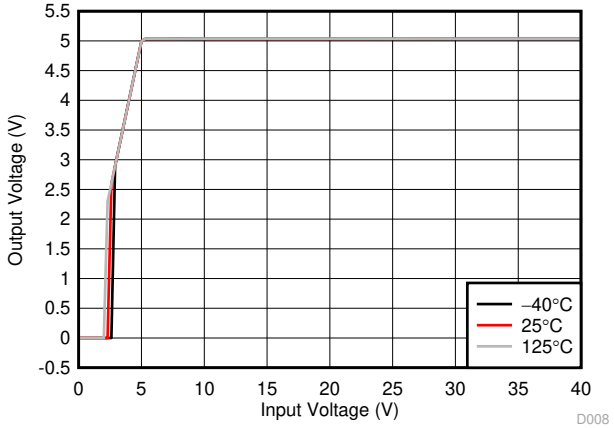
5.7 代表的特性 (続き)

V_{IN} = 14V、V_{EN} ≥ 2V、T_J = –40°C から 150°C（特に記述のない限り）



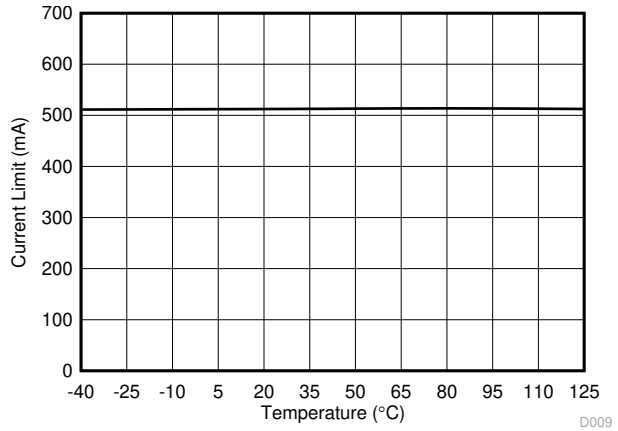
V_{OUT} = 5V

図 5-7. 出力電圧と周囲温度との関係



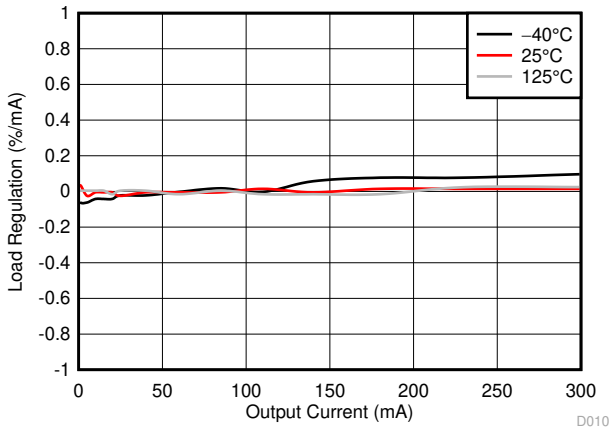
V_{OUT} = 5V、I_{OUT} = 1mA

図 5-8. 出力電圧と入力電流との関係



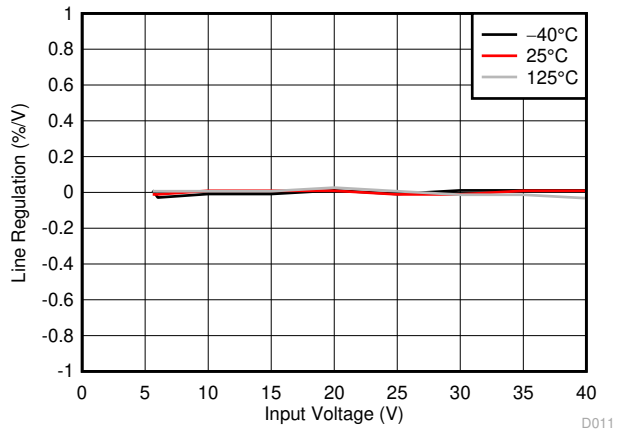
V_{IN} = 14V、V_{OUT} は、90% × V_{OUT} に短絡

図 5-9. 出力電流制限と周囲温度との関係



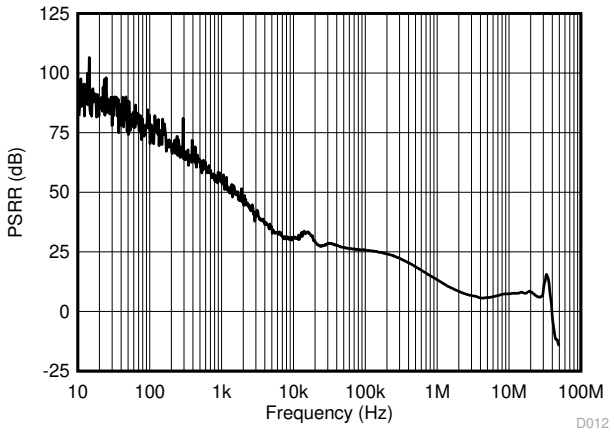
V_{OUT} = 5V

図 5-10. 負荷の制御



V_{OUT} = 5V、I_{OUT} = 10mA

図 5-11. ライン レギュレーション



I_{OUT} = 10mA

図 5-12. PSRR と周波数との関係

5.7 代表的特性 (続き)

V_{IN} = 14V、V_{EN} ≥ 2V、T_J = –40°C から 150°C（特に記述のない限り）

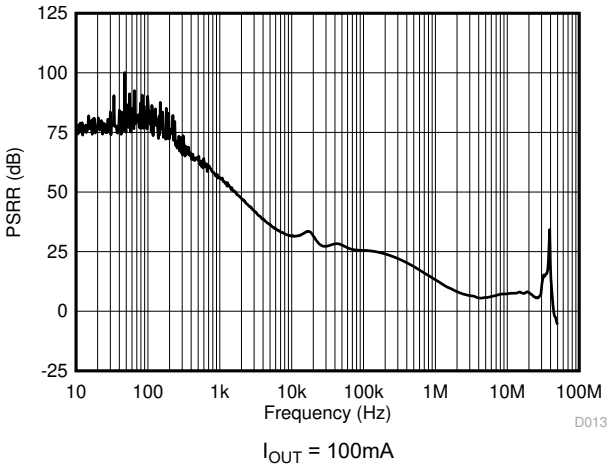


図 5-13. PSRR と周波数との関係

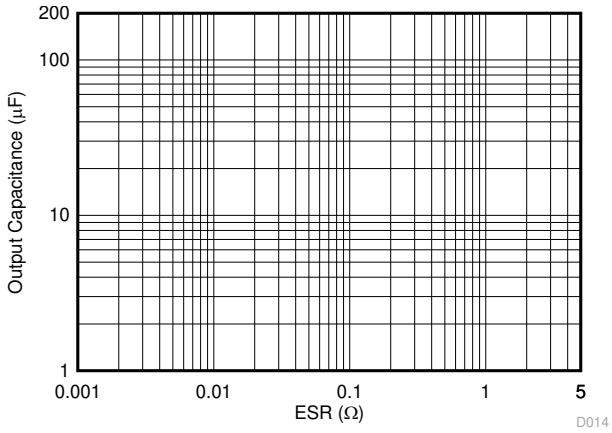


図 5-14. 出力容量と ESR 安定性との関係

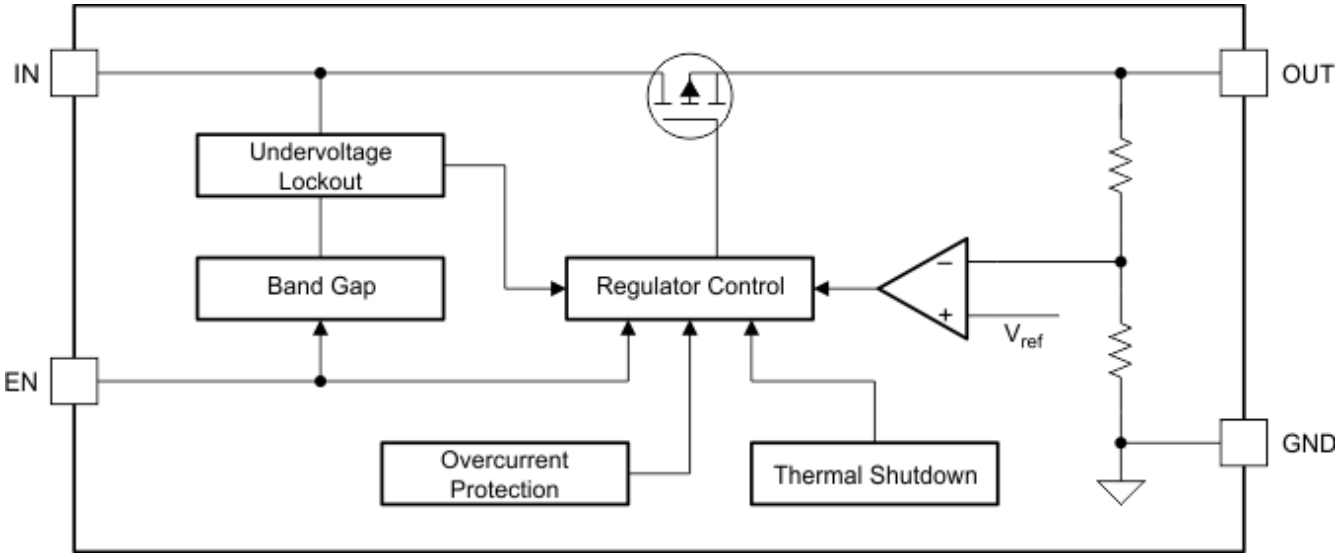
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS7B82-Q1 は、超低静止電流を実現する 40V、300mA の低ドロップアウト（LDO）リニアレギュレータです。この電圧レギュレータは、軽負荷時の静止電流がわずか 3µA であり、車載用の常時オンアプリケーション向けに設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 デバイス イネーブル (EN)

EN ピンは、高電圧対応のピンです。高入力でデバイスがアクティブになり、レギュレーションがオンになります。このピンを外部マイクロコントローラまたはデジタル回路に接続して、デバイスをイネーブル/ディセーブルするか、または自己バイアスアプリケーションの IN ピンに接続します。

6.3.2 低電圧シャットダウン

このデバイスには入力電圧（V_{IN}）が内部 UVLO しきい値（$V_{(UVLO)}$）を下回った場合に出力をシャットダウンする低電圧ロックアウト（UVLO）回路が内蔵されています。このしきい値制限が、低入力電圧状態のときにレギュレータが未知の状態にラッチされることを防止します。入力電圧に負のトランジェント電圧が生じて UVLO しきい値を下回り、その後で回復した場合、レギュレータはシャットダウンした後、入力電圧が必要レベル以上であるときの通常の電源オンシーケンスで、再度オンになります。

6.3.3 電流制限

このデバイスには、過負荷または出力からグランドへの短絡状態が発生した場合に、デバイスを安全な動作領域に維持するための電流制限保護機能が搭載されています。この制限は、過剰な電力消費からデバイスを保護します。たとえば、出力短絡状態の間、フォルト保護機能はパス素子を流れる電流を $I_{(LIM)}$ に制限し、過剰な電力消費からデバイスを保護します。

6.3.4 サーマル シャットダウン

本デバイスには、過熱状態からの保護のため、サーマル シャットダウン（TSD）回路が組み込まれています。連続した通常動作では、接合部温度が TSD トリップポイントを超えないようにする必要があります。接合部温度が TSD トリップポイントを超えると、出力がオフになります。接合部の温度が、TSD トリップポイントからサーマルシャットダウンヒステリシスを引いた値より下回ると、出力が再度オンになります。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 V_{IN} < 3V での動作

本デバイスは通常、3V を超える入力電圧で動作します。また、より低い入力電圧でも動作でき、最大 UVLO 電圧は 2.7V です。実際の UVLO 電圧より低い入力電圧では、本デバイスは動作しません。

6.4.2 V_{IN} > 3V での動作

V_{IN} > 3V で、V_{IN} も出力設定値とデバイスのドロップアウト電圧を加算した値よりも高い場合、V_{OUT} は設定値と等しくなります。それ以外の場合、V_{OUT} は、V_{IN} からドロップアウト電圧を引いた値と等しくなります。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS7B82-Q1 は、超低静止電流を実現する 300mA、40V の低ドロップアウトリニアレギュレータです。PSpice トランジェントモデルは、製品フォルダからダウンロードでき、デバイスの基本機能を評価するために使用できます。

7.2 代表的なアプリケーション

図 7-1 に、TPS7B82-Q1 の代表的なアプリケーション回路を示します。エンドアプリケーションによっては、値の異なる外付けコンポーネントを使用できます。アプリケーションによっては、出力電圧の大幅な降下を防止するために、高速負荷ステップ時に、より大きな出力コンデンサが必要になる場合があります。タイプ X5R または X7R の誘電体を使用した低 ESR のセラミック コンデンサを使用してください。

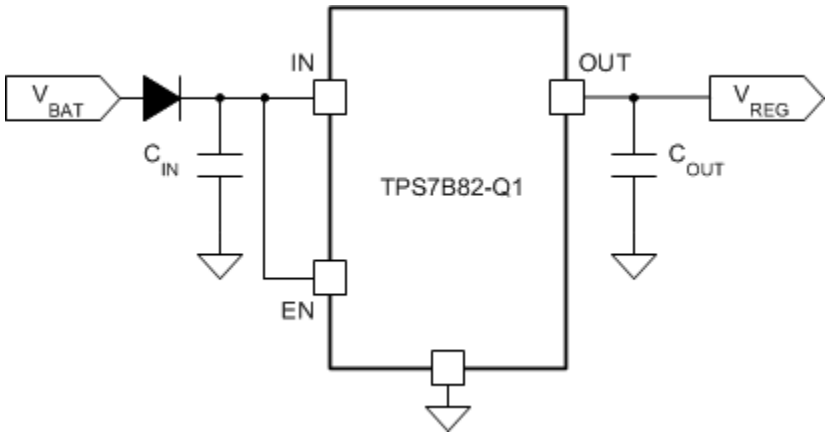


図 7-1. TPS7B82-Q1 の代表的なアプリケーション回路

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 設計要件パラメータ

パラメータ	値
入力電圧範囲	3V ～ 40V
出力電圧	5V または 3.3V
出力電流	300mA 以下

7.2.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
- 出力電圧
- 出力電流

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 入力コンデンサ

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間に 10 µF ～ 22 µF のコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル除去、PSRR を改善します。電圧定格は、最大入力電圧を上回る必要があります。

7.2.2.2 出力コンデンサ

TPS7B82-Q1 の安定性を確保するため、デバイスには 1µF ～ 200µF の範囲の値と ESR 範囲が 0.001Ω ～ 5Ω の出力コンデンサが必要です。負荷トランジェント応答を改善するため、低 ESR のセラミックコンデンサを選択してください。

7.2.3 アプリケーション曲線

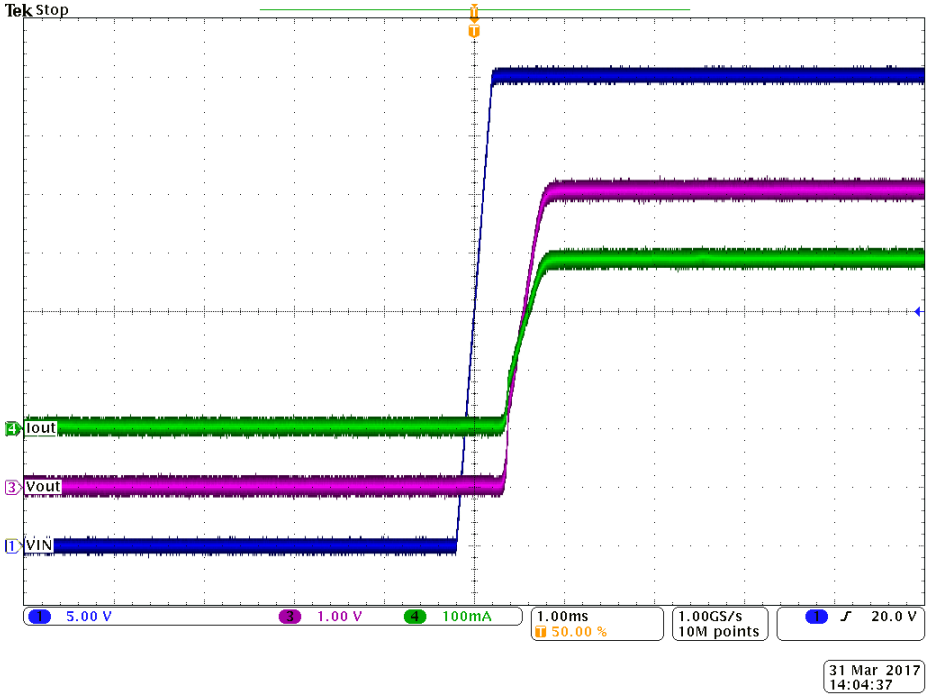


図 7-2. TPS7B82-Q1 のパワーアップ波形（5V）

7.3 電源に関する推奨事項

このデバイスは、3V から 40V の入力電圧範囲で動作するよう設計されています。この入力電源を適切に制御する必要があります。入力電源が TPS7B82-Q1 から数インチ以上離れている場合は、入力に 0.1µF のバイパスコンデンサと並列して 10µF 以上のコンデンサを追加することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

LDO 電源、特に高電圧で出力電流の大きい電源の場合、レイアウトは重要なステップです。レイアウトが慎重に設計されていないと、熱的制限が原因で、レギュレータが十分な出力電流を供給できない場合があります。デバイスの熱性能を向上させ、高い周囲温度での電流出力を最大化するために、サーマルパッド下の銅をできるだけ広げ、サーマルパッド下の銅上に十分なサーマルビアを配置します。図 7-3 にレイアウト例を示します。

7.4.2 レイアウト例

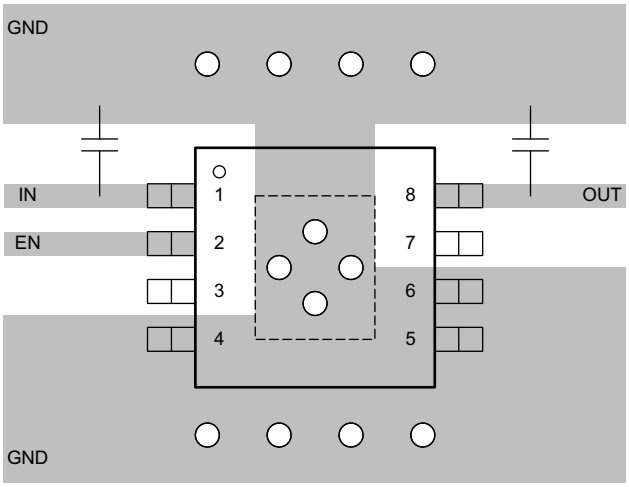


図 7-3. TPSB82-Q1 のレイアウト図例

8 デバイスおよびドキュメントのサポート

8.1 デバイスの命名規則

表 8-1. 利用可能なオプション

製品(1)	説明
TPS7B82**xx**Q(W)***yyyz***Q1	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。 **yyy** はパッケージ指定子です。 **z** はリール数量です。 **Q1** は、このデバイスが車載グレード(AEC-Q100)デバイスであることを示しています。
TPS7B82**xx**E ***yyyz***Q1	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **E** は、AEC-Q100 規格のグレード 0 に準拠したデバイスであることを表します。 **yyy** はパッケージ指定子です。 **z** はリール数量です。 **Q1** は車載グレード (AEC-Q100) デバイスであることを表します。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (August 2023) to Revision K (September 2025)	Page
• 文書に WSON ウェッタブルフランク(DRV)パッケージを追加	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision I (September 2017) to Revision J (August 2023) **Page**

- *電気的特性表の* V_{OUT} パラメータテスト条件を変更 5
- *「デバイス命名規則」*セクションを追加 16

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8225QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1QFX
TPS7B8225QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	See TPS7B8225QDGNRQ1	1QFX
TPS7B8233EPWPRQ1	Active	Production	HTSSOP (PWP) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 165	7B8233E
TPS7B8233EPWPRQ1.A	Active	Production	HTSSOP (PWP) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	See TPS7B8233EPWPRQ1	7B8233E
TPS7B8233QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1GGX
TPS7B8233QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	See TPS7B8233QDGNRQ1	1GGX
TPS7B8233QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1ORH
TPS7B8233QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See TPS7B8233QDRVRQ1	1ORH
TPS7B8233QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8233Q1
TPS7B8233QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TPS7B8233QKVURQ1	7B8233Q1
TPS7B8233QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NIH
TPS7B8250EPWPRQ1	Active	Production	HTSSOP (PWP) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 165	7B8250E
TPS7B8250EPWPRQ1.A	Active	Production	HTSSOP (PWP) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	See TPS7B8250EPWPRQ1	7B8250E
TPS7B8250QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	19TX
TPS7B8250QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	See TPS7B8250QDGNRQ1	19TX
TPS7B8250QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1UFH
TPS7B8250QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See TPS7B8250QDRVRQ1	1UFH
TPS7B8250QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8250Q1
TPS7B8250QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TPS7B8250QKVURQ1	7B8250Q1
TPS7B8250QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NJH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

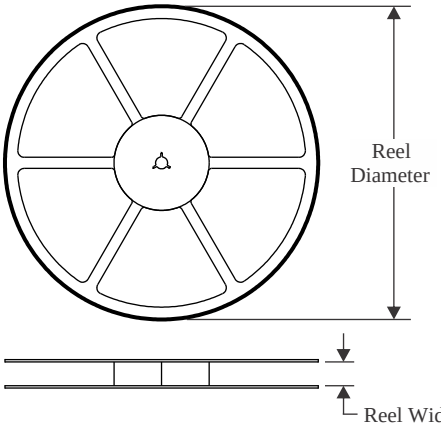
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

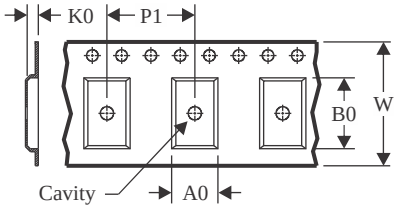
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

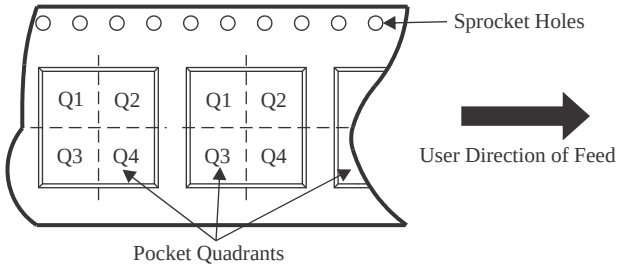


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

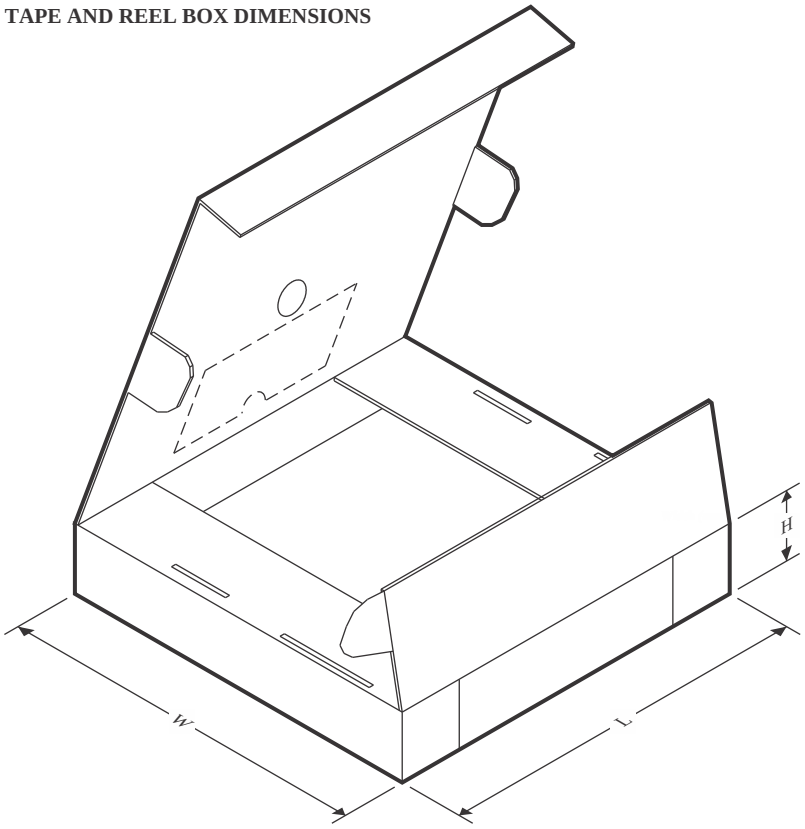
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8225QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8233EPWPRQ1	HTSSOP	PWP	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS7B8233QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8233QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8233QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8233QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8250EPWPRQ1	HTSSOP	PWP	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS7B8250QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8250QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8250QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8250QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS

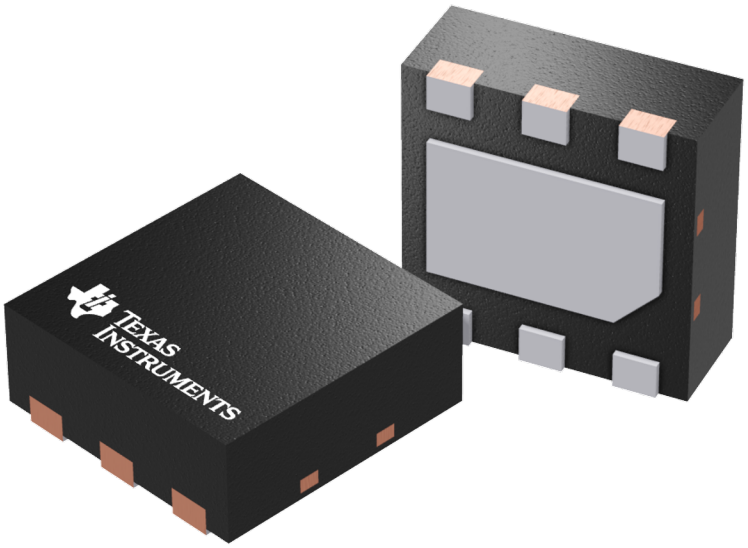


*All dimensions are nominal

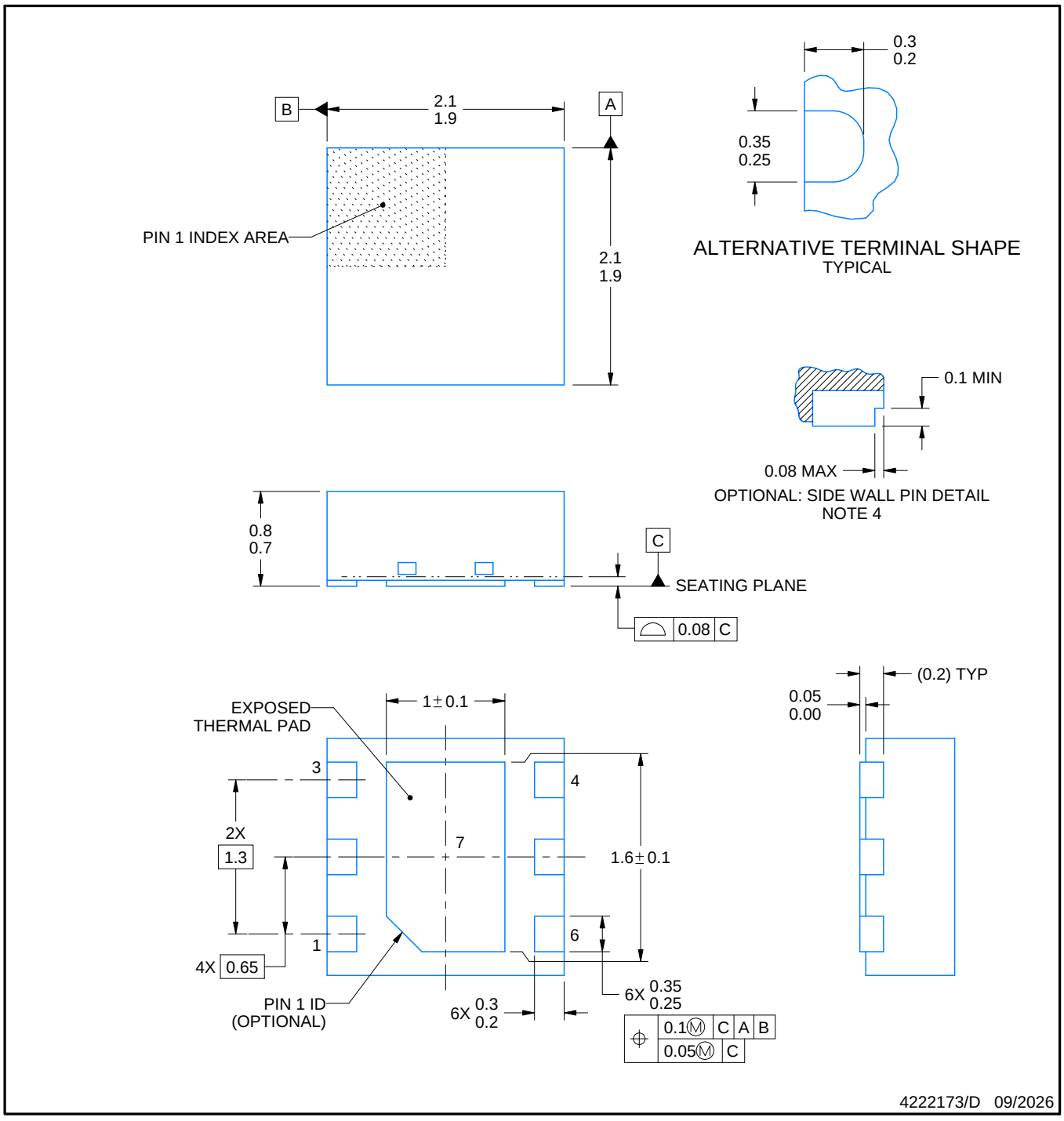
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8225QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8233EPWPRQ1	HTSSOP	PWP	14	2500	353.0	353.0	32.0
TPS7B8233QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8233QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8233QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8233QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8250EPWPRQ1	HTSSOP	PWP	14	2500	353.0	353.0	32.0
TPS7B8250QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8250QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8250QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8250QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

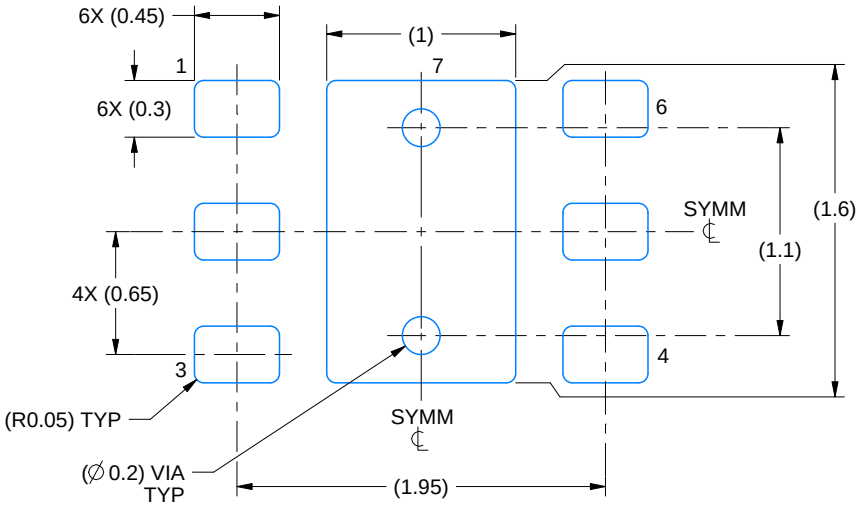


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

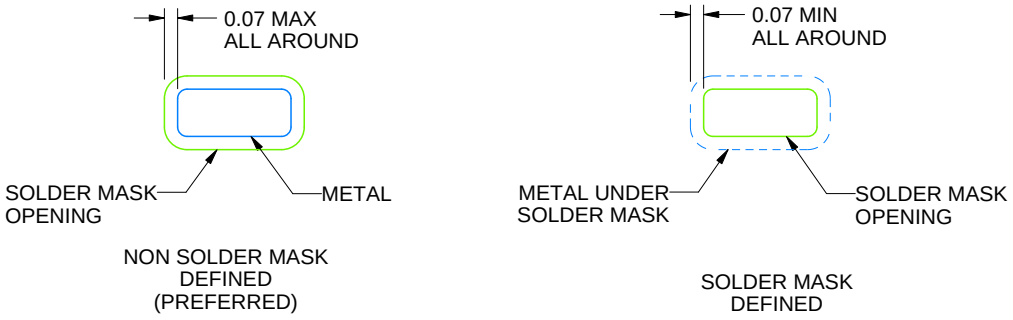


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

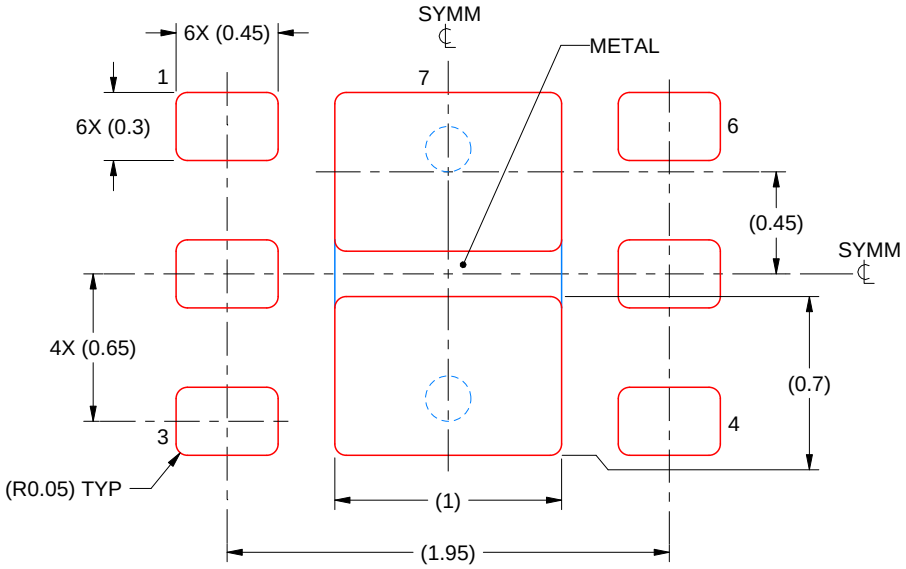


SOLDER MASK DETAILS

4222173/D 09/2026

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

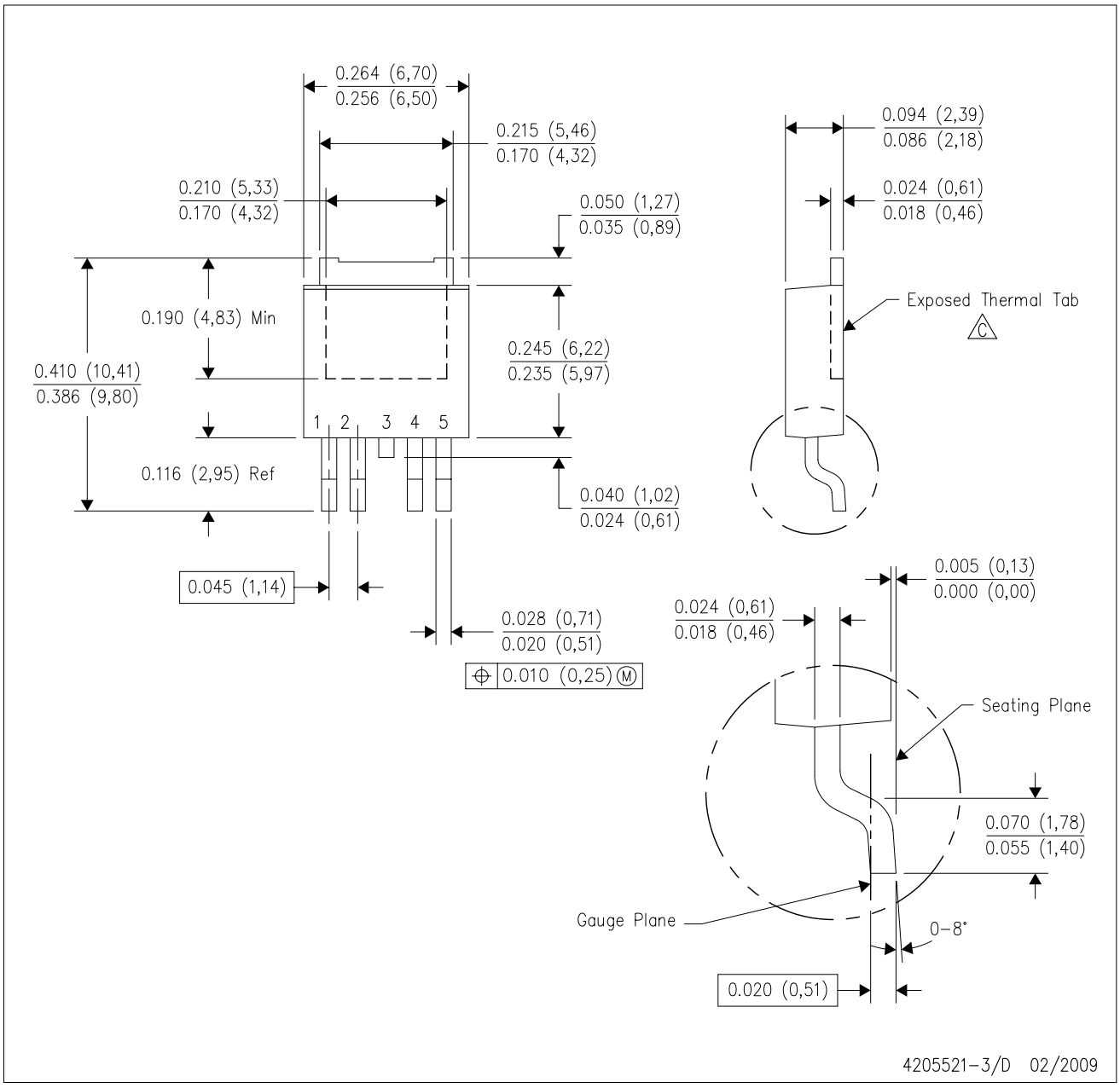
EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/D 09/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

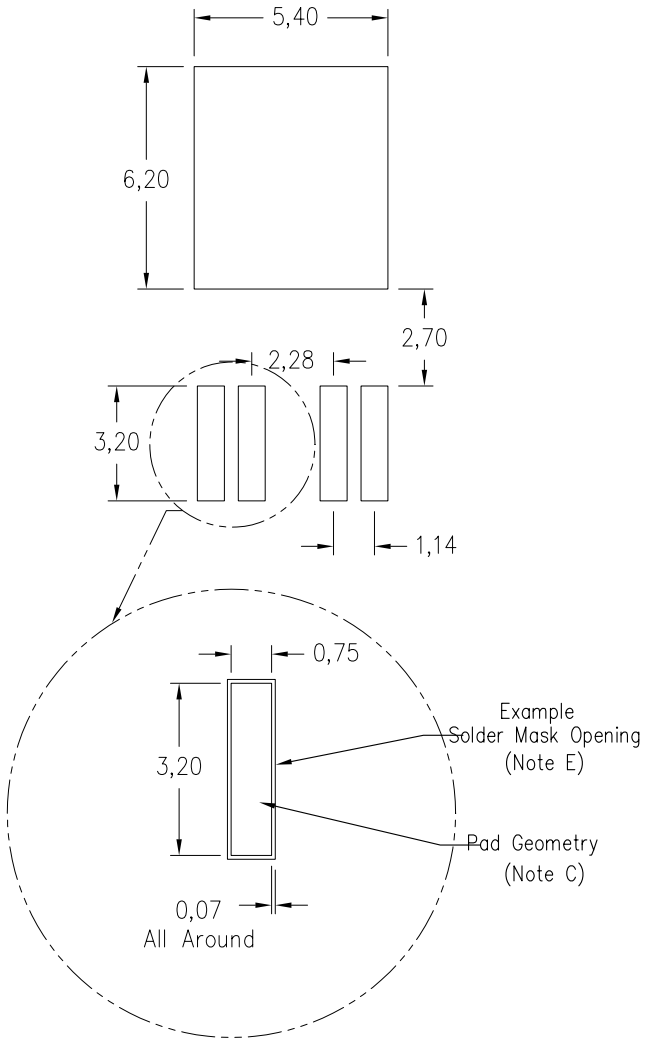
KVU (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



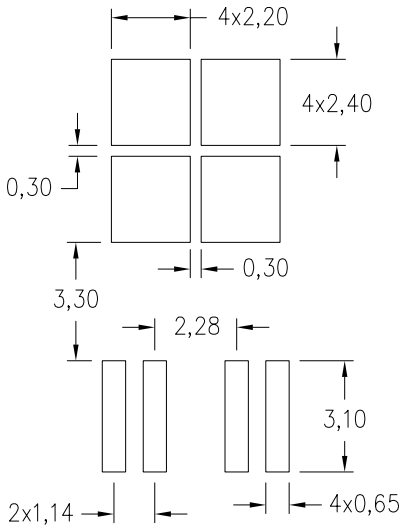
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. The center lead is in electrical contact with the exposed thermal tab.
D. Body Dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.006 (0,15) per side.
E. Falls within JEDEC TO–252 variation AD.

KVU (R–PSFM–G5) PLASTIC FLANGE MOUNT PACKAGE

Example Board Layout



Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



63% solder coverage on center pad

4211592–3/B 03/12

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is an alternate information source for PCB land pattern designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.

GENERIC PACKAGE VIEW

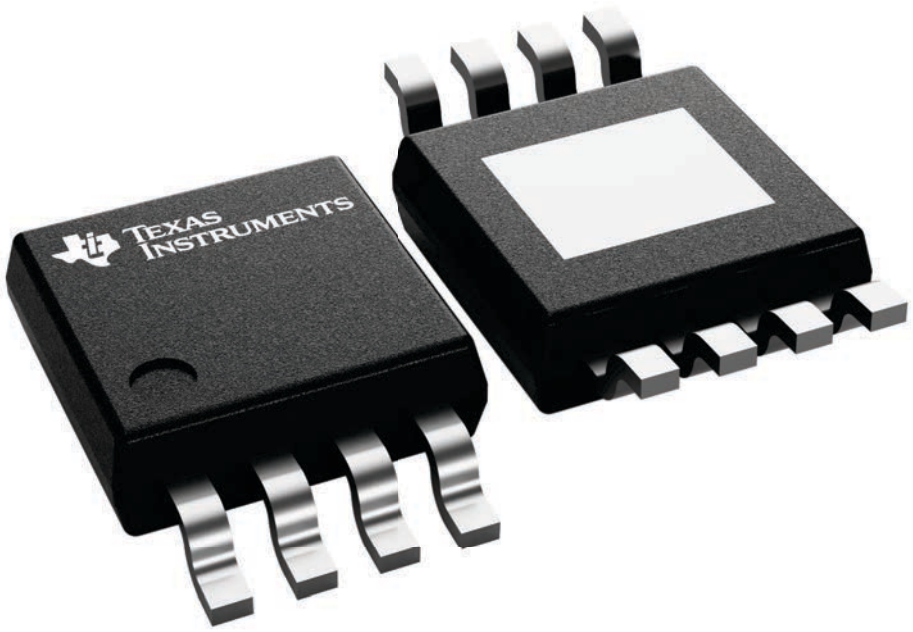
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

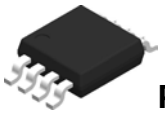
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

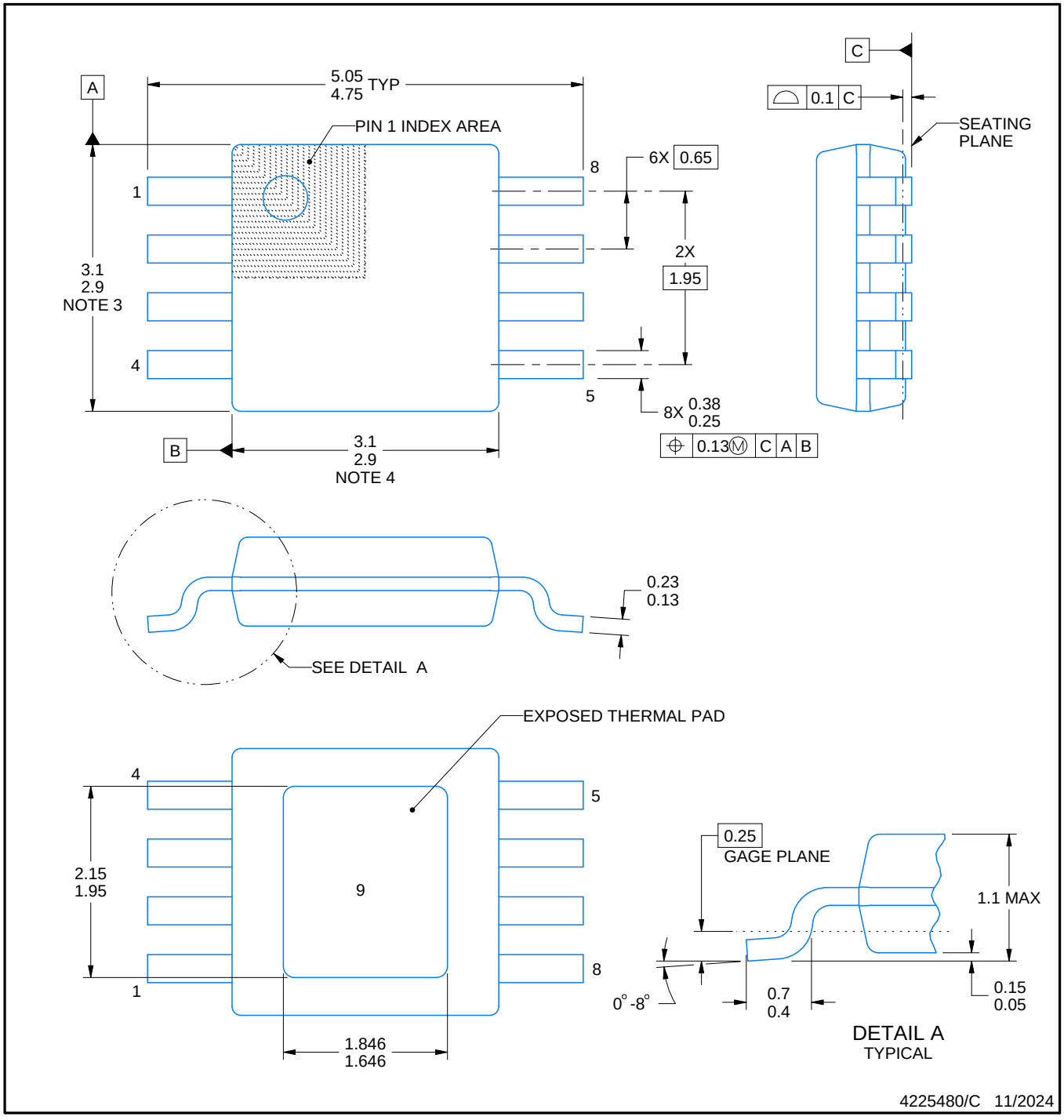
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

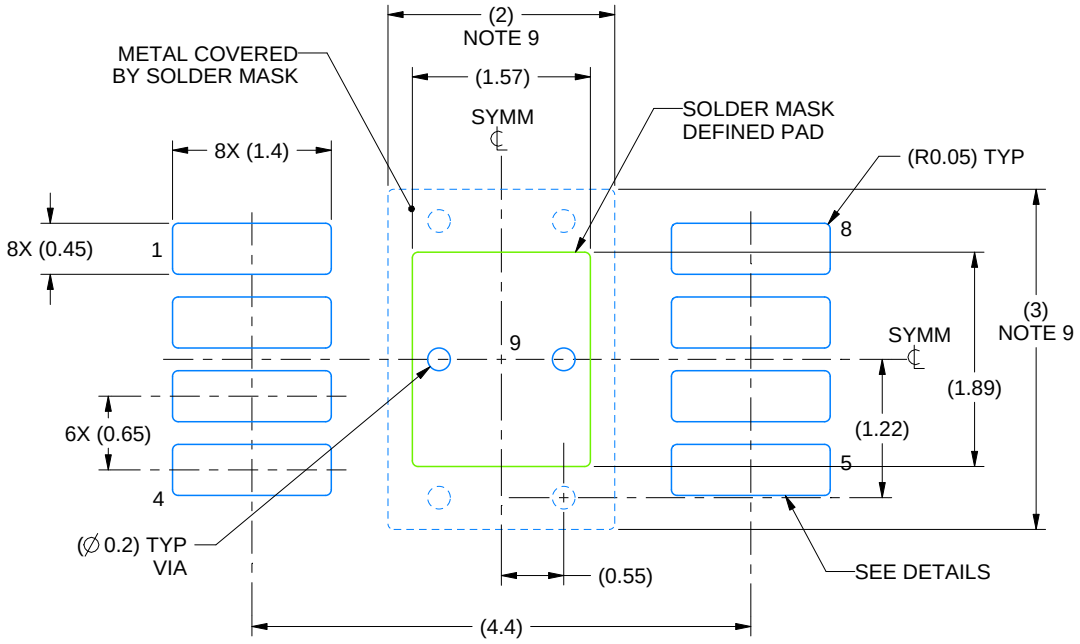
SMALL OUTLINE PACKAGE



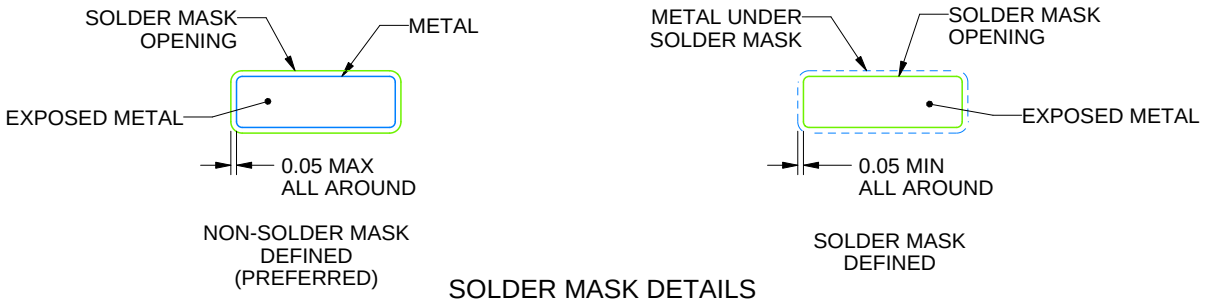
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

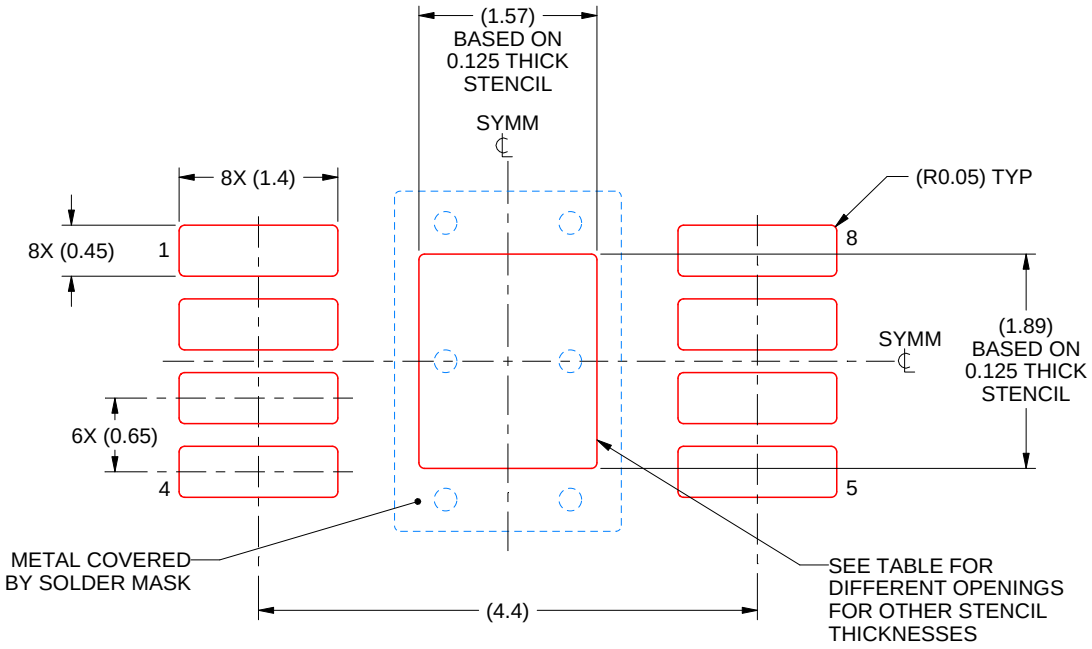


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

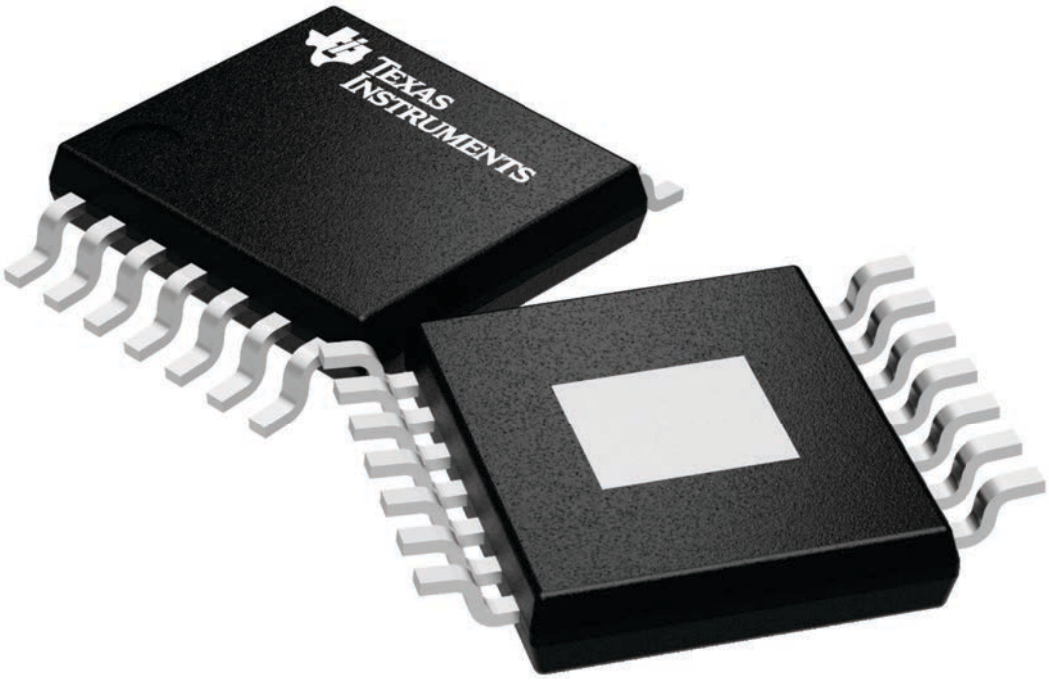
PWP 14

PowerPAD TSSOP - 1.2 mm max height

4.4 x 5.0, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



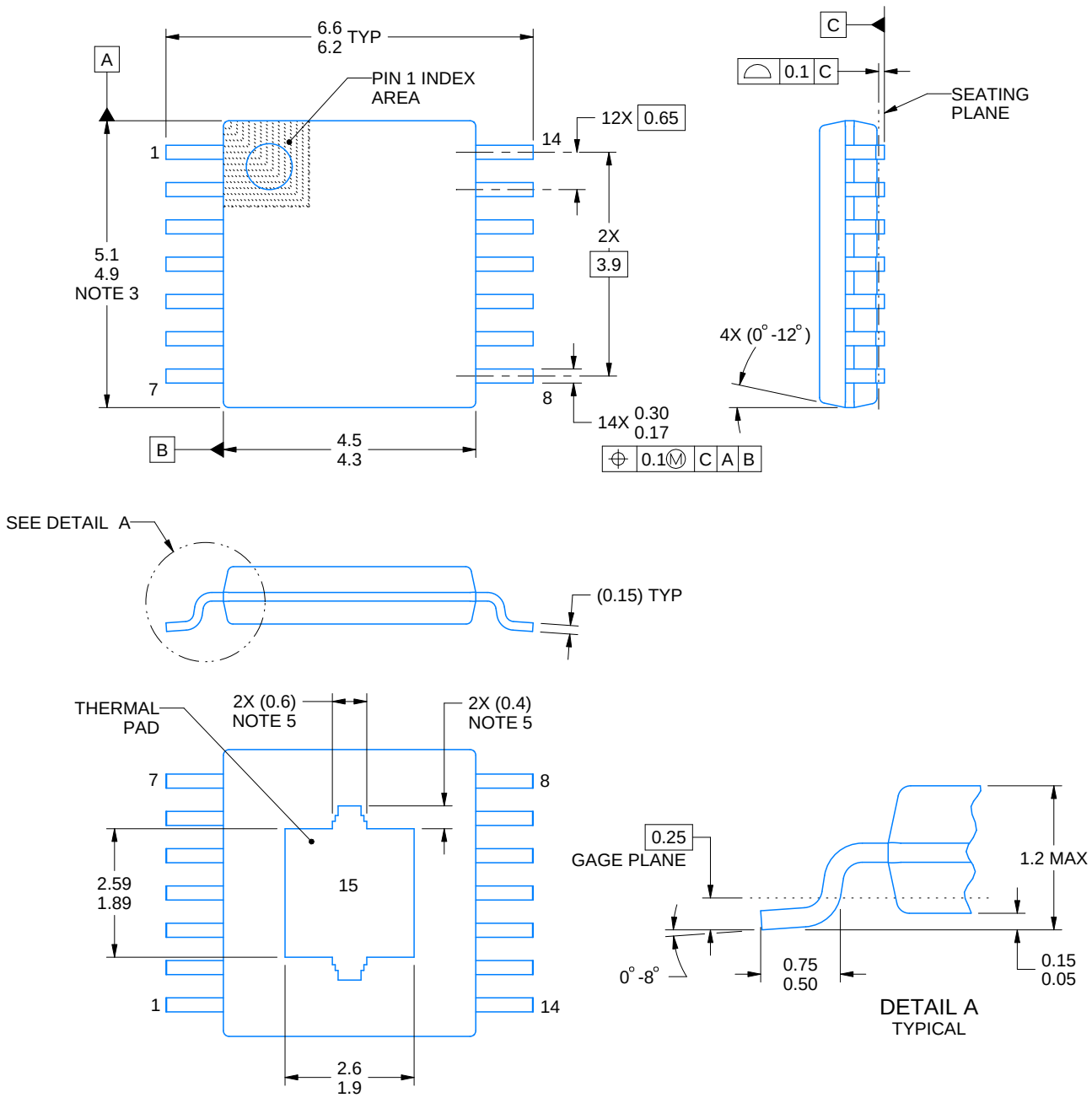
4224995/A

PACKAGE OUTLINE

PWP0014K

PowerPAD™ TSSOP - 1.2 mm max height

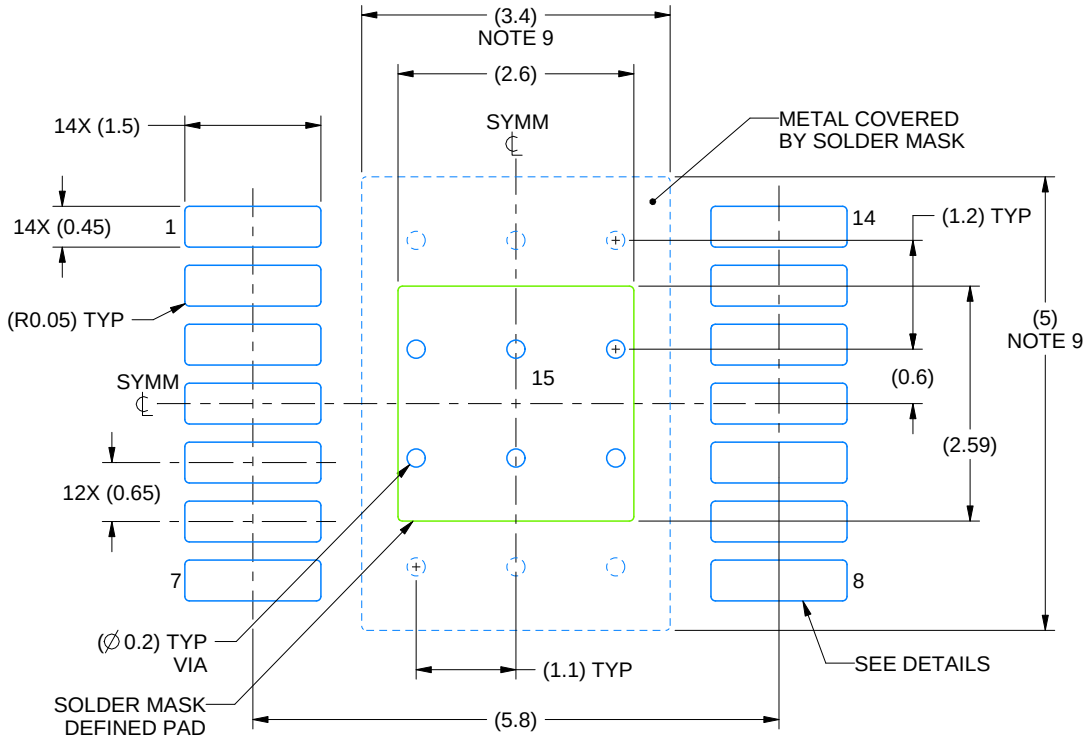
SMALL OUTLINE PACKAGE



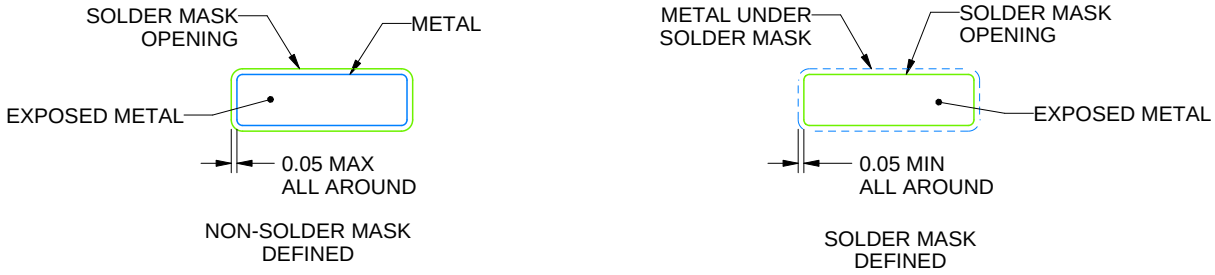
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

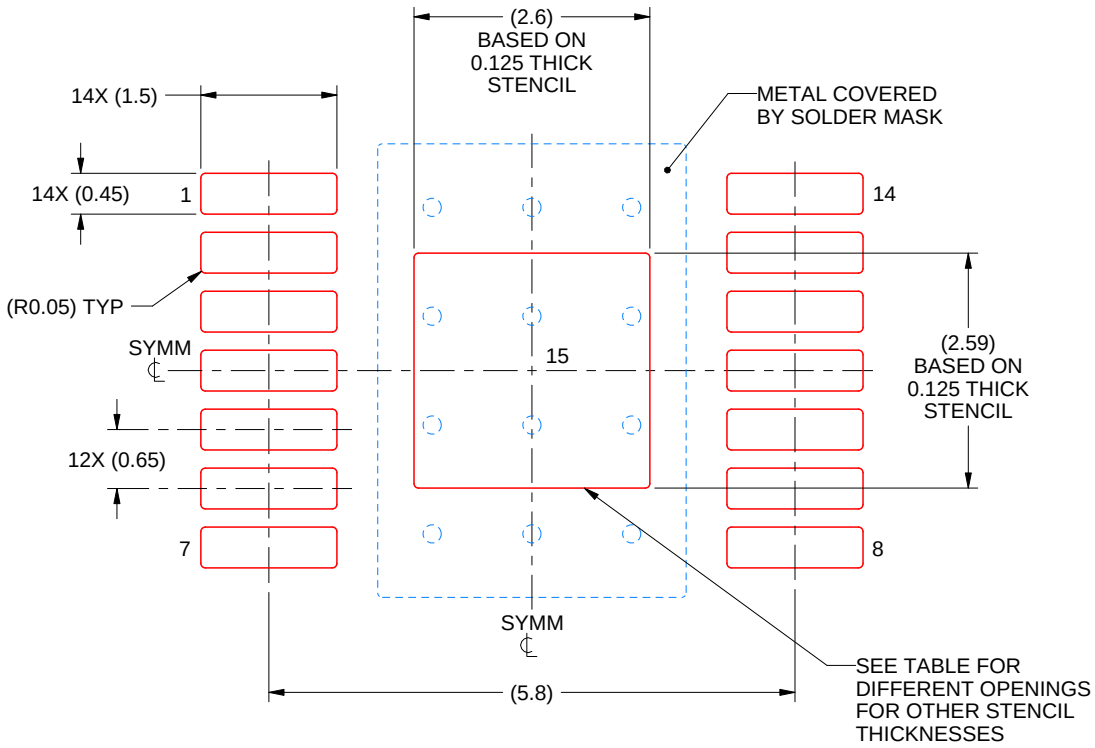


SOLDER MASK DETAILS

4229706/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 2.90
0.125	2.60 X 2.59 (SHOWN)
0.15	2.37 X 2.36
0.175	2.20 X 2.19

4229706/B 12/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月