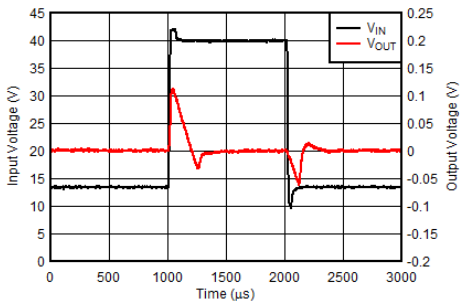
TPS7B85-Q1 車載、150mA、40V、低ドロップアウト レギュレータ パワー グッドおよび内蔵電圧監視機能搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40°C ～ +125°C、T_A
  - 接合部温度:–40°C～+150°C、T_J
- 入力電圧範囲:3 V～40 V (最高 42 V)
- 出力電圧範囲:3.3V および 5V (固定)
- 出力電流:最大 150mA
- 出力電圧精度:誤差 ±0.75% 以下
- Low ドロップアウト電圧:
  - 150mA で 225mV 以下 (V_{OUT} ≥ 3.3V)
- 低い静止電流:
  - 18 µA (標準値)
  - ディセーブル時:4µA 以下
- 優れたライン過渡応答:
  - V_{OUT} の ±2% の偏差 (コールド クランク時)
  - V_{OUT} の ±2% の偏差 (1V/µs の V_{IN} スルーレート)
- 電圧検出機能を内蔵
- 調整可能なスレッショルドとプログラム可能な遅延時間を備えたパワー グッド
- 2.2µF 以上のコンデンサで安定
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- パッケージ:サーマル パッド付きの 10 ピン VSON
  - 低い熱抵抗 ($R_{\theta JA}$): 50.3°C/W

2 アプリケーション

- 再構成可能インストルメント クラスタ
- 車体制御モジュール (BCM)
- 常時オンのバッテリ接続アプリケーション:
  - 車載ゲートウェイ
  - リモート キーレス エントリ (RKE)



ライン過渡応答 (3V/µs の V_{IN} スルーレート)

3 説明

TPS7B85-Q1 は、車載用アプリケーションのバッテリに接続するように設計された低ドロップアウト リニア レギュレータです。このデバイスの入力電圧範囲は 40V まで拡張されているため、車載用システムで予測される過渡現象 (負荷ダンプなど) にも耐えられます。このデバイスは静止電流がわずか 18µA であることから、スタンバイ システムのマイコン (MCU) や CAN (コントローラ エリア ネットワーク) トランシーバなどの常時オンのコンポーネントへの電力供給に最適なソリューションです。

このデバイスは、負荷やラインの変動 (例:コールド クランク条件時) に出力が素早く応答できる最先端の過渡応答性能を備えています。またこのデバイスは、ドロップアウトからの回復時に出力オーバーシュートを最小限に抑える革新的なアーキテクチャを採用しています。通常動作時は、ライン、負荷、温度の全範囲にわたって誤差 ±0.75% の高い DC 精度を維持します。

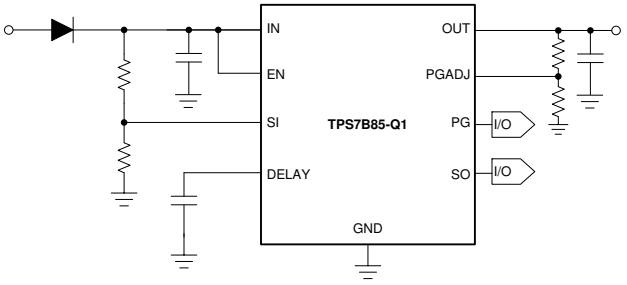
TPS7B85-Q1 はパワー グッドおよび電圧監視機能を内蔵しています。パワー グッドの遅延時間と電圧スレッショルドは、外付け部品で調整できます。内蔵電圧検出器を使用して入力電圧を監視し、バッテリ電圧が低下し始めた際に下流の部品 (マイコンなど) にアラートを発行できます。

このデバイスは、小型 PCB (プリント基板) 設計に適した小型の VSON パッケージで供給されます。熱抵抗が低いため、デバイス全体で大きな発熱があっても持続して動作できます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPS7B85-Q1	VSON (10)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....6
5.7 代表的特性.....7
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....15
6.3 機能説明.....16
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 使用上の注意.....20
7.2 代表的なアプリケーション.....28
7.3 電源に関する推奨事項.....29
7.4 レイアウト.....29
8 デバイスおよびドキュメントのサポート.....31
8.1 デバイス サポート.....31
8.2 ドキュメントの更新通知を受け取る方法.....31
8.3 サポート・リソース.....31
8.4 商標.....31
8.5 静電気放電に関する注意事項.....31
8.6 用語集.....31
9 改訂履歴.....32
10 メカニカル、パッケージ、および注文情報.....32

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

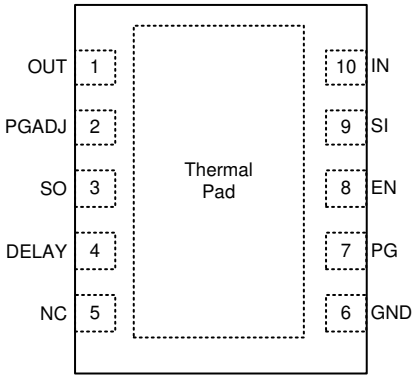


図 4-1. DRC パッケージ、10 ピン VSON(上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	DRC		
遅延	4	O	パワーグッド遅延調整ピン。PG リセット遅延を設定するには、このピンから GND にコンデンサを接続します。デフォルト $t_{(DLY_FIX)}$ 遅延を発生させないように、このピンはフロートのままにしてください。詳細については、パワー グッドセクションを参照してください。この機能が不要な場合は、このピンを GND に接続すると GND 電流が永続的に増加するため、このピンをフローティングのままにします。
EN	8	I	イネーブル ピン。イネーブル ピンがイネーブル ロジック入力 Low レベル (V_{IL}) よりも低いとき、デバイスはディスエーブルになります。デバイスを確実にイネーブルにするには、EN ピンをロジック high レベル (V_{IH}) より高い電圧に駆動する必要があります。このピンはフローティングのままにしないでください。フローティングにするとハイ インピーダンスになり、デバイスがイネーブルまたはディスエーブルになる可能性があります。
GND	6	G	グランド ピン。このピンは、低インピーダンス接続のサーマルパッドに接続します。
NC	5	—	内部接続なし熱抵抗を最小限に抑えるため、このピンを GND に接続します。
PGADJ	2	I	パワーグッド スレッショルド調整ピン。PGADJ ピンと OUT ピンの間に分圧抵抗を接続して、パワーグッド スレッショルドを設定します。スレッショルドを $V_{PG(TH,FALLING)}$ に設定するには、このピンをグランドに接続します。詳細については、パワー グッドを参照してください。
PG	7	O	パワーグッド ピン。このピンは内部プルアップ抵抗を含むこのピンは、V_{OUT} または他のバイアス電圧レールに接続しないでください。V_{OUT} がパワーグッド スレッショルドを上回ると、V_{PG} がロジックレベル High になります。詳細については、パワー グッドを参照してください。
SI	9	I	センス入力ピン。外付けの分圧抵抗を介して、監視対象の電源電圧に接続します。
SO	3	O	センス出力ピン。このピンは内部プルアップ抵抗を含むこのピンは、V_{OUT} または他のバイアス電圧レールに接続しないでください。V_{SI} がセンス low スレッショルドを下回ると、V_{SO} はロジック レベル low になります。
IN	10	P	入力電源電圧ピン。最適な過渡応答を得て入力インピーダンスを最小限に抑えるため、「推奨動作条件」表と入力コンデンサセクションに記載されている推奨値以上のセラミック コンデンサを、IN とグランドの間に接続します。入力コンデンサは、デバイスの入力のできるだけ近くに配置します。
OUT	1	O	レギュレートされた出力電圧ピン。安定性のために、OUT とグランドの間にコンデンサが必要です。最適な過渡応答を得るために、「推奨動作条件」表および出力コンデンサセクションに記載された、公称の推奨値以上の容量を持つセラミック コンデンサを OUT と グランド の間に接続します。出力コンデンサは、デバイスの出力にできるだけ近づけて配置します。ESR の大きいコンデンサを使う場合は、100nF のセラミック コンデンサで出力をデカップリングします。
サーマル パッド		—	サーマル パッド。最良の熱性能を得るために、パッドを GND に接続します。詳細については、レイアウトセクションを参照してください。

(1) I = 入力、O = 出力、P = 電源、G = グランド。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
IN	非安定化入力	-0.3	42	V
EN	イネーブル入力	-0.3	V_{IN} + 2V(3)	V
OUT	安定化出力	-0.3	V_{IN} + 0.3V(2)	V
FB	フィードバック	-0.3	20	V
SI	センス入力	-0.3	42	V
遅延	リセット遅延入力	-0.3	6	V
SO、PG、PGADJ	センス出力、パワーグッド、パワーグッド可変スレッショルド	-0.3	20	V
T_A	動作時周囲温度	-40	125	°C
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」に記載されている値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 絶対最大定格は V_{IN} + 0.3V または 20V のどちらか小さい方です。
(3) 絶対最大定格は V_{IN} + 2V または 42V のどちらか小さい方です。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			角のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{IN}	入力電圧	3		40	V
V_{OUT}	出力電圧	1.2		18	V
I_{OUT}	出力電流	0		150	mA
V_{EN}	高電圧 (I/O)	0		V_{IN} + 1V(4)	V
V_{SI}	高電圧 (I/O)	0		40	V
V_{Delay}	遅延ピンの電圧	0		5.5	V
V_{PG}、V_{SO}、V_{PGADJ}	低電圧 (I/O)、パワー グッド可変スレッショルド	0		18	V
C_{OUT}	出力コンデンサ(2)	2.2		220	µF
ESR	出力コンデンサの ESR 要件(3)	0.001		2	Ω
C_{IN}	入力コンデンサ(1)	0.1	1		µF
C_{Delay}	パワーグッド遅延コンデンサ	0		1	µF
T_J	動作時接合部温度	-40		150	°C

(1) 堅牢な EMI 性能を実現するための最小入力容量は 500nF です。
(2) 安定させるために、最低 1µF の実効出力キャパシタンスが必要です
(3) ESR の大きいコンデンサを使う場合は、過渡性能を向上させるため、100nF のセラミック コンデンサでデカップリングすることを推奨します。
(4) 推奨される最大動作電圧は V_{IN} + 1V または 40V のいずれか小さい方です

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)(2)		TPS7B85-Q1 DRC (VSON) 10 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗 (3)	50.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	23.9	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	1.2	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	23.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.5	℃/W

(1) 熱データは、JEDEC 規格の High-K プロファイル (JESD 51-7) に基づいています。2 信号、2 プレーン、4 層基板、2 オンスの銅を使用しています。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順に従う必要があります。
(2) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(3) 1s0p $R_{\theta JA}$ は、DRC パッケージの場合 202.5°C/W です。

5.5 電気的特性

T_J = –40℃～+150℃、V_{IN} = 13.5V、I_{OUT} = 0mA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で指定 (特に記述のない限り)。標準値は、T_J = 25℃

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	レギュレーション出力の精度	V_{IN} = V_{OUT} + 500mV ～ 40V、I_{OUT} = 100µA ～ 150mA(1)	T_J = 25°C	-0.5		0.5	%
			T_J = –40°C ～ 150°C	-0.75		0.75	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション	出力電圧の変化率 (%)	V_{IN} = V_{OUT} + 500mV ～ 40V、I_{OUT} = 100µA			0.2	%
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	出力電圧の変化率 (%)	V_{IN} = V_{OUT} + 500mV、I_{OUT} = 100µA ～ 150mA			0.2	
ΔV_{OUT}	負荷過渡応答のセトリング タイム(2)(3)	C_{OUT} = 10µF	C_{OUT} = 10µF			100	µs
	負荷過渡応答のオーバーシュート / アンダーシュート(3)		I_{OUT} = 45 mA～105 mA	-2%		10%	%V_{OUT}
			I_{OUT} = 0 mA～150 mA	-10%			
I_Q	静止時電流	V_{IN} = V_{OUT} + 500mV ～ 40V、I_{OUT} = 0mA	T_J = 25°C		18	21	µA
			T_J = –40°C ～ 150°C			26	
		I_{OUT} = 500µA	T_J = –40°C ～ 150°C			35	
$I_{SHUTDOWN}$	シャットダウン時の電源電流 (I_{GND})	V_{EN} = 0V	T_J = 25ºC			2.5	µA
			T_J = –40°C ～ 150°C			4	
V_{DO}	ドロップアウト電圧	I_{OUT} ≤ 1mA、V_{OUT} ≥ 3.3V、V_{IN} = $V_{OUT(NOM)}$ x 0.95				43	mV
		I_{OUT} = 105mA、V_{OUT} ≥ 3.3V、V_{IN} = $V_{OUT(NOM)}$			125	175	
		I_{OUT} = 150mA、V_{OUT} ≥ 3.3V、V_{IN} = $V_{OUT(NOM)}$			155	225	
$V_{UVLO(RISING)}$	立ち上がり入力電源 UVLO	V_{IN} 立ち上がり		2.6	2.7	2.82	V
$V_{UVLO(FALLING)}$	立ち下がり入力電源 UVLO	V_{IN} 立ち下がり		2.38	2.5	2.6	V
$V_{UVLO(HYST)}$	V_{UVLO} ヒステリシス				230		mV
V_{IL}	イネーブル ロジック入力 Low レベル					0.7	V
V_{IH}	イネーブル ロジック入力 High レベル			2			V
I_{EN}	EN ピン電流	V_{EN} = V_{IN} = 13.5V				50	nA
I_{CL}	出力電流制限	V_{IN} = $V_{OUT(nom)}$ + 1V、V_{OUT} を 90% x $V_{OUT(NOM)}$ に短絡		180	220	260	mA
PSRR	電源リップル除去	V_{IN} – V_{OUT} = 500mV、周波数 = 1kHz、I_{OUT} = 150mA			55		dB
V_n	出力ノイズ電圧	V_{OUT} = 3.3V、BW = 10Hz ～ 100kHz			280		µV_{RMS}

Copyright © 2026 Texas Instruments Incorporated

T_J = –40℃～+150℃、V_{IN} = 13.5V、I_{OUT} = 0mA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で指定 (特に記述のない限り)。標準値は、T_J = 25℃

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{SI(HIGH)}$	センス入力スレッショルド High	V_{SI} 立ち上がり	1.17	1.21	1.25	V
$V_{SI(LOW)}$	センス入力スレッショルド Low	V_{SI} 立ち下がり	1.07	1.12	1.15	V
$V_{SI(HYST)}$	センス入力のスイッチング ヒステリシス			90		mV
I_{SI}	センス入力電流	V_{SI} = 40V		0.015	1.5	µA
R_{SO}	センス出力内部プルアップ抵抗		10	30	50	kΩ
$V_{SO(OL)}$	センス出力 Low 電圧	V_{SI} ≤ 1.07V、V_{IN} ≥ 3V			0.4	V
R_{PG}	パワーグッド内部プルアップ抵抗		10	30	50	kΩ
$V_{PG(OL)}$	PG ピンの Low レベル出力電圧	V_{OUT} ≤ 0.83 × V_{OUT}			0.4	V
$V_{PG(TH,RISING)}$	パワーグッド スレッショルドのデフォルト値	V_{OUT} 立ち上がり、PGADJ ピンのグランドへの短絡	85		95	%V_{OUT}
$V_{PG(TH,FALLING)}$		V_{OUT} 立ち下がり、PGADJ ピンはグランドに短絡	83		93	
$V_{PG(HYST)}$	パワー グッド ヒステリシス			2.5		%V_{OUT}
$V_{PGADJ (TH,FALLING)}$	パワーグッド調整ピンのスイッチング電圧	V_{OUT} 立ち下がり、PGADJ 立ち下がり	0.97	1	1.030	V
$V_{PGADJ(HYST)}$	PGADJ ヒステリシス		5	35	50	mV
$V_{DLY(TH)}$	パワーグッドが HIGH に復帰するスレッショルド	DELAY ピン立ち上がり時の電圧	1.17	1.21	1.25	V
$I_{DLY(CHARGE)}$	遅延コンデンサの充電電流	V_{DLY} = 1V	1	1.5	2	µA
$T_{SD(SHUTDOWN)}$	接合部のシャットダウン温度			175		°C
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス			20		°C

(1) IC の製造試験のため、消費電力は 2W に制限されています。この消費電力は、通常動作中に高くなる可能性があります。接合部温度を 150°C 未満に維持しながらデバイスが消費する電力の詳細については、熱放散のセクションを参照してください。
(2) セトリング時間は、I_{OUT} が 45mA から 105mA に変化したときから、出力電圧が V_{OUT} = $V_{OUT(nom)}$ – 5mV に回復したときまでの間に測定されます
(3) この仕様は設計により規定されています。

5.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SENSE 入力および出力のタイミング (SI、SO)						
$t_{(PD_SO_HL)}$	センス high 応答時間			25		µs
$t_{(PD_SO_LH)}$	センス low 応答時間			30		µs
パワー グッドのタイミング特性						
$t_{(DLY_FIX)}$	パワー グッドの伝搬遅延	DELAY ピンにコンデンサを接続しない		100		µs
$t_{(Deglitch)}$	パワー グッドのグリッチ除去時間	DELAY ピンにコンデンサを接続しない		90		µs
$t_{(DLY)}$	パワー グッドの伝搬遅延	遅延コンデンサの値: $C_{(DELAY)}$ = 100nF		80		ms

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)

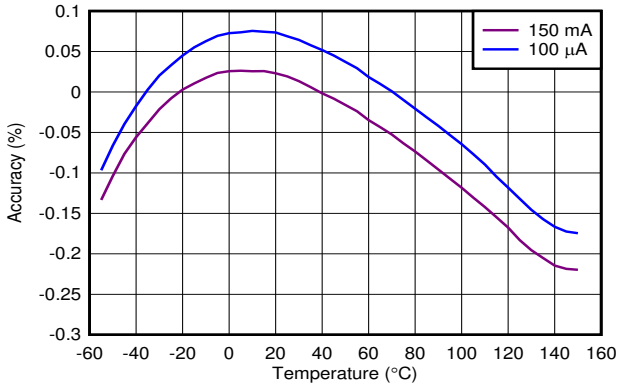
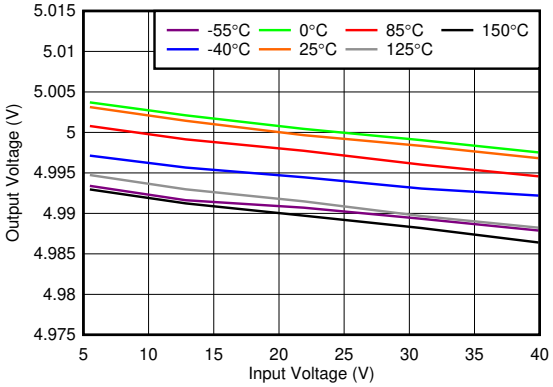
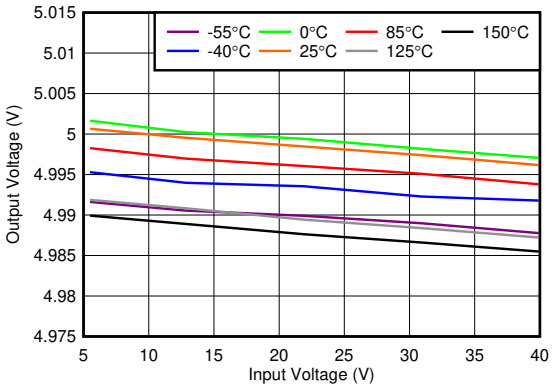


図 5-1. 精度と温度との関係



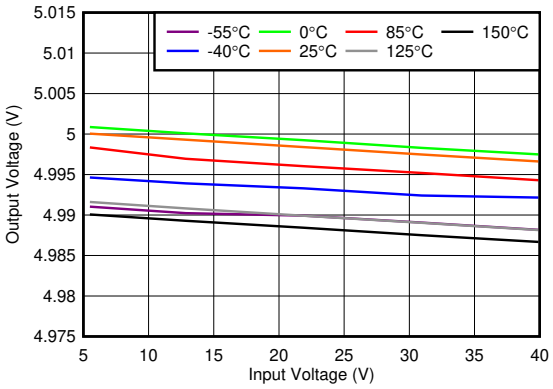
V_{OUT} = 5V、I_{OUT} = 150mA

図 5-2. ライン レギュレーションと V_{IN} との関係



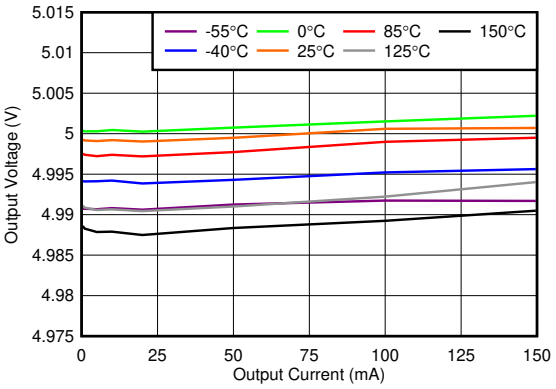
V_{OUT} = 5V、I_{OUT} = 5mA

図 5-3. ライン レギュレーションと V_{IN} との関係



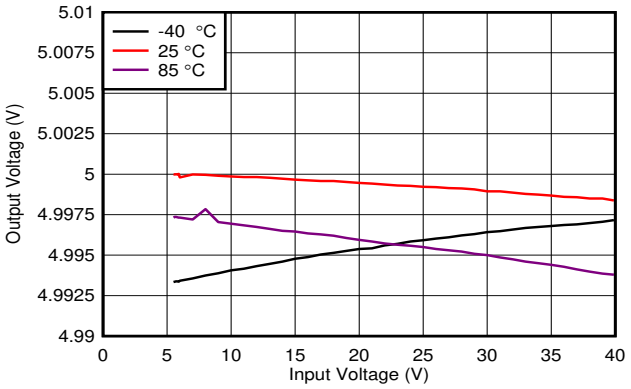
V_{OUT} = 5V、I_{OUT} = 1mA

図 5-4. ライン レギュレーションと V_{IN} との関係



V_{OUT} = 5V

図 5-5. ロード レギュレーションと I_{OUT} との関係



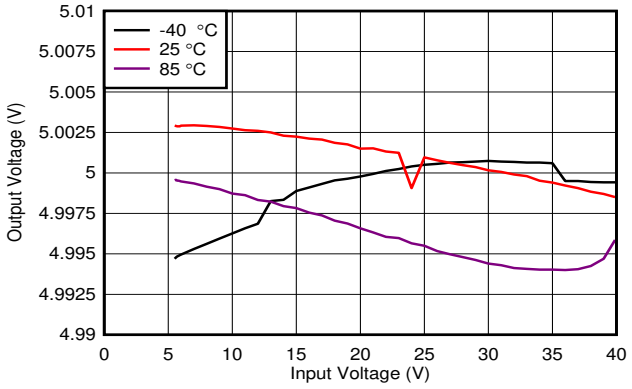
C_{OUT} = 10µF

図 5-6. ライン レギュレーション、50mA

Copyright © 2026 Texas Instruments Incorporated

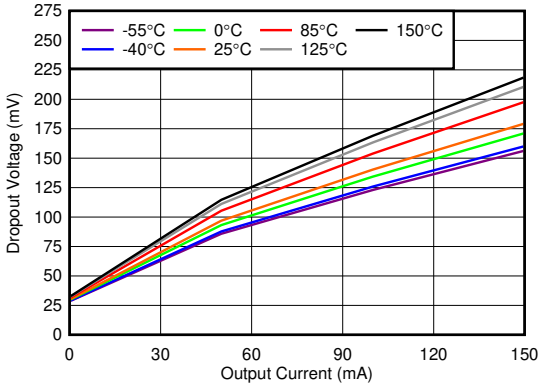
5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)



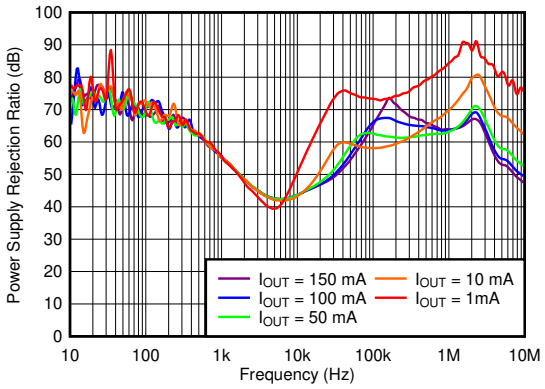
C_{OUT} = 10µF

図 5-7. ライン レギュレーション、100mA



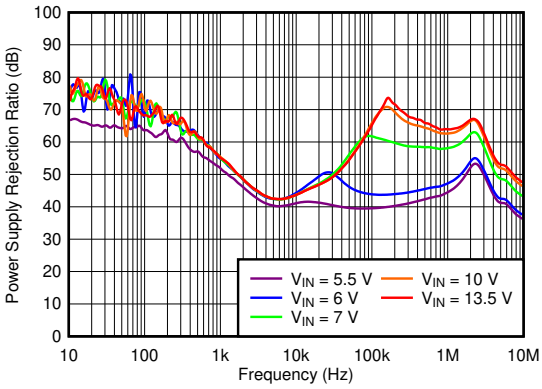
V_{IN} = 3V

図 5-8. ドロップアウト電圧 (V_{DO}) と I_{OUT} との関係



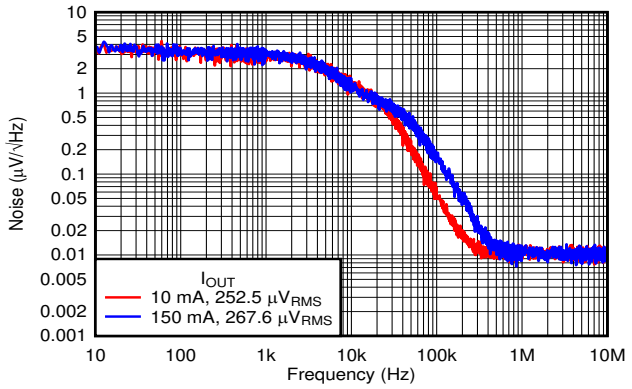
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 5V

図 5-9. PSRR と周波数および I_{OUT} との関係



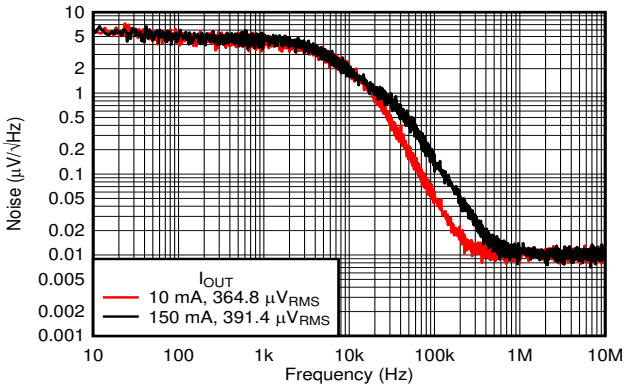
C_{OUT} = 10µF (X7R 50V)、I_{OUT} = 150mA、V_{OUT} = 5V

図 5-10. PSRR と周波数および V_{IN} との関係



V_{OUT} = 3.3V、C_{OUT} = 10µF

図 5-11. ノイズと周波数との関係、3.3V



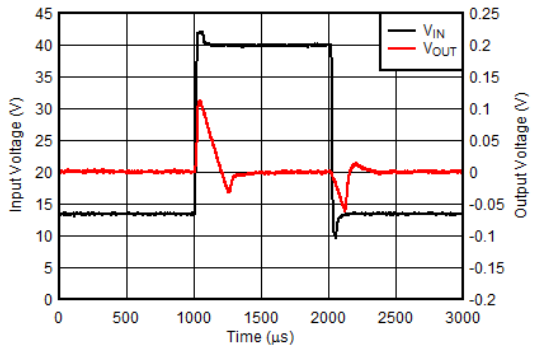
V_{OUT} = 5V、C_{OUT} = 10µF

図 5-12. ノイズと周波数との関係、5.0V

Copyright © 2026 Texas Instruments Incorporated

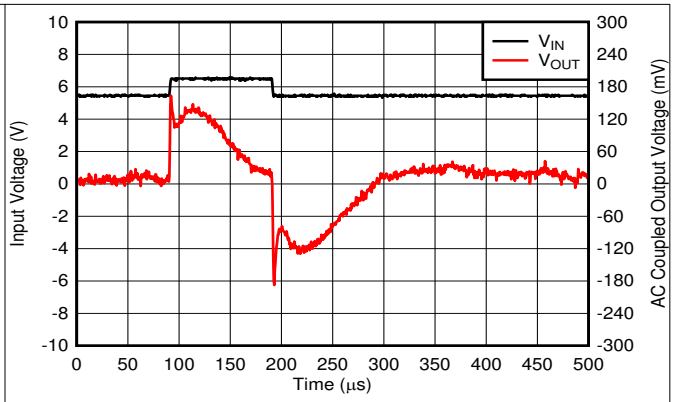
5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)



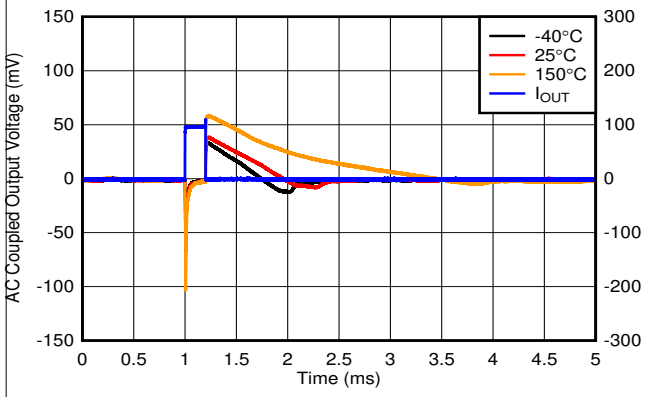
V_{OUT} = 5V、I_{OUT} = 1mA、V_{IN} = 13.5V ～ 40V、スルーレート = 2.7V/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-13. ライン過渡、13.5V ～ 40V



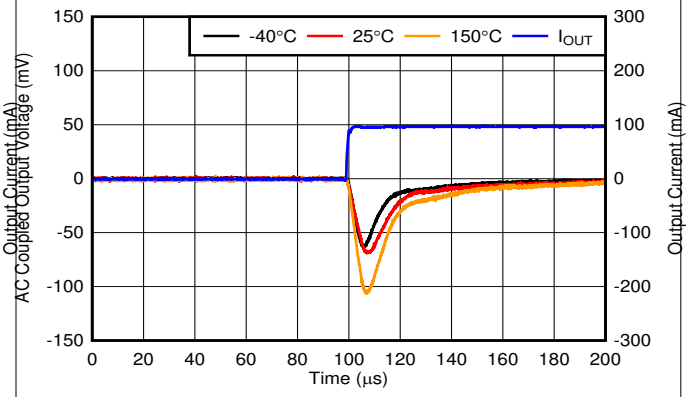
V_{OUT} = 5V、V_{IN} = 5.5V ～ 6.5V、t_{rise} = 1µs、C_{OUT} = 10µF

図 5-14. ライン過渡、5.5V ～ 6.5V



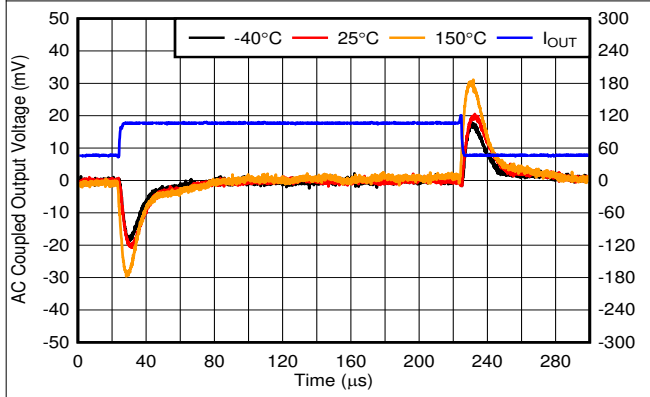
V_{OUT} = 5V、I_{OUT} = 0mA ～ 100mA、スルーレート = 1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-15. 負荷過渡、無負荷から 100mA へ



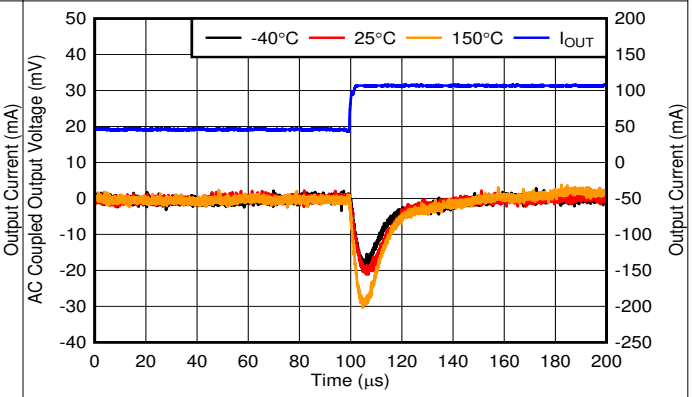
V_{OUT} = 5V、I_{OUT} = 0mA ～ 100mA、スルーレート = 1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-16. 負荷過渡、無負荷から 100mA への立ち上がりエッジ



V_{OUT} = 5V、I_{OUT} = 45mA ～ 105mA、スルーレート = 0.1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-17. 負荷過渡、45mA～105mA



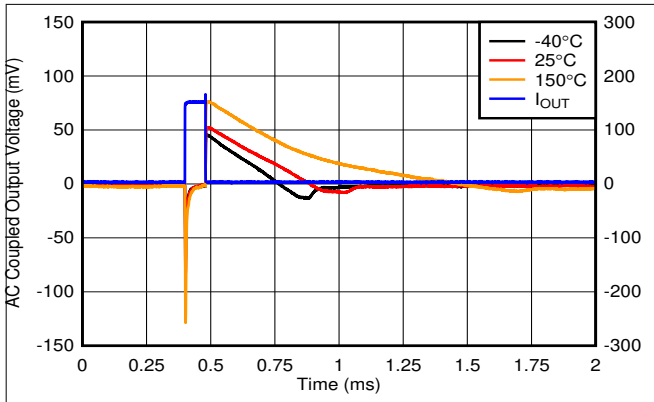
V_{OUT} = 5V、I_{OUT} = 45mA ～ 105mA、スルーレート = 0.1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-18. 負荷過渡、45mA から 105mA への立ち上がりエッジ

Copyright © 2026 Texas Instruments Incorporated

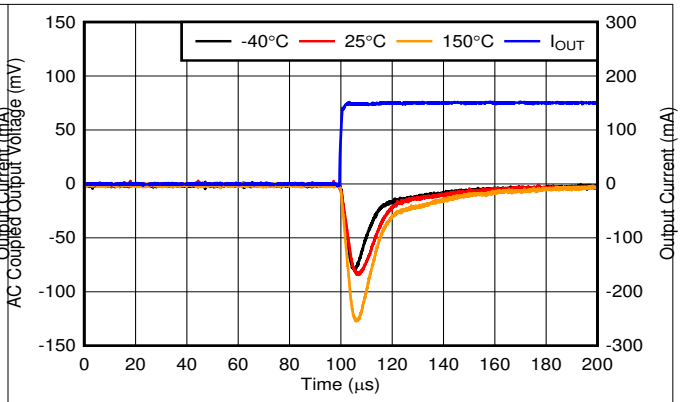
5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)



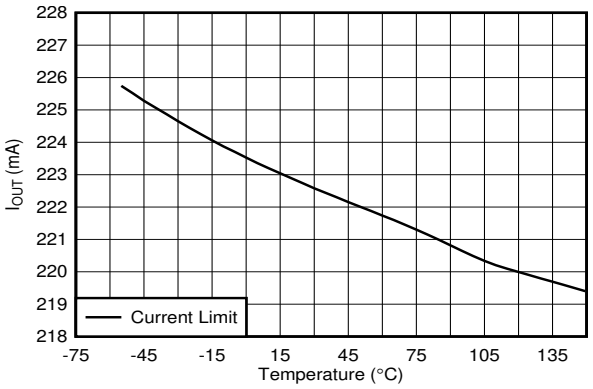
V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルーレート = 1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-19. 負荷過渡、無負荷から 150mA へ



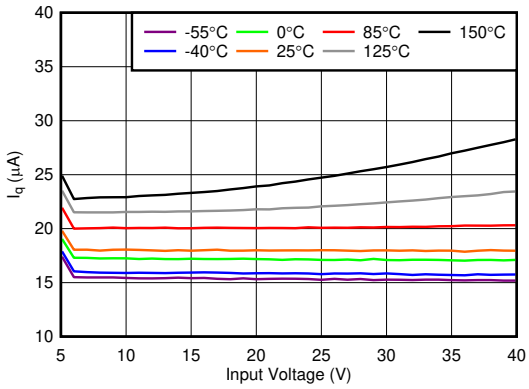
V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルーレート = 1A/µs、V_{EN} = 3.3V、C_{OUT} = 10µF

図 5-20. 負荷過渡、無負荷から 150mA への立ち上がりエッジ



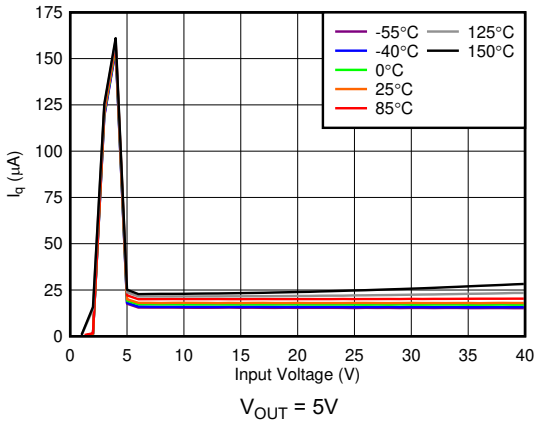
V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

図 5-21. 出力電流制限と温度との関係



V_{OUT} = 5V

図 5-22. 静止電流 (I_Q) と V_{IN} との関係



V_{OUT} = 5V

図 5-23. 静止電流 (I_Q) と V_{IN} との関係

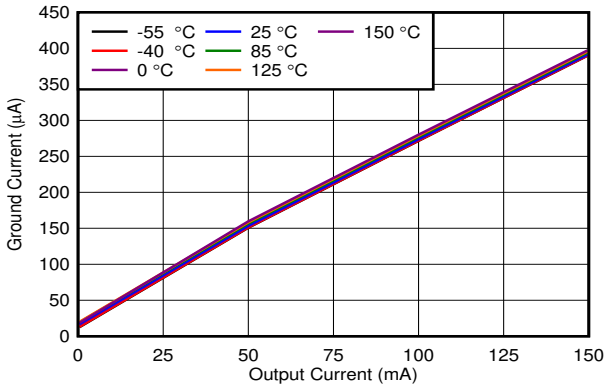
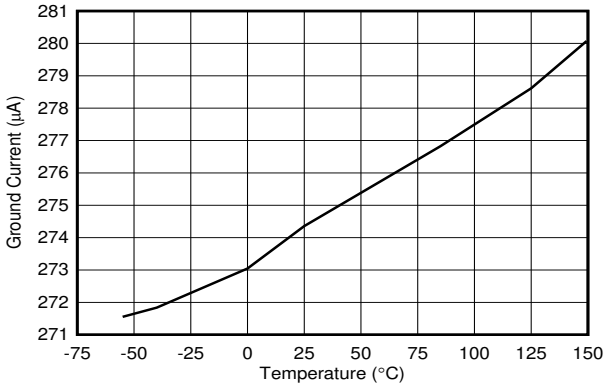


図 5-24. グランド電流 (I_{GND}) と I_{OUT}

Copyright © 2026 Texas Instruments Incorporated

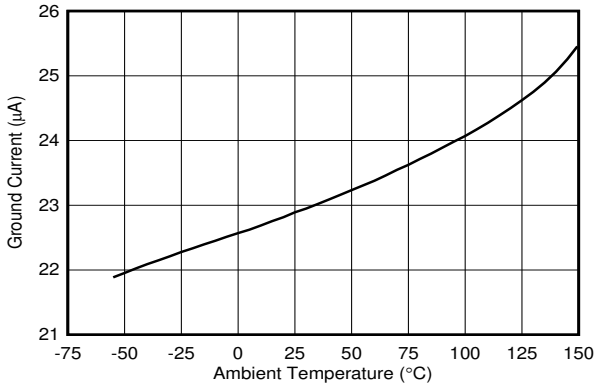
5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)



I_{OUT} = 100mA

図 5-25. グランド電流



I_{OUT} = 500µA

図 5-26. グランド電流

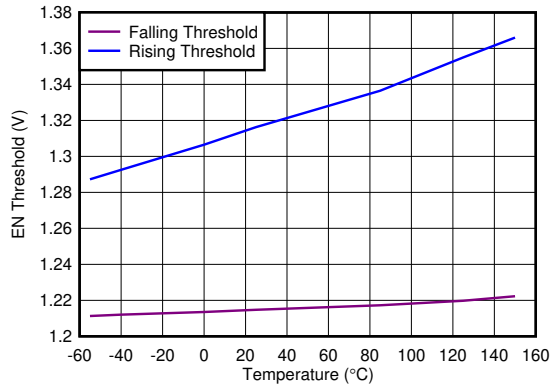


図 5-27. EN スレッショルドと温度との関係

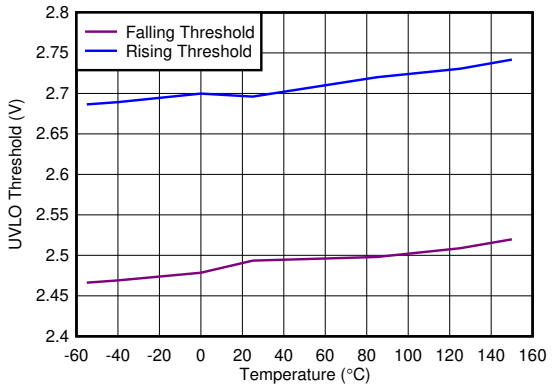


図 5-28. 低電圧誤動作防止 (UVLO) スレッショルドと温度との関係

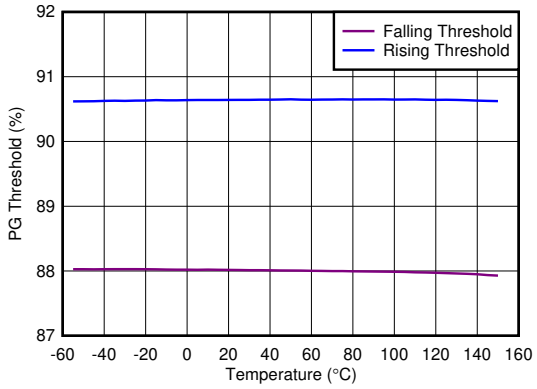


図 5-29. PG スレッショルドと温度との関係

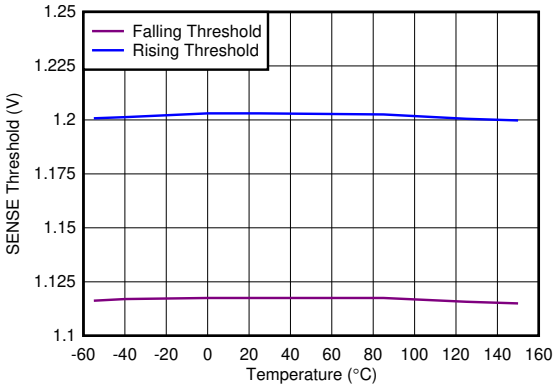


図 5-30. センス入力スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)

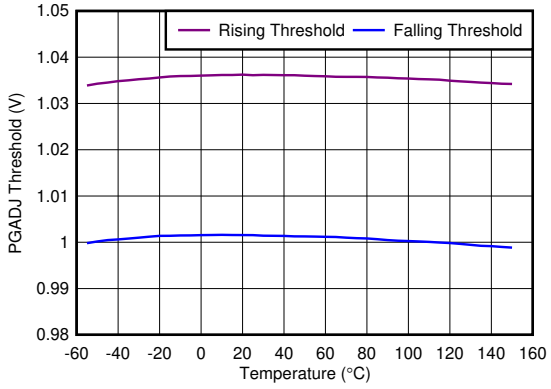
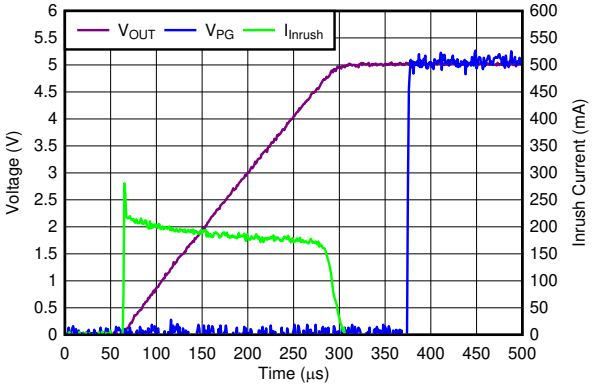
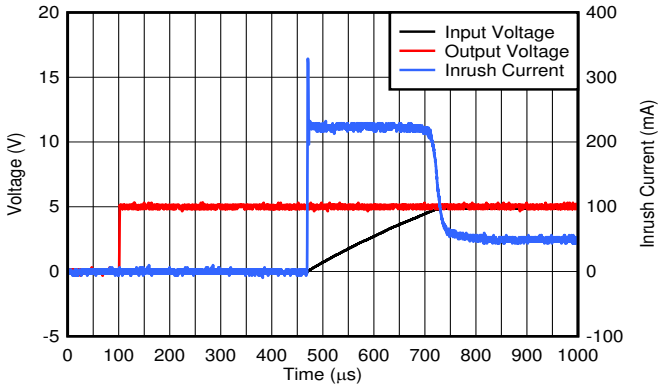


図 5-31. PGADJ スレッショルドと温度との関係



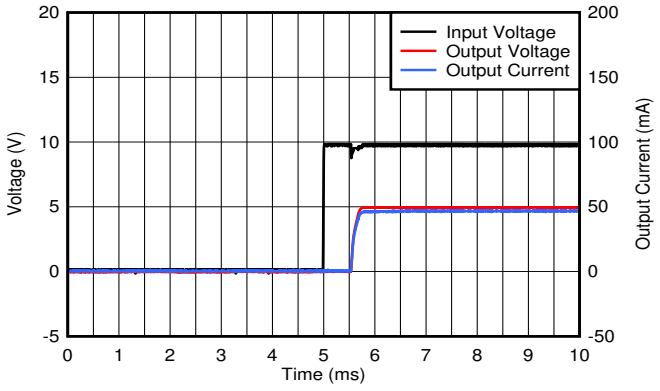
C_{OUT} = 10µF

図 5-32. 起動時のプロット、突入電流



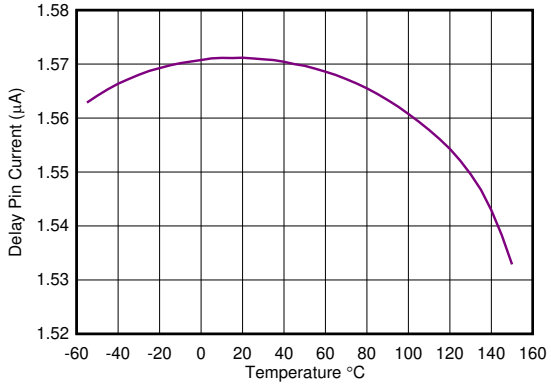
V_{IN} = 13.5V、C_{OUT} = 10µF

図 5-33. EN 機能による起動プロット



C_{OUT} = 10µF

図 5-34. 起動時のプロット



V_{DELAY} = 1V

図 5-35. 遅延ピンの電流と温度との関係

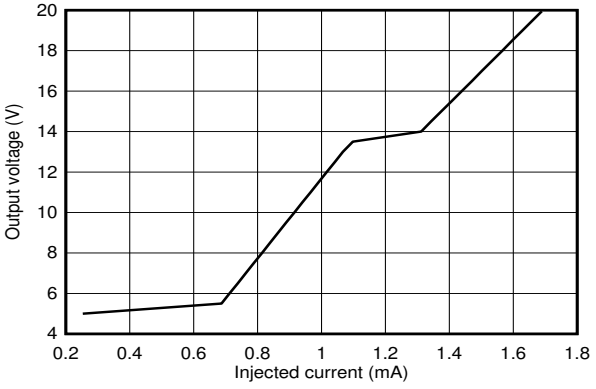


図 5-36. 出力電圧と注入電流との関係

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、C_{IN} = 1µF、および V_{EN} = 2V で規定 (特に記載のない限り)

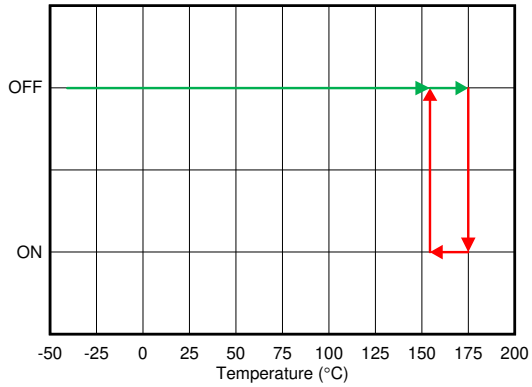


図 5-37. サーマル シャットダウン

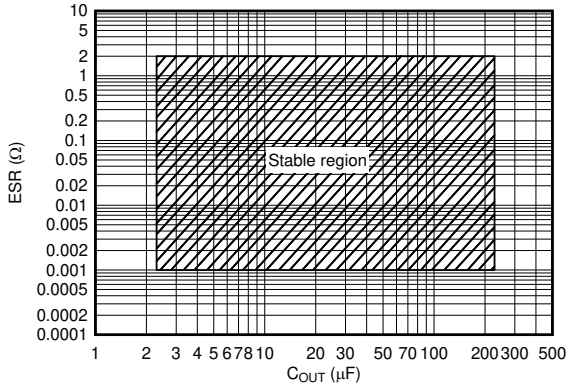


図 5-38. 安定性 ESR と C_{OUT} との関係

6 詳細説明

6.1 概要

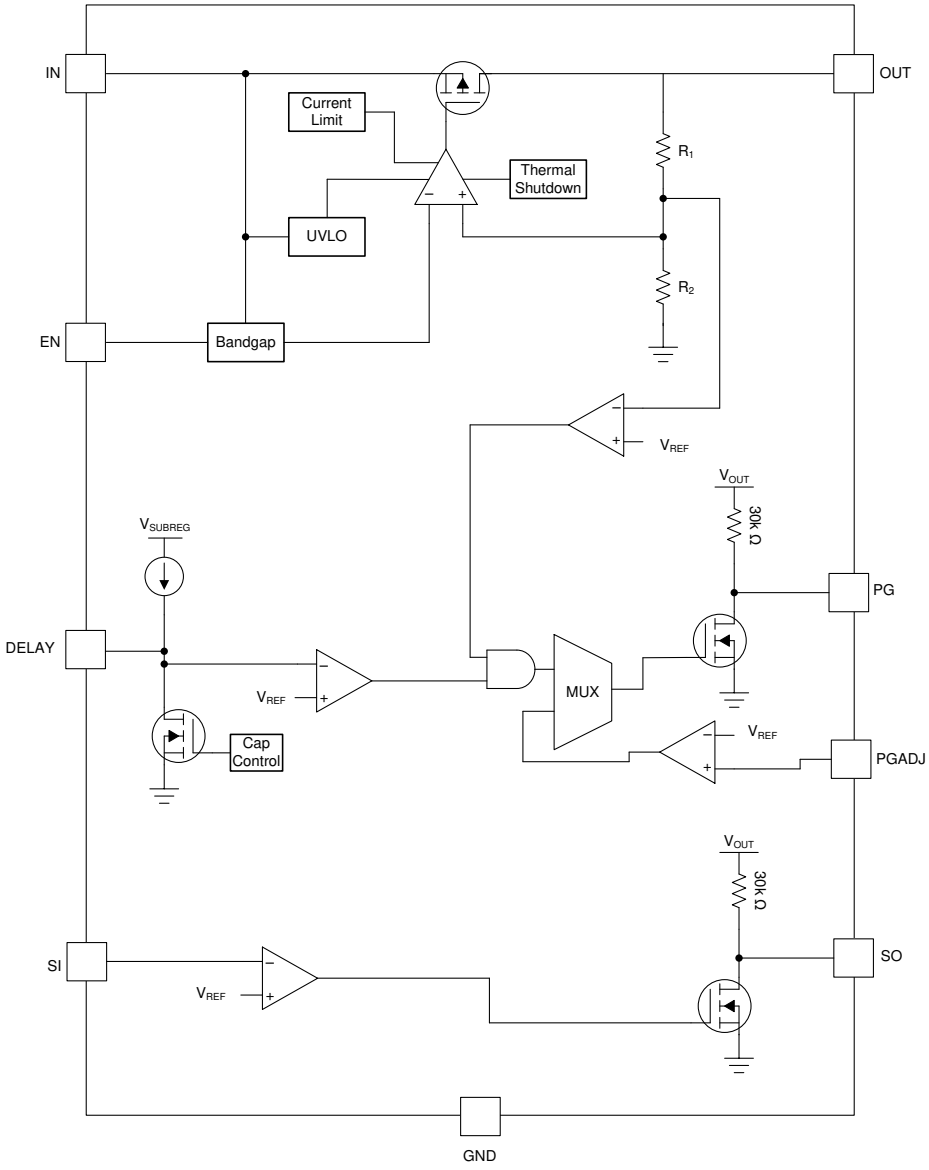
TPS7B85-Q1、、 は、車載アプリケーションでバッテリに接続するように設計された低ドロップアウト リニア レギュレータ (LDO) です。このデバイスの入力電圧範囲は 40V まで拡張されているため、車載用システムで予測される過渡事象 (負荷ダンプなど) にも耐えられます。軽負荷時の静止電流がわずか 18µA なので、このデバイスは常時オンのコンポーネントへの電力供給に最適なソリューションです。

このデバイスは最先端の過渡応答を備えており、負荷やラインの変化 (例:コールド クランク時) に出力が素早く応答できます。またこのデバイスは、ドロップアウトからの回復時に出力オーバーシュートを最小限に抑える革新的なアーキテクチャを採用しています。通常動作時、このデバイスはライン、負荷、温度の全範囲にわたって ±0.75% の高い DC 精度を維持します。

TPS7B85-Q1 はパワー グッドおよび電圧監視機能を内蔵しています。パワー グッドの遅延時間と電圧スレッショルドは、外付け部品で調整できます。内蔵電圧検出器を使用して入力電圧を監視し、バッテリ電圧が低下し始めた際に下流の部品 (マイコンなど) にアラートを発行できます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図


IN
OUT
Current Limit
Thermal Shutdown
UVLO
R1
R2
EN
Bandgap
VREF
VOUT
30kΩ
VSUBREG
PG
DELAY
VREF
MUX
Cap Control
VREF
PGADJ
VOUT
30kΩ
SI
VREF
SO
GND

6.3 機能説明

6.3.1 イネーブル (EN)

デバイスのイネーブル ピンはアクティブ High ピンです。イネーブル ピンの電圧が EN ピンの High レベル入力電圧 (VIH) を超えると出力電圧がイネーブルされ、EN ピンの Low レベル入力電圧 (VIL) を下回るとディスエーブルされます。出力電圧を独立して制御する必要がない場合は、イネーブル ピンをデバイスの入力に接続します。

6.3.2 パワー グッド (PG)

PG は出力が公称値に近づくとアラートを出すため、PG 信号を使うと、厳しいシーケンシング要件を簡単に満たすことができます。出力電圧が設定出力電圧 ($V_{OUT(nom)}$) に近いとき、等しいとき、またはそれを上回るときに、PG を使ってシステム内のほかのデバイスに信号を送ることができます。図 6-1 に、簡略化した回路図を示します。PG 信号は公称出力電圧に内部でプルアップされており、アクティブ high です。PG 回路により、PG ピンがハイ インピーダンス状態に設定され、パワー グッドであることが示されます。

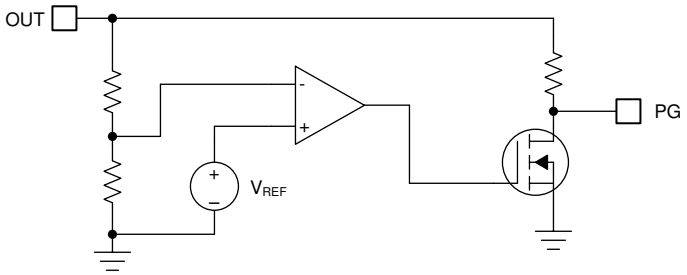


図 6-1. パワー グッドの概略回路図

6.3.2.1 可変パワーグッド (PGADJ)

図 6-2 に示すように、この LDO の独自の機能の一つは、分圧抵抗を使ってパワーグッド スレッショルドを調整できることです。可変パワー グッド スレッショルドにより、PG スレッショルドを目的のレベルに設定できるため、過渡検出やシーケンシングの要件にさらに対応しやすくなります。この機能が不要な場合は、PGADJ ピンを GND に接続すると、デフォルトの PG スレッショルドが使われます。パワーグッド スレッショルドの計算方法の詳細については、可変パワーグッド遅延の設定セクションを参照してください。

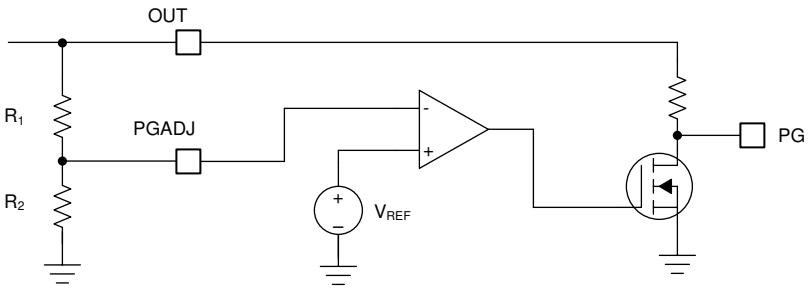
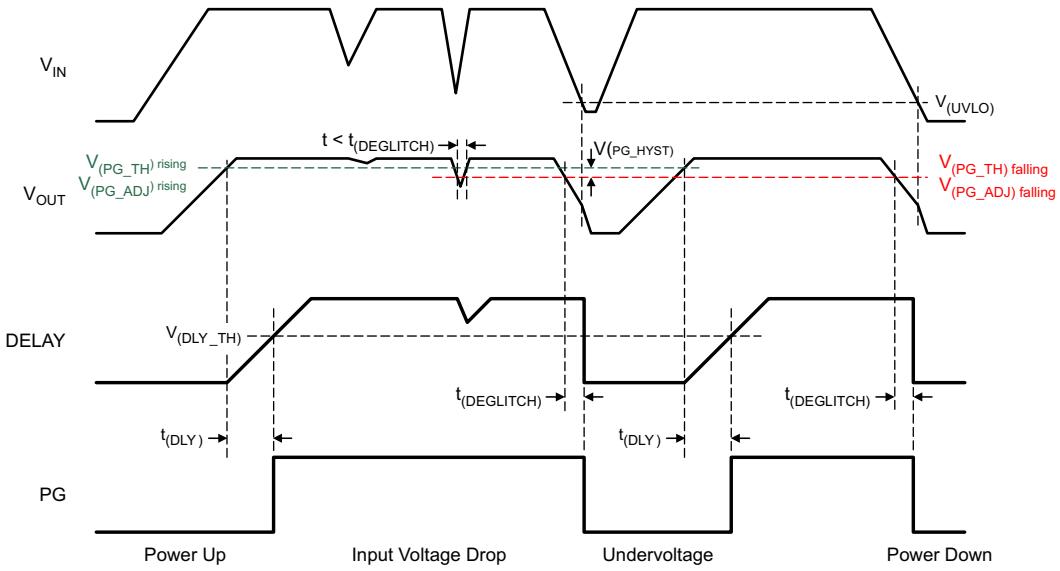


図 6-2. パワーグッド調整ピンの代表的な使用例

6.3.3 可変パワーグッド遅延タイマ (DELAY)

パワーグッド遅延時間は、DELAY ピンの外付けコンデンサの関数です。可変遅延時間により、PG ピン が high になるまでに必要な時間を設定します。この遅延時間は、このピンと GND との間に外付けコンデンサを接続することで構成されます。図 6-3 は、パワーグッド遅延ピンの標準的なタイミング図を示しています。DELAY ピンがフローティングのままの場合、パワー グッド遅延は $T(dly_fix)_{(DLY_FIX)}$ になります。リセット遅延のプログラム方法の詳細については、*可変パワーグッド遅延の設定* セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated



$V_{(PG_TH)\ falling} = V_{(PG_TH)\ rising} - V_{(PG_HYST)}$。

図 6-3. パワーグッドの標準タイミング図

6.3.4 センス コンパレータ

センス コンパレータは、入力信号を内部電圧リファレンスと比較します。内部電圧リファレンスは、立ち上がりスレッショルドが 1.223V、立ち下がりスレッショルドが 1.123V です。外付けの分圧抵抗を使うことで、このコンパレータをアプリケーションで柔軟に活用できます。

このデバイスは、保護ダイオードの前段または後段で入力電圧を監視でき、マイクロプロセッサに追加の情報 (低電圧警告など) を提供します。

6.3.5 低電圧誤動作防止

このデバイスは、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、「電気的特性」表に規定されているヒステリシスがあります。

6.3.6 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度
(T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、本デバイスはサイクルのオンとオフを行います。起動時の消費電力は、デバイス両端での大きな V_{IN} と V_{OUT} 間の電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*「推奨動作条件」*の表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

Copyright © 2026 Texas Instruments Incorporated

6.3.7 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限はブリックウォール方式です。高負荷電流故障では、電流制限式により、出力電流が電流制限 (I_{CL}) に制限されます。I_{CL} は電気特性表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション レポート*を参照してください。

図 6-4 は、電流制限の図を示しています。

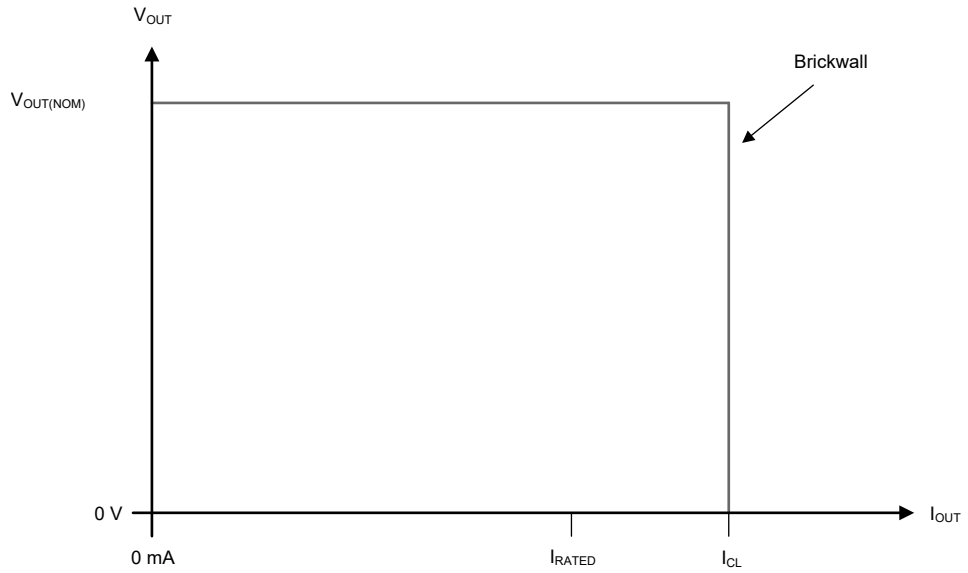


図 6-4. 電流制限

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 デバイスの機能モードの比較

「*デバイス機能モード比較*」表には、さまざまな動作モードにつながる条件が示されています。パラメータ値については、「*電気的特性*」表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	該当なし	$T_J > T_{SD(shutdown)}$

6.4.2 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.3 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パストランジスタはオーム領域または三極管領域に駆動されます。 入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパストランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

6.4.4 無効

イネーブル ピンの電圧を EN ピンの最大 Low レベル入力電圧未満にすることで、このデバイスの出力をシャットダウンできます (「*電気的特性*」表を参照)。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグランドへアクティブに放電されます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 入力および出力コンデンサの選択

TPS7B85-Q1、、は、安定性のための 2.2µF 以上の出力コンデンサ (静電容量 1µF 以上) と 0.001Ω ～ 2Ω の等価直列抵抗 (ESR) を必要とします。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力容量は 220µF です。

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.1.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、入力電圧から出力電圧を引いた値 (V_{IN} - V_{OUT}) として定義されます。I_{RATED} は、「*推奨動作条件*」表に記載されている最大 I_{OUT} です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

7.1.3 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パス トランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を推奨します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

Copyright © 2026 Texas Instruments Incorporated

7.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} – V_{OUT}) \times I_{OUT} \quad (2)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。「*熱的情報*」表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔の拡散領域によって決定され、パッケージの熱性能の相対的な基準として使用されます。

7.1.4.1 放熱性能と銅の面積との関係

最も一般的に使用される熱抵抗パラメータ $R_{\theta JA}$ は、特定の PCB 設計に組み込まれた熱拡散能力に大きく依存し、銅の総面積、銅の重量、およびプレーンの位置によって変化します。仕様セクションの「熱特性」表に記載されている $R_{\theta JA}$ は、JEDEC 規格 (図 7-1 を参照)、PCB、銅箔の放熱面積によって決まる値で、パッケージの熱性能を相対的に比較するための指標としてのみ使われます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は実際には、パッケージの接合部からケース (底面) までの熱抵抗 ($R_{\theta JCbot}$) と、PCB の銅による熱抵抗の寄与分との合計になります。

Copyright © 2026 Texas Instruments Incorporated

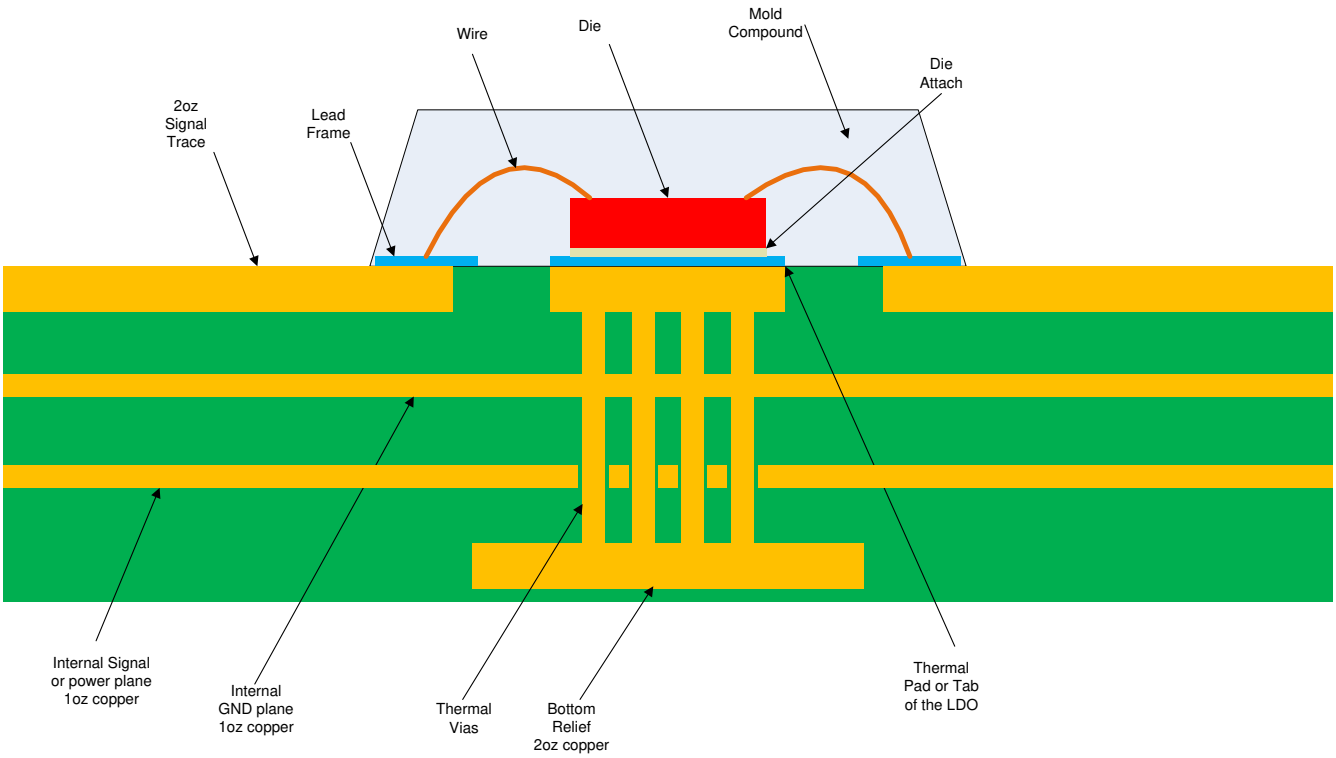


図 7-1. JEDEC 規格 2s2p PCB

、、図 7-2 および図 7-3 に、銅箔の面積と厚さに対する $R_{\theta JA}$ と ψ_{JB} の関係を示します。これらのプロットは、101.6mm × 101.6mm × 1.6mm の PCB で 2 層および 4 層を使用して生成したものです。四層基板の場合、内層プレーンの銅箔厚は 1oz です。外層は、1 オンスと 2 オンスの両方の銅箔厚でシミュレーションしています。デバイスのサーマル パッドの下には、ドリル径 300µm、銅めっき厚 25µm のサーマル ビアが 4 × 4 のアレイで配置されています。サーマル ビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。各層には、同じ面積の銅プレーンがあります。

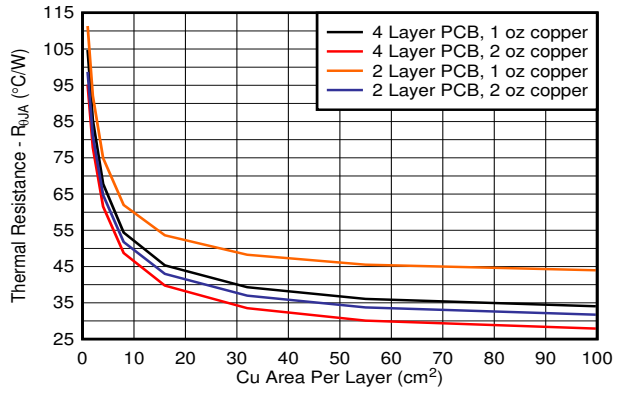


図 7-2. $R_{\theta JA}$ と銅箔面積との関係、2s2p、DRC パッケージ

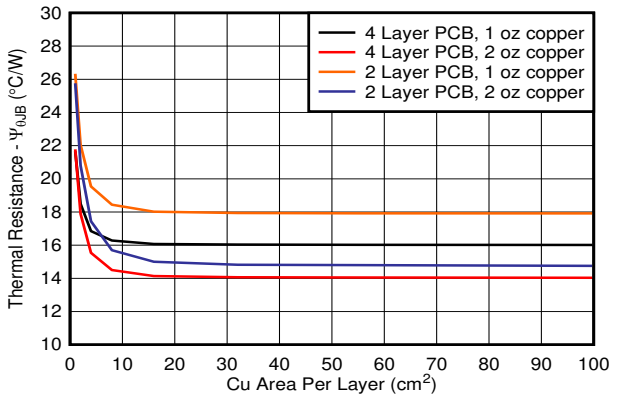


図 7-3. ψ_{JB} と銅箔面積との関係、2s2p、DRC パッケージ

Copyright © 2026 Texas Instruments Incorporated

7.1.5 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「*熱情報*」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm のプリント基板 (PCB) 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (4)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (5)$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーション ノートを参照してください。

7.1.6 SI ピン

7.1.6.1 センス入力 (SI) ピンのスレッショルドの計算

SI ピンを使用するには、分圧抵抗を介して、監視対象のレールにこのピンを接続します。この入力は、1.2V を超える電圧レールを監視する低電圧スーパーバイザとして構成することも、反転出力の過電圧スーパーバイザとして使用することもできます。表 7-1 に、トリップ ポイントを 5% スレッショルドとした低電圧監視用の代表的な 1% 抵抗値を示します。抵抗値をスケーリングして分圧抵抗を流れる電流を減らすこともできますが、抵抗値を大きくすると、分圧抵抗の精度も低下します。分圧抵抗を流れる電流が、SI ピンに流れる電流の 100 倍になるようにするのが一般的な方法です。この方法により、精度を可能な限り高くすることができます。式 6 を使うと、任意の立ち下がりスレッショルドに対して、分圧抵抗に必要な抵抗値を計算できます。図 7-4 にこのコンパレータの代表的なタイミングを示し、図 7-5 に可変動作のブロック図を示します。

$$V_{mon(falling)} = V_{SI(LOW)} \times \left(1 + \frac{R1}{R2}\right) \quad (6)$$

表 7-1. SI 分圧抵抗の値

入力電圧 (V)	5% のスレッショルド		
	R1 (kΩ)	R2 (kΩ)	スレッショルド電圧 (V)
3.3	18.2	10	3.13
5	32.4	10	4.71
6	41.2	10	5.68
7	49.9	10	6.65
8	59	10	7.66
9	66.5	10	8.49
10	75.5	10	9.49
11	80.6	10	10.06
12	93.1	10	11.44
13.5	105	10	12.77

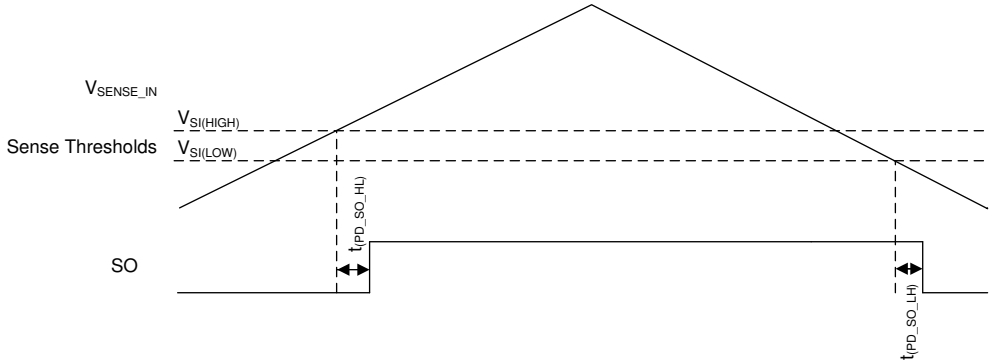


図 7-4. SI タイミング図

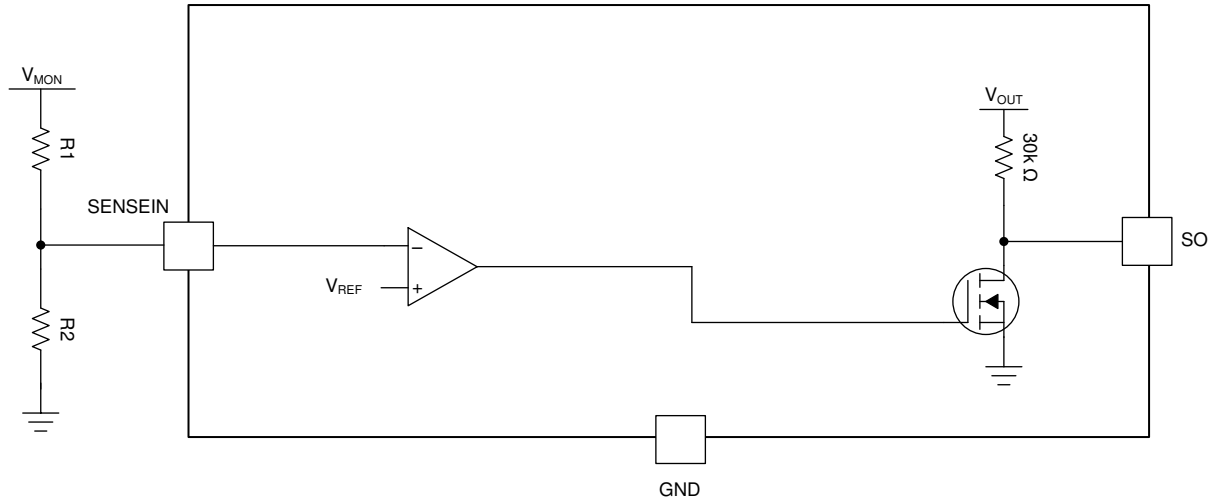


図 7-5. SI 基本ブロック図

7.1.6.2 センス入力ピンのさまざまな用途

センス入力ピンは、ヒステリシス付きのコンパレータを LDO に組み込んだものです。SI ピンを監視対象のレールに接続すると、SI ピンはシステム内のスーパーバイザの代わりとして使えます。このスーパーバイザの最も一般的な三つの用途については、入力電圧の監視、OV および UV のパワー グッドの作成および別の電源電圧の監視を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.1.6.2.1 入力電圧の監視

図 7-6 に示すように、LDO の入力電圧の監視は、SI ピンの最も一般的な使い方です。このデバイスには高精度コンパレータが内蔵されており、入力を分圧した電圧と LDO の内部リファレンスを比較できます。センス ピンの電圧が $V_{SI(LOW)}$ を下回ると、SO ピンの出力は Low になります。ただし、V_{SI} が $V_{SI(HIGH)}$ を超えると、SO ピンの電圧はプルアップ抵抗 R_{SO} を経由して V_{OUT} にプルアップされます。また、このピンにはヒステリシスが内蔵されているため、SENSE 電圧がわずかに変化しても、ピンが二つの状態の間で切り替わることはありません。図 7-7 に、SENSE ピンの代表的なタイミング図を示します。

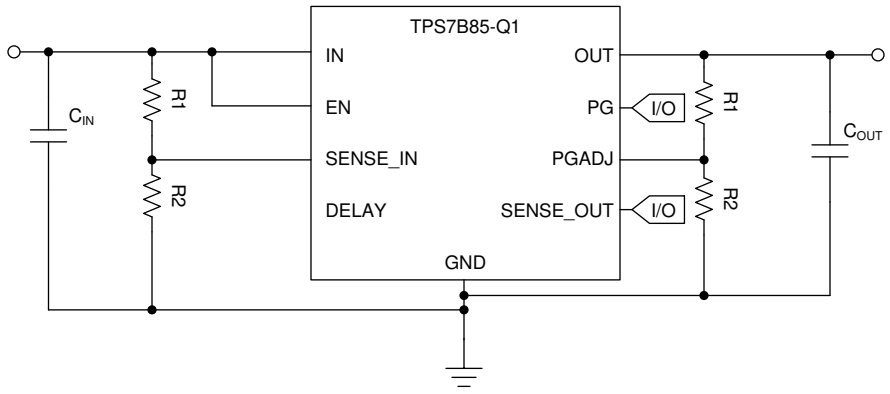


図 7-6. デバイスの入力電圧の監視

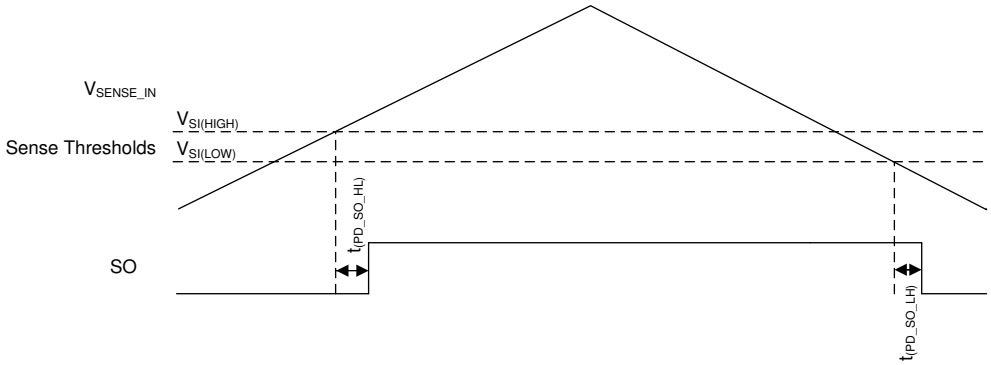


図 7-7. SENSE ピンのタイミング図

7.1.6.2.2 OV および UV のパワー グッドの作成

もう一つのよく求められる機能は、出力電圧の過電圧 (OV) イベントや低電圧 (UV) イベントを監視する機能です。内蔵のパワー グッド ピンは低電圧イベントしか検出しないため、過電圧の問題を監視するには別のソリューションを実装する必要があります。この監視は、内蔵の SI ピンを使い、このピンを抵抗分圧器を介して出力に接続することで実現できます。次に、出力電圧を過電圧として検出したい電圧に、SI ピンの立ち上がりスレッショルドを合わせます。式 7 に、目的の過電圧スレッショルドに基づいて、このアプリケーション用の抵抗分圧器を計算する方法を示します。この方法で過電圧検出を構成する場合、過電圧信号の出力は反転ロジックになります。図 7-8 に、このデバイスを過電圧モニタとして使用する場合の代表的な構成を示します。

$$V_{mon(rising)} = V_{SI(HIGH)} \times \left(1 + \frac{R1}{R2}\right) \tag{7}$$

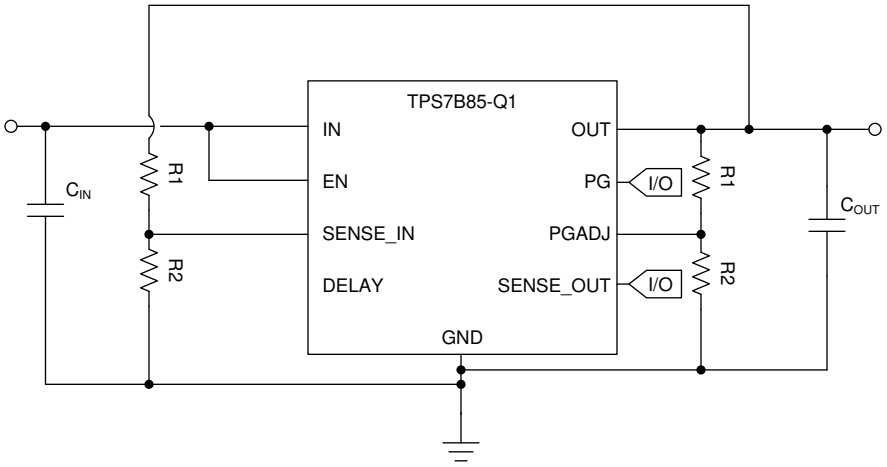


図 7-8. 出力の過電圧検出器の作成

7.1.6.2.3 別の電源電圧の監視

SI ピンの最後の用途として、別の電源の監視があります。この方法は、外部で監視する電源の過電圧検出と低電圧検出のどちらとしても実装できます。式 6 と式 7 を使うと、別の電源の監視を実装するのに必要な分圧抵抗を計算できます。図 7-9 に、この監視アプリケーションのブロック図を示します。

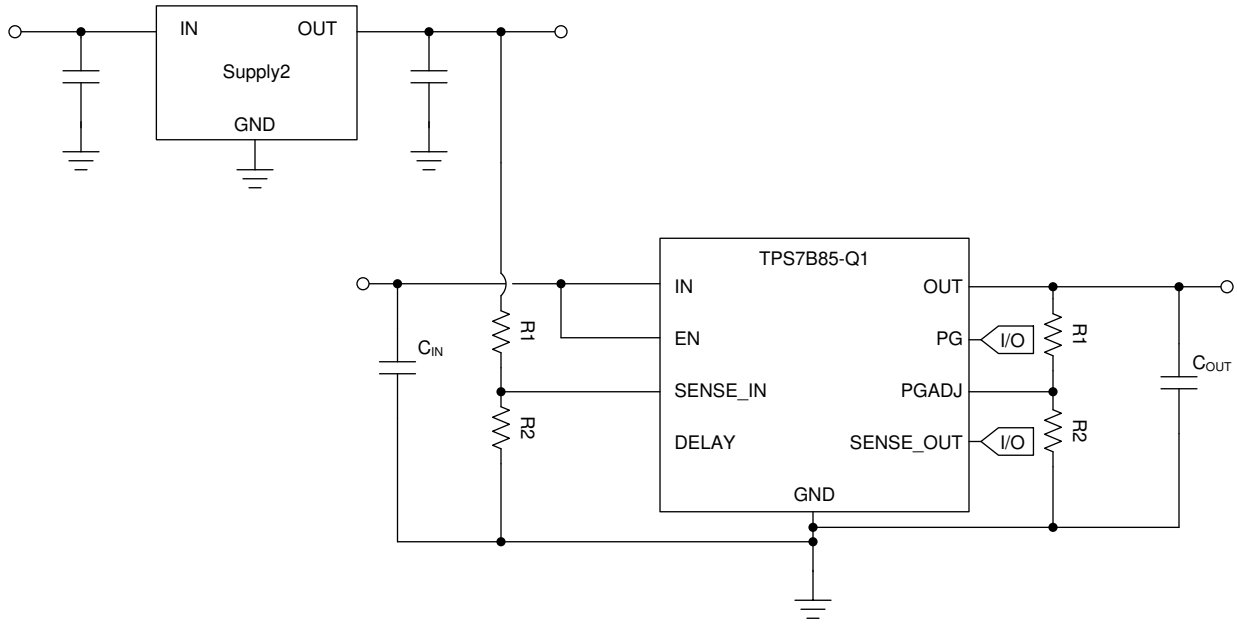


図 7-9. 別の電源の監視

7.1.7 SO ピンと PG ピンを別の電圧にプルアップ

センス出力 (SO) ピンとパワーグッド (PG) ピンは内部で出力レールにプルアップされているため、標準的なオープンドレインの PG 出力のように任意の電圧にプルアップしたり、ワイヤード AND 接続したりすることはできません。これらの信号を別のロジック レベルにプルアップする必要がある場合は、PMOS トランジスタとプルアップ抵抗を使って外付け回路を実装できます。図 7-10 に示す回路を実装すると、出力を任意のロジック レールにプルアップできます。この実装では、従来のパワー グッド ピンと同様に、出力どうしを AND 接続することもできます。

Copyright © 2026 Texas Instruments Incorporated

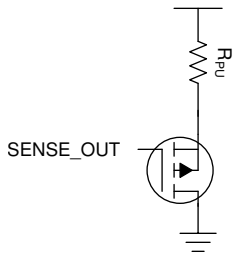


図 7-10. SO ピンと PG ピンを別のレールにプルアップするための追加部品

7.1.8 パワー グッド

7.1.8.1 可変パワーグッド スレッショルドの設定

パワー グッド スレッショルドは、PGADJ と OUT の間に外付けの分圧抵抗を接続することで、1V ～ 18V の範囲で調整することもできます。このスレッショルドを計算するには、式 8 を使用します:

$$V_{(PG_ADJ)falling} = V_{(PGADJ_TH)falling} x \left(\frac{R_1 + R_2}{R_2} \right)$$

$$V_{(PG_ADJ)rising} = \left[V_{(PGADJ_TH)falling} + V_{PGADJ(HYST)} \right] x \left(\frac{R_1 + R_2}{R_2} \right) \quad (8)$$

ここで、

- $V_{(PG_ADJ)\ rising}$、$V_{(PG_ADJ)\ falling}$ は、可変パワーグッド スレッショルドです
- $V_{(PGADJ_TH)\ falling}$ は、PGADJ ピンの内部コンパレータのリファレンス電圧です

パワーグッド スレッショルド $V_{(PG_ADJ)\ rising}$ を設定しておくと、V_{OUT} がこのスレッショルドを超えた場合、パワー グッド遅延時間の経過後に PG 出力が high になります。V_{OUT} が $V_{(PG_ADJ)\ falling}$ を下回ると、短いグリッチ除去時間の後、PG 出力は Low になります。図 7-11 に、PG スレッショルドの図を示します。

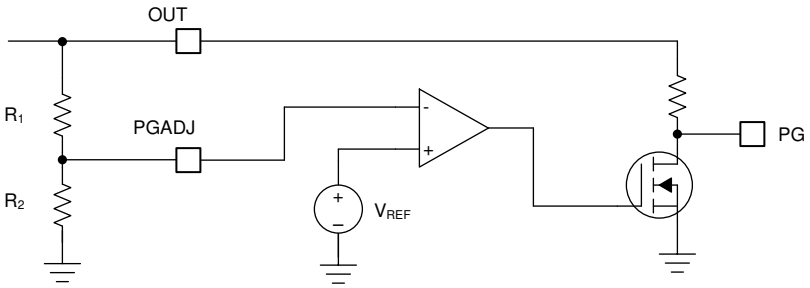


図 7-11. 可変パワー グッド スレッショルド

7.1.8.2 可変パワーグッド遅延の設定

パワーグッドの遅延時間は、DELAY ピンをフローティングにするか、このピンと GND の間にコンデンサを接続するかの 2 つの方法で設定できます。DELAY ピンがフローティングのとき、時間はデフォルトで $t_{(DLY_FIX)}$ になります。DELAY ピンと GND の間にコンデンサを接続した場合、遅延時間は式 9 で設定されます。

$$t = t_{(DLY_FIX)} + C_{DELAY} \left(\frac{V_{DLY(TH)}}{I_{DLY(CHARGE)}} \right) \quad (9)$$

7.2 代表的なアプリケーション

図 7-12 に、TPS7B85-Q1 の代表的なアプリケーション回路を示します。エンド アプリケーションによっては、値の異なる外付け部品を使用できます。アプリケーションによっては、高速な負荷ステップ時にリセットが発生しないよう、より大きな出力コンデンサが必要になる場合があります。TI は、タイプ X5R または X7R の誘電体を使用した低 ESR のセラミック コンデンサをお勧めします。

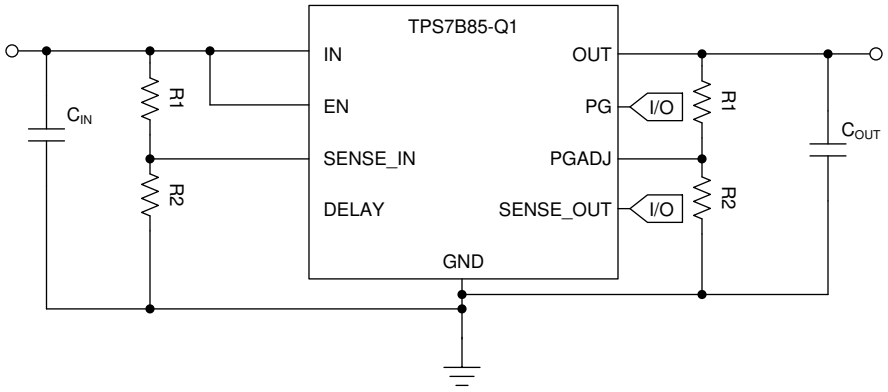


図 7-12. TPS7B85-Q1 の代表的なアプリケーション回路図

7.2.1 設計要件

この設計例では、表 7-2 に記載されているパラメータを入力パラメータとして使用します。

表 7-2. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	6V ～ 40V
出力電圧	5V
出力電流	100mA
出力コンデンサ	10µF
パワーグッド遅延コンデンサ	100nF
センス入力のトリップ スレッショルド	5.5V

7.2.2 詳細な設計手順

7.2.2.1 入力コンデンサ

デバイスには入力デカップリング コンデンサが必要で、その値はアプリケーションによって異なります。デカップリング コンデンサの代表的推奨値は 1µF です。電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.2.2 出力コンデンサ

デバイスには、出力電圧の安定化のため出力コンデンサが必要です。コンデンサの値は 2.2µF ～ 200µF、ESR は 1mΩ ～ 2Ω の範囲にする必要があります。この設計では、過渡性能を向上させるため、低 ESR の 10µF セラミック コンデンサを使用しました。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

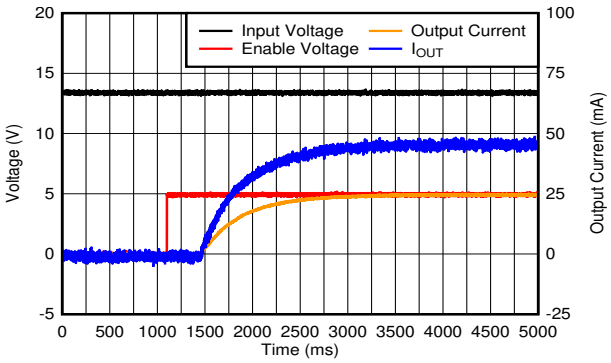


図 7-13. パワーアップ波形

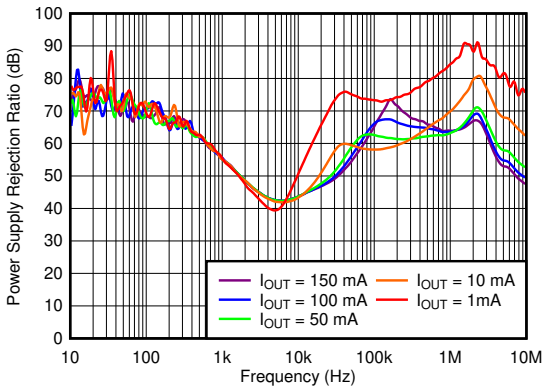


図 7-14. PSRR

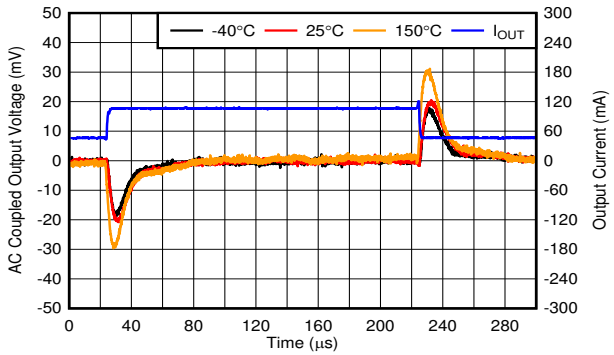


図 7-15. 過渡応答

7.3 電源に関する推奨事項

デバイスは、3V ～ 40V の入力電源電圧の範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS7B85-Q1、、から数インチ以上離れている場合は、入力に電解コンデンサとセラミック バイパス コンデンサを追加します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

総合的に最良の性能を達成するには、回路のすべてのコンポーネントを基板の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力コンデンサと出力コンデンサ、および LDO グランド ピンへのグランド リターン接続を、コンポーネント側の広い銅面で接続し、できるだけ互いに近づけて配置します。入力および出力コンデンサにビアや長いパターンを使用しないことが、強く推奨されます。これらは、システム性能を低下させます。また TI は、PCB 自体に埋め込むか、PCB のコンポーネントとは反対側の底面に配置したグランド リファレンス プレーンを使うことを推奨します。このリファレンス プレーンは、出力電圧の精度を確保し、ノイズをシールドする役割を果たします。また、サーマル パッドに接続した場合は、サーマル プレーンと同様に、LDO デバイスからの熱を拡散 (または放熱) します。ほとんどの用途では、熱要件を満たすためにこのグランド プレーンが必要です。

7.4.1.1 パッケージの取り付け

TPS7B85-Q1 に対する半田パッドのフットプリントに関する推奨事項は、本書の末尾および www.ti.com に記載されています。

Copyright © 2026 Texas Instruments Incorporated

7.4.1.2 PSRR およびノイズ性能向上のための推奨基板レイアウト

図 7-16 とに示すように、TPS7B85-Q1、、のレイアウトでは、入力および出力コンデンサをデバイスの近くに配置します。放熱性能を高めるために、デバイスの周囲に可能な限り多くのビアを配置します。これらのビアは、PCB 内の各 GND プレーン間の熱伝達を向上させます。

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、IN と OUT に別々のグランド プレーンを設け、各グランド プレーンをデバイスの GND ピンでのみ接続する基板設計を TI は推奨します。また、出力コンデンサのグランドはデバイスの GND ピンに直接接続してください。

性能を最大限に高めて安定性を確保するため、等価直列インダクタンス (ESL) と ESR を最小限に抑えます。各コンデンサは、デバイスにできるだけ近づけ、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。コンデンサの接続にビアや長いトレースを使うと、システム性能に悪影響を及ぼし、不安定になる可能性もあるため、TI はこれらを使わないことを強く推奨します。

可能であれば、また、このドキュメントに規定されている最大性能を確保するため、TPS7B85-Q1、、 評価基板 (www.ti.com で入手可能) で使われているものと同じレイアウト パターンを使ってください。

7.4.2 レイアウト例

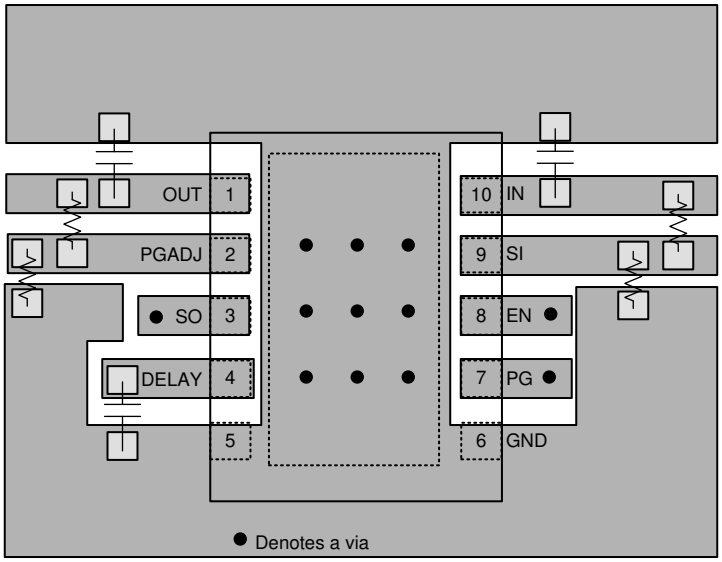


図 7-16. VSON (DRC) レイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則(1)

製品	V_{OUT}
TPS7B85**xxQWyyyRQ1**	**xx** は公称出力電圧を表します (例:33 = 3.3V、50 = 5.0V)。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。 **W** はウェッタブル フランク パッケージであることを表します。 **yyy** はパッケージ指定子です。 **R** はパッケージ数量です。R はリール (3000 ピース) を表します。 **Q1** は、デバイスが車載グレード (AEC-Q100) であることを示します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2020) to Revision B (November 2026)	Page
• 本デバイスの信頼性の高い動作に対して EN ピンの定格を更新	4
• 本デバイスの信頼性の高い動作に対して EN ピンの定格を更新	4

Changes from Revision * (February 2020) to Revision A (November 2020)	Page
• ドキュメントのステータスを事前情報から量産データに変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8533QWDRCRQ1	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8533
TPS7B8533QWDRCRQ1.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8533
TPS7B8550QWDRCRQ1	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8550
TPS7B8550QWDRCRQ1.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8550

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

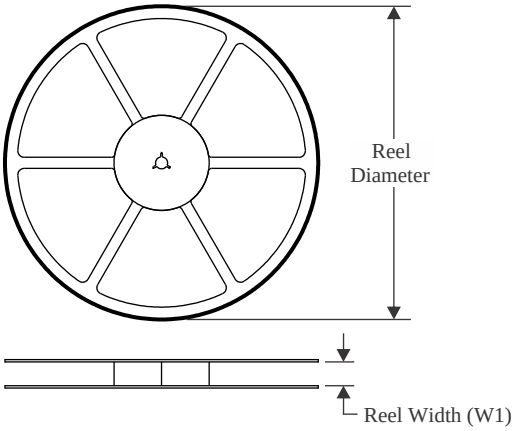
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

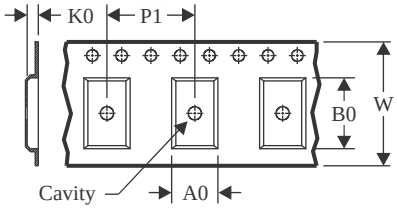
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

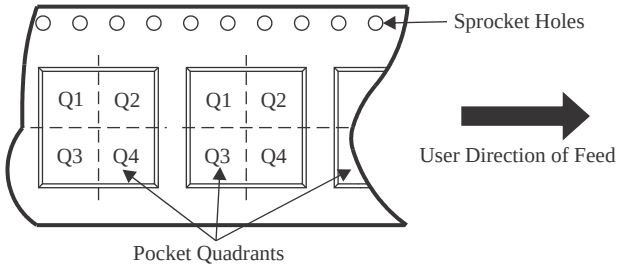


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

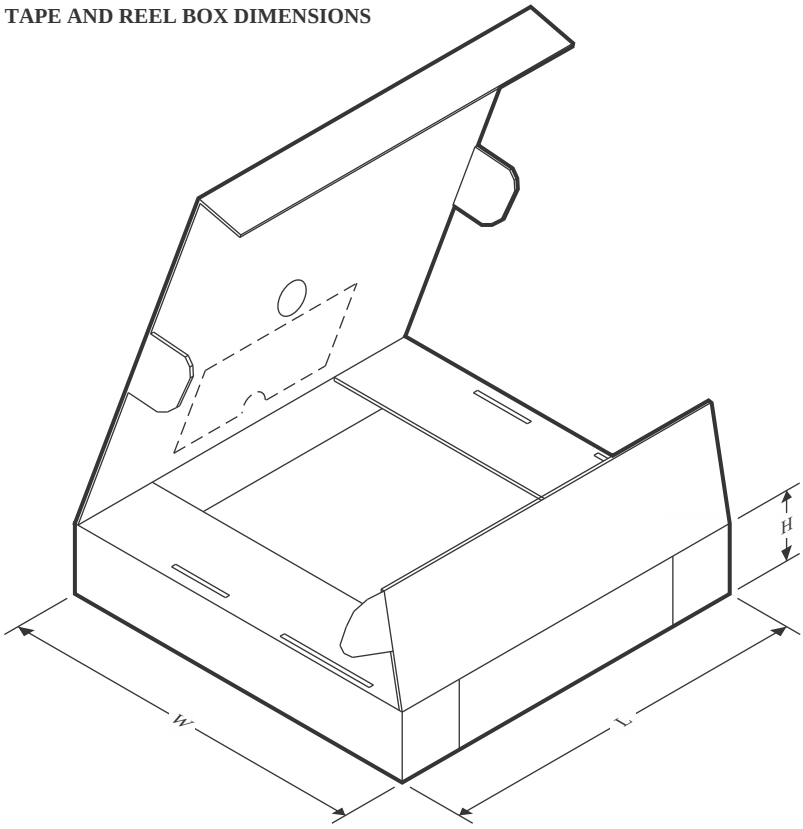
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8533QWDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7B8550QWDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8533QWDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35.0
TPS7B8550QWDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

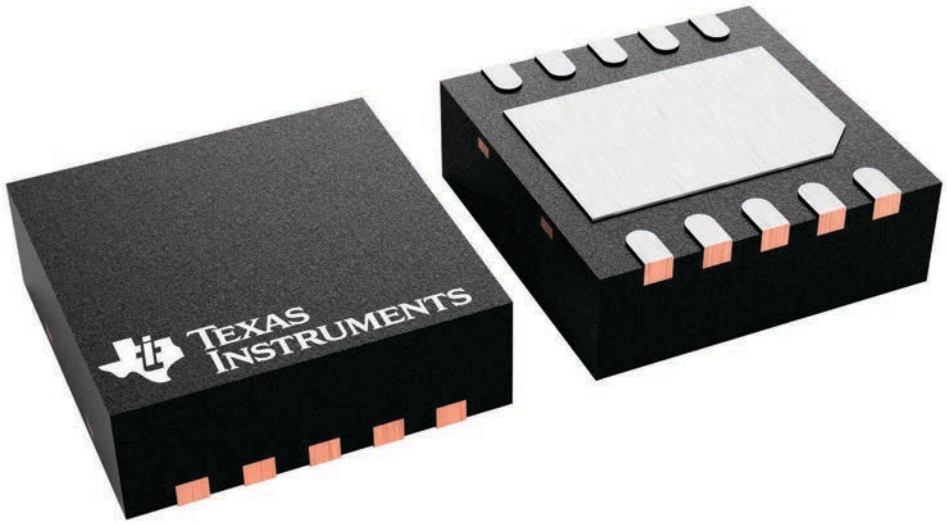
DRC 10

VSON - 1 mm max height

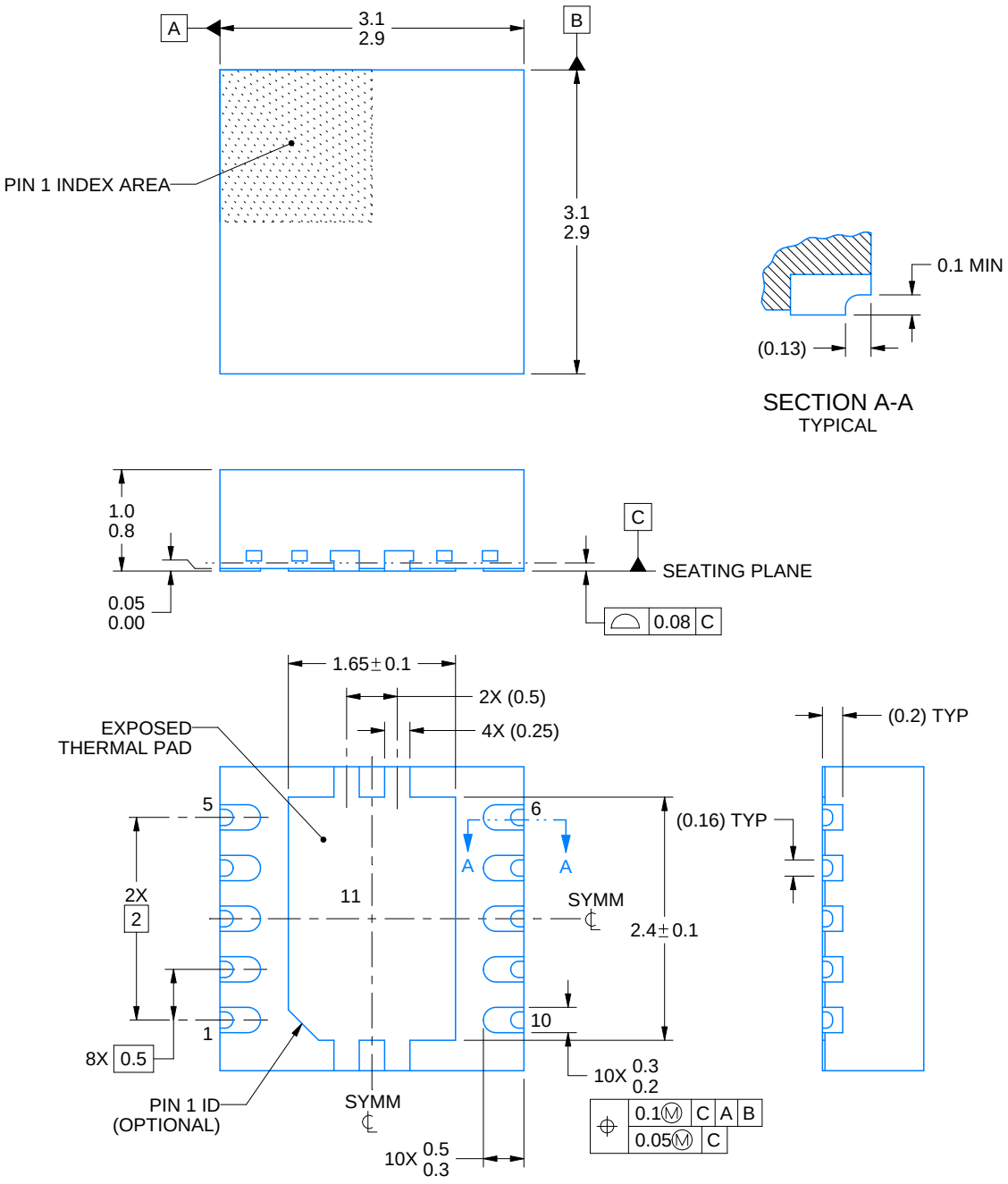
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

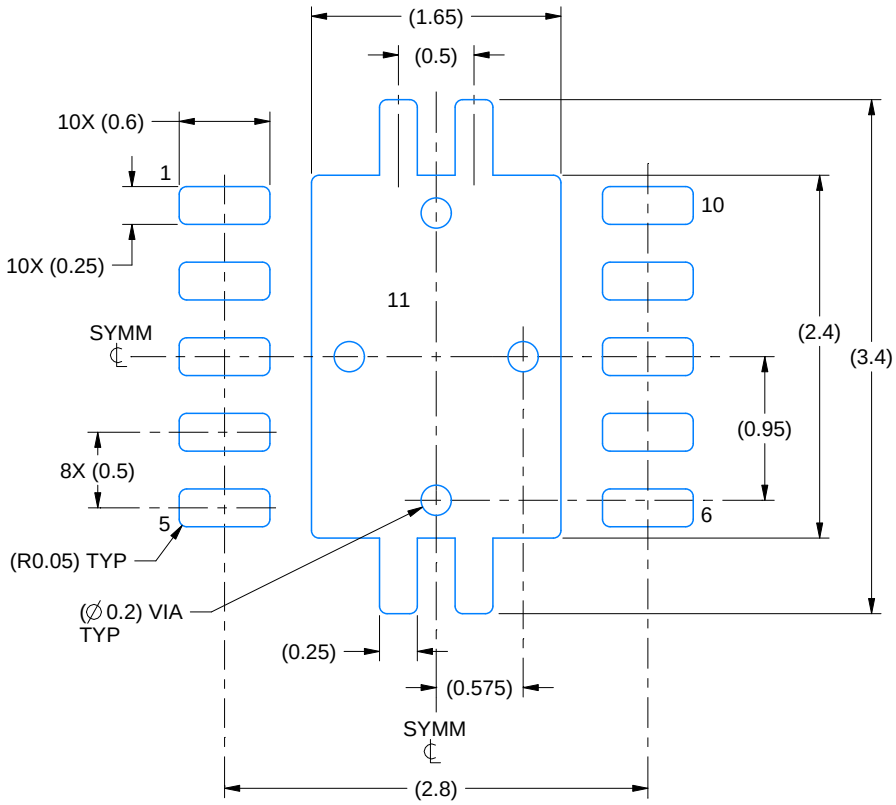


4226193/A

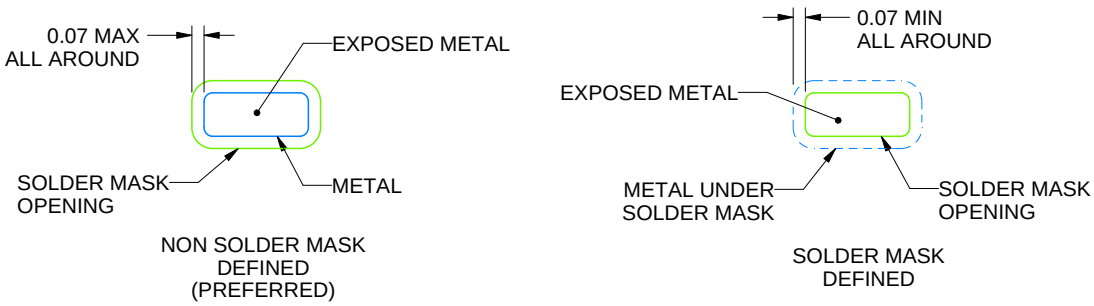


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

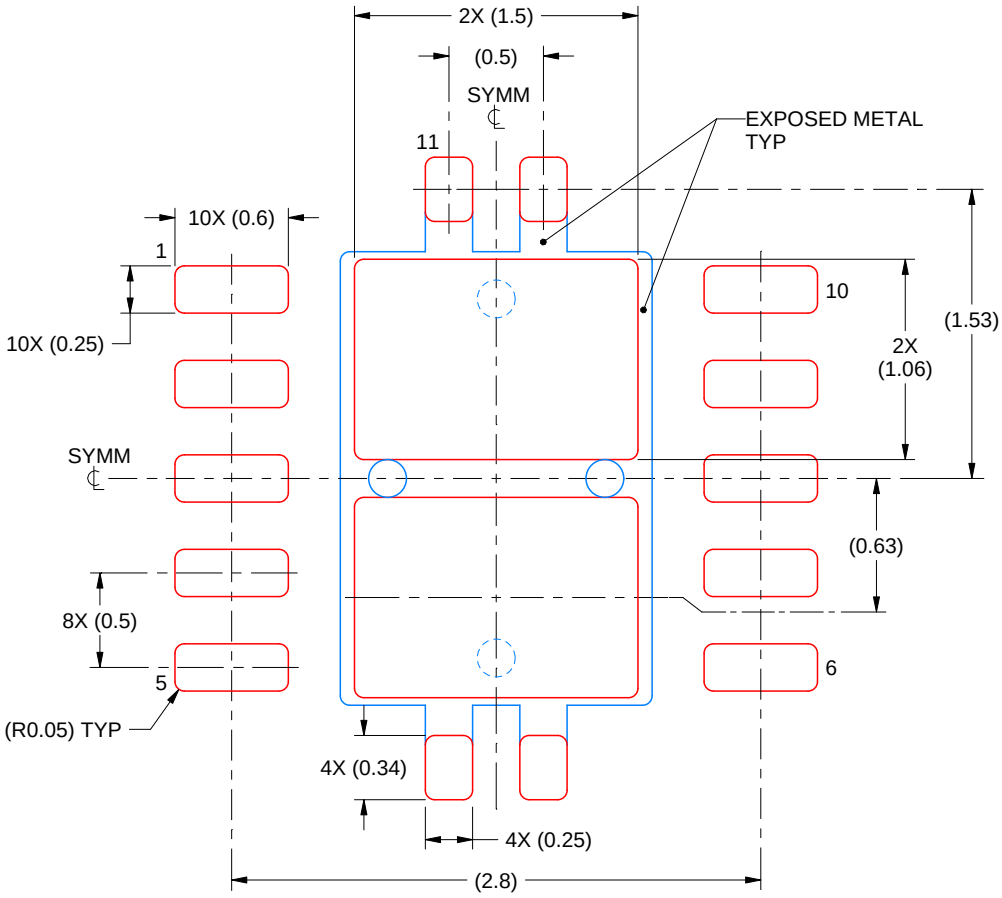


SOLDER MASK DETAILS

4225163/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4225163/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月