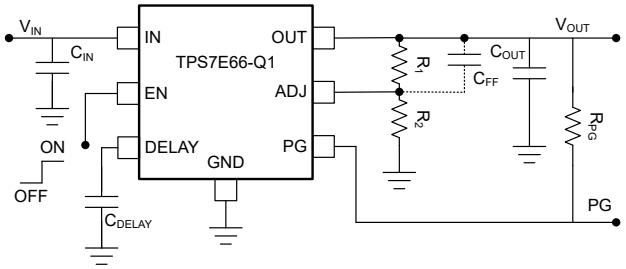
TPS7E66-Q1 車載用、パワー グッド搭載、40V、150mA、超低静止電流 (I_Q) 低ドロップアウト レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ +125℃、T_A
  - 接合部温度:–40℃～+150℃、T_J
- 入力電圧範囲:3.0V～40V (最大 42V)
- 選択可能な出力電圧:
  - 固定:1.8V ～ 12V
  - 可変:1.2V ～ 38V
- 出力電流:最大 150mA
- ライン、負荷、温度の全範囲にわたって 1.2% の精度
- きわめて小さい I_Q:I_{OUT} = 0mA 時に 2.8µA (代表値)
- 2.2µF 以上のセラミック コンデンサにより安定
  - ESR 範囲:0Ω ～ 1Ω
- デグリッチ フィルタおよびプログラマブル遅延を備えたパワーグッド
- ドロップアウト電圧:150mA で 460mV (標準値)
- 高 PSRR:
  - 1kHz 時に 70dB
  - 100kHz 時に 45dB
- 過電流、過電力、過熱の制限
- パッケージ:
  - 6 ピン WSON ウェッタブル フランク (DRV)、[$R_{\theta JA}$: 90.2°C/W]
  - 8 ピン HVSSOP (DGN) [$R_{\theta JA}$: 58.5°C/W]

2 アプリケーション

- 車載ヘッド ユニット
- ハイブリッド、電気、パワートレイン システム
- ヘッドライト
- テレマティクス制御ユニット
- ボディ コントロール モジュール (BCM)



代表的なアプリケーション

3 説明

TPS7E66-Q1 低ドロップアウト (LDO) リニア電圧レギュレータは、車載用アプリケーションのバッテリに接続するように設計された低静止電流のデバイスであり、3V ～ 40V の広い入力電圧範囲に対応しています。広い出力範囲は、可変構成で 1.2V ～ 38V、固定構成で 1.8V ～ 12V、負荷電流最大 150mA までです。このデバイスは無負荷時は静止電流がわずか 2.8µA であることから、スタンバイ システムのマイクロコントローラ (MCU) やコントローラ エリア ネットワーク (CAN) トランシーバなどの常時オンのコンポーネントへの電力供給に最適な設計です。

TPS7E66-Q1 は、ライン、負荷、温度範囲にわたって ±1.2% という非常に厳格な DC 精度をサポートしています。このデバイスはラインおよび負荷の過渡変動に対して高速に応答し、コールドクランク条件からも迅速に回復します。このデバイスは、ドロップアウト動作時において、無負荷時の静止電流を制御する機能を備えます。

TPS7E66-Q1 には、出力電圧を監視するためのパワーグッド機能が搭載されています。パワーグッド遅延時間は、外付けコンデンサによって調整することが可能です。本 LDO には、過電流、過温度、過電力に対する保護機構が内蔵されており、LDO の信頼性の高い動作を確保します。TPS7E66-Q1 は、2.2µF ～ 100µF の出力コンデンサ範囲で安定です。

TPS7E66-Q1 は、固定および可変出力用の 2.0mm × 2.0mm、6 ピン WSON (ウェッタブル フランク) (DRV-WF) および 3.0mm × 4.9mm、8 ピン HVSSOP (DGN) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7E66-Q1	DRV (WSON、6)	2.0mm × 2.0mm
	DGN (HVSSOP、8)	3.0mm × 4.9mm

(1) 詳細については、「*セクション 10*」セクションを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 代表的特性.....8
6 詳細説明.....20
6.1 概要.....20
6.2 機能ブロック図.....20
6.3 機能説明.....21
6.4 デバイスの機能モード.....25
7 アプリケーションと実装.....27
7.1 アプリケーション情報.....27
7.2 代表的なアプリケーション.....31
7.3 電源に関する推奨事項.....35
7.4 レイアウト.....35
8 デバイスおよびドキュメントのサポート.....37
8.1 ドキュメントのサポート.....37
8.2 ドキュメントの更新通知を受け取る方法.....37
8.3 サポート・リソース.....37
8.4 商標.....37
8.5 静電気放電に関する注意事項.....37
8.6 用語集.....37
9 改訂履歴.....37
10 メカニカル、パッケージ、および注文情報.....37

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

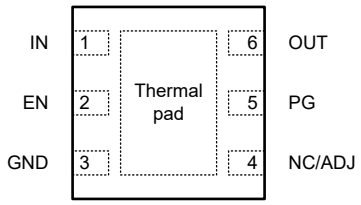


図 4-1. DRV パッケージ (固定/可変)、 6 ピン WSON (上面図)

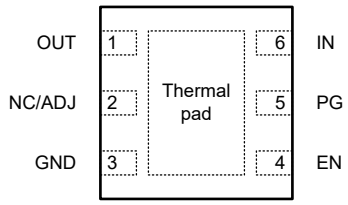


図 4-2. DRV パッケージ、A バージョン (固定/可変)、6 ピン WSON (上面図)

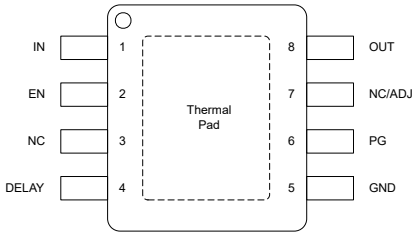


図 4-3. DGN パッケージ (固定/可変) 、8 ピン HVSSOP (上面図)

表 4-1. ピンの機能

ピン		説明
名称	タイプ	
GND	—	グランド ピン。
IN	入力	入力電源ピン。詳細については、「 推奨動作条件」表と「 入力および出力コンデンサの選択」セクションを参照してください。
OUT	出力	レギュレータの出力。安定性のために、OUT とグランドの間にコンデンサが必要です。*セクション 5.3* 表および *入力および出力コンデンサの選択* セクションに示されているように、最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT とグランドの間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。
EN	入力	イネーブル ピン。このイネーブル ピンを high に駆動すると、デバイスが有効になります。このピンを Low に駆動すると、デバイスはディスエーブルになります。高スレッショルドと低スレッショルドを *電気的特性* 表に示します。このピンは弱い内部プルアップを備えていますが浮いた状態のままにしてデバイスをイネーブルするか、ピンを入力ピンに接続することができます。*イネーブル (EN)* セクションを参照してください。
ADJ	入力	可変出力デバイスを使用する場合、このピンはフィードバック分圧回路によって出力電圧を設定します。可変構成では、デバイスが動作するために、このピンを抵抗分圧回路を介して出力に接続する必要があります。
PG	出力	パワーグッド出力はオープンドレイン構成です。PG ピンにはプルアップ抵抗が必要です。パワーグッド機能を使用しない場合は、このピンをグランドに接続するか、フローティングのままにしてください。詳細については、「パワー グッド (PG)」セクションを参照してください。
DELAY	入力	パワーグッド遅延調整ピン。PG リセット遅延を設定するには、このピンから GND にコンデンサを接続します。デフォルト ($t_{DELAY(PG)}$) 遅延を発生させないように、このピンはフロートのままにしてください。詳細については、*パワー グッド (PG)* および *可変パワーグッド遅延タイマ (DELAY)* セクションを参照してください。この機能が不要な場合は、このピンを GND に接続すると GND 電流が永続的に増加するため、このピンをフローティングのままにします。
NC	—	内部接続なし。このピンをオープンにするか、任意の電位に接続します。熱性能を向上させるため、このピンをグランドに接続してください。
サーマル パッド		サーマル パッド。最良の熱性能を得るために、パッドを GND に接続します。詳細については、レイアウト セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	V_{IN}	-0.3	42.0	V
	V_{OUT} (固定デバイスのみ)	-0.3	2 × $V_{OUT(nom)}$ または V_{IN} + 0.3 または 15.0 (どちらか小さい方)	V
	V_{OUT} (可変デバイスのみ)	-0.3	V_{IN} + 0.3 (2)	V
	V_{ADJ} (帰還電圧)	-0.3	3.6	V
	V_{EN} (イネーブル電圧)	-0.3	42.0	V
	V_{PG} (電源電圧)	-0.3	42.0	V
	V_{DELAY} (PG 遅延電圧)	-0.3	3.6	V
電流	I_{OUT} (出力電流)	内部的に制限		mA
	PG (デバイスへのシンク電流)		5	mA
温度	T_J、動作接合部	-55	150	°C
	T_{stg}、保管	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 絶対最大定格は V_{IN} + 0.3V または 42.0V のどちらか小さい方です。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	角のピン	±750	
			その他のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧範囲	3.0		40	V
V_{OUT}	出力電圧範囲 (固定のみ)(1)	1.8		12	V
V_{OUT}	出力電圧範囲 (調整可能のみ)(1)	1.2		38	V
V_{EN}	イネーブル電圧範囲	0		40	V
V_{PG}	パワーグッド電圧範囲	0		40	V
I_{OUT}	出力電流	0		150	mA
C_{IN}	入力コンデンサ(2)		0.47		µF
C_{OUT}	出力コンデンサ(3)	2.2		100	µF
C_{ADJ}	ADJ から GND への寄生コンデンサ(4)			15	pF
C_{FF}	フィードフォワード コンデンサ(5)		10		nF

Copyright © 2026 Texas Instruments Incorporated

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	動作時接合部温度	-40		150	°C

(1) この出力電圧範囲には、帰還抵抗の精度または精度は含まれていません。
(2) LDO の安定性のために、入力コンデンサは必要ありません。しかし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が 0.1µF の入力コンデンサを推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リンギングや発振などシステム レベルの不安定性の症状を引き起こす可能性があります。
(3) 記載されているすべてのコンデンサ値は公称値であり、実効容量は公称コンデンサ値の 50% まで低下すると想定されています。
(4) GND を基準として ADJ ピンのコンデンサの上限は、可変構成での電圧レギュレータの安定動作に影響を及ぼします。「推奨動作条件」表に記載されている制限よりも C_{ADJ} コンデンサが高い場合は、C_{FF} コンデンサを使用します。
(5) C_{FF} コンデンサは過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。より高い容量の C_{FF} を使用することは可能ですが、起動時間が長くなります。

5.4 熱に関する情報

熱評価基準(1)		TPS7E66-Q1		単位
		DRV (WSON) (2)	DGN (HVSSOP) (2)	
		6 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	90.2	58.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	113.5	96.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	55.7	32.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	13.0	11.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	55.3	32.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	30.6	12.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) 熱性能の結果は、JEDEC 規格の 2s2p PCB 構成に基づいています。これらの熱評価基準パラメータは、熱的に最適化された PCB レイアウト設計に基づいて、さらに 35～55% 改善されます。『基板レイアウトが LDO の熱性能に及ぼす影響』アプリケーション ノートの分析を参照してください。

5.5 電気的特性

動作接合部温度範囲 (T_J = –40°C ～ +150°C)、V_{IN} = 3.0V または V_{IN} = $V_{OUT(nom)}$ + 0.5V (いずれか大きい方)、I_{OUT} = 1mA、V_{EN} = 2.0V、C_{IN} = 1.0µF、C_{OUT} = 2.2µF、PG ピンは 100kΩ で V_{IN} にプル アップ、特に記述のない限り。標準値は T_J = 25°C時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ADJ}	ADJ (フィードバック) 電圧			1.2		V
V_{UVLO+}	立ち上がり入力電源 UVLO	V_{IN} 立ち上がり		2.8	2.91	V
V_{UVLO-}	立ち下がり入力電源 UVLO	V_{IN} 立ち下がり	2.6	2.7		V
$V_{UVLO(HYST)}$	V_{UVLO} ヒステリシス			100		mV
V_{OUT}	出力電圧	V_{IN} = V_{OUT} + 0.5V、I_{OUT} = 1mA、T_J = 25°C	-0.3		0.3	%
V_{OUT}	出力電圧	V_{OUT} + 1.0V ≤ V_{IN} ≤ 40V、I_{OUT} = 35mA、T_J = 25°C	-0.7		0.7	%
		V_{OUT} = 1.0V ≤ V_{IN} ≤ 40V、I_{OUT} = 35mA	-1.2		1.2	
		1mA ≤ I_{OUT} ≤ 150mA、1.0V ≤ V_{IN} – V_{OUT} ≤ 25V	-1.2		1.2	
$\Delta V_{OUT}(\Delta V_{IN})$	ライン レギュレーション	I_{OUT} = 1mA、V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V			10	mV
$\Delta V_{OUT}(\Delta I_{OUT})$	ロード レギュレーション	1mA ≤ I_{OUT} ≤ 150mA、V_{IN} = V_{OUT} + 1.0V、1.2V ≤ V_{OUT} < 5.0V			9	mV
		1mA ≤ I_{OUT} ≤ 150mA、V_{IN} = V_{OUT} + 1.0V、5.0V ≤ V_{OUT} < 12.0V			18	mV
$\Delta\%V_{OUT}/\Delta I_{OUT}$	ロード レギュレーション	1mA ≤ I_{OUT} ≤ 150mA、V_{IN} = V_{OUT} + 1.0V、12.0V ≤ V_{OUT}			1.0	%/A

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

動作接合部温度範囲 (T_J = –40°C ～ +150°C)、V_{IN} = 3.0V または V_{IN} = $V_{OUT(nom)}$ + 0.5V (いずれか大きい方)、I_{OUT} = 1mA、V_{EN} = 2.0V、C_{IN} = 1.0µF、C_{OUT} = 2.2µF、PG ピンは 100kΩ で V_{IN} にプル アップ、特に記述のない限り。標準値は T_J = 25°C時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{DO}	ドロップアウト電圧	I_{OUT} = 150mA		0.46	0.85	V
		I_{OUT} = 150mA、可変用		0.49	0.9	
V_{DO}	ドロップアウト電圧	I_{OUT} = 100mA		0.3	0.55	V
		I_{OUT} = 100mA、可変用		0.32	0.56	
I_{LIM}	出力電流制限	V_{OUT} は 0.9 × $V_{OUT (nom)}$ で強制され、V_{IN} = $V_{OUT(nom)}$ + 1.0V	180	250	325	mA
I_{SC}	回路短絡時の電流制限	R_{LOAD} = 20mΩ	10	30	55	mA
I_{PLIMIT}	最大ヘッドルームでサポートされる電流	V_{IN} = 40V、V_{OUT} = 1.2V			15	mA
$V_{HEADROOM}$	全負荷時の最大ヘッド ルーム	V_{OUT} = 1.2V			25	V
I_{ADJ}	ADJ (フィードバック) 電流	V_{IN} = 40V			25	nA
I_Q	静止時電流	3.0V ≤ V_{IN} ≤ $V_{OUT(nom)}$ – 0.2V、I_{OUT} = 0mA		12.5	25	µA
		I_{OUT} = 0mA		2.8	6.0	
		V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V、I_{OUT} = 0mA			7.6	
I_{GND}	グランド電流	I_{OUT} = 1mA		16.5	25	µA
I_{GND}	グランド電流	V_{IN} = V_{OUT} + 1.0V、I_{OUT} = 150mA			370	µA
$I_{SHUTDOWN}$	シャットダウン電流	V_{EN} = 0V、T_J = 25°C		0.45		µA
		V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V、V_{EN} = 0V			1.5	
$T_{start-up}$	起動時間	V_{IN}、V_{EN} を互いに接続、V_{IN} を $V_{OUT (nom)}$ + 0.5V に上昇、I_{OUT} = 0mA		500		µs
I_{EN}	EN ピン電流	0V ≤ V_{EN} ≤40V、V_{IN} と V_{EN} を互いに接続しています			0.3	µA
		0V ≤ V_{IN} ≤ 40V、V_{EN} = 0V	-0.5			
$V_{IL(EN)}$	EN ピンの Low レベル入力電圧 (ディセーブル デバイス)				0.46	V
$V_{IH(EN)}$	EN ピンの High レベル入力電圧 (イネーブル デバイス)		1.1			
$V_{HYST(EN)}$	EN ピンのヒステリシス (イネーブルデバイス)			0.13		V
PSRR	電源リップル除去	V_{IN} – V_{OUT} = 2.0 V、I_{OUT} = 150mA、f = 100kHz		45		dB
V_n	出力ノイズ電圧	Bandwidth = 10Hz to 100kHz、V_{IN} – V_{OUT} = 2.0 V、I_{OUT} = 150mA		650		μ_{VRMS}
$V_{IT-(PG)}$	PG ピン立ち下がりスレッショルド	立ち下がり V_{OUT} 用	86	89	92	%
$V_{IT+(PG)}$	PG ピン上昇のスレッショルド	立ち上がり V_{OUT} 用	90	93	96	%
$V_{OL(PG)}$	PG ピンの Low レベル出力電圧	V_{OUT} < $V_{IT-(PG)}$、V_{IN} = 3.0V、I_{PG} = –1 mA (デバイスへの電流)			0.4	V
$I_{lkg(PG)}$	PG ピンのリーク電流	V_{OUT} > $V_{IT+(PG)}$、V_{PG} = 40V		0.04	0.5	µA
遅延 (PG)	PG ピン 遅延時間			150		µs
Deglitch(PG)	PG グリッチ除去時間			135		µs
$I_{(PGDL_CHG)}$	PG 遅延コンデンサの充電電流	V_{PGDL} (標準値) の V_{PGDL} = 63%		2.86		µA

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

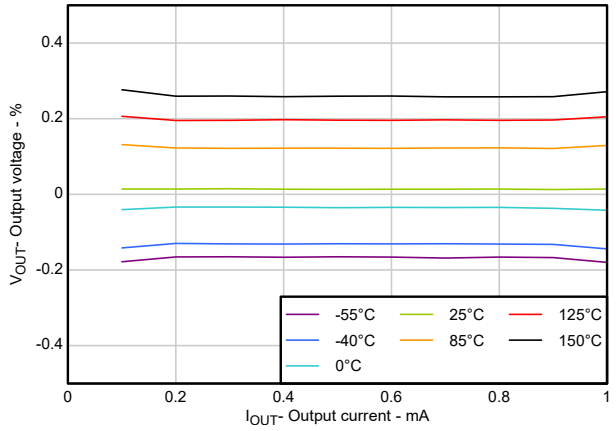
動作接合部温度範囲 (T_J = –40°C ～ +150°C)、V_{IN} = 3.0V または V_{IN} = $V_{OUT(nom)}$ + 0.5V (いずれか大きい方)、I_{OUT} = 1mA、V_{EN} = 2.0V、C_{IN} = 1.0µF、C_{OUT} = 2.2µF、PG ピンは 100kΩ で V_{IN} にプル アップ、特に記述のない限り。標準値は T_J = 25℃時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(PGDL_TH)}$	PG を High に解放するための PG 遅延スレッショルド			2.26		V
T_{sd+}	サーマルシャットダウン温度上昇	シャットダウン、温度上昇	163			°C
T_{sd-}	サーマルシャットダウン温度下降	リセット、温度低下	150			°C
$R_{Discharge}$	出力放電抵抗	V_{IN} = 3.0V、V_{EN} = 0V、T_J = 25℃、I_{OUT} = 1mA		780		Ω
I_{SINK}	出力のシンク電流	V_{OUT} = $V_{OUT(nom)}$ × 1.05、T_J = 25℃		3.3		mA

Copyright © 2026 Texas Instruments Incorporated

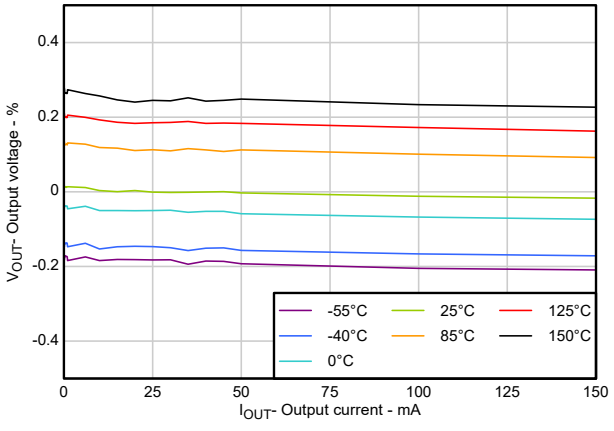
5.6 代表的特性

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



V_{IN} = 3.8V

図 5-1. V_{OUT} の精度と I_{OUT} との関係



V_{IN} = 4.3V

図 5-2. V_{OUT} の精度と I_{OUT} との関係

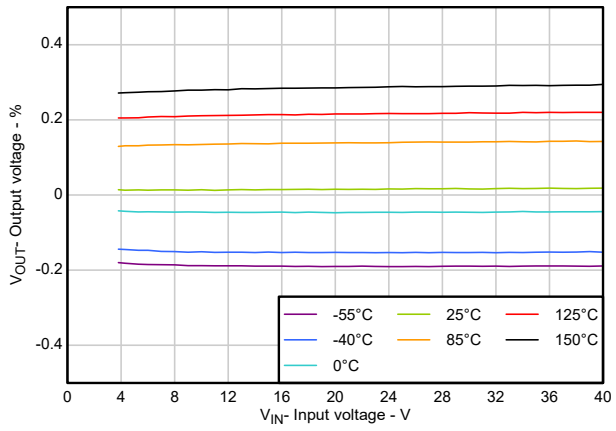


図 5-3. V_{OUT} の精度と V_{IN} との関係

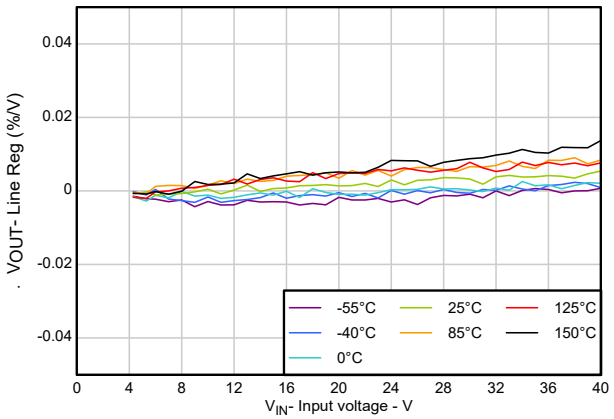


図 5-4. ライン レギュレーション

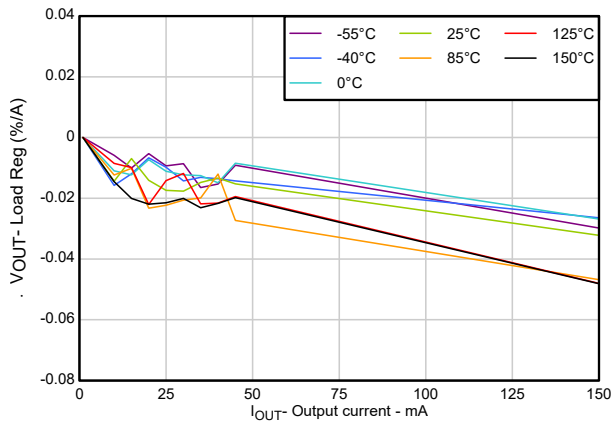


図 5-5. ロード レギュレーション

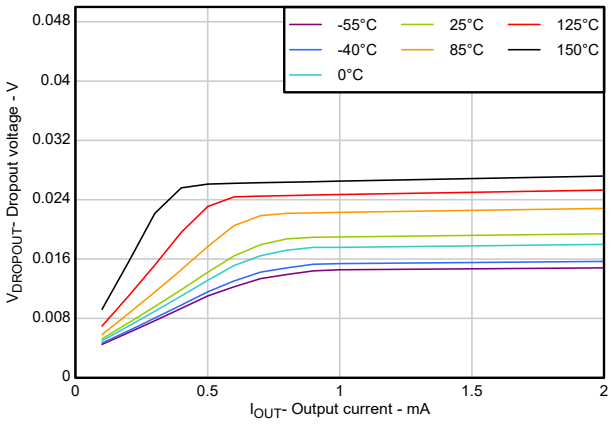


図 5-6. V_{DO} と I_{OUT}(mA) との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)

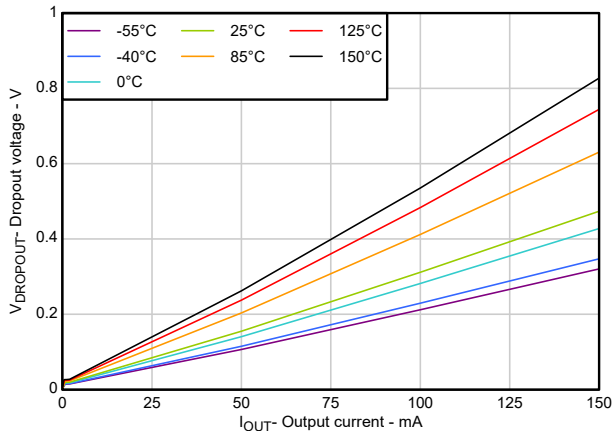


図 5-7. V_{DO} と I_{OUT}(mA) との関係

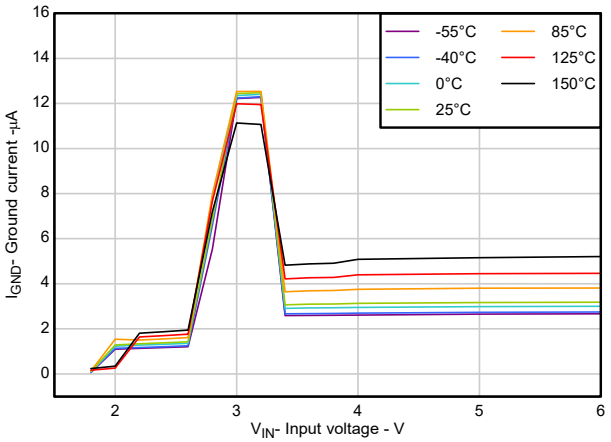


図 5-8. I_{GND} と V_{IN} との関係

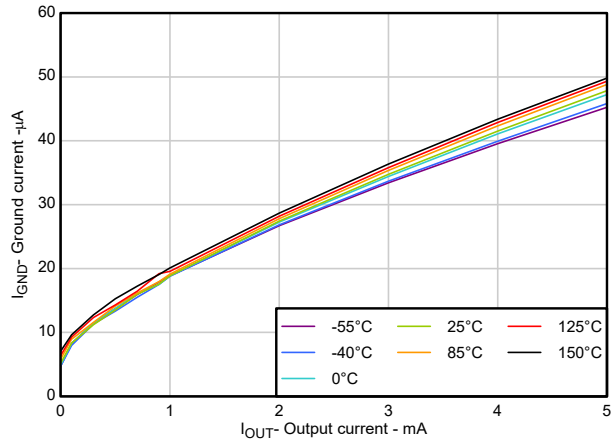


図 5-9. I_{GND} と I_{OUT} との関係

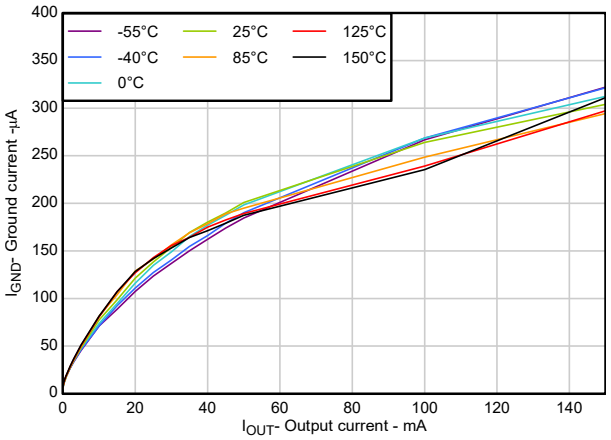


図 5-10. I_{GND} と I_{OUT} との関係

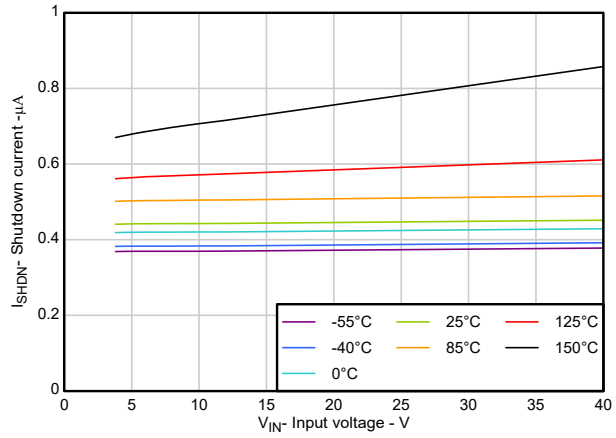
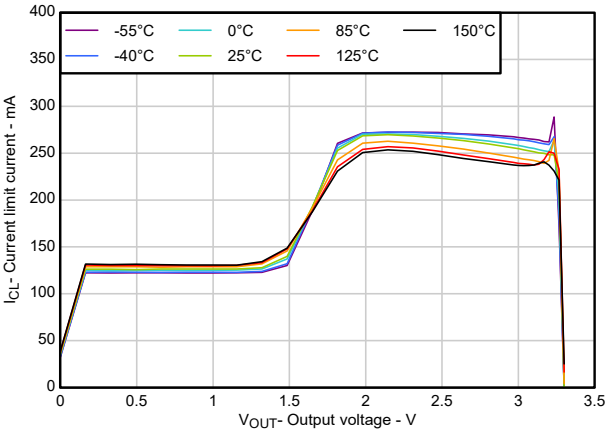


図 5-11. I_{SHDN} と V_{IN} との関係

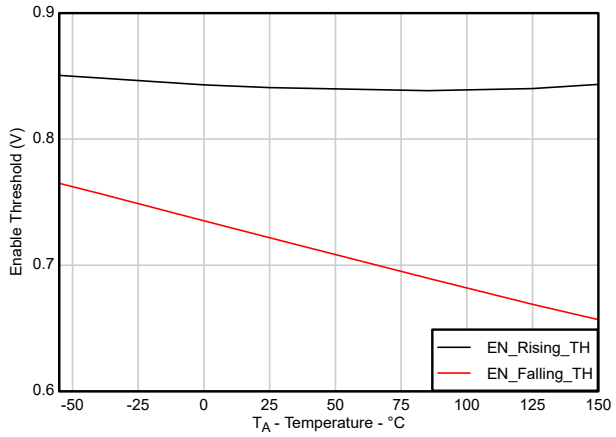


V_{IN} = 4.3V

図 5-12. フォールドバック電流制限 I_{CL} と温度との関係

5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



V_{IN} = 5.3V

図 5-13. EN スレッショルド $V_{IH(EN)}$/$V_{IL(EN)}$ と温度との関係

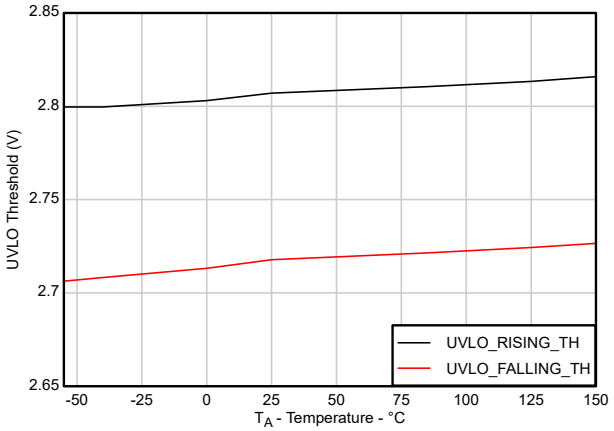
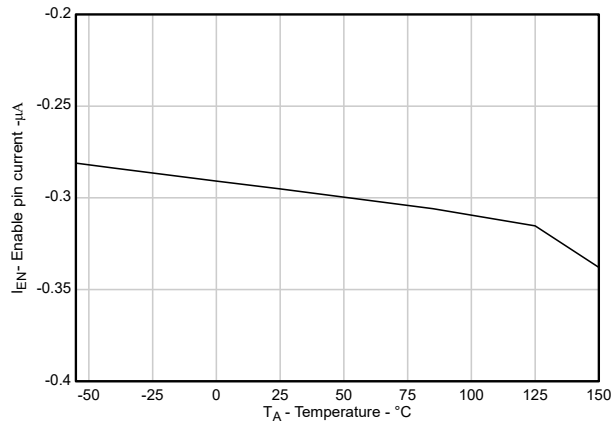
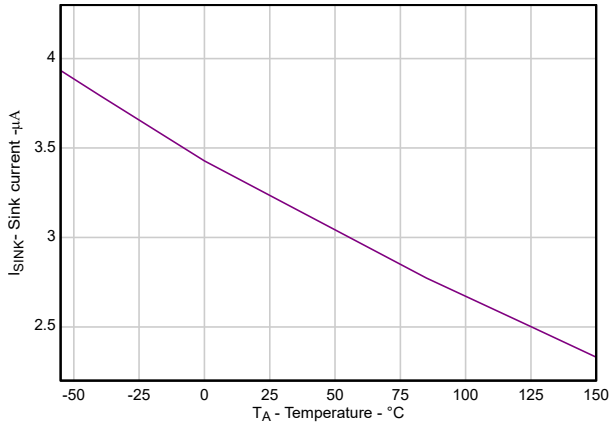


図 5-14. UVLO スレッショルド (V_{UVLO+}/V_{UVLO-}) と温度との関係



V_{IN} = 4.3V

図 5-15. EN リーク電流 I_{EN} と温度との関係



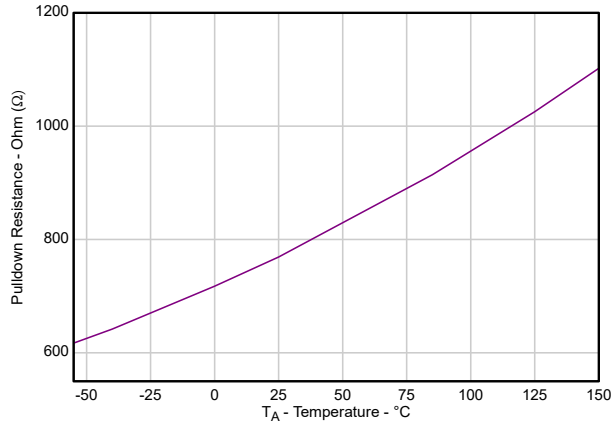
V_{IN} = 4.3V、V_{OUT} = 1.05 × $V_{OUT(nom)}$

図 5-16. 出力オンのシンク電流 (I_{SINK}) と温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



V_{IN} = 3.0V、I_{OUT} = 1mA

図 5-17. 出力のプルダウン抵抗 ($R_{Discharge}$) と温度との関係

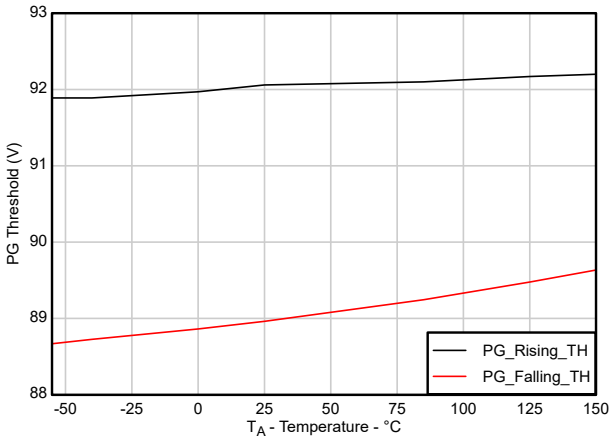
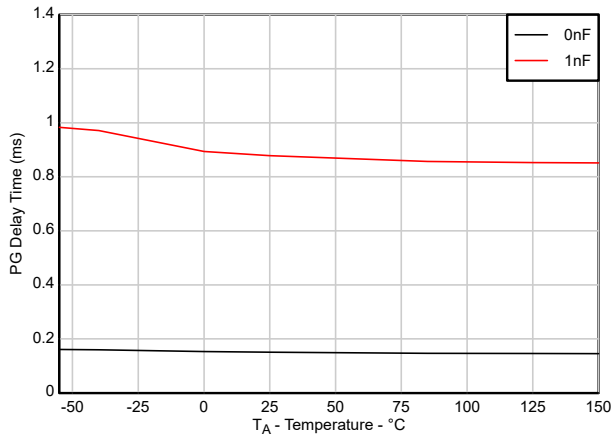


図 5-18. PG スレッショルド ($V_{IT+(PG)}$/$V_{IT-(PG)}$) と温度との関係



C_{DELAY} = 0nA、1nF

図 5-19. PG 遅延時間と温度との関係

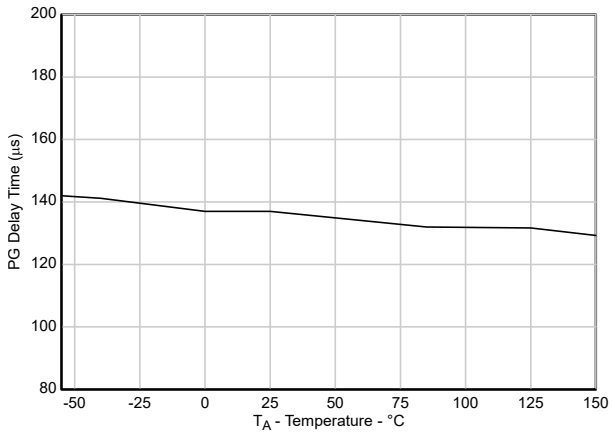
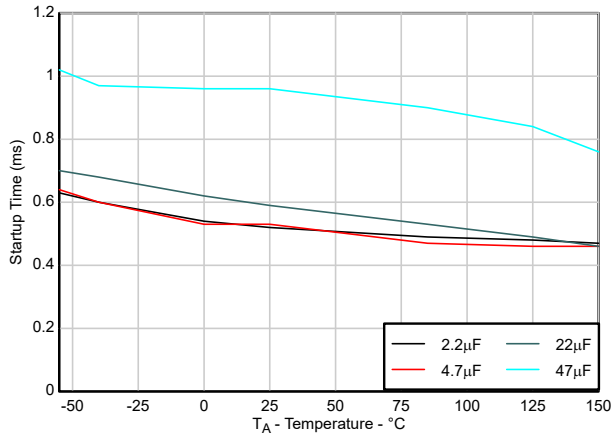


図 5-20. PG デグリッチ時間と温度との関係

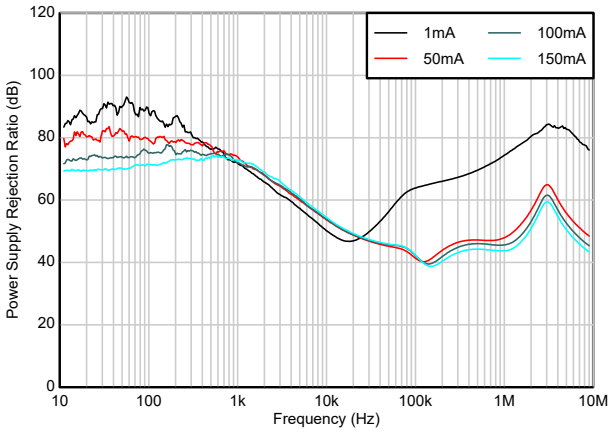
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



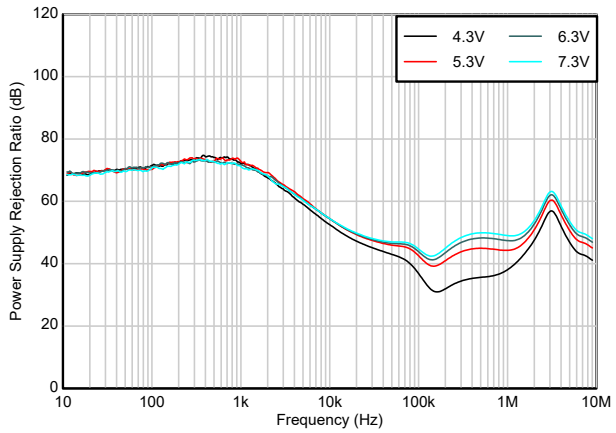
V_{IN} = 4.3 V、V_{OUT} = 3.3 V

図 5-21. スタートアップタイムと C_{OUT} との関係



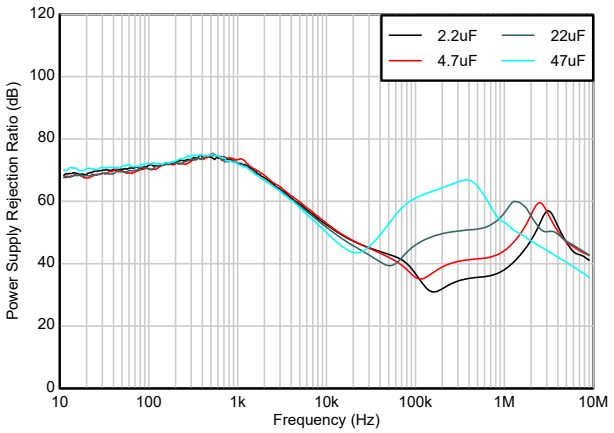
V_{IN} = 5.3V、V_{OUT} = 3.3V、I_{OUT} = 2.2µF

図 5-22. PSRR と I_{OUT} との関係



V_{OUT} = 3.3V、I_{OUT} = 150mA、C_{OUT} = 2.2µF

図 5-23. PSRR と V_{IN} との関係



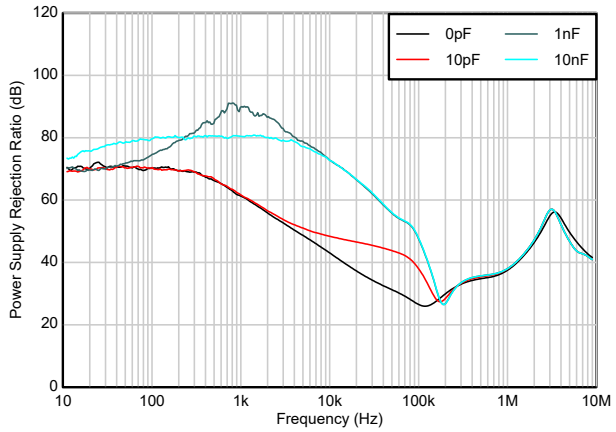
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 150 mA

図 5-24. PSRR と C_{OUT} との関係

Copyright © 2026 Texas Instruments Incorporated

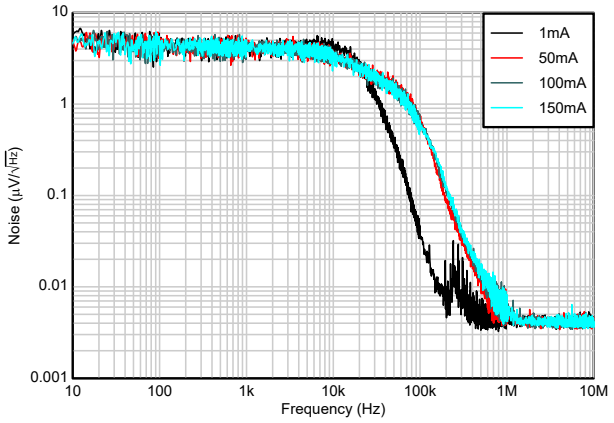
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



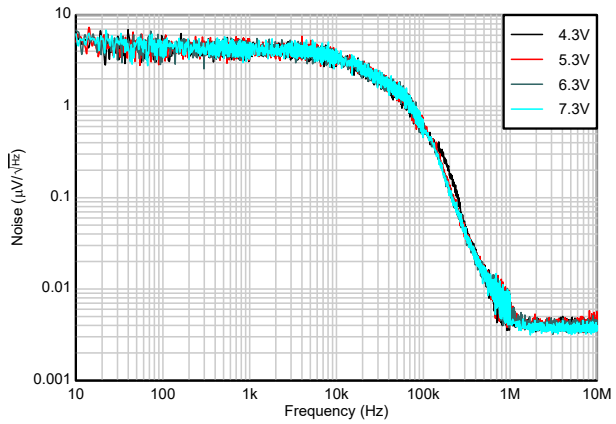
V_{IN} = 4.3V、V_{OUT} = 3.3V、COUT = 2.2µF、I_{OUT} = 150mA

図 5-25. PSRR と C_{FF} との関係



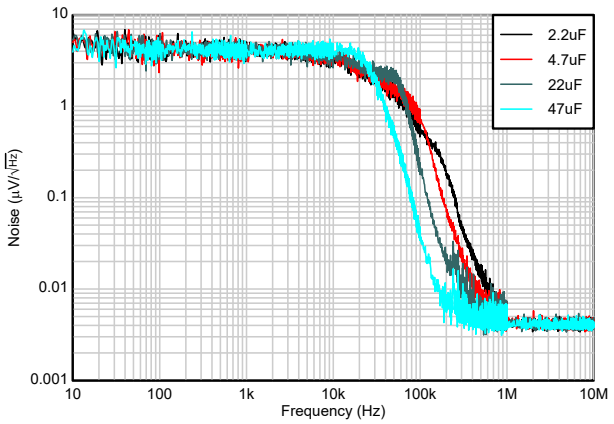
V_{IN} = 5.3V、V_{OUT} = 3.3V、I_{OUT} = 2.2µF

図 5-26. ノイズと I_{OUT} との関係



V_{OUT} = 3.3V、I_{OUT} = 150mA、C_{OUT} = 2.2µF

図 5-27. ノイズと V_{IN} との関係



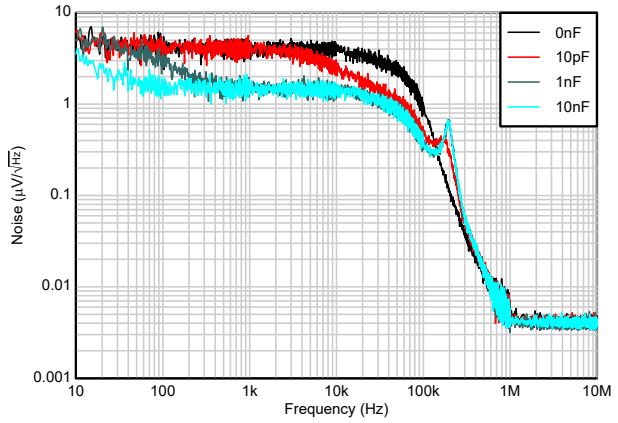
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 150 mA

図 5-28. ノイズと C_{OUT} との関係

Copyright © 2026 Texas Instruments Incorporated

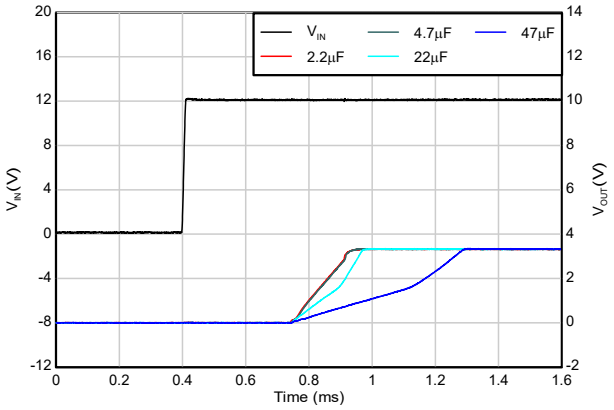
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



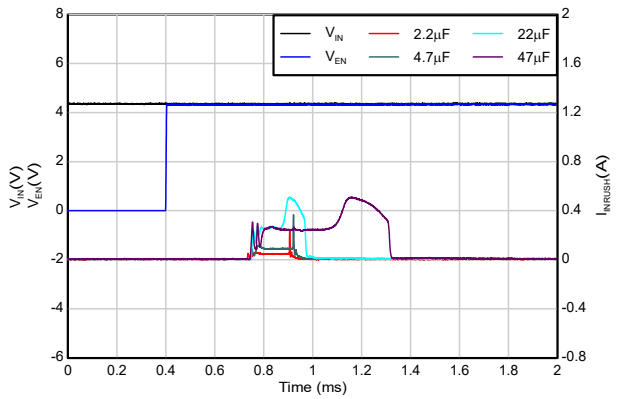
V_{IN} = 4.3V、V_{OUT} = 3.3V、COUT = 2.2µF、I_{OUT} = 150mA

図 5-29. ノイズと C_{FF} との関係



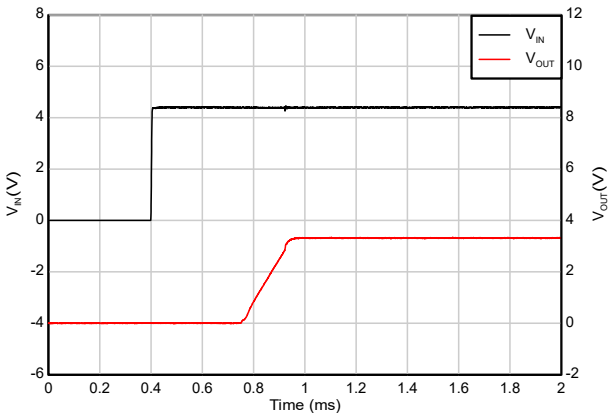
V_{IN} = 12 V、V_{OUT} = 3.3 V、I_{OUT} = 1 mA

図 5-30. スタートアップと C_{OUT} との関係



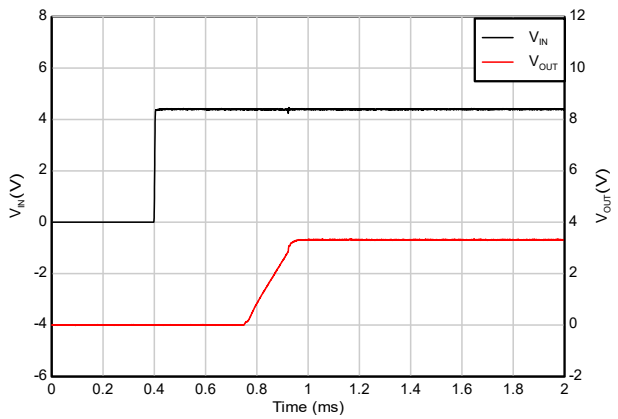
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 0 mA

図 5-31. 突入電流と I_{OUT} との関係



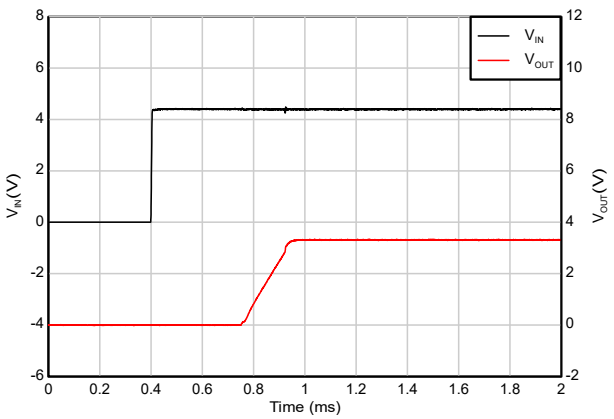
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 1 mA

図 5-32. EN & V_{IN} を互いに接続した状態でのスタートアップ



V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 10 mA

図 5-33. EN & V_{IN} を互いに接続した状態でのスタートアップ



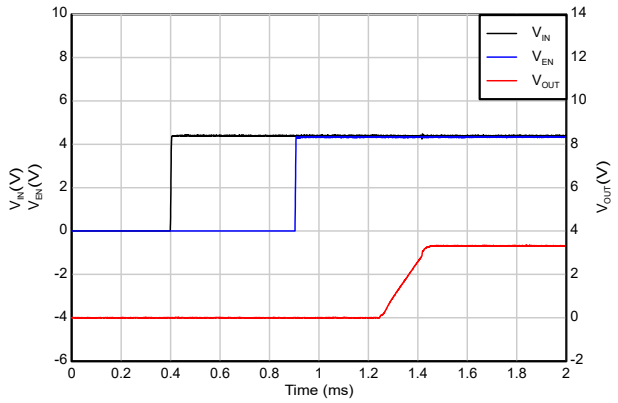
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 50 mA

図 5-34. EN & V_{IN} を互いに接続した状態でのスタートアップ

Copyright © 2026 Texas Instruments Incorporated

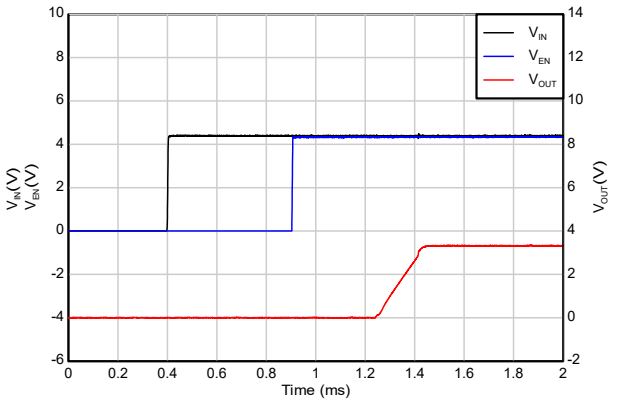
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



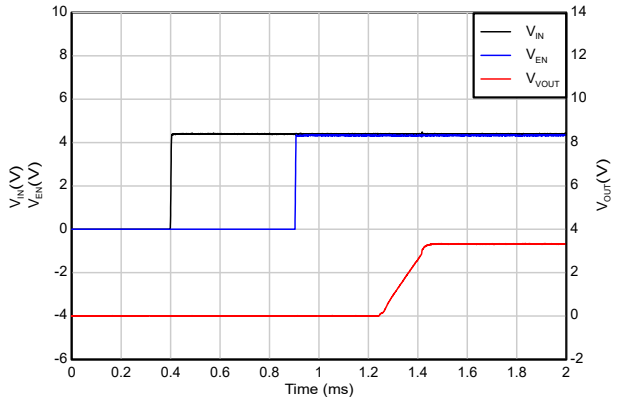
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 1 mA

図 5-35. シーケンスによる起動 (V_{IN} 後の EN)



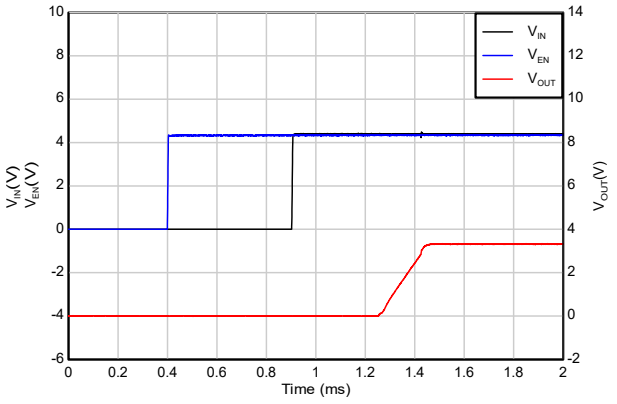
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 10 mA

図 5-36. シーケンスによる起動 (V_{IN} 後の EN)



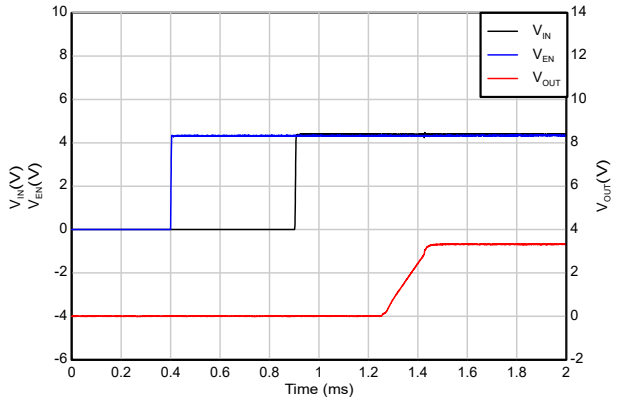
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 50 mA

図 5-37. シーケンスによる起動 (V_{IN} 後の EN)



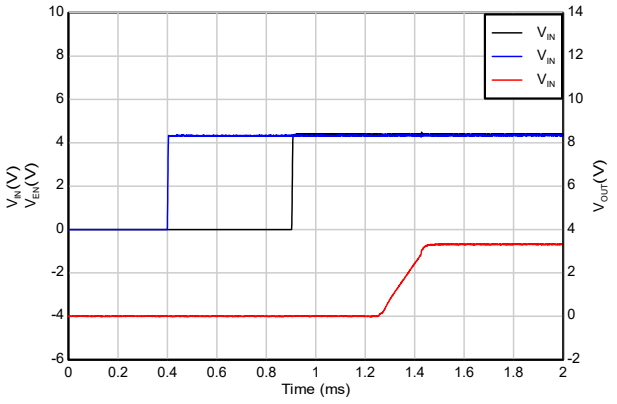
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 1 mA

図 5-38. シーケンスによる起動 (EN 後ろの V_{IN})



V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 10 mA

図 5-39. シーケンスによる起動 (EN 後ろの V_{IN})



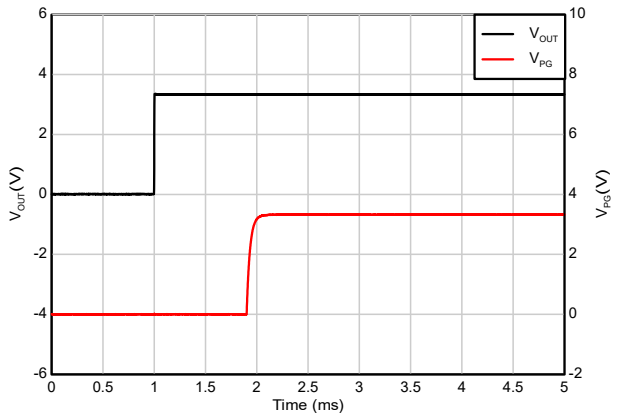
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 50 mA

図 5-40. シーケンスによる起動 (EN 後ろの V_{IN})

Copyright © 2026 Texas Instruments Incorporated

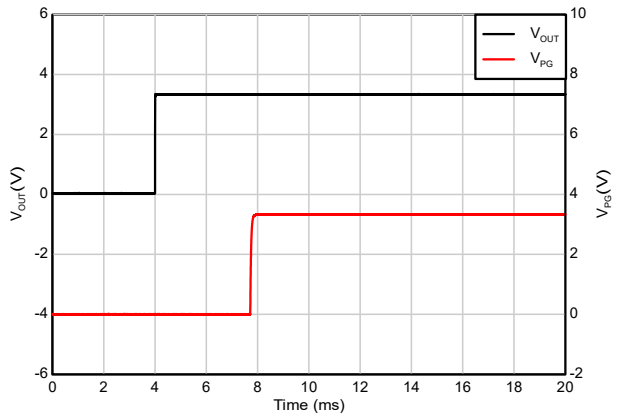
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



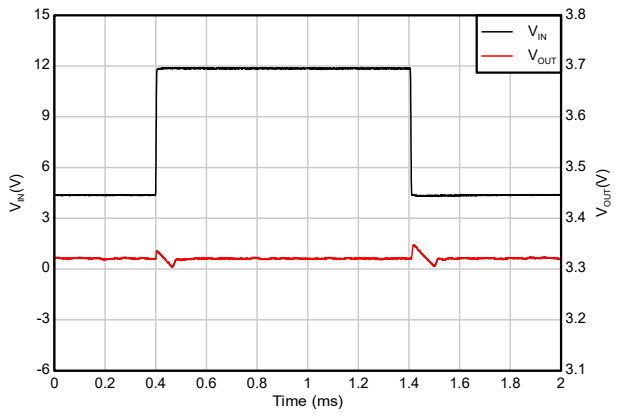
V_{IN} = 4.3V、V_{OUT} = 3.3V、C_{DELAY} = 1nF

図 5-41. C_{DELAY} = 1nF による PG 遅延



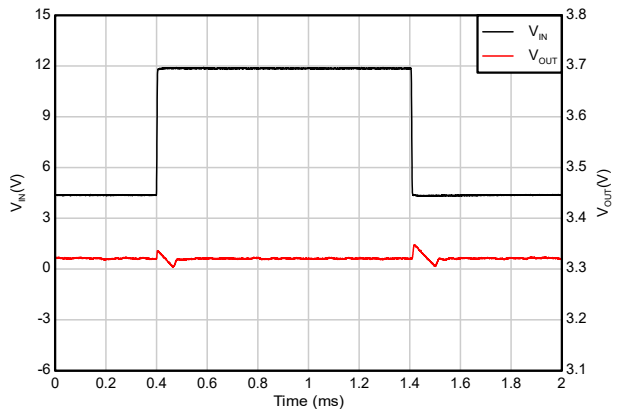
V_{IN} = 4.3V、V_{OUT} = 3.3V、C_{DELAY} = 4.7nF

図 5-42. C_{DELAY} = 4.7nF による PG 遅延



V_{IN} = 4.3V ～ 12V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

図 5-43. ライン過渡応答 (4.3V ～ 12V)



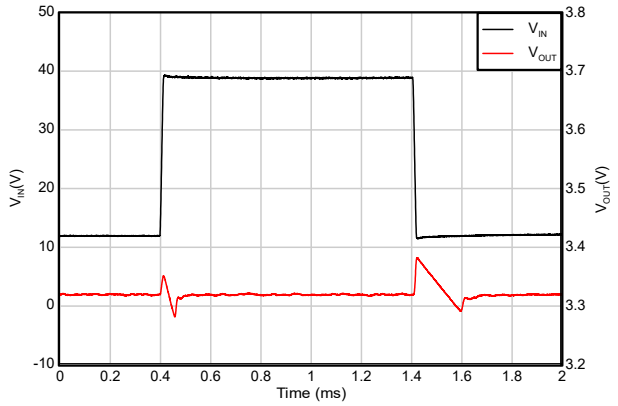
V_{IN} = 4.3V ～ 12V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

図 5-44. ライン過渡応答 (4.3V ～ 12V)

Copyright © 2026 Texas Instruments Incorporated

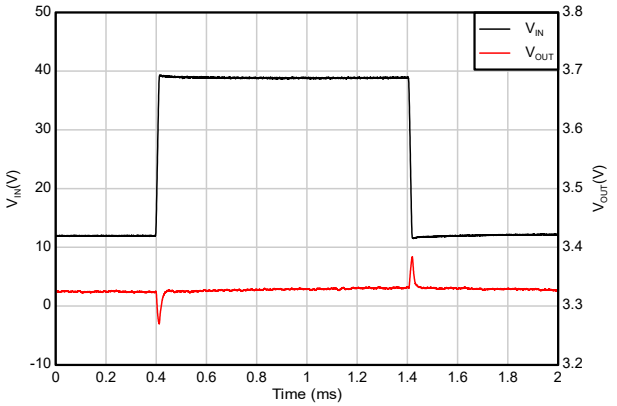
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



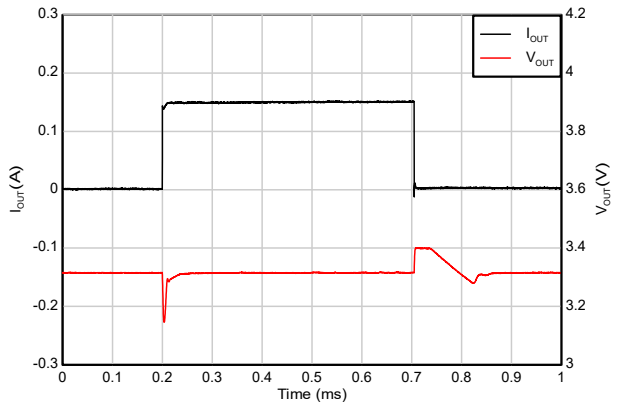
V_{IN} = 12V ～ 40V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

図 5-45. ライン過渡応答 (12V ～ 40V)



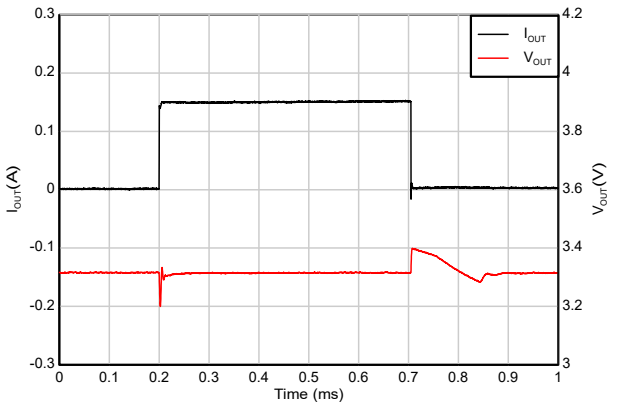
V_{IN} = 12V ～ 40V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

図 5-46. ライン過渡応答 (12V ～ 40V)



V_{IN} = 4.3V、V_{OUT} = 3.3V、I_{OUT} = 0mA ～ 150mA、dI_{OUT}/dt = 2A/µs

図 5-47. 負荷過渡応答 (0mA～150mA)



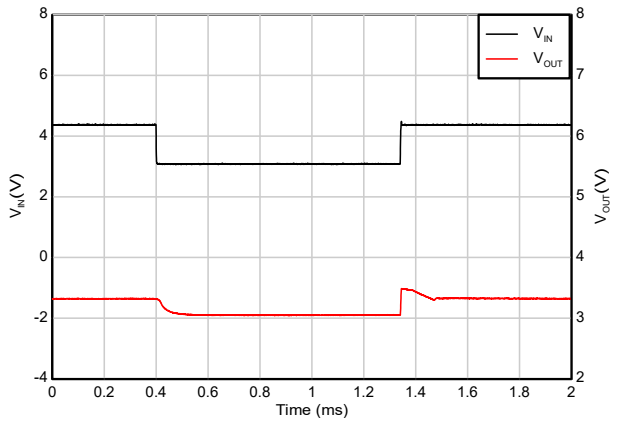
V_{IN} = 4.3V、V_{OUT} = 3.3V、I_{OUT} = 1mA ～ 150mA、dI_{OUT}/dt = 2A/µs

図 5-48. 負荷過渡応答 (1mA～150mA)

Copyright © 2026 Texas Instruments Incorporated

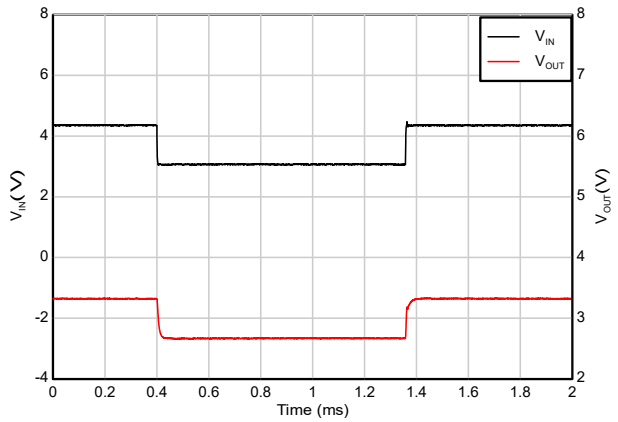
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



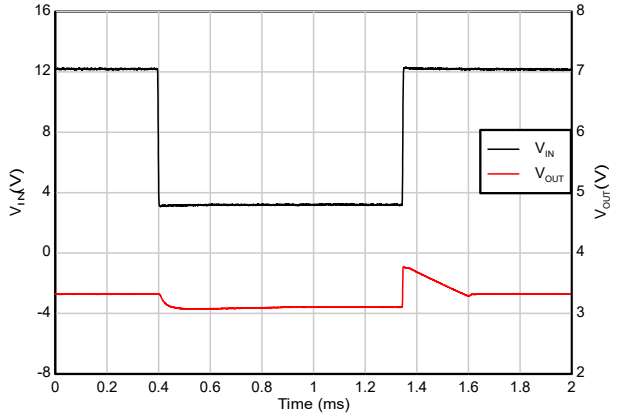
V_{IN} = 4.3V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

図 5-49. ドロップアウトからの回復 (4.3V 入力 3V 出力)



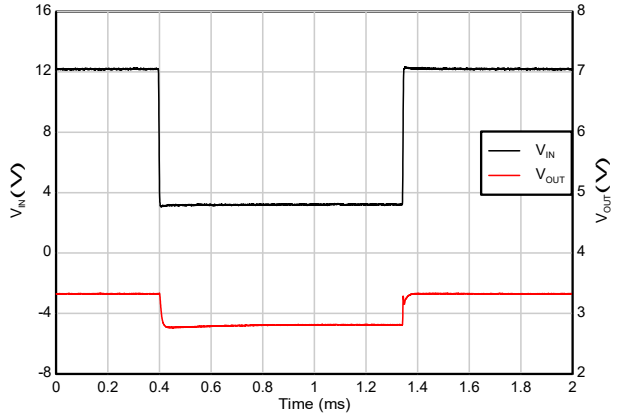
V_{IN} = 4.3V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

図 5-50. ドロップアウトからの回復 (4.3V 入力 3V 出力)



V_{IN} = 12V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

図 5-51. ドロップアウトからの回復 (12V 入力 3V 出力)



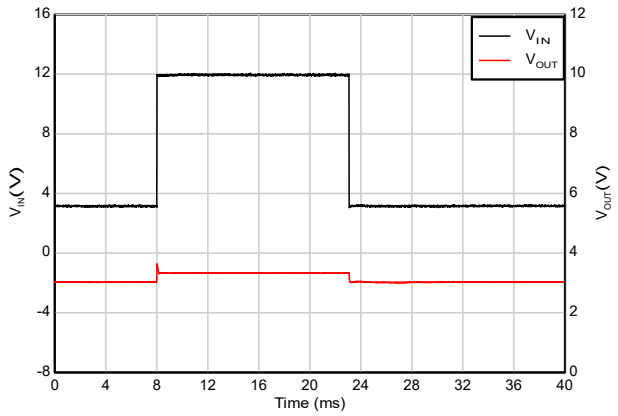
V_{IN} = 12V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 100mA、dV_{IN}/dt = 2V/µs

図 5-52. ドロップアウトからの回復 (12V 入力 3V 出力)

Copyright © 2026 Texas Instruments Incorporated

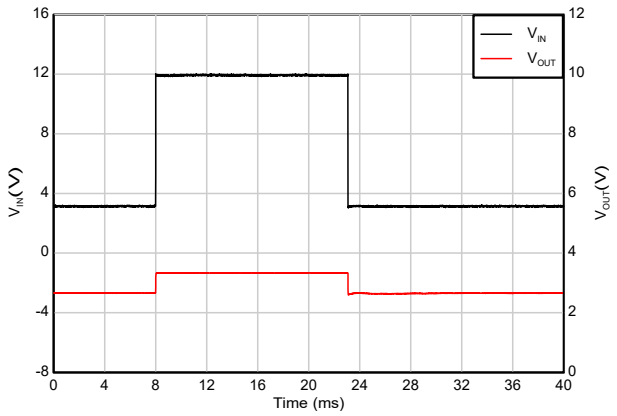
5.6 代表的特性 (続き)

動作時接合部温度 (T_J = 25°C) で、V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、I_{OUT} = 1mA (特に記載がない限り)



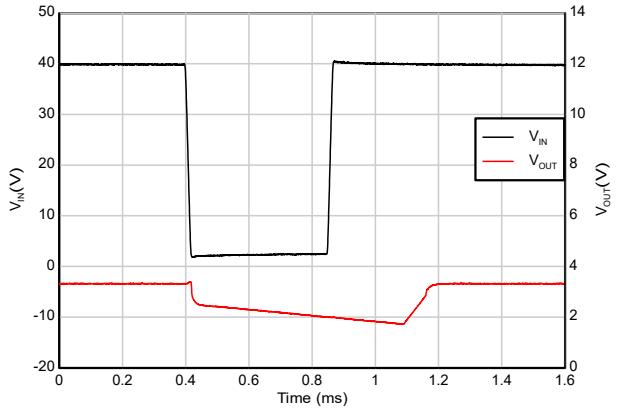
V_{IN} = 3V ～ 12V、V_{OUT} = 3.3V、I_{OUT} = 1mA

図 5-53. コールドクランク回復



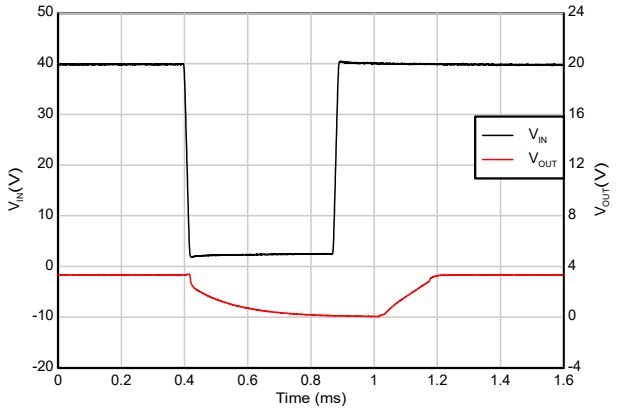
V_{IN} = 4.3V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 150mA

図 5-54. コールドクランク回復



V_{IN} = 40V ～ 2V、V_{OUT} = 3.3V、I_{OUT} = 1mA

図 5-55. ブラウンアウトからの回復 (40V ～ 2V)



V_{IN} = 40V ～ 2V、V_{OUT} = 3.3V、I_{OUT} = 50mA

図 5-56. ブラウンアウトからの回復 (40V ～ 2V)

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS7E66-Q1 低ドロップアウト レギュレータ (LDO) は、無負荷時にわずか 2.8µA (代表値、固定構成時) の超低静止電流で動作します。本デバイスは、広い入力電圧範囲 (3.0V ～ 40V)、可変構成時の広い出力範囲 (1.2V～38V)、および最大 150mA の負荷電流に対応しています。デバイスは、2.2µF ～ 100µF の出力コンデンサ範囲で安定です。また、遅延およびデグリッチ機能を備えたパワーグッド機能も搭載しています。パワーグッドの遅延時間は、DELAY ピンに外付け部品を接続することで設定することも可能です。

全負荷電流範囲にわたって静止電流が非常に低いため、TPS7E66-Q1 はバッテリ電源から直接駆動される負荷向けに設計されています。TPS7E66-Q1 には内部ソフトスタート機構が搭載されており、突入電流の制御によって一様なスタートアップを行えます。また、この LDO は、出力側での負荷短絡やフォルト状態時に、過電流保護 (フォールドバック方式)、過電圧保護および熱保護機能も備えており、信頼性が向上しています。

6.2 機能ブロック図

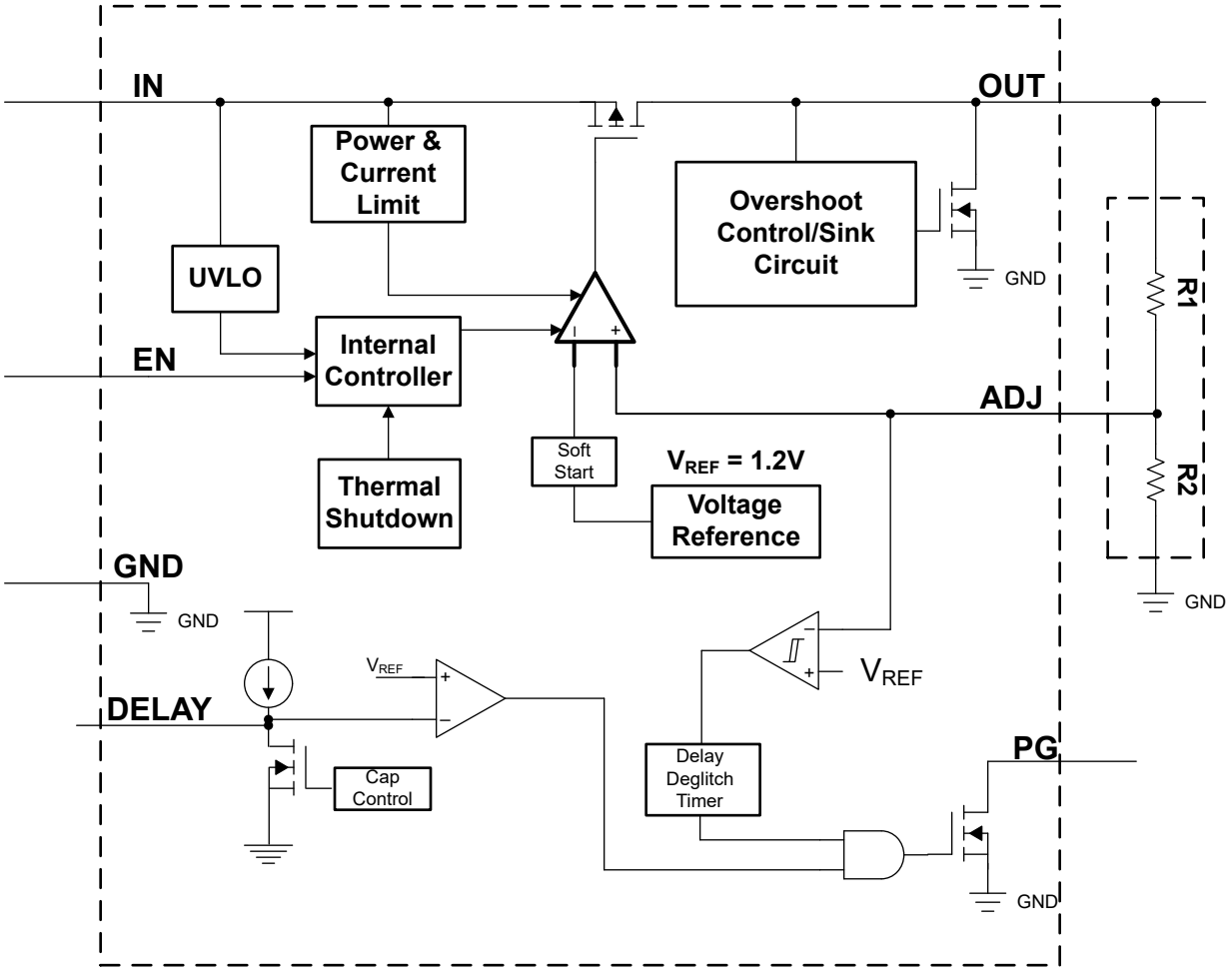


図 6-1. 機能ブロック図：可変バージョン

Copyright © 2026 Texas Instruments Incorporated

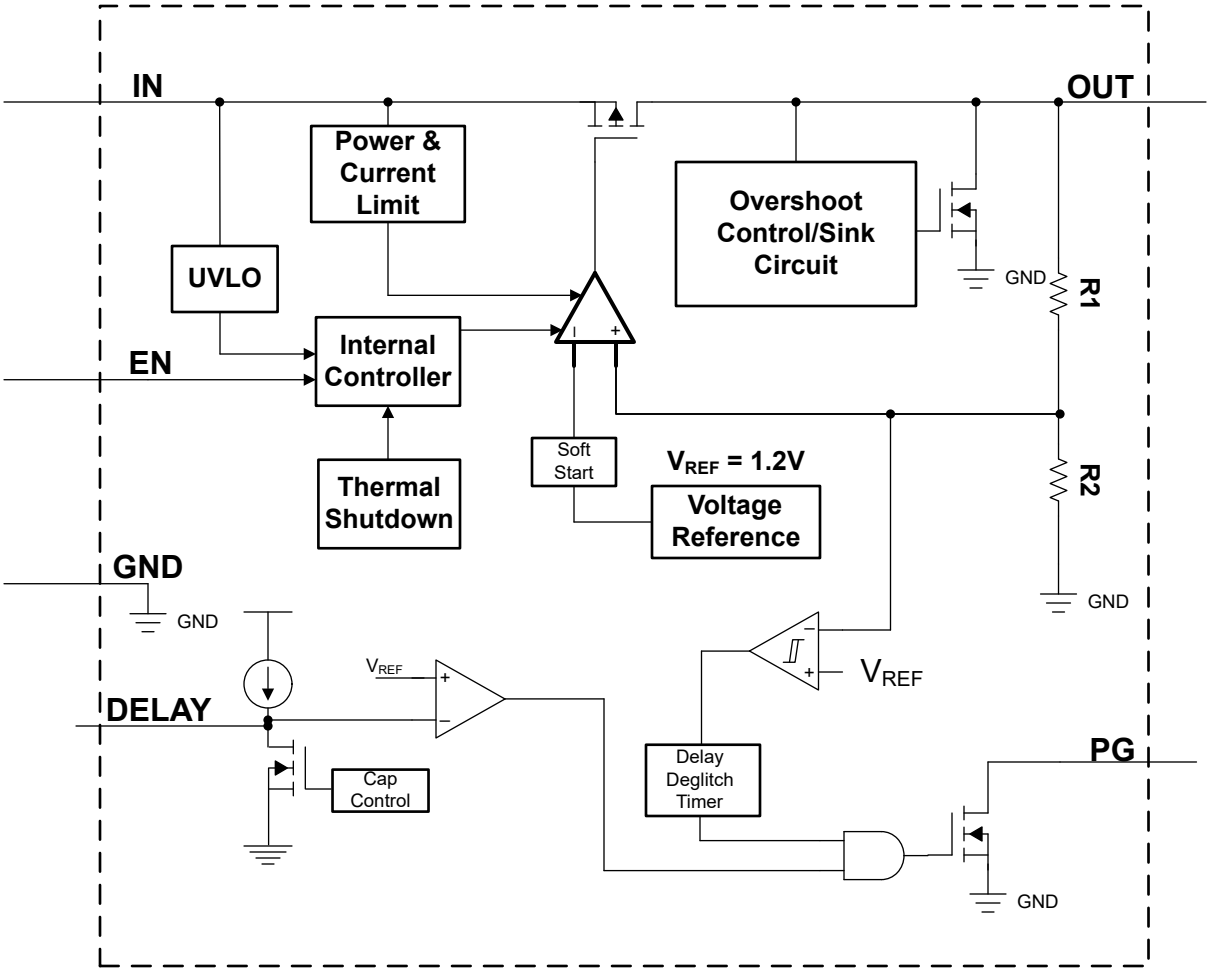


図 6-2. 機能ブロック図：固定バージョン

6.3 機能説明

6.3.1 イネーブル (EN)

デバイスのイネーブル ピンはアクティブ High ピンです。イネーブル ピンの電圧が EN ピンの High レベル入力電圧 (V_{IH}) より高いと、出力電圧がイネーブルされ、イネーブル ピンの電圧が EN ピンの Low レベル入力電圧 (V_{IL}) より低いと、ディスエーブルされます。高レベルおよび低レベルのしきい値は、*電気的特性* に記載されています。出力電圧を独立して制御する必要がない場合は、イネーブル ピンをデバイスの入力に接続します。

EN ピンには弱い内部プルアップもあり、EN ピンをフローティングのままにすることでデバイスをイネーブルできます。EN ピンの内部プルアップ電流は、イネーブル プルアップ電流として *電気的特性* の表に記載されています。ただし、ピンのリーク電流 (基板の汚染またはその他の原因による) がこのピンを誤って Low にプルしないように注意する必要があります。デバイスを意図せず無効にしないように、リーク電流を 25nA 以下に制限する必要があります。

6.3.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、入力電圧から出力電圧を引いた値 (V_{IN} - V_{OUT}) として定義されます。I_{RATED} は、推奨動作条件 表に記載されている最大 I_{OUT} です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 パワー グッド (PG)

パワーグッド (PG) ピンはオープンドレイン出力であり、外付けプルアップ抵抗を介して安定化電源に接続できます。最大プルアップ電圧は、*推奨動作条件* 表に V_{PG} と記載されています。PG ピンが有効な出力を示すためには、IN ピンの電圧が *電気的特性* 表に記載の $V_{UVLO(+)}$ より高い必要があります。V_{OUT} が $V_{IT+(PG)}$ を超えると、PG 出力は高インピーダンスになり、PG ピンの電圧が接続されたレギュレーション電源にプルアップされます。レギュレートされた出力が $V_{IT-(PG)}$ を下回ると、オープン ドレイン出力がオンになり、PG 出力が Low にプルされます。出力電圧のモニタリングが不要な場合、PG ピンはフローティングのままにするか、グランドに接続してください。外部電源にプルアップ抵抗を接続することで、後段のデバイスはパワーグッド (PG) 信号をロジック信号として受け取り、シーケンス制御に利用できます。外部プルアップ電源電圧が受信デバイスの有効なロジック信号になることを確認します。

可変タイプのデバイスでフィードフォワード コンデンサ (C_{FF}) を使用する場合、LDO の立ち上がり時定数は増加しますが、パワーグッド出力の時定数は変化しないため、パワーグッド出力が一時的に無効状態となる可能性があります。この問題を回避し、有効な PG 出力を得るためには、LDO の立ち上がり時定数とパワーグッド出力の時定数を一致させる必要があります。これは、パワーグッドのプルアップ抵抗に並列してコンデンサを追加することで実現できます。詳細については、「低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所」アプリケーション ノートを参照してください。

6.3.4 可変パワーグッド遅延タイマ (DELAY)

パワーグッド遅延時間は、DELAY ピンの外付けコンデンサの関数です。可変遅延時間により、PG ピン が high になるまでに必要な時間を設定します。この遅延時間は、このピンと GND との間に外付けコンデンサを接続することで構成されます。パワーグッドの標準タイミング図 は、パワーグッド遅延ピンの標準的なタイミング図を示しています。DELAY ピンがフローティングのままの場合、パワーグッド遅延は $t_{(Delay_PG)}$ になります。リセット遅延のプログラム方法の詳細については、*可変パワーグッド遅延の設定* セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

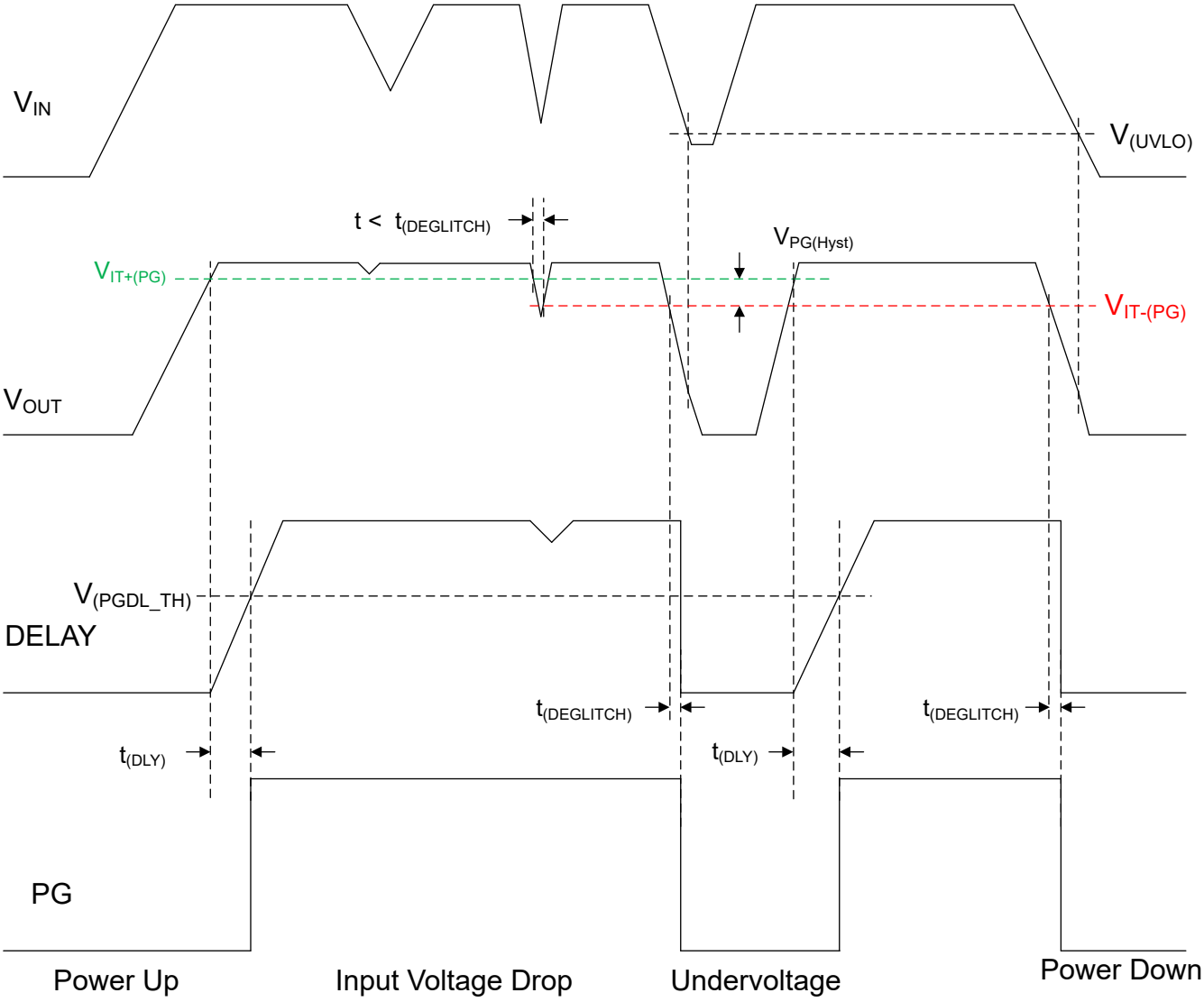


図 6-3. パワーグッドの標準タイミング図

$$V_{PG(Hyst)} = V_{IT+(PG)} - V_{IT-(PG)} \quad (2)$$

6.3.5 低電圧誤動作防止

このデバイスは、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。起動時に入力電圧が低下してデバイスがオフになるのを防ぐため、UVLO にはヒステリシス機能が内蔵されています。UVLO の制限値は、*電気的特性* 表に記載されています。

6.3.6 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が T_{SD+} (標準値) まで上昇したときにデバイスを無効化する、サーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が T_{SD-} (代表値) まで低下した際にデバイスがリセット (再起動) されることが確認されます。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオンとオフを行うことができます。起動時の消費電力は、デバイス両端での大きな V_{IN} と V_{OUT} 間の電

Copyright © 2026 Texas Instruments Incorporated

圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*推奨動作条件*表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.3.7 フォールドバック電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ハイブリッド ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、「*電気的特性*」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

フォールドバック電流制限 は、フォールドバック電流制限の図を示しています。

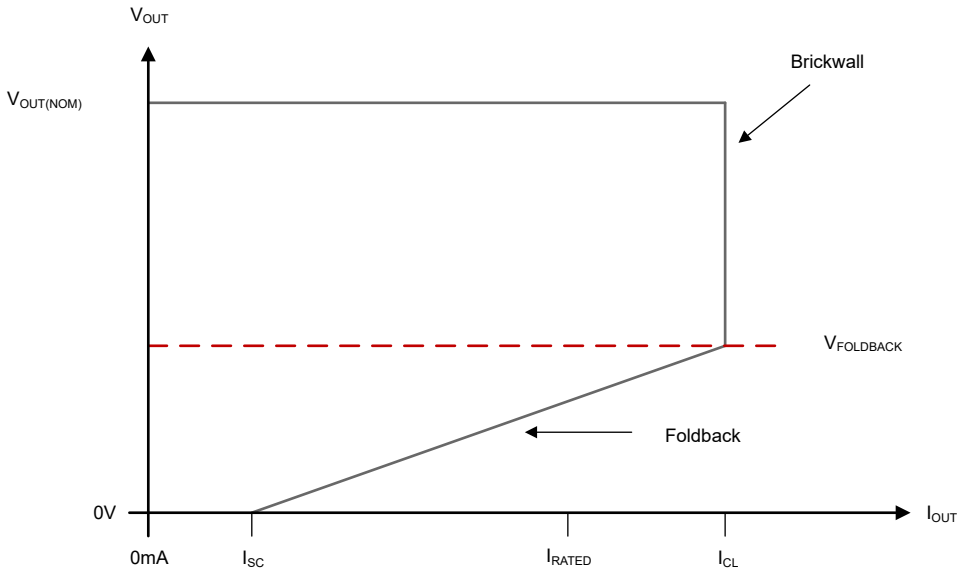


図 6-4. フォールドバック電流制限

6.3.8 電力制限

本デバイスには、内部 SOA (安全動作領域) の範囲内で LDO 全体の消費電力を制限する内部過電力制限回路が搭載されています。LDO における SOA 制限は、シリコン素子およびパッケージ内部で使用されるボンドワイヤの安全動作を考慮して設定されています。これらの制限値により、デバイスが信頼性の高い動作をすることを検証し、過熱、ブレークダウン、その他の損傷の影響によるデバイスの故障を防止します。

Copyright © 2026 Texas Instruments Incorporated

LDO における消費電力 (P_{Dissip}) は、LDO 間の電圧降下 (V_{IN} - V_{OUT}) と、その間を流れる負荷電流 (I_L) によって定義されます。

$$P_{Dissip} = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (3)$$

この電力制限回路は、LDO における電圧降下 (ヘッドルーム、V_{IN} - V_{OUT}) と、流れる出力負荷電流 (I_{OUT}) の両方を監視します。P_{Dissip} が定義された SOA 制限を超えると、電力制限回路が流れる負荷電流 (I_{OUT}) を制限します。デバイスが電力制限の動作中は、出力電圧はレギュレーションされません。最大ヘッドルーム (V_{IN} - V_{OUT} = 40V) における最大許容電流 (I_{PLIMIT}) およびフル ロード時の最大許容ヘッドルーム ($V_{PHEADROOM}$) は、*電気的特性* 表に記載されています。

電力制限 は、電力制限の図を示しています。

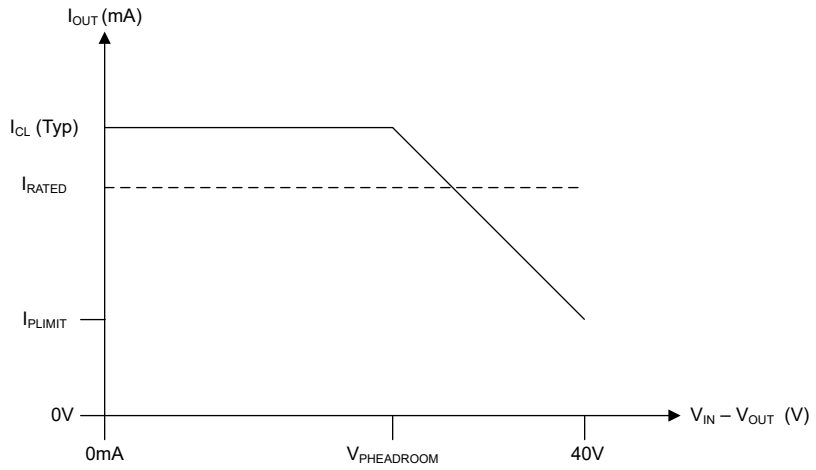


図 6-5. 電力制限

6.3.9 出力プルダウン

このデバイスには、出力プルダウン回路が搭載されています。グランドへの V_{OUT} プルダウン シンク能力を、*電気的特性* の表に示します。この出力プルダウンは次の条件で有効になります。

- $V_{EN} < V_{IL(EN)}$
- $1.0V < V_{IN} < V_{UVLO}$

本デバイスの出力プルダウン抵抗は、代表値で 750Ω です。プルダウン抵抗、$V_{IL(EN)}$、および V_{UVLO} のしきい値は *電気的特性* 表に記載されています。

入力電源が失われた後、大きな出力容量を放電するために出力プルダウン回路に依存しないでください。出力から入力へ逆電流が流れる可能性があるためです。この逆電流の流れは、デバイスに損傷を与える可能性があります。詳細については、「逆電流」セクションを参照してください。

6.4 デバイスの機能モード

通常モードおよびドロップアウト モードの各動作の簡単な比較を デバイスの機能モードの比較 に示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ	
	V_{IN}	I_{OUT}
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$
ドロップアウト	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$

6.4.1 デバイスの機能モードの比較

デバイスの機能モードの比較 表に、各種の動作モードにつながる条件を示します。パラメータ値については、電気的特性 表を参照してください。

表 6-2. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	該当なし	$T_J > T_{SD(shutdown)}$

6.4.2 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- LDO のヘッドルーム ($V_{IN} — V_{OUT}$) は、必要な I_{OUT} で $V_{PHEADROOM}$ 未満 (電力制限が作動しないように) です
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が -40℃を超え、+150℃未満
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.3 ドロップアウト動作

入力電圧が公称出力電圧と規定ドロップアウト電圧を加えた値よりも低い場合、デバイスはドロップアウトモードで動作します。ただし、他のすべての条件は、正常動作の条件を満たしている必要があります。ドロップアウト動作では、パストランジスタはオーム領域または三極管領域で動作し、スイッチとして機能します。この動作により、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

デバイスが定常ドロップアウト状態であるとき、パストランジスタは抵抗領域すなわち三極管領域に駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は異なります。ドロップアウト中に、$V_{IN} < V_{OUT(NOM)} + V_{DO}$ となります。入力電圧の値が $V_{OUT(NOM)} + V_{DO}$ 以上に戻ると、出力電圧は短時間オーバーシュートします。この期間中に、デバイスはパス トランジスタを線形領域に戻します。$V_{OUT(NOM)}$ は公称出力電圧、V_{DO} はドロップアウト電圧です。

TPS7E66-Q1 は、バッテリ レベルが必要な入力電圧レベルを下回った場合にバッテリの消耗を回避する従来のリニア電圧レギュレータに比べて、ドロップアウト動作時の IQ をはるかに低い値 (無負荷時のドロップアウト 12µA (標準値)) に制御します。

6.4.4 ディセーブル

イネーブル ピンの電圧を EN ピンの最大 Low レベル入力電圧未満にすることで、このデバイスの出力をシャットダウンできます (「*電気的特性*」表を参照)。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグランドへアクティブに放電されます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 可変デバイス フィードバック抵抗の選定

可変出力バージョンのデバイスでは、出力電圧を設定するために外付けの帰還分圧抵抗が必要です。V_{OUT} は、次の式に示すように、フィードバック分圧抵抗 R_1 および R_2 によって設定されます。

$$V_{OUT} = V_{ADJ} \times (1 + R_1 / R_2) \quad (4)$$

V_{ADJ} (または V_{FB}) はフィードバック電圧であり、ADJ ピン上の電圧を指します。可変デバイスの通常動作時、デバイスは V_{ADJ} がデバイス内部の基準電圧と等しくなるようにレギュレーションする。

V_{OUT} の式における ADJ ピン電流誤差項を無視するためには、フィードバック分圧電流を *電気的特性* 表内に示されている ADJ ピン電流 (I_{ADJ}) の 100 倍に設定してください。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます:

$$R_1 + R_2 \leq \frac{V_{OUT}}{[I_{ADJ} \times 100]} \quad (5)$$

7.1.2 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「*電気的特性*」表に推奨される入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

7.1.3 入力および出力コンデンサの選択

TPS7E66-Q1 は、安定性のために 2.2µF 以上の出力コンデンサ (1.0µF 以上の静電容量) と、0.0Ω～1.0Ω の等価直列抵抗 (ESR) を必要とします。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力コンデンサは 100µF です。

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

Copyright © 2026 Texas Instruments Incorporated

7.1.4 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく PMOS パストランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。これらの条件は次のとおりです。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。この電流が避けられない場合は、逆電流をデバイスの定格出力電流の 5% 以下に制限します。

ショットキー ダイオードを使用した逆電流保護の回路例 に、デバイスを保護するための 1 つのアプローチを示します。

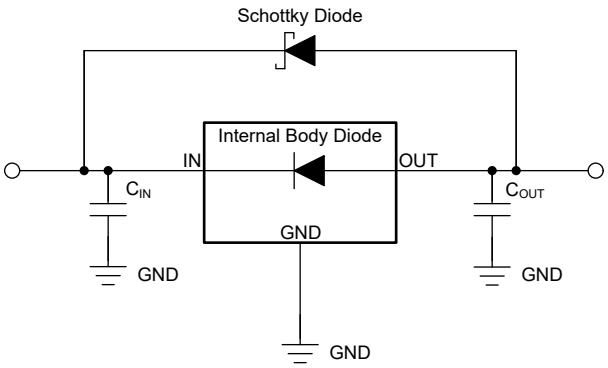


図 7-1. ショットキー ダイオードを使用した逆電流保護の回路例

7.1.5 フィードフォワード コンデンサ

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから ADJ ピンへ接続できます。C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。推奨される C_{FF} 値を「推奨動作条件」表に示します。より高い容量の C_{FF} を使用することもできますが、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノートを参照してください。

C_{FF} と R_1 は周波数 f_Z でループ ゲインのゼロを形成し、C_{FF}、R_1、R_2 は周波数 f_P でループ ゲインの極を形成します。C_{FF} のゼロ周波数と極周波数は、次の式から計算できます。

$$f_Z = \frac{1}{[2 \times \pi \times C_{FF} \times R_1]} \quad (6)$$

$$f_P = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \| R_2)]} \quad (7)$$

7.1.6 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 (Ψ_{JT} および Ψ_{JB}) は、式 8 に従って使用され、*熱に関する情報* 表に示されています。

Copyright © 2026 Texas Instruments Incorporated

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D$$
$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (8)$$

ここで

- P_D は、式 8 で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

「熱に関する情報」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm のプリント基板 (PCB) 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \Psi_{JT} \times P_D \quad (9)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \Psi_{JB} \times P_D \quad (10)$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『*半導体および IC パッケージの熱指標*』アプリケーション ノートを参照してください。

7.1.7 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを適切に考慮する必要があります。レギュレータ周辺の PCB 領域には、追加的な熱ストレスを生じる発熱デバイスを極力配置しないよう確認してください。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (11)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれています。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。消費電力と接合部温度は、ほとんどの場合、PCB とデバイスの組み合わせパッケージの $R_{\theta JA}$ と T_A に関連します。$R_{\theta JA}$ は接合部から周囲への熱抵抗、T_A は 周囲気温です。この関係を次の式に示します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (12)$$

次の式は、出力電流のこの関係を並べ替えたものです。

$$I_{OUT} = \frac{(T_J - T_A)}{[R_{\theta JA} \times (V_{IN} - V_{OUT})]} \quad (13)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、この抵抗は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。*熱に関する情報* 表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。$R_{\theta JA}$ は、パッケージの熱性能の相対的な測定値として使用されます。サーマル パッド付きパッケージおよび適切に設計されたサーマル レイアウトを採用している場合、$R_{\theta JA}$ はパッケージの $R_{\theta JCbot}$ に PCB 銅箔による熱抵抗成分を加えた値となります。$R_{\theta JCbot}$ は、*熱に関する情報* の表に記載されている接合部からケース (底面) までの熱抵抗です。

7.1.8 消費電力と周囲温度との関係

TPS7E66-Q1 許容消費電力 は、JESD51-7 4 層 high-K 基板をベースとしています。許容消費電力は、次の式を使用して推定できます。*「基板レイアウトが LDO の熱性能に及ぼす影響に関する実証的分析」アプリケーション ノート*で説明したように、JEDEC High-K レイアウトの放熱は、上層の銅箔を追加し、サーマル ビアの数を増やすことにより改善できます。適切な熱レイアウトを使用すると、許容される熱放散は最大 50% 改善されます。

$$T_A + \left(R_{\theta JA} \times P_D \right) \leq 150\,^{\circ}C \quad (14)$$

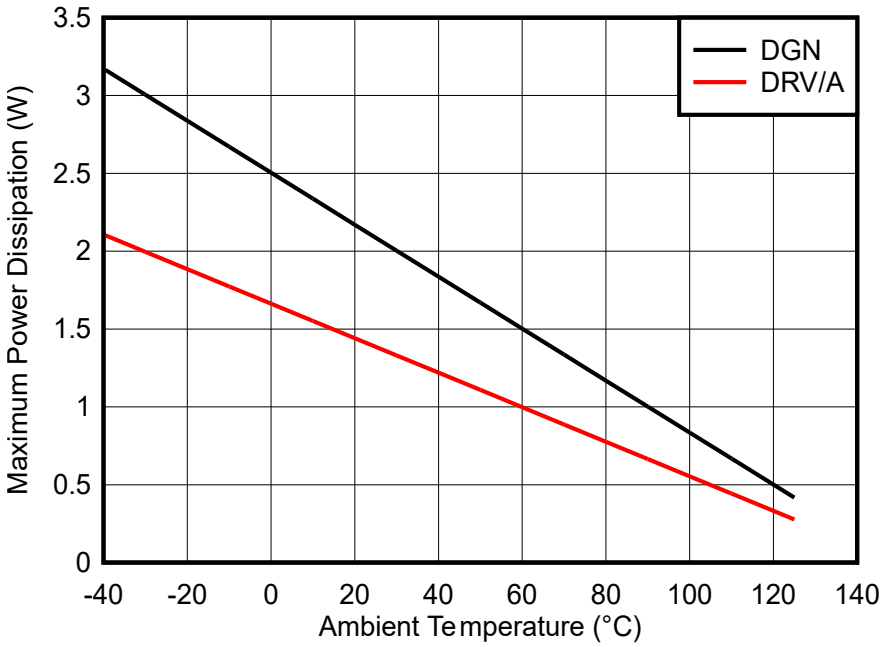


図 7-2. TPS7E66-Q1 許容消費電力

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

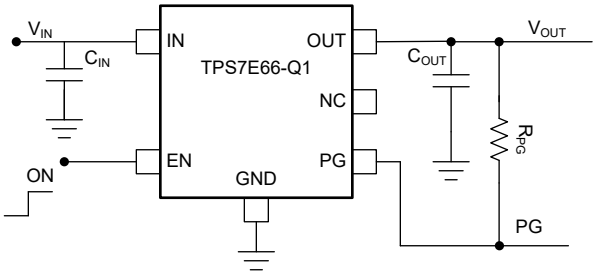


図 7-3. 代表的なアプリケーションの回路 (固定電圧バージョン)

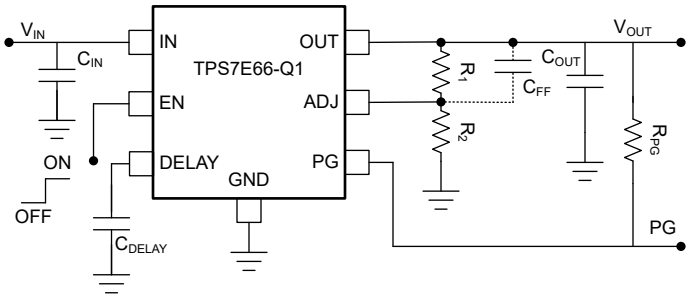


図 7-4. 代表的なアプリケーション回路 (可変電圧バージョン)

注: 点線は、オプションの入力コンデンサとフィードフォワード コンデンサを示します。「*入力および出力コンデンサの選択*」および「*フィードフォワード コンデンサ*」セクションと *推奨動作条件* 表を参照してください。

表 7-1. 抵抗 R_1 および R_2 の出力電圧を調整可能

出力電圧 (V)	R_1 (MΩ)	R_2 (MΩ)
1.8	0.499	1
2.8	1.33	1
5.0	3.16	1

7.2.1 設計要件

設計パラメータ は、図 7-3 の設計要件をまとめたものです。

表 7-2. 設計パラメータ

パラメータ	設計要件
入力電圧	12V
出力電圧	3.3V
出力電流	100mA
出力コンデンサ	2.2µF

7.2.2 帰還抵抗の選択

この設計例では、f_{OUT} を 3.3kHz に設定しています。次の式では、目的の出力電圧に対して帰還分圧抵抗を設定します。

$$V_{OUT} = V_{ADJ} \times \left(1 + \frac{R_1}{R_2}\right) \quad (15)$$

$$R_1 + R_2 \leq \frac{V_{OUT}}{\left(I_{ADJ} \times 100\right)} \quad (16)$$

出力精度を向上させるために、式 16 と I_{ADJ} = 10nA を *電気的特性* 表に記載されているように使用し、直列帰還抵抗 ($R_1 + R_2 \leq 3.3M\Omega$) の上限を計算します。

制御ループのエラー アンプは、FB ピンの電圧を内部リファレンスと同じ電圧 (電気的特性 表に示す V_{ADJ} = 1.2V)に保ちます。式 15 を用いて R_1 / R_2 = 1.75 の比を算出します。この比率を基に、式 式 16 に代入して R_1 の値を求めてください。ここで、$R_1 \leq 2.1M\Omega$ の上限を計算します。R_1 = 1.75MΩ に対して、標準値の抵抗を選びます。

式 17 を基準にして、R_2 を求めます。

$$R_2 = \frac{R_1}{\left[\left(\frac{V_{OUT}}{V_{ADJ}}\right) - 1\right]} \quad (17)$$

式 17 から、R_2 = 1MΩ が決定されます。R_2 = 1MΩ に対して、標準値の抵抗を選びます。V_{OUT} = 3.3V。帰還分圧器の電流が、*推奨動作条件* 表の最小値よりも大きいことを確認します。

次の式を使用して、帰還分圧回路の電流を計算します。

$$I_{FB_Divider} = \frac{V_{OUT}}{(R_1 + R_2)} \quad (18)$$

7.2.3 可変パワーグッド遅延の設定

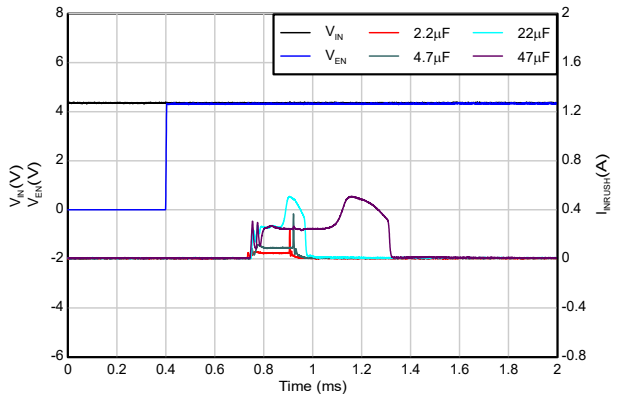
パワーグッドの遅延時間は、DELAY ピンをフローティングにするか、このピンと GND の間にコンデンサを接続するかの 2 つの方法で設定できます。DELAY ピンがフローティングの場合、遅延時間は 電気的特性 に記載の $t_{DELAY(PG)}$ がデフォルト値として適用されます。DELAY ピンと GND の間にコンデンサが接続されている場合、遅延時間は次の式で設定されます。

$$t = t_{Delay(PG)} + C_{DELAY}\left(\frac{V_{PGDL_TH}}{I_{PGDL_CHG}}\right) \quad (19)$$

Copyright © 2026 Texas Instruments Incorporated

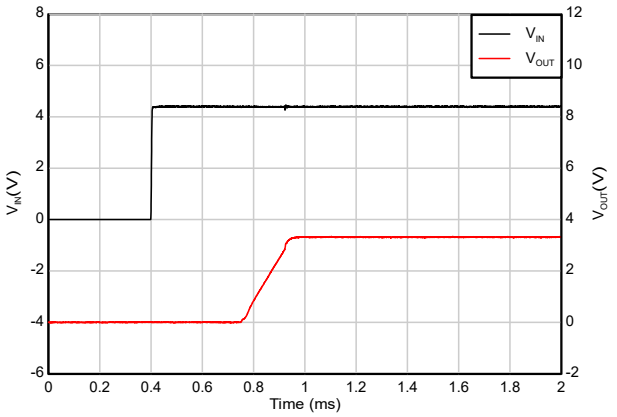
7.2.4 アプリケーション曲線

動作時接合部温度 (T_J = 25°C) で V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、V_{DELAY} = 0nF および I_{OUT} = 1mA (特に記載がない限り)



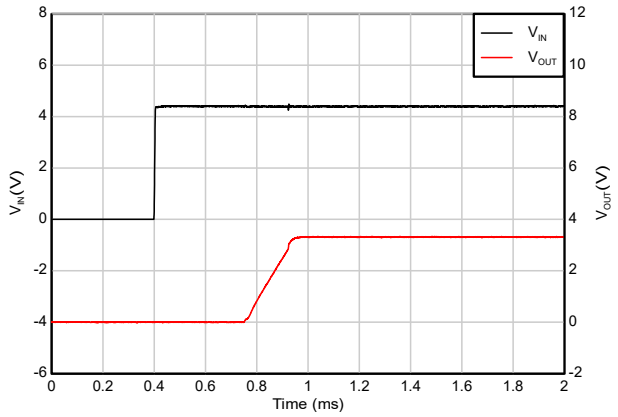
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 0 mA

図 7-5. 突入電流と I_{OUT} との関係



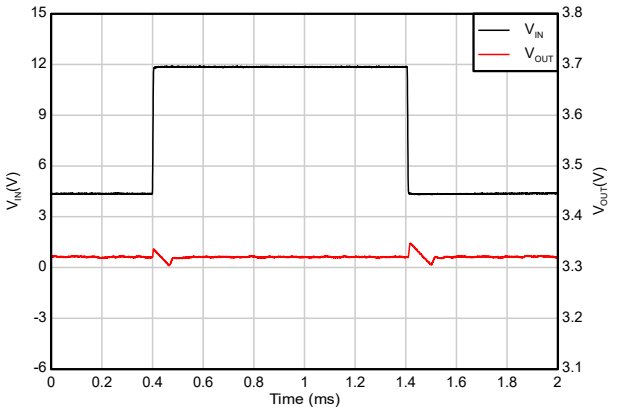
V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 1 mA

図 7-6. EN & V_{IN} を互いに接続した状態でのスタートアップ



V_{IN} = 4.3 V、V_{OUT} = 3.3 V、I_{OUT} = 50 mA

図 7-7. EN & V_{IN} を互いに接続した状態でのスタートアップ

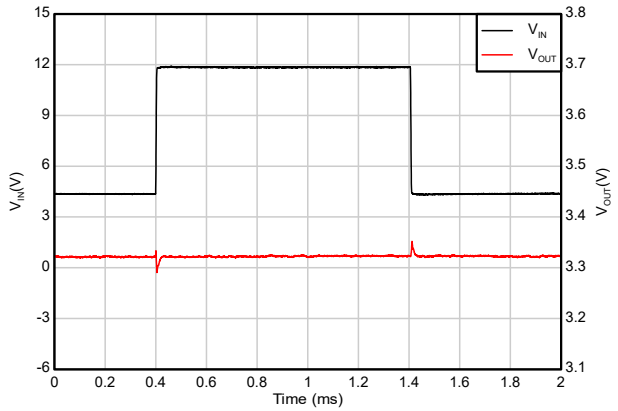


V_{IN} = 4.3V ～ 12V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

図 7-8. ライン過渡応答 (4.3V ～ 12V)

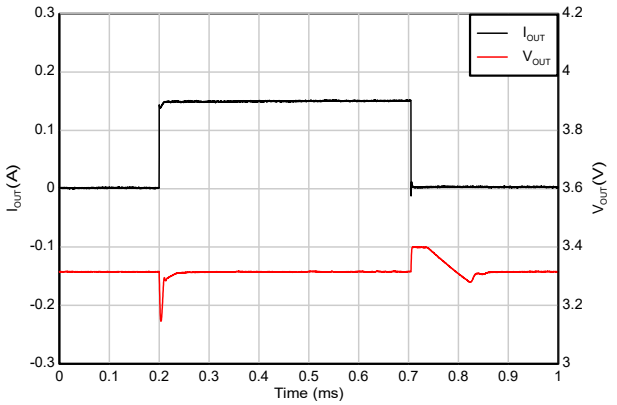
7.2.4 アプリケーション曲線 (続き)

動作時接合部温度 (T_J = 25°C) で V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、V_{DELAY} = 0nF および I_{OUT} = 1mA (特に記載がない限り)



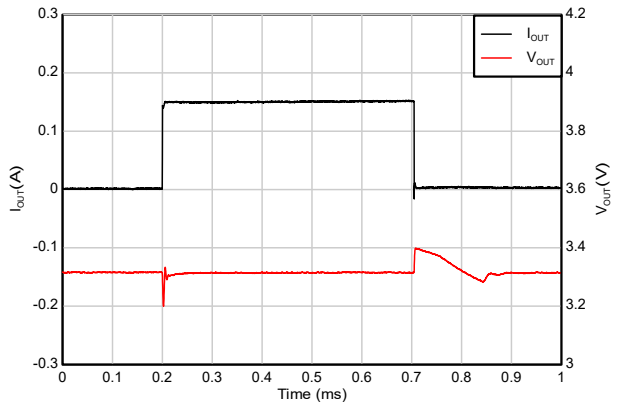
V_{IN} = 4.3V ～ 12V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

図 7-9. ライン過渡応答 (4.3V ～ 12V)



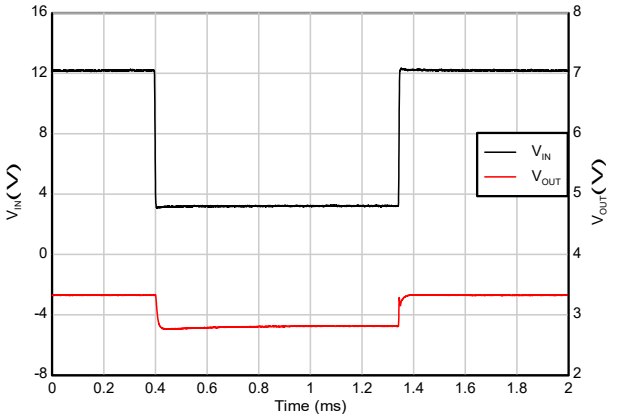
V_{IN} = 4.3V、V_{OUT} = 3.3V、I_{OUT} = 0mA ～ 150mA、dI_{OUT}/dt = 2A/µs

図 7-10. 負荷過渡応答 (0mA～150mA)



V_{IN} = 4.3V、V_{OUT} = 3.3V、I_{OUT} = 1mA ～ 150mA、dI_{OUT}/dt = 2A/µs

図 7-11. 負荷過渡応答 (1mA～150mA)



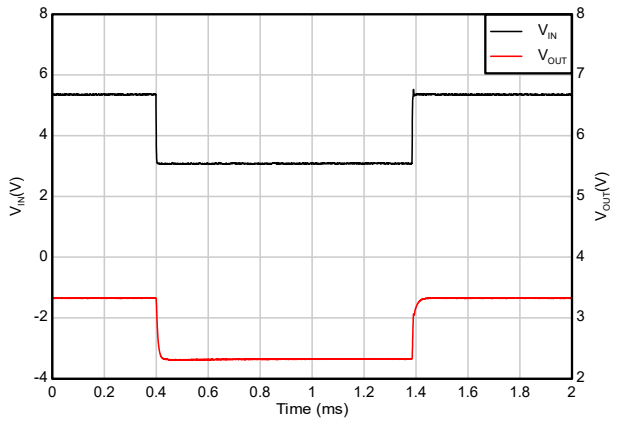
V_{IN} = 12V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 100mA、dV_{IN}/dt = 2V/µs

図 7-12. ドロップアウトからの回復 (12V 入力 3V 出力)

Copyright © 2026 Texas Instruments Incorporated

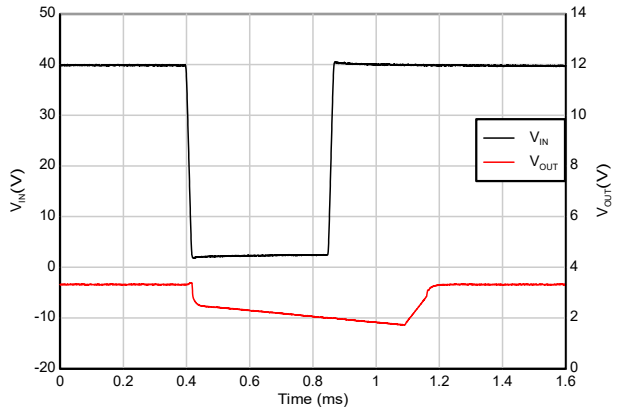
7.2.4 アプリケーション曲線 (続き)

動作時接合部温度 (T_J = 25°C) で V_{IN} = 3.0V または V_{IN} = V_{OUT}(nom) + 1.0V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 2.2µF、V_{DELAY} = 0nF および I_{OUT} = 1mA (特に記載がない限り)



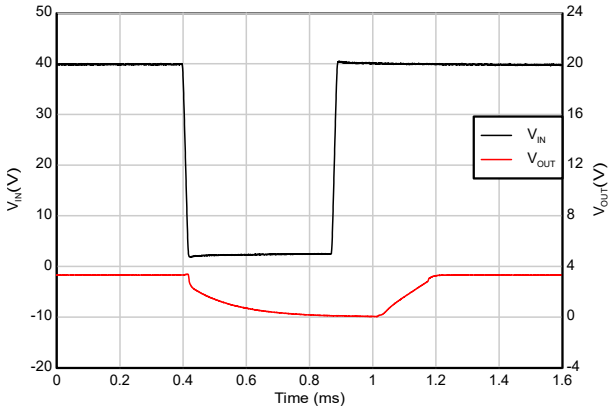
V_{IN} = 5.3V ～ 3V、V_{OUT} = 3.3V、I_{OUT} = 300mA、dV_{IN}/dt = 2V/µs

図 7-13. ドロップアウトからの回復 (5.3V 入力 3V 出力)



V_{IN} = 40V ～ 2V、V_{OUT} = 3.3V、I_{OUT} = 1mA

図 7-14. ブラウンアウトからの回復 (40V ～ 2V)



V_{IN} = 40V ～ 2V、V_{OUT} = 3.3V、I_{OUT} = 50mA

図 7-15. ブラウンアウトからの回復 (40V ～ 2V)

7.3 電源に関する推奨事項

TPS7E66-Q1 は、3.0V から 40V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

全体的に最高のパフォーマンスを得るには、このセクションのガイドラインに従ってください。回路のすべてのコンポーネントをプリント基板 (PCB) の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力および出力コンデンサのグランド復帰接続は、可能な限り GND ピンに近く配置し、広いコンポーネント側の銅のプレーンで接続してください。LDO 回路から入力コンデンサ、出力コンデンサ、または分圧抵抗への接続にビアや長い配線を使用しないでください。この方法は、システム性能に悪影響を及ぼします。このグランドおよびレイアウトの方式により

Copyright © 2026 Texas Instruments Incorporated

誘導性の寄生成分が最小化され、負荷過渡電流の低減、ノイズの最小化、回路の安定性の増大を実現できます。グランドの基準プレーンも推奨され、PCB 自体に埋め込むか、コンポーネントの反対側の PCB の底面に配置されます。この基準プレーンは、出力電圧の精度を保証し、LDO をノイズから遮断する役割を果たします。デバイスの熱性能を向上させ、高い周囲温度での電流出力を最大化するために、サーマルパッド下の銅をできるだけ広げ、サーマルパッド下の銅上に十分なサーマルビアを配置します。図 7-17 と 図 7-16 に、TPS7E66-Q1 パッケージのレイアウト例を示します。

7.4.2 レイアウト例

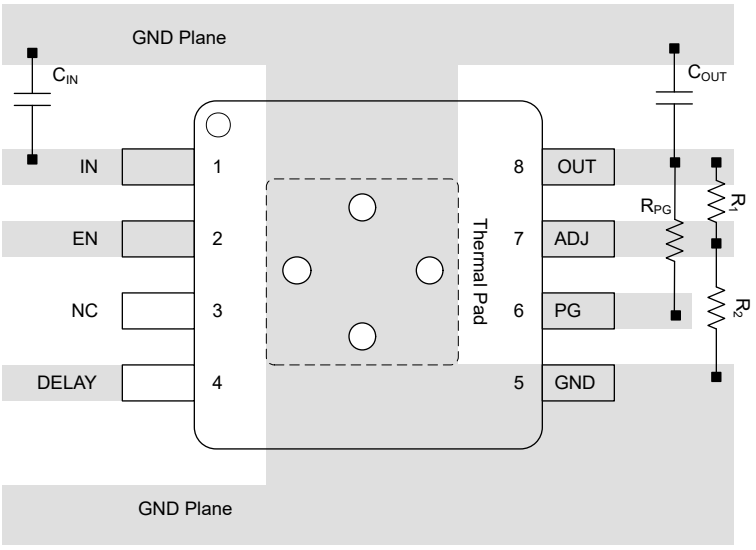


図 7-16. TPS7E66-Q1 DGN パッケージのレイアウト例

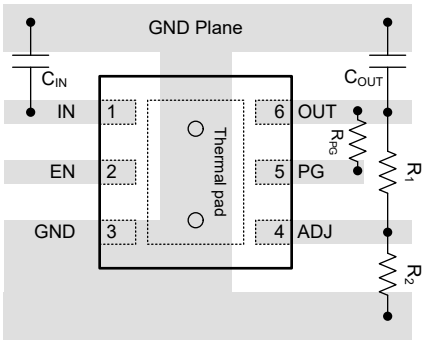


図 7-17. TPS7E66-Q1 DRV パッケージのレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、「*制限について*」アプリケーション ノート
- 車載バッテリ接続システム向けテキサス インスツルメンツ低静止電流 LDO のアプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2025) to Revision A (April 2026)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7E6601AQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3V5H
TPS7E6601QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3UNS
TPS7E6625AQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	4A9H
TPS7E6630QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3UWH
TPS7E6633AQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3V7H
TPS7E6633QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3UPS
TPS7E6633QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3UXH
TPS7E6650AQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3V8H
TPS7E6650QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3UQS
TPS7E6650QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3UZH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

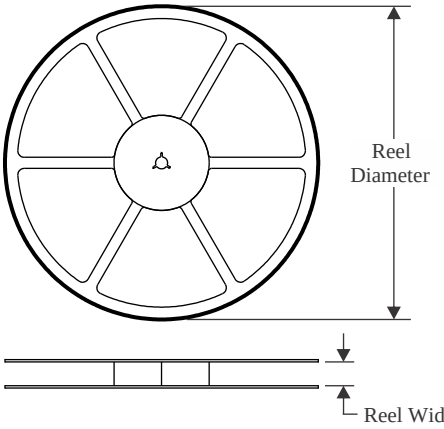
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

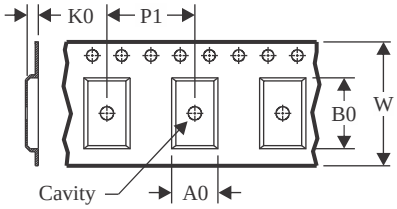
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

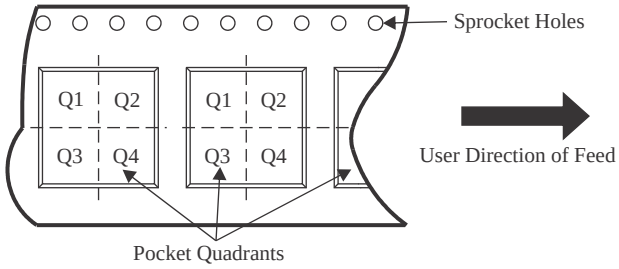


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

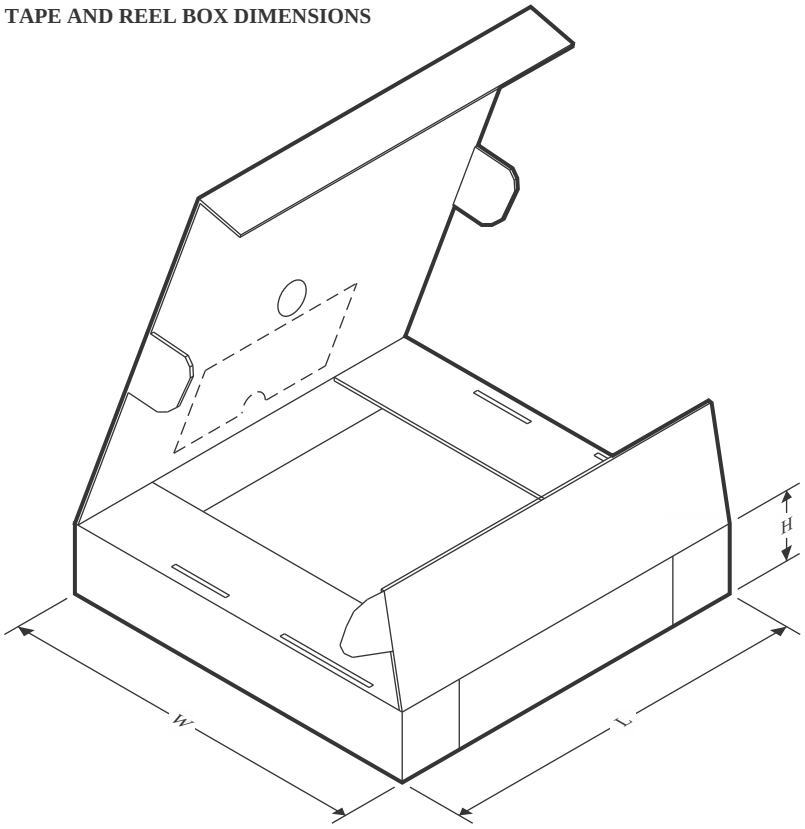
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7E6601AQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6601QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6625AQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6630QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6633AQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6633QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6633QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6650AQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6650QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6650QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7E6601AQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6601QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6625AQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6630QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6633AQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6633QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6633QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6650AQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6650QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6650QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

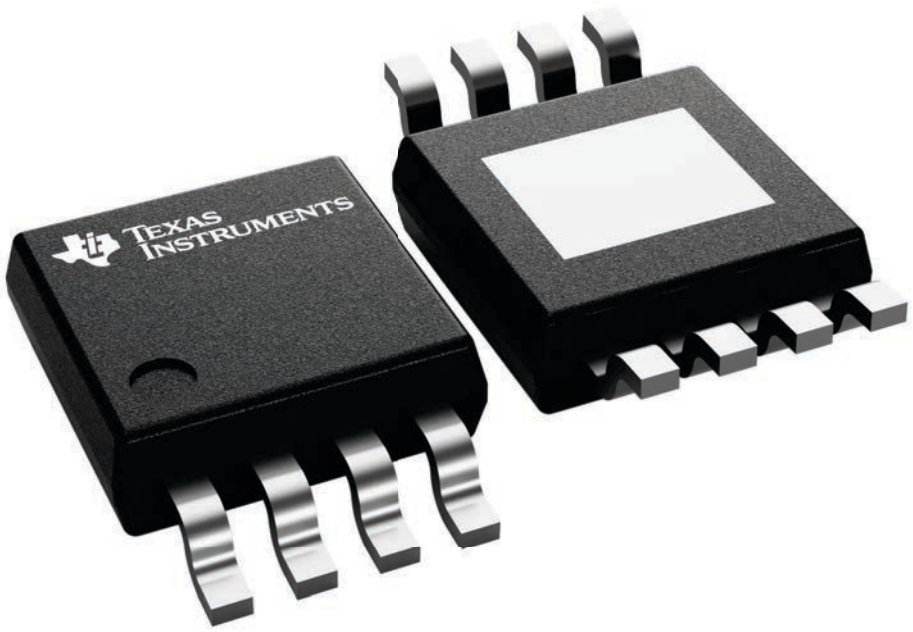
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



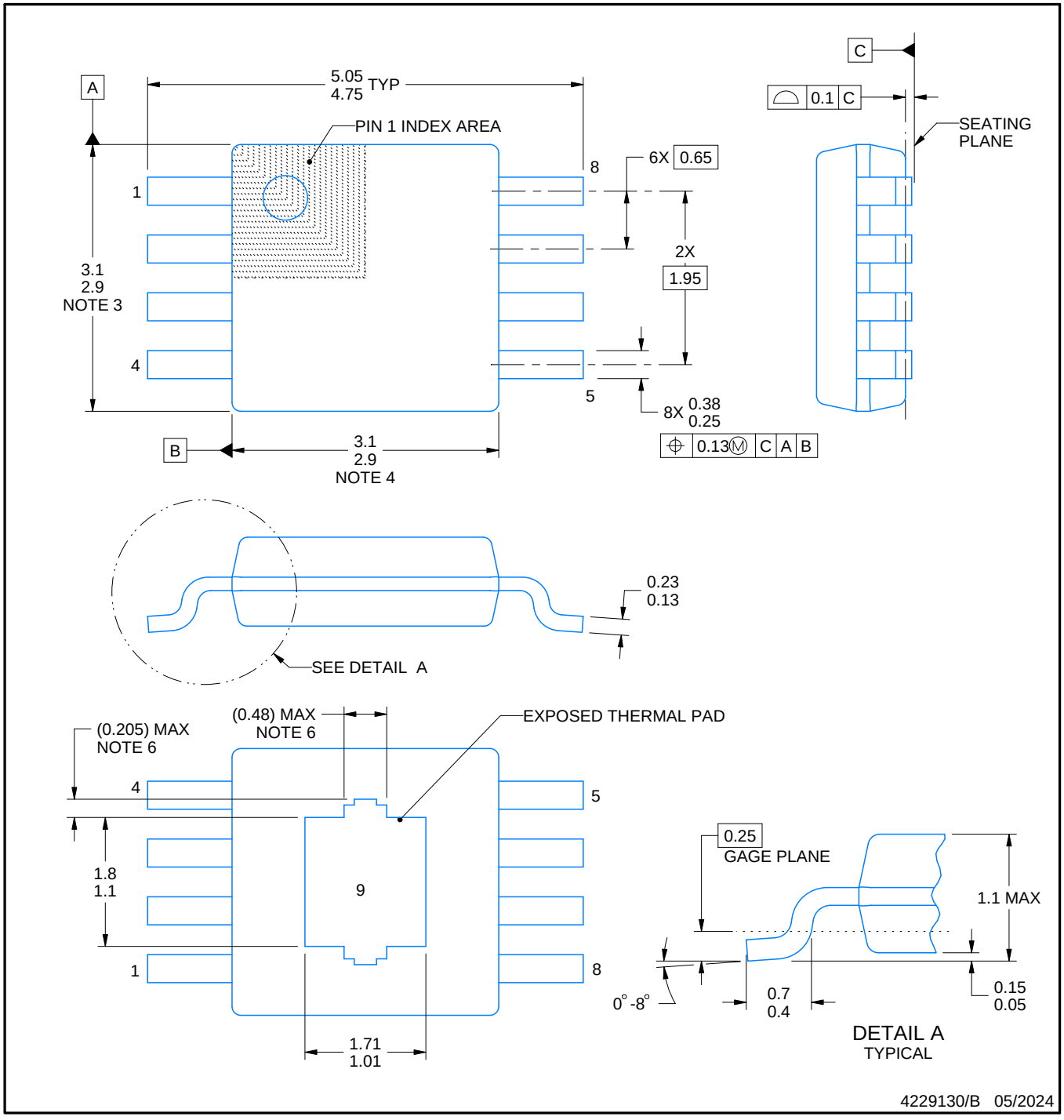
4225482/B

PACKAGE OUTLINE

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

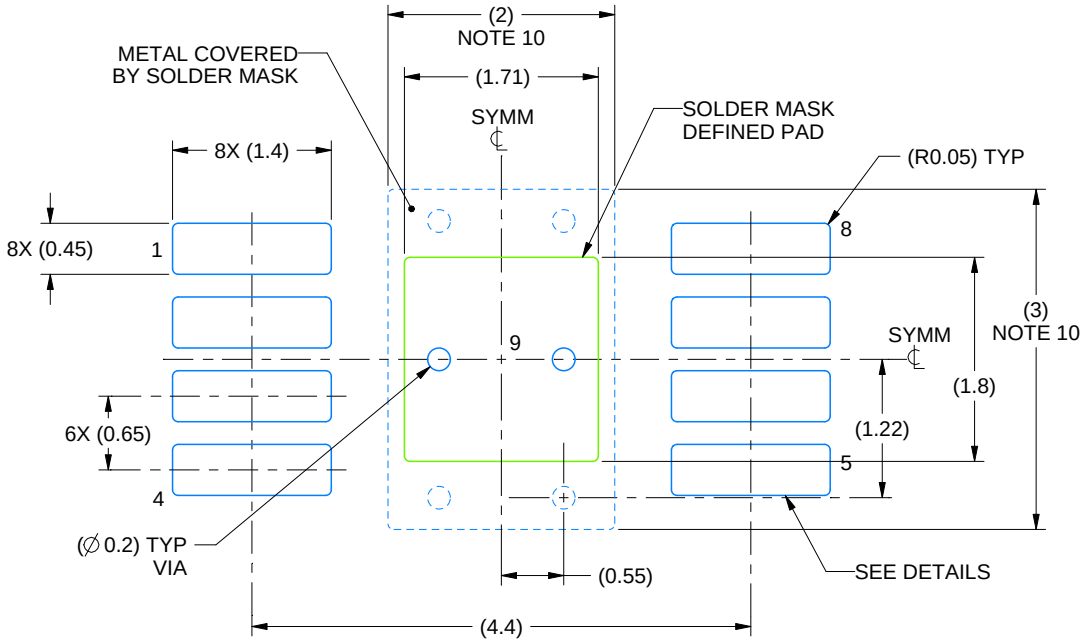
SMALL OUTLINE PACKAGE



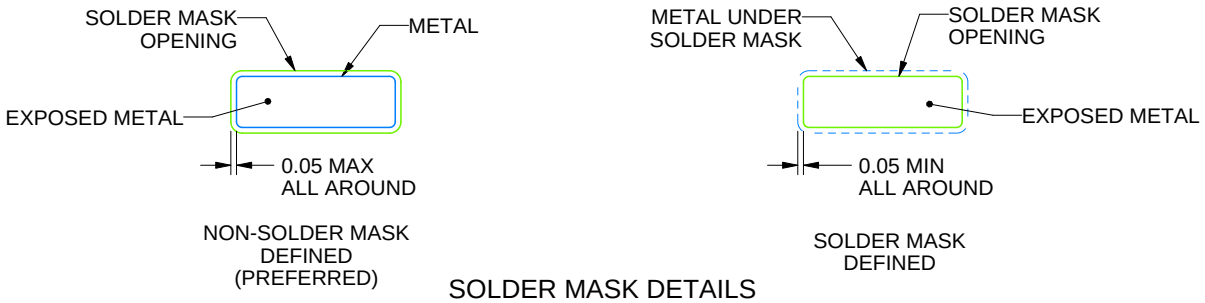
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

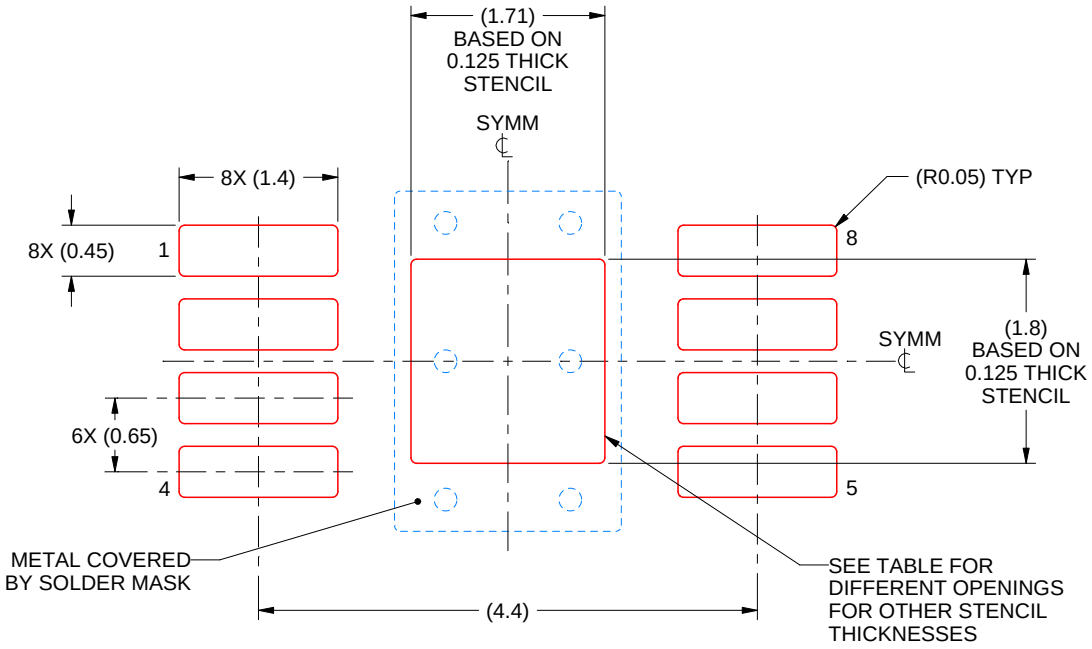


SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

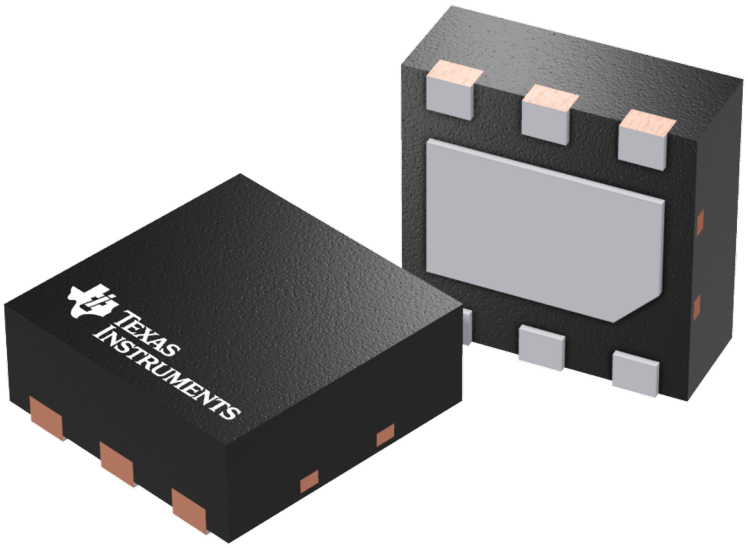
4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

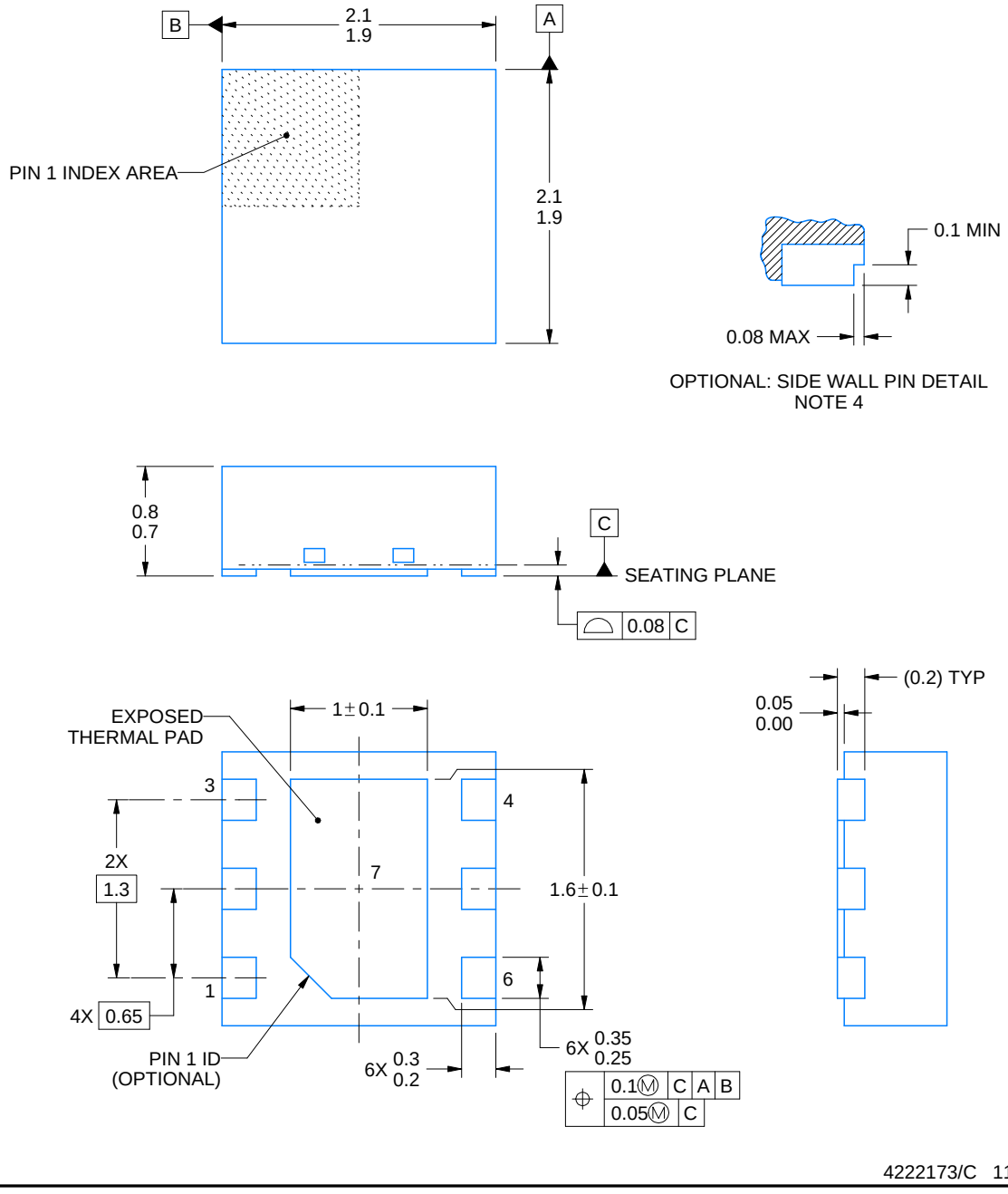
DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



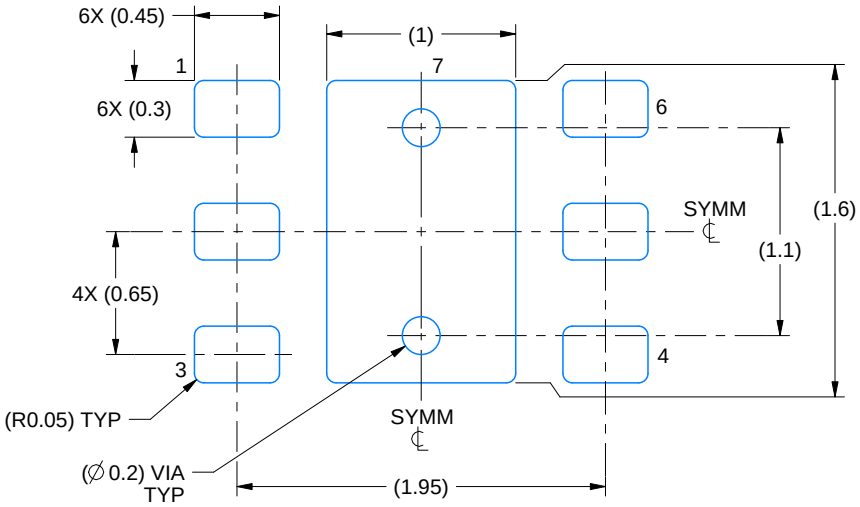
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PLASTIC SMALL OUTLINE - NO LEAD

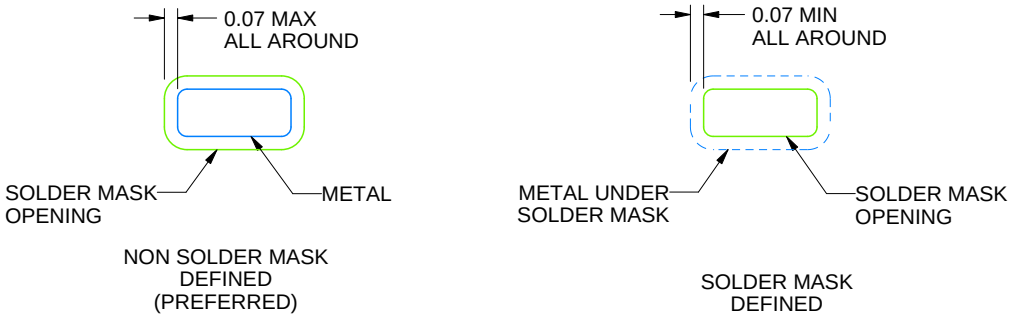


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

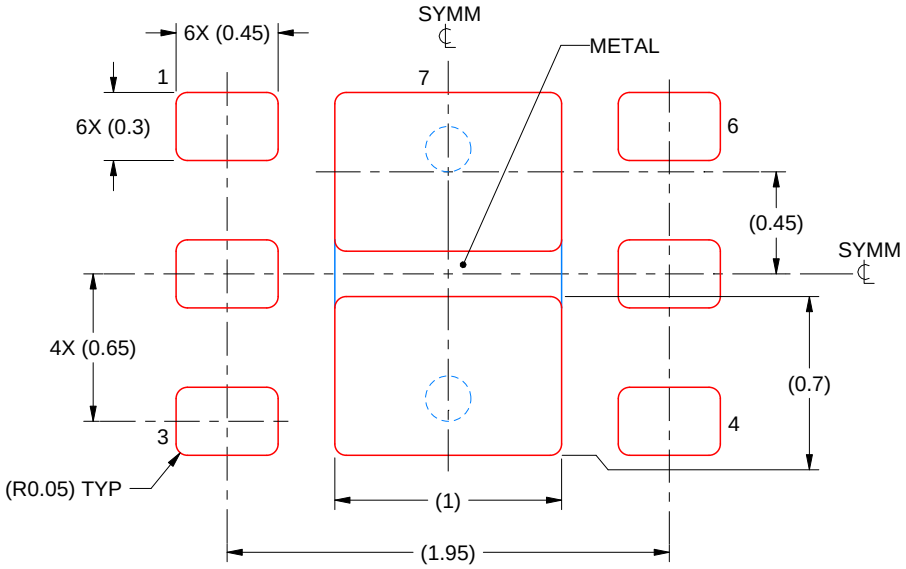


SOLDER MASK DETAILS

4222173/C 11/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/C 11/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月