TPS7H1111-SP および TPS7H1111-SEP 1.5A、超低ノイズ、高 PSRR の耐放射線低ドロップアウト (LDO) リニア・レギュレータ

1 特長

- 吸収線量 (TID) 特性評価済み
  - 放射線耐性保証 (RHA):100krad(Si) または 50krad(Si)
- シングル・イベント効果 (SEE) 特性評価済み
  - シングル・イベント・ラッチアップ (SEL)、シングル・イベント・バーンアウト (SEB)、シングル・イベント・ゲート・ラプチャー (SEGR) の、最大線エネルギー付与 (LET) = 75 MeV-cm^2/mg に対する耐性
  - シングル・イベント機能割り込み (SEFI) およびシングル・イベント過渡 (SET) の最大 LET = 75MeV-cm^2/mg に対する耐性
- 超低ノイズ (10Hz～100kHz):
  - 1.71μV$_{RMS}$ (代表値)
- 高い電源電圧変動除去比 (PSRR) (代表値):
  - 1kHz 時 109dB
  - 100kHz 時 71dB
  - 1MHz 時 66dB
- 0.85V～7V の入力電圧範囲
- 2.2V～14V のバイアス電源による消費電力の最小化
- 出力電圧を最小 0.4V まで調整可能
- 最大 1.5A の出力電流
- ラインおよび負荷に対する優れた出力精度:
  - 全温度範囲で -1.3%～+1.2%
  - 25℃で -0.7%～+0.9%
- 低ドロップアウト:215mV (代表値)、1.5A 時
- プログラマブル・ソフト・スタート制御 (SS_SET)
- オープン・ドレインのパワー・グッド (PG) インジケータ
- 構成可能なパワー・グッド・スレッショルド (FB_PG)
- 外部補償の STAB ピンを使用した露出制御ループ
- 構成可能な動作による内部電流制限
- 電流共有により最大 2.9A の動作を実現
- 軍事用温度範囲 (-55℃～125℃)

2 アプリケーション

- 衛星用電源システム (EPS)
- 高速かつ高精度の回路向けの電源
  - データ・コンバータ:ADC と DAC (A/D コンバータと D/A コンバータ)
  - VCO (電圧制御発振器)
  - PLL (フェーズ・ロック・ループ)
  - SerDes (シリアライザ / デシリアライザ)
  - 画像センサ
- FPGA (フィールド・プログラマブル・ゲート・アレイ) と DSP (デジタル信号プロセッサ) 向けの高精度電源
- スペースに制約のある領域向けの放射線強化された超クリーンなアナログ電源

3 概要

TPS7H1111 は超低ノイズ、高 PSRR、低ドロップアウトのリニア レギュレータ (LDO) で、宇宙環境の無線周波数 (RF) デバイスへの電力供給用に最適化されています。2.2V～14V のバイアス電源で、0.85V～7V の入力範囲にわたって最大 1.5A の電流を供給できます。

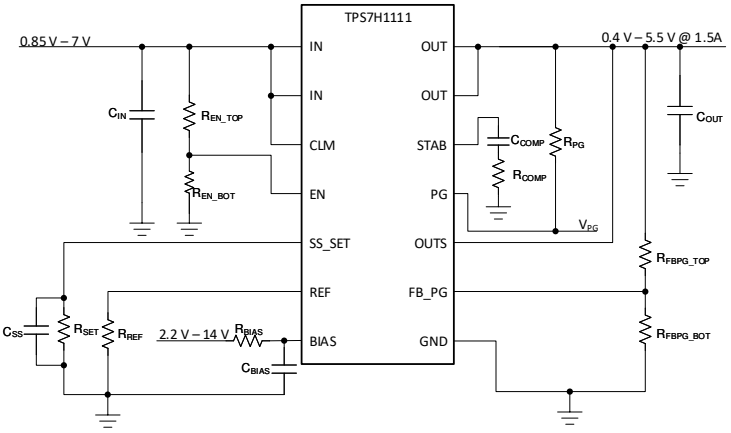
高性能なこのデバイスは、電源で発生する位相ノイズとクロックのジッタを制限できるため、高性能 ADC、DAC、VCO、PLL、SerDes、および衛星内の他の RF 部品への電力供給に最適です。低電圧動作を必要とするデジタル負荷 (FPGA や DSP など) では、非常に優れた精度と過渡性能により、最適なシステム性能が実現します。

QML バリアント 5962R21203 では、SMD (Standard Microcircuit Drawing) を利用できます。-SEP バリアント V62/23602 では、VID (Vendor Item Drawing) を利用できます。

製品情報

部品番号 (1)	グレード	パッケージ (2)
5962R2120301VXC	QMLV-RHA	14 ピン セラミック 8.03mm × 9.12mm 質量 = 1.23g
TPS7H1111HBL/EM	エンジニアリング サンプル	
5962R2120302PYE	QMLP-RHA	28 ピン プラスチック 4.40mm × 9.70mm 質量 = 198 mg
TPS7H1111MPWPTSEP	SEP	

(1) 詳細は、デバイス オプション表をご覧ください。
(2) 寸法と質量の値は公称値です。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 デバイスのオプション表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 8
6.6 品質適合検査 ... 11
6.7 代表的特性 ... 12
7 パラメータ測定情報 ... 25
8 詳細説明 ... 26
8.1 概要 ... 26
8.2 機能ブロック図 ... 26
8.3 機能説明 ... 27
8.4 デバイスの機能モード ... 40
9 アプリケーションと実装 ... 41
9.1 アプリケーション情報 ... 41
9.2 代表的なアプリケーション ... 41
9.3 テストしたコンデンサ ... 48
9.4 TID の影響 ... 48
9.5 電源に関する推奨事項 ... 50
9.6 レイアウト ... 51
10 デバイスおよびドキュメントのサポート ... 53
10.1 ドキュメントのサポート ... 53
10.2 ドキュメントの更新通知を受け取る方法 ... 53
10.3 サポート・リソース ... 53
10.4 商標 ... 53
10.5 静電気放電に関する注意事項 ... 53
10.6 用語集 ... 53
11 改訂履歴 ... 53
12 メカニカル、パッケージ、および注文情報 ... 55

Copyright © 2024 Texas Instruments Incorporated

4 デバイスのオプション表

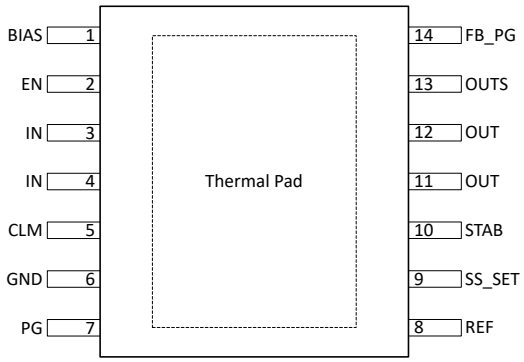
ジェネリック型番	放射線定格(1)	グレード (2)	パッケージ	発注用製品型番
TPS7H1111-SP	100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA	14 ピン CFP HBL	5962R2120301VXC
		QMLP-RHA	28 ピン HTSSOP PWP	5962R2120302PYE
	なし	エンジニアリング モデル(3)	14 ピン CFP HBL	TPS7H1111HBL/EM
TPS7H1111-SEP	50krad(Si) RLAT の TID、43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	28 ピン HTSSOP PWP	TPS7H1111MPWPTSEP
SN0014HBL	該当なし	メカニカル「ダミー」パッケージ (ダイなし)	14 ピン CFP HBL	SN0014HBL

(1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについて詳細は、SLYB235 をご覧ください。
(3) これらのユニットは、技術的な評価のみを目的としています。非準拠のフローで処理されています (バーンインがない、25℃でのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。

Copyright © 2024 Texas Instruments Incorporated

5 ピン構成および機能

HBL パッケージ
14 ピン CFP
(上面図)



PWP パッケージ
28 ピン HTSSOP
(上面図)

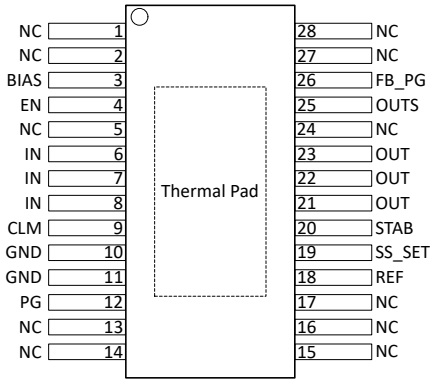


表 5-1. ピンの機能

ピン			I/O[1]	概要
名称	HBL (14) 番号	PWP (28) 番号		
BIAS	1	3	I	バイアス電源。最大出力電流をサポートするには、ヘッドルーム電圧が 1.6V 未満 ($V_{headroom}$ = V_{IN} - V_{OUT} < 1.6V) の場合、別のバイアス電源が必要です。最大出力電流をサポートするには、個別のバイアス電源を V_{OUT} より 1.6V 以上高い電圧に設定します。12V バイアス電源でこれらの条件が満たされます (通常は 5V 電源でも十分です)。V_{BIAS} と V_{IN} の間にシーケンシング要件はありません。 BIAS のノイズを制限するため、V_{BIAS} が非常にクリーンな電源でない場合は、RC フィルタ (通常は 10Ω および 4.7µF) を推奨します。個別のバイアス電源を使用しない場合は、BIAS を V_{IN} に接続します (V_{IN} レールを RC フィルタを介して BIAS ピンに接続することも推奨します)。
EN	2	4	I	イネーブル。このピンを High に駆動するとデバイスがイネーブルになり、Low に駆動するとデバイスがディセーブルになります。イネーブル機能が不要な場合は、このピンを IN に接続します。このピンをフローティングにしないでください。
IN	3、4	6、7、8	I	入力電力。このピンの近くに入力コンデンサ (公称 10µF) を配置することを推奨します。
CLM	5	9	I	電流制限モード。ブリックウォール電流制限モードの場合は、CLM を V_{IN} に接続します (電流制限に達すると、障害が解消されるまで、V_{OUT} がレギュレートされて一定の出力電流が維持されます)。ターンオフ電流制限モードの場合は、CLM を GND に接続します (電流制限に達すると、EN がトグルされるまで、V_{OUT} のレギュレーションが停止します)。デバイスがイネーブルのときにこのピンの値を変更しないでください。また、このピンはフローティングにしないでください。
GND	6	10、11	—	グランド。
PG	7	12	O	パワー グッド インジケータ。これはオープン ドレイン ピンです。プルアップ抵抗を使用して、このピンを V_{OUT} または必要なロジック レベルにプルアップします。PG を使用しない場合はグランドにプルダウンすることをお勧めしますが、フローティングのままでもかまいません。
REF	8	18	I/O	リファレンス ピン。REF は公称 1.2V を出力します。REF と GND の間に 12.0kΩ の高精度外付け抵抗を配置して、内部 100µA 電流源を設定します。
SS_SET	9	19	I/O	ソフト スタートおよび電圧設定ピン。外付けコンデンサ (公称 4.7µF セラミック) を使用して、スタートアップ時の出力電圧のランプ レートを遅くし、内部デバイス ノイズをフィルタリングします。コンデンサの値が 4.7µF 未満の場合、出力ノイズはわずかに大きくなります。適切なソフト スタート時間を実現するため、内部高速スタート回路があります。 また、SS_SET と GND の間の抵抗によって出力電圧が設定されます。公称動作中はこのピンに 100µA が出力され、SS_SET と GND の間の抵抗によって出力電圧が設定されます。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			I/O[1]	概要
名称	HBL (14) 番号	PWP (28) 番号		
STAB	10	20	I/O	安定性ピン。これは、内部 OTA (オペレーショナル トランスコンダクタンス) 誤差アンプからの出力で、制御ループの測定または最適化に役立ちます。直列接続した 4.7nF のコンデンサ (C_{COMP}) と 5kΩ の抵抗 (R_{COMP}) を使用して、デバイスを補償します。各種の補償オプションについては、セクション 8.3.8.2 を参照してください。V_{BIAS} または 7.5V の低いほうに耐えることができる C0G (NP0) タイプのコンデンサ (25V 定格のコンデンサ) を推奨します。
OUT	11、12	21、22、23	O	出力電源ピン。レギュレートされた出力電圧です。220µF のタンタルまたはタンタル ポリマー コンデンサを 1 つ、あるいは 2 つの 100µF タンタルまたはタンタル ポリマー コンデンサを使用することをお勧めします。詳細については、セクション 8.3.8.1 を参照してください。
OUTS	13	25	I	出力検出センス ピン。このピンを使用して、レギュレーションの出力電圧を検知します。OUTS を必要なレギュレーション点 (リモート センス) で OUT ピンに接続します。
FB_PG	14	26	I	フィードバック ピンとパワー グッド ピン。FB_PG ピンで、構成可能なパワー グッド スレッショルドを設定します。これは、出力電圧を分圧抵抗を介してこのピンに供給することで実現されます (標準スレッショルドは 300mV)。スレッショルドに達すると、PG がアサートされます。 また、このピンのスレッショルドに達すると、スタートアップが終了し、内部高速スタート回路がディセーブルされます。このピンを OUT に直接接続すると、高速スタート動作は停止し、V_{OUT} が 300mV (標準値) に達したときにすぐに PG がアサートされます。
NC		1、2、5、13、14、15、16、17、24、27、28	—	接続なし。このピンは内部接続されていません。電荷の蓄積を防ぐため、これらのピンを GND に接続することを推奨しますが、これらのピンはオープンのままにすることも、GND と V_{BIAS} の範囲の任意の電圧に接続することもできます。
サーマル パッド			—	セラミック パッケージのサーマル パッドは、導電性のパスを経由してダイの裏面、および GND ピンに内部接続されています。効果的な放熱のため、この金属サーマル パッドは大きなグランド プレーンに接続することを推奨します。 プラスチック パッケージのサーマル パッドは、導電性のパスを経由してダイの裏面に接続されており、グランドには内部接続されていません。効果的な放熱のため、および適切な動作のためにダイの裏面を GND に接続するため、サーマル パッドは大きなグランド プレーンに接続します。
金属製ふた	ふた	該当なし	—	このふたは、シール リングを介してサーマル パッドと GND に内部接続されています。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	IN	-0.3	7.5	V
	BIAS	-0.3	16	
	EN、PG、FB_PG、OUTS、CLM	-0.3	7.5	
出力電圧	OUT	-0.3	7.5	V
	SS_SET、REF、STAB	-0.3	7.5	
入力電流	PG	-0.001	0.01	A
出力電流	OUT	-2	2.25	A
接合部温度	T_J	-55	150	℃
保管温度	T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2024 Texas Instruments Incorporated

6.3 推奨動作条件

動作温度範囲全体、T_J = -55℃～125℃ (特に記述のない限り)

		最小値	公称値	最大値	単位
入力電圧	IN	0.85		7	V
	BIAS(1)	V_{IN}	V_{OUT} + 1.6V		
		2.2		14	
	PG	0		7	
	EN	0		7	
	FB_PG	0		6	
	CLM	0		V_{IN}	
出力電圧	OUT(2)			$V_{IN} – V_{DO}$	V
		0.4		5.5	
	SS_SET(2)			$V_{IN} – V_{DO}$	
		0.4		5.5	
入力電流	PG	0		0.002	A
出力電流	OUT	0		1.5	A
出力バルク容量(3)	C_{OUT}	132	200	308	µF
	ESR	7		40	mΩ
	ESL	0.8		2.4	nH
リファレンス構成	R_{REF}	11	12	13	kΩ
EN トグル時間(4)	t_{EN_LOW}	20			µs
接合部温度	T_J	-55		125	℃

(1) BIAS には、V_{IN} と 2.2V の 2 つの最小値があります。BIAS は、これら 2 つの値のうち大きい方以上に設定する必要があります。BIAS の最大値は常に 14V です。最大性能を得るには、$V_{BIAS} \geq V_{OUT}$ + 1.6V を設定します。詳細については、「バイアス電源」を参照してください。

(2) OUT と SS_SET には、(V_{IN} - V_{DO}) と 5.5V の 2 つの最大値があります。OUT と SS_SET は、これら 2 つの値のうち小さい方以下に設定する必要があります。OUT および SS_SET の最小値は常に 0.4V です。

(3) これらは、バルク容量のデフォルトで許容される出力容量値、等価直列抵抗 (ESR) 値、等価直列インダクタンス (ESL) 値です。STAB ピンを使用した外部補償で制御ループを変更するなど、他の値も許容される場合があります。これらの要件を満たすために、通常はタンタルまたはタンタル ポリマー コンデンサが使用されます。セラミック デカップリング コンデンサを追加する必要はありませんが、負荷ポイント付近に ESL の小さい 0.1µF セラミック コンデンサを 1 つ使用することもできます。
TPS7H1111 LDO は広い帯域幅にわたって高 PSRR と低ノイズを実現するため、追加の大型セラミック コンデンサは必要ありません。そのため、TPS7H1111 は、大型のセラミック コンデンサをサポートするようには設計されていません。詳細については、「出力容量」セクションを参照してください。

(4) t_{EN_LOW} は、デバイスがリセットを検出するために、EN ピンを再び High に駆動する前に、EN ピンを Low に駆動する必要がある時間です。これは通常、ターンオフ電流制限モードを終了しようとする場合にのみ適用されます。

6.4 熱に関する情報

熱評価基準(1)		TPS7H1111-SP CFP HBL 14 ピン	TPS7H1111-SEP PWP (HTSSOP) 28 ピン	TPS7H1111-SP PWP (HTSSOP) 28 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	25.1	24.7	24.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	6.3	15.6	15.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	6.6	6.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.4	0.2	0.2	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.1	6.6	6.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.5	1.0	0.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性

0.85V ≤ V_{IN} ≤ 7V、V_{BIAS} ≥ V_{OUT} + 1.6V (V_{IN} ≤ V_{BIAS} ≤ 14V & V_{BIAS} ≥ 2.2V)、V_{OUT} (ターゲット) ≤ V_{IN} – 1.6V、I_{OUT} = 1mA、C_{OUT} = 220µF[1]、R_{REF} = 12.0kΩ、動作温度範囲全体 (T_A = –55℃～125℃)、特に記述のない限り、標準値は T_A = 25℃での値 (QML RHA および SEP デバイスにサブグループ番号が存在する場合の T_A = 25℃での RLAT を含む)[2]

パラメータ		テスト条件		サブグループ[3]	最小値	標準値	最大値	単位
電源と電流								
V_{DO}	V_{BIAS} ≥ V_{OUT} + 1.6V でのドロップアウト電圧	0.85V ≤ V_{IN} ≤ 7V、V_{OUT} = 98.5% × $V_{OUT(NOM)}$	I_{OUT} = 0.1 A	1、2、3		17	40	mV
			I_{OUT} = 0.5A	1、2、3		75	150	
			I_{OUT} = 1A	1、2、3		110	280	
			I_{OUT} = 1.5A	1、2、3		215	430	
V_{DO}	V_{BIAS} = V_{IN} でのドロップアウト電圧	2.2V ≤ V_{IN} ≤ 7V、V_{OUT} = 98.5% × $V_{OUT(NOM)}$	I_{OUT} = 0.1 A	1、2、3		785	1100	mV
			I_{OUT} = 0.5A	1、2、3		908	1150	
			I_{OUT} = 1A	1、2、3		1063	1250	
			I_{OUT} = 1.5A	1、2、3		1168	1400	
I_{LIM}	出力電流制限	2.5V ≤ V_{IN} ≤ 7V V_{OUT} = 0.5V、V_{CLM} = V_{IN}	T_A = -55°C	3	1.8	1.95	2.1	A
			T_A = 25°C	1	1.75	1.85	2	
			T_A = 125°C	2	1.7	1.8	1.95	
$I_{CLM(LKG)}$	CLM の入力リーク電流	V_{CLM} = 7V		1、2、3		5	150	nA
I_{Q_IN}	静止時電流	V_{EN} = 7V、I_{OUT} = 0A		1、2、3		19	27	mA
I_{Q_BIAS}	出力負荷なしでのバイアス電流	V_{EN} = 7V、I_{OUT} = 0A		1、2、3		16	25	
I_{IN_GND}	全出力負荷での I_{IN} – I_{OUT}	V_{EN} = 7V、I_{OUT} = 1.5A		1、2、3		20	27	mA
I_{BIAS}	全出力負荷でのバイアス電流	V_{EN} = 7V、I_{OUT} = 1.5A		1、2、3		17	25	
I_{SHDN}	シャットダウン電流	V_{EN} = 0V、I_{OUT} = 0A、V_{OUT} = 0V		1、2、3		20	350	µA
I_{SHDN_BIAS}	シャットダウン バイアス電流	V_{EN} = 0V、I_{OUT} = 0A、V_{OUT} = 0V		1、2、3		550	1000	
精度								
V_{ACC}	出力電圧精度	1mA ≤ I_{OUT} ≤ 1.5A、2.2V ≤ V_{BIAS} ≤ 14V[4]、P_D ≤ 4W[5]	–55℃ ≤ T_A ≤ 125℃	1、2、3	-1.3%		1.2%	
			T_A = -55°C	3	-1.3%		0.5%	
			T_A = 25°C	1	-0.7%		0.9%	
			T_A = 25°C、TID 後[6]	1	-0.7%		1.1%	
			T_A = 125°C	2	-0.7%		1.2%	
I_{SET}	V_{OUT} を設定する SS_SET ピンの電流	–55℃ ≤ T_A ≤ 125℃		1、2、3	98.8	99.9	101	µA
		T_A = -55°C		3	98.8	99.4	100.3	
		T_A = 25°C		1	99.0	100	100.9	
		T_A = 125°C		2	99.2	100.2	101	
V_{OS}	出力オフセット電圧 (V_{OUT} - V_{SS_SET})	–55℃ ≤ T_A ≤ 125℃		1、2、3	-2		0.78	mV
		T_A = -55°C		3	-1.33	-0.2	0.78	
		T_A = 25°C		1	-1.45	-0.25	0.76	
		T_A = 25°C、TID 後[6]		1	-1.45		1.5	
		T_A = 125°C		2	-2	-0.5	0.7	

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性 (続き)

0.85V ≤ V_{IN} ≤ 7V、V_{BIAS} ≥ V_{OUT} + 1.6V (V_{IN} ≤ V_{BIAS} ≤ 14V & V_{BIAS} ≥ 2.2V)、V_{OUT} (ターゲット) ≤ V_{IN} – 1.6V、I_{OUT} = 1mA、C_{OUT} = 220µF[1]、R_{REF} = 12.0kΩ、動作温度範囲全体 (T_A = –55℃～125℃)、特に記述のない限り、標準値は T_A = 25℃での値 (QML RHA および SEP デバイスにサブグループ番号が存在する場合の T_A = 25℃での RLAT を含む)[2]

パラメータ		テスト条件		サブグループ[3]	最小値	標準値	最大値	単位
V_{OUT}tempco	V_{OUT} 温度係数	T_A = -55℃～125℃				0.004%		V_{OUT}/℃
		T_A = -55℃～-40℃				0.011%		
		T_A = -40℃～0℃				0.007%		
		T_A = 0℃～25℃				0.005%		
		T_A = 25℃～85℃				0.003%		
		T_A = 85℃～125℃				0.001%		
V_{REF}	リファレンス電圧、セラミック パッケージ			1、2、3	1.191	1.206	1.220	V
V_{REF}	リファレンス電圧、プラスチック パッケージ			1、2、3	1.190	1.206	1.221	
$\Delta V_{OUT}/\Delta V_{IN}$	ライン レギュレーション、図 7-1 を参照	0.85V ≤ V_{IN} ≤ 7V、I_{OUT} = 1mA、V_{BIAS} = 5V、V_{OUT} = 0.4V		1、2、3		3	200	µV/V
$\Delta V_{OUT}/\Delta I_{OUT}$	負荷レギュレーション、図 7-2 を参照	1mA ≤ I_{OUT} ≤ 1.5A、V_{BIAS} = 5V、V_{IN} = 2.5V、V_{OUT} = 1.8V		1、2、3		500	1000	µV/A
	カレント シェア誤差のパーセンテージ	$R_{ballast}$ = 5mΩ、T_A = 25℃	$I_{OUT(TOTAL)}$ = 1.2A			±1%		
			$I_{OUT(TOTAL)}$ = 2.9A			±0.1%		
$I_{OUTS(LKG)}$	OUTS のリーク電流			1、2、3		20	200	nA
イネーブル								
$V_{EN(rising)}$	イネーブル立ち上がりスレッショルド (ターンオン)			1、2、3	0.58	0.60	0.62	V
$V_{EN(falling)}$	イネーブル立ち下がりスレッショルド (ターンオフ)			1、2、3	0.48	0.50	0.52	
$t_{EN(delay)}$	EN 伝搬遅延	EN High から V_{OUT} = 10mV まで		9、10、11		90	500	µs
$I_{EN(LKG)}$	イネーブル入力リーク電流	V_{EN} = 7 V		1、2、3		3	150	nA
$T_{SD(enter)}$	サーマル シャットダウン開始					160		℃
$T_{SD(exit)}$	サーマル シャットダウン終了					130		
パワー グッド								
$V_{FB_PG(rising)}$	パワー グッドの立ち上がりスレッショルド			1、2、3	290	306	313	mV
$V_{FB_PG(HYS)}$	パワー グッドのヒステリシス			1、2、3	7	14	19	
$I_{FB_PG(LKG)}$	FB_PG の入力リーク電流	V_{FB_PG} = 6V		1、2、3		9	150	nA
$V_{PG(OL)}$	パワー グッド出力 Low	$I_{PG(SINK)}$ = 2mA		1、2、3		113	200	mV
$V_{IN(MIN_PG)}$	有効な PG の最小 V_{IN} または V_{BIAS} (V_{PG} < 0.5V)	$I_{PG(sink)}$ = 0.6mA		1、2、3		0.6	0.8	V
$I_{PG(LKG)}$	パワー グッドのリーク電流	V_{PG} = 7V、V_{FB_PG} > $V_{FB_PG(rising\ threshold)}$		1、2、3		0.1	2	µA
ソフトスタート								
$I_{SS_SET(start)}$	スタートアップ時の SS_SET ピンの電流			1、2、3	1.68	2.1	2.52	mA
t_{SS}	ソフト スタート時間	V_{IN} =2.5V、V_{OUT} =1.8V、I_{OUT} = 1A、$R_{FB_PG(top)}$ = 44.2kΩ、$R_{FB_PG(bot)}$ = 10kΩ	C_{SS} = 2.2µF			1.7		ms
			C_{SS} = 4.7µF			3.7		
			C_{SS} = 10µF			7.8		

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性 (続き)

0.85V ≤ V_{IN} ≤ 7V、V_{BIAS} ≥ V_{OUT} + 1.6V (V_{IN} ≤ V_{BIAS} ≤ 14V & V_{BIAS} ≥ 2.2V)、V_{OUT} (ターゲット) ≤ V_{IN} – 1.6V、I_{OUT} = 1mA、C_{OUT} = 220µF(1)、R_{REF} = 12.0kΩ、動作温度範囲全体 (T_A = –55℃～125℃)、特に記述のない限り、標準値は T_A = 25℃での値 (QML RHA および SEP デバイスにサブグループ番号が存在する場合の T_A = 25℃での RLAT を含む)(2)

パラメータ		テスト条件		サブグループ(3)	最小値	標準値	最大値	単位
ノイズおよび PSRR								
PSRR	電源除去比	V_{IN} =2.5V、V_{OUT} =1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{SS} = 4.7µF、C_{BIAS} = 4.7µF、R_{BIAS} = 10Ω	f_{ripple} = 100Hz			109		dB
			f_{ripple} = 1kHz			109		
			f_{ripple} = 10kHz			90		
			f_{ripple} = 100kHz			71		
			f_{ripple} = 1MHz			66		
			f_{ripple} = 10MHz			30		
$PSRR_{BIAS}$	電源除去比、V_{BIAS} から V_{OUT}	V_{IN} =2.5V、V_{OUT} =1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{SS} = 4.7µF、C_{BIAS} = 4.7µF、R_{BIAS} = 10Ω	f_{ripple} = 100Hz			102		dB
			f_{ripple} = 1kHz			105		
			f_{ripple} = 10kHz			87		
			f_{ripple} = 100kHz			97		
			f_{ripple} = 1MHz			118		
			f_{ripple} = 10MHz			68		
V_N	出力ノイズ RMS 電圧 (10Hz～100kHz の帯域幅)	V_{IN} =2.5V、V_{OUT} =1.8V、V_{BIAS} = 5V、I_{OUT} = 1A	C_{SS} = 2.2µF			1.73		$µV_{RMS}$
			C_{SS} = 4.7µF			1.71		
			C_{SS} = 10µF			1.69		
e_N	出力ノイズ電圧密度	V_{IN} =2.5V、V_{OUT} =1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{SS} = 4.7µF	f = 10Hz			97		nV/√Hz
			f = 100Hz			11.2		
			f = 1kHz			5.4		
			f = 10kHz			5.6		
			f = 100kHz			4.9		
			f = 1MHz			1.6		
			f = 10MHz			1.7		
安定性								
PM	位相マージン	V_{IN} = 2.5V、V_{OUT} = 1.8V、I_{OUT} = 1.0A、C_{OUT} = 2 x 100µF(7)				98°		
GM	ゲイン マージン					19		dB

(1) 1 つの 220µF タンタル コンデンサを使用
(2) QML RHA デバイスの詳細については 5962R21203 SMD を、SEP デバイスの詳細については V62/23602 VID を参照してください。
(3) サブグループは、デバイスの QML バージョンにのみ適用できます。サブグループの定義については、セクション 6.6 を参照してください。
(4) また、V_{BIAS} ≥ V_{IN} および V_{BIAS} ≥ V_{OUT} + 1.6V です。
(5) P_D は内部消費電力です。P_D が 4W を超えると、(テスタの制限による) 局所的な過熱を避けるため、電流が低下します。
(6) QMLV および QMLP 部品の場合は TID = 100krad(Si)、SEP 部品の場合は TID = 50krad(Si) です。
(7) 詳細については、セクション 9.3 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.6 品質適合検査

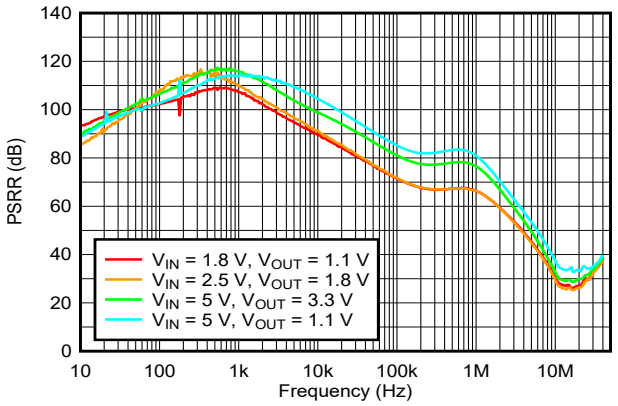
MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

Copyright © 2024 Texas Instruments Incorporated

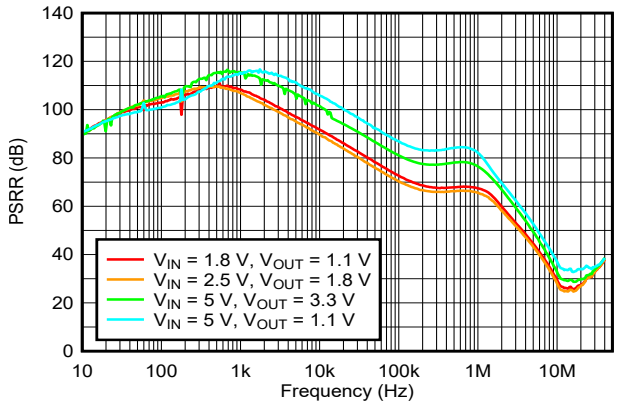
6.7 代表的特性

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



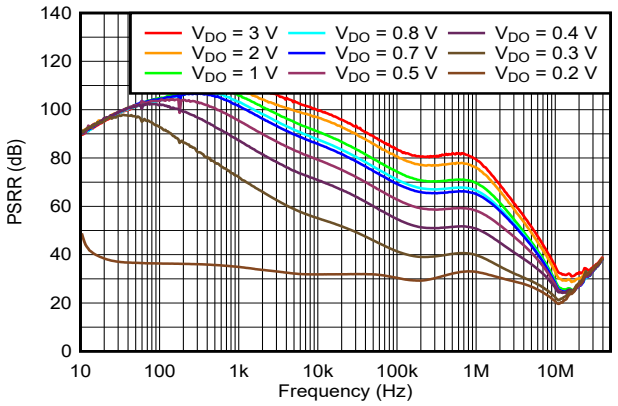
V_{BIAS} = 5V

図 6-1. PSRR と周波数との関係 (一般的な構成)



V_{BIAS} = 12V

図 6-2. PSRR と周波数との関係 (一般的な構成)



V_{IN} = V_{OUT} + V_{DO}　　V_{OUT} = 1.8V　　V_{BIAS} = V_{OUT} + 1.6V

図 6-3. さまざまなドロップアウト電圧における PSRR と周波数との関係

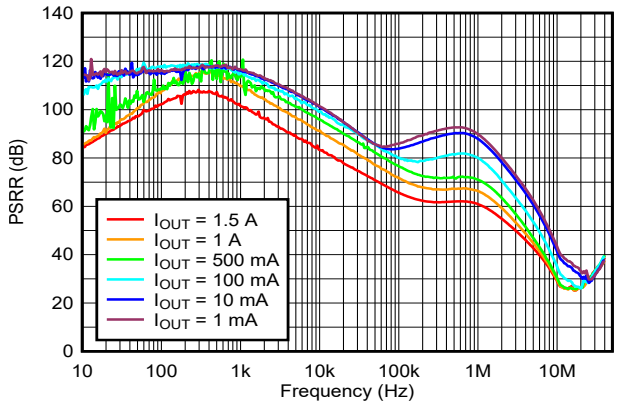
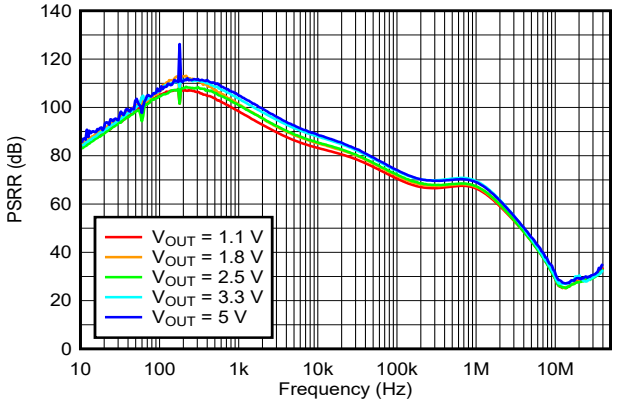
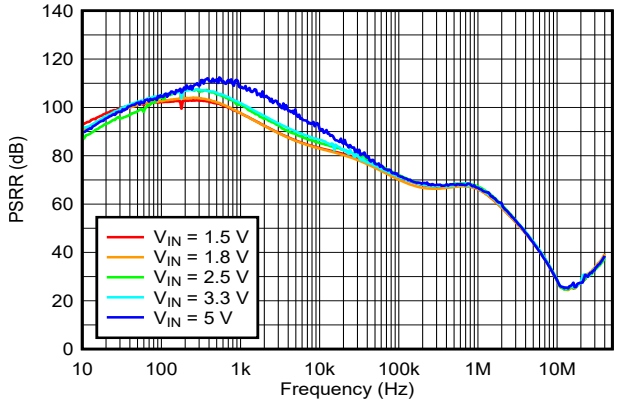


図 6-4. さまざまな出力電流における PSRR と周波数との関係



V_{IN} = V_{OUT} + 0.8 V　　V_{BIAS} = V_{IN} + 1.6V

図 6-5. さまざまな出力電圧における PSRR と周波数との関係



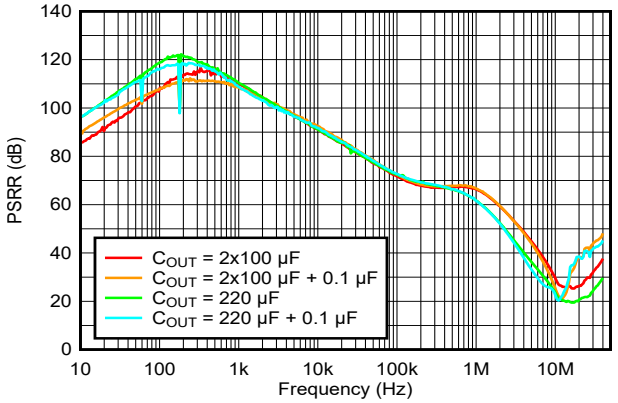
V_{OUT} = V_{IN} – 0.8V　　V_{BIAS} = V_{OUT} + 1.6V

図 6-6. さまざまな入力電圧における PSRR と周波数との関係

Copyright © 2024 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



使用されたコンデンサの型番については表 9-4 を参照。

図 6-7. さまざまな出力容量における PSRR と周波数との関係

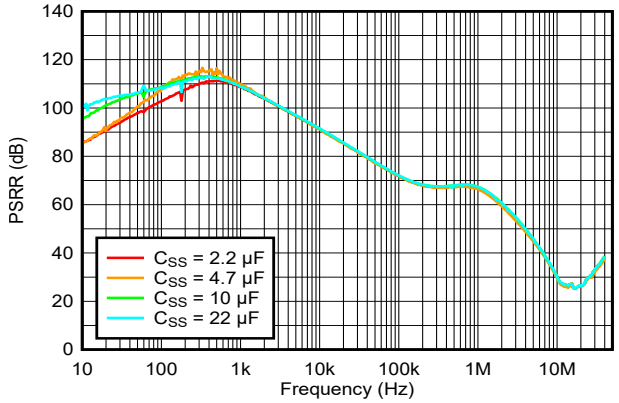


図 6-8. さまざまなソフト スタート容量における PSRR と周波数との関係

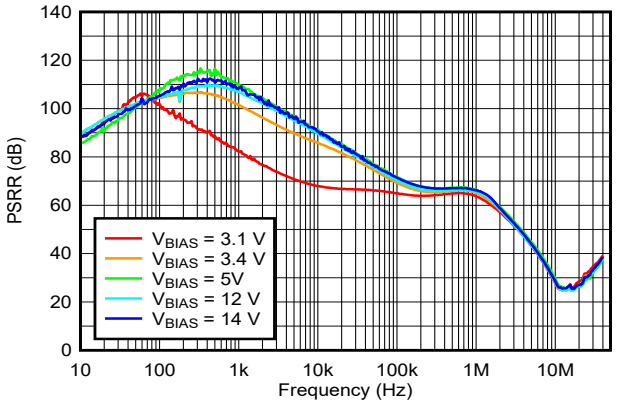
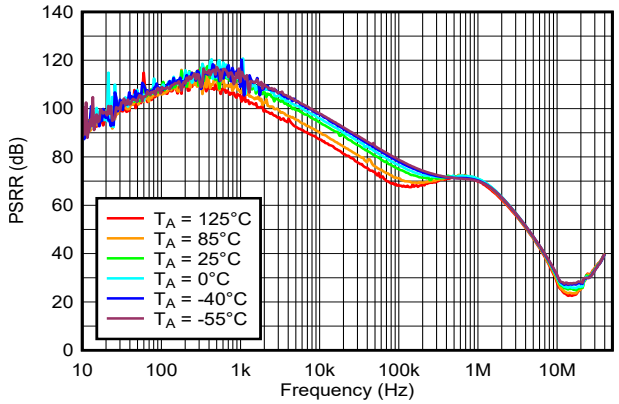
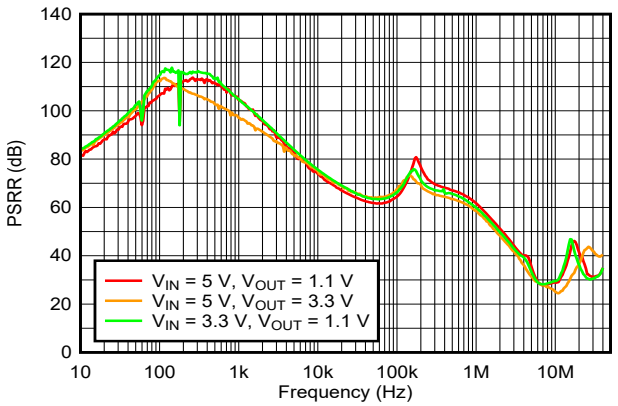


図 6-9. さまざまなバイアス電源における PSRR と周波数との関係



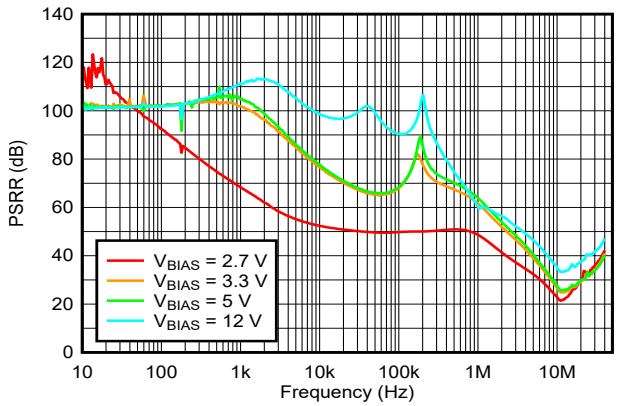
IOUT = 500mA

図 6-10. 動作温度範囲における PSRR と周波数の関係



RBIAS = 0Ω　　CBIAS = 0µF

図 6-11. V_{IN} = V_{BIAS} における PSRR と周波数との関係



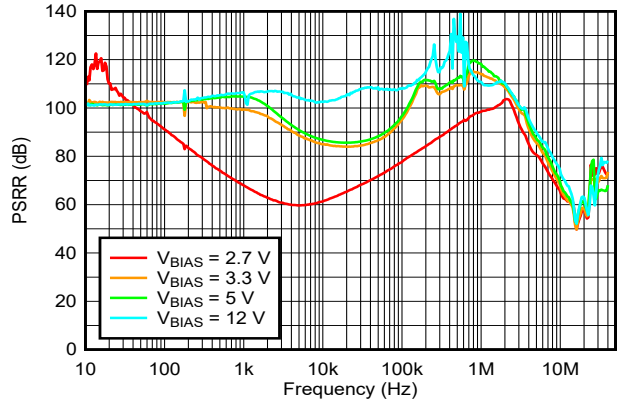
RBIAS = 0Ω

図 6-12. さまざまなバイアス電圧における $PSRR_{BIAS}$ と周波数との関係 (RC なし)

Copyright © 2024 Texas Instruments Incorporated

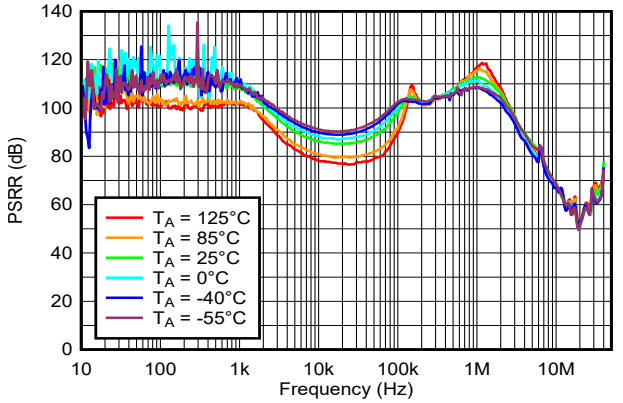
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



R_{BIAS} = 10Ω

図 6-13. さまざまなバイアス電圧における $PSRR_{BIAS}$ と周波数との関係 (RC あり)



I_{OUT} = 500mA

図 6-14. 動作温度範囲における $PSRR_{BIAS}$ と周波数の関係

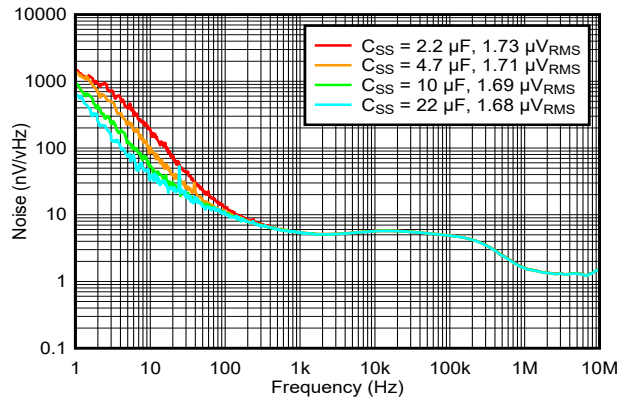


図 6-15. さまざまな C_{SS} における出力ノイズと周波数との関係 (ノイズ スペクトル密度)

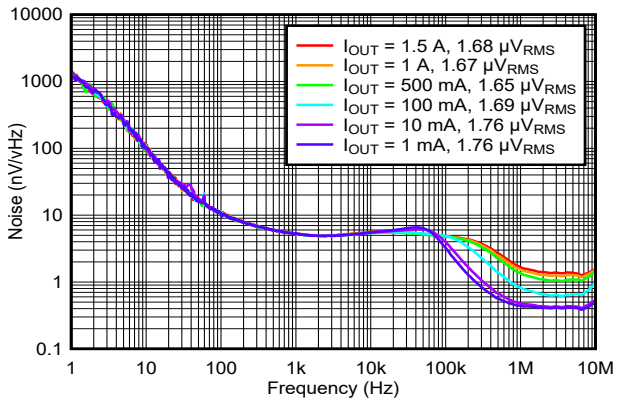
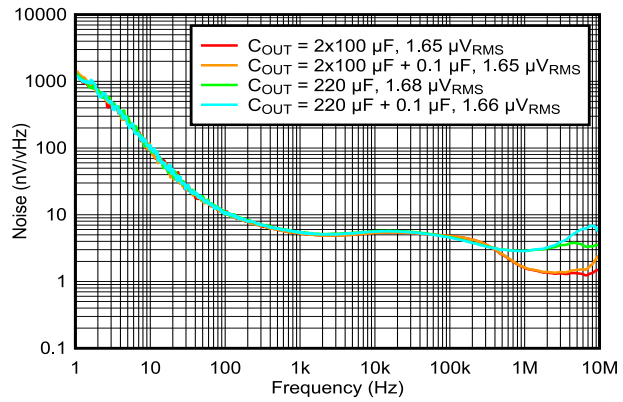
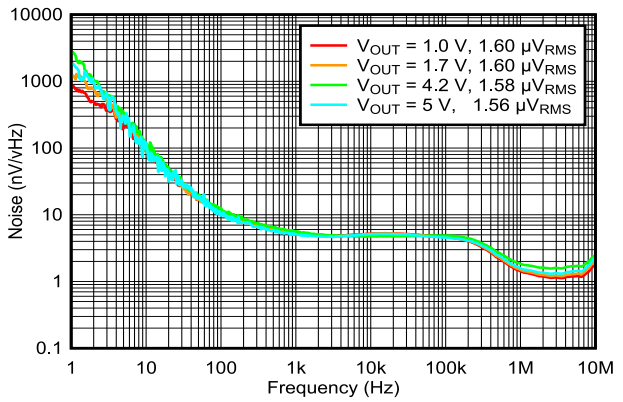


図 6-16. さまざまな出力電流における出力ノイズと周波数との関係 (ノイズ スペクトル密度)



使用されたコンデンサの型番については表 9-4 を参照。

図 6-17. さまざまな出力コンデンサにおける出力ノイズと周波数との関係 (ノイズ スペクトル密度)



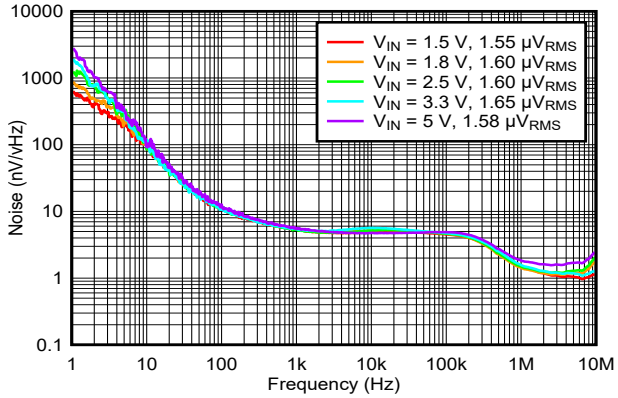
V_{IN} = V_{OUT} + 0.8 V

図 6-18. さまざまな出力電圧における出力ノイズと周波数との関係 (ノイズ スペクトル密度)

Copyright © 2024 Texas Instruments Incorporated

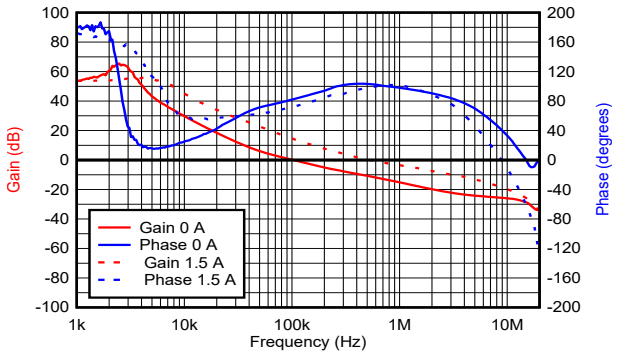
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



$V_{OUT} = V_{IN} - 0.8V$

図 6-19. さまざまな入力電圧における出力ノイズと周波数との関係 (ノイズ スペクトル密度)

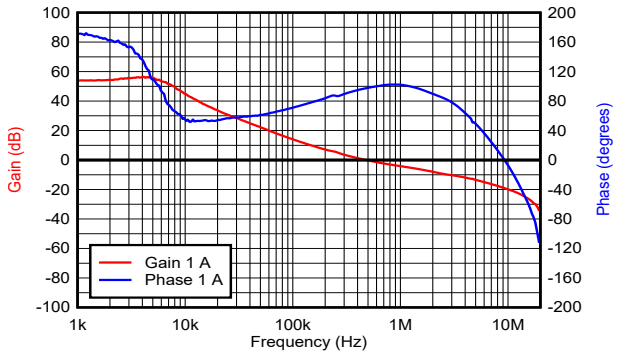


C_{OUT} = 2 × 100µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

I_{OUT} = 0A：位相マージン = 83°、ゲイン マージン = 29dB

I_{OUT} = 1.5A：位相マージン = 99°、ゲイン マージン = 19dB

図 6-20. ゲインおよび位相と周波数との関係 (ボード線図)



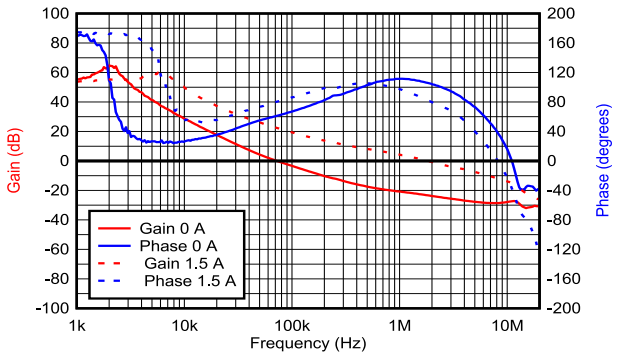
C_{OUT} = 2 × 100µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

位相マージン = 98°、ゲイン マージン = 19dB

図 6-21. ゲインおよび位相と周波数との関係 (ボード線図)

6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。

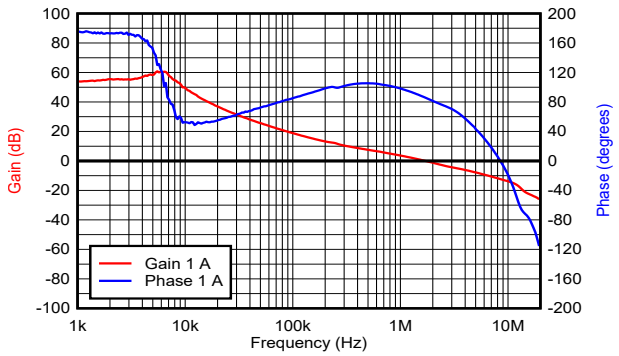


C_{OUT} = 2 × 100µF + 0.1µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

I_{OUT} = 0A：位相マージン = 61°、ゲイン マージン = 27dB

I_{OUT} = 1.5A：位相マージン = 99°、ゲイン マージン = 12dB

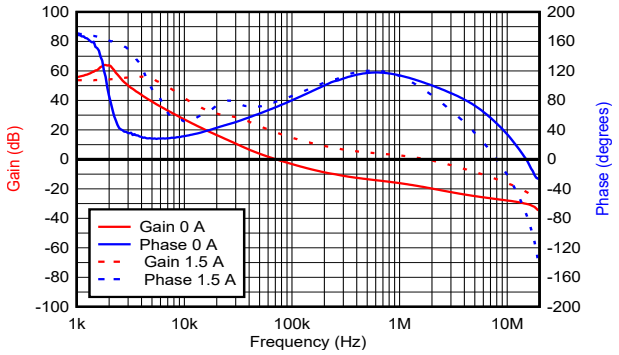
図 6-22. ゲインおよび位相と周波数との関係 (ボード線図)



C_{OUT} = 2 × 100µF + 0.1µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

位相マージン = 98°、ゲイン マージン = 13dB

図 6-23. ゲインおよび位相と周波数との関係 (ボード線図)

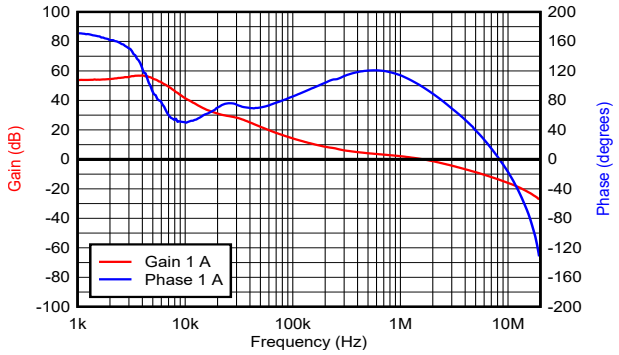


C_{OUT} = 1 × 220µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

I_{OUT} = 0A：位相マージン = 71°、ゲイン マージン = 30dB

I_{OUT} = 1.5A：位相マージン = 91°、ゲイン マージン = 14dB

図 6-24. ゲインおよび位相と周波数との関係 (ボード線図)



C_{OUT} = 1 × 220µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

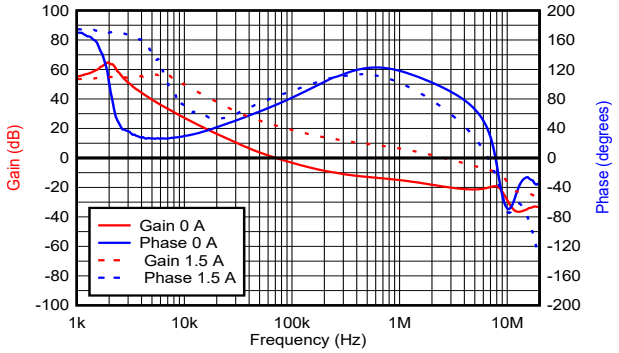
位相マージン = 98°、ゲイン マージン = 14dB

図 6-25. ゲインおよび位相と周波数との関係 (ボード線図)

Copyright © 2024 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。

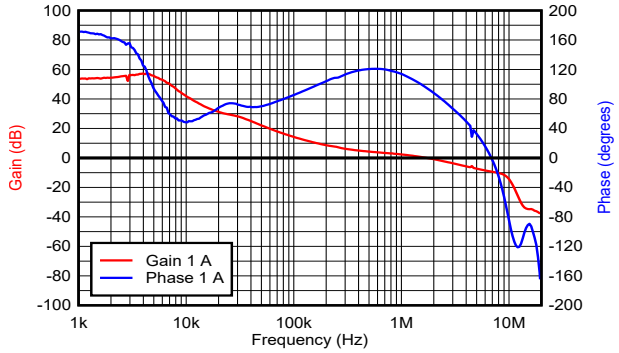


C_{OUT} = 1 × 220µF + 0.1µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

I_{OUT} = 0A：位相マージン = 72°、ゲイン マージン = 19dB

I_{OUT} = 1.5A：位相マージン = 66°、ゲイン マージン = 8dB

図 6-26. ゲインおよび位相と周波数との関係 (ボード線図)



C_{OUT} = 1 × 220µF + 0.1µF。使用されたコンデンサと、セラミックおよびプラスチックのパッケージの違いについては、表 9-4 を参照してください。

位相マージン = 94°、ゲイン マージン = 9dB

図 6-27. ゲインおよび位相と周波数との関係 (ボード線図)

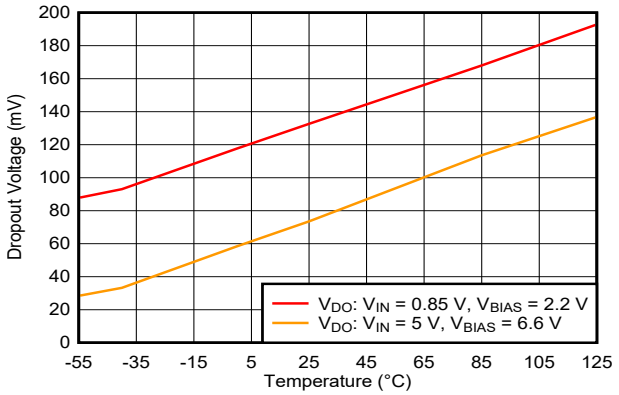
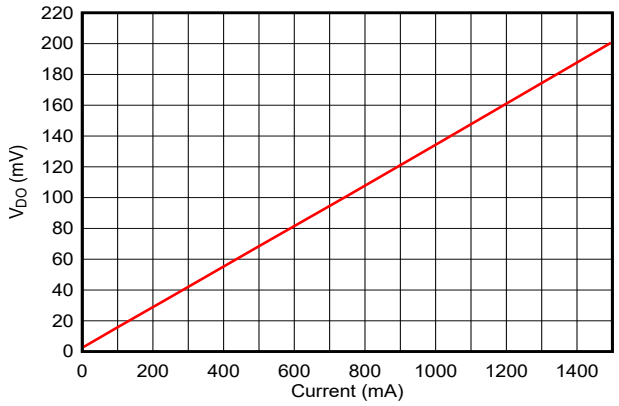


図 6-28. ドロップアウト電圧 vs 温度



V_{IN} = 5V　　V_{BIAS} = V_{IN} + 1.6V

図 6-29. ドロップアウト電圧と電流との関係

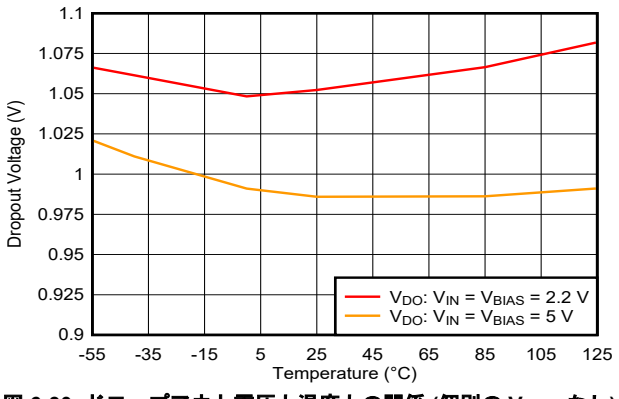


図 6-30. ドロップアウト電圧と温度との関係 (個別の V_{BIAS} なし)

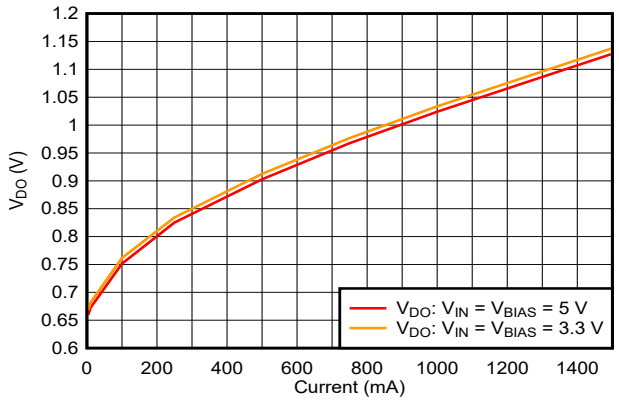
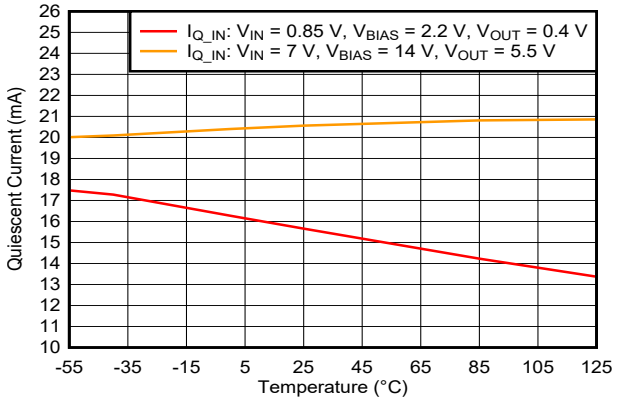


図 6-31. ドロップアウト電圧と電流との関係 (個別の V_{BIAS} なし)

Copyright © 2024 Texas Instruments Incorporated

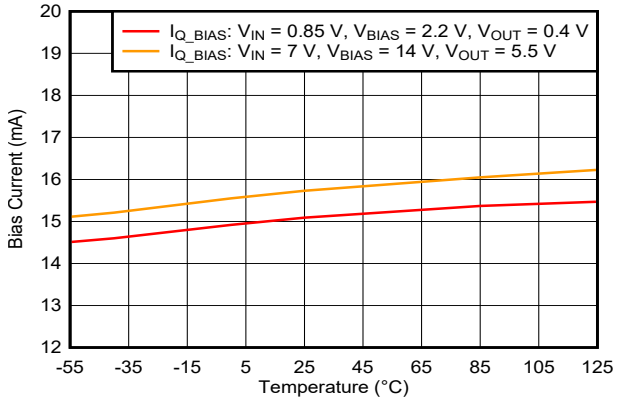
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



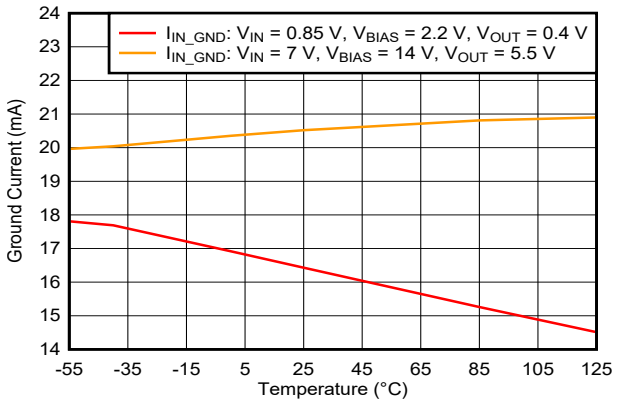
I_{OUT} = 0A

図 6-32. 静止電流と温度との関係



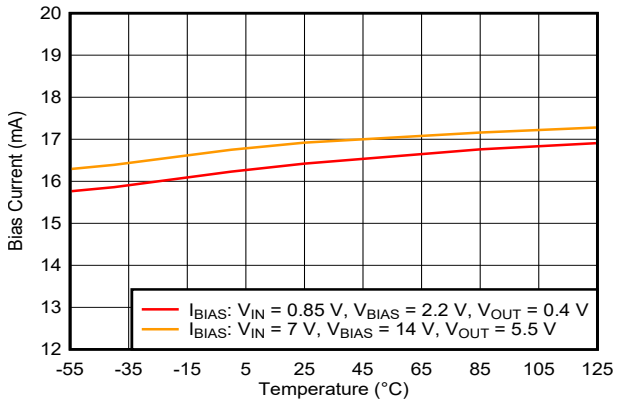
I_{OUT} = 0A

図 6-33. バイアス電流と温度との関係



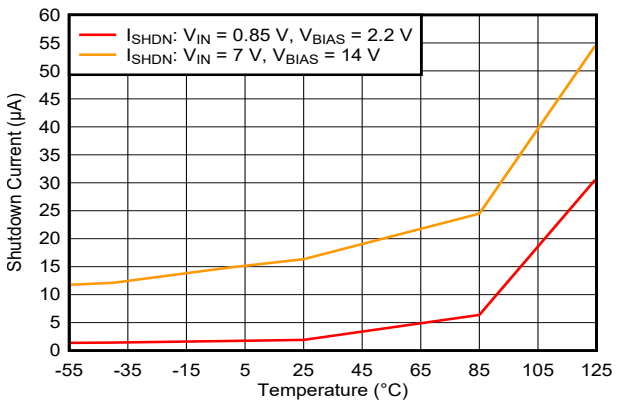
I_{OUT} = 1.5A

図 6-34. グランド電流 vs 温度



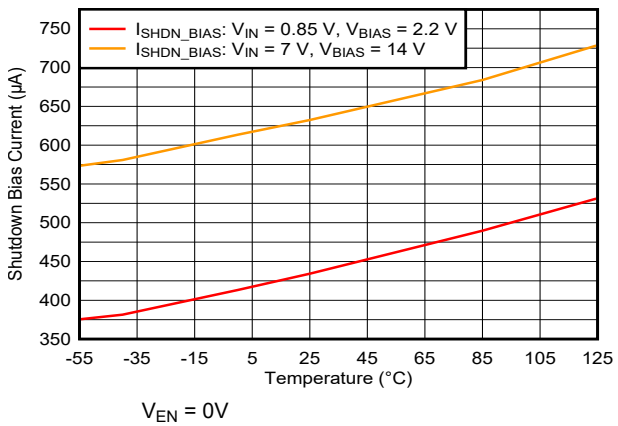
I_{OUT} = 1.5A

図 6-35. バイアス電流と温度との関係



V_{EN} = 0V

図 6-36. シャットダウン電流と温度との関係



V_{EN} = 0V

図 6-37. バイアス シャットダウン電流と温度との関係

Copyright © 2024 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。

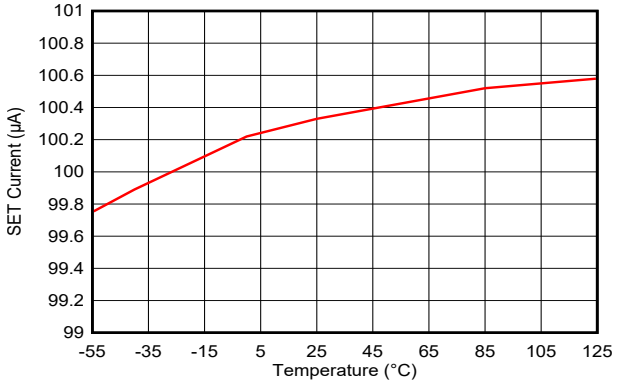
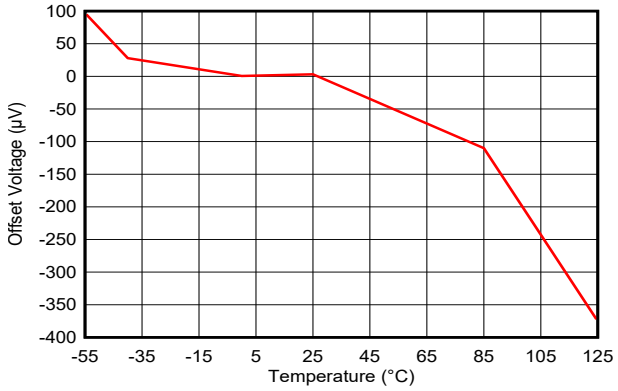


図 6-38. SET ピンの電流と温度との関係



I_{OUT} = 1mA

図 6-39. オフセット電圧と温度との関係

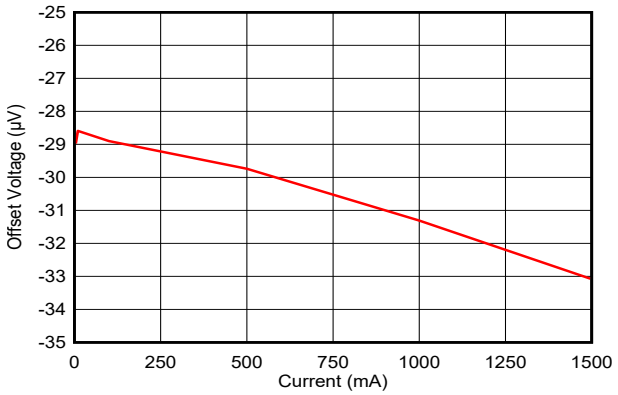


図 6-40. オフセット電圧と電流との関係

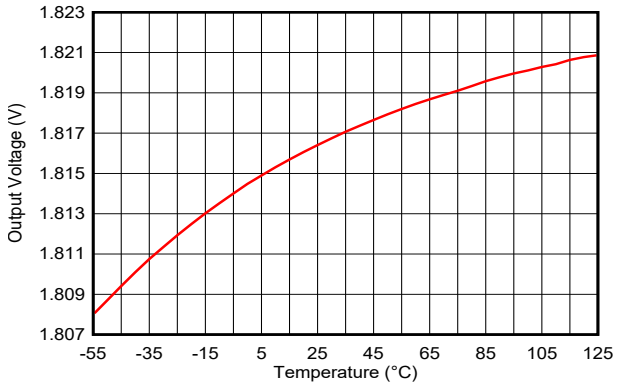
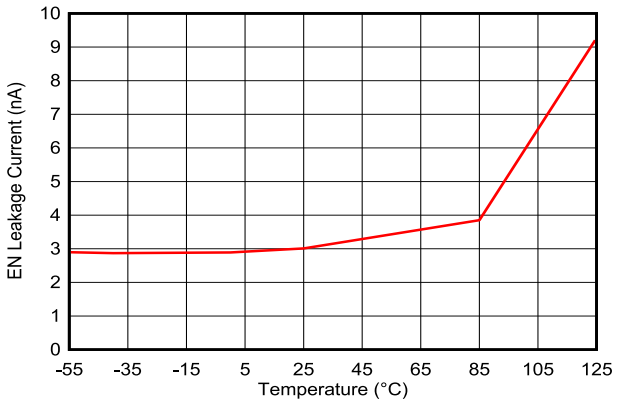
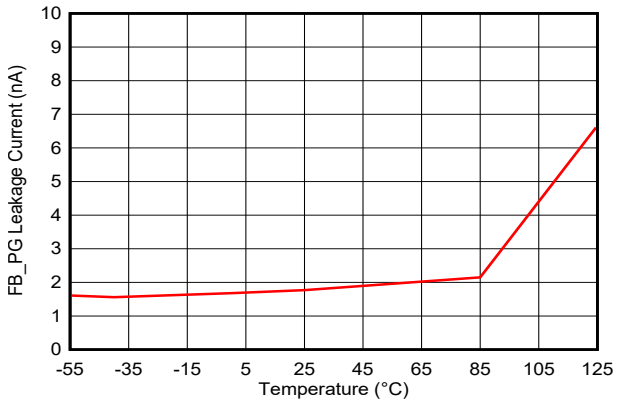


図 6-41. 出力電圧と温度との関係



V_{EN} = 7 V　　V_{IN} = 7 V　　V_{BIAS} = 14V

図 6-42. リーク電流と温度との関係



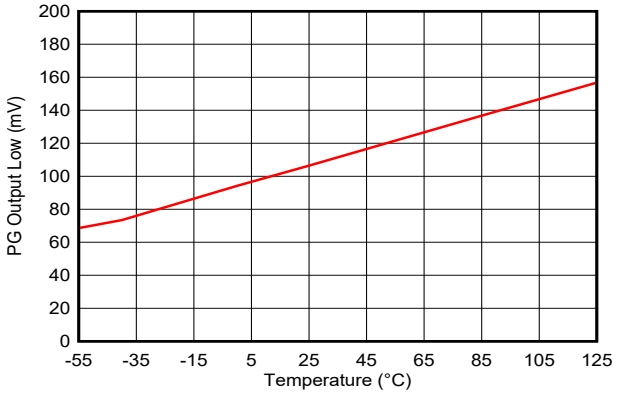
V_{FB_PG} = 6V　　V_{IN} = 7 V　　V_{BIAS} = 14V
I_{OUT} = 1mA

図 6-43. FB_PG ピンのリーク電流と温度との関係

Copyright © 2024 Texas Instruments Incorporated

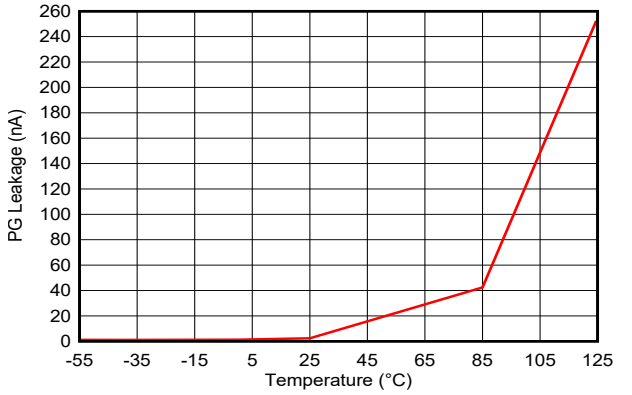
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



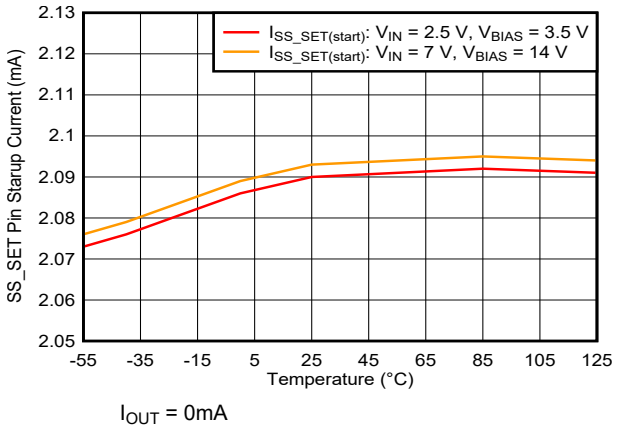
V_{IN} = 0.85 V　V_{BIAS} = 2.2V　I_{OUT} = 1mA
I_{PG} = 2mA

図 6-44. PG ピン出力 Low と温度との関係



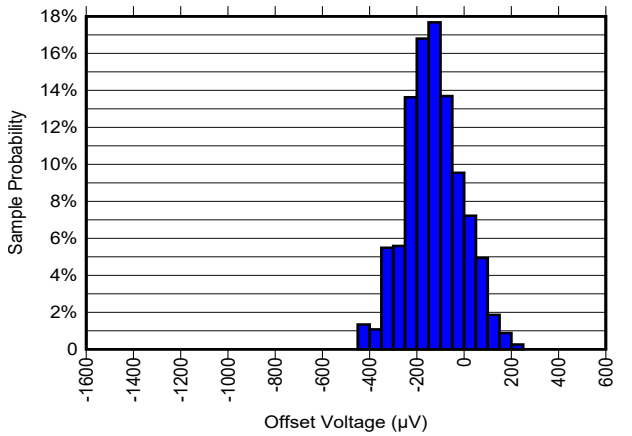
V_{IN} = 7 V　V_{BIAS} = 14V　I_{OUT} = 1mA
V_{PG} = 7 V

図 6-45. PG ピンのリーク電流と温度との関係



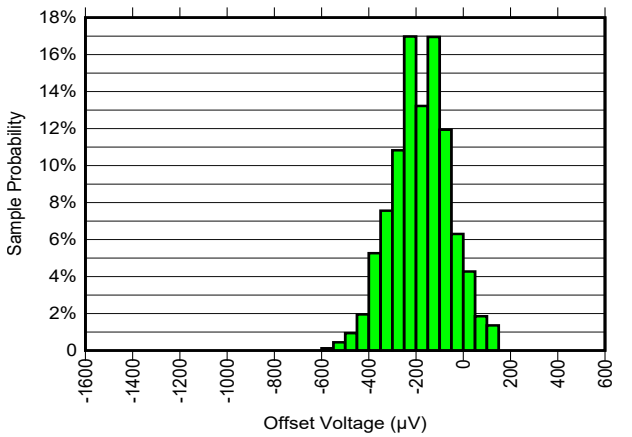
I_{OUT} = 0mA

図 6-46. スタートアップ時の SS_SET ピン電流と温度との関係



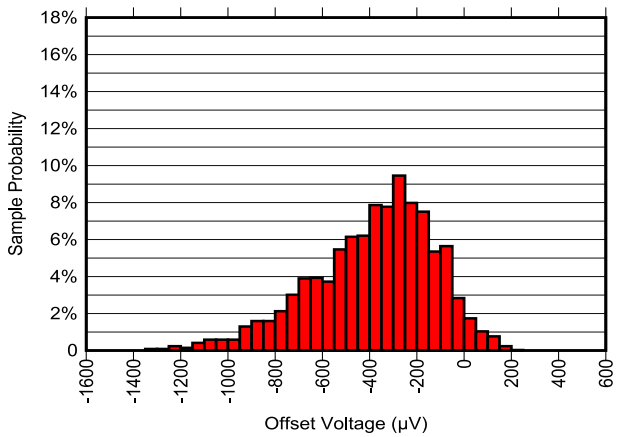
0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-47. 出力オフセット電圧の分布 (T_A = –55℃)



0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-48. 出力オフセット電圧の分布 (T_A = 25℃)



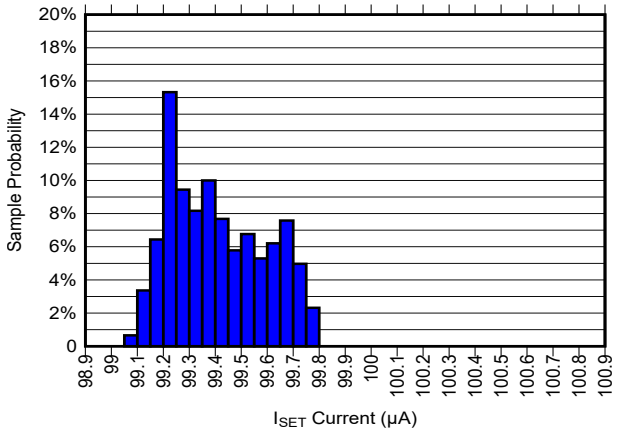
0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-49. 出力オフセット電圧の分布 (T_A = 125℃)

Copyright © 2024 Texas Instruments Incorporated

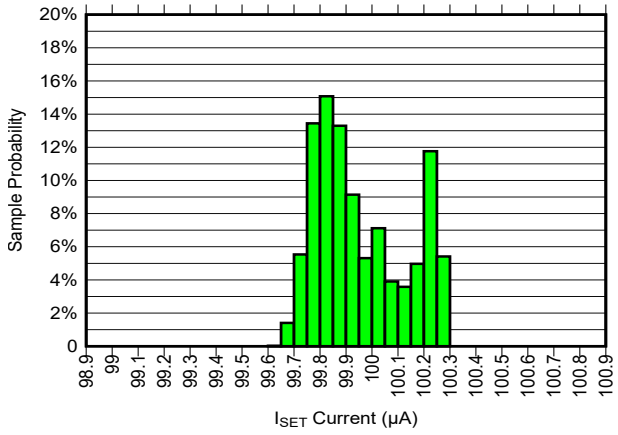
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



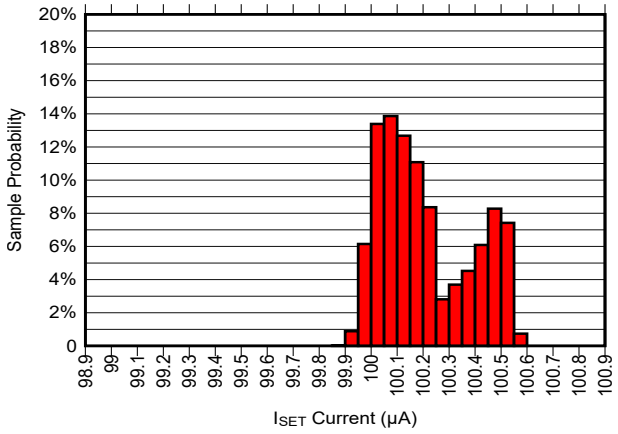
0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-50. I_{SET} 電流分布 (T_A = –55℃)



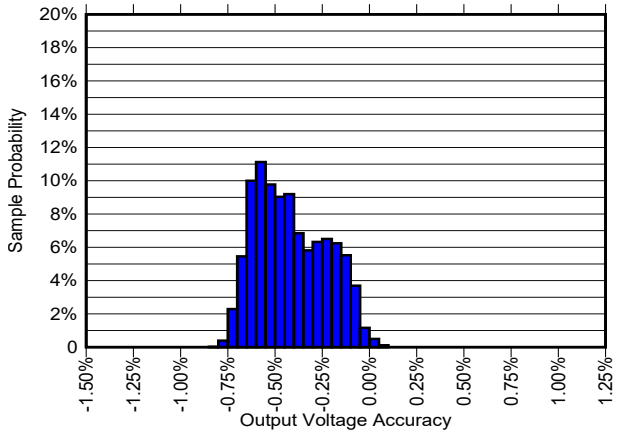
0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-51. I_{SET} 電流分布 (T_A = 25℃)



0.85V ≤ V_{IN} ≤ 7V、2.2V ≤ V_{BIAS} ≤ 14V、I_{OUT} = 1mA

図 6-52. I_{SET} 電流分布 (T_A = 125℃)



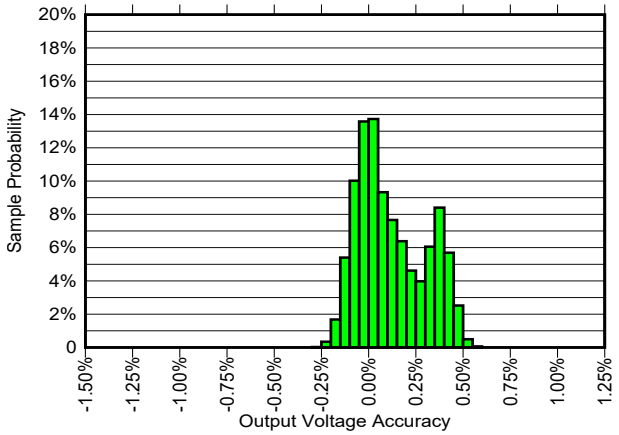
0.85V ≤ V_{IN} ≤ 7V、1mA ≤ I_{OUT} ≤ 1.5A、2.2V ≤ V_{BIAS} ≤ 14V、P_D ≤ 4W

図 6-53. 出力電圧の精度分布 (T_A = –55℃)

Copyright © 2024 Texas Instruments Incorporated

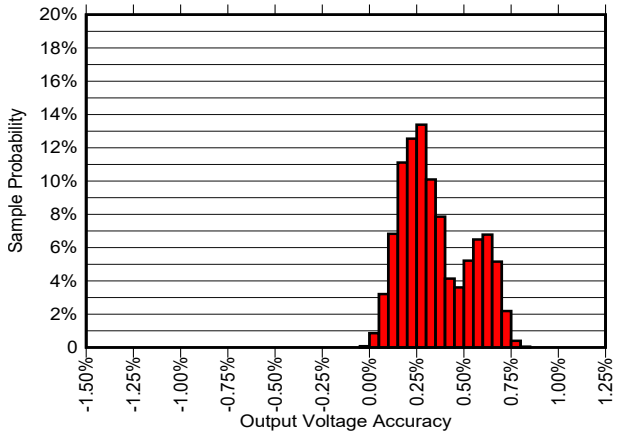
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



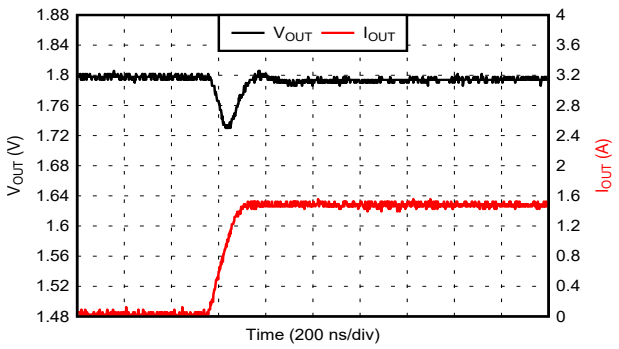
0.85V ≤ V_{IN} ≤ 7V、1mA ≤ I_{OUT} ≤ 1.5A、2.2V ≤ V_{BIAS} ≤ 14V、P_D ≤ 4W

図 6-54. 出力電圧の精度分布 (T_A = 25℃)



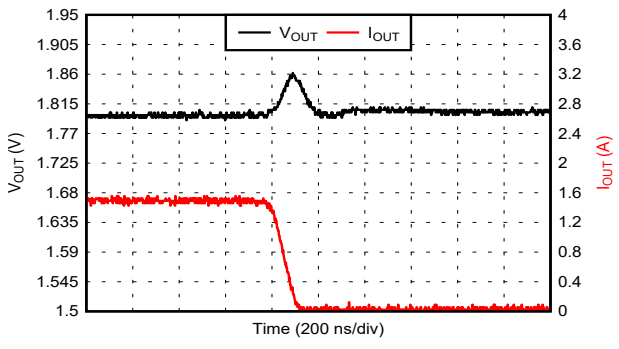
0.85V ≤ V_{IN} ≤ 7V、1mA ≤ I_{OUT} ≤ 1.5A、2.2V ≤ V_{BIAS} ≤ 14V、P_D ≤ 4W

図 6-55. 出力電圧の精度分布 (T_A = 125℃)



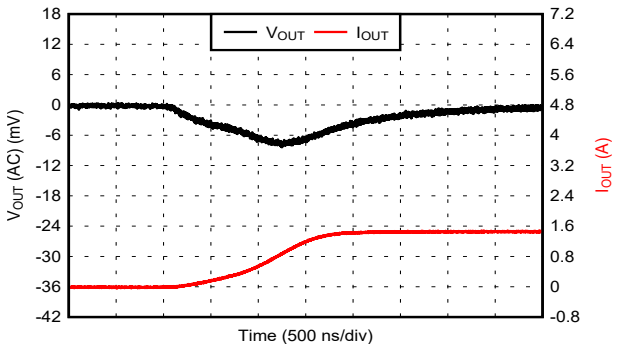
スルーレート = 10.1A/µs

図 6-56. 負荷ステップ：1 mA ～ 1.5A



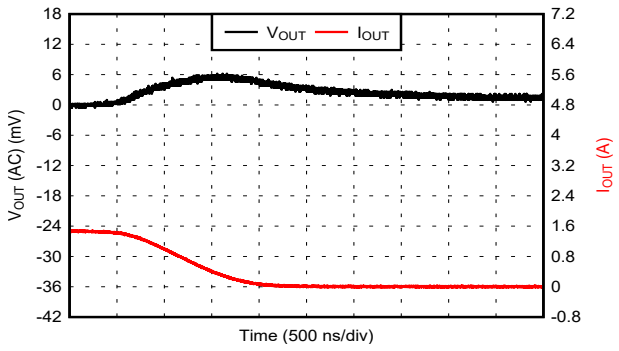
スルーレート = 13.1A/µs

図 6-57. 負荷ステップ：1.5 A～1 mA



スルーレート = 0.9A/µs

図 6-58. 負荷ステップ：1 mA ～ 1.5A



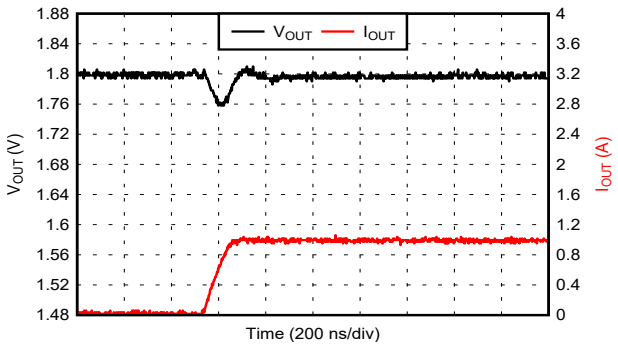
スルーレート = 1.0A/µs

図 6-59. 負荷ステップ：1.5 A～1 mA

Copyright © 2024 Texas Instruments Incorporated

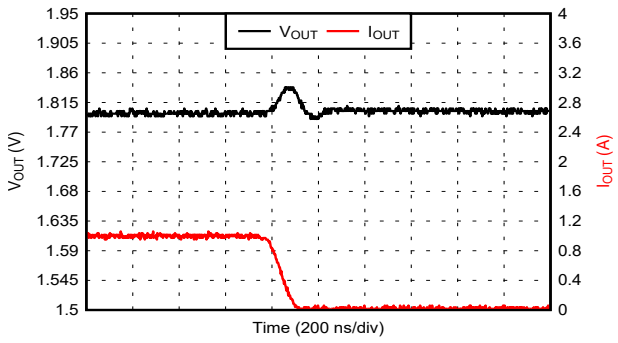
6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。



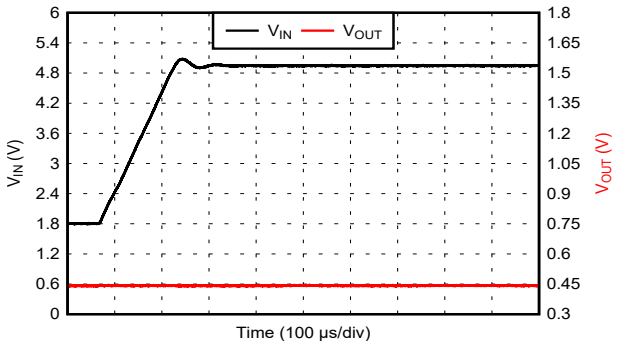
スルーレート = 8.5A/µs　　I_{OUT} はステップ電流のみ、並列 0.5A 負荷は非表示

図 6-60. 負荷ステップ：0.5 A～1.5 A



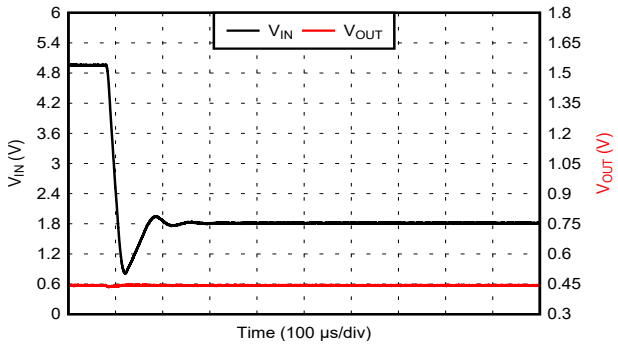
スルーレート = 8.1A/µs　　I_{OUT} はステップ電流のみ、並列 0.5A 負荷は非表示

図 6-61. 負荷ステップ：1.5 A～0.5 A



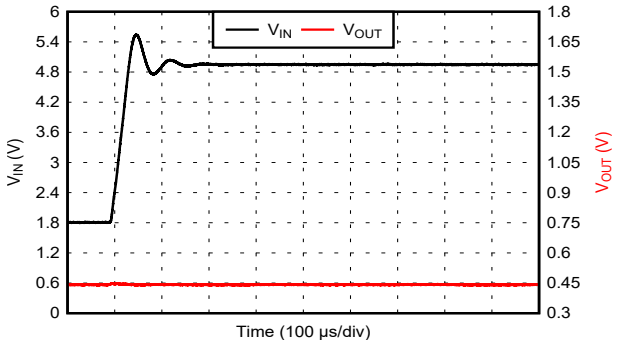
スルーレート = 20.2V/ms　　V_{OUT} = 0.4 V

図 6-62. ライン ステップ：1.8V～5V、I_{OUT} = 1.5A



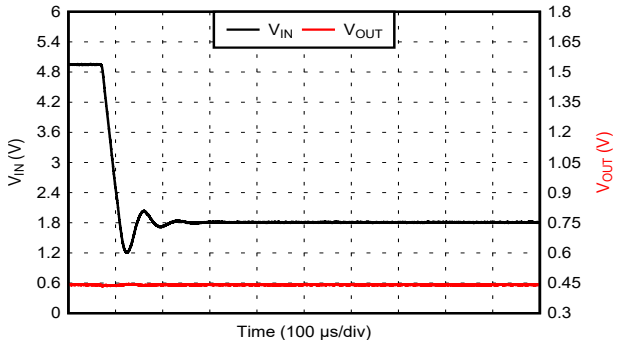
スルーレート= 144.8V/ms　　V_{OUT} = 0.4 V

図 6-63. ライン ステップ：5V～1.8V、I_{OUT} = 1.5A



スルーレート= 84.0V/ms　　V_{OUT} = 0.4 V

図 6-64. ライン ステップ：1.8V～5V、I_{OUT} = 1mA



スルーレート = 85.1V/ms　　V_{OUT} = 0.4 V

図 6-65. ライン ステップ：5V～1.8V、I_{OUT} = 1mA

Copyright © 2024 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A、C_{OUT} = 2 × 100µF、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃、特に記述のない限り、積分ノイズは 10Hz～100kHz の帯域幅で報告。

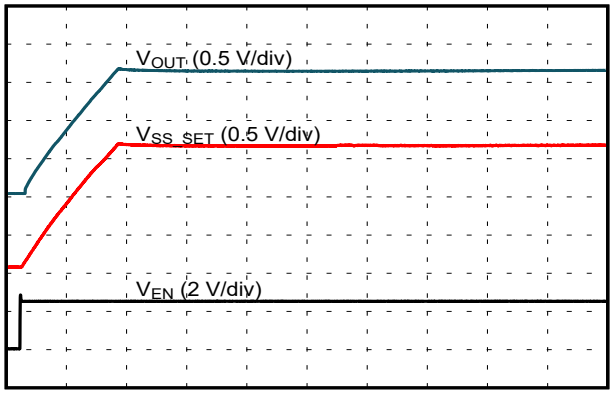
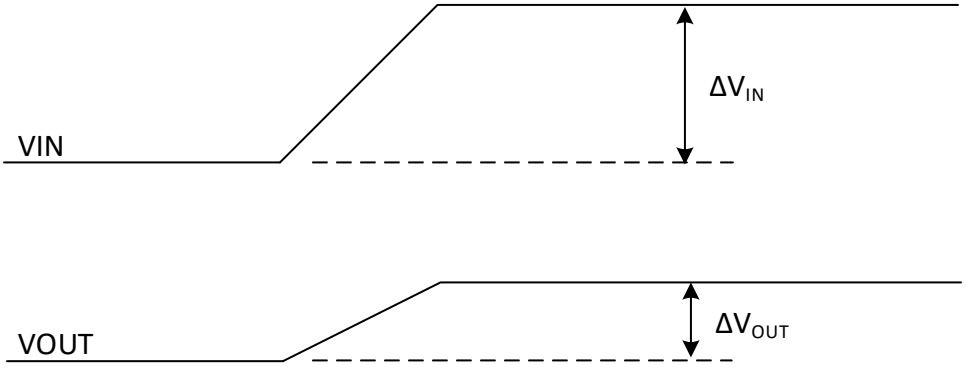


図 6-66. スタートアップ波形

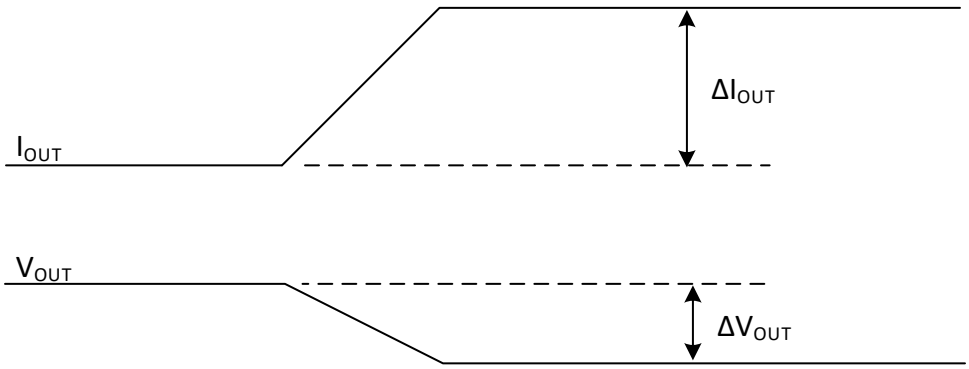
Copyright © 2024 Texas Instruments Incorporated

7 パラメータ測定情報



A. ΔV_{OUT} / ΔV_{IN} = 3µV/V (標準値)。これは、V_{IN} が 1V 変化すると (ΔV_{IN} = 1V)、V_{OUT} が 3µV 変化する (ΔV_{OUT} = 3µV) ことを意味します。ライン レギュレーションは DC パラメータであるため、この波形は過渡がなくなった後、または V_{IN} のスルーレートが遅い場合にのみ有効であると考える必要があります。

図 7-1. ライン レギュレーション



A. ΔV_{OUT} / ΔI_{OUT} = 500µV/A (標準値).これは、I_{OUT} が 1A 変化すると (ΔI_{OUT} = 1A)、V_{OUT} が 500µV 変化する (ΔV_{OUT} = 500µV) ことを意味します。ロード レギュレーションは DC パラメータであるため、この波形は過渡がなくなった後、または I_{OUT} のスルーレートが遅い場合にのみ有効であると考える必要があります。

図 7-2. ロード レギュレーション

Copyright © 2024 Texas Instruments Incorporated

8 詳細説明

8.1 概要

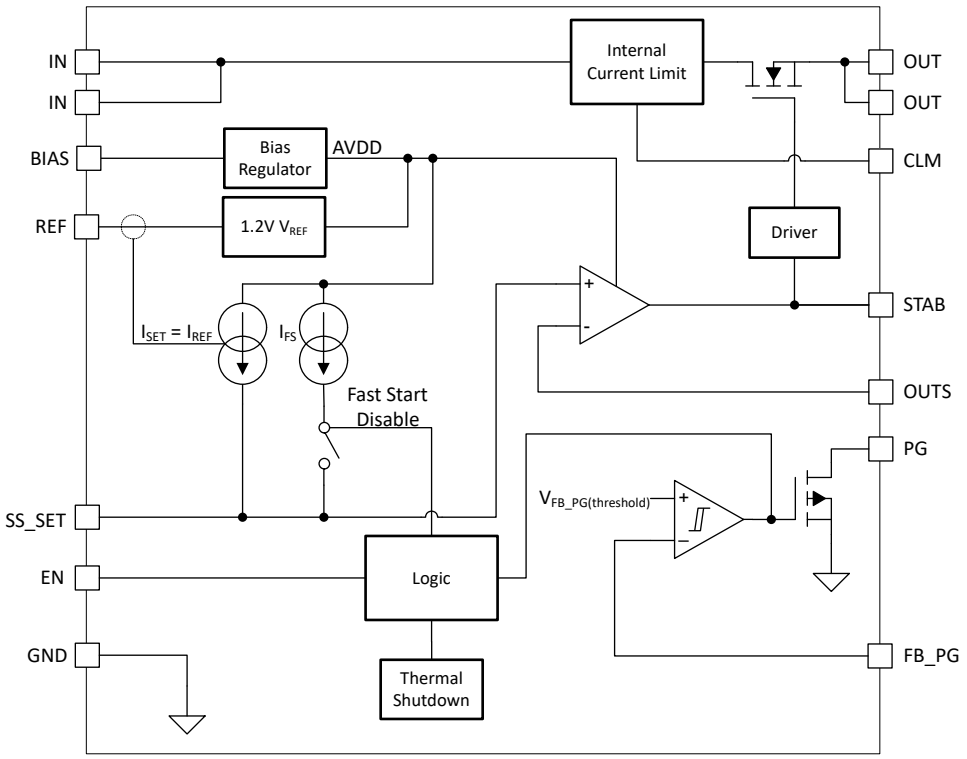
TPS7H1111 (TPS7H1111-SP および TPS7H1111-SEP) は超低ノイズ、高 PSRR、低ドロップアウトのリニア レギュレータ (LDO) で、宇宙環境での RF デバイスへの電力供給用に最適化されています。NMOS パス素子を使用し、0.85V～7V の入力範囲にわたって最大 1.5A の電流を供給できます。BIAS ピン (2.2V～14V) によりバイアス レールを使用できるため、V_{IN} と V_{OUT} の差が小さい動作が可能となり、消費電力が制限されます。このデバイスは、非常にクリーンな出力レールを生成し、最小限の外付け部品で構成できます。

放射線性能と、低ノイズおよび高 PSRR 動作により、TPS7H1111 は人工衛星のノイズに敏感な部品への電力供給に理想的です。高性能なこのデバイスは、電源で発生する位相ノイズとクロックのジッタを制限できるため、高性能 ADC、DAC、VCO、PLL、SerDes、および他の RF 部品への電力供給に最適です。

デジタル負荷 (例:ASIC、FPGA、DSP) で低入力電圧、低出力電圧の動作を必要とする場合、TPS7H1111 の非常に優れた精度 (ライン、負荷、温度範囲全体にわたって +1.2% / -1.3%)、リモート センシング、優れた過渡性能、ソフト スタート機能によって、最適なシステム性能を実現できます。

さらに、このレギュレータにはさまざまな機能が組み込まれているため、電気系統が簡素化され、システムの柔軟性が向上します。これらの機能には、イネーブル機能 (EN)、構成可能なパワー グッド出力 (PG)、ソフト スタート制御 (SS_SET)、動作を構成可能な内部電流制限 (CLM)、外部ループ補償 (STAB) が含まれます。

8.2 機能ブロック図



Copyright © 2024 Texas Instruments Incorporated

8.3 機能説明

8.3.1 バイアス電源

デバイスを正常に動作させるには、バイアス電源を BIAS ピンに接続する必要があります。ヘッドルーム電圧および出力電流の条件に応じて、バイアス電源電圧は、入力電圧電源と同じにすることも、別の高い電圧電源にすることもできます。ヘッドルーム電圧は、動作時の V_{IN} 条件と V_{OUT} 条件との差として定義されます ($V_{headroom} = V_{IN} – V_{OUT}$)。いずれの場合も、$V_{BIAS}$ と V_{IN} の間にシーケンシング要件はありません。

表 8-1 で説明したように、ヘッドルーム電圧が 1.6V 以上の場合、別の高いバイアス電源は必要ありません。ヘッドルーム電圧が 1.6V 未満の場合、最高の性能を得るには、別の高いバイアス電源電圧が必要です。表 8-1 に示すすべての状況で、規定のドロップアウト電圧で 1.5A の最大出力電流を達成できます (「電気的特性」表を参照)。

表 8-1. 最大パフォーマンス動作のバイアス レール要件

ヘッドルーム (V_{IN} - V_{OUT})	バイアス要件(1)
≥ 1.6V	V_{IN} と同じ、または $V_{BIAS} \geq V_{IN}$ となる電圧レールを使用
< 1.6V	V_{IN} とは別の電圧レールを使用 ($V_{BIAS} \geq V_{OUT}$ + 1.6V)

(1) いずれの場合も 2.2V ≤ V_{BIAS} ≤ 14V

表 8-2 に、標準電圧レールで実現可能で、1.5A の最大出力電流をサポートできる V_{BIAS}、V_{IN}、V_{OUT} の組み合わせの例を示します。ここに示すように、12V バイアス電源は、リストに記載されているすべての標準出力電圧レールをサポートします (通常は 5V 電源でも十分です)。また、V_{BIAS} 電圧と V_{IN} 電圧が同じ場合は、個別の電源は必要ありません。

表 8-2. 最大性能で動作させるためのバイアス レールと標準レールの例

V_{BIAS} (V)	V_{IN} (V)	V_{OUT} (V)
12	5	3.3
	5、3.3	2.5
	5、3.3、2.5	1.8
	5、3.3、2.5、1.8	1.1
5	5、3.3	2.5
	5、3.3、2.5	1.8
	5、3.3、2.5、1.8	1.1
3.3	3.3、2.5、1.8	1.1

一般的には上記のバイアス電圧要件に従うことが推奨されますが、実現不可能な場合もあります (ヘッドルームが小さく、個別のバイアス電圧レールが利用できない場合など)。この場合でも、TPS7H1111 を動作させることは可能ですが、出力電流が小さくなります (PSRR などの性能が低下する可能性もあります)。この条件 ($V_{BIAS} = V_{IN}$、ヘッドルームが小さい) は、「電気的特性」の表で「$V_{BIAS} = V_{IN}$ でのドロップアウト電圧」として規定されています。 結果のドロップアウト電圧要件を満たすと、本デバイスで適切な動作が維持されます。

サポートされている組み合わせで最大性能が得られない可能性のある例として、$V_{BIAS} = V_{IN}$ = 5V、V_{OUT} = 3.3V の場合があります。5V レールの許容誤差が 5% で、3.3V 出力の仕様最大許容誤差が +1.2% であるとすると、ワーストケースのヘッドルームは $V_{headroom}$ = 4.75 - 3.34 = 1.41V です。この 1.41V は推奨される 1.6V 未満です。ただし、「電気的特性」表に示すように、このヘッドルームは全負荷電流 1.5A で必要とされるドロップアウトよりも大きいので、最大電流がサポートされることが予測されますが、他のパラメータ (PSRR など) は最大性能が得られない可能性があります。

バイアス レール上のノイズは、$PSRR_{BIAS}$ 仕様によって減衰されてから、出力に結合されます。バイアス レールが超クリーンなレールでない限り、このノイズ結合がクリーンな出力電圧の生成を制限する要因となります。そのため、RC フィルタを使用して BIAS ピンへのノイズ入力を最小限に抑える必要があります。BIAS ピンには低電流要件があるため、これは可能です。BIAS ピンから出力電圧へのノイズ伝搬を最小限に抑えるには、通常は 10Ω と 4.7µF で十分です。発生する IR

Copyright © 2024 Texas Instruments Incorporated

の電圧降下によってバイアス電圧が正常な動作には低くなりすぎることがないように、十分に低い抵抗値を選択する必要があります。

8.3.2 出力電圧構成

TPS7H1111 の出力電圧は、SS_SET ピンと GND の間に抵抗 R_{SET} を配置することで設定されます。公称動作では、SS_SET ピンから 100µA が出力されます。R_{SET} を適切に選択すると、SS_SET ピンに必要な出力電圧は式 1 で計算されます。この電圧は、図 8-1 に示すように、内部ユニティ ゲイン誤差アンプを介して出力に複製されます。

$$V_{SS_SET} = I_{SET} \times R_{SET} \quad (1)$$

ここで、

- I_{SET} = 100µA (標準値)
- V_{SS_SET} = 目的の出力電圧 V_{OUT} に構成された設定電圧

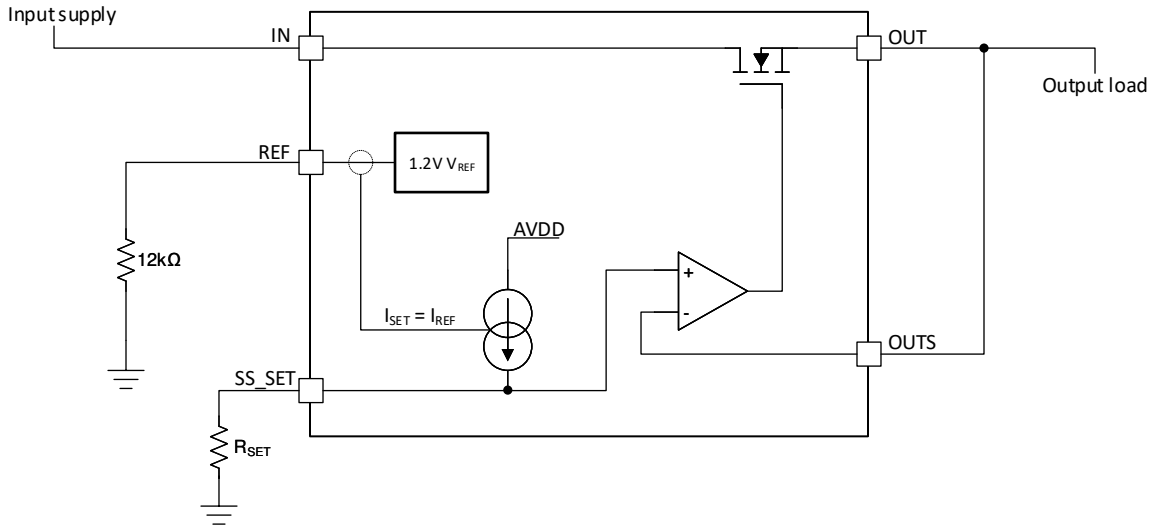


図 8-1. 出力電圧構成の概略回路図

100µA のリファレンス電流は、REF ピンと GND との間に 12kΩ 抵抗を配置することで構成されます。R_{REF} 抵抗の両端に 1.2V を印加すると、約 100µA のリファレンス電流が生成されます。この電流は SS_SET ピンにミラーリングされ、高精度のリファレンス電流を生成します。電流を正確に設定するため、一般的には R_{REF} および R_{SET} には 0.1% 精度の抵抗が推奨されます。0.1% 精度の抵抗を使用すると、R_{REF} 抵抗による I_{SS_SET} 誤差は 0.1% になります。また、R_{SET} 抵抗の 0.1% の誤差は、V_{OUT} の精度誤差にも影響します。TPS7H1111 の精度仕様は、ライン、負荷、温度の全範囲にわたって +1.2% / –1.3% ですが、抵抗の許容誤差は別途追加する必要があります。表 8-3 に、一般的な出力電圧と抵抗値を示します。

Copyright © 2024 Texas Instruments Incorporated

表 8-3. V_{OUT} に対する R_{SET} の値

出力電圧、V_{OUT}	許容誤差 0.1% の抵抗の値
0.4V	4.02kΩ
0.7V	6.98kΩ
1V	10kΩ
1.1V	11kΩ
1.2V	12kΩ
1.5V	15kΩ
1.8V	18kΩ
2.5V	24.9kΩ
3.3V	33.2kΩ
4V	40.2kΩ
5V	49.9kΩ

さらに、より高い精度が必要な場合は、マッチングされた抵抗を利用できます (多くの場合、0.1% よりも優れた精度比で提供)。たとえば、R_{REF} に公称 12kΩ ± 5% の抵抗を選択し、R_{SET} / R_{REF} 比が 0.01% (またはそれ以下) になるようなマッチングされた抵抗を使用できます。この場合、設定電圧を計算には式 1 の代わりに式 2 を使用します。

$$V_{SS_SET} = (1.2 / R_{REF}) \times R_{SET} \quad (2)$$

ここで、

- V_{SS_SET} = 目的の出力電圧 V_{OUT} に構成された設定電圧

式 2 を使用すると、R_{REF} と R_{SET} 抵抗のミスマッチによる設定出力電圧の誤差を簡単に計算できます。ただし、抵抗比を改善すると出力精度が向上する可能性がありますが、他の誤差発生源は依然として存在します。これらの発生源には、固有のリファレンス電流精度と誤差アンプのオフセット電圧が含まれます。

出力電圧精度 V_{ACC} は、「電気的特性」表で最小精度 -1.3%、最大精度 +1.2% と規定されています。この仕様は、–55℃～125℃の温度範囲全体、全入力電圧 (0.85V ≤ V_{IN} ≤ 7V および 2.2V ≤ V_{BIAS} ≤ 14V)、および全負荷 (1mA ≤ I_{OUT} ≤ 1.5A) に適用されます。測定に関する追加の詳細は、次のとおりです。

- V_{IN}、V_{BIAS}、I_{OUT}、温度の範囲は、仕様がすべてのライン、負荷、温度の組み合わせに適用されることを意味します。これは、さまざまなコーナーを網羅する複数のバイアス条件をテストすることにより達成されています。
- 「電気的特性」の脚注 4 には、V_{BIAS} ≥ V_{IN} および V_{BIAS} ≥ V_{OUT} + 1.6V が規定されています。これは、V_{IN} と V_{BIAS} のすべての組み合わせが実現可能ではないためです (たとえば、V_{IN} = 7V および V_{BIAS} = 2.2V はあり得ません)。
- 「電気的特性」の脚注 5 には、測定時の消費電力が最大 4W に制限されていると記載されています。これは、テスタの熱的制限によるものです。熱特性に優れた代表的なアプリケーション ボードには、固有の制限はありません。
- より堅牢な測定精度を実現するため、テスト条件では 0mA ではなく 1mA の最小値が規定されています。ただし、通常のアプリケーションでは、TPS7H1111 デバイスに安定性のための最小負荷電流はありません。
- TID 後の仕様は、室温で測定されます (高温でのアニーリングを防止するための MIL 規格)。TID 後の TPS7H1111 は、最小精度 -0.7%、最大精度 +1.1% と規定されています。これを、TID 前の最小精度 -0.7% および最大精度 +0.9% と比較します。
- 次の誤差項は V_{ACC} パラメータ自体で対処されるため、V_{ACC} 仕様に含めることは推奨されません：I_{SET} 電流精度、V_{OS} (出力オフセット電圧)、V_{REF} 電圧精度、$\Delta V_{OUT}/\Delta V_{IN}$ (ライン レギュレーション)、$\Delta V_{OUT}/\Delta I_{OUT}$ (ロード レギュレーション)、V_{OUT}tempco。
- R_{REF} や R_{SET} 抵抗の許容誤差などの外付け部品による誤差は、パラメータに含まれていないため、V_{ACC} 仕様に追加できます。

出力電圧の精度を決定する方法の詳細については、セクション 9.2.1.2.3 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

8.3.3 電圧源を使用した出力電圧構成

TPS7H1111 の出力電圧は SS_SET 電圧 (からオフセット誤差を減算した電圧) と等しいため、SS_SET に電圧を供給して TPS7H1111 を構成することも可能です。図 8-2 に示すように、電圧源 V_{SET} を SS_SET に供給します。DAC を電圧源として使用すると、構成可能な電圧制御が可能になります。

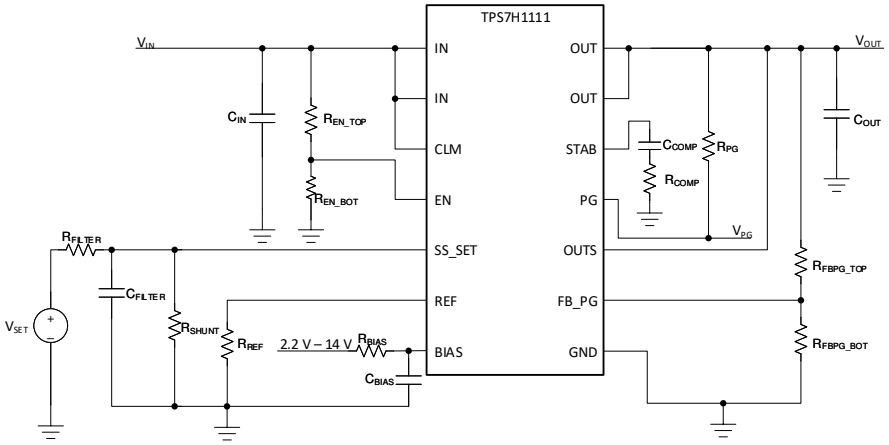


図 8-2. SS_SET に電圧源を供給して出力電圧を構成する概略回路図

この方法を使用する場合、いくつかの固有の考慮事項があります。

- SS_SET に電圧源を供給する場合、超低ノイズのリファレンス電流に依存する代わりに、V_{SET} のノイズがユニティ ゲイン誤差アンプを介して出力に渡されます。ノイズを最小限に抑えるため、図に示すように、V_{SET} と SS_SET の間に RC フィルタを使用することをお勧めします。
- TPS7H1111 の出力電圧は SS_SET に直接追従するため、スタートアップ中にソフト スタートはありません。必要なソフト スタート時間を確保するため、V_{SET} 電圧のスルーレートを制御することをお勧めします。V_{SET} と SS_SET の間に RC フィルタを配置すると、このスルーレートの制御に役立つ場合があります。
- SS_SET ピンは、動作中は公称 100µA を出力し、「ソフト スタート」時 ($V_{FB_PG} < V_{FB_PG(rising)}$) は 2.1mA を出力します。この電流を処理するために、シャント抵抗が必要になることがあります。

8.3.4 イネーブル

イネーブル ピンが Low になると、デバイスはシャットダウン モードに移行し、出力電圧のレギュレーションは行われません。通常、V_{IN} と GND の間に外付け分圧抵抗を使用して EN を供給します。式 3 に示すように、目的のプリセット入力電圧に達したときにデバイスをオンにするよう、抵抗のサイズを適切に設定できます。

$$V_{IN(rising)} = V_{EN(rising)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (3)$$

同様に、$V_{IN(falling)}$ 電圧も式 4 を使用して計算できます。$V_{IN(rising)}$ と $V_{IN(falling)}$ は、構成可能な UVLO (低電圧誤動作防止) スレッショルドと考えることができます。

$$V_{IN(falling)} = V_{EN(falling)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (4)$$

TPS7H1111 は V_{EN} が 0.6V (標準値) になった時点でオンになりますが、V_{EN} の最終値は 0.8V を超えるようにすることを推奨します。これは、通常動作時にイネーブル スレッショルドの上に適切なマージンを確保し、重イオン暴露中の SEFI を防ぐためです。この推奨事項は、式 5 を満たすことで達成されます。

$$V_{IN(final)} \times R_{EN_BOT} / (R_{EN_TOP} + R_{EN_BOT}) = V_{EN(final)} > 0.8V \quad (5)$$

または、EN ピンをマイクロコントローラまたは FPGA から直接駆動することもできます。イネーブル ピンの電圧スレッショルドは低いため、1.1、1.8、2.5、3.3V のロジック レベルをサポートできます。同様に、V_{EN} の最終値が 0.8V を上回るようにすることを推奨します。これは通常、標準ロジック レベルで簡単に達成できます。

Copyright © 2024 Texas Instruments Incorporated

8.3.5 ソフト スタートとノイズ低減

SS_SET ピンは、出力電圧の設定に加えて、ソフト スタート時間のプログラミングと、内部リファレンス電流用のノイズ フィルタの作成という 2 つの重要な機能を果たします。ほとんどのアプリケーションでは、十分な低ノイズ性能を得るために、少なくとも 4.7µF コンデンサが推奨されます。より大きな値のコンデンサも許容されますが、コンデンサの値を 4.7µF より大きくしていくと、出力ノイズ減少の効果はしだいに減少します。

このコンデンサは、SS_SET 電圧のランプ レートも低下させるため、LDO のターンオン時間 (ソフト スタート) を制御します。ただし、コンデンサが I_{SET} 電流 (公称 100µA) によってのみ充電される場合は、スタートアップ時間が過剰になります。そのため、スタートアップ中にアクティブになる追加の高速充電電流源 (I_{FS} ≈ 2mA) があります。その結果、4.7µF コンデンサのソフト スタート時間は公称 3.7ms となります。図 8-3 に、この回路の概略図を示します。

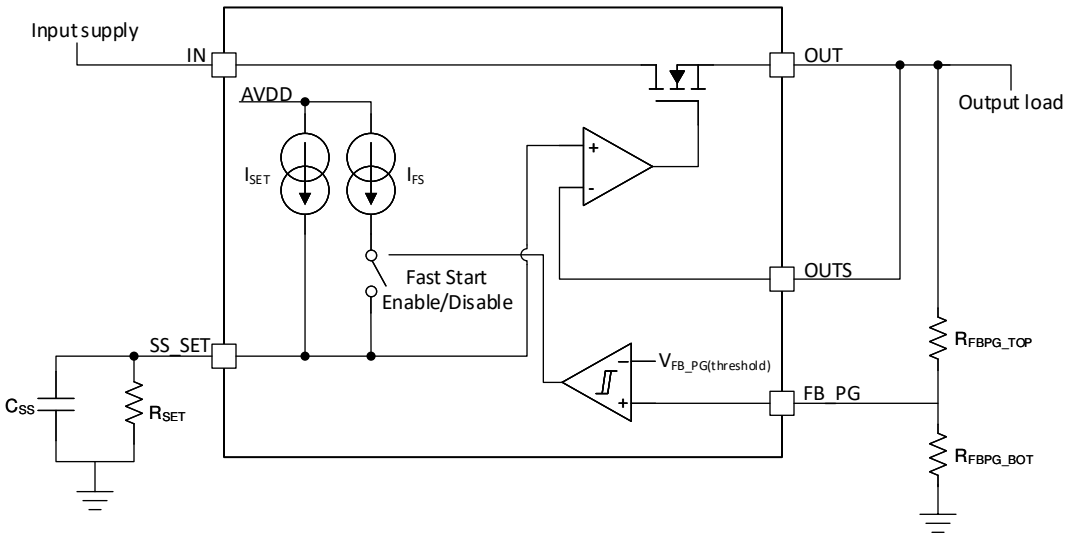


図 8-3. スタートアップ回路を示す概略回路図

この高速充電回路は、FB_PG スレッショルド (標準 300mV) に達するまでアクティブになります。FB_PG スレッショルドに達すると、高速スタート電流はオフになり、式 6 に示すソフト スタート時間が完了します。C_{SS} は、100µA (標準値) のリファレンス電流で、最終的な値 (R_{SET} 抵抗により決定) まで充電を継続します。図 8-4 に、スタートアップ波形の例を示します。この波形では、分圧された V_{IN} が EN に供給されていると想定しています。

$$t_{SS} \approx C_{SS} \times V_{OUT(assert_threshold)} / I_{SS_SET(startup)} \quad (6)$$

ここで、

- t_{SS} = ソフト スタート時間
- $I_{SS_SET(startup)} = I_{FS} + I_{SET}$ = 2.1mA (標準値)
- $V_{(assert_threshold)}$ = PG がアサートされる V_{OUT} の構成値 (通常は $V_{OUT(final)}$ の 90%、セクション 8.3.6 を参照)

高速充電電流 (I_{FS}) と設定電流 (I_{SET}) は、ソフト スタート時間 (t_{SS}) 中はどちらもアクティブであり、「電気的特性」表に $I_{SS_SET(start)}$ として示されています。この 2.1mA の標準値は、12kΩ の R_{REF} 抵抗に対して有効です。高速充電電流は R_{REF} 抵抗を流れる電流から内部的に生成されるため、12kΩ より大きいまたは小さい値を使用すると、I_{FS} 電流が減少または増加します。

高速スタート回路が不要な場合は、FB_PG ピンを V_{OUT} に接続します。これにより、FB_PG スレッショルドに短時間で到達するため、高速スタート回路が迅速にオフになります。これは、セクション 8.3.6 で説明しているように、PG ピンの動作に影響することに注意してください。

Copyright © 2024 Texas Instruments Incorporated

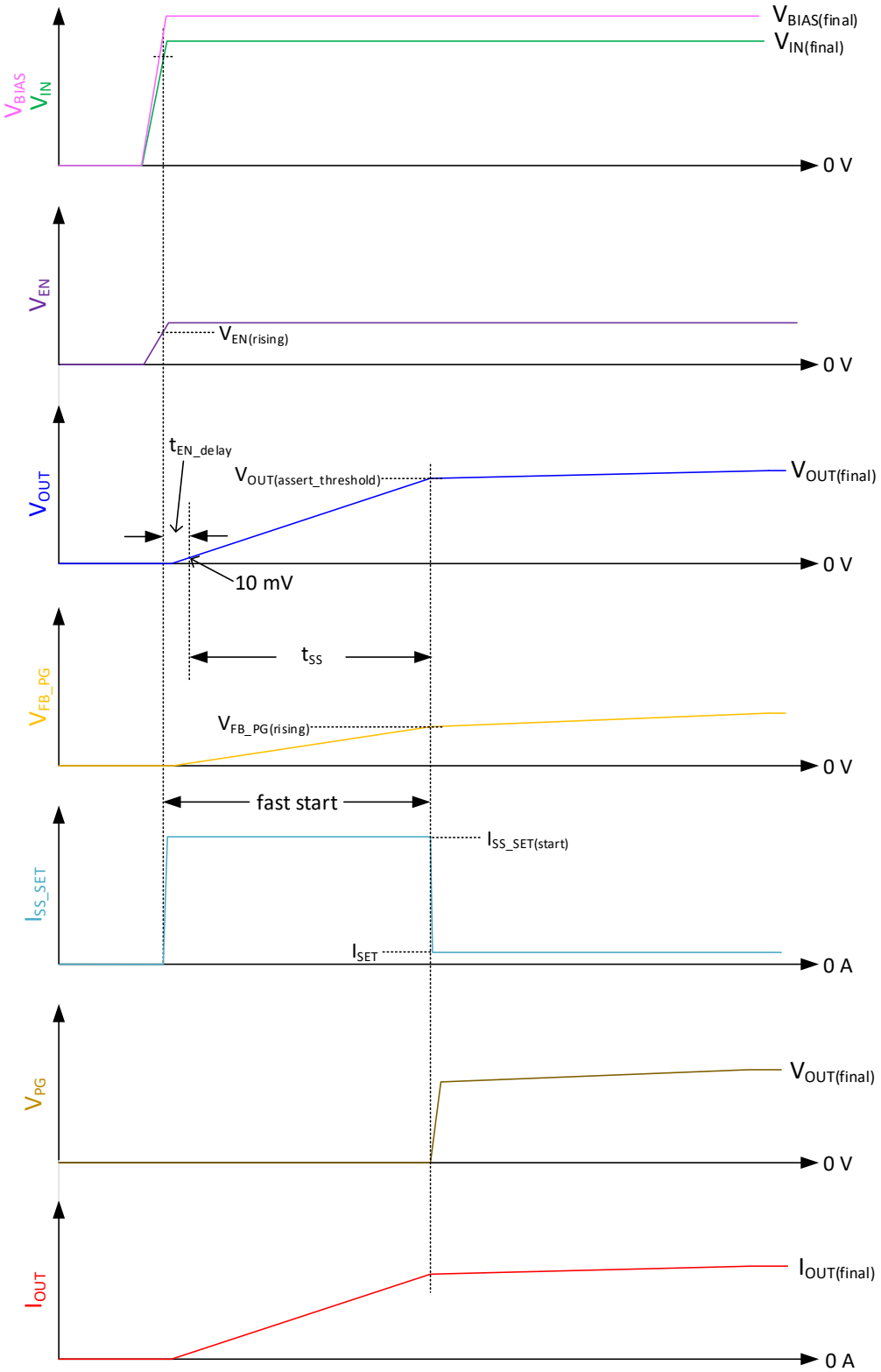


図 8-4. スタートアップ波形を示す概略回路図

Copyright © 2024 Texas Instruments Incorporated

8.3.6 構成可能なパワー グッド

パワー グッド インジケータ ピン (PG) は、出力電圧が目的の値に達するとアサートされるオープン ドレイン ピンです。PG ピンは、抵抗を介して V_{OUT}、V_{IN}、または推奨最大電圧 7V 未満の別の電圧レベルにプルアップできます。PG によりシンクされる最大電流が推奨動作条件電流の最大値である 2mA 未満に維持されるように抵抗のサイズを選択してください。

V_{IN} または V_{BIAS} がデバイスに供給される前に PG を外部電圧にプルアップした場合、駆動強度が不十分なため PG がプルダウンされない可能性があることに注意してください。「電気的特性」表に規定されている $V_{IN(MIN_PG)}$ は、0.6mA 以下で PG を 0.5V 未満にプルダウンするのに十分なプルダウン強度が PG に供給されるようにするために、V_{IN} または V_{BIAS} のいずれかが到達する必要がある最小値です。V_{IN} と V_{BIAS} がそれぞれの適切な最終電圧に達すると、PG ピンの駆動能力は最大になります。

分圧抵抗を介して FB_PG ピンに出力電圧を供給することで、PG のアサート レベルを構成できます。FB_PG ピンの標準スレッショルドは 300mV です。このスレッショルド以上になると、PG ピンがアサートされます。式 7 に、PG がアサートされている場合に V_{OUT} 値を計算する方法を示します (FB_PG ピンのリーク電流は、影響が最小限であるため考慮されていません)。セクション 8.3.5 で説明されているように、このレベルに達すると、高速スタート回路もオフになります。

$$V_{FB_PG(rising)} = V_{OUT(assert_threshold)} \times R_{FBPG_BOT} / (R_{FBPG_TOP} + R_{FBPG_BOT}) \quad (7)$$

最終出力電圧に達した時点で PG が確実にアサートされるようにするには、出力電圧のワーストケースの許容誤差、FB_PG スレッショルド、抵抗の許容誤差レベルを考慮する必要があります。通常、$V_{(assert_threshold)}$ が $V_{OUT(final)}$ の 90% 以下になるように分圧抵抗を構成すれば十分です。

PG のデアサート スレッショルドは、式 8 を使用して計算することもできます。

$$V_{FB_PG(rising)} - V_{FB_PG(hysteresis)} = V_{OUT(deassert_threshold)} \times R_{FBPG_BOT} / (R_{FBPG_TOP} + R_{FBPG_BOT}) \quad (8)$$

PG ピンを使用しない場合は、グランドにブルダウンできます。ただし、セクション 8.3.5 に示す高速スタート回路が必要な場合は、FB_PG ピンを適切に構成する必要があります。

8.3.7 電流制限

内部電流制限 I_{LIM} は電流制限値です。電流制限動作には、CLM ピンの値によって 2 種類あります。CLM が High のときは、ブリックウォール電流制限があります。CLM が Low のときは、ターンオフ電流制限があります。電流制限動作を制御するため、CLM は V_{IN} または GND に直接接続できます。デバイスがイネーブルのときにこのピンの値を変更しないでください。また、このピンはフローティングにしないでください。

図 8-5 に、ブリックウォール電流制限 (定電流制限) を示します。このモードでは、I_{LIM} に達し、電流制限回路に応答する時間がある場合、TPS7H1111 LDO は定電流レギュレーション モードに入ります。つまり、出力電流を I_{LIM} に維持するのに必要な値まで出力電圧が降下します。障害が解消されると、デバイスはレギュレーションを再開します。通常、障害中は SS_SET ピンを Low にプルダウンして C_{SS} コンデンサを迅速に放電するため、初期のスタートアップ時と同じソフト スタート時間があります。ただし、障害が非常に短時間である場合、C_{SS} コンデンサが完全に放電されないことがあり、その場合はスタートアップ時間が短くなります。

ブリックウォール電流制限では消費電力が大きいため、TPS7H1111 がサーマル シャットダウンに移行し、温度が十分に下がってサーマル シャットダウンが終了するまで、デバイスのレギュレーションは停止します。

Copyright © 2024 Texas Instruments Incorporated

警告

TPS7H1111 は、ブリックウォール電流制限モードに無限にとどまるようには設計されていません。

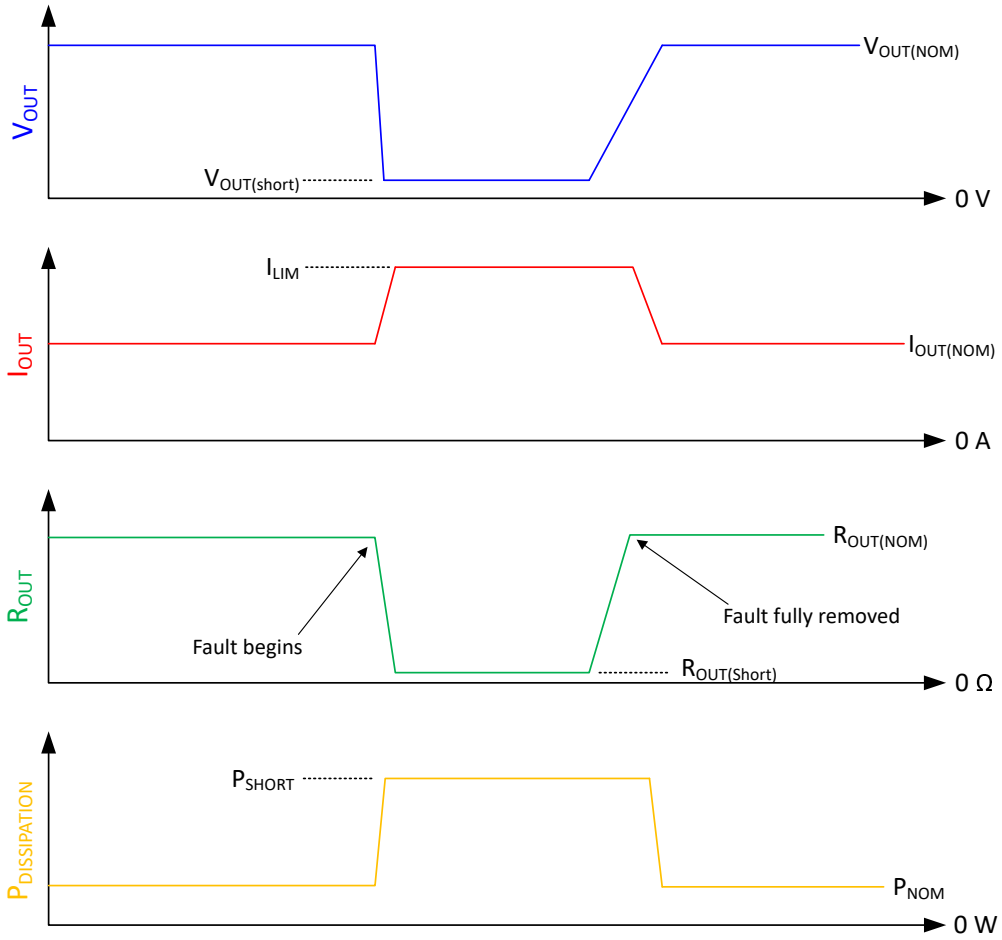


図 8-5. ブリックウォール電流制限波形の概略図 (CLM High)

CLM が Low のときは、ターンオフ電流制限があります。その動作を図 8-6 に示します。ターンオフ電流制限では、電流制限 I_{LIM} に達すると、TPS7H1111 LDO はレギュレーションを停止します (約 28µs の短い遅延後)。EN がサイクル (Low に移行してから High に移行) するまで、LDO はレギュレーションを再開しません。

ターンオフ電流制限の主な利点は、電流制限に達した後に大きな消費電力が持続しないことです。ただし、障害が解消された後にデバイスが自動的にレギュレーションを再開しないことが主な欠点です。したがって、外部モニタで障害がいつ発生したかを判定し、EN ピンをいつトグルするかを決定する必要があります。これは通常、PG ピンを監視する既存のデバイス (FPGA やマイクロコントローラなど) に簡単に実装できます。モニタが PG ピンのデアサートを検出したときに、EN をトグルしてレギュレーションの再開を試みることができます。

EN が High → Low → High とトグルする際、t_{EN_LOW} (20µs) 以上 Low となるようにする必要があります。また、再起動時に十分なソフト スタートを確保し、電流制限が再びすぐにかからないようにするため、SS_SET が公称値の 5% に放電されるまで EN をトグルしないことも推奨します。

Copyright © 2024 Texas Instruments Incorporated

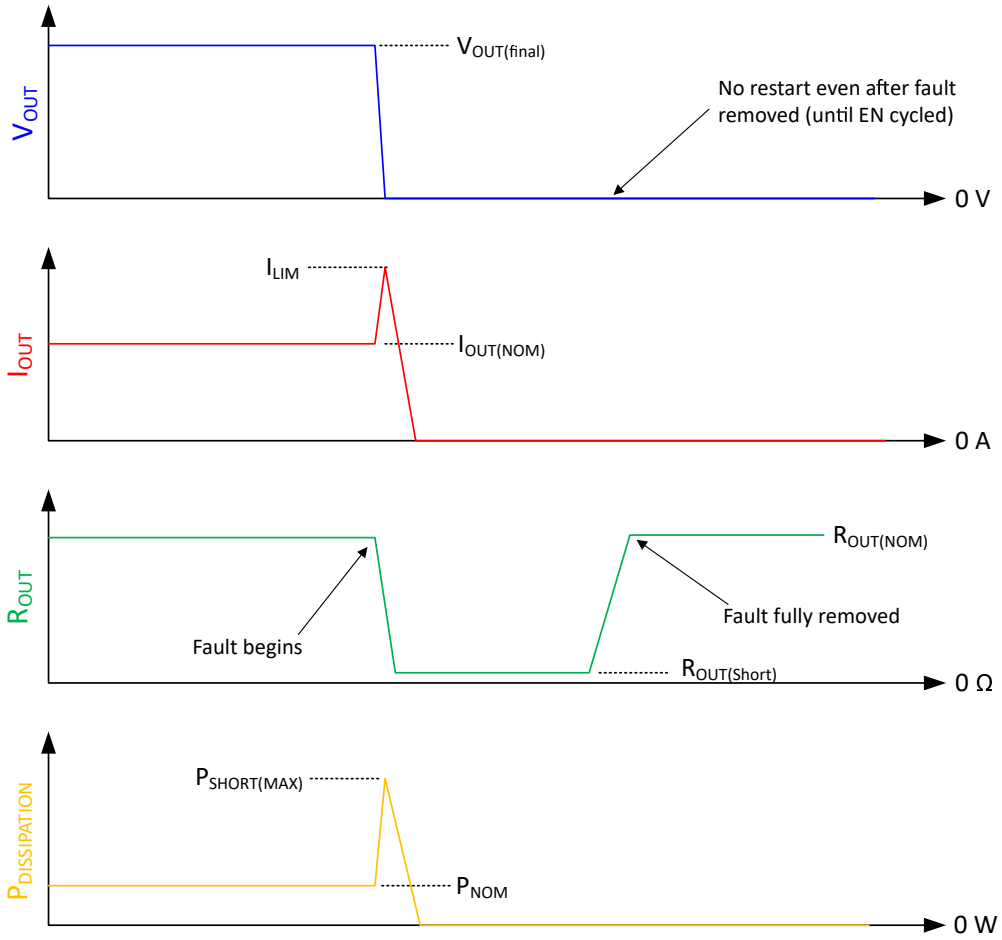


図 8-6. ターンオフ電流制限波形の概略図 (CLM Low)

8.3.8 安定性

出力容量および寄生容量のデフォルト範囲内の推奨動作条件内で動作している場合、デフォルトの外部補償 (C_{COMP} = 4.7nF、R_{COMP} = 5kΩ) で十分な安定性が得られます。

推奨動作条件とは異なる出力容量の部品を使用する場合は、異なる補償が必要になることがあります。安定性に影響を及ぼす主な要因は、出力容量、ESR (等価直列抵抗)、ESL (等価直列インダクタンス) です。詳細については、セクション 8.3.8.2 を参照してください。

安定性は、制御ループのボード線図を作成することで検証できます。これは、フィードバック パスに信号を注入することにより行うことができます。通常、OUT と OUTS の間にある 5Ω～50Ω の抵抗の両端に信号を注入します。この抵抗は、他の測定を行うときや公称動作中は取り外してください (または、0Ω のシャントを使用してください)。位相マージンの一般的なターゲットは 50°、ゲイン マージンのターゲットは 6dB です。

8.3.8.1 出力容量

TPS7H1111 は、1 つの 220µF タンタル出力コンデンサ、または 2 つの 100µF コンデンサを使用するように最適化されています。許容される容量、ESR、ESL の全範囲は、「推奨動作条件」に規定されています。選択したコンデンサがすべての動作条件の要件を満たしていることを確認してください。また、1 つの 0.1µF セラミック コンデンサを追加で使用することもできます。1 つまたは複数のタンタル コンデンサは TPS7H1111 の出力の近くに配置し、セラミック コンデンサは負荷ポイントの近くに配置します。

ESR (等価直列抵抗) は、コンデンサの周波数によって大きく異なるため、考慮する必要のある重要な寄生要素です。タンタル コンデンサの ESR 値は通常 100kHz で規定され、「推奨動作条件」表の値は 100kHz での値にほぼ対応しま

Copyright © 2024 Texas Instruments Incorporated

す。ただし実際には、TPS7H1111 制御ループの安定性に主に影響するのは、ループ クロスオーバー周波数での ESR です。ループ クロスオーバー周波数は、100kHz を上回ることも下回ることもあります。そのため、ESR 値の範囲は適切なガイドラインと考えることができますが、安定性を追加検証することが推奨されます。

また、容量、ESR、ESL の要件はバルク容量全体に対するものであることに注意してください。ESR が 40mΩ、ESL が 2nH の 100µF コンデンサを 2 つ使用する場合、合計容量は 200µF、ESR は 20mΩ、ESL は 1nH となります。これらの ESR および ESL の要件を考慮する際は、1 つのセラミック コンデンサは考慮しないでください。

0.1µF より大きいセラミック コンデンサは、共振周波数が低いため、通常は使用できません。この低い共振周波数は、通常は TPS7H1111 レギュレータのループ帯域幅内です (約 10MHz など)。そのため、低共振ポイントと低 ESR が組み合わさると、ループ帯域幅とデバイスの安定性に悪影響を及ぼします。帯域幅が狭いと PSRR に悪影響を及ぼすため、セラミック容量を追加する利点が失われます。

ただし、0.1µF を上回るセラミック コンデンサを使用する必要がある場合は、ループ帯域幅よりも対数スケールの比率で 10 ～ 20 高い共振周波数を持つセラミック コンデンサを使用することをお勧めします。または、直列抵抗を追加して ESR を増加させることもできます。これにより、強い共振ポイントを防止できます。

テキサス・インスツルメンツでは、さまざまな宇宙グレードのコンデンサのゲイン マージンと位相マージンを測定し、良好な安定性マージンを実証しています。詳細については、セクション 9.3 を参照してください。

標準的なバルク容量と 1 つの 0.1µF コンデンサ以外のコンデンサを使用する場合は、コンデンサとシステム全体をシミュレーションすることをお勧めします。また、ボード線図を作成し、実際のシステムで負荷ステップを実行して、安定性マージンが十分であることを確認することも推奨されます。

8.3.8.2 補償

図 8-7 に示すように、C_{COMP} = 4.7nF、R_{COMP} = 5kΩ での補償を利用して TPS7H1111 を補償することを推奨します。C_{HF} は必要ありません。

ただし、異なる制御ループ応答が必要な場合や、異なる出力容量、ESL、ESR を使用する場合は、異なる補償ネットワークが必要になることがあります。誤差アンプは OTA (トランスコンダクタンス オペアンプ) であるため、OTA に従来の補償技法を使用できます。テキサス・インスツルメンツは、推奨されるタイプ I 補償が最適であると考えていますが、図 8-7 にタイプ II 補償の例を示します。

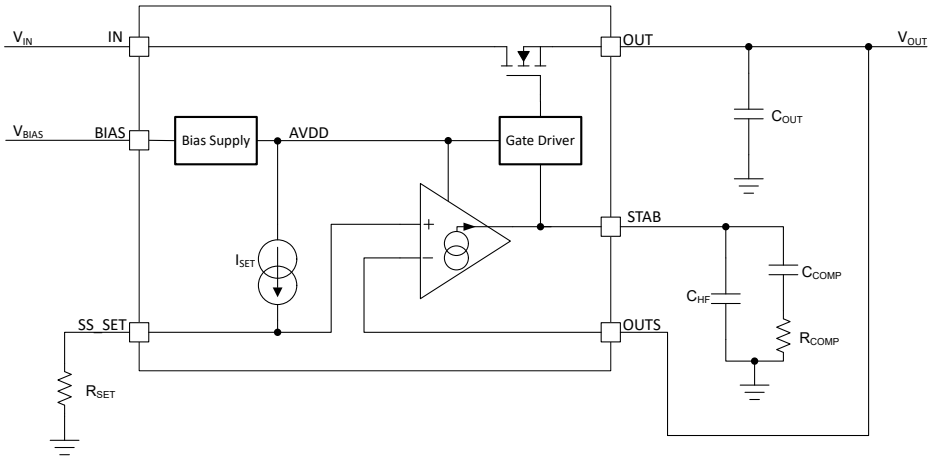


図 8-7. 汎用タイプ II 補償

抵抗分圧器を使用してフィードバック ピンに供給するリニア レギュレータとは異なり、フィード フォワード コンデンサ (C_{FF}) を使用して制御ループを変更することはできません。抵抗分圧器 LDO の場合、フィード フォワード コンデンサにより出力電圧とフィードバック ピンとの間に高周波短絡が発生します。ただし、TPS7H1111 アーキテクチャには分圧器はなく、代わりに出力電圧が誤差アンプの負の入力端子に直接供給されます。誤差アンプはユニティ ゲイン構成で動作するため、フィード フォワード コンデンサで通常得られるノイズの低減と PSRR の増加という利点が得られる可能性があります。

Copyright © 2024 Texas Instruments Incorporated

8.3.9 カレント シェア（電流共有）

TPS7H1111 では、出力電流を増加させたり、放熱を分散させたりするため、複数デバイスの並列接続がサポートされています。1 つのデバイスは 1.5A の電流を出力できますが、2 つのデバイスで出力できる電流は 3A をわずかに下回ります。これは、各デバイスが正確に 50% の電流を供給しないためです。2 つのデバイス間の電流のミスマッチは、各デバイスの誤差アンプのオフセット V_{OS} の差によるものです。リファレンス電流 I_{SET} の差によるミスマッチは、SS_SET ネットを互いに接続することで解消されます。これを、図 8-8 に概略回路図で示します。

抵抗を流れる電流は 200µA (標準値) であるため、通常値の半分の R_{SET} 抵抗を使用する必要があります。さらに、スタートアップ時間を等価にするため、C_{SS} コンデンサを 2 つ (または通常値の 2 倍のコンデンサを 1 つ) 使用する必要があります。最後に、各デバイスは通常の出力容量を持つ必要があります。2 つのデバイスを並列に接続すると、デバイスが 1 つである場合に比べて $V_{OUT(final)}$ の容量は 2 倍になります。図 8-8 の出力コンデンサは、バラスト抵抗の後 (負荷に最も近い位置) に配置されています。この配置により、TPS7H1111 制御ループで見られるように、コンデンサにある程度の実効 ESR が追加されます。バラスト抵抗の前の OUT ピンに直接コンデンサを追加することも可能ですが、出力コンデンサと負荷の間にバラスト抵抗が配置されるため、負荷ステップ中の電圧降下がわずかに大きくなる可能性があります。

最初に 2 つのデバイス間のミスマッチを計算するには、合計出力電流 I_{OUT}、設定出力電圧 V_{SS_SET}、各デバイスのオフセット電圧 V_{OS}、およびバラスト抵抗 R_{balast} が既知である必要があります。必要な電流マッチング要件を満たすようにバラスト抵抗を選択できますが、バラスト抵抗が大きいほど、バラスト抵抗の両端での IR 降下によりロード レギュレーションが悪化することに注意してください。次に、合計出力電圧 $V_{OUT(final)}$ を式 9 を使用して計算する必要があります。これは、負荷で計測される電圧です。

$$V_{OUT(final)} = [(V_{SS_SET} + V_{OS1}) + (V_{SS_SET} + V_{OS2}) - I_{OUT} \times R_{ballast}] / 2 \quad (9)$$

次に、式 10 および式 11 を使用して各デバイスの電流を計算します。

$$I_{OUT1} = (V_{SS_SET} + V_{OS1} - V_{OUT(final)}) / R_{ballast} \quad (10)$$

$$I_{OUT2} = (V_{SS_SET} + V_{OS2} - V_{OUT(final)}) / R_{ballast} \quad (11)$$

この計算された電流を、各デバイスを流れる理想的な電流 $I_{OUT(total)} / 2$ と比較できます。

Copyright © 2024 Texas Instruments Incorporated

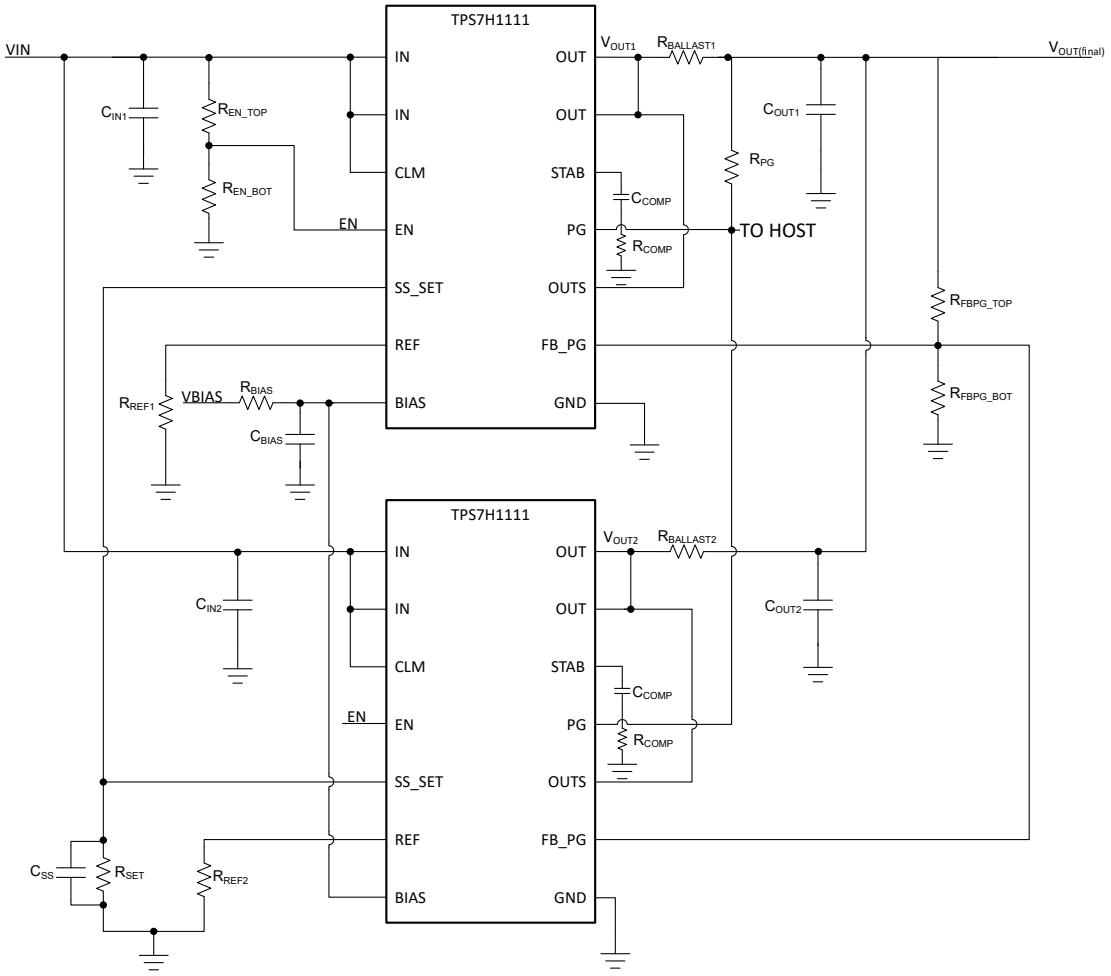


図 8-8. カレント シェアの概略回路図

各デバイスのオフセットを測定して、各デバイスから供給される正確な電流を決定するのが理想的です。これは一般的には実現不可能であるため、「電気的特性」に示すワーストケースのオフセットの使用を検討することが多いです。その場合、V_{OS1} は規定された最大 V_{OS} に、V_{OS2} は規定された最小 V_{OS} に設定されます。ただしこの場合、ミスマッチの予測が過剰に大きくなる可能性があります。分析を容易にするため、図 6-47、図 6-48、図 6-49 に、オフセット データの測定された複数の単位のヒストグラムを示します。また、セクション 9.2.2 に示すように、計算結果よりも良い測定値が得られます。

図 8-9 に、カレント シェアと誤差の発生源を示す簡略図を示します。

Copyright © 2024 Texas Instruments Incorporated

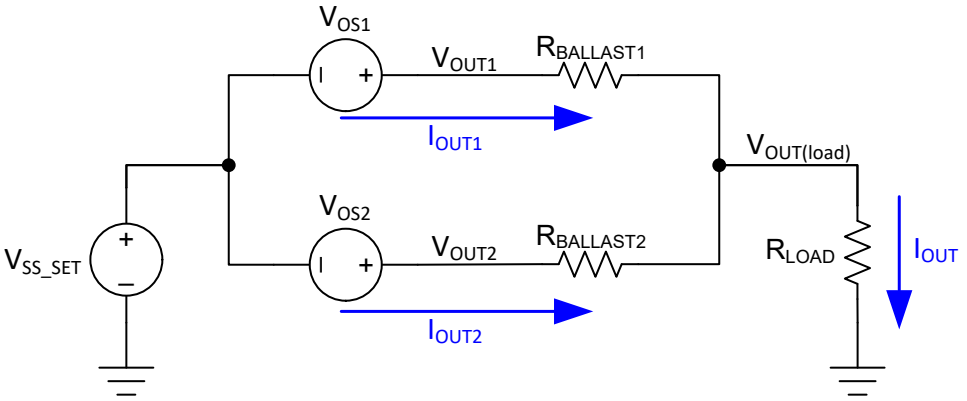


図 8-9. カレント シェアの概略回路図

8.3.10 PSRR

TPS7H1111 の PSRR (電源除去比) は、V_{IN} での入力ノイズが出力 V_{OUT} に達するまでに減衰される量です。これは、数学的には式 12 で定義されます。

$$PSRR = 20 \times \log(V_{IN(AC)} / V_{OUT(AC)}) \quad (12)$$

入力ノイズは通常、アップストリーム コンバータのスイッチング リップルが最大の要素です。このノイズは、スイッチング周波数とその高調波で発生します。

さまざまな条件下、異なる周波数における PSRR 値は、「電気的特性」および代表的特性の図 6-1～図 6-11 に示されています。TPS7H1111 は、広範な条件にわたって非常に優れた PSRR が得られるよう設計されています。PSRR をさらに向上するには、動作条件を微調整できます。通常、TPS7H1111 の PSRR は (重要順に) 以下によって向上させることができます。

- 入力電源のヘッドルームの拡大 (V_{IN} - V_{OUT} の増加)
- バイアス電源のヘッドルームの拡大 (V_{BIAS} - V_{OUT} の増加)
- 出力電流の削減
- BIAS レールに使用する RC フィルタ サイズの増加 (バイアス電源がノイズの主な発生源である場合のみ)

以下の要因では、TPS7H1111 の PSRR はわずかに向上するだけです。

- 温度上昇
- ソフト スタート容量の増加
- フェライト ビーズの追加 (セクション 9.2.1.3 を参照)
- 入力電圧の増加
- 出力電圧の増加

TPS7H1111 アーキテクチャは、ループ帯域幅が広いため、高い PSRR に最適化されています。帯域幅を広く維持するため、出力容量は推奨動作条件の範囲内にする必要があります。出力容量を大きくして PSRR を改善する従来の手法は有効ではありません。これは、容量を追加すると TPS7H1111 のループ帯域幅が狭くなる可能性があるためです。この帯域幅の低下により、容量の効果以上に PSRR が低下します。

高周波 (10MHz 超など) でさらに高い PSRR が必要な場合は、フェライト ビーズを使用できます。ループ帯域幅や安定性が低下しないようにするため、フェライト ビーズは、セクション 9.2.1 に示すように、TPS7H1111 の制御ループの外に配置する必要があります。

V_{IN} から V_{OUT} の PSRR に加え、V_{BIAS} から V_{OUT} の PSRR が $PSRR_{BIAS}$ として規定されています。これは、式 13 で定義されます。

$$PSRR_{BIAS} = 20 \times \log(V_{BIAS(AC)} / V_{OUT(AC)}) \quad (13)$$

Copyright © 2024 Texas Instruments Incorporated

バイアス電源は電流が比較的小さいため、バイアス電源と BIAS ピンの間に RC フィルタ (通常は 10Ω と 4.7µF) を挿入して、$PSRR_{BIAS}$ を増加できます。RC フィルタと内部バイアス レギュレータの内部リップル除去を組み合わせると、図 6-13 に示すように非常に高い $PSRR_{BIAS}$ が得られます。そのため、100kHz～1MHz の標準スイッチング周波数 (入力リップルをフィルタ処理するために高いリップル除去が最も重要) では、デバイス全体の PSRR の主要な制限因子にならないようにするため、$PSRR_{BIAS}$ が非常に高く維持されます。RC フィルタを使用できない場合、図 6-12 に示すように、$PSRR_{BIAS}$ 値が低下します。

バイアス電源のノイズが非常に多い場合、または RC フィルタを利用できない場合は、V_{IN} と V_{BIAS} 電源の両方の入力リップルによる総出力リップルを計算すると有益な場合があります。総出力リップルは、式 14 に示すように、PSRR によって減衰される V_{IN} リップルと、$PSRR_{BIAS}$ によって減衰される V_{BIAS} リップルを重ね合わせたものです。ただし、各項は周波数に依存することに注意してください。

$$V_{OUT(AC)} = V_{IN(AC)} / (10^{PSRR/20}) + V_{BIAS(AC)} / (10^{PSRR_{BIAS}/20}) \quad (14)$$

8.3.11 ノイズ

TPS7H1111 (およびすべての物理デバイス) は、減衰された入力ノイズに加え、固有のノイズを生成します。このノイズは出力信号に重畳されます。さまざまな条件下、異なる周波数におけるノイズ値は、「電気的特性」および代表的特性の図 6-15～図 6-19 に示されています。

最も問題となるノイズに、低周波出力ノイズ (1/f ノイズ) があります。これは、非常に大きな部品値を必要とするため、ディスクリート フィルタを使用してフィルタ処理するのは非常に困難です。TPS7H1111 は、周波数スペクトラム全体、特に低周波数で低ノイズになるよう最適化されています。これを実現するため、広いループ帯域幅、ユニティ ゲイン誤差アンプ、リファレンス フィルタの使用など、さまざまな設計手法が利用されます。

高精度のリファレンス電流 I_{SET} は、C_{SS} コンデンサでフィルタ処理されます。C_{SS} 容量が大きいほど、良いフィルタ I_{SET} が得られます。ただし、大容量コンデンサによるノイズ低減では、主に 200Hz 未満の 1/f ノイズが低減されます。高周波ノイズの低減は最小限です。一般的に、4.7µF セラミック コンデンサを使用すれば、低ノイズ、物理的なコンデンサのサイズ、コンデンサの可用性、デバイスの起動時間の妥当なトレードオフを実現できます。

TPS7H1111 は、すべての V_{OUT} および V_{IN} の動作条件にわたってノイズ差が最小限です。ただし、出力電流が大きい場合、100kHz を超える周波数ではノイズがわずかに大きくなります。

PSRR とノイズはどちらもクリーンな出力電圧に影響します。ただし、アプリケーションによっては PSRR とノイズのどちらかがより重要になる場合があり、アプリケーションに合わせて最適化することが重要です。一般に、V_{IN} に大きなノイズがある場合 (非常にノイズの多いスイッチング レギュレータなど)、PSRR の方が重要となります。

8.3.12 サーマル・シャットダウン

TPS7H1111 にはサーマル シャットダウン機能があり、ダイ温度が $T_{SD(enter)}$ を超えるとデバイスがオフになります。ダイ温度が $T_{SD(exit)}$ を下回ると、デバイスはレギュレーションを再開します。160℃の $T_{SD(enter)}$ と 130℃の $T_{SD(exit)}$ の標準値には、大きなヒステリシスがあります (30℃の標準値)。大きなヒステリシスは、デバイスがレギュレーションを再開する前に十分に冷却できるようにするためのものです。

8.4 デバイスの機能モード

以下の表にデバイス モードを示します。

表 8-4. デバイスの機能モード

EN ピン	デバイス ステータス
High	レギュレーション モード
Low	シャットダウン モード

Copyright © 2024 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H1111 は、RF アプリケーション用に最適化された、放射線耐性が強化されたリニア レギュレータです。出力電流は最大 1.5A で、0.85V～7V の入力電圧範囲、2.2V～14V のバイアス電源電圧範囲で使用できます。

9.2 代表的なアプリケーション

TPS7H1111 LDO にはさまざまな使用事例があります。このセクションでは、以下について説明します。

1. 2.5V 入力から 1.8V 出力への変換、ターンオン スレッショルド (EN) を構成可能
2. 2.5V の入力から 1.8V を出力する構成

9.2.1 アプリケーション 1：EN によるターンオン・スレッショルドの設定

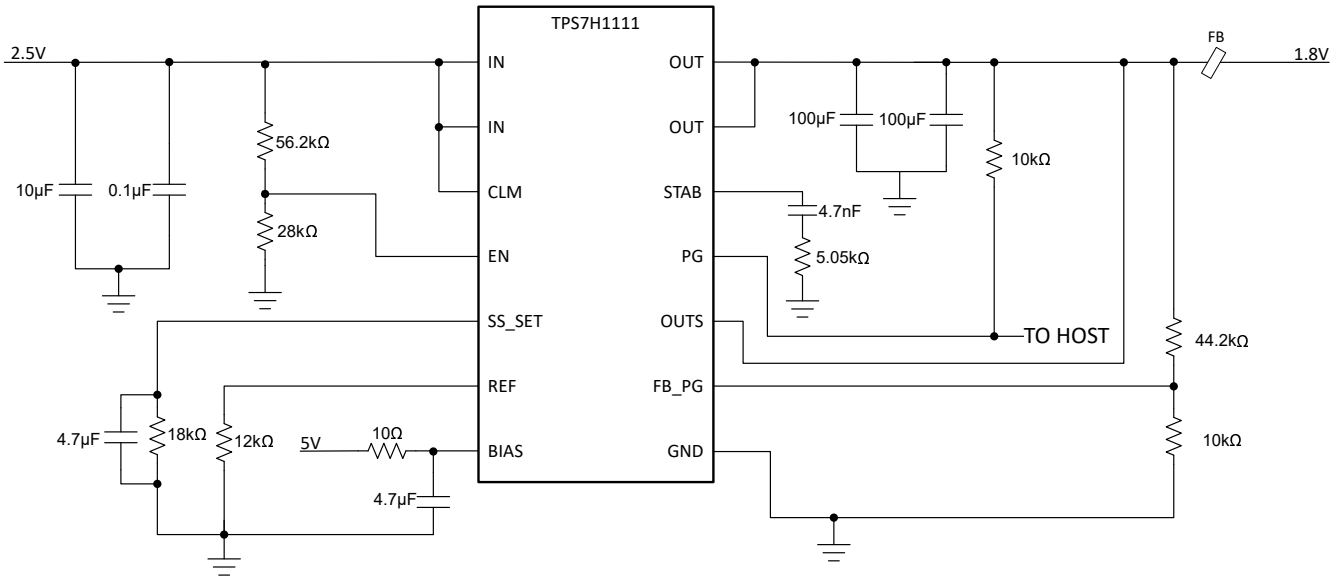


図 9-1. 使用事例：EN によるターンオン・スレッショルドの設定

9.2.1.1 設計要件

表 9-1. 設計パラメータ

パラメータ	値
V_{IN}	2.5V ± 5%
V_{BIAS}	5V ± 5%
V_{OUT}	1.8V ± 1.5%
I_{OUT}	1.4 A (標準値)
$V_{IN(turn\text{-}on\ threshold)}$	1.8 V (標準値)
$V_{OUT(PG\ assertion\ threshold)}$	$V_{OUT(final)}$ (標準値) の 90%、1.62V

Copyright © 2024 Texas Instruments Incorporated

表 9-1. 設計パラメータ (続き)

パラメータ	値
t_{SS}	3.7ms (標準値)

Copyright © 2024 Texas Instruments Incorporated

9.2.1.2 詳細な設計手順

9.2.1.2.1 バイアス電源

この設計には、5V バイアス電源が選択されています。ここで、$V_{BIAS} \geq V_{OUT}$ + 1.6V であるため、バイアス電源のヘッドルームは十分あります (5V ≥ 1.8V + 1.6V)。さらに、10Ω の抵抗と 4.7µF の X7R セラミック コンデンサを選択してバイアス電源をフィルタ処理し、バイアス電源ノイズがレギュレータの全体的な PSRR を制限する要因にならないようにします。

9.2.1.2.2 出力電圧構成

出力電圧は、式 1 を使用して構成されます。したがって、次のようになります。$R_{SET} = V_{SS_SET} / I_{SET}$ = 1.8V / 100µA = 18kΩ.許容誤差が 0.1% の 18kΩ 抵抗を選択します。許容誤差が 1% の抵抗を使用することも許容されますが、出力電圧に 1% の誤差が直接発生する可能性があります。同様に、R_{REF} には許容誤差が 0.1% の 12kΩ 抵抗を選択します。

9.2.1.2.3 出力電圧精度

出力電圧精度を決定するには、セクション 6.5 表にある V_{ACC} の仕様を参照します。全温度範囲で、V_{ACC} の最小精度は -1.3%、最大精度は +1.2% です。この仕様は、–55℃～125℃の温度範囲全体、全入力電圧 (0.85V ≤ V_{IN} ≤ 7V および 2.2V ≤ V_{BIAS} ≤ 14V)、および全負荷 (1mA ≤ I_{OUT} ≤ 1.5A) に適用されます。測定に関する追加の詳細は、セクション 8.3.2 に示されています。システム レベルの精度を計算するため、以下の誤差発生源も追加されます。

- TID 後の仕様は室温で測定されるため (高温でのアニーリングを防止するための MIL 規格)、TID ドリフトは過熱精度仕様の一部ではありません。TID 後の TPS7H1111 は、最小精度 -0.7%、最大精度 +1.1% と規定されています。これを、TID 前の最小精度 -0.7% および最大精度 +0.9% と比較します。つまり、TID により、仕様に 0.2% の誤差が追加されたことになります。単一ユニットのワーストケースの TID ドリフトを使用することもできますが、その場合ユニットの初期室温精度が最大値に近く、ドリフトが最大値に近いことが必要になるため、過度に悲観的なものになる可能性があります。
- R_{REF} および R_{SET} 抵抗の抵抗許容誤差による外部誤差を追加する必要があります。誤差は無相関であると想定されるため、誤差を 2 乗和として加算することにします。選択した許容誤差が 0.1% の R_{REF} および R_{SET} 抵抗では、合計誤差は次のようになります:$R_{(error)} = sqrt(0.1\%^2+0.1\%^2)$ = +/– 0.14%.

出力電圧精度のシステム誤差を計算するには、式 15 を使用します。

$$System_{(error)} = V_{ACC} + R_{(error)} + TID_{(error)} \quad (15)$$

そのため、負の誤差は $System_{(error)}$ = –1.3% – 0.14% – 0% = –1.44% となり、正の誤差は $System_{(error)}$ = 1.2% + 0.14% + 0.2% = 1.54% となります。TPS7H1111 デバイス、外付け抵抗、および TID の 100krad(Si) による総システム誤差は +1.54%/–1.44% となります。総システム誤差を中心にすると、±1.49% となります。

寿命ドリフト データも同様に追加できます。グループ C のデータを、この計算に使用できます。この例では、寿命ドリフトは他の誤差発生源にくらべて小さいと仮定しているため、加算しません。

9.2.1.2.4 イネーブル スレッショルド

適切なターンオン スレッショルドは 1.8V です。これは、V_{IN} レールがターンオンされて立ち上がり始め、V_{IN} が 1.8V に達すると、TPS7H1111 がターンオンを開始するということです。これでは V_{IN} から V_{OUT} までのヘッドルームが最終的なレギュレーションには十分ではありませんが、レギュレータはスタートアップを開始し、V_{IN} は最終電圧 2.5V まで上昇します。必要に応じて、より高い電圧ターンオン スレッショルド (例:2.2V) も利用できます。

式 3 を使用し、R_{EN_TOP} の値として 56.2kΩ を選択すると、R_{EN_BOT} 抵抗は式 16 に示すように計算されます。

$$R_{EN_BOT} = V_{EN(rising)} \times R_{EN_TOP} / (V_{IN(rising)} – V_{EN(rising)}) = 0.6V \times 56.2k\Omega / (1.8V – 0.6V) = 28.1k\Omega \quad (16)$$

R_{EN_BOT} には標準値 28kΩ の抵抗が選択されています。ワーストケース (最高) の $V_{IN(rising)}$ スレッショルドは、式 3 と $V_{EN(rising)}$ スレッショルドの最大値 0.62V を使用して計算します。結果は 1.86V となるので、許容範囲内です。次に、式 4 を使用して $V_{IN(falling)}$ の標準値を計算します。結果は 1.50V となり、これも許容範囲内です。

SEFI を防止するため、式 5 に確実に従うことも重要です。式 17 に示すように $V_{EN(final)}$ = 0.83V となり、これは推奨される 0.8V を上回っています。

$$V_{IN(final)} \times R_{EN_BOT} / (R_{EN_TOP} + R_{EN_BOT}) = V_{EN(final)} = 2.5V \times 28k\Omega / (56.2k\Omega + 28k\Omega) = 0.83V \quad (17)$$

9.2.1.2.5 ソフト スタートとノイズ低減

推奨されるソフト スタート コンデンサは、4.7µF のセラミック X7R コンデンサです。この設計でこのコンデンサが使用されているのは、3.7ms の妥当なソフト スタート時間と優れたノイズ フィルタリングを実現できるからです。スタートアップ時間を長くする必要がある場合は、より小さな C_{SS} コンデンサを選択できまが、I_{SET} リファレンス電流の優れたノイズ フィルタリングを維持するには、より小さな値のコンデンサは考慮されません。

9.2.1.2.6 構成可能なパワー グッド

この設計では、V_{OUT} が最終値 (1.62V) の 90% に達したときにパワー グッド ピンをアサートするのが適切です。

式 7 を使用し、R_{FBPG_BOT} の値として 10kΩ を選択すると、R_{FBPG_TOP} 抵抗は式 18 に示すように計算されます。

$$R_{FBPG_TOP} = R_{FBPG_BOT} \times (V_{OUT(assert_threshold)} - V_{FB_PG(rising)})] / V_{FBPG(rising)} = [10k\Omega \times (1.62V - 0.306V)] / 0.306V = 42.9k\Omega \quad (18)$$

R_{FBPG_TOP} には標準値 44.2kΩ の抵抗が選択されています。次に、ワーストケース (最高) の $V_{IN(assert_threshold)}$ スレッショルドを計算して、V_{OUT} が目標値に達する前に PG がアサートされる (および高速充電電流がオフになる) ようにします。これは、式 7 と最大 $V_{FB_PG(rising)}$ スレッショルド 313mV を使用して決定されます。$V_{OUT(assert_threshold),\ max}$ 値は 1.70V と決定されます。これは最終的な V_{OUT} 値の 94% で、十分なマージンとなります。

最後に、PG がデアサートされるタイミングを知るため、$V_{OUT(deassert_threshold)}$ の標準値を計算します。これは、式 8 と $V_{FB_PG(hysteresis)}$ 値 14mV を使用して決定されます。$V_{OUT(deassert_threshold)}$ の値は 1.58V と決定されます。これは、V_{OUT} が公称値の 88% まで低下した場合、PG ピンがデアサートされることを意味します。

9.2.1.2.7 電流制限

ブリックウォール電流制限モードでは、CLM ピンを V_{IN} に直接接続します。必要に応じて、抵抗を使用して CLM ピンを V_{IN} にプルアップすることもできます (10kΩ 抵抗など)。

9.2.1.2.8 出力コンデンサとフェライト ビーズ

推奨動作条件に従って、出力容量には 200µF を選択します。具体的には、2 つの 100µF タンタル AVX コンデンサが使用されます (テキサス・インスツルメンツが TPS7H1111-SP との使用を検証したコンデンサのリストはセクション 9.3 を参照)。

この設計は、追加の高周波フィルタリングのためフェライト ビーズも追加されています。OUTS 接続はフェライト ビーズの前にすることが重要です (フェライト ビーズを TPS7H1111 制御ループ外に配置するため)。フェライト ビーズが制御ループ内にあると、追加のインダクタンスによって不安定になる可能性があります。一般的に、良好な PSRR 性能を達成するにはフェライト ビーズは必須ではありませんが、その影響を判定するため、ここではフェライト ビーズが追加されています。この設計では、KEMET Z1206C800APWST フェライト ビーズが選択されています。この設計では使用されていませんが、追加のフィルタリングのため、フェライト ビーズの後に 0.1µF コンデンサを配置できます。

9.2.1.3 アプリケーション曲線

PSRR、ノイズ、ボード線図の測定は、フェライト ビーズありとなしの両方で実施します。V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、I_{OUT} = 1A の条件で測定されています。この測定結果は、フェライト ビーズが 10MHz 周辺の高周波 PSRR にわずかに有効であることを示しています。フェライト ビーズのノイズおよび安定性への影響は最小限です。

Copyright © 2024 Texas Instruments Incorporated

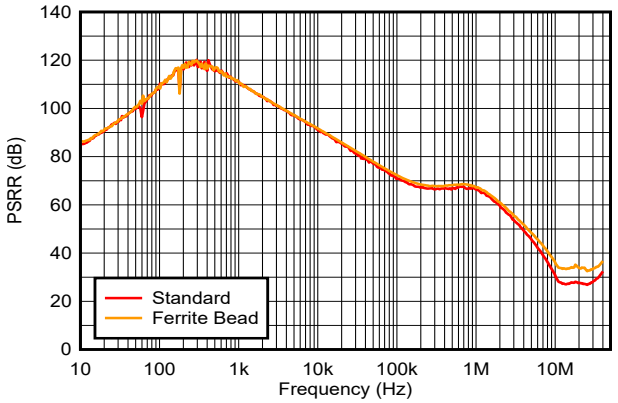


図 9-2. フェライト ビーズの使用による PSRR と周波数との関係

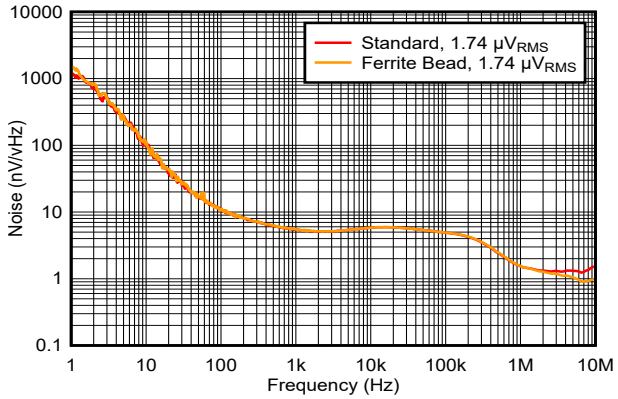
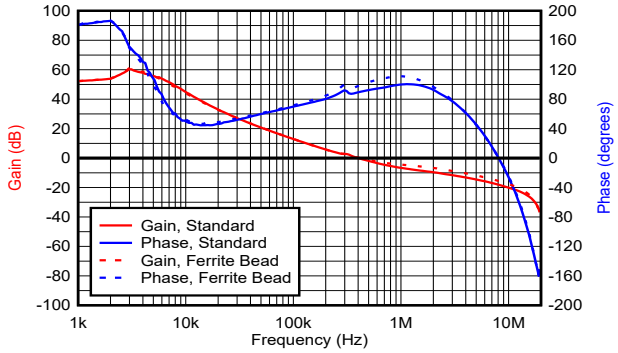


図 9-3. フェライト ビーズの使用によるノイズと周波数との関係



標準:位相マージン = 89°、ゲイン マージン = 18dB

フェライト ビーズ:位相マージン = 99°、ゲイン マージン = 16dB

図 9-4. フェライト ビーズの使用によるボード線図

9.2.2 アプリケーション 2：並列動作

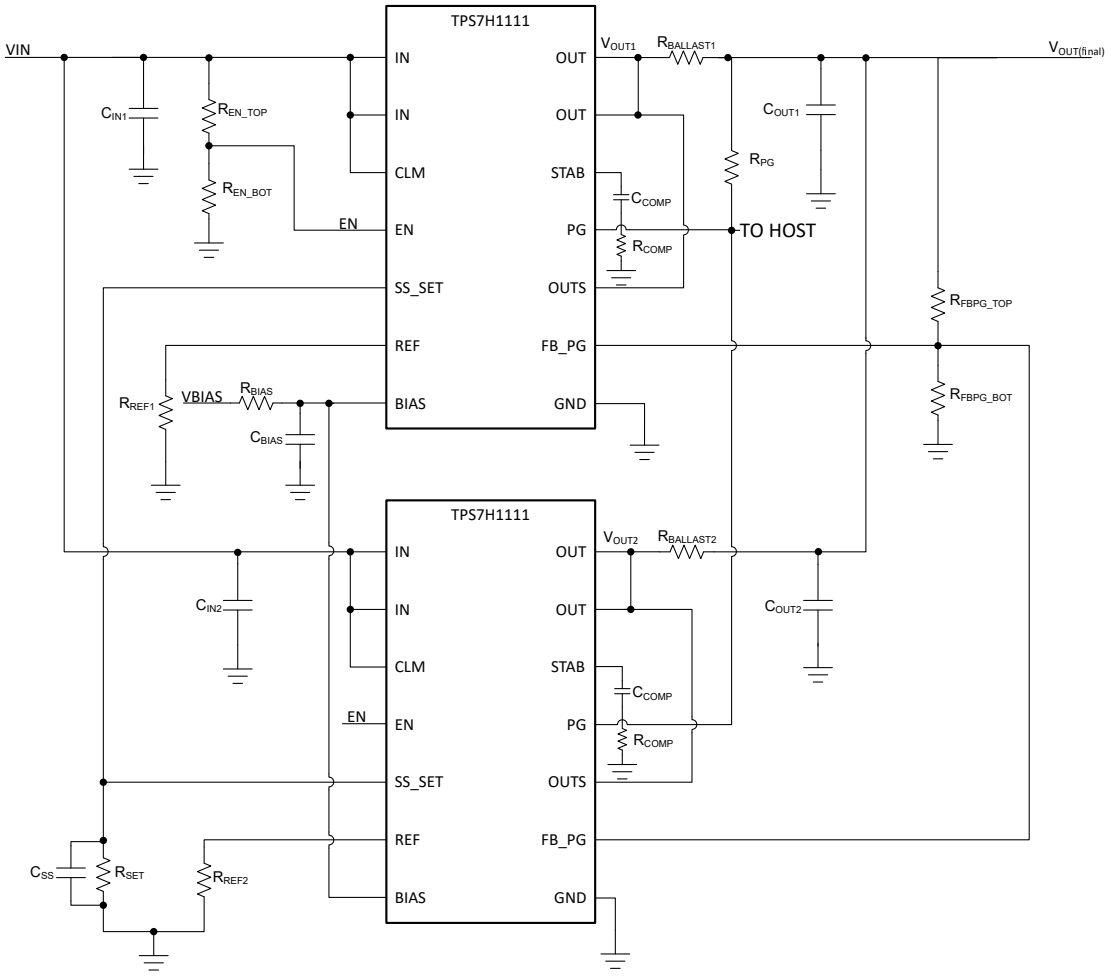


図 9-5. 使用事例：並列動作

9.2.2.1 設計要件

ここに示す設計要件は、アプリケーション 1 の要件と似ています。主な違いは、2.9A の出力電流が必要であることと、フェライト ビーズが使用されていないことです。電流が大きいほど、並列デバイスを使用する必要性が高まります。

表 9-2. 設計パラメータ

パラメータ	値
V_{IN}	2.5V ± 5%
V_{BIAS}	5V ± 5%
V_{OUT}	1.8V ± 1.5%
I_{OUT}	2.9A
$V_{IN(turn\text{-}on\ threshold)}$	1.8 V (標準値)
$V_{OUT(PG\ assertion\ threshold)}$	$V_{OUT(final)}$ (標準値) の 90%、1.62V
t_{SS}	3.7ms (標準値)

9.2.2.2 詳細な設計手順

設計手順は、以下のセクションを除き、アプリケーション 1 と同じです。

Copyright © 2024 Texas Instruments Incorporated

9.2.2.2.1 カレント シェア（電流共有）

セクション 8.3.9 で説明されているように、SS_SET ピンは互いに接続されており、TPS7H1111 の各内部誤差アンプに同じ電圧が印加されます。この場合、抵抗に 200µA の電流が流れるため、通常値の半分の R_{SET} 抵抗を 1 つ使用できます。スタートアップ時間を等価にするため、C_{SS} コンデンサを 2 つ (または通常値の 2 倍のコンデンサを 1 つ) 使用する必要があります。

5mΩ $R_{ballast}$ 抵抗が使用されています。1 つのデバイスの出力から両方のデバイスの共通 V_{OUT} レールまでの基板抵抗は、バラスト抵抗よりもかなり小さいと想定されていたため、バラスト抵抗の合計を計算する上で重要な要素とみなしません。このバラスト抵抗は、正確なカレント シェアを得ることと抵抗の両端における電圧降下を最小限にすることの妥当なトレードオフが実現できるよう選択されています。必要に応じて、特定の電流での電圧降下を考慮して、各デバイスの出力電圧をわずかに高く設定できます。

セクション 8.3.9 に、出力オフセット電圧を使用して、最大のカレント シェア ミスマッチを計算する方法を示します。次のセクションで、測定結果が予想よりも良かったことについて詳細に説明します。

9.2.2.3 アプリケーション結果

各デバイスのオフセット電圧を測定し、1 番目のデバイスでは -0.1339mV、2 番目のデバイスでは -0.2131mV と決定されました。予測誤差は式 10 と式 11 を使用して計算します。表 9-3 に、さまざまな電流値における予測誤差を示します。次に電流を測定し、予測される誤差値と比較します。

表 9-3. 電流誤差

$I_{OUT(total)}$	予測誤差	計測誤差
1.156 A	1.37%	1.04%
2.878 A	0.55%	0.07%

表 9-3 に示すように、測定誤差は 1.156A では予測値よりも約 1.3 倍低く、2.878A では予測値より 7.9 倍低くなっています。これは少なくとも部分的に V_{OS} の温度係数に起因すると想定されます。1 つのデバイスが合計電流の半分を超えるソース電流を開始すると、2 つ目のデバイスよりも温度が高くなります。デバイスの温度が上がると V_{OS} が低下するため、デバイスのソース電流は減少します。これが一種の負のフィードバックとなり、より均等にバランスが取られるようになります。

Copyright © 2024 Texas Instruments Incorporated

9.3 テストしたコンデンサ

テキサス・インスツルメンツでは、さまざまな宇宙グレードのコンデンサをテストし、TPS7H1111 システムの制御ループ応答を測定しました。異なるコンデンサの影響が明確に示されていますが、どの場合でも電流範囲全体にわたって安定性が示されています。表 9-4 に、測定されたゲイン マージン (GM) (デシベル単位) と位相マージン (PM) (度単位) を示します。結果は、室温で、示された電流レベルにおいて、V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V の条件下で測定されます。ボード線図は 図 6-20～図 6-27 に示されています。

表 9-4. テストされた宇宙グレードのコンデンサ

メーカー	容量	型番	I_{OUT} = 0A		I_{OUT} = 1A		I_{OUT} = 1.5A	
			PM	GM	PM	GM	PM	GM
Kemet	1 x 220µF	T540D227K010AH6710	71	30	98	14	91	14
Kemet	1 x 220µF + 0.1µF(1)	T540D227K010AH6710 + C0603K104K3RML	72	19	94	9	66	8
AVX	2 x 100µF	TBME107K020LBLC9045	83	29	98	19	99	19
AVX	2 x 100µF + 0.1µF	TBME107K020LBLC9045 + 300904102104KA	61	27	98	13	99	12

(1) ゲイン マージンが小さくなるため、プラスチック パッケージでは推奨されません。

上記の値は、セラミック パッケージ TPS7H1111-SP に対するものです。プラスチック パッケージ (TPS7H1111-SP と TPS7H1111-SEP) も同様に安定した応答を示していますが、ゲイン マージンは約 2 デシベル低くなっています。また、大電流と低温ではゲイン マージンが減少することにも注意してください。低電流および高温では位相マージンが減少します。

9.4 TID の影響

「電気的特性」に記載されているほとんどの仕様は、自動試験装置 (ATE) を使用してテストされています。そのため、これらの仕様は照射前と照射後の両方を簡単にテストできます。また、これらの仕様は通常、RLAT (放射線ロット受け入れテスト) フローの一部です。ただし、ATE での測定が困難な仕様もあり (ゲインが高い、または寄生成分の影響を受けやすいなどの理由による)、それらはベンチ特性評価中にのみ測定されます。通常、これらの仕様は照射後には測定されません。

PSRR、ノイズ、安定性は重要な仕様ですが、ATE を使用して測定されないため、従来の RLAT フローの一部ではありません。これらの主要な仕様に関する追加情報を提供するため、3 つの評価基板で 1 回だけ特性評価を行いました。これら 3 つの評価基板には、100krad(Si) の高線量率 (HDR) でバイアス印加および照射を行いました。

PSRR、ノイズ、および安定性の測定値はすべて、照射下で良好な結果を示した。一般的に次のことが言えます。

- TID 後の PSRR は、100Hz～1kHz の範囲でわずかに低くなっています。ユニット 1 では TID 後に約 10dB 低くなっていますが、このような高ゲインの測定が困難なため、セットアップに関連する問題と考えられます。いずれにしても、PSRR はこの範囲内で依然として非常に高い値 (95dB 超) です。
- TID 後の PSRR は、100Hz 未満および 1kHz を超える範囲でわずかに低くなっています。
- ノイズの測定値は、10Hz～10kHz の範囲では徐々に増加します。
- 10Hz 未満と 100kHz を超える範囲では、ノイズの測定値はほぼ同じです。
- RMS ノイズの計算値は、TID 後には平均で 120nV_{RMS} 高くなります。
- 平均位相マージン振幅シフトは約 7° です。位相マージンは、前および後の測定すべてで高く維持されます。
- 平均ゲイン マージン振幅シフトは約 2dB です。この変化は最小限と考えられ、測定誤差内である可能性があります。

完全なデータは以下のとおりです。特に記述のない限り、評価基板の条件は V_{IN} = 2.5V、V_{OUT} = 1.8V、V_{BIAS} = 5V、C_{OUT} = 2 x 100µF (表 9-4 を参照)、C_{SS} = 4.7µF、R_{REF} = 12.0kΩ、R_{BIAS} = 10Ω、C_{BIAS} = 4.7µF、T_A = 25℃で、積分ノイズは 10Hz～100kHz の帯域幅で報告されます。

Copyright © 2024 Texas Instruments Incorporated

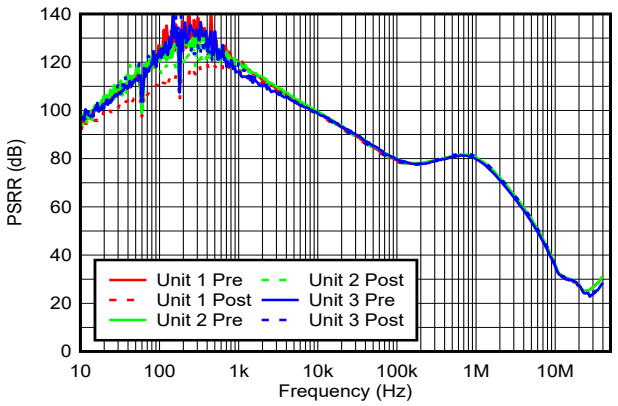


図 9-6. I_{OUT} = 100mA での PSRR

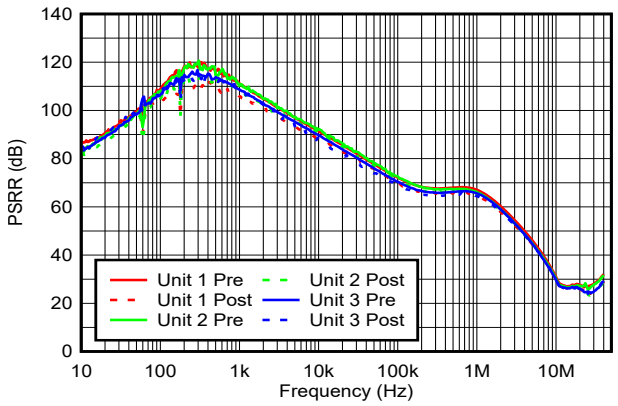


図 9-7. I_{OUT} = 1A での PSRR

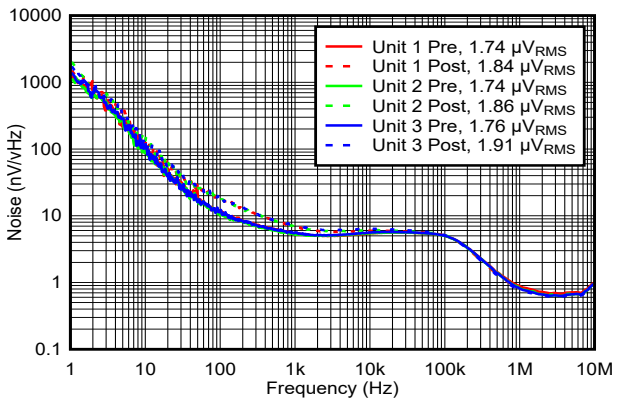


図 9-8.
I_{OUT} = 100mA でのノイズ スペクトル密度

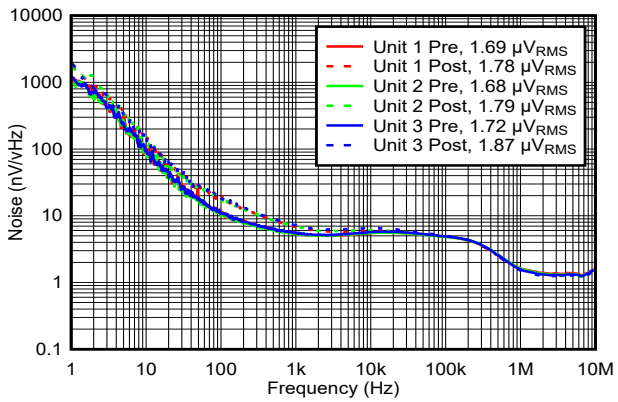
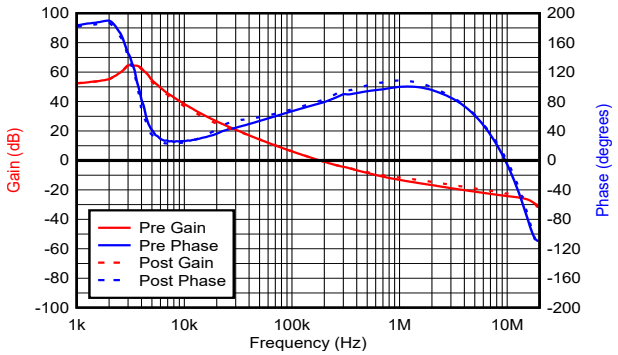
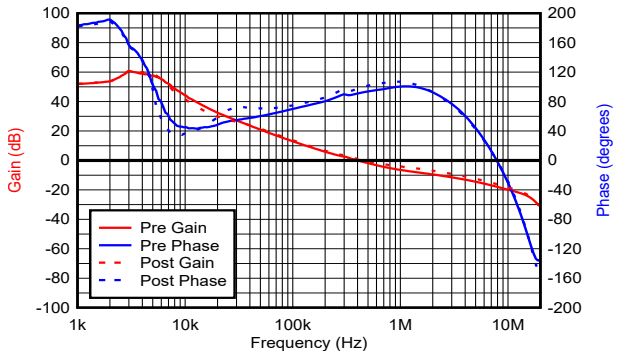


図 9-9. I_{OUT} = 1A でのノイズ スペクトル密度



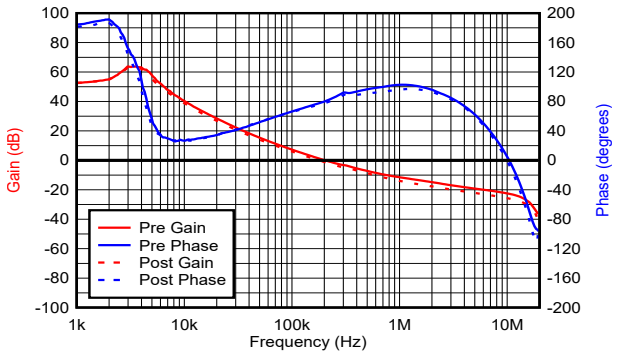
照射前:位相マージン = 78°、ゲイン マージン = 24dB
照射後:位相マージン = 82°、ゲイン マージン = 23dB

図 9-10. ボード線図：ユニット 1、I_{OUT} = 100mA



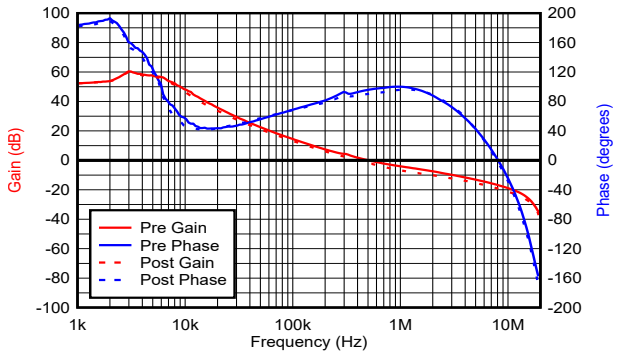
照射前:位相マージン = 91°、ゲイン マージン = 18dB
照射後:位相マージン = 100°、ゲイン マージン = 16dB

図 9-11. ボード線図：ユニット 1、I_{OUT} = 1A



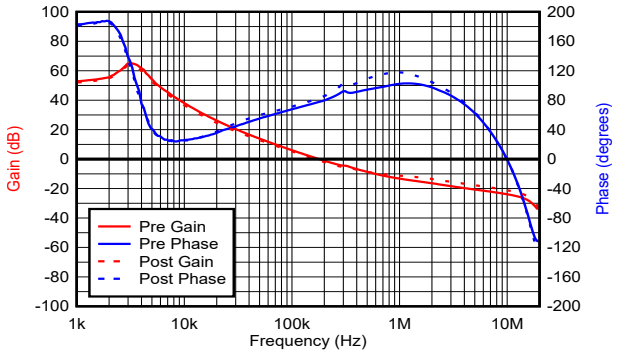
照射前:位相マージン = 81°、ゲイン マージン = 23dB
照射後:位相マージン = 76°、ゲイン マージン = 26dB

図 9-12. ボード線図：ユニット 2、I_{OUT} = 100mA



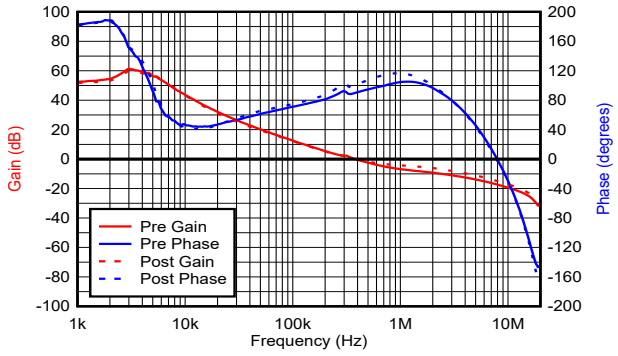
照射前:位相マージン = 96°、ゲイン マージン = 17dB
照射後:位相マージン = 88°、ゲイン マージン = 19dB

図 9-13. ボード線図：ユニット 2、I_{OUT} = 1A



照射前:位相マージン = 78°、ゲイン マージン = 24dB
照射後:位相マージン = 81°、ゲイン マージン = 21dB

図 9-14. ボード線図：ユニット 3、I_{OUT} = 100mA



照射前:位相マージン = 90°、ゲイン マージン = 18dB
照射後:位相マージン = 101°、ゲイン マージン = 15dB

図 9-15. ボード線図：ユニット 3、I_{OUT} = 1A

9.5 電源に関する推奨事項

このデバイスは、0.85V～7V の入力電源電圧範囲で動作するよう設計されています。最小入力電圧により、デバイスがレギュレートされた出力を生成するために、ドロップアウト電圧より大きい適切なヘッドルームが得られます。また、ドロップアウト電圧を低減するために、通常個別のバイアス電源を使用します。バイアス電源電圧範囲は 2.2V～14V (および入力電圧電源と同じ電圧以上) ですが、最適な性能を得るためには、$V_{BIAS} \geq V_{OUT}$ + 1.6V を推奨します。詳細情報については、セクション 8.3.1 を参照してください。

デバイスのレギュレーション中の内部消費電力 P_D は、式 19 を使用して概算できます。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_{IN_GND} \times V_{IN} + I_{BIAS} \times V_{BIAS} \quad (19)$$

TPS7H1111 は高 PSRR デバイスです。V_{IN} から V_{OUT} に高 PSRR の利点を最大限に得るには、BIAS ピン入力の V_{BIAS} がクリーンであることが重要です。BIAS ピンのリップルは、V_{BIAS} から V_{OUT} ($PSRR_{BIAS}$ により低減) に結合されます。BIAS の入力がクリーンであることを確実にするには、BIAS ピンの前に RC フィルタを追加するのが最善の方法です。BIAS ピンの消費電流は制限されているため、抵抗の両端での電圧降下は通常許容範囲内です。RC フィルタの推奨値は、R = 10Ω および C = 4.7µF です。

良好な性能を達成するには、通常は 10µF のバルク入力コンデンサと 0.1µF のセラミック デカップリング コンデンサを組み合わせて使用するだけで十分です。入力電源が TPS7H1111 の入力から遠く離れている場合は、47µF や 100µF などの大きな入力コンデンサを使用すると有益な場合があります。

TPS7H1111 は、1 つの 220µF タンタル出力コンデンサ、または 2 つの 100µF コンデンサを使用するように最適化されています。また、1 つの 0.1µF セラミック コンデンサを追加で使用することもできます。タンタル コンデンサは TPS7H1111

Copyright © 2024 Texas Instruments Incorporated

の出力の近くに配置し、セラミック コンデンサは負荷ポイントの近くに配置します。詳細については、セクション 8.3.8.1 を参照してください。

9.6 レイアウト

9.6.1 レイアウトのガイドライン

- 入力電流と出力電流を最小限の電圧降下で処理するのに十分な大きさのトレースまたはプレーンを使用します。
- 入力コンデンサは IN ピンの近くに配置します。
  - 状況によっては、磁気ノイズ結合を最小限に抑えるため、入力コンデンサをデバイスから離して配置できます。
- バルク出力コンデンサは OUT ピンの近くに配置します。
  - セラミック出力コンデンサを使用する場合は、負荷ポイントの近くに配置します。TPS7H1111 で出力デカップリングを使用しても利点はありません。
- クリーンな V_{OUT} レールを作成するため、高ノイズの回路は SS_SET、REF、OUTS から離して配置します。
- TPS7H1111 の帰還ループ (OUT ピンから OUTS ピンへの接続) のインダクタンスが最小限であることを確認します

9.6.2 レイアウト例

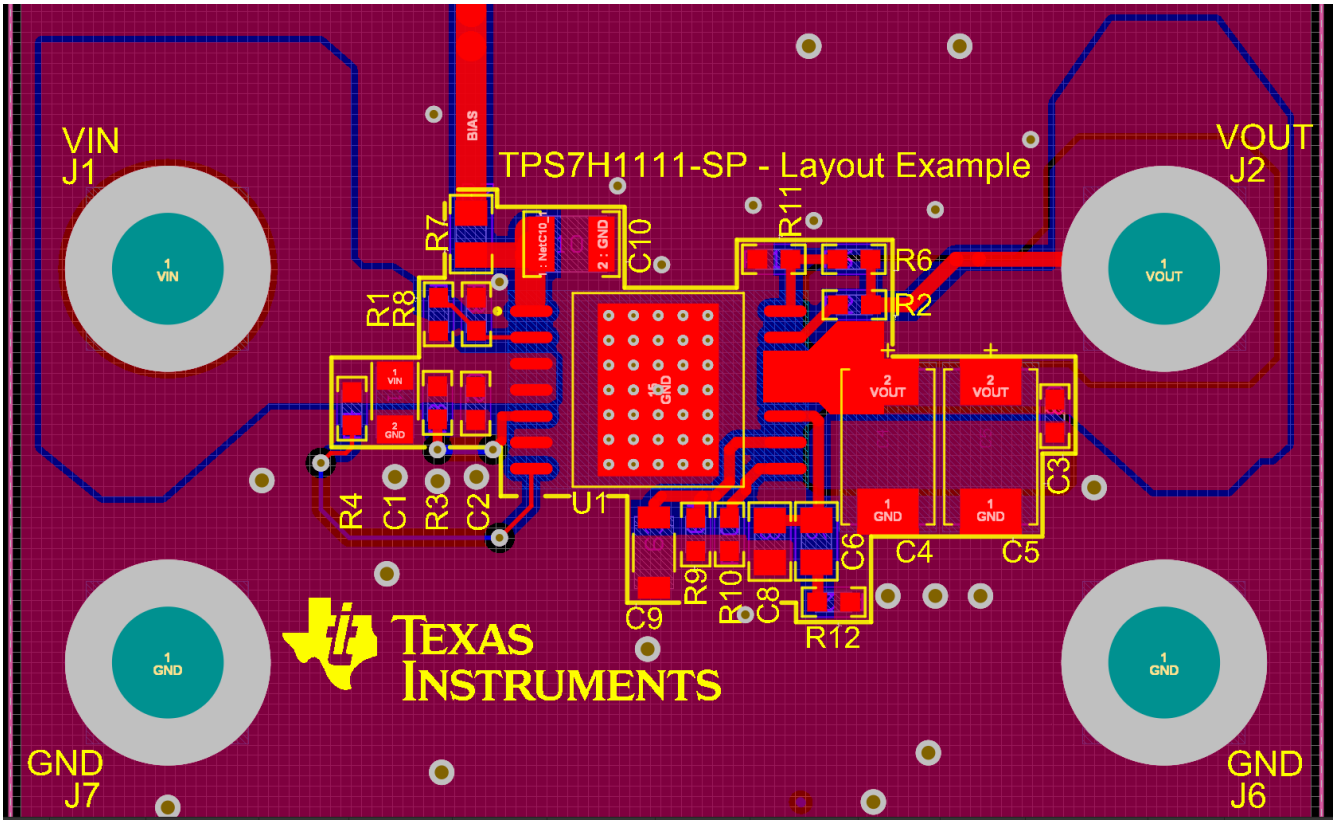


図 9-16. プリント基板のレイアウト例

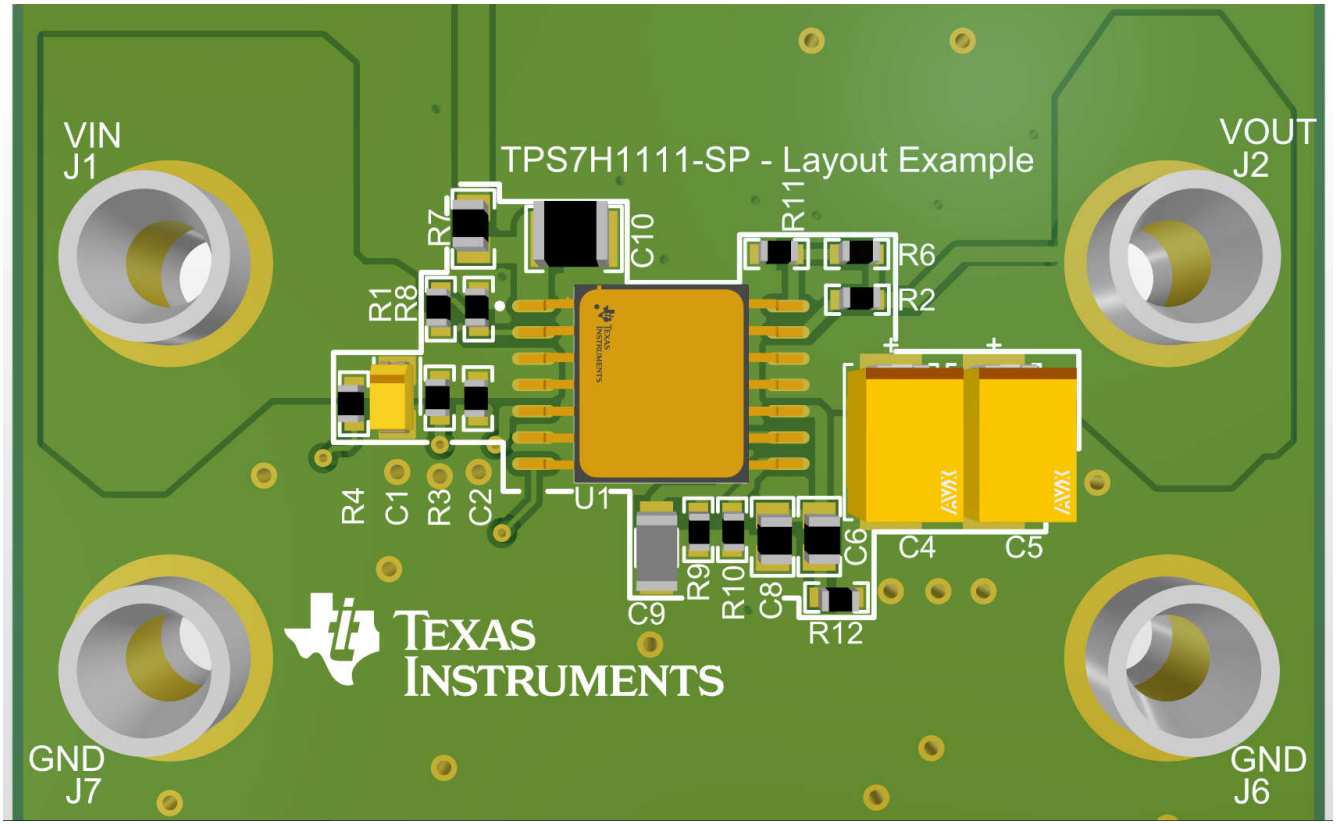


図 9-17. プリント基板のレイアウト例：3D ビュー

Copyright © 2024 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.1.2 関連資料

- TPS7H1111-SP 総電離線量 (TID) 放射線レポート
- PS7H1111EVM-CVAL 評価基板ユーザー ガイド
- 標準マイクロ回路の図、5962R21203
- ベンダ アイテム図、V62/23602

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (August 2023) to Revision F (December 2023)	Page
• プラスチック パッケージの公称質量を更新	1
• 5962R2120302PYE のステータスを「製品プレビュー」から「量産データ」に変更	1
• 品質保証のダイと関連するダイの情報を削除	1

Copyright © 2024 Texas Instruments Incorporated

- 「ダミー」セラミック パッケージの注文可能製品を追加.....3
- TPS7H1111-SP QMLP バージョンの更新した熱情報を追加.....7

Changes from Revision D (June 2023) to Revision E (August 2023) **Page**

- 「代表的特性」セクションの図 7-23、7-25、7-27 のボード線図を修正.....12

Copyright © 2024 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2120301VXC	Active	Production	CFP (HBL) | 14	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	-55 to 125	5962R2120301VXC TPS7H1111MHBLV
5962R2120302PYE	Active	Production	HTSSOP (PWP) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2120302P
SN0014HBL	Active	Production	CFP (HBL) | 14	25 | TUBE	-	Call TI	Call TI	25 to 25	SN0014HBL-DC
TPS7H1111HBL/EM	Active	Production	CFP (HBL) | 14	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	25 to 25	TPS7H1111HBL EVAL ONLY
TPS7H1111MPWPTSEP	Active	Production	HTSSOP (PWP) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H1111PWP
V62/23602-01XE	Active	Production	HTSSOP (PWP) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	See TPS7H1111MPWPTSEP	7H1111PWP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H1111-SEP, TPS7H1111-SP :

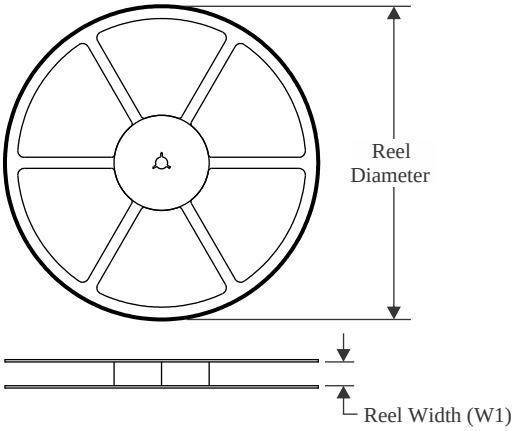
- Catalog : TPS7H1111-SEP
- Space : TPS7H1111-SP

NOTE: Qualified Version Definitions:

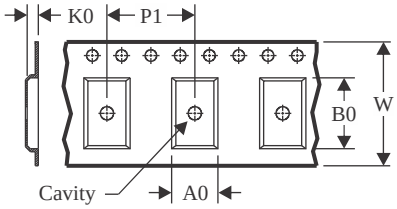
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

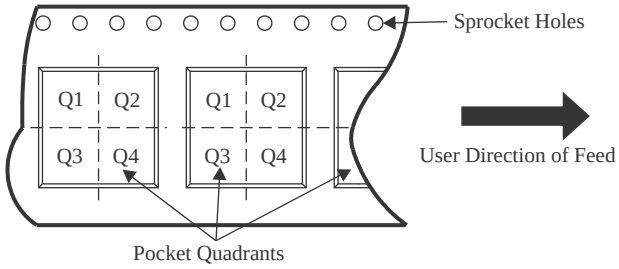


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

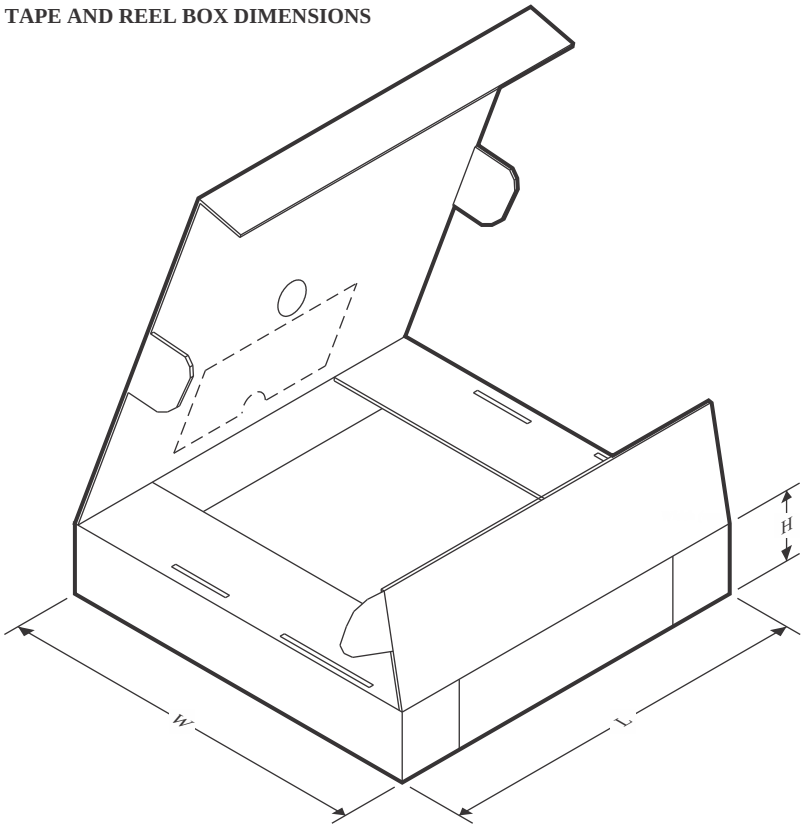
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2120302PYE	HTSSOP	PWP	28	250	178.0	16.4	6.95	10.0	1.7	8.0	16.0	Q1
TPS7H1111MPWPTSEP	HTSSOP	PWP	28	250	178.0	16.4	6.95	10.0	1.7	8.0	16.0	Q1

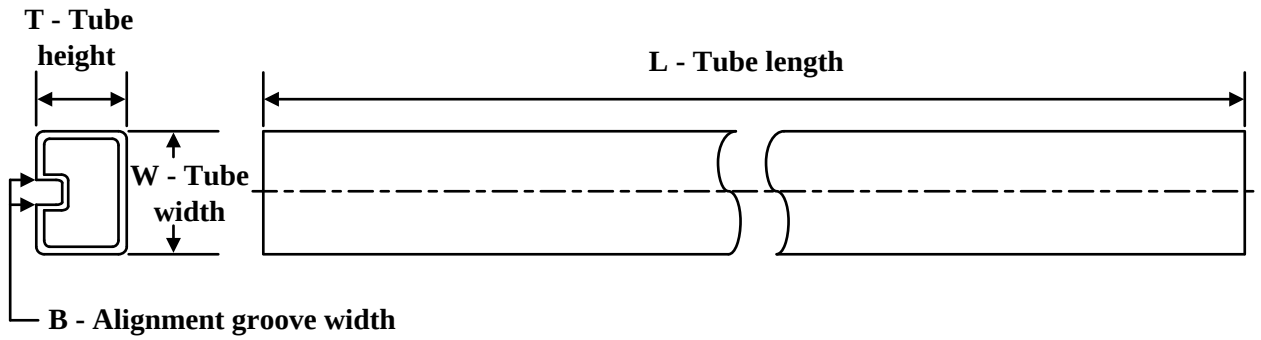
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2120302PYE	HTSSOP	PWP	28	250	210.0	185.0	35.0
TPS7H1111MPWPTSEP	HTSSOP	PWP	28	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

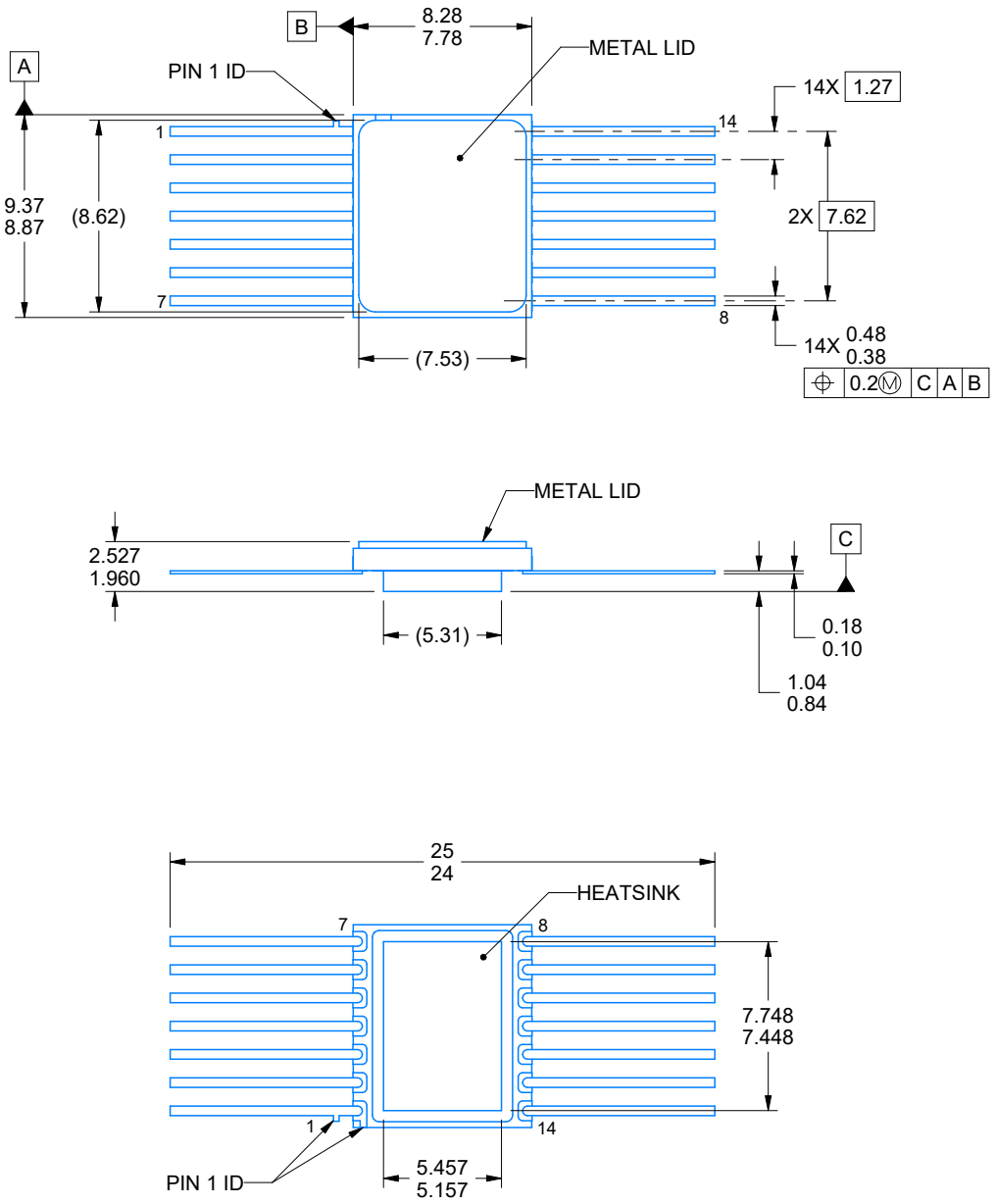
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R2120301VXC	HBL	CFP	14	25	506.98	26.16	6220	NA
TPS7H1111HBL/EM	HBL	CFP	14	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

HBL0014A

CFP - 2.527 mm max height

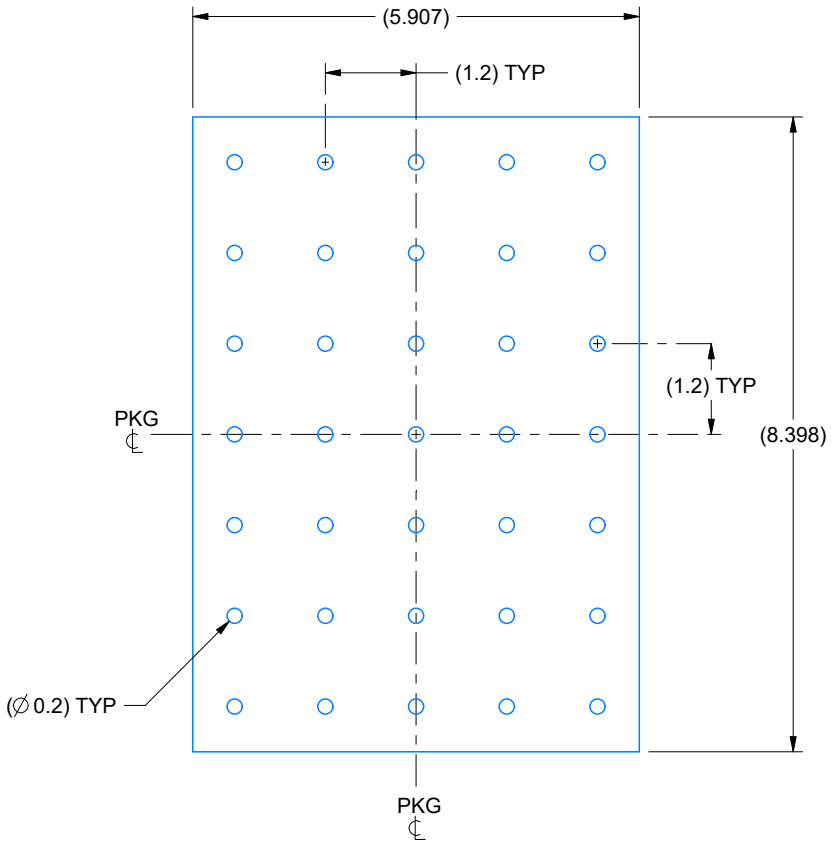
CERAMIC DUAL FLATPACK



4226657/A 03/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. Lid is connected to Heatsink and pin 6
4. The terminals are gold plated.



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

4226657/A 03/2021

REVISIONS

REV	DESCRIPTION	ECR	DATE	ENGINEER / DRAFTSMAN
A	RELEASE NEW DRAWING	2193915	03/24/2021	R. RAZAK / ANIS FAUZI

GENERIC PACKAGE VIEW

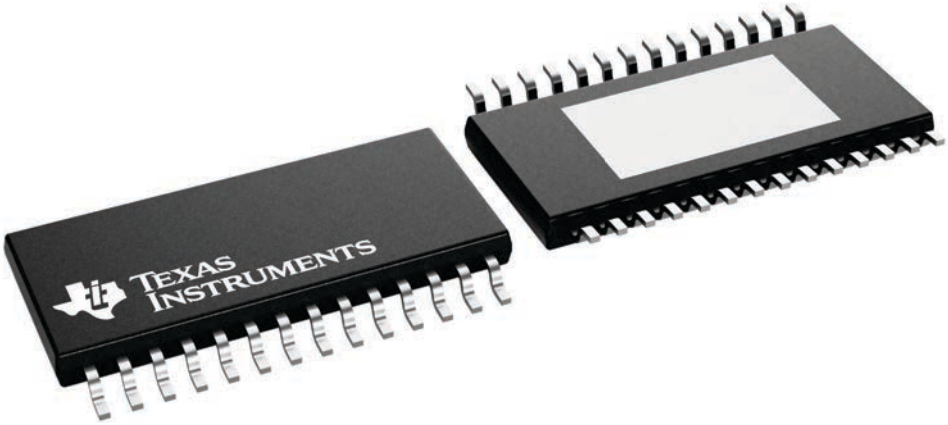
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

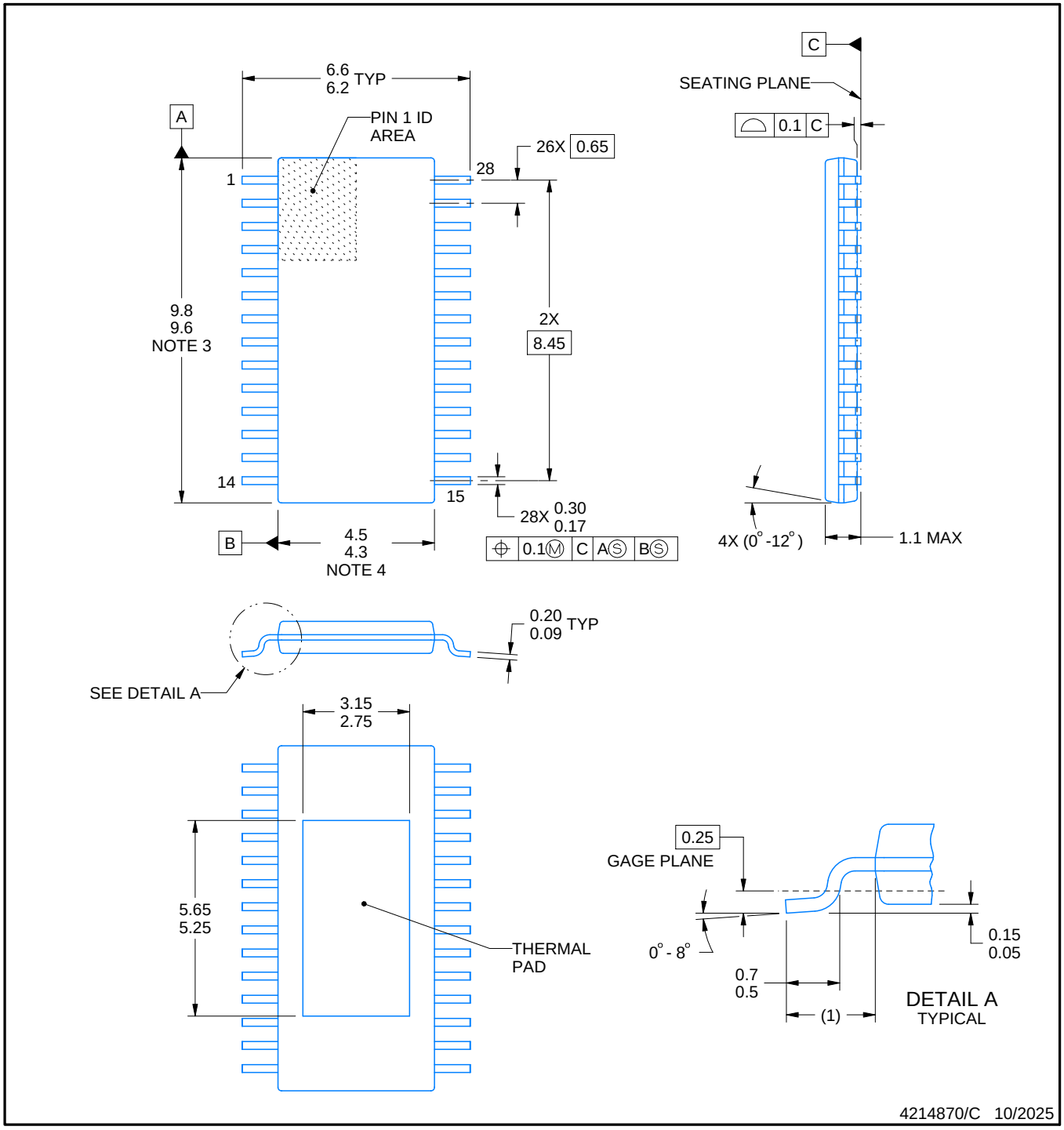


PACKAGE OUTLINE

PWP0028A

PowerPAD™ - 1.1 mm max height

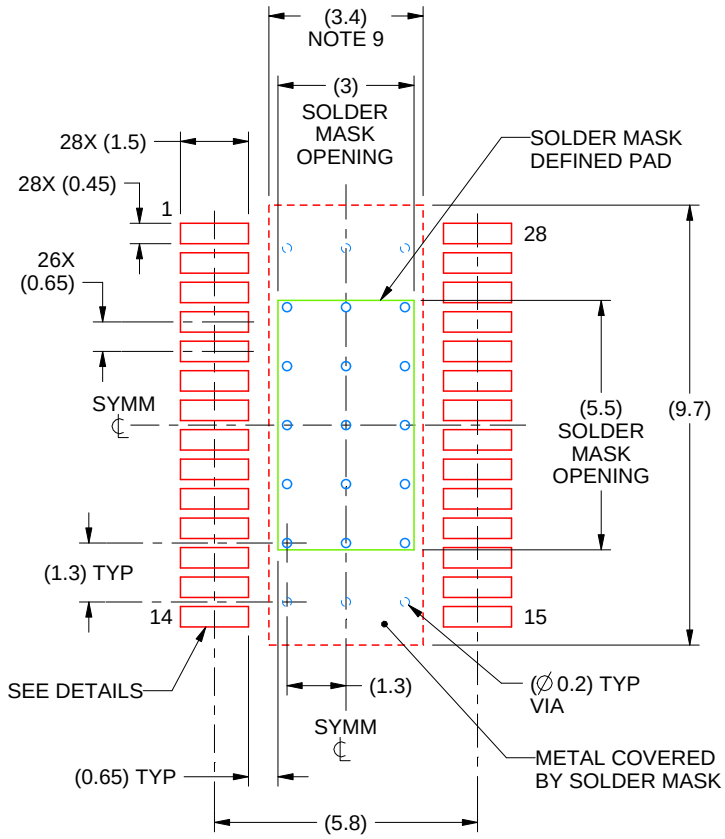
PLASTIC SMALL OUTLINE



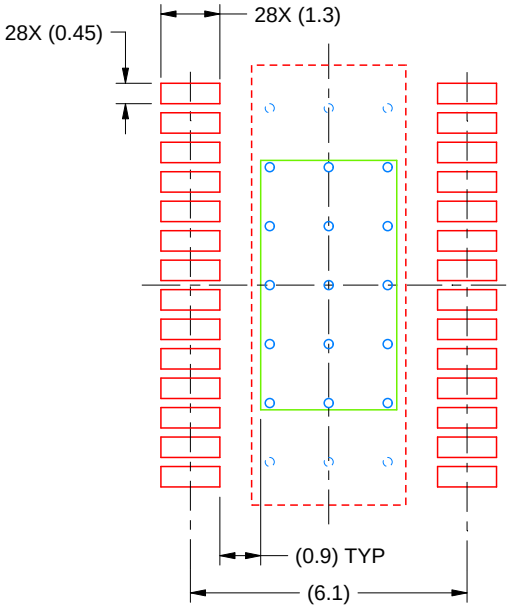
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MO-153, variation AET.

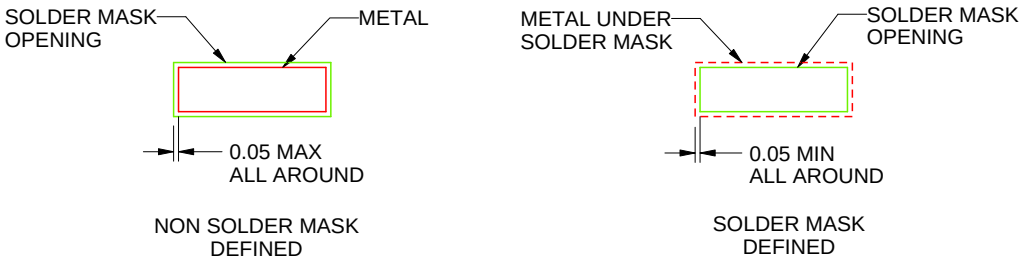


IPC-7351 NOMINAL
0.65 CLEARANCE CREEPAGE



HV / ISOLATION OPTION
0.9 CLEARANCE CREEPAGE
OTHER DIMENSIONS IDENTICAL TO IPC-7351

LAND PATTERN EXAMPLE
SCALE:6X

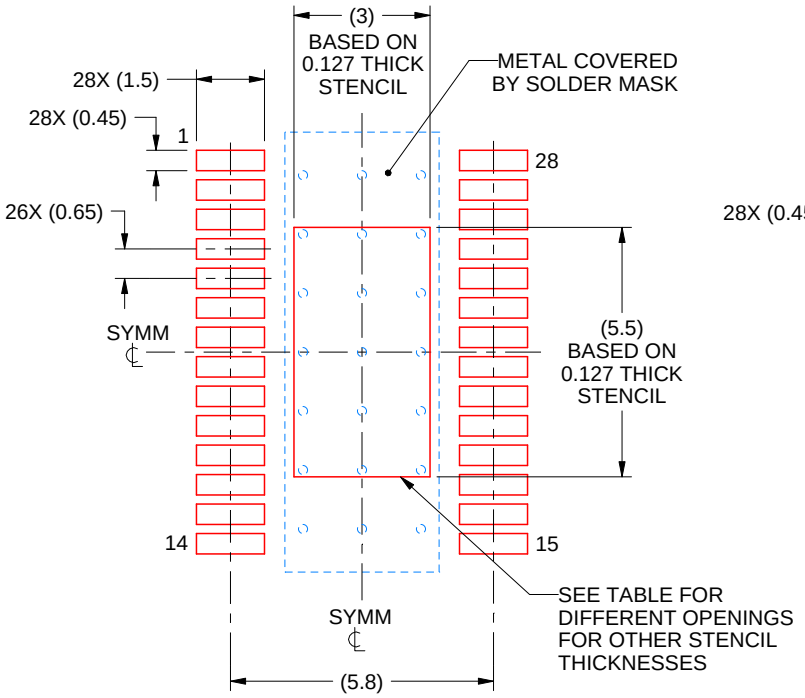


SOLDER MASK DETAILS

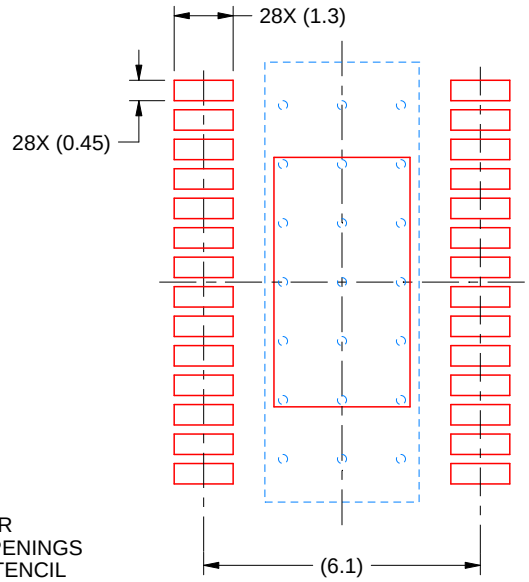
4214870/C 10/2025

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



IPC-7351 NOMINAL
0.65 CLEARANCE CREEPAGE



HV / ISOLATION OPTION
0.9 CLEARANCE CREEPAGE
OTHER DIMENSIONS IDENTICAL TO IPC-7351

SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.55 X 6.37
0.127	3.0 X 5.5 (SHOWN)
0.152	2.88 X 5.16
0.178	2.66 X 4.77

4214870/C 10/2025

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月