TPS7H1121-SP および TPS7H1121-SEP、2.25V～14V 入力、2A、耐放射線低ドロップアウト (LDO) リニア レギュレータ

1 特長

- 吸収線量放射線特性評価済み。
  - 放射線耐性保証 (RHA):100krad(Si) または 50krad(Si)
- シングル イベント効果 (SEE) の特性
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の線エネルギー付与 (LET) = 75MeV-cm^2/mg に対する耐性
  - LET = 75MeV-cm^2/mg で、シングル イベント機能割り込み (SEFI) 特性評価済み
  - LET = 75MeV-cm^2/mg でシングル イベント過渡 (SET) 特性評価済み
- ワイド V_{IN} 範囲:2.25V ～ 14V
- 2A の最大出力電流
- 3V を超える V_{IN} の負荷および温度に対する精度: ±1.5%
- 3V 未満の V_{IN} の負荷および温度に対する精度: ±1.8%
- 外付けコンデンサによるソフトスタート (SS) 制御
- 電源シーケンス用、オープン ドレインのパワー グッド (PG) 出力
- 外付け抵抗 (CL) でプログラム可能な電流制限
- STAB ピンを活用したオプションの外部制御ループ補償が可能
- 非常に優れた負荷 / ライン過渡応答
- ASTM E595 に準拠した脱ガス試験済みのプラスチック パッケージ
- 軍用温度範囲:-55℃～125℃

2 アプリケーション

- 衛星用電源システム (EPS)
- クリーンなアナログ電源要件
- コマンドとデータの処理 (C&DH)
- 光学画像処理ペイロード
- レーダー画像処理ペイロード

3 説明

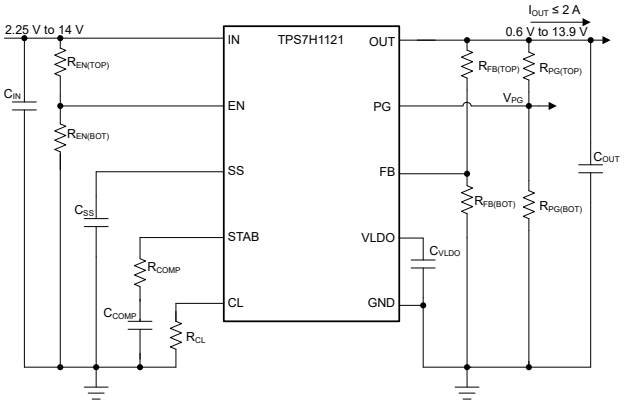
TPS7H1121 は、耐放射線特性をもった低ドロップアウトのリニアレギュレータ (LDO) で、広い入力電圧範囲で動作し、宇宙環境で使用されるデバイスへの電力供給に最適化されています。デバイスは 2.25V～14V の入力に対して、最大 2A の電流を供給できます。

このデバイスは安定性が優れており、広い範囲で調整可能な電流制限機能を搭載しています。FPGA、DSP、マイクロコントローラの複雑な電力要件に対応するため、TPS7H1121 にはイネーブル オンおよびオフ機能、ソフトスタートのプログラム機能、パワー グッドのオープン ドレイン出力が搭載されています。

製品情報

部品番号 (1)	グレード	パッケージ (2)
5962R2320301VXC	QMLV-RHA	22 ピン セラミック 6.21mm × 7.69mm 質量 = 415.6mg
TPS7H1121HFT/EM	エンジニアリング サンプル	
5962R2320302PYE(3)	QMLP-RHA	24 ピン プラスチック 4.40mm × 7.80mm 質量 = 103mg
TPS7H1121MPWPTSEP	SEP	

(1) 追加情報は、セクション 4 の表をご覧ください。
(2) 寸法と質量の値は公称値です。
(3) 製品プレビュー。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 8
6.6 品質適合検査 ... 10
6.7 代表的特性 ... 11
7 パラメータ測定情報 ... 16
8 詳細説明 ... 19
8.1 概要 ... 19
8.2 機能ブロック図 ... 19
8.3 機能説明 ... 19
8.4 デバイスの機能モード ... 25
9 アプリケーションと実装 ... 26
9.1 アプリケーション情報 ... 26
9.2 代表的なアプリケーション ... 26
9.3 電源に関する推奨事項 ... 31
9.4 レイアウト ... 31
10 デバイスおよびドキュメントのサポート ... 33
10.1 デバイス サポート ... 33
10.2 ドキュメントのサポート ... 33
10.3 ドキュメントの更新通知を受け取る方法 ... 33
10.4 サポート・リソース ... 33
10.5 商標 ... 33
10.6 静電気放電に関する注意事項 ... 33
10.7 用語集 ... 33
11 改訂履歴 ... 34
12 メカニカル、パッケージ、および注文情報 ... 34

Copyright © 2025 Texas Instruments Incorporated

4 デバイス比較表

ジェネリック型番	放射線定格(1)	グレード (2)	パッケージ	発注用製品型番
TPS7H1121-SP	100krad(Si) RLAT の TID、75MeV-cm²/mg まで DSEE フリー	QMLV-RHA	22 ピン CFP HFT	5962R2320301VXC
		QMLP-RHA	24 ピン HTSSOP PWP	5962R2320302PYE(4)
	なし	エンジニアリングモデル(3)	22 ピン CFP HFT	TPS7H1121HFT/EM
TPS7H1121-SEP	50krad(Si) RLAT の TID、43MeV-cm²/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24 ピン HTSSOP PWP	TPS7H1121MPWPTSEP

(1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについての詳細は、部品のグレードをご覧下さい。
(3) これらのユニットは、技術的な評価のみを目的としています。非準拠のフローで処理されています (バーンインがない、25℃でのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。TI エンジニアリング モデルの詳細については、TI 評価ユニットと MIL-PRF-38535 QML クラス V 処理の比較を参照してください
(4) 製品プレビュー。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

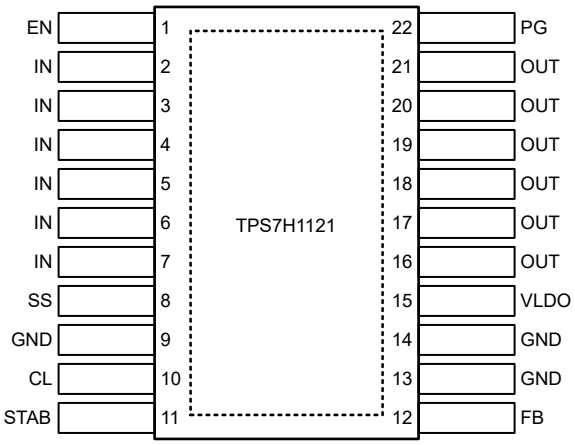


図 5-1. HFT パッケージ 22 ピン CFP 上面図

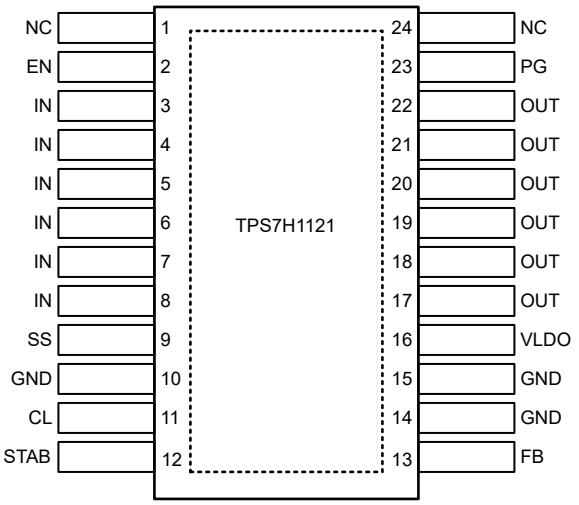


図 5-2. PWP パッケージ 24 ピン HTSSOP 上面図

表 5-1. ピンの機能

ピン			I/O	説明
名称	HFT (22)番号	PWP (24) 番号		
EN	1	2	I	イネーブル。この端子をロジック High にするとデバイスが有効になり、ロジック Low にするとデバイスが無効になります。イネーブル機能が不要な場合は、このピンを抵抗分圧回路を使用して IN に接続します。セクション 8.3.2 を参照してください。このピンをフローティングにしないでください。
IN	2、3、4、5、6、7	3、4、5、6、7、8	I	入力電力。このピンの近くに、10µF 程度の入力コンデンサを配置することが推奨されています。
SS	8	9	I/O	ソフト スタート。過大な突入電流を防止するために、少なくとも 1nF のコンデンサが必要です。
GND	9、13、14	10、14、15	—	グランド
CL	10	11	I	プログラム可能な電流制限。GND に接続された抵抗によって、過電流制限の動作スレッショルドが設定されます。CL 端子から GND に対して使用できる抵抗の範囲は 41.2kΩ から 442kΩ です。
STAB	11	12	I/O	安定性ピン。これは、内部 OTA (オペレーショナル トランスコンダクタンス) 誤差アンプからの出力で、制御ループの測定または最適化に役立ちます。標準的な補償ネットワークを STAB に適用できますが (セクション 8.3.9.1 を参照) 、22µF から 220µF への出力容量では、一般に高い安定性マージンが得られます。
FB	12	13	I	出力電圧は、分圧回路を介して帰還されます。セクション 8.3.1 を参照してください。
NC	—	1、24	—	接続なし。このピンは内部接続されていません。電荷の蓄積を防ぐため、これらのピンを GND に接続することを推奨しますが、これらのピンはオープンのままにすることも、GND と V_{IN} の範囲の任意の電圧に接続することもできます。
VLDO	15	16	O	内部リニア レギュレータの出力には、グランドに 470nF のコンデンサを接続する必要があります。
OUT	16、17、18、19、20、21	17、18、19、20、21、22	O	出力電源ピン。レギュレートされた出力電圧です。47µF のタンタルまたはタンタル ポリマ コンデンサを 1 個使用することが推奨されています。22µF～220µF の容量値は、追加補償なしで一般的に対応可能です。より広い範囲の容量には、STAB ピンを使用することで対応できます。追加情報については、セクション 9.2.2.8 を参照してください。
PG	22	23	I/O	パワー グッド インジケータ。これはオープン ドレイン ピンです。VOUT に接続する場合は、プルアップ抵抗または分圧抵抗を使用して、ピン電圧が 7V を超えないようにし、目的のロジック レベルを得るようにします。PG ピンを使用しない場合は、グランドにプルダウンすることが推奨されています。必要に応じて、PG ピンをオープンのままにしておくこともできます。出力が設定出力電圧の 95% (標準値) に達すると、PG ピンがアサートされます。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			I/O	説明
名称	HFT (22)番号	PWP (24) 番号		
サーマル パッド	—	—	—	内部グランド。効果的な放熱のため、この金属サーマル パッドは大きなグランド プレーンに接続することを推奨します。
金属製ふた	ふた	該当なし	—	このふたは、シール リングを介してサーマル パッドと GND に内部接続されています。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	IN、STAB	-0.3	16	V
	EN、PG	-0.3	7.5	
	FB、CL	-0.3	3.3	V
出力電圧	OUT	-0.6	16	V
	VLDO	-0.3	3.6	
	SS	-0.3	3.3	V
入力電流	PG	-0.001	0.01	A
出力電流	OUT	-3.9	3.9	A
接合部温度	T_J	-55	150	°C
保存温度	T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
入力電圧	IN	2.25		14	V
	EN	0		7	
	PG	0		7	
出力電圧	OUT	0.6		$V_{IN} – V_{DO}$	V
	SS	0		1.2	
入力電流	PG	0		2	mA
出力電流	OUT	0		2	A
接合部温度	T_J	-55		125	°C

6.4 熱に関する情報

熱評価基準[1]		TPS7H1121-SP	TPS7H1121-SP、-SEP	単位
		CFP HFT	PWP (HTSSOP)	
		22 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	30.5	26.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.3	18	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	13.5	7.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	13.3	7.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.1	0.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

2.25V ≤ V_{IN}≤ 14V、$V_{OUT\ (set)}$ ≤ V_{IN} –0.5V、I_{OUT} = 10mA、C_{OUT} = 47µF、動作温度範囲全体 (T_A = –55°C～125°C) 、標準値は T_A = 25°C で、特に記述のない限り、特に記載がない場合を除き、QML RHA および SEP デバイスにサブグループ番号がある場合には、TA = 25°C での RLAT を含みます(2)

パラメータ		テスト条件		サブグループ (1)	最小値	標準値	最大値	単位
電源と電流								
V_{DO}	ドロップアウト電圧、図 7-1 を参照	$V_{OUT(set)}$ = 2.25V $V_{OUT(measured)}$ = 98% × $V_{OUT(NOM)}$	I_{OUT} = 100mA	1、2、3		28	60	mV
			I_{OUT} = 250mA	1、2、3		70	141	
			I_{OUT} = 500mA	1、2、3		150	280	
			I_{OUT} = 1A	1、2、3		300	570	
		$V_{OUT(set)}$ = 2.5V $V_{OUT(measured)}$ = 98% × $V_{OUT(NOM)}$	I_{OUT} = 1.5A	1、2、3		525	750	
			I_{OUT} = 2A	1、2、3		570	900	
		3V ≤ $V_{OUT(set)}$ ≤ 13.3V $V_{OUT(measured)}$ = 98% × $V_{OUT(NOM)}$	I_{OUT} = 100mA	1、2、3		20	50	
			I_{OUT} = 250mA	1、2、3		70	100	
			I_{OUT} = 500mA	1、2、3		125	180	
			I_{OUT} = 1A	1、2、3		300	340	
			I_{OUT} = 1.5A	1、2、3		325	490	
			I_{OUT} = 2A	1、2、3		500	700	
I_{PCL}	プログラム済み電流制限 (セラミック HFT22 パッケージ)	V_{IN} = 3.3V、 $V_{OUT(short)}$ = 0.1V	RCL = 442kΩ	1、2、3	0.19	0.320	0.45	A
			RCL = 174kΩ	1、2、3	0.485	0.75	1.01	
			RCL = 82.5kΩ	1、2、3	1.16	1.55	1.94	
			RCL = 41.2kΩ	1、2、3	2.4	3	3.6	
	プログラム済み電流制限 (プラスチック PWP24 パッケージ)	V_{IN} = 3.3V、 $V_{OUT(short)}$ = 0.1V	RCL = 442kΩ		0.165	0.35	0.545	A
			RCL = 174kΩ		0.51	0.835	1.1	
			RCL = 82.5kΩ		1.16	1.66	2.16	
			RCL = 41.2kΩ		2.4	3.15	3.85	
I_Q	静止時電流	V_{EN} = 7V、I_{OUT} = 0A		1、2、3		8.75	15	mA
I_{GND} (I_{IN} - I_{OUT})	グランド電流	V_{EN} = 7 V	I_{OUT} = 1A	1、2、3		10	18	mA
			I_{OUT} = 2A	1、2、3		13	20	
VLDO	内部リニア レギュレータの出力電圧	V_{IN} = 2.25V		1、2、3	2.05	2.2	2.25	V
		3V ≤ V_{IN} ≤ 14V		1、2、3	2.30	2.55	2.78	
I_{SHDN}	シャットダウン電流	V_{EN} = 0V、I_{OUT} = 0A、V_{OUT} = 0V		1、2、3		380	775	µA
I_{FB}	フィードバック リーク電流	V_{FB} = 0.7 V		1、2、3		1	15	nA
精度								
V_{ACC}	出力電圧精度	10mA ≤ I_{OUT} ≤ 2A、 0.6V ≤ V_{OUT} ≤ V_{IN} – V_{DO}、 P_D ≤ 3W(3)	3V ≤ V_{IN} ≤ 14V	1、2、3	-1.5%		1.5%	
			3V ≤ V_{IN} ≤ 14V T_A = 25°C	1	-1.1%		1.1%	
			2.25V ≤ VIN ≤ 3V	1、2、3	-1.8%		1.8%	
V_{FB}	帰還電圧	3V ≤ V_{IN} ≤ 14V		1、2、3	0.588	0.596	0.606	V
			T_A = 25°C	1	0.591	0.596	0.603	
		2.25V ≤ V_{IN} ≤ 3V		1、2、3	0.586	0.596	0.608	
ΔV_{OUT}/ ΔV_{IN}	ライン レギュレーション、図 7-2 を参照	3V ≤ V_{IN} ≤ 14V		1、2、3		100	650	µV/V
		2.25V ≤ V_{IN} ≤ 3V		1、2、3		285	1800	

Copyright © 2025 Texas Instruments Incorporated

2.25V ≤ V_{IN}≤ 14V、$V_{OUT\ (set)}$ ≤ V_{IN} –0.5V、I_{OUT} = 10mA、C_{OUT} = 47µF、動作温度範囲全体 (T_A = –55°C～125°C) 、標準値は T_A = 25°C で、特に記述のない限り、特に記載がない場合を除き、QML RHA および SEP デバイスにサブグループ番号がある場合には、TA = 25°C での RLAT を含みます(2)

パラメータ		テスト条件		サブグループ (1)	最小値	標準値	最大値	単位
$\Delta V_{OUT}/\Delta I_{OUT}$	負荷レギュレーション、図 7-3 を参照	10mA ≤ I_{OUT} ≤ 2A、V_{IN} = 5V、V_{OUT} = 3.3V		1、2、3		4	16	mV/A
イネーブル								
$V_{EN(rising)}$	イネーブル立ち上がりスレッショルド (ターンオン)			1、2、3	0.565	0.605	0.625	V
$V_{EN(falling)}$	イネーブル立ち下がりスレッショルド (ターンオフ)			1、2、3	0.465	0.5	0.52	V
$t_{EN(delay)}$	EN 伝搬遅延	EN High から V_{OUT} = 10mV まで		9、10、11		50	150	µs
$I_{EN(LKG)}$	イネーブル リーク電流	V_{EN} = 7 V		1、2、3		1	30	nA
T_{SD}	サーマル シャットダウン入口温度					160		°C
T_{SD}	サーマル シャットダウン出口温度					130		°C
パワー グッド								
V_{PG_RISE}	V_{OUT} に対するパワー グッドの立ち上がりパーセント			1、2、3	93%	95%	97%	
V_{PG_FALL}	V_{OUT} に対するパワー グッドの立ち下がりパーセント			1、2、3	88.5%	91.5%	94%	
$V_{PG(OL)}$	パワー グッド出力 Low	$I_{PG(SINK)}$ = 2mA		1、2、3		90	190	mV
$V_{IN(MIN_PG)}$	有効な PG の最小 VIN (V_{PG} < 0.5V)	$I_{PG(SINK)}$ = 0.5mA		1、2、3		0.6	0.8	V
$I_{PG(LKG)}$	パワー グッドのリーク電流	V_{PG} = 7V、V_{FB} = 0.7V		1、2、3		0.05	2	µA
ソフト スタート								
I_{SS}	ソフトスタート電流			1、2、3	1.4	2	2.7	µA
t_{SS}	ソフト スタート時間	V_{IN} = 5V、V_{OUT} = 3.3V、V_{OUT} = 10mV から PG アサートまで測定	C_{SS} = 1nF	9、10、11	0.22	0.35	0.48	ms
			C_{SS} = 33nF	9、10、11	5.5	10	14.5	
安定性								
GM	ゲイン マージン	V_{IN} = 5V、V_{OUT} = 3.3V、I_{OUT} = 1A、C_{OUT} = 47µF、T_A = 25°C、外部補償なし				24		dB
PM	位相マージン					60°		
ノイズおよび PSRR								
PSRR	電源除去比	V_{IN} = 5V、V_{OUT} = 3.3V、I_{OUT} = 1A, C_{SS} = 5.6nF	f_{ripple} = 100Hz			68		dB
			f_{ripple} = 1kHz			72		
			f_{ripple} = 10kHz			51		
			f_{ripple} = 100kHz			40		
			f_{ripple} = 1MHz			34		
V_N	出力ノイズ電圧 (10Hz～100kHz の帯域幅)	V_{IN} = 5V、V_{OUT} = 3.3V、I_{OUT} = 1A, C_{SS} = 5.6nF				35		μV_{RMS}

(1) サブグループは QML 部品に適用されます。サブグループの定義については、セクション 6.6 を参照してください。
(2) QML RHA デバイスの追加情報については、5962R23203 SMD を参照してください。
(3) P_D は内部消費電力です。P_D が 3W を超えると、(テスタの制限による) 局所的な過熱を避けるため、電流が低下します。

Copyright © 2025 Texas Instruments Incorporated

6.6 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	動的テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性

V_{IN} = 5V、V_{OUT} = 3.3V、T_A = 25°C、C_{SS} = 5.6nF、C_{OUT} = 47µF (TBME476K025LBLC0) の条件で、外部補償ネットワークを使用する場合は、セクション 8.2 に示す構成が適用されます。特に記載がない限り、R_{COMP} および C_C は使用されません。

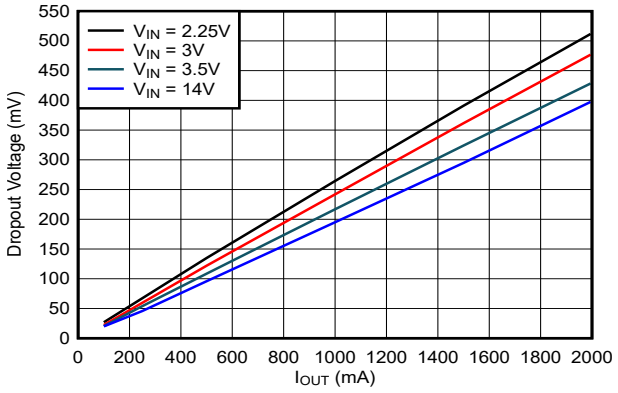
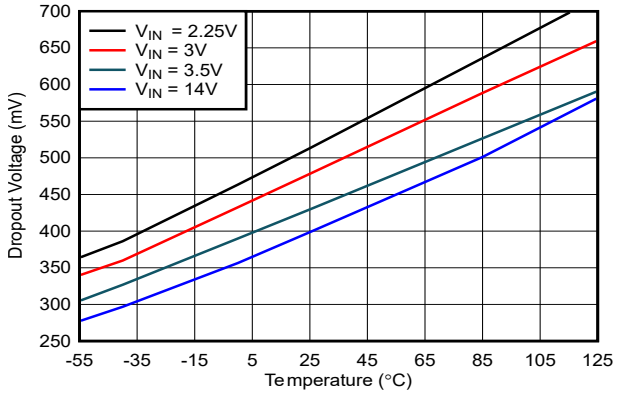
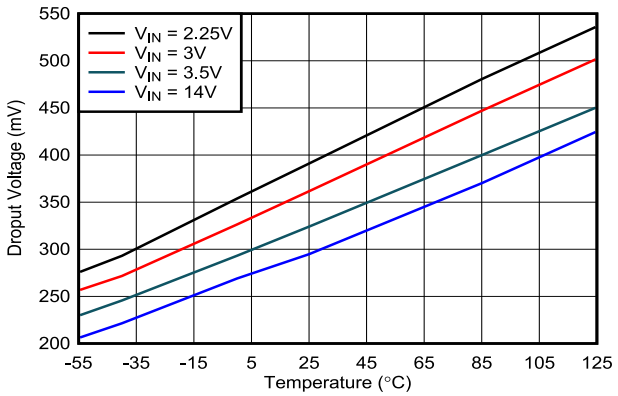


図 6-1. ドロップアウト電圧と電流との関係



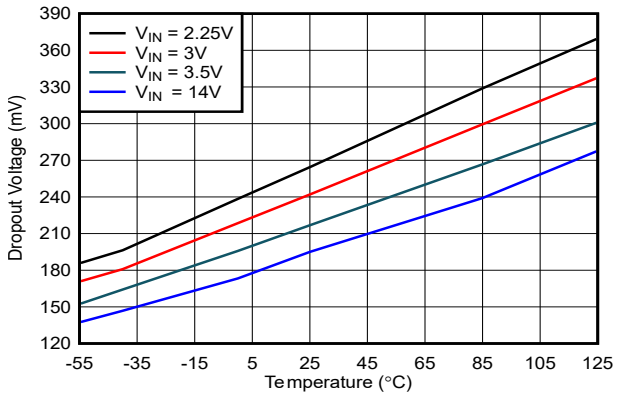
ILoad = 2000mA

図 6-2. ドロップアウト電圧 vs 温度



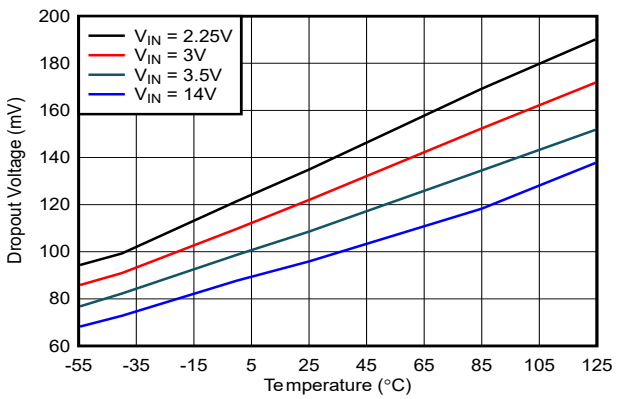
ILoad = 1500mA

図 6-3. ドロップアウト電圧 vs 温度



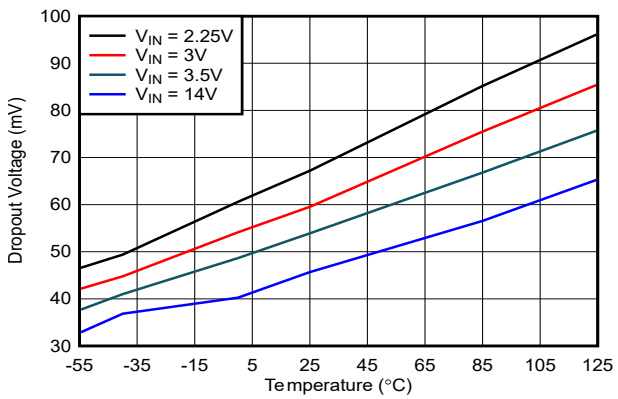
ILoad = 1000mA

図 6-4. ドロップアウト電圧 vs 温度



ILoad = 500mA

図 6-5. ドロップアウト電圧 vs 温度



ILoad = 250mA

図 6-6. ドロップアウト電圧 vs 温度

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 5V、V_{OUT} = 3.3V、T_A = 25ºC、C_{SS} = 5.6nF、C_{OUT} = 47µF (TBME476K025LBLC0) の条件で、外部補償ネットワークを使用する場合は、セクション 8.2 に示す構成が適用されます。特に記載がない限り、R_{COMP} および C_C は使用されません。

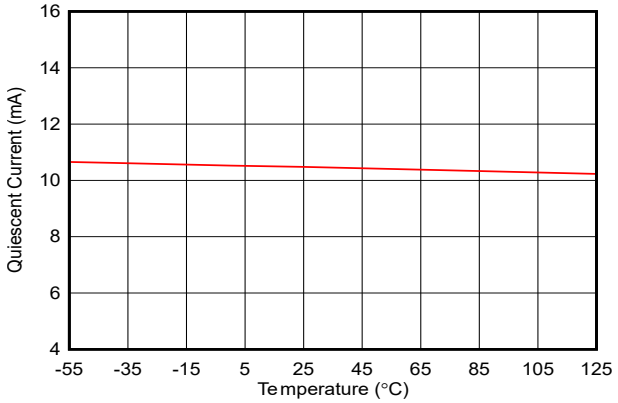


図 6-7. 静止電流と温度との関係

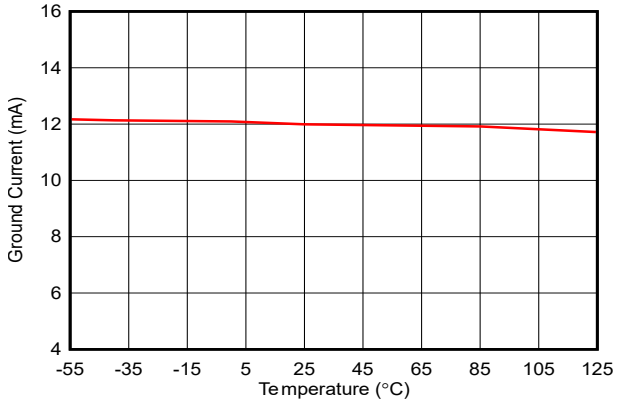


図 6-8. グランド電流 vs 温度

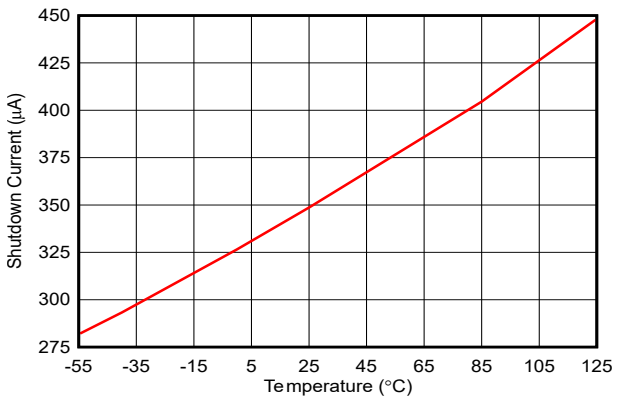


図 6-9. シャットダウン電流と温度との関係

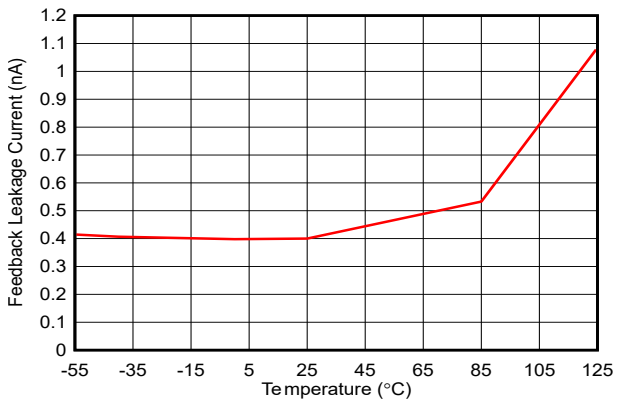


図 6-10. 帰還ピンのリーク電流と温度との関係

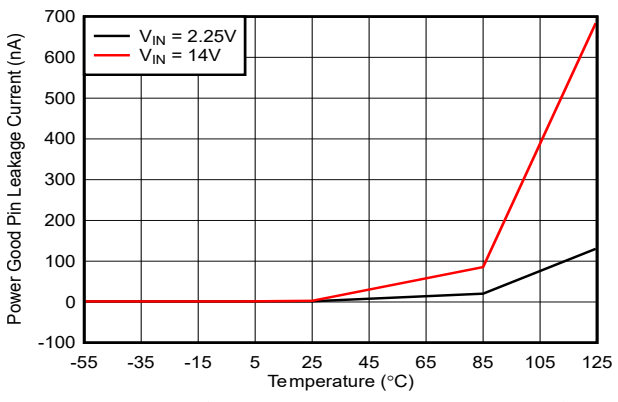


図 6-11. パワー グッド ピンのリーク電流と温度との関係

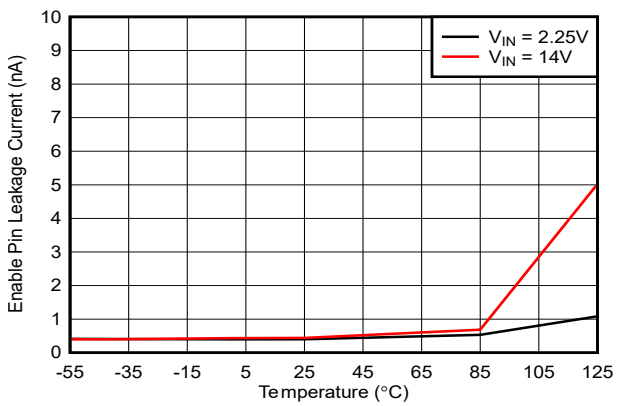


図 6-12. イネーブル ピンのリーク電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性 (続き)

V_{IN} = 5V、V_{OUT} = 3.3V、T_A = 25ºC、C_{SS} = 5.6nF、C_{OUT} = 47µF (TBME476K025LBLC0) の条件で、外部補償ネットワークを使用する場合は、セクション 8.2 に示す構成が適用されます。特に記載がない限り、R_{COMP} および C_C は使用されません。

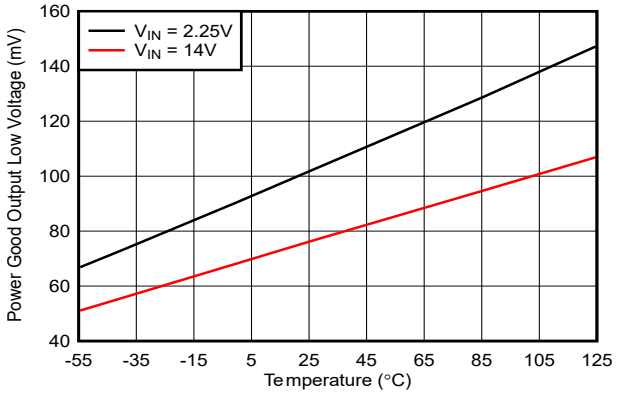


図 6-13. PG ピン出力 Low と温度との関係

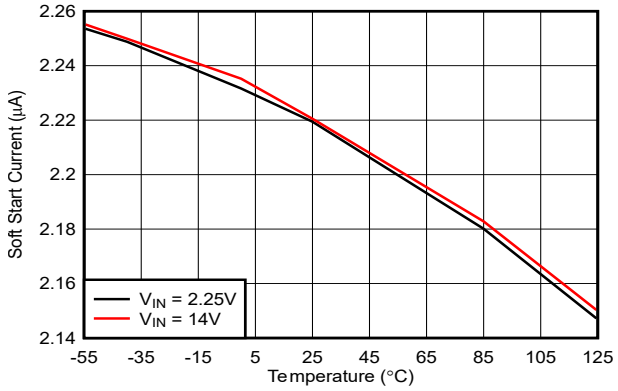
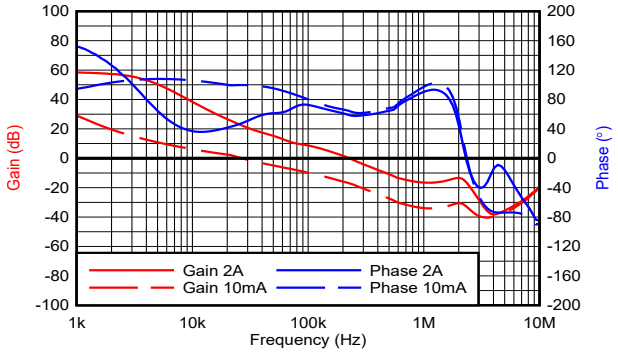
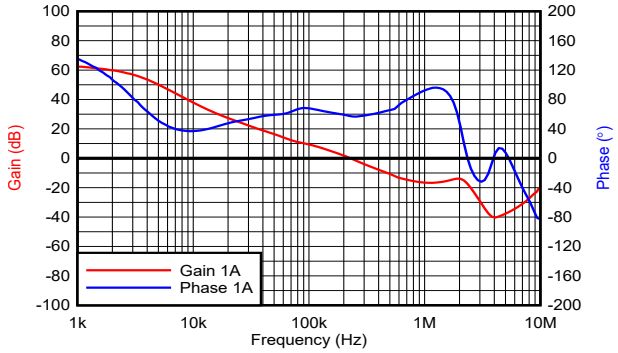


図 6-14. ソフトスタート電流と温度との関係



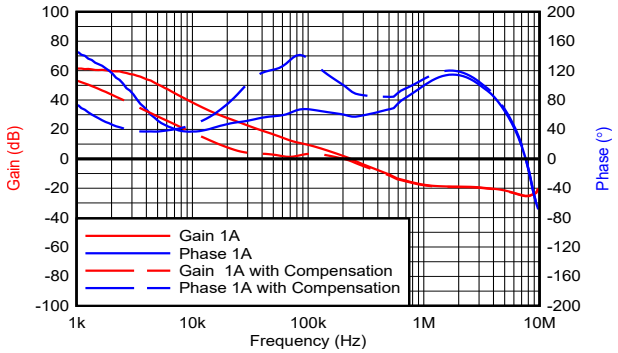
C_{OUT1} = 47µF　C_{OUT2} = 1µF　C_{OUT3} = 0.1µF
GM_{2A} = 17dB　GM_{10mA} = 32dB
PM_{2A} = 58º　PM_{10mA} = 100º

図 6-15. ゲインおよび位相マージンと周波数との関係 (ボード線図)



C_{OUT1} = 47µF　C_{OUT2} = 1µF　C_{OUT3} = 0.1µF
GM_{2A} = 17dB
PM_{2A} = 58º

図 6-16. ゲインおよび位相マージンと周波数との関係 (ボード線図)



C_{OUT} = 47µF　補償を使用する場合:
GM_{1A} = 24dB　GM_{COMP} = 25dB　R_{COMP} = 20kΩ
PM_{1A}= 60º　PM_{COMP}= 101º　C_{COMP} = 1nF

図 6-17. ゲインおよび位相マージンと周波数との関係 (ボード線図)

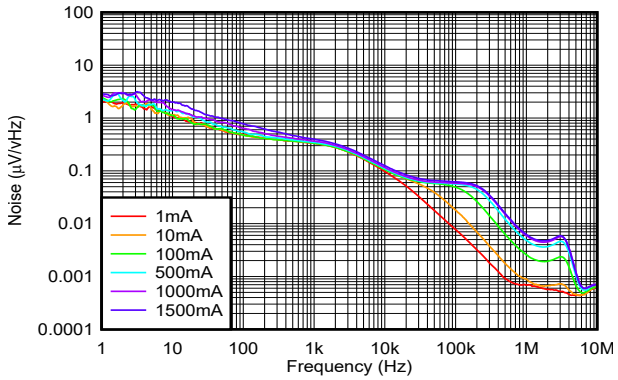
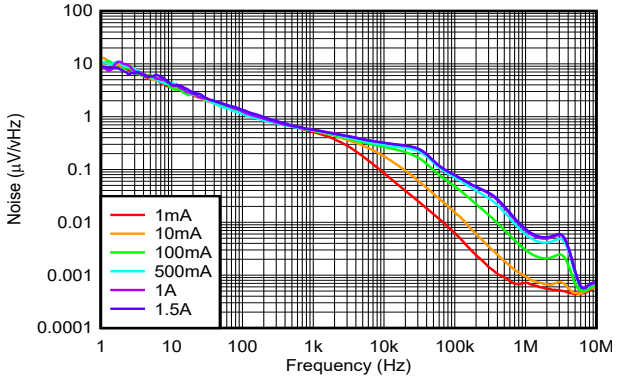


図 6-18. さまざまな電流における出力ノイズと周波数との関係 (ノイズ スペクトル密度)

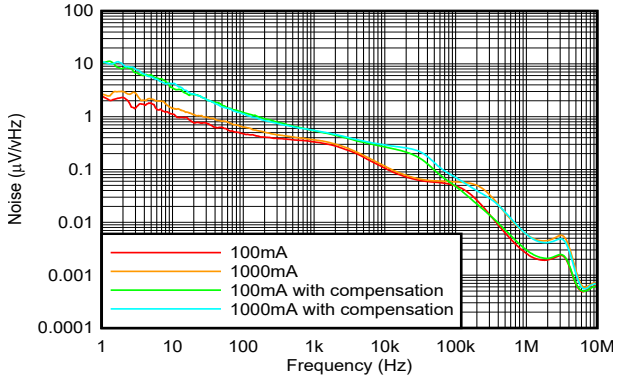
6.7 代表的特性 (続き)

V_{IN} = 5V、V_{OUT} = 3.3V、T_A = 25°C、C_{SS} = 5.6nF、C_{OUT} = 47µF (TBME476K025LBLC0) の条件で、外部補償ネットワークを使用する場合は、セクション 8.2 に示す構成が適用されます。特に記載がない限り、R_{COMP} および C_C は使用されません。



C_{COMP} = 1nF　　R_{COMP} = 20kΩ

図 6-19. さまざまな電流における出力ノイズと周波数との関係 (ノイズ スペクトル密度)



補償を使用する場合:

C_{COMP} = 1nF　　R_{COMP} = 20kΩ

図 6-20. 出力ノイズと周波数との関係、外部補償の比較 (ノイズ スペクトル密度)

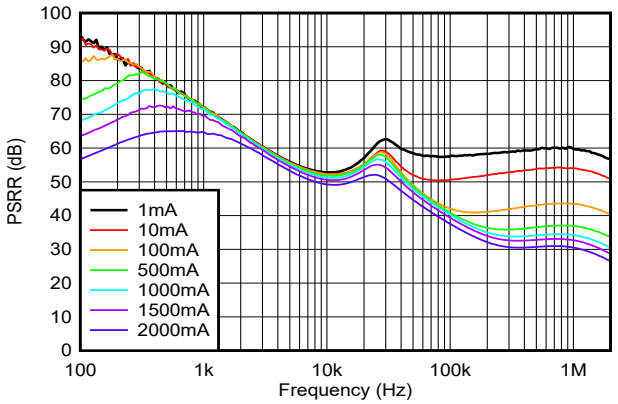
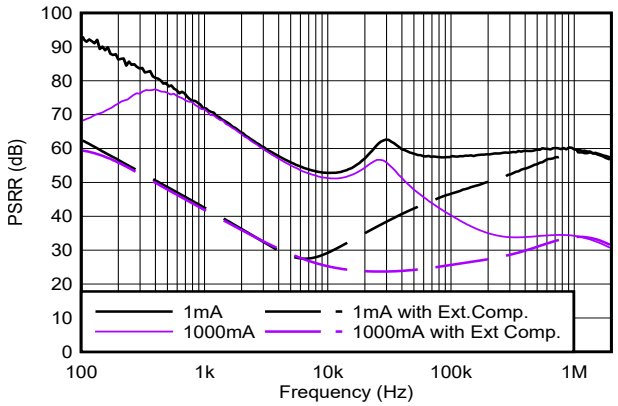


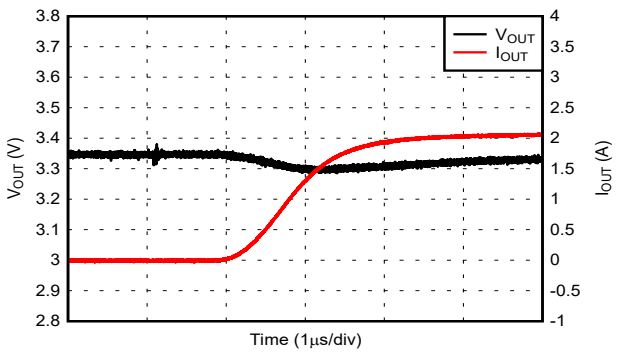
図 6-21. さまざまな電流における PSRR と周波数の関係



補償を使用する場合:

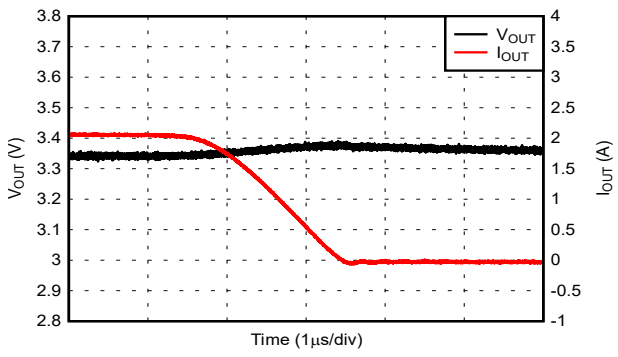
C_{COMP} = 1nF　　R_{COMP} = 20kΩ

図 6-22. PSRR と周波数との関係、外部補償の比較



スルーレート = 1A/µs

図 6-23. 負荷ステップ : VIN = 5V の条件で、電流範囲は 0A～2A



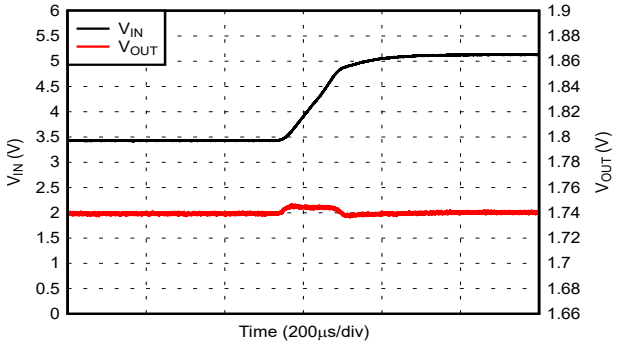
スルーレート = 1A/µs

図 6-24. VOUT = 5V の条件で、負荷ステップは 2A から 0A

Copyright © 2025 Texas Instruments Incorporated

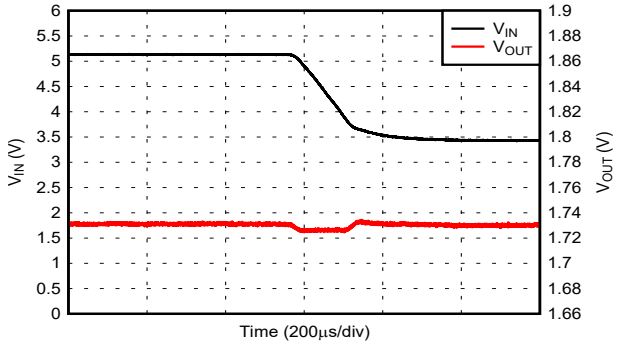
6.7 代表的特性 (続き)

V_{IN} = 5V、V_{OUT} = 3.3V、T_A = 25°C、C_{SS} = 5.6nF、C_{OUT} = 47µF (TBME476K025LBLC0) の条件で、外部補償ネットワークを使用する場合は、セクション 8.2 に示す構成が適用されます。特に記載がない限り、R_{COMP} および C_C は使用されません。



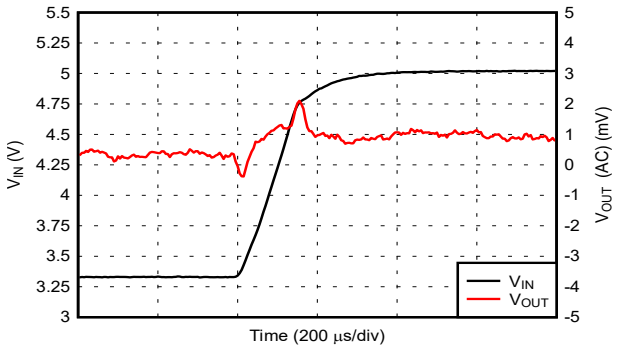
スルーレート= 10V/ms

図 6-25. ライン ステップ : 3.3V～5V、I_{OUT} = 1.8A



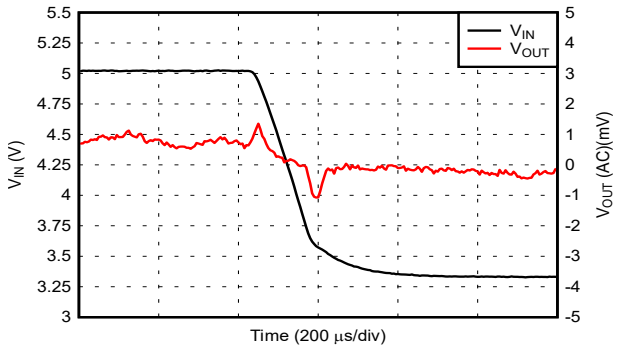
スルーレート= 10V/ms

図 6-26. ライン ステップ : 5V～3.3V、I_{OUT} = 1.8A



スルーレート= 10V/ms

図 6-27. ライン ステップ : 3.3V から 5V AC 結合

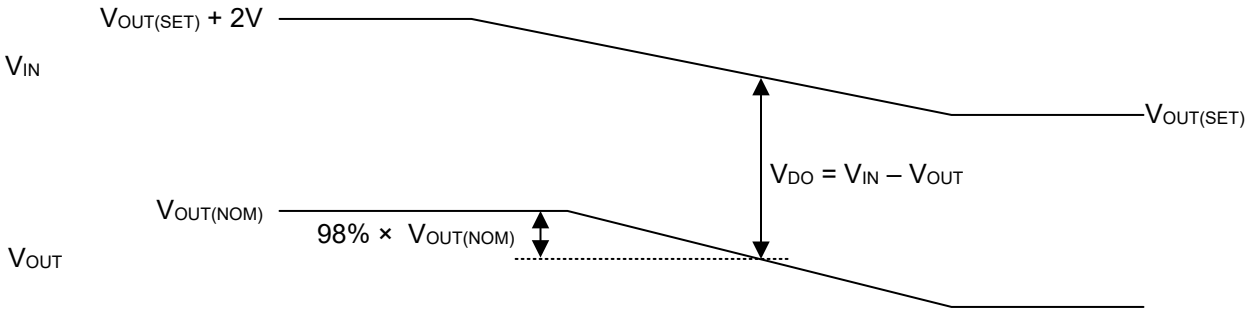


スルーレート= 10V/ms

図 6-28. ライン ステップ : 5V から 3.3V AC 結合

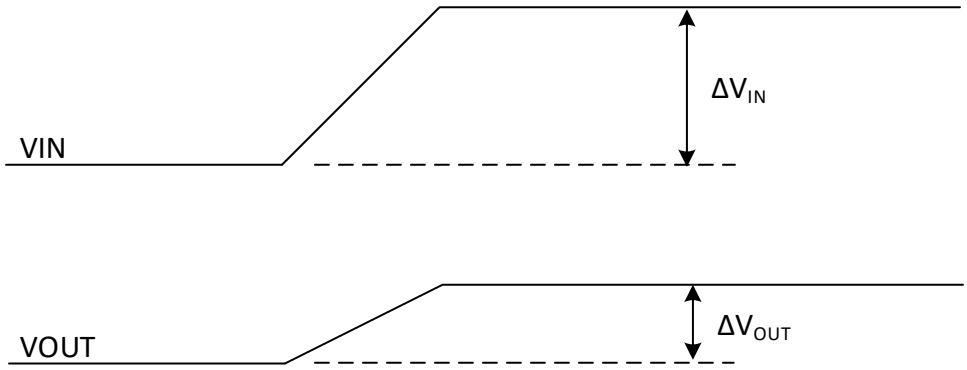
Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報



A. $V_{OUT\ (SET)}$ は、帰還抵抗を使用したレギュレータの構成された出力電圧で、$V_{OUT\ (NOM)}$ は測定された出力電圧です。V_{IN} は出力より 2V 高い値 (最大 14V に制限) に設定され、出力電圧設定点 ($V_{OUT(SET)}$) まで下げられます。V_{OUT} が公称値 ($V_{OUT\ (NOM)}$) の 98% まで低下すると、ドロップアウト電圧が記録されます。

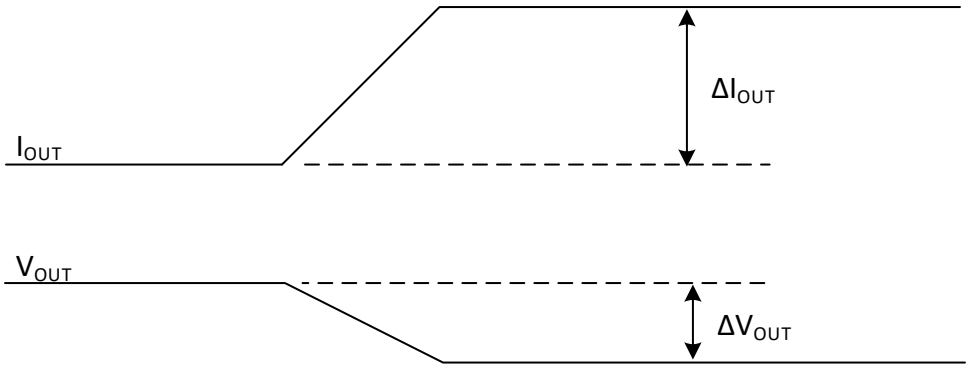
図 7-1. ドロップアウト



A. $\Delta V_{OUT} / \Delta V_{IN}$ = 100µV/V (標準値)。これは、V_{IN} が 1V 変化すると (ΔV_{IN} = 1V)、V_{OUT} が 100µV 変化する (ΔV_{OUT} = 100µV) ことを意味します。ライン レギュレーションは DC パラメータであるため、この波形は過渡がなくなった後、または V_{IN} のスルーレートが遅い場合にのみ有効であると考える必要があります。

図 7-2. ライン レギュレーション

Copyright © 2025 Texas Instruments Incorporated



A. ΔV_{OUT} / ΔI_{OUT} = 4mV/A (標準値)。これは、I_{OUT} が 1A 変化すると (ΔI_{OUT} = 1A)、V_{OUT} が 4mV 変化する (ΔV_{OUT} = 4mV) ことを意味します。ロード レギュレーションは DC パラメータであるため、この波形は過渡がなくなった後、または I_{OUT} のスルーレートが遅い場合に有効であると考える必要があります。

図 7-3. ロード レギュレーション

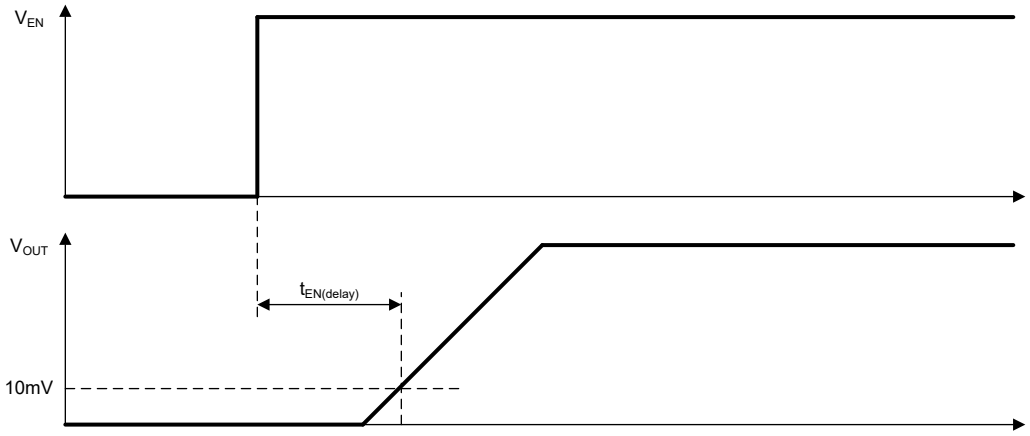


図 7-4. イネーブル伝搬遅延

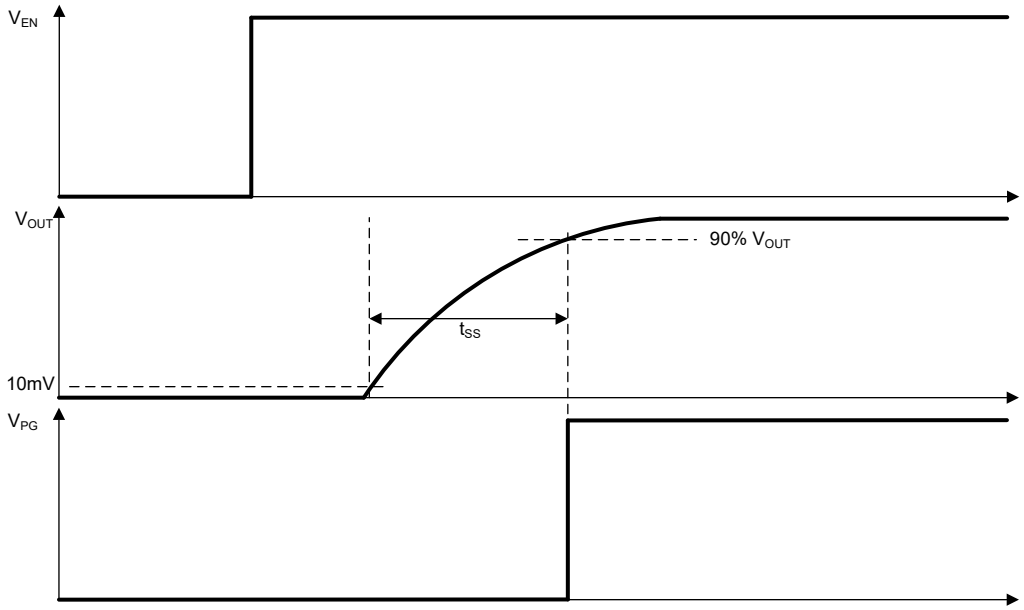


図 7-5. ソフト スタート時間

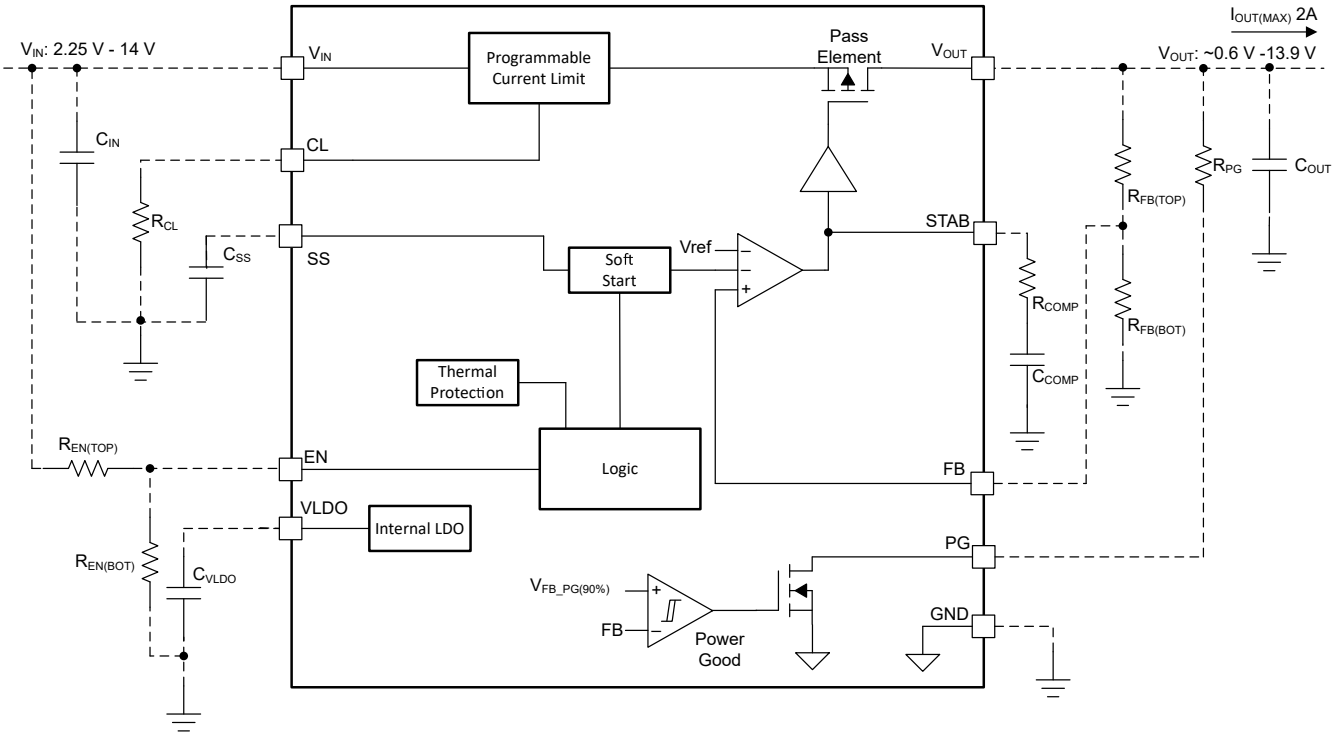
Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS7H1121 (TPS7H1121-SP および TPS7H1121-SEP) は、広い入力電圧範囲で動作する放射線耐性低ドロップアウト リニア レギュレータ (LDO) です。TPS7H1121 は、2.25V ～ 14V の入力に対して最大 2A を供給できる PMOS パス素子を使用して、宇宙環境でのデバイスへの電力供給に最適化されています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 可変出力電圧 (フィードバック回路)

TPS7H1121 の出力電圧は、0.6V ～ 13.9V の範囲でユーザーがプログラマブルなレベルに設定できます。V_{OUT}、FB、GND 端子の間に接続された抵抗分圧回路を使用することで、この目標を実現します。V_{OUT} と V_{FB} の間に R_{TOP} を接続し、V_{FB} と GND の間に R_{BOTTOM} を接続します。

式 5 を使用して、V_{OUT} を決定します。

$$V_{OUT} = \frac{\left(R_{FB(TOP)} + R_{FB(BOT)}\right) \times V_{FB}}{R_{FB(BOT)}} \quad (1)$$

ここで、

- V_{FB} = 0.596V (代表値)

8.3.2 イネーブル

イネーブル ピンが Low の場合、デバイスはシャットダウン モードに入り、出力電圧のレギュレーションを行いません。通常、V_{IN} と GND の間に外付け分圧抵抗を使用して EN を供給します。$V_{EN\ (rising)}$ スレッショルドと V_{IN} UVLO、2V (標準値) を超えると、レギュレーションが開始されます。

Copyright © 2025 Texas Instruments Incorporated

V_{IN} が推奨動作レベルである 7V を下回っている場合、イネーブル ピンを V_{IN} に直接接続できます。イネーブル ピンに高い電圧レベルを供給する場合、単純な分圧器を適用できます。目的のターンオン電圧での抵抗のサイズに関するガイダンスについては、式 2 を参照してください。

$$V_{IN(rising)} = V_{EN(rising)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (2)$$

同様に、$V_{IN(falling)}$ 電圧も式 3 を使用して計算できます。$V_{IN(rising)}$ と $V_{IN(falling)}$ は、構成可能な UVLO (低電圧誤動作防止) スレッショルドと考えることができます。

$$V_{IN(falling)} = V_{EN(falling)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (3)$$

TPS7H1121 は V_{EN} が 0.6V (代表値) で動作を開始しますが、最終的な電圧値は 0.8V 以上とすることが推奨されています。これは、通常動作中にイネーブルのスレッショルドに対して十分なマージンを確保し、重イオン曝露時の SEFI を防止するためです。この推奨事項は、式 4 を満たすことで達成されます。

$$V_{IN(final)} \times R_{EN_BOT} / (R_{EN_TOP} + R_{EN_BOT}) = V_{EN(final)} > 0.8V \quad (4)$$

また、EN ピンはマイコンや FPGA から直接駆動することもできます。イネーブル ピンの電圧スレッショルドは低いため、1.1V、1.8V、2.5V、3.3V のロジック レベルをサポートできます。同様に、ロジック レベルを直接駆動するために 0.8V を超える最終的な V_{EN} を推奨します (これは通常、標準ロジックレベルで簡単に達成できます)。

8.3.3 ドロップアウト電圧 V_{DO}

ドロップアウト電圧 V_{DO} は、指定された電流において出力電圧が初期値の 98% まで低下した時の、入力電圧と出力電圧の差 ($V_{IN} - V_{OUT}$) として定義されます。を参ドロップアウトの測定に使用されるテスト波形については図 7-1 を参照してください。V_{IN} の値が低いほどドロップアウト電圧は高くなります。そのため、ドロップアウト電圧は電気的特性のさまざまな条件で規定されています。

ドロップアウトでは、パス トランジスタはオーム領域または三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

V_{IN} が 3V 未満の場合、3V ～ 14V の V_{IN} 範囲に存在するヘッドルームよりも小さなエラー アンプで動作します。ヘッドルームの低下により、V_{IN} 電圧が 3V 未満のときのドロップアウト電圧が高くなります (標準的なドロップアウト性能のグラフ 図 6-1 から図 6-6 を参照)。

8.3.4 出力電圧精度

TPS7H1121 は、LDO の固有誤差を最小限に抑えるために不可欠な高精度基準電圧を備えています。

出力電圧精度では、期待される公称出力電圧に対する最小および最大出力電圧誤差が規定されます。電気的特性表の精度仕様には、2 つの動作領域が示されています。1 つは V_{IN} が 3V を上回る領域と、V_{IN} が「低入力」電圧領域 ($2.25V \le V_{IN} \le 3V$) 内にある領域です。

±1.5% の仕様は、–55°C から 125°C までの全温度範囲、および $3V \le V_{IN} \le 14V$ の入力電圧範囲にわたって、消費電力が 3W 以下で、かつ $10mA \le I_{OUT} \le 2A$ の全負荷範囲において適用されます。

V_{IN} が 3V ($2.25V \le V_{IN} \le 3V$) を下回ると、出力電圧精度は ±1.8% に調整されます。

測定に関する追加の詳細は、次のとおりです。

- V_{IN}、I_{OUT}、温度の範囲は、この仕様がすべての負荷および温度の組み合わせに適用されることを意味します。これは、さまざまなコーナーを網羅する複数のバイアス条件をテストすることにより達成されています。
- セクション 6.5 の脚注 3 は、測定時の消費電力制限で最大 3W に制限されていることを示しています。これは、テスタの熱的制限によるものです。
- より堅牢な測定精度を実現するため、テスト条件では 0mA ではなく 10mA の最小値が規定されています。ただし、通常のアプリケーションでは、TPS7H1121 デバイスに安定性のための最小負荷電流はありません

Copyright © 2025 Texas Instruments Incorporated

- 以下の誤差要素は、V_{ACC} パラメータに本質的に含まれているため、V_{ACC} 仕様にこれらの誤差項を含めることは TI は推奨していません:
  - V_{FB} の精度
  - $\Delta V_{OUT}/\Delta V_{IN}$ (ライン レギュレーション)
  - $\Delta V_{OUT}/\Delta I_{OUT}$ (ロードレギュレーション)
  - V_{OUT} tempco
- 規定許容誤差などの帰還抵抗による誤差は、V_{ACC} 仕様に追加できます。
- 精度テストでは、R_{TOP} は 4.53kΩ に固定されています。より値の大きい抵抗を使用すると、I_{FB} リークによる誤差が増加します。これは通常は無視できる程度ですが、精度の計算にこの要素を含めることもできます。
- 精度を決定する方法の詳細については、セクション 9.2.2.2 を参照してください。

8.3.5 出力ノイズ

LDO ノイズは、半導体回路内で発生する内部起因の固有ノイズとして定義されます。TPS7H1121 の出力ノイズは標準値 35μV_{RMS} です。

外部補償ネットワークを STAB ピンに接続すると、ループ帯域幅が低下する場合があります。その結果、内部回路による内部ノイズの低減能力が弱まります。図 6-20 に、外部補償回路のありとなしで構成した場合のノイズ性能の違いを示します (注:R_{Comp} = 20kΩ、C_{Comp} = 1nF)。

8.3.6 電源電圧変動除去比 (PSRR)

TPS7H1121 の PSRR (電源除去比) は、V_{IN} での入力ノイズが出力 V_{OUT} に達するまでに減衰される量です。PSRR は数学的には式 5 で定義されます。

$$\text{PSRR} = 20 \times \log_{10}\left(\frac{V_{IN(AC)}}{V_{OUT(AC)}}\right) \quad (5)$$

入力ノイズは通常、アップストリーム コンバータのスイッチング リップルが最大の要素です。このノイズは、スイッチング周波数と関連する高調波で発生します。

外部補償回路を使用し、ループ帯域幅が低下すると、全体的な PSRR も低下します。図 6-22 は、適用される補償回路によってループ帯域幅が狭くなってもシステムの安定性が向上する (R_{Comp} = 20kΩ、C_{Comp} = 1nF) 、代表的なアプリケーションでのトレードオフを示します。

8.3.7 ソフト スタート

SS 端子と GND の間にコンデンサ (C_{SS}) を接続すると、出力電圧のランプレートが低下します。ソフトスタート コンデンサは、最大 0.6V の充電を行います。式 6 はユーザ指定のソフトスタート時間 t_{SS} により、必要なソフトスタート コンデンサの値 C_{SS} を決定します。

$$C_{SS} = \frac{t_{SS} \times I_{SS}}{V_{REF}} \quad (6)$$

ここで、

- t_{SS} = ソフト スタート時間
- I_{SS} = 2µA (代表値)
- V_{REF} = 0.6V (代表値)

ソフトスタート電流と温度性能との関係については、代表的なグラフ図 6-14 を参照してください。

8.3.8 パワー グッド (PG)

パワー グッド端子はオープン ドレイン接続で、複数の LDO のシーケンスに使用できます。PG 端子は、出力電圧が最終レベルの 95% (標準値) に達するまで、Low になります。この時点で、外部分圧抵抗を介して PG ピンがプルアップされます。PG ピンはオープン ドレインであるため、電気的特性に示した推奨最大電圧 (7V) を超えない限り、任意の電圧にプルアップできます。

Copyright © 2025 Texas Instruments Incorporated

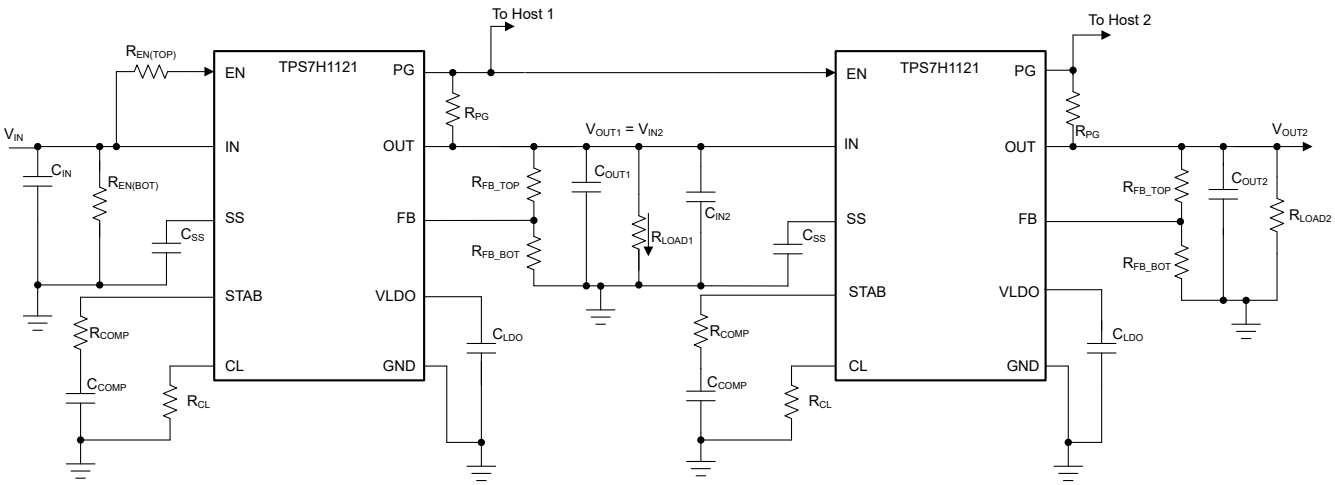


図 8-1. シーケンス型パワー グッド

8.3.9 安定性

8.3.9.1 安定性

宇宙用デバイスにおける従来の安定性マージン (ゲイン マージン ≥ 6dB、位相マージン ≥ 50° など) は、産業機器や民生用電子機器に比べて、より厳しいことが多くあります。TPS7H1121 は、付属の STAB ピンを外部補償に使用しなくても、6dB のゲイン マージンと 50° の位相マージンを維持しながら、22µF～220µF の範囲 (一般的な値) にある宇宙用出力コンデンサに対応できるよう設計されています。

TPS7H1121 の高い固有安定性に加えて、STAB ピンを使用することで、エラー アンプ出力に直接接続された外部 RC 補償ネットワークを挿入することができます。図 8-2 に示すこのアーキテクチャは、パス素子のバッファの前に外部補償ネットワークを直接挿入する方法を示しています。これにより、挿入された RC 補償回路の効果が最大限に発揮されます。

このように高い有効性を持つ外部補償ネットワークにより、TPS7H1121 のエンドユーザーは詳細な安定性解析を実施し、適用する出力負荷に対する安定性マージンを拡大することができます。さらに、最小 6.8µF の出力コンデンサを柔軟に使用できると同時に、低 ESR のコンデンサを柔軟に管理できます。

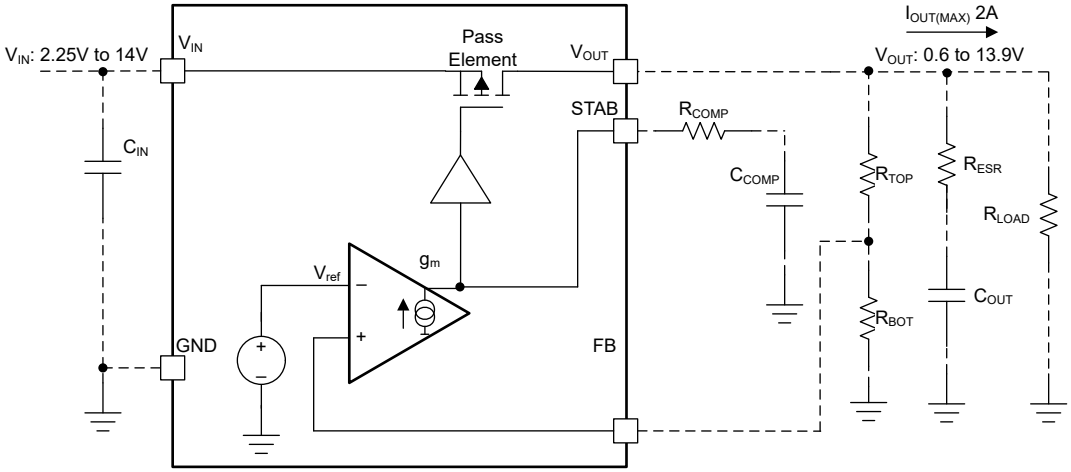


図 8-2. 補償の概略回路図

8.3.9.2 STAB ピン

TPS7H1121 の STAB (安定性) ピンは、コントローラのエラー アンプに直接アクセスできるように設計されています。LDO の制御回路に組み込むことで、LDO の安定性解析を詳細に行い、その安定動作を微調整することが容易になります。

Copyright © 2025 Texas Instruments Incorporated

TPS7H1121 は広いエンベロープを持っており、標準的なゲイン マージンと位相マージンは 6dB および 50 度を超えています (出力容量は 22µF ≤ C_{OUT}≤ 220µF の範囲)。しかし、R_{COMP} および C_{COMP} ネットワークを利用する STAB ピンを使用して外部補償が行われ、必要に応じて TPS7H1121 の安定性性能をさらに最適化できます。TI では、低 C_{OUT} アプリケーションや、最大の安定マージンが必要な特別な懸念が発生した場合には、外部ネットワークを適用することを推奨します。タイプ II と タイプ III の補償の実装方法の詳細については、セクションセクション 9.2.2.9 または DC/DC コンバータ用オペアンプと OTA を使用したタイプ II とタイプ III 補償器の説明をご覧ください。

8.3.10 電流制限をプログラム可能

図 8-3 に、ブリックウォール電流制限 (定電流制限) を示します。このモードでは、I_{PCL} に達し、電流制限回路に応答する時間がある場合、TPS7H1121 LDO は定電流レギュレーション モードに入ります。つまり、出力電流を I_{LIM} に維持するのに必要な値まで出力電圧が降下します。故障が解消されると、デバイスはレギュレーションを再開します。

ブリックウォール電流制限時に発生する高い電力損失により、TPS7H1121 がサーマル シャットダウンに入る可能性があります。サーマル シャットダウンが発生すると、TPS7H1121 は十分に冷却されてシャットダウン状態を解除するまでレギュレーションを停止します。

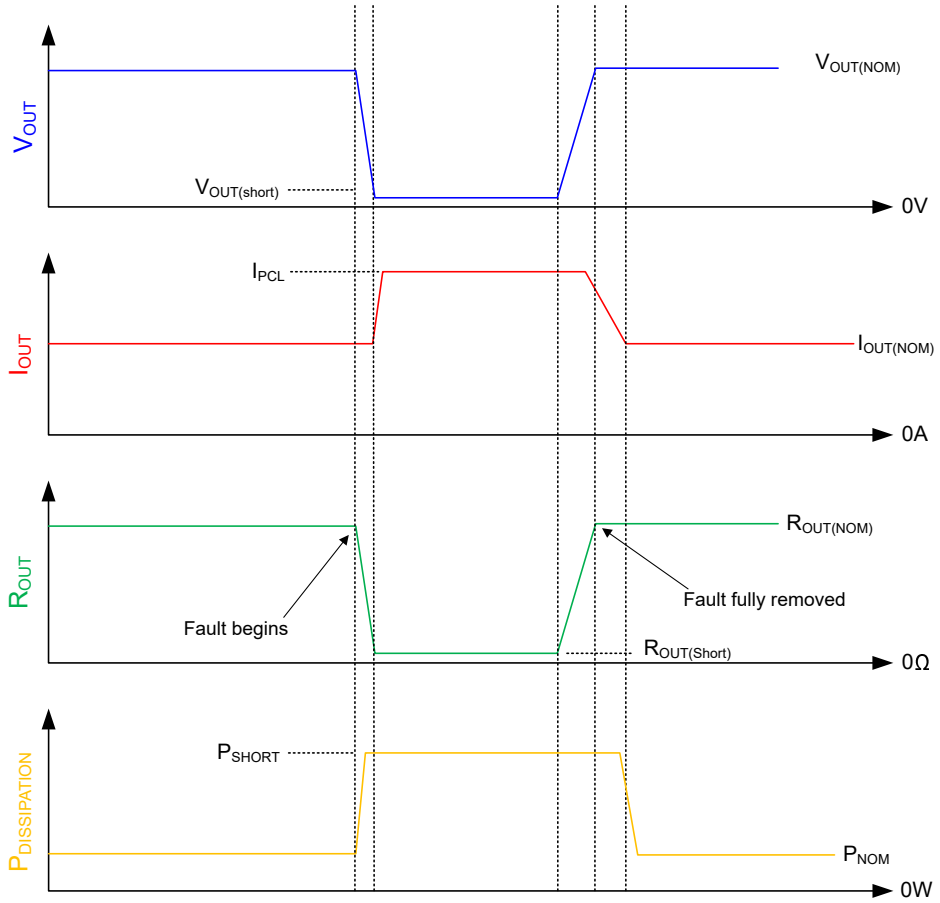


図 8-3. ブリックウォール電流制限波形の概略図

プログラム可能な電流制限の精度は、負荷電流の増加に伴って厳格になります。表 8-1 に、標準的な精度で推奨される E96 の値を示します。

電流制限の精度が規定されるなら、プログラム可能な電流制限抵抗 R_{CL} は、精度電流制限回路の負の部分に対応できるように選択する必要があります。さらに、通常動作中に電流制限が作動するのを防ぐために、20% のヘッドルーム マージンを設けることが推奨されています。たとえば、定格負荷が 1A のアプリケーションでは、最小プログラマブル電流制限

Copyright © 2025 Texas Instruments Incorporated

設定を 1.4A / 97.6kΩ にすることができます。97.6kΩ に設定されたプログラマブル電流制限は -25% の負の精度誤差を持つため、最小介入電流制限値は 1.05A となります。

たとえば、公称負荷が 1A のアプリケーションでは、最小介入電流が 1.2A にすることを推奨します。これにより、公称電流制限は 1.6A になります。このため、80.6kΩ の負精度が–25 % の R_{CL} 設定なら、最小介入電流制限は 1.2A になります。これは、推奨される 20% のヘッドルームに準拠しています。

表 8-1. 推奨電流制限設定用抵抗

セラミック、パッケージ指定:HFT22			プラスチック、パッケージ指定:PWP24		
プログラマブル電流制限設定値 (A)	E96 (kΩ)	精度	プログラマブル電流制限設定値 (A)	E96 (kΩ)	精度
0.32	442	±35%	0.35	442	±50%
0.4	392		0.4	383	
0.5	332		0.5	301	
0.6	267	±30%	0.6	243	±40%
0.7	205		0.7	210	
0.75	174		0.8	182	
0.8	169		0.835	176	
0.9	158		0.9	158	
1	143		1	143	
1.1	133	±25%	1.1	127	±30%
1.2	121		1.2	115	
1.3	110		1.3	107	
1.4	97.6		1.4	97.6	
1.5	88.7		1.5	90.9	
1.55	82.5		1.6	84.5	
1.6	80.6		1.66	82.5	
1.7	78.6		1.8	75	
1.8	75		1.9	71.5	
1.9	71.5		2	66.5	
2	69.8		2.1	63.4	
2.1	66.5	±20%	2.2	60.4	±25%
2.2	63.4		2.3	57.6	
2.3	60.4		2.4	54.9	
2.4	57.6		2.5	52.3	
2.5	54.9		2.6	49.9	
2.6	52.3		2.7	48.7	
2.7	49.9		2.8	46.4	
2.8	46.4		2.9	45.3	
2.9	44.2		3	43.2	
3	41.2		3.15	41.2	

8.3.11 サーマル シャットダウン

TPS7H1121 のサーマル シャットダウン温度制限を超えると、ダイ温度が $T_{SD(enter)}$ を超えると、内蔵のサーマル シャットダウン回路がアクティブになり、デバイス電源がオフになります。ダイ温度が $T_{SD(exit)}$ を下回ると、デバイスはレギュレーションを再開します。160℃の $T_{SD(enter)}$ と 130℃の $T_{SD(exit)}$ の標準値には、大きなヒステリシスがあります (30℃ の標準値)。大きなヒステリシスは、デバイスがレギュレーションを再開する前に十分に冷却できるようにするためのものです。

Copyright © 2025 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 イネーブル / ディスエーブル

以下の表にデバイスの機能モードを示します:

表 8-2. デバイスの機能モード

EN ピン	デバイス ステータス
High	レギュレーション モード
Low	シャットダウン モード

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H1121-SP LDO リニアレギュレータは、宇宙環境アプリケーション向けです。このレギュレータは、低ドロップアウト、ソフトスタート、出力電流制限、、STAB ピンを介したエラー アンプへのアクセスなど、さまざまな機能を備えています。

9.2 代表的なアプリケーション

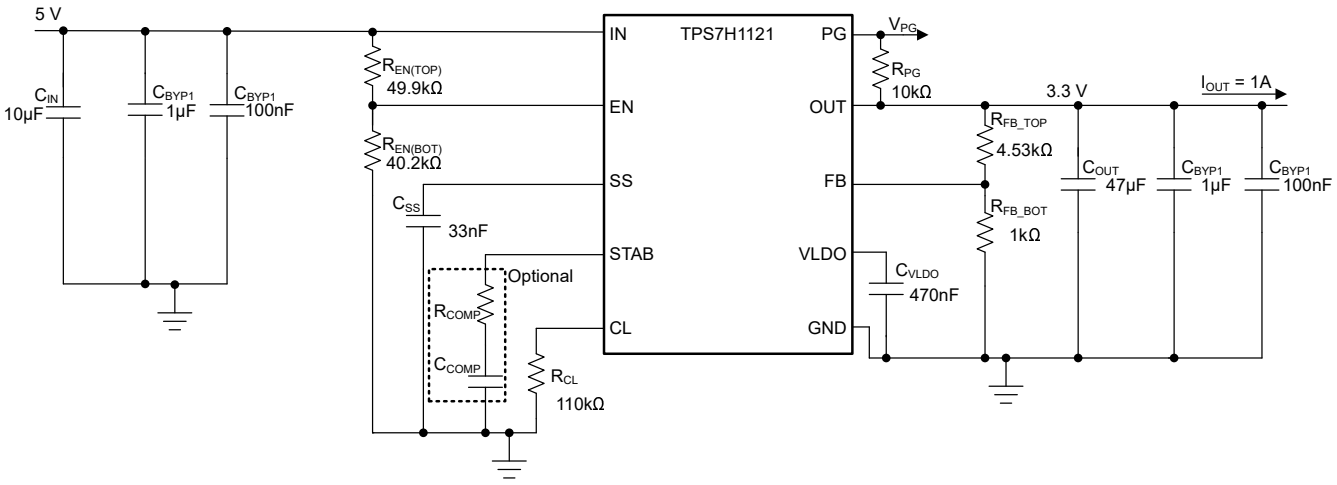


図 9-1. アプリケーション回路図

9.2.1 設計要件

この例では、評価基板を基にした TPS7H1121 の設計を示しています。詳細については、EVM ユーザー ガイド *TPS7H1121EVM-CVAL 評価基板 (EVM) ユーザー ガイド* (SLVUCX9)を参照してください。設計プロセスを開始するには、いくつかのパラメータを知っている必要があります。これらのパラメータは一般に、システム レベルで決定されます。この例では、次の既知のパラメータから始めます:

表 9-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	5V ± 5%
出力電圧	3.3V ± 5%
最大出力電流	1 A (標準値)
$V_{IN(turn\text{-}on\ threshold)}$	1.35V (標準値)
$V_{OUT(PG\ assertion\ threshold)}$	$V_{OUT(final)}$ (標準値) の 90%、2.97V
ソフト スタート、t_{SS}	10ms
最小位相マージン	50°
最大ゲイン マージン	6dB

Copyright © 2025 Texas Instruments Incorporated

9.2.2 詳細な設計手順

9.2.2.1 出力電圧構成

出力電圧は、式 1 を使用して構成されます。

したがって、$R_{FB\ (TOP)}$ = 1.01kΩ かつ $R_{FB\ (BOT)}$ = 4.53kΩ で 0.1% の帰還抵抗を選択します。公差 1% の抵抗を使用すると許容されますが、出力電圧の誤差は 1% に直接寄与します。

9.2.2.2 出力電圧精度

総合的な出力電圧精度を決定するには、電気的特性からのデバイス電圧精度 V_{ACC}、上側と下側の帰還抵抗 ($R_{FB\ (Top)}$、$R_{FB\ (BOT)}$) を参照してください。

$$\text{System}_{(\text{error})} = V_{ACC} + R_{(\text{error})} \tag{7}$$

入力電圧 V_{IN} が 3V を下回ると、出力精度性能が ±1.8% に拡大されるように、誤差アンプが少ないヘッドルームで動作します。この例では、V_{IN} が 3V を上回るため、標準 ±1.5% の精度を適用できます。

選択した 0.1% 帰還抵抗については、計算された誤差を式 8 に示します。これは、無相関の誤差を想定しており、抵抗の誤差の 2 乗和として誤差が追加されます。

$$R_{(\text{error})} = \sqrt[2]{\left(0.1^2 + 0.1^2\right)} = \pm 0.14\% \tag{8}$$

負と正のシステム誤差は、以下の式式 9 と式 10 に示すこの例の結果に加算されます。

$$\text{System}_{(\text{neg_error})} = -1.5\% + -0.14\% \tag{9}$$

$$\text{System}_{(\text{pos_error})} = 1.5\% + 0.14\% \tag{10}$$

以下の誤差を合計すると、精度は ±1.64% になります。

図 9-1 に、4.53kΩ の R_{TOP} 帰還抵抗と 1kΩ の R_{BOT} 帰還抵抗値を示します。4.53kΩ より小さい R_{TOP} を使用する場合、帰還電流 (I_{FB}) が帰還精度全体に及ぼす影響と変動を考慮します。

9.2.2.3 イネーブル スレッショルド

目的のターンオン スレッショルドは 2.25V です。つまり、V_{IN} 電源レールが投入されて電圧が上昇し始めると、V_{IN} が 2.25V に達した時点で TPS7H1121 の動作が開始されます。これは最終的なレギュレーションでは、V_{IN} から V_{OUT} へのヘッドルームでは十分ではありませんが、レギュレータが起動を開始し、V_{IN} は最終的な 5V の電圧まで進行します。必要に応じて、目的の電圧が 7V 未満であれば、より高い電圧のターンオン スレッショルド (3.5V など) を選択できます。

式 1 を使用し、$R_{EN(TOP)}$ の値として 49.9kΩ を選択すると、$R_{EN(BOT)}$ は式 11 に示すように計算されます。

$$R_{EN(BOT)} = \frac{V_{EN(\text{rising})} \times R_{EN(TOP)}}{V_{IN(\text{rising})} - V_{EN(\text{rising})}} = \frac{0.605\ \text{V} \times 49.9\ \text{k}\Omega}{2.25\ \text{V} - 0.605\ \text{V}} = 18.4\ \text{k}\Omega \tag{11}$$

E192 の抵抗値を使用して、$R_{EN\ (BOT)}$ に 18.4kΩ を選択します。

イネーブルの最大許容電圧に適合させるため式 4 を使用します。式 12 に示すように、$V_{EN\ (final)}$ = 1.35V で、推奨最大値 7V より低く、推奨される最小最終値である 0.8V を上回っています。

$$V_{EN(final)} = V_{IN(final)} \times \left(\frac{R_{EN(BOT)}}{R_{EN(BOT)} + R_{EN(TOP)}}\right) = \frac{5V \times 18.4k\Omega}{18.4k\Omega + 49.9k\Omega} = 1.35V \tag{12}$$

9.2.2.4 ソフトスタート コンデンサ

評価基板のソフトスタート時間 t_{SS} は 10ms に設定されています。ソフトスタート コンデンサの値は、式 6 で算出できます。

$$C_{SS} = \frac{20\ ms \times 2\ \mu A}{0.6\ V} = 33.3\ nF \quad (13)$$

したがって、ソフトスタート時間を設定するため、33nF のセラミック コンデンサを選択しています。

9.2.2.5 プログラム可能な電流制限抵抗

この評価基板には、電流制限設定抵抗が実装されており、I_{lim} = 3A を供給します。下限電流制限を構成するには、表 8-1 を参照してください。

9.2.2.6 熱制限を超える過電流イベントの特性評価

高出力の過電流イベントは、その継続時間、発生時の入力電圧と出力電圧、およびそのときに流れる電流によって特徴づけられます。このような大電力の過電流状況では、パス素子の消費電力が公称動作条件よりもはるかに大きくなります。特定の過電流条件に応じて、デバイスはサーマル シャットダウンに達するまで発熱します。ただし、特定の過電流イベントによっては、デバイスの発熱がサーマル シャットダウン回路が応答する場合よりも速くなることがあります。

表 8-1 は、目的の電流制限設定に対応する抵抗値と、指定された設定でのプログラム可能な電流制限の予測精度を規定します。

過電流状態の大きさは、VIN-VOUT 差動およびパルス幅の関数として強化されます (DC として評価される故障については、1s のパルスを使用できます)。入力と出力の電圧差、故障パルス幅、プログラマブルな電流制限設定を組み合わせることで、図 9-2 に示すように、推奨されるプログラム可能な電流制限保護領域が導かれます。この領域は、実験室の周囲条件 (TA = 25°C) の下で TPS7H1121 (セラミックおよびプラスチック パッケージ) の検証ハードウェアを使用して特性が規定されています。PCB のサーマルパッドの実効熱抵抗は、RTH (PCB) = 5°C/W と計算されます。この計算では、サーマル ビアの直径、間隔、基板層を考慮しています。デバイスが機能しなくなるまで、10ms、100ms、1s のパルス幅に印加された故障が適用されます。その後、曲線を決定するまで、後続のユニットでは、印加電圧とプログラムされた電流がより低く調整されます。

セラミック HFT パッケージの場合、20% の精度での最大電流制限は 3.6A で、絶対最大定格である 3.9A を下回っているため、3A が推奨されるプログラム可能な最大電流制限設定値です。

PWP24 (プラスチック) パッケージでは、プログラマブル最大電流制限の推奨設定値は 3.15A です。24% の精度で最大電流制限は 3.9A となり、絶対最大定格の 3.9A を満たしています。

ここに示す曲線は、想定される周囲温度、パッケージの熱抵抗、PCB の熱抵抗、および印加される短絡の性質に大きく依存します。以下の曲線は、使用された検証ハードウェアにのみ適用できます。

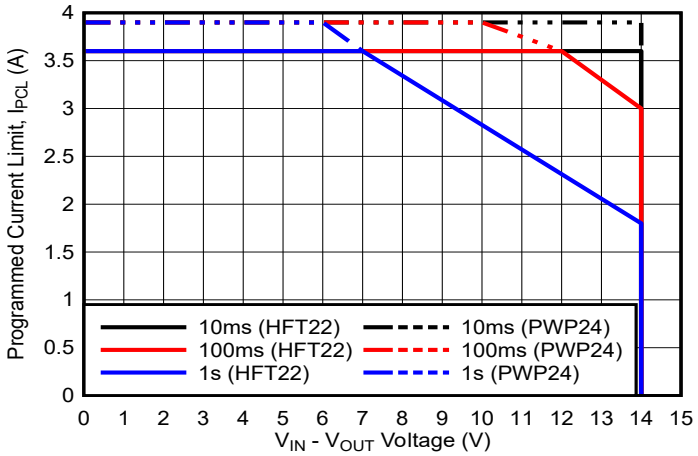


図 9-2. プログラマブル電流制限保護領域

9.2.2.7 パワー グッド プルアップ抵抗

TI は 10kΩ と 100kΩ の間にプルアップ抵抗を使用することを推奨します。この評価基板は 10kΩ で構成されています。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.8 コンデンサ

TPS7H1121 は、タンタル コンデンサとセラミック コンデンサを組み合わせて使用し、体積対容量比を良好に実現できます。表 9-2 に、サポート対象のコンデンサの一部を示します。TI は、出力電圧および動作温度に基づいてコンデンサ メーカーが推奨する適切なディレーティング ガイドラインに従うことを推奨します。

TI はバイパス コンデンサとして実装された 0.1µF および 1µF セラミック コンデンサとともに、ポリマまたはタンタル コンデンサを使用することを推奨します。このデバイスは、入力および出力側にタンタル、ポリマ、またはセラミック X7R コンデンサを使用した場合に安定して動作します。バルク容量が 6.8µF～880µF の範囲であれば対応可能です (一部の値では外部補償の使用により安定性が向上します)。ただし、デバイスの動的性能は、負荷条件、使用されるコンデンサの値 (ESR を含む) 、外部補償 STAB ピンの利用率によって異なります。TI は、バルク出力容量が 22µF 未満または 220µF を超える場合、安定した動作マージンを確保するために、STAB ピンに接続された外部補償ネットワークを使用することを推奨しています。TI は、ミッション プロファイル全体にわたって必要な安定性マージンが確保されていることを確認するために、綿密な安定性解析を実施することを推奨しています。

バルク出力コンデンサの ESR はシステムの安定性に大きく影響します。TPS7H1121 は、低 ESR のタンタルまたはポリマ表面実装コンデンサを使用した場合でも、十分なゲインおよび位相マージンを確保できるよう設計されています。セラミック コンデンサにも対応しています。ただし、セラミック コンデンサは出力容量および ESR が低いため、安定性目標を達成するには外部補償ネットワークが必要となる場合があります。

表 9-2. TPS7H1121 コンデンサ

コンデンサの型番	コンデンサの詳細 (コンデンサ、電圧、100kHz での ESR、ケース サイズ)	タイプ	メーカー
TES226K035	22µF、35V、43mΩ、7343	タンタル - MnO2	AVX
TBME476K025LBLC9	47µF、25V、65mΩ、7343	タンタル - MnO2	AVX
T540D227K010AH	220µF、10V、24mΩ、7343	タンタル - ポリマ	Kemet

9.2.2.8.1 ハイブリッド出力コンデンサ ネットワーク

TPS7H1121 の推奨事項は、タンタル バルク コンデンサとセラミック バイパス コンデンサを使用することです。タンタル コンデンサとセラミック コンデンサを組み合わせることで、ハイブリッド ネットワーク コンデンサが構成されます。適用する出力コンデンサ ネットワークの解析的な実装方法と評価手順については、アプリケーション レポート『ハイブリッド出力コンデンサを使用するときの負荷ポールと ESR ゼロの計算方法』(SLVAE26) を参照してください。

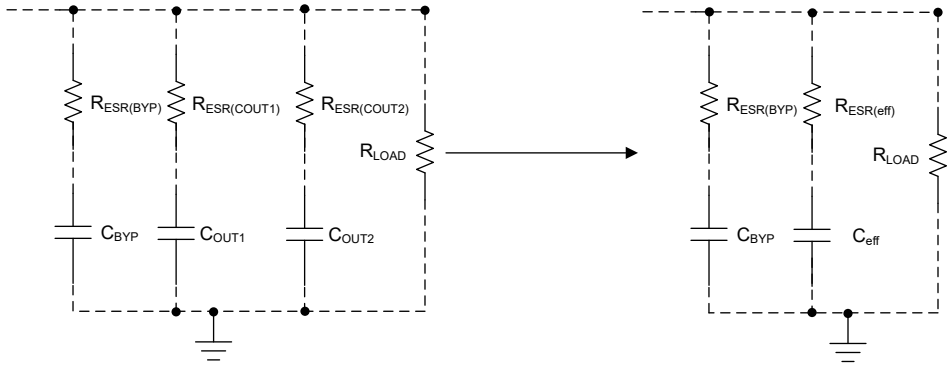


図 9-3. 推奨されるハイブリッド出力コンデンサ ネットワークの簡素化

出力コンデンサ ネットワークの解析的な分析を行う際は、同一仕様のコンデンサと、それに対応する寄生パラメータのみを組み合わせることを TI は推奨しています (同一仕様のタンタル コンデンサのみをまとめ、バイパス コンデンサとタンタル コンデンサは解析上区別して扱ってください)。上の図では、コンデンサ C_{OUT1} と C_{OUT2} は C_{eff} および R_{eff} の実効容量および ESR に結合されており、バイパスコンデンサ C_{BYP} は除外されています。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.9 周波数補償

オプションとし図 9-1 てに示すように STAB ピンに単純な RC 補償回路を適用すると、エンドユーザーはシステムの安定性の位相およびゲイン マージンを最適化できます。

この RC 補償回路の追加により、システムに 2 つのポールと 1 つのゼロが導入されます。第一に、より詳細な解析で近似できる低周波極が存在します。

補償極周波数 $f_{p\,(COMP)}$ は、式 14 を使用して概算されます。

$$f_{p(COMP)} = \frac{C_{COMP} + C_{OTA}}{2\pi \times R_{COMP} \times C_{COMP} \times C_{OTA}} \tag{14}$$

ここで、

- C_{OTA} = 100pF (標準値シミュレーション)

補償ゼロ周波数 $f_{z\,(COMP)}$ は、式 15 で概算されます。

$$f_{z(COMP)} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} \tag{15}$$

開ループ ゲイン A_{OL} は、式 16 で概算されます。

$$A_{OL} = g_{m(OTA)} \times R_{OTA} \tag{16}$$

ここで、

- $g_{m(OTA)}$ = 5mS (標準値シミュレーション)
- R_{OTA} = 220kΩ (代表値)

Copyright © 2025 Texas Instruments Incorporated

9.3 電源に関する推奨事項

このデバイスは、最大 14V の入力電圧で動作するように設計されています。最小入力電圧は V_{IN} UVLO、2V (標準値) を超え、デバイスがレギュレートされた出力を供給するために、ドロップアウト電圧より大きい十分なヘッドルームを確保する必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 最高の性能のためには、TI は、すべてのパターンをできるだけ短くすることを推奨しています。
- IN、OUT、および GND のトレースは広くし、寄生電気効果を最小限に抑えます。
- バルク出力コンデンサ (通常はタンタルまたはタンタル ポリマ) は、デバイスの OUT ピンの近くに配置します。
  - セラミック出力コンデンサを使用する場合は、負荷ポイントの近くにコンデンサを配置します。

9.4.2 レイアウト例

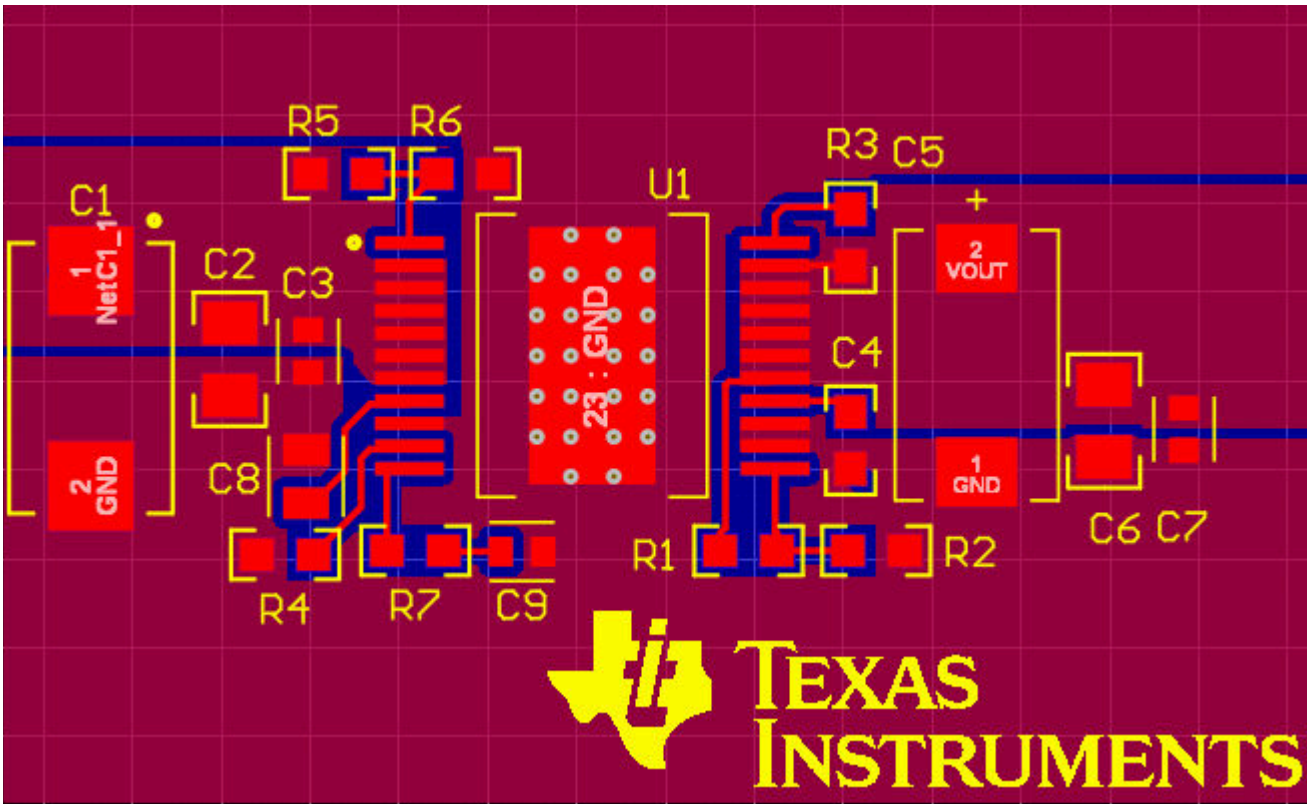


図 9-4. プリント基板のレイアウト例

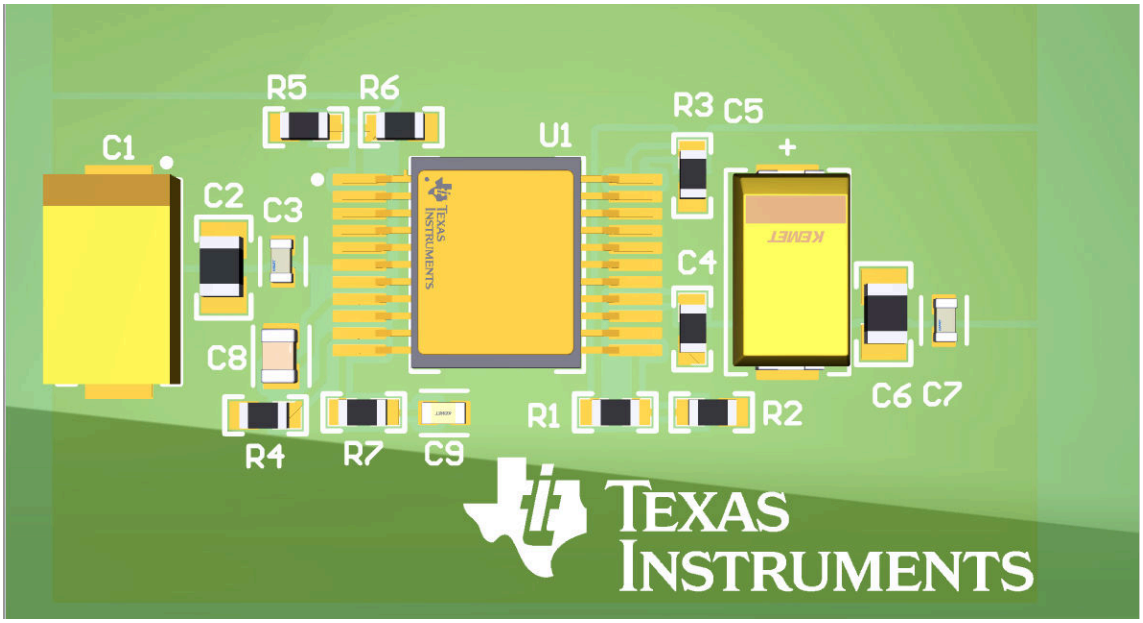


図 9-5. プリント基板のレイアウト例：3D ビュー

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*TI エンジニアリング評価ユニットと MIL-PRF-38535 QML クラス V 処理プロセシングの関係*
- テキサス インスツルメンツ、*DC/DC コンバータ用オペアンプと OTA を使用したタイプ II とタイプ III 補償器の説明*
- テキサス インスツルメンツ、*TPS7H1121EVM-CVAL 評価基板 (EVM)*
- テキサス インスツルメンツ、*ハイブリッド出力コンデンサを使用した場合の負荷ポールと ESR ゼロの計算方法*
- テキサス インスツルメンツ、『*TPS7H1121-SEP 評価基板ユーザー ガイド*』

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2025) to Revision C (November 2025) **Page**

- 小規模な文法および表現を更新 1
- TPS7H1121-SEP のステータスを詳細情報から量産データに変更。 1
- デバイスオプション表の注文可能型番 TPS7H1121-SEP の「事前情報」の注記を削除。表を「デバイス オプション」から「デバイス比較表」に変更。部品評価ページへのリンクを追加しました。 3
- 機能ブロック図パワー グッド FET を NMOS FET に更新 19
- 構成可能なターンオンに関する UVLO の考慮事項を追加。 19
- 出力電圧精度の計算に対する帰還抵抗の寄与に関する追加のガイダンスを追加。 20
- ソフトスタート式の V_{REF} の値を 0.6V に訂正 21
- 設計例のソフトスタート時間を 10ms に変更 26
- 設計例のターンオン スレッショルドを 2.25V に変更。 27
- ソフトスタート式の V_{REF} の値を 0.6V に訂正 27
- セラミックおよびプラスチック パッケージで使用された検証用ハードウェアに対して、これらのカーブが有効であるためセラミック ハードウェアに関する特定の記述を削除。 28
- 式 14 の誤字を訂正、分母に C_{OTA} を追加 30
- 最小入力電圧に V_{IN} UVLO が含まれるという追加情報を追加。 31
- TPS7H1121-SEP 評価基板ユーザー ガイドへのリンクを追加。 33

Changes from Revision A (September 2024) to Revision B (June 2025) **Page**

- 「製品プレビュー」から「詳細情報」に TPS7H1121-SEP のステータスを変更。 1
- パッケージ タイプに基づいて電流制限仕様を分離を追加 6
- TPS7H1121-SEP 用の推奨電流制限抵抗設定値と、計算式を追加。 23
- PWP24 パッケージのプログラム可能な電流制限領域を追加 28

Changes from Revision * (May 2024) to Revision A (September 2024) **Page**

- TPS7H1121-SP の QMLV を「事前情報」から「量産データ」に変更 1
- 「デバイスの情報」表の部品番号 5962R2320301VXC の製品プレビューを削除。 1
- デバイス オプション表に記載されている注文可能部品番号 5962R2320301VXC の「製品のプレビュー」の注記を削除 3
- イネーブルのスレッショルド値と、プログラム可能な電流制限の最小値および最大値を調整 6
- イネーブル伝搬遅延 ($t_{EN(delay)}$) およびソフトスタート時間 (t_{SS}) のパラメータ測定図を追加 16
- 式 12 を更新 27
- 過電流イベントに編集上の変更を追加 28
- 詳細設計手順の「新しい周波数補償アプリケーション」セクション 30

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2320301VXC	Active	Production	CFP (HFT) | 22	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	-55 to 125	5962R2320301VXC TPS7H1121MHFTV
TPS7H1121HFT/EM	Active	Production	CFP (HFT) | 22	15 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	25 to 25	TPS7H1121HFT EVAL ONLY
TPS7H1121MPWPTSEP	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H1121PWP
V62/23604-01XE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	-	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H1121PWP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H1121-SEP, TPS7H1121-SP :

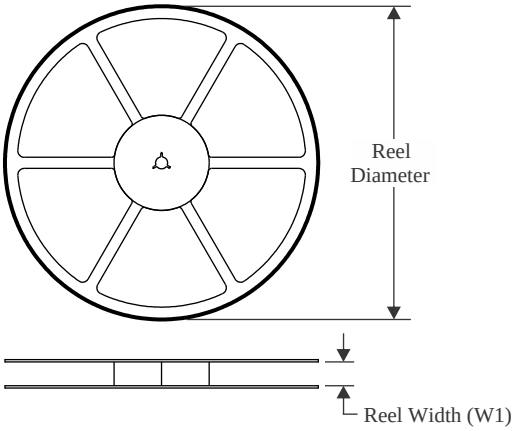
- Catalog : TPS7H1121-SEP
- Space : TPS7H1121-SP

NOTE: Qualified Version Definitions:

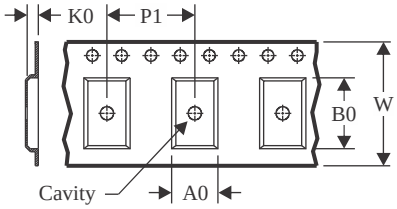
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

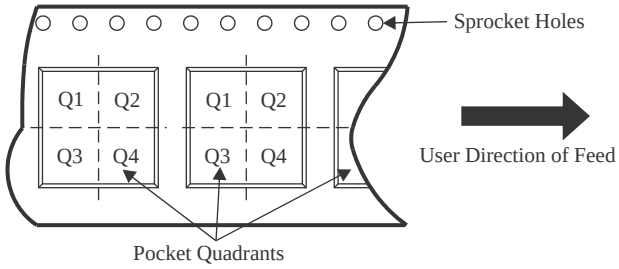


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

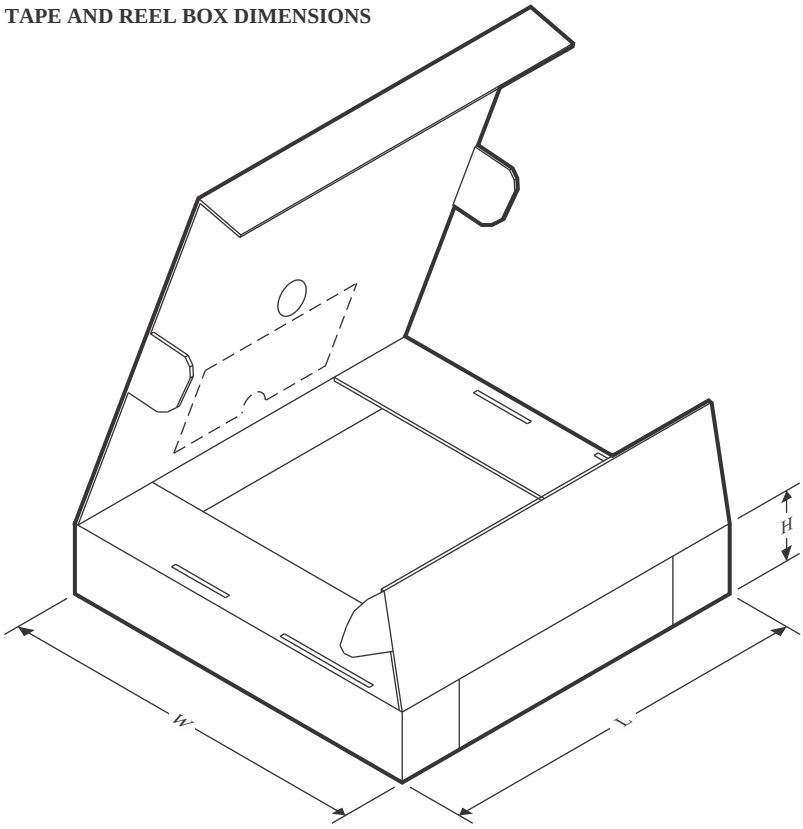
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7H1121MPWPTSEP	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

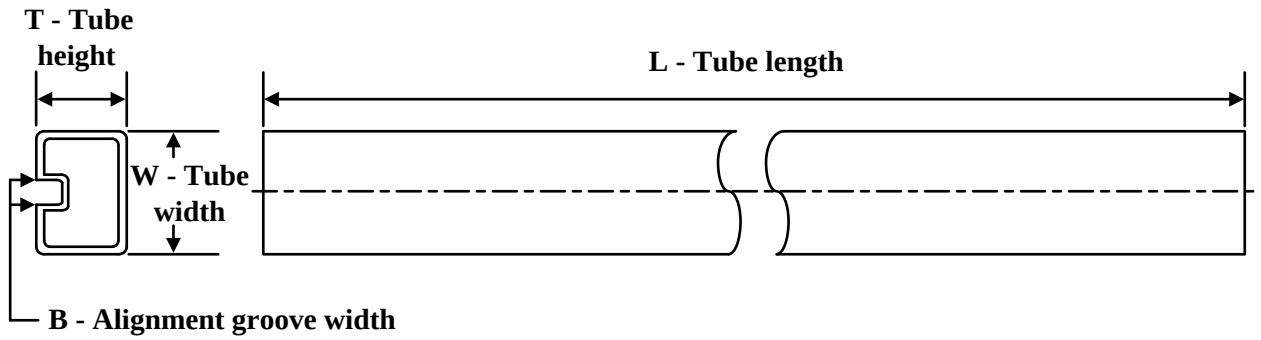
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7H1121MPWPTSEP	HTSSOP	PWP	24	250	208.0	191.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R2320301VXC	HFT	CFP	22	25	506.98	32.77	9910	NA
TPS7H1121HFT/EM	HFT	CFP	22	15	506.98	32.77	9910	NA

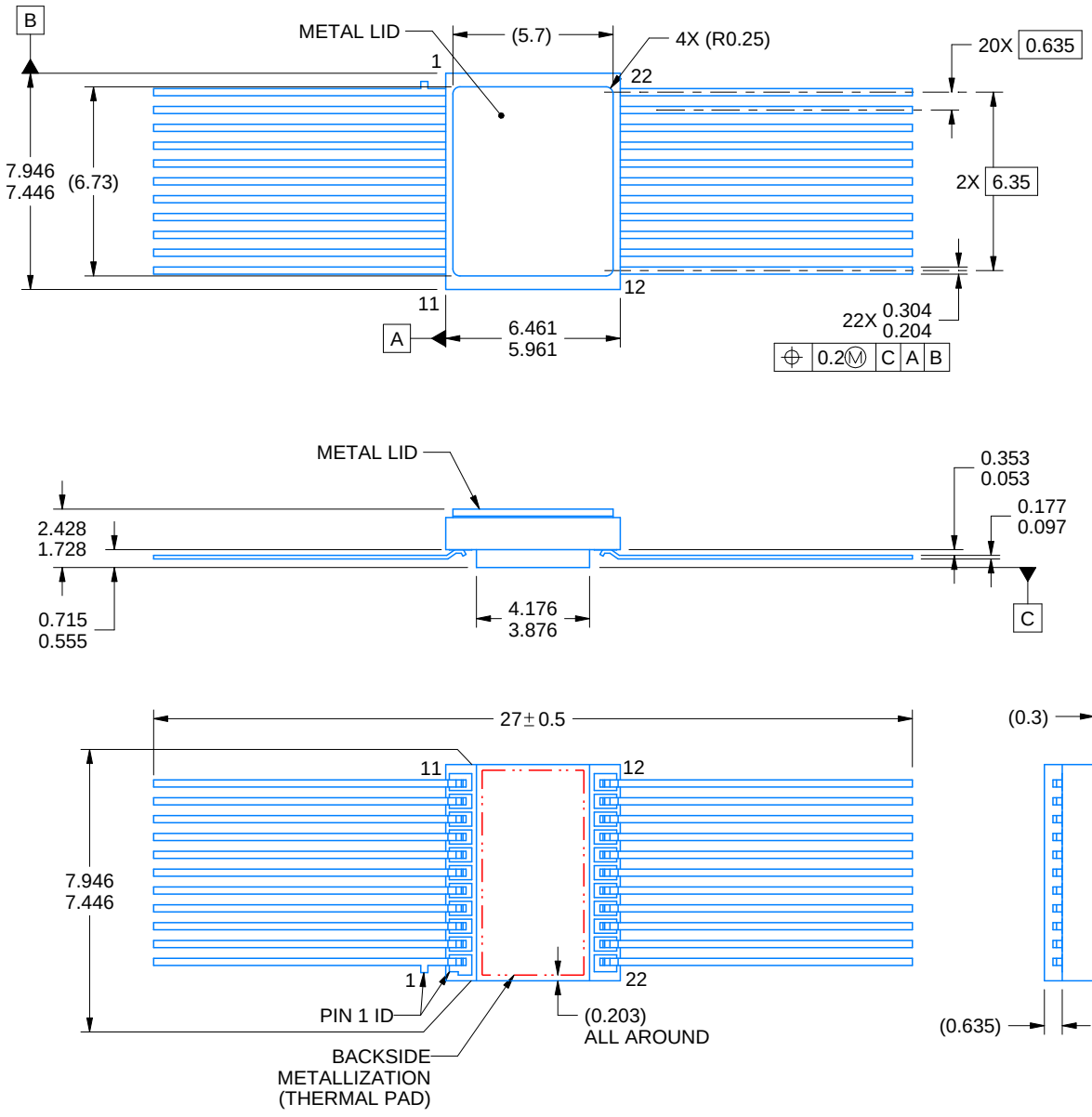


PACKAGE OUTLINE

HFT0022A

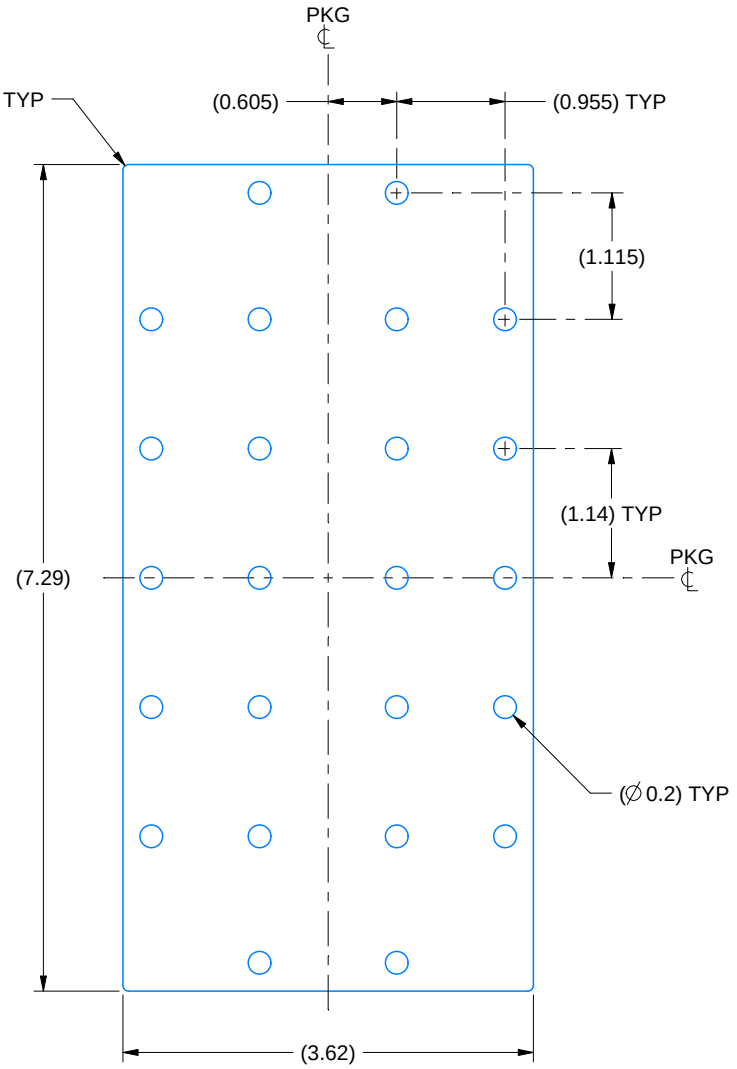
CFP - 2.428mm max height

CERAMIC FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. The lid is not connected to any lead.
4. The leads are gold plated.
5. Metal lid is connected to backside metalization



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

4225791/C 01/2021

REVISIONS

REV	DESCRIPTION	ECR	DATE	ENGINEER / DRAFTER
A	RELEASE NEW DRAWING	2186323	03/13/2020	R. RAZAK / ANIS FAUZI
B	ADD LAND PATTERN VIEW / SHEET	2190485	10/22/2020	R. RAZAK / ANIS FAUZI
C	UPDATE TOTAL LEAD LENGTH TO 27± 0.5	2192775	01/28/2021	R. RAZAK / ANIS FAUZI

GENERIC PACKAGE VIEW

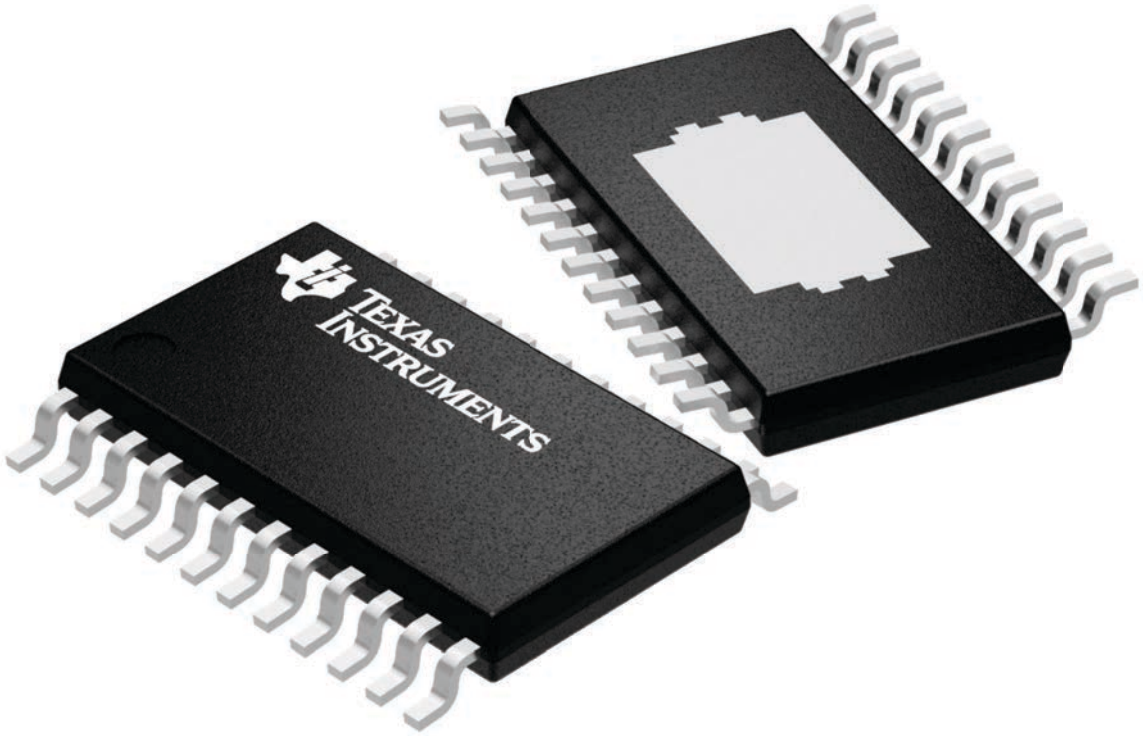
PWP 24

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 7.6, 0.65 mm pitch

PLASTIC SMALL OUTLINE

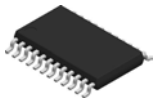
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224742/B

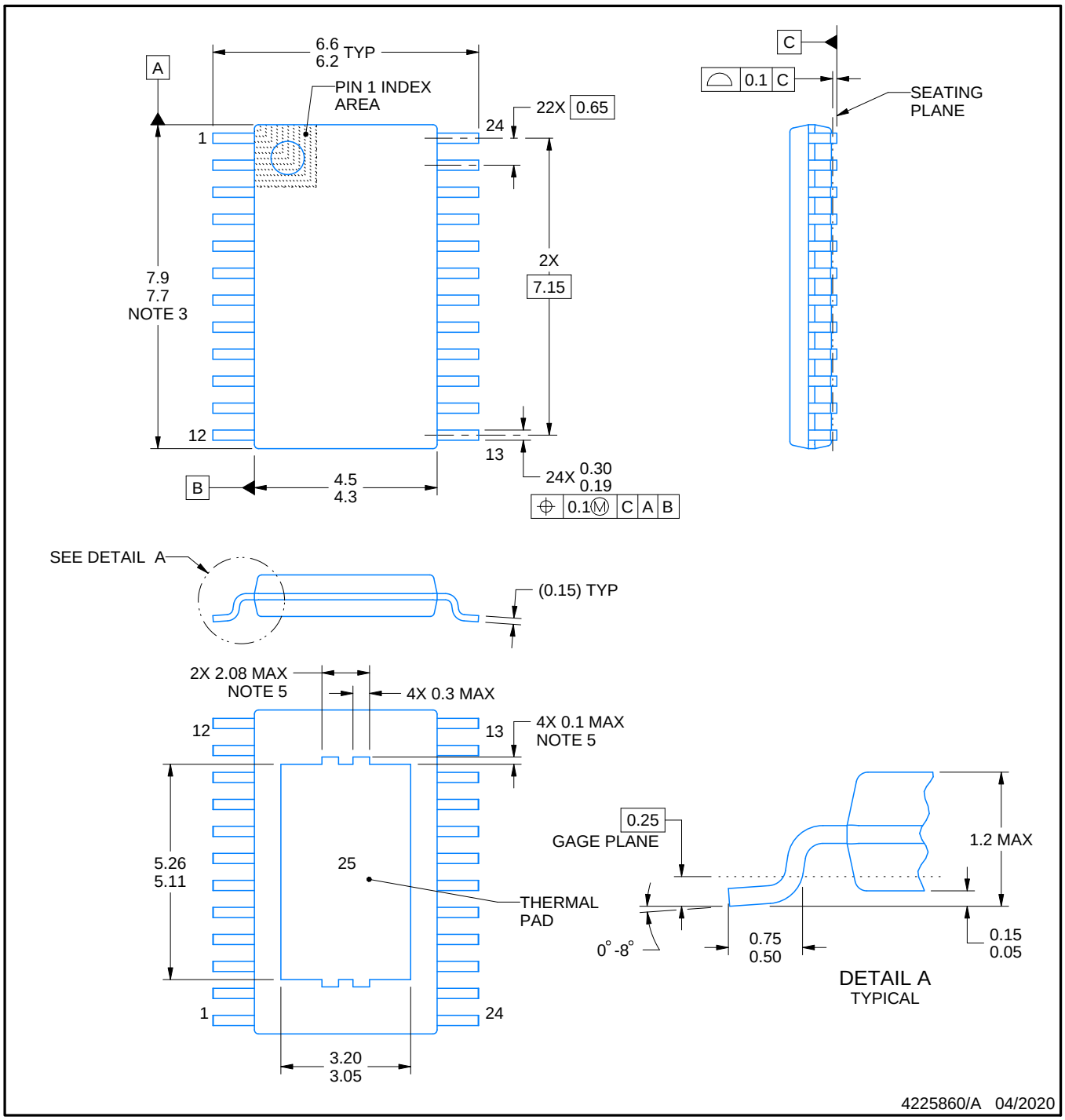
PACKAGE OUTLINE

PWP0024J



PowerPAD™ TSSOP - 1.2 mm max height

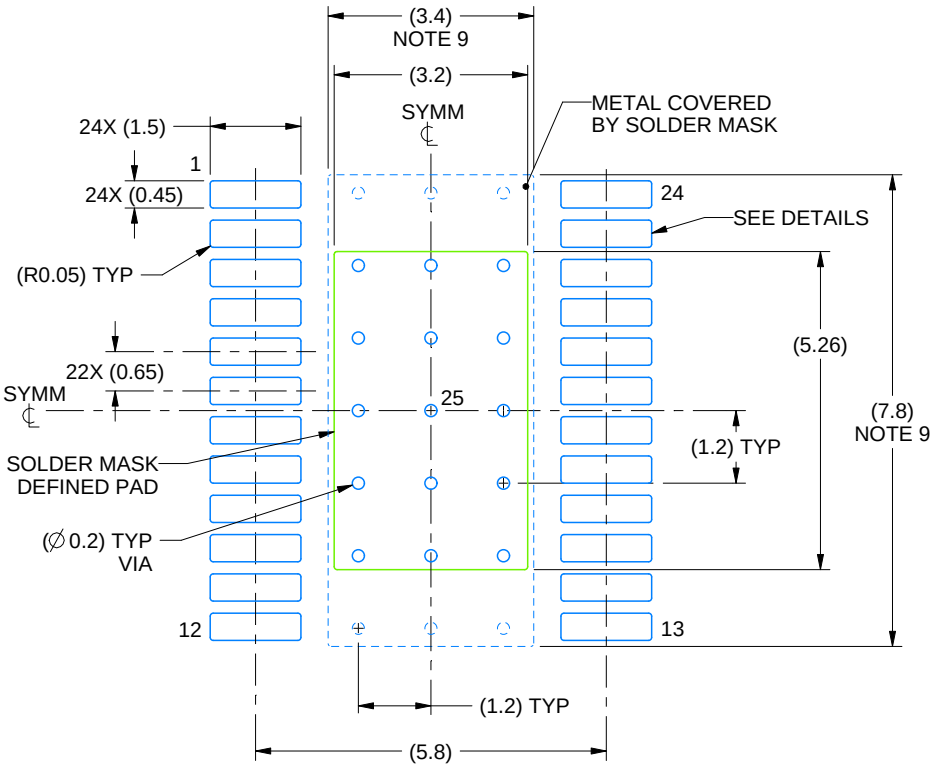
SMALL OUTLINE PACKAGE



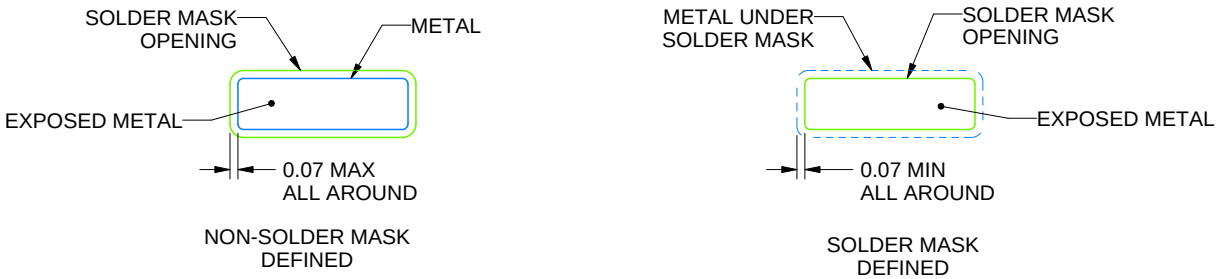
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

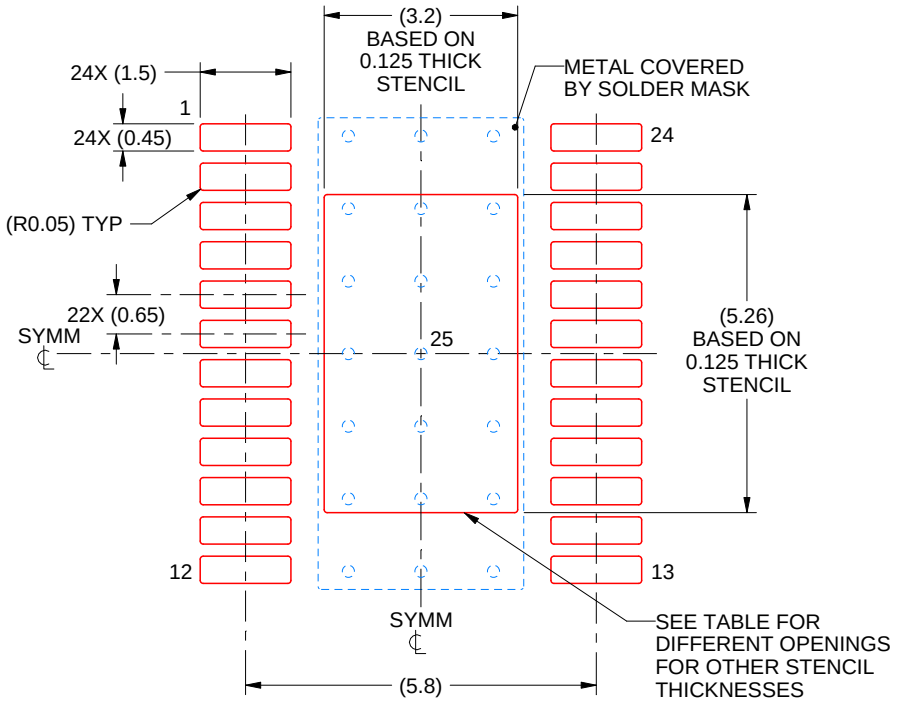


SOLDER MASK DETAILS

4225860/A 04/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.58 X 5.88
0.125	3.20 X 5.26 (SHOWN)
0.15	2.92 X 4.80
0.175	2.70 X 4.45

4225860/A 04/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月