TPS7H3014-SP および TPS7H3014-SEP 耐放射線特性、14V、4 チャネル シーケンサ

1 特長

- 耐放射線性能:
  - QML 向け吸収線量 (TID) 100krad(Si) までの放射線耐性保証 (RHA)、SEP 向け 50krad(Si)
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の、最大線エネルギー付与 (LET) = 75MeV-cm^2/mg (QML) および 43MeV-cm^2/mg (SEP) に対する耐性
  - シングル イベント機能割り込み (SEFI) およびシングル イベント過渡 (SET) の最大 LET = 75MeV-cm^2/mg (QML) および 43MeV-cm^2/mg (SEP) に対する耐性
- 広い電源入力電圧範囲 (V_{IN}):3V ～ 14V
- 単一のデバイスで最大 4 つの電圧レールのシーケンス制御と監視
  - デイジー チェーン機能によりチャネル数を拡張
- 単一抵抗によりプログラム可能なグローバル タイマ:
  - シーケンスのアップ / ダウン遅延
  - レギュレーションまでのシーケンス アップ時間
- 逆順シーケンス ダウン
- 高精度のスレッショルド電圧とヒステリシス電流
  - 全体で 599mV ±1% の V_{TH_SENSEx}:電圧、温度、放射線 (TID)
  - 全体で 24µA ±3% の I_{HYS_SENSEx}:電圧、温度、放射線 (TID)
- 1.6V～7V のプログラマブル プルアップ電圧に対応するプッシュプル出力
  - グローバル ENx プルアップ ドメイン (V_{PULL_UP1})
  - 共通の SEQ_DONE および PWRGD プルアップ ドメイン (V_{PULL_UP2})
- ステート マシンに起因するフォルトを監視するための $\overline{\text{FAULT}}$ オープン ドレイン出力
- ASTM E595 に準拠したガス排出試験済みのプラスチック パッケージ
- 軍用温度範囲 (–55℃～125℃) を供給可能

2 アプリケーション

- 衛星用電源システム (EPS)
- 次のような複雑なデジタル プロセッサの制御シーケンスと監視:宇宙アプリケーション向けの FPGA、SoC、AFE、電源システム

3 説明

TPS7H3014 は統合型、3V～14V、4 チャネル、放射線耐性保証の電源シーケンサです。複数のデバイスをデイジー チェーン構成で接続することにより、チャネル数を拡張できます。このデバイスは、アクティブ High (「ON」) 入力搭載の集積回路 (IC) 向けに、シーケンス アップ / ダウン制御信号を提供します。さらに、SEQ_DONE フラグと PWRGD フラグが、監視対象の電源ツリーのシーケンスと電源ステータスを監視するために提供されています。

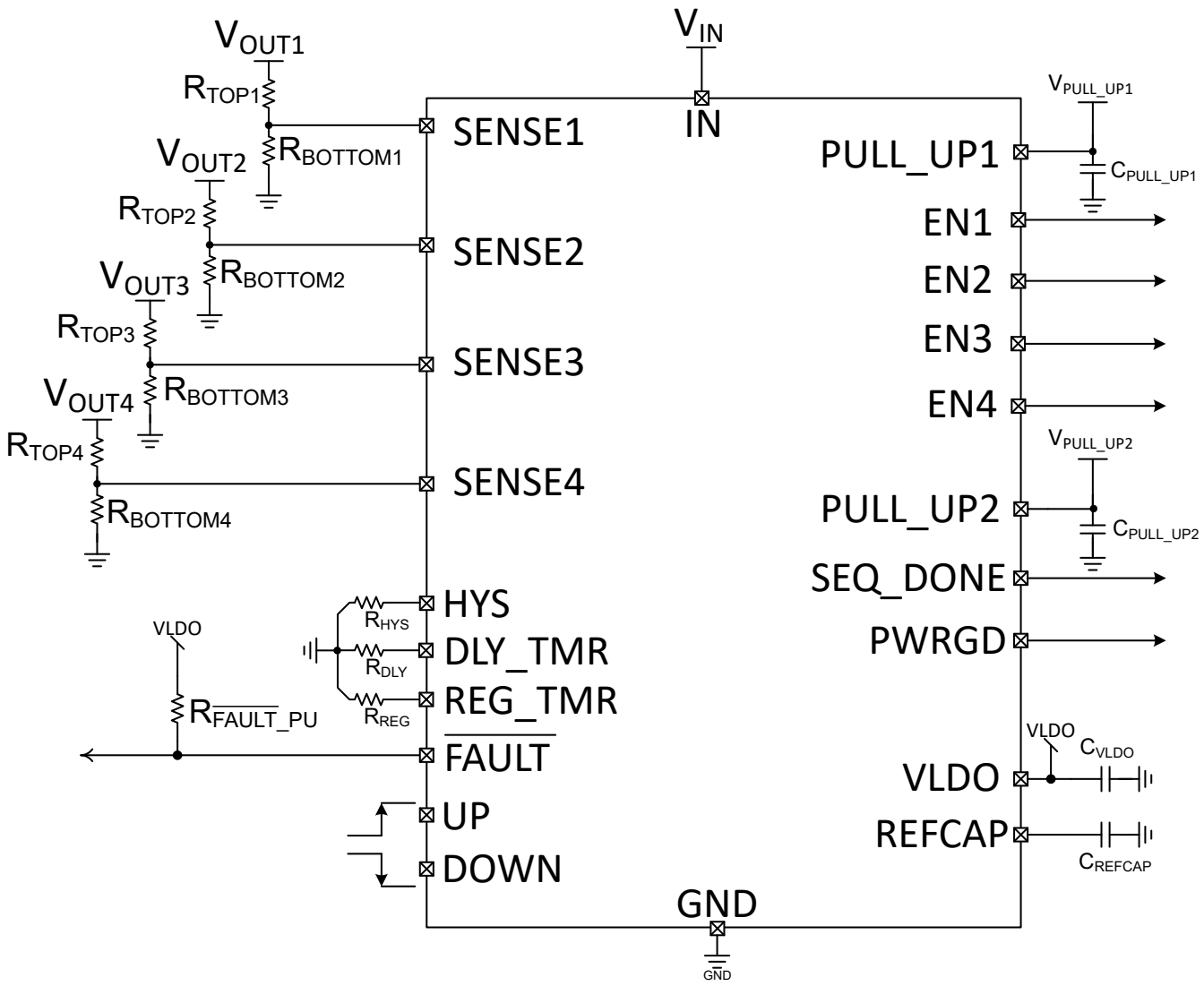
正確な 599mV ±1% のスレッショルド電圧と 24µA ±3% ヒステリシス電流により、立ち上がりおよび立ち下がり監視電圧をプログラム可能です。立ち上がりおよび立ち下がり遅延時間は、単一の抵抗を使用してグローバルにプログラムされます。また、SENSEx の立ち上がり電圧を追跡するためのタイム トゥ レギュレーション タイマが搭載されています。これらの機能に加えて、FAULT 検出ピンが組み込まれており、内部で生成されるフォルトを監視して、宇宙の電源シーケンス アプリケーションに対するシステム レベルの信頼性を向上させます。QML バリアント 5962R2320101VXC では、SMD (Standard Microcircuit Drawing) を利用できます。

製品情報

部品番号 (1)	グレード (2)	パッケージ(3)
5962R2320101VXC	QMLV-RHA	22 ピンのセラミック (CFP) 6.21mm x 7.69mm 質量 = 415.6mg
TPS7H3014HFT/EM	エンジニアリング サンプル	
TPS7H3014MPWTSEP	SEP	24 ピンのプラスチック (TSSOP) 4.4mm x 7.8mm 質量 = 102.3mg

(1) 詳細は、「デバイス オプション」表をご覧ください。
(2) 部品のグレードについて詳細は、SLYB235 をご覧ください。
(3) 寸法と質量は公称値です。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的なアプリケーション

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスのオプション ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 8
6.1 絶対最大定格 ... 8
6.2 ESD 定格 ... 8
6.3 推奨動作条件 ... 9
6.4 熱に関する情報 ... 9
6.5 電気的特性 ... 10
6.6 タイミング要件 ... 13
6.7 品質適合検査 ... 13
6.8 代表的特性 ... 14
7 パラメータ測定情報 ... 20
8 詳細説明 ... 24
8.1 概要 ... 24
8.2 機能ブロック図 ... 25
8.3 機能説明 ... 26
8.4 デイジー チェーン ... 43
9 アプリケーションと実装 ... 44
9.1 アプリケーション情報 ... 44
9.2 代表的なアプリケーション ... 44
9.3 外部要因によるシステム RESET ... 53
9.4 電源に関する推奨事項 ... 53
9.5 レイアウト ... 53
10 デバイスおよびドキュメントのサポート ... 56
10.1 ドキュメントのサポート ... 56
10.2 ドキュメントの更新通知を受け取る方法 ... 56
10.3 サポート・リソース ... 56
10.4 商標 ... 56
10.5 静電気放電に関する注意事項 ... 56
10.6 用語集 ... 56
11 改訂履歴 ... 56
12 メカニカル、パッケージ、および注文情報 ... 57

Copyright © 2025 Texas Instruments Incorporated

4 デバイスのオプション

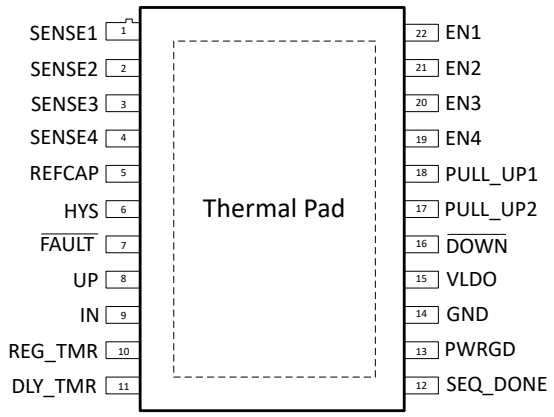
ジェネリック型番	放射線定格(1)	グレード (2)	パッケージ	発注用製品型番
TPS7H3014-SP	100krad(Si) RLAT の TID、75 MeV-cm^2/mg まで DSEE フリー	QMLV-RHA	22 ピン CFP HFT	5962R2320101VXC
	なし	エンジニアリングモデル(3)	22 ピン CFP HFT	TPS7H3014HFT/EM
TPS7H3014-SEP	50krad(Si) RLAT の TID、43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24-ピン TSSOP PW	TPS7H3014MPWTSEP

(1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについて詳細は、SLYB235 をご覧ください。
(3) これらのユニットは、技術的な評価のみを目的としています。非準拠のフローで処理されています (バーンインがない、25℃でのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

HFT パッケージ
22 ピン CFP
上面図



PW パッケージ
24-ピン TSSOP
上面図

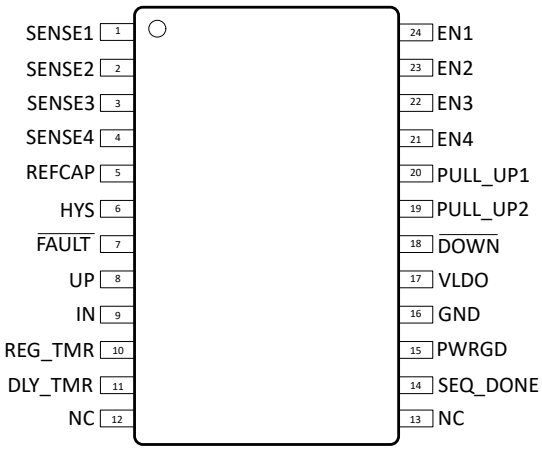


表 5-1. ピンの機能

ピン			I/O[1]	説明
名称	HFT (22)番号	PW (24) 番号		
SENSE1	1	1	I	パワーアップシーケンス/パワーダウンシーケンスを行うため、最初のレールのモニタリングに使用するコンパレータの非反転入力。モニタリング対象のレールと GND との間に外付けの抵抗分圧回路を接続し、その中間点を SENSE1 に接続して V_{ON} および V_{OFF} 電圧を設定します。このピンで 599mV（標準値）を上回る電圧は、安定化電圧レール（V_{ON}）と見なされます。V_{OFF} は、I_{HYS} 電流と、分圧抵抗回路の上流側の抵抗によって設定されます。上部および下部の抵抗分圧回路の設計式 を参照してください。
SENSE2	2	2	I	パワーアップシーケンス/パワーダウンシーケンスを行うため、2 番目のレールのモニタリングに使用するコンパレータの非反転入力。モニタリング対象のレールと GND との間に外付けの抵抗分圧回路を接続し、その中間点を SENSE2 に接続して V_{ON} および V_{OFF} 電圧を設定します。このピンで 599mV（標準値）を上回る電圧は、安定化電圧レール（V_{ON}）と見なされます。V_{OFF} は、I_{HYS} 電流と、分圧抵抗回路の上流側の抵抗によって設定されます。上部および下部の抵抗分圧回路の設計式 を参照してください。
SENSE3	3	3	I	パワーアップシーケンス/パワーダウンシーケンスを行うため、3 番目のレールのモニタリングに使用するコンパレータの非反転入力。モニタリング対象のレールと GND との間に外付けの抵抗分圧回路を接続し、その中間点を SENSE3 に接続して V_{ON} および V_{OFF} 電圧を設定します。このピンで 599mV（標準値）を上回る電圧は、安定化電圧レール（V_{ON}）と見なされます。V_{OFF} は、I_{HYS} 電流と、分圧抵抗回路の上流側の抵抗によって設定されます。上部および下部の抵抗分圧回路の設計式 を参照してください。
SENSE4	4	4	I	パワーアップシーケンス/パワーダウンシーケンスを行うため、4 番目のレールのモニタリングに使用するコンパレータの非反転入力。モニタリング対象のレールと GND との間に外付けの抵抗分圧回路を接続し、その中間点を SENSE4 に接続して V_{ON} および V_{OFF} 電圧を設定します。このピンで 599mV（標準値）を上回る電圧は、安定化電圧レール（V_{ON}）と見なされます。V_{OFF} は、I_{HYS} 電流と、分圧抵抗回路の上流側の抵抗によって設定されます。上部および下部の抵抗分圧回路の設計式 を参照してください。
REFCAP	5	5	O	1.2V 内部リファレンス。GND との間に 470nF の外付けコンデンサが必要です。このピンには、負荷をかけないでください。
HYS	6	6	O	ヒステリシス。このピンと GND の間に 50kΩ 抵抗を接続して、SENSE1 と SENSE4 でのヒステリシス電流（標準 24 µA）をプログラムします。精度を保つため、許容誤差 0.1% の抵抗を使用することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			I/O[1]	説明
名称	HFT (22)番号	PW (24) 番号		
FAULT	7	7	O	障害。オープンドレイン出力は、ステートマシンによって強制的に Low にされたもので、内部で生成された障害を示します。10kΩ を使用してこのピンを VLDO にプルアップすることを推奨します。ただし、デバイスの動作中に値が変化せず安定している場合に限り、別の外部電圧源をプルアップとして使用することができます。
UP	8	8	I	コンパレータの非反転入力。電圧が 599mV (標準値) を超えると立ち上がりエッジが発生し、パワーアップシーケンスが開始されます。このピンは、外部コントローラで駆動することも、外部の抵抗分割回路を介してメインレールに接続し、その中間点を UP ピンに接続してシーケンスを自動的に駆動させることもできます。ノイズ安定のために 100mV (標準値) の固定ヒステリシスが存在します。
IN	9	9	I	デバイスへの入力電源。3 V ～ 14V の入力電圧範囲。0.1µF 以上のコンデンサを、ピンのできるだけ近くに接続してください。
REG_TMR	10	10	I/O	レギュレーション タイマの時間。10.5kΩ と 1.18MΩ の間の GND に抵抗を接続して、$SENSE_x$ レールがレギュレーションしきい値 (V ON) に達するまでの許容時間を設定します。遅延時間は、0.25ms ～25ms の範囲で調整できます。この機能を無効にする場合は、このピンをフローティング状態にしてください。
DLY_TMR	11	11	I/O	遅延タイマ。10.5kΩ と 1.18MΩ の間の GND に抵抗を接続して、パワーアップおよびパワーダウンシーケンスの遅延時間を設定します。遅延時間は、0.25ms ～25ms の範囲で調整できます。システム上、遅延が不要であれば、このピンをフローティング状態にしてください。
SEQ_DONE	12	14	O	シーケンスの完了。PULL_UP2 入力電源電圧によって V_{OH} レベルを設定したプッシュプル出力。パワーアップまたはパワーダウンシーケンスの完了を示します。
PWRGD	13	15	O	パワーグッド。入力電源電圧 (PULL_UP2) により V_{OH} レベルを設定したプッシュプル出力。すべてのレール (SENSE1 から SENSE4) が規定範囲内であることを示します。
GND	14	16	—	グランド
VLDO	15	17	O	内部レギュレータの出力。GND との間に少なくとも 1µF の外部コンデンサが必要です。このレギュレータで許容される負荷は次のとおりです。10kΩ 抵抗を使用した $\overline{FAULT}$ プルアップ、または必要に応じて SENSE2 と SENSE4 を直接接続することによる未使用チャネルのターンオフ。
$\overline{DOWN}$	16	18	I	コンパレータの非反転入力。電圧が 498mV (標準値) を下回ると、立ち下がりエッジが発生し、パワーダウンシーケンスが開始されます。このピンは、外部コントローラで駆動することも、外部の抵抗分割回路を介してメインレールに接続し、その中間点を $\overline{DOWN}$ ピンに接続してシーケンスを自動的に駆動させることもできます。ノイズ安定のために 100mV (標準値) の固定ヒステリシスが存在します。
PULL_UP2	17	19	I	SEQ_DONE および PWRGD のプッシュプル出力段のプルアップ電圧をプログラムするための入力電源電圧。1µF 以上のコンデンサを、ピンのできるだけ近くに接続してください。
PULL_UP1	18	20	I	EN1 から EN4 のプッシュプル出力段のグローバル プルアップ電圧をプログラムするための入力電源電圧。1µF 以上のコンデンサを、ピンのできるだけ近くに接続してください。
EN4	19	21	O	有効化 4。PULL_UP1 入力電源電圧によって V_{OH} レベルが設定されたプッシュプル出力。デバイスの論理イネーブル信号に接続して、SENSE4 によって制御、モニタします。
EN3	20	22	O	有効化 3。PULL_UP1 入力電源電圧によって V_{OH} レベルが設定されたプッシュプル出力。デバイスの論理イネーブル信号に接続して、SENSE3 によって制御、モニタします。
EN2	21	23	O	有効化 2。PULL_UP1 入力電源電圧によって V_{OH} レベルが設定されたプッシュプル出力。デバイスの論理イネーブル信号に接続して、SENSE2 によって制御、モニタします。
EN1	22	24	O	有効化 1。PULL_UP1 入力電源電圧によって V_{OH} レベルが設定されたプッシュプル出力。デバイスの論理イネーブル信号に接続して、SENSE1 によって制御、モニタします。
NC	—	12、13	—	接続なし。このピンは内部接続されていません。電荷の蓄積を防ぐため、これらのピンを GND に接続することを推奨しますが、これらのピンはオープンのままにすることも、GND と V_{IN} の範囲の任意の電圧に接続することもできます。
サーマル パッド		—	—	内部グランド。効果的な放熱のため、この金属サーマル パッドは大きなグランド プレーンに接続することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			I/O[1]	説明
名称	HFT (22)番号	PW (24) 番号		
金属製ふた	ふた		—	このふたは、シール リングを介してサーマル パッドと GND に内部接続されています。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲(特に注記のない限り)(1) (2)

		最小値	最大値	単位
入力電圧	IN	-0.3	16	V
	UP、$\overline{\text{DOWN}}$	-0.3	7.5	
	SENSE1、SENSE2、SENSE3、SENSE4	-0.3	3.6	
	PULL_UP1、PULL_UP2	-0.3	7.5	
	$\overline{\text{FAULT}}$	-0.3	7.5	
	DLY_TMR、REG_TMR	-0.3	3.6	
出力電圧	VLDO	-0.3	3.6	V
	EN1、EN2、EN3、EN4	-0.3	7.5	
	REFCAP	-0.3	2	
	HYS	-0.3	3.6	
	SEQ_DONE、PWRGD	-0.3	7.5	
出力電流	EN1、EN2、EN3、EN4	-20	20	mA
	SEQ_DONE、PWRGD	-20	20	
接合部温度	T_J	-55	150	℃
保存温度	T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、GND を基準としたものです。

6.2 ESD 定格

			値	単位
V_{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン(1)	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件

動作温度範囲全体に対し、T_A = -55℃～125℃ (特に注記のない限り)(1)

		最小値	公称値	最大値	単位
入力電圧	IN	3		14	V
	UP、$\overline{\text{DOWN}}$	0		7	
	SENSE1、SENSE2、SENSE3、SENSE4	0		3.5	
	PULL_UP1、PULL_UP2	1.6		7	
	$\overline{\text{FAULT}}$	0		7	
出力電圧	EN1、EN2、EN3、EN4	0		7	V
	SEQ_DONE、PWRGD	0		7	
出力電流	EN1、EN2、EN3、EN4	-10		10	mA
	SEQ_DONE、PWRGD	-10		10	
	$\overline{\text{FAULT}}$	-2			
接合部温度	T_J	-55		125	℃
入力電圧スルーレート	SR_{IN}	0.001		10	V/µs

(1) すべての電圧値は、GND を基準としたものです。

6.4 熱に関する情報

熱評価基準(1)		TPS7H3014-SEP PW (TSSOP) 24 ピン	TPS7H3014-SP HFT (CFP) 22 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	66	34.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	7.7	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	33.8	17.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	16	16.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.4	8.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	33.3	17	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

3V ≤ V_{IN}≤ 14V、R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR}= 10.5kΩ、C_{REFCAP}= 470nF、C_{VLDO}= 1µF、V_{PULL_UP1} = 3.3V、V_{PULL_UP2}= 3.3V、C_{PULL_UP1} = 1µF、C_{PULL_UP2}= 1µF 全体、動作温度範囲全体（T_A= –55°C ～ 125°C）。特に注記のない限り、QML RHA デバイスの T_A = 25°C での グループ E 放射線テストを含みます(1) (2)

パラメータ		テスト条件		サブグループ(3)	最小値	標準値	最大値	単位
電源電圧および電流								
I_{Q_IN}	V_{IN} 静止電流	すべての出力がフローティング状態で、パワーアップおよびパワーダウンシーケンスを待機している状態。状態図を参照		1、2、3		2.5	4	mA
$UVLO_{RISE}$	V_{IN} 立ち上がり低電圧ロックアウト			1、2、3	2.72	2.79	2.84	V
$UVLO_{FALL}$	V_{IN} の立ち下がり定電圧ロックアウト			1、2、3	2.59	2.64	2.69	
V_{LDO}	内部リニア レギュレータの出力電圧	5V ≦ V_{IN} ≦ 14V		1、2、3	3.19	3.29	3.38	V
		V_{IN} < 3.24V		1、2、3	97%	99%		× V_{IN}
REFCAP	内部バンドギャップ電圧			1、2、3	1.188	1.2	1.212	V
V_{POR_IN}	パワー オン リセット電圧(4)	1.6V ≤ V_{PULL_UPx} ≤ 7V、V_{OL} ≤ 320mV、I_{ENx} = –2mA		1、2、3		1.41	2	
$V_{POR_PULL_UPx}$	パワー オン リセット電圧(5)	V_{IN} = 0V、V_{OL} = 320mV で I_{OUT} = -100µA		1、2、3		0.89	1.4	
SENSE1 ～ SENSE4、UP および $\overline{DOWN}$ コンパレータ入力								
V_{TH_SENSEx}	SENSEx のスレッショルド電圧			1、2、3	593	599	605	mV
I_{HYS_SENSEx}	SENSEx ヒステリシス電流	V_{SENSEx} = 700mV		1、2、3	23.28	24	24.72	µA
I_{LKG_SENSEx}	SENSEx での入力リーク電流	V_{SENSEx} = 500mV		1、2、3		2	100	nA
V_{TH_UP}	UP の立ち上がりスレッショルド電圧			1、2、3	580	598	615	mV
$V_{TH_\overline{DOWN}}$	$\overline{DOWN}$ でのしきい値電圧の下降			1、2、3	483	498	512	mV
$V_{HYS_UP_\overline{DOWN}}$	UP および $\overline{DOWN}$ のヒステリシス電圧			1、2、3		100		mV
$I_{LKG_UP_\overline{DOWN}}$	UP および $\overline{DOWN}$ 時の入力リーク電流	V_{UP} = $V_{\overline{DOWN}}$ = 500mV		1、2、3		2	100	nA
V_{TURN_OFF}	チャネル 2、3、4 のターンオフ電圧			1、2、3	87%	89%	91%	× VLDO
EN1 ～ EN4、SEQ_DONE および PWRGD のプッシュプル出力								
V_{OL_ENx}	Low -レベル ENx 出力電圧	1.6V ≤ V_{PULL_UP1} ≤ 7V	I_{LOAD} = -2mA	1、2、3			10%	x V_{PULL_UP1}
			I_{LOAD} = -10mA	1、2、3			25%	
V_{OH_ENx}	High レベル ENx 出力電圧	1.6V ≤ V_{PULL_UP1} ≤ 7V	I_{LOAD} = 2mA	1、2、3	90%			
			I_{LOAD} = 10mA	1、2、3	70%			

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

3V ≤ V_{IN}≤ 14V、R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR}= 10.5kΩ、C_{REFCAP}= 470nF、C $_{VLDO}$= 1µF、V_{PULL_UP1} = 3.3V、V_{PULL_UP2}= 3.3V、C_{PULL_UP1} = 1µF、C_{PULL_UP2}= 1µF 全体、動作温度範囲全体(T_A= –55°C ～ 125°C)。特に注記のない限り、QML RHA デバイスの T_A = 25°C での グループ E 放射線テストを含みます(1) (2)

パラメータ		テスト条件		サブグループ(3)	最小値	標準値	最大値	単位
$V_{OL_SEQ_DONE}$	Low レベル SEQ_DONE 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = -2mA	1、2、3			10%	x V_{PULL_UP2}
			I_{LOAD} = -10mA	1、2、3			25%	
$V_{OH_SEQ_DONE}$	High レベル SEQ_DONE 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = 2mA	1、2、3	90%			
			I_{LOAD} = 10mA	1、2、3	70%			
V_{OL_PWRGD}	Low レベル PWRGD 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = -2mA	1、2、3			10%	
			I_{LOAD} = -10mA	1、2、3			25%	
V_{OH_PWRGD}	High レベル PWRGD 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = 2mA	1、2、3	90%			
			I_{LOAD} = 10mA	1、2、3	70%			
$Pull_UPx_{LKG}$	PULL_UP x リーク電流	V_{PULL_UPx} = 7V		1、2、3		48	121	µA
SR_{ENx_RISE}	イネーブル立ち上がり出力電圧のスルーレート	V_{PULL_UP1} の 10% ～ 90%、R_{LOAD} = 50kΩ、C_{LOAD} = 100pF	1.6V ≤ V_{PULL_UP1} ≤ 7V	9、10、11	17	125		V/µs
$SR_{SEQ_DONE_RISE}$	SEQ_DONE 立ち上がり出力電圧スルーレート	V_{PULL_UP2} の 10% ～ 90%、R_{LOAD} = 50kΩ、C_{LOAD} = 100pF	1.6V ≤ V_{PULL_UP2} ≤ 7V	9、10、11	17	125		
SR_{PWRGD_RISE}	PWRGD 立ち上がり出力電圧のスルーレート			9、10、11	17	125		
SR_{ENx_FALL}	イネーブルの立ち下がり出力電圧スルーレート	V_{PULL_UP1} の 90% ～ 10%、R_{LOAD} = 50kΩ、C_{LOAD} = 100pF	1.6V ≤ V_{PULL_UP1} ≤ 7V	9、10、11	44	126		
$SR_{SEQ_DONE_FALL}$	SEQ_DONE 立ち下がり出力電圧のスルーレート		1.6V ≤ V_{PULL_UP2} ≤ 7V	9、10、11	44	126		
SR_{PWRGD_FALL}	PWRGD 立ち下がり出力電圧のスルーレート			9、10、11	44	126		
$R_{ENx_PULL_UP}$	EN PMOS ソース出力抵抗	I_{LOAD} = 2mA	V_{PULL_UP1} = 1.6V	1、2、3		18	40	Ω
			V_{PULL_UP1} = 7V	1、2、3		7	20	
$R_{SEQ_DONE_PULL_UP}$	SEQ_DONE PMOS ソース出力抵抗	I_{LOAD} = 2mA	V_{PULL_UP2} = 1.6V	1、2、3		18	40	
			V_{PULL_UP2} = 7V	1、2、3		7	20	
$R_{PWRGD_PULL_UP}$	PWRGD PMOS ソース出力抵抗	I_{LOAD} = 2mA	V_{PULL_UP2} = 1.6V	1、2、3		18	40	
			V_{PULL_UP2} = 7V	1、2、3		7	20	
$R_{ENx_PULL_DOWN}$	EN NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		7	28	
$R_{SEQ_DONE_PULL_DOWN}$	SEQ_DONE NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		7	28	
$R_{PWRGD_PULL_DOWN}$	PWRGD NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		7	28	
$\overline{FAULT}$ 出力								
$R_{\overline{FAULT}_PULL_DOWN}$	$\overline{FAULT}$ プルダウン抵抗	$I_{\overline{FAULT}}$ = 100µA		1、2、3		131	512	Ω
$I_{LKG_\overline{FAULT}}$	$\overline{FAULT}$ リーク電流	$V_{\overline{FAULT}}$ = 7V		1、2、3		23	600	nA
熱保護								
T_{SD_ENTER}	サーマル シャットダウン入口温度				177			℃
T_{SD_EXIT}	サーマル シャットダウン出口温度				164			

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

3V ≤ V_{IN}≤ 14V、R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR}= 10.5kΩ、C_{REFCAP}= 470nF、C_{VLDO}= 1µF、V_{PULL_UP1} = 3.3V、V_{PULL_UP2}= 3.3V、C_{PULL_UP1} = 1µF、C_{PULL_UP2}= 1µF 全体、動作温度範囲全体(T_A= –55°C ～ 125°C)。特に注記のない限り、QML RHA デバイスの T_A = 25°C での グループ E 放射線テストを含みます(1) (2)

パラメータ		テスト条件	サブグループ(3)	最小値	標準値	最大値	単位
レギュレーション タイマの遅延と時間							
t_{DLY_TMR}	遅延時間	R_{DLY_TMR} = 10.5kΩ	9、10、11	0.205	0.268	0.342	ms
		R_{DLY_TMR} = 619kΩ	9、10、11	10.77	12.5	14.14	
		R_{DLY_TMR} = 1.18MΩ	9、10、11	20	23.37	27.2	
t_{REG_TMR}	レギュレーションまでの時間	R_{REG_TMR} = 10.5kΩ	9、10、11	0.197	0.264	0.34	
		R_{REG_TMR} = 619kΩ	9、10、11	10.8	12.4	14.1	
		R_{REG_TMR} = 1.18MΩ	9、10、11	20.3	23.63	27.2	

(1) RHA デバイスの詳細については、5962R2320101VXC SMD(標準マイクロ回路図)を参照。
(2) すべての電圧値は、GND を基準としたものです。
(3) サブグループの定義については、「品質適合性検査」表を参照。
(4) V_{POR_IN} は、出力が制御された状態を保つために必要な V_{IN} の最小値で、1.6V ≤ V_{PULL_UPx} ≤ 7V の場合の値です。V_{POR_IN} を下回ると、出力は決定できません。
(5) $V_{POR_PULL_UPx}$ は出力が制御された状態を保つために必要な V_{PULL_UPx} の最小値で、V_{IN} ≤ 3V の場合の値です。$V_{POR_PULL_UPx}$ を下回ると、出力は決定できません。

Copyright © 2025 Texas Instruments Incorporated

6.6 タイミング要件

3V ≤ V_{IN}≤14V、R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR}= 10.5kΩ、C_{REFCAP}= 470nF、C $_{VLDO}$= 1µF、V_{PULL_UP1} = 3.3V、V_{PULL_UP2}= 3.3V、C_{PULL_UP1} = 1µF、C_{PULL_UP2}= 1µF 全体、動作温度範囲全体（T_A= –55°C ～ 125°C）。特に注記のない限り、RHA デバイスの T_A = 25°C での グループ E 放射線テストを含みます(1)

パラメータ		テスト条件	サブグループ(2)	最小値	標準値	最大値	単位
$t_{Start_up_delay}$	起動遅延時間(3)	V_{REFCAP} ≥ 1.1V、図 7-1	9、10、11			2.8	ms
t_{pd_ENx}	ENx 伝搬遅延	Dly_TMR = オープン、REG_TMR = オープン、図 7-2 および 図 7-3 を参照	9、10、11		3.4	6.5	µs
$t_{pd_SEQ_DONE}$	SEQ_DONE の伝搬遅延	Dly_TMR = オープン、REG_TMR = オープン、図 7-4 および 図 7-5 を参照	9、10、11		3.4	6.5	
t_{pd_PWRGD}	PWRGD 伝搬遅延	Dly_TMR = オープン、REG_TMR = オープン、図 7-6 および 図 7-7 を参照	9、10、11		3.4	6.5	
$t_{pd_SM_FAULT}$	ステートマシン障害の伝搬遅延	「SENSE1 ↓ の 33%から 82% PWRGD ↓までのシーケンスダウン状態への待機」で、図 7-8 と状態図を参照してください。	9、10、11		3.4	4.3	
T_{MIN_UP}	V_{UP} の有効な UP に対する最小時間	Dly_TMR = オープン、図 7-10 を参照	9、10、11		0.27	0.7	µs
$T_{MIN_\overline{DOWN}}$	有効な DOWN に対する V_{DOWN} 起動の最小時間	Dly_TMR = オープン、図 7-11 を参照	9、10、11		0.42	0.9	
$t_{h_VTH_RISE}$	VSENSEx ホールド時間しきい値の上昇	Dly_TMR = オープン、図 7-12 を参照	9、10、11		0.84	1.6	µs
$t_{h_VTH_FALL}$	VSENSEx ホールド時間しきい値の下降	Dly_TMR = オープン、図 7-13 を参照	9、10、11		0.35	1	µs

(1) RHA デバイスの詳細については、5962R2320101VXC SMD（標準マイクロ回路図）を参照。
(2) サブグループの定義については、「品質適合性検査」表を参照。
(3) 電源オンのとき、すべての 内部リファレンスが仕様範囲内に収まるように、V_{IN} は、少なくとも $t_{Start_up_delay}$ の間、V_{IN} (最小) 以上でなければなりません。

6.7 品質適合検査

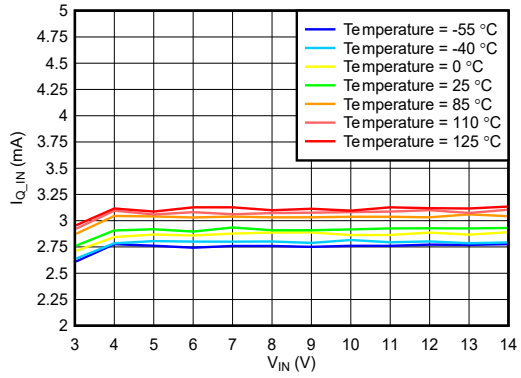
MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

Copyright © 2025 Texas Instruments Incorporated

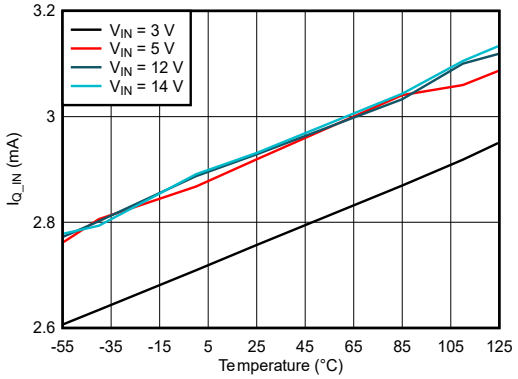
6.8 代表的特性

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF（特に注記のない限り）。



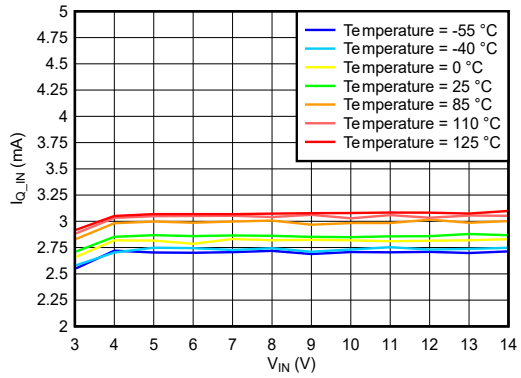
V_{UP} = $V_{\overline{DOWN}}$ = 0V

図 6-1. パワーアップシーケンス待機状態における温度範囲での I_{Q_IN} と V_{IN} との関係



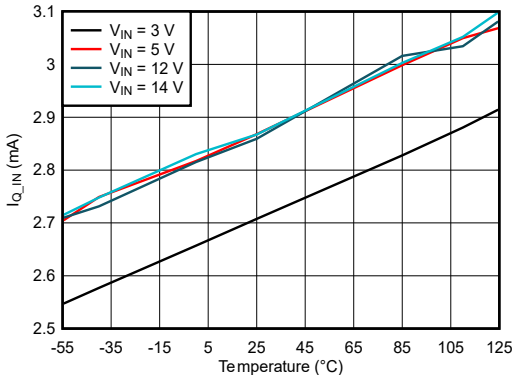
V_{UP} = $V_{\overline{DOWN}}$ = 0V

図 6-2. パワーアップシーケンス待機状態における I_{Q_IN} と温度範囲の V_{IN} との関係



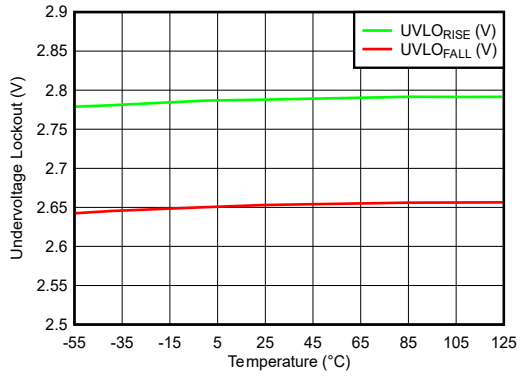
V_{UP} = $V_{\overline{DOWN}}$ = 3.3V

図 6-3. パワーダウンシーケンス待機状態における温度範囲での I_{Q_IN} と V_{IN} との関係



V_{UP} = $V_{\overline{DOWN}}$ = 3.3V

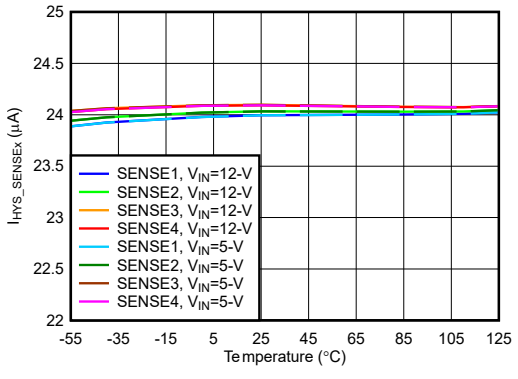
図 6-4. パワーダウンシーケンス待機状態における V_{IN} と温度範囲での I_{IN} との関係



R_{DLY_TMR} =フローティング　　V_{UP} = $V_{\overline{DOWN}}$ = 3.3V

R_{REG_TMR} = 1.18MΩ

図 6-5. 低電圧誤動作防止と温度との関係



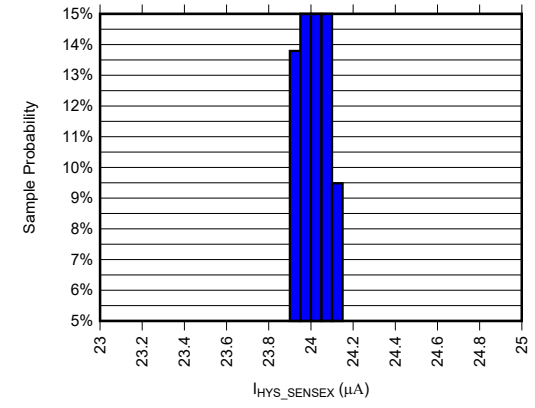
V_{SENSEx} = 700mV　　R_{REG_TMR} = フローティング

図 6-6. I_{HYS_SENSEx} と、温度範囲での V_{IN} および SENSEx チャネルとの関係

Copyright © 2025 Texas Instruments Incorporated

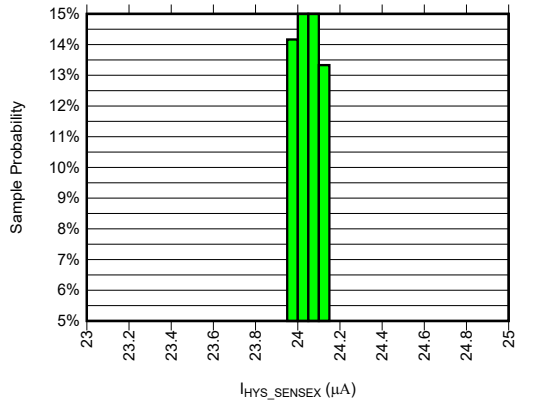
6.8 代表的特性 (続き)

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF (特に注記のない限り)。



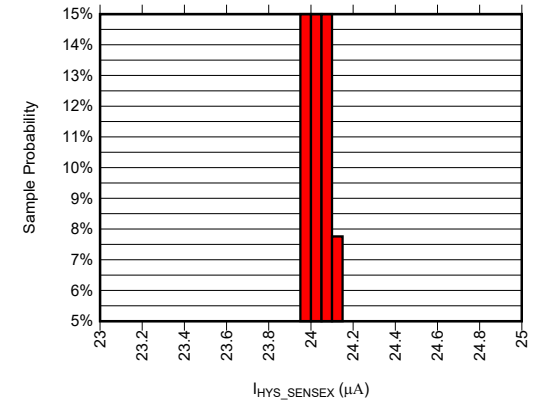
V_{IN} = 3V　　V_{SENSEx} = 700mV

図 6-7. I_{HYS_SENSEx} 電流分布 (温度 –55℃)



V_{IN} = 3V　　V_{SENSEx} = 700mV

図 6-8. I_{HYS_SENSEx} 電流分布 (温度 25℃)



V_{IN} = 3V　　V_{SENSEx} = 700mV

図 6-9. I_{HYS_SENSEx} 電流分布 (温度 125℃)

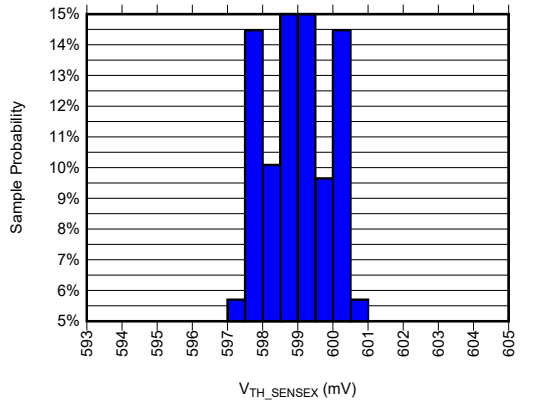


図 6-10. V_{TH_SENSEx} 電流分布 (温度 –55℃)

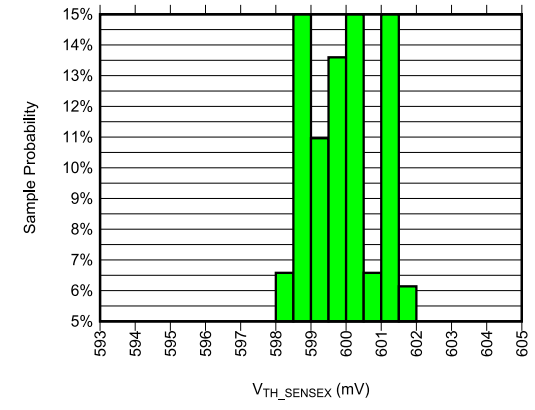


図 6-11. V_{TH_SENSEx} 電流分布 (温度 +25℃)

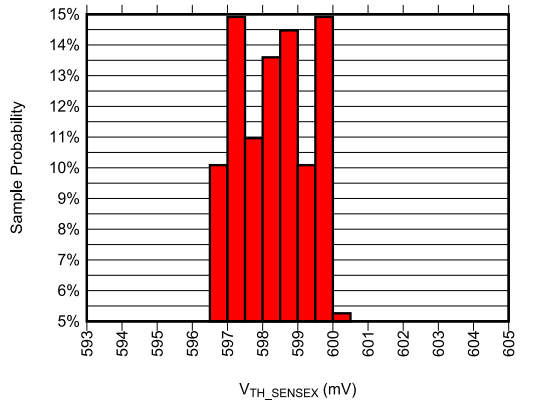
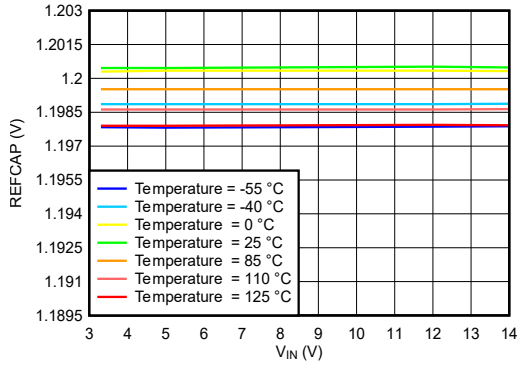


図 6-12. V_{TH_SENSEx} 電流分布 (温度 125℃)

Copyright © 2025 Texas Instruments Incorporated

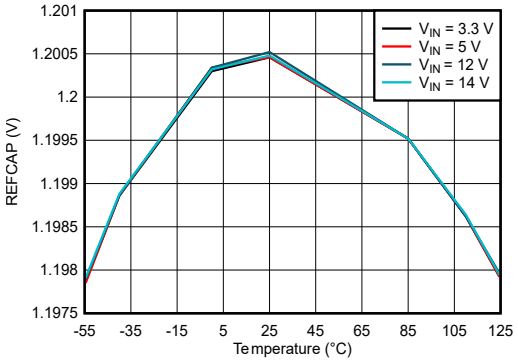
6.8 代表的特性 (続き)

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF (特に注記のない限り)。



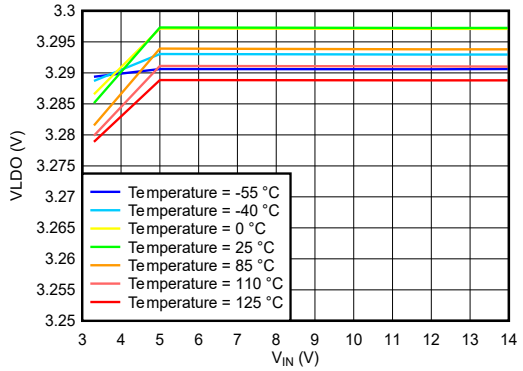
V_{UP} = $V_{\overline{DOWN}}$ = 0V

図 6-13. 温度範囲における REFCAP と V_{IN} との関係



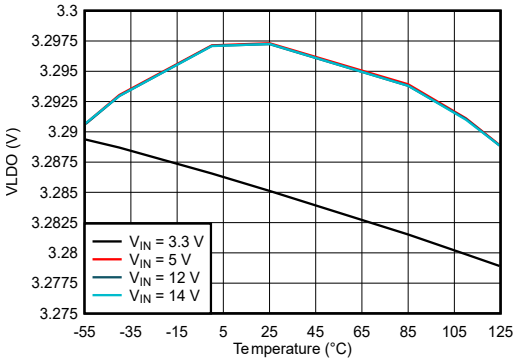
V_{UP} = $V_{\overline{DOWN}}$ = 0V

図 6-14. REFCAP と温度範囲の V_{IN} との関係



V_{UP} = $V_{\overline{DOWN}}$ = 0V

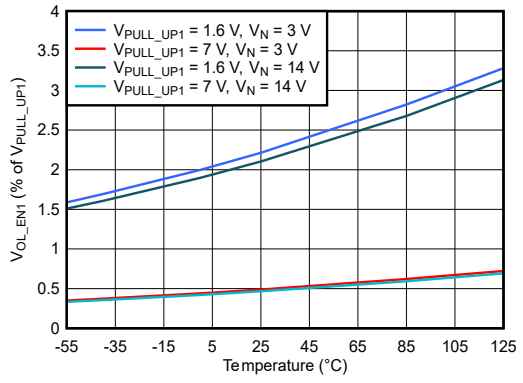
図 6-15. 温度範囲における VLDO と V_{IN} の関係



V_{UP} = $V_{\overline{DOWN}}$ = 0V

R_{REG_TMR} = フローティング

図 6-16. VLDO と温度範囲の V_{IN} との関係

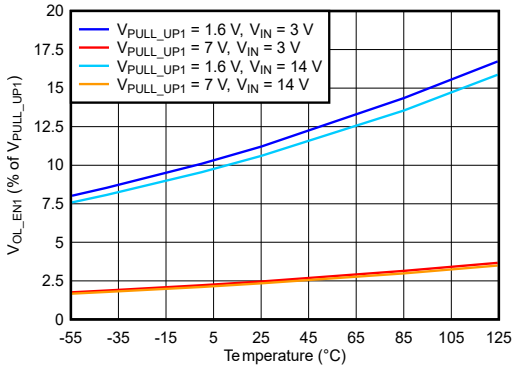


V_{UP} = $V_{\overline{DOWN}}$ = 0V

I_{LOAD} = -2mA

R_{REG_TMR} = フローティング

図 6-17. I_{LOAD} = –2mA の条件における、V_{PULL_UP1} および V_{IN} 間での温度に対する V_{OL_EN1} の変化



V_{UP} = $V_{\overline{DOWN}}$ = 0V

I_{LOAD} = -10mA

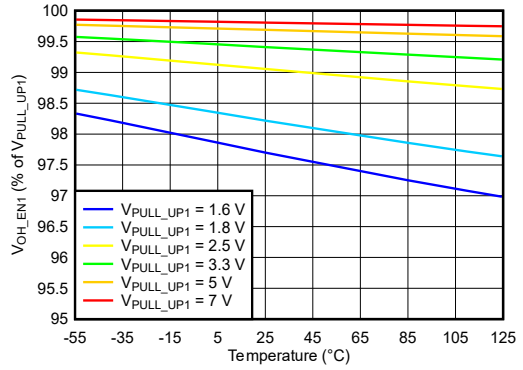
R REG_TMR = フローティング

図 6-18. I_{LOAD} = –10mA の条件における、V_{PULL_UP1} および V_{IN} 間での温度に対する V_{OL_EN1} の変化

Copyright © 2025 Texas Instruments Incorporated

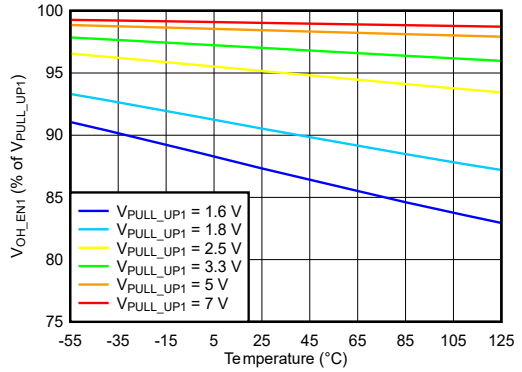
6.8 代表的特性 (続き)

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF（特に注記のない限り）。



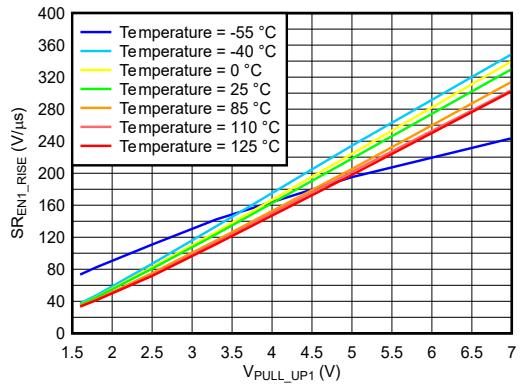
V_{UP} = $V_{\overline{DOWN}}$ = 3.3V　　I_{LOAD} = 2mA
R_{REG_TMR} = フローティング　　V_{IN} = 12V

図 6-19. I_{LOAD}= 2mA における V_{OL_EN1} と温度範囲での V_{PULL_UP1}1 との関係



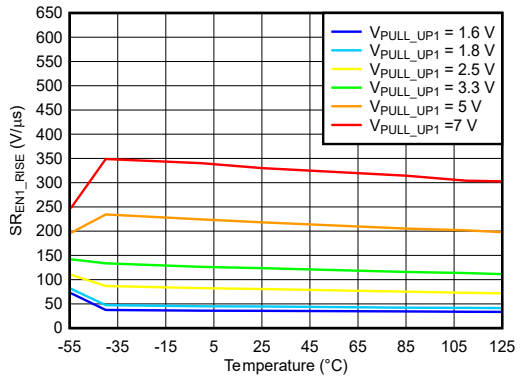
V_{UP} = $V_{\overline{DOWN}}$ = 3.3V　　I_{LOAD} = 10mA
R_{REG_TMR} = フローティング　　V_{IN} = 12V

図 6-20. I_{LOAD} = 10mA 時、V_{PULL_UP1} における V_{OH_EN1} と温度との関係



V_{UP} = $V_{\overline{DOWN}}$ = ↑3.3V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-21. 温度範囲における SR_{EN1_RISE} と V_{PULL_UP1} の関係



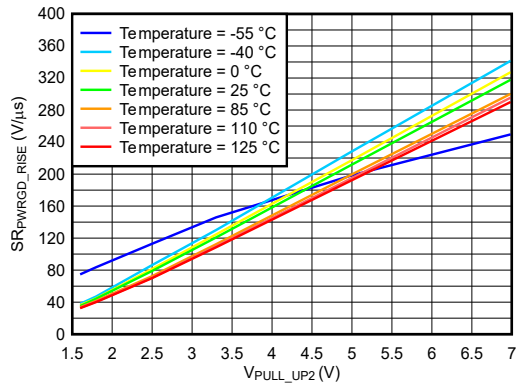
V_{UP} = $V_{\overline{DOWN}}$ = ↑3.3V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-22. SR_{EN1_RISE} と温度範囲での V_{PULL_UP1} との関係

Copyright © 2025 Texas Instruments Incorporated

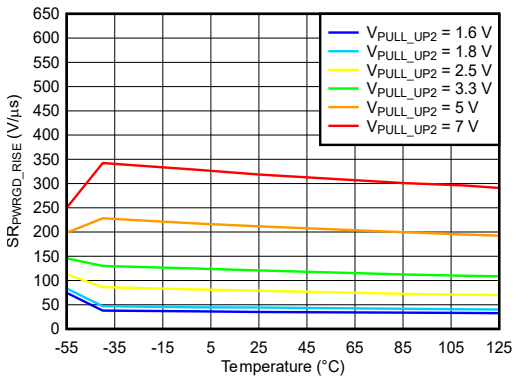
6.8 代表的特性 (続き)

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF (特に注記のない限り)。



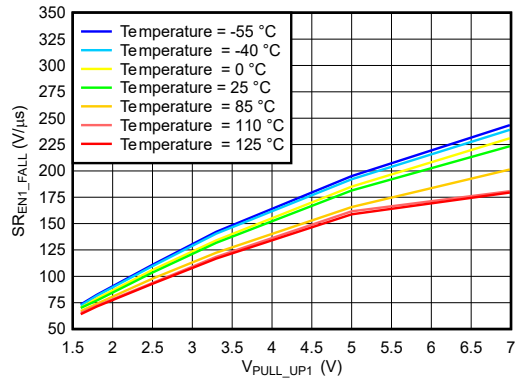
V_{UP} = $V_{\overline{DOWN}}$ = ↑ 3.3V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-23. 動作温度範囲における SR_{PWRGD_RISE} と V_{PULL_UP2} との関係



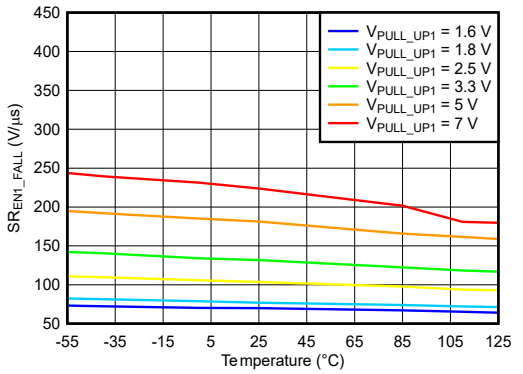
V_{UP} = $V_{\overline{DOWN}}$ = ↑ 3.3V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-24. SR_{PWRGD_RISE} と温度範囲での V_{PULL_UP2} との関係



V_{UP} = $V_{\overline{down}}$ = ↓ 0V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-25. 温度範囲における SR_{EN1_FALL} と V_{PULL_UP1} との関係



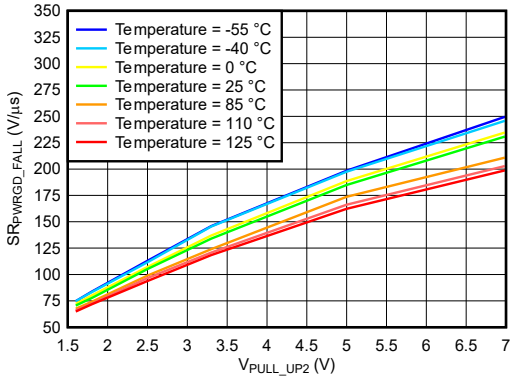
V_{UP} = $V_{\overline{DOWN}}$ = ↓ 0V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-26. SR_{EN1_FALL} と V_{PULL_UP1} における温度との関係

Copyright © 2025 Texas Instruments Incorporated

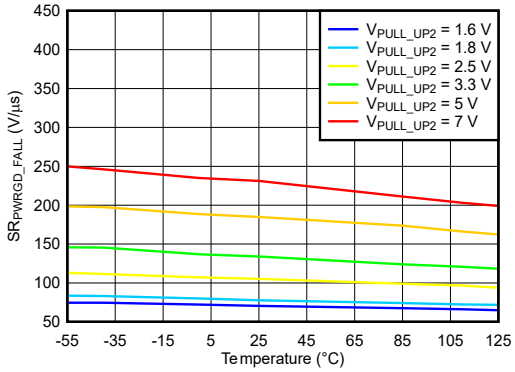
6.8 代表的特性 (続き)

R_{DLY_TMR} = 10.5kΩ、R_{REG_TMR} = 10.5kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、$V_{\overline{FAULT}}$ = 10kΩ の VLDO へのプルアップ、R_{HYS} = 50kΩ、C_{REFCAP} = 470nF、C_{VLDO} = 1µF、C_{PULL_UP1} = 1µF、C_{PULL_UP2} = 1µF (特に注記のない限り)。



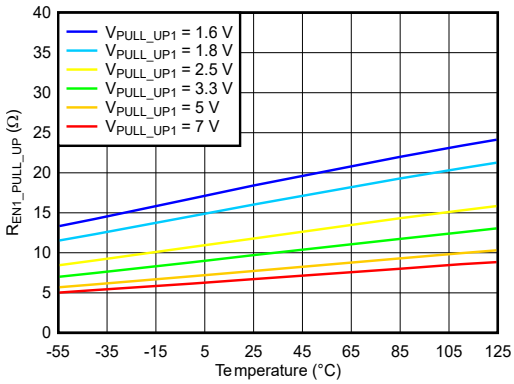
V_{UP} = $V_{\overline{down}}$ = ↓0V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-27. 温度範囲における SR_{PWRGD_FALL} と V_{PULL_UP2} との関係



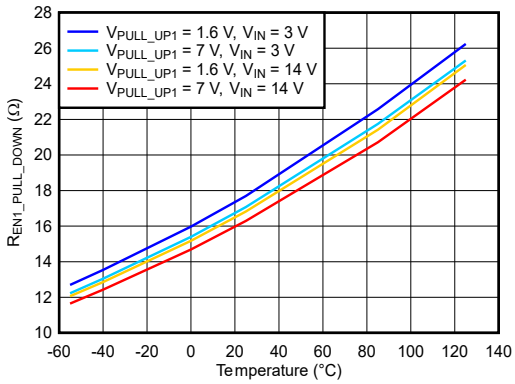
V_{UP} = $V_{\overline{down}}$ = ↓0V　　V_{IN} = 12V
R_{REG_TMR} = フローティング

図 6-28. SR_{PWRGD_FALL} と V_{PULL_UP2} における温度との関係



V_{UP} = $V_{\overline{DOWN}}$ = 3.3V　　V_{IN} = 12V
R_{REG_TMR} = フローティング　　I_{LOAD} = 2mA

図 6-29. $R_{EN1_PULL_UP}$ と温度範囲での V_{PULL_UP1} との関係

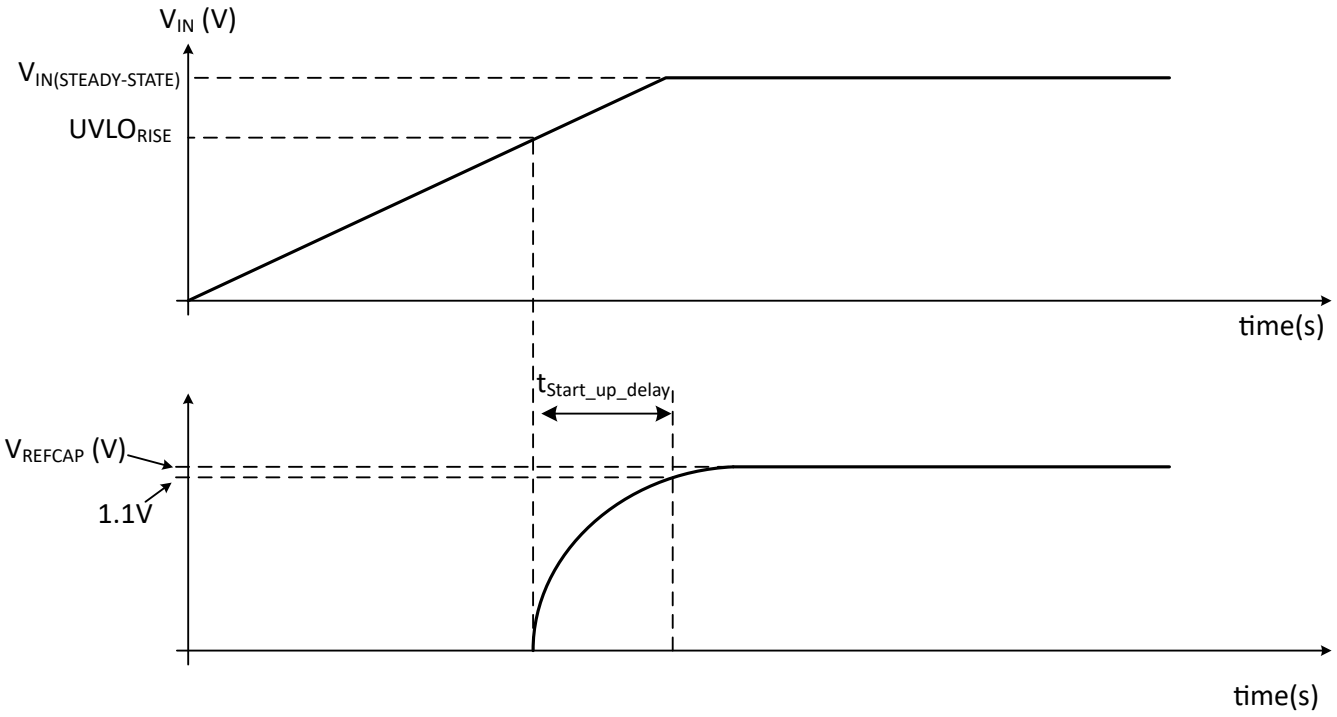


V_{UP} = $V_{\overline{DOWN}}$ = 0V　　V_{IN} = 12V
R_{REG_TMR} = フローティング　　I_{LOAD} = -2mA

図 6-30. $R_{EN1_PULL_DOWN}$ と温度範囲での V_{PULL_UP1} との関係

Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報



A. $V_{IN(STEADY-STATE)}$の有効な動作電圧は 3V ～ 14V です

図 7-1. $t_{Start_up_delay}$ 時間測定

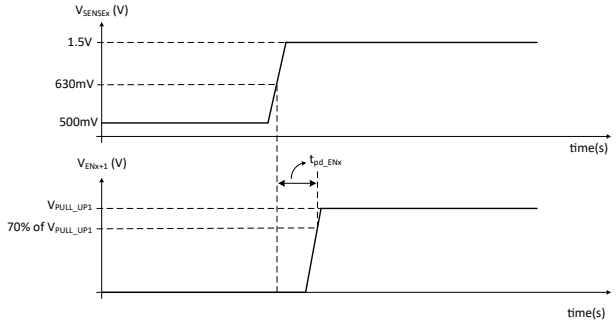


図 7-2. ENx 伝搬遅延（t_{pd_ENx}）時間測定-立ち上がり電圧

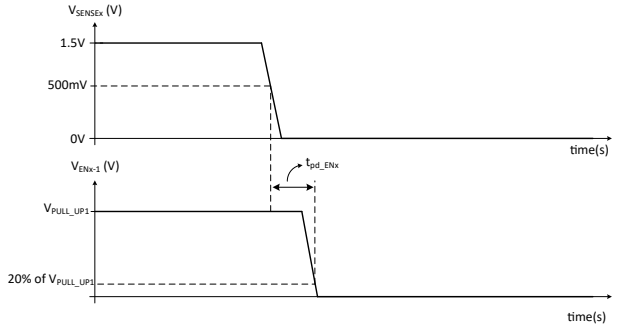


図 7-3. ENx 伝搬遅延（t_{pd_ENx}）時間測定-立ち下がり電圧

Copyright © 2025 Texas Instruments Incorporated

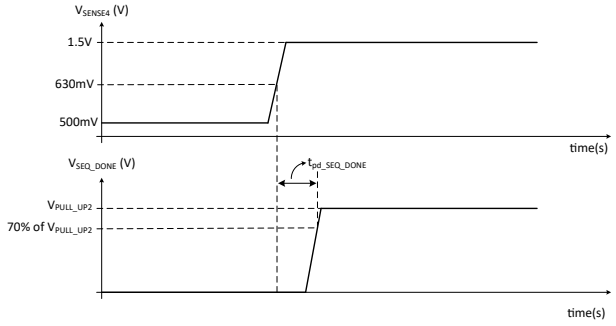


図 7-4. SEQ_DONE 伝搬遅延（$t_{pd_SEQ_DONE}$）時間測定-立ち上がり電圧

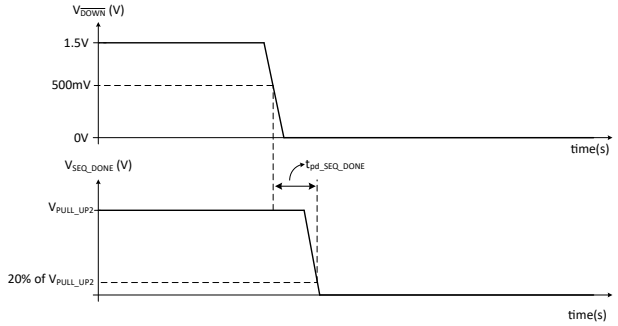


図 7-5. SEQ_DONE 伝搬遅延（$t_{pd_SEQ_DONE}$）時間測定-立ち下がり電圧

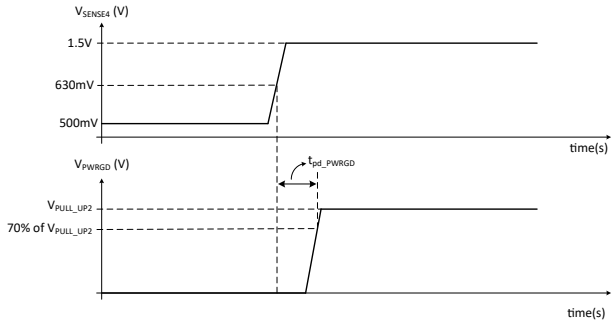


図 7-6. PWRGD 伝搬遅延（t_{pd_PWRGD}）時間測定-立ち上がり電圧

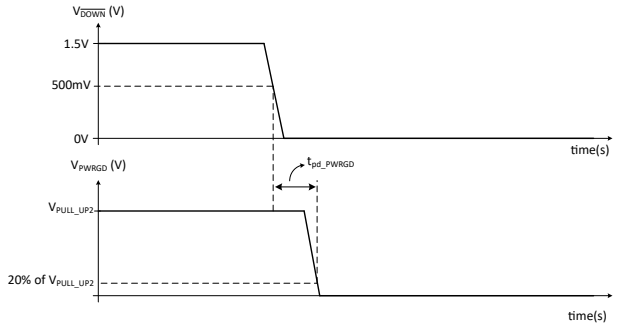
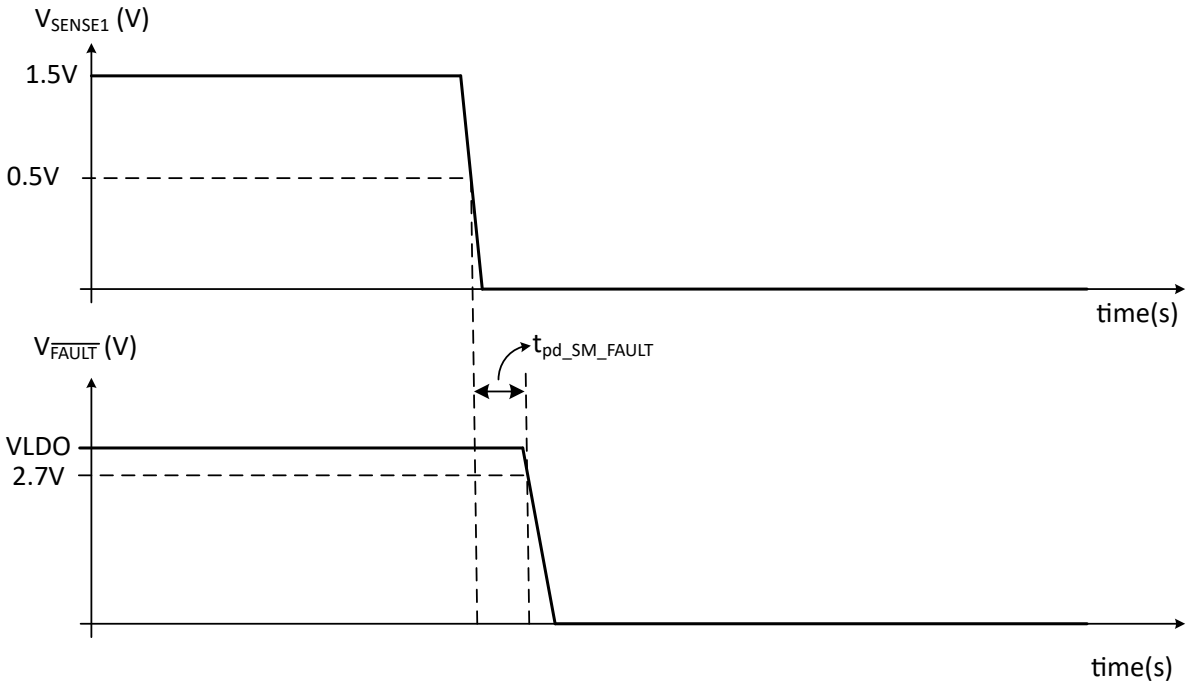


図 7-7. PWRGD 伝搬遅延（t_{pd_PWRGD}）時間測定-立ち下がり電圧



A. ステートマシンがパワーダウンシーケンス待機状態になると、V_{SENSE1} は Low になります。

B. 見やすくするために、スルーレートは誇張されています。

図 7-8. ステートマシン検出障害の伝搬遅延（$t_{pd_sm_FAULT}$）

Copyright © 2025 Texas Instruments Incorporated

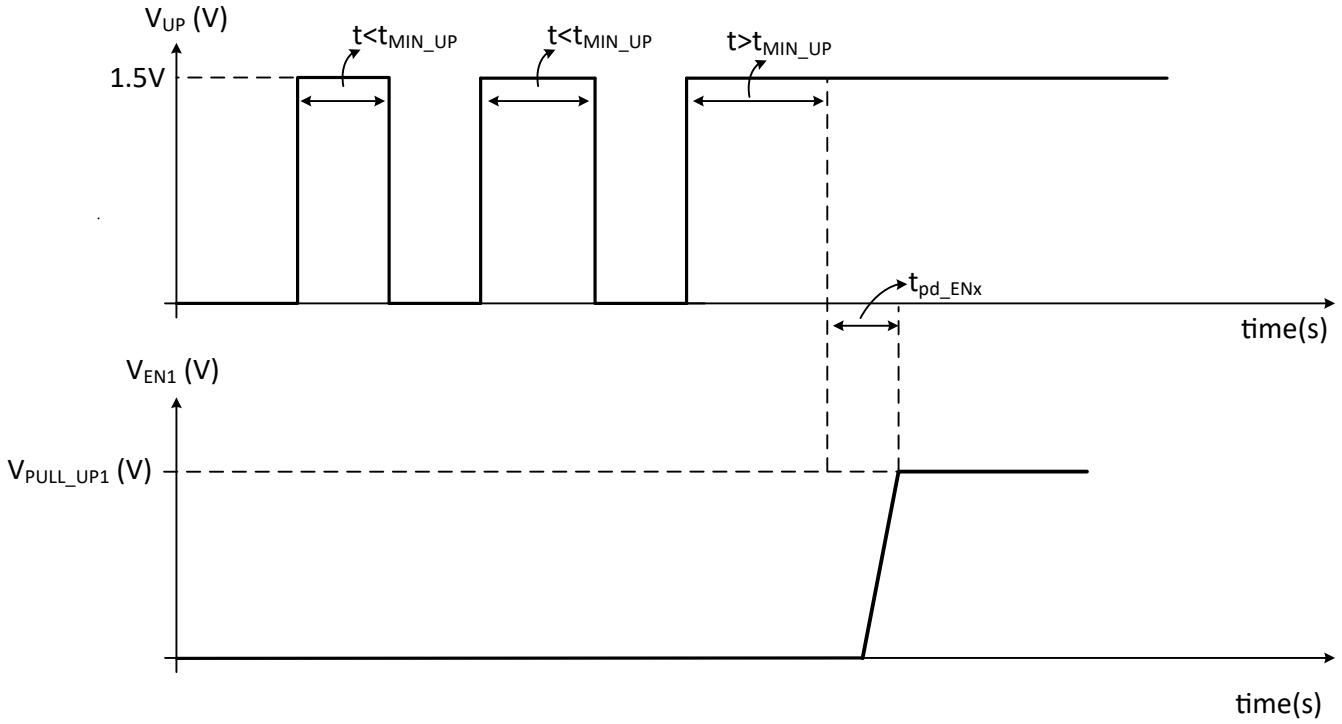


図 7-9. 有効なパワーアップシーケンスコマンドの最小時間（t_{MIN_UP}）

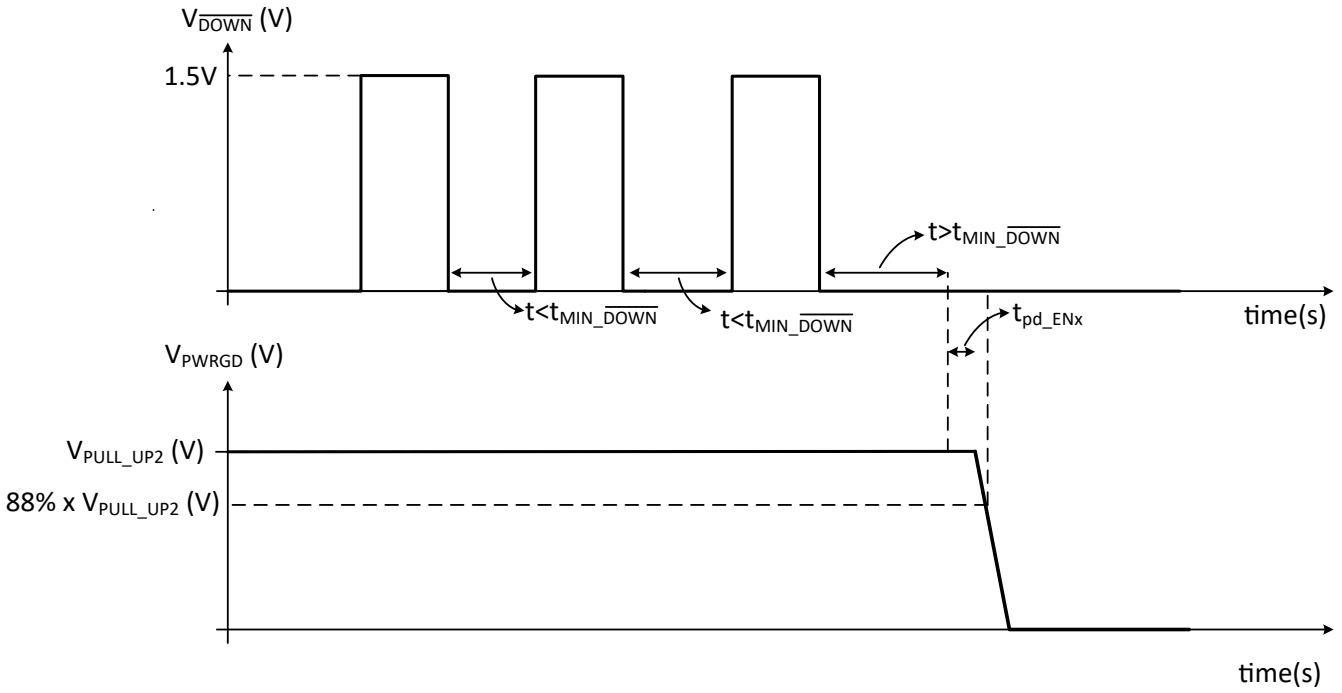


図 7-10. 有効なパワーダウンシーケンスコマンドの最小時間（$t_{MIN_\overline{DOWN}}$）

Copyright © 2025 Texas Instruments Incorporated

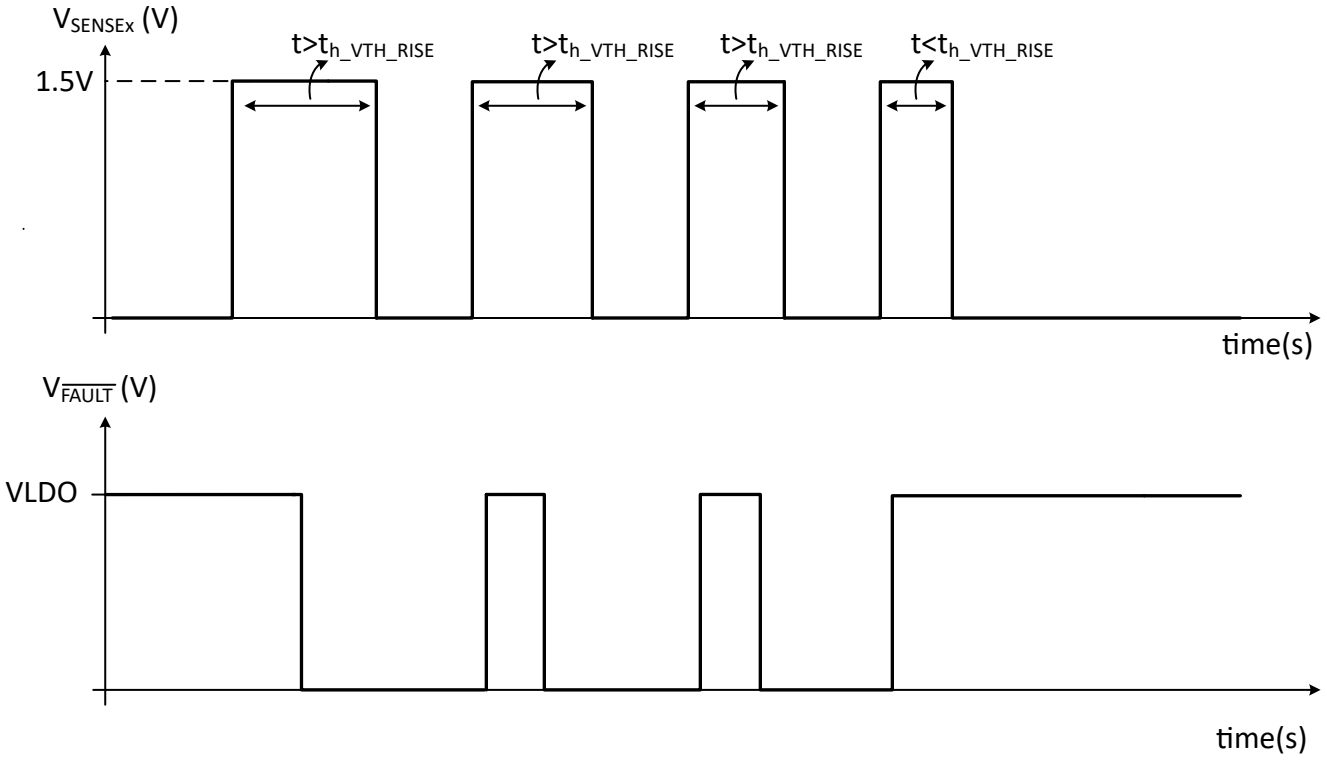


図 7-11. SENSEx ホールド時間の立ち上がりしきい値（$t_{h_VTH_RISE}$）

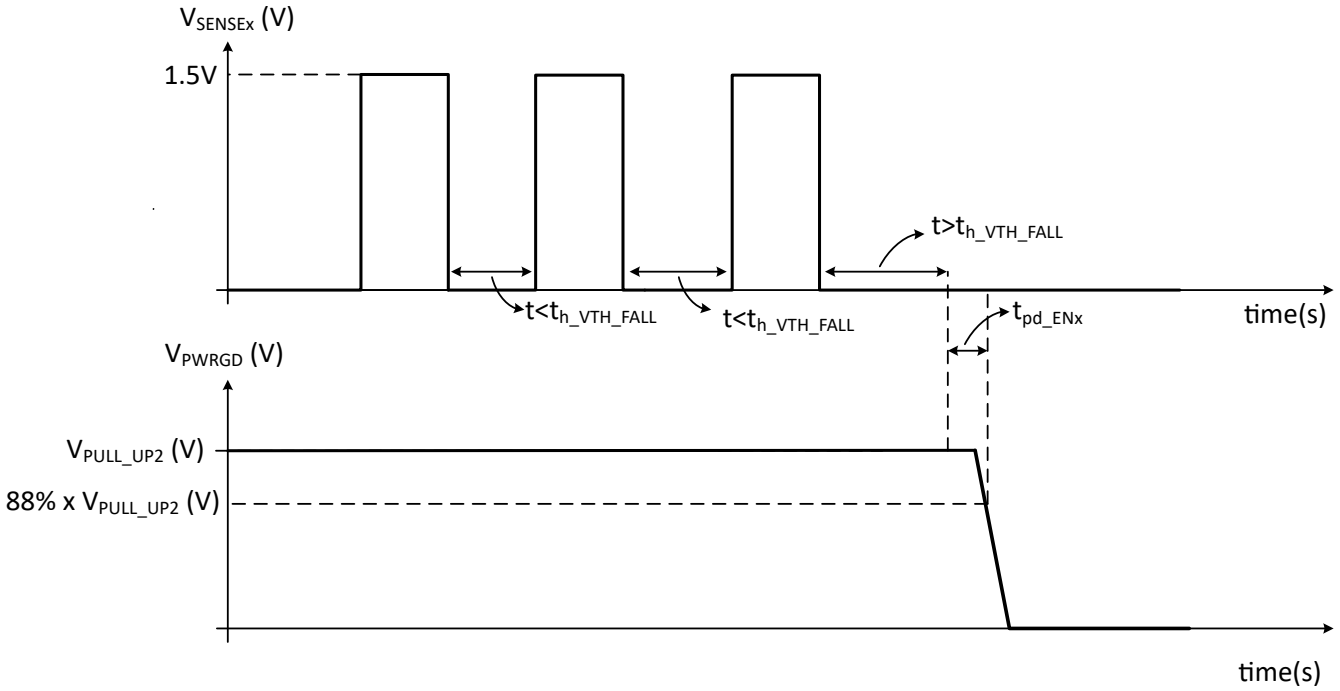


図 7-12. SENSEx ホールド時間の立ち下がりしきい値（$t_{h_VTH_FALL}$）

8 詳細説明

8.1 概要

TPS7H3014 は、宇宙アプリケーション向けの 4 チャネル、3V ～ 14V のシーケンサおよびスーパーバイザです。このデバイスは、イネーブル ハイ ロジック入力を使用してデバイスを駆動することを想定しています。アプリケーションの場合、複数の IC をデイジーチェーン構成で接続することにより、必要に応じてチャネル数を増やすことができます。各出力はプッシュプルアーキテクチャを採用しています。これらの出力のロジック High は、ユーザーがプルアップ入力に電圧を供給することにより、外部から提供します。すべての ENx プッシュプル出力は、PULL_UP1 ドメインに接続しますが、SEQ_DONE と PWRGD は PULL_UP2 ドメインに接続します。

SENSEx 入力は、コンパレータの非反転入力（低電圧）に接続されており、監視対象電源（V_{OUTx}）のオン（規定範囲内）とオフ（期待範囲外）の電圧レベルを判定するために使用されます。これらの各入力は、しきい値レベル 599mV（標準値）により、電圧、温度、放射線（TID）全体で ±1%の精度を実現しています。ヒステリシス電圧のしきい値レベルは、ユーザーによる調整が可能で、R_{TOPx} 抵抗とヒステリシス電流（I_{HYS}）によって決まります。SENSEx の立ち上がり電圧がしきい値（標準 599mV）を超えると、I_{HYS} がアクティブになり、監視対象の電圧レールが規定範囲内の状態であることが示されます。I_{HYS} は、24µA で電圧、温度、放射線 (TID)を通じて ±3% の 精度です。

このデバイスには、次の 2 つのタイマーが内蔵されています。

1. **Dly_TMR**：立ち上がりおよび立ち下がり ENx 遅延を設定します。パワーアップシーケンスの時に $SENSE_{x-1}$ がオン電圧を上回ると、DLY_TMR 入力を使用してユーザーが設定した遅延が終了することにより、EN_x が High にアサートされます。パワーダウンシーケンスの時も同様で、この場合、$SENSE_x$ が OFF 電圧を下回ると、タイマが満了した時点で EN_{x-1} が Low にアサートされることになります。このタイマは、10.5kΩ ～ 1.18MΩ の抵抗を使用することにより、それぞれ 0.25ms ～ 25ms に設定できます。
2. **Reg_TMR**：検出された電圧レールが、オンのしきい値（期待範囲）を上回る必要がある許容時間を設定します。EN_x が High にアサートされると、$SENSE_x$ は、REG_TMR を使用して、ユーザーが設定した時間が 599mV（標準値）を上回るまで上昇します。それ以外の場合は、EN_{x-1} から逆方向シーケンスが開始されます。

デイジーチェーン構成ができるようにするために、デバイスには独立した UP ピンと $\overline{\text{DOWN}}$ ピンが用意されています。UP ピンのしきい値（V_{TH_UP}）は 599mV（標準値）で、$\overline{\text{DOWN}}$ ピンのしきい値（V_{TH_DOWN} ）は 498mV です。ノイズ安定性のため、両方の入力コンパレータには 100mV 固定ヒステリシスが組み込まれています。これらのピンはエッジセンシティブであり、UP の立ち上がりエッジでパワーアップシーケンスが開始され、$\overline{\text{DOWN}}$ の立ち下がりエッジでパワーアップシーケンスが開始されます。

1 つのデバイスを使用して外部から駆動する場合、通常は両方のピン（UP および DOWN）が互いに接続されます。UP 入力と $\overline{\text{DOWN}}$ 入力には正確なしきい値があるため、（抵抗分圧回路を使用して）別のレールを正確に検出することで、シーケンスの UP および DOWN を開始することも、コントローラで外部から駆動することも可能です。V_{TH_UP} より高い電圧で駆動すると、デバイスはプログラムされた遅延時間（DLY_TMR）の後、EN1 を High にアサートしてシーケンスを開始し、その後、SENSE1 は立ち上がり開始します。REG_TMR が経過する前に SENSE1 がオン電圧を超えると、設定された遅延の後に EN2 が High にアサートされます。このプロセスは、SEQ_DONE と PWRGD が High にアサートされるまで、それぞれ完全なパワーアップシーケンスとシステム パワー グッドが確認されるまで継続します。

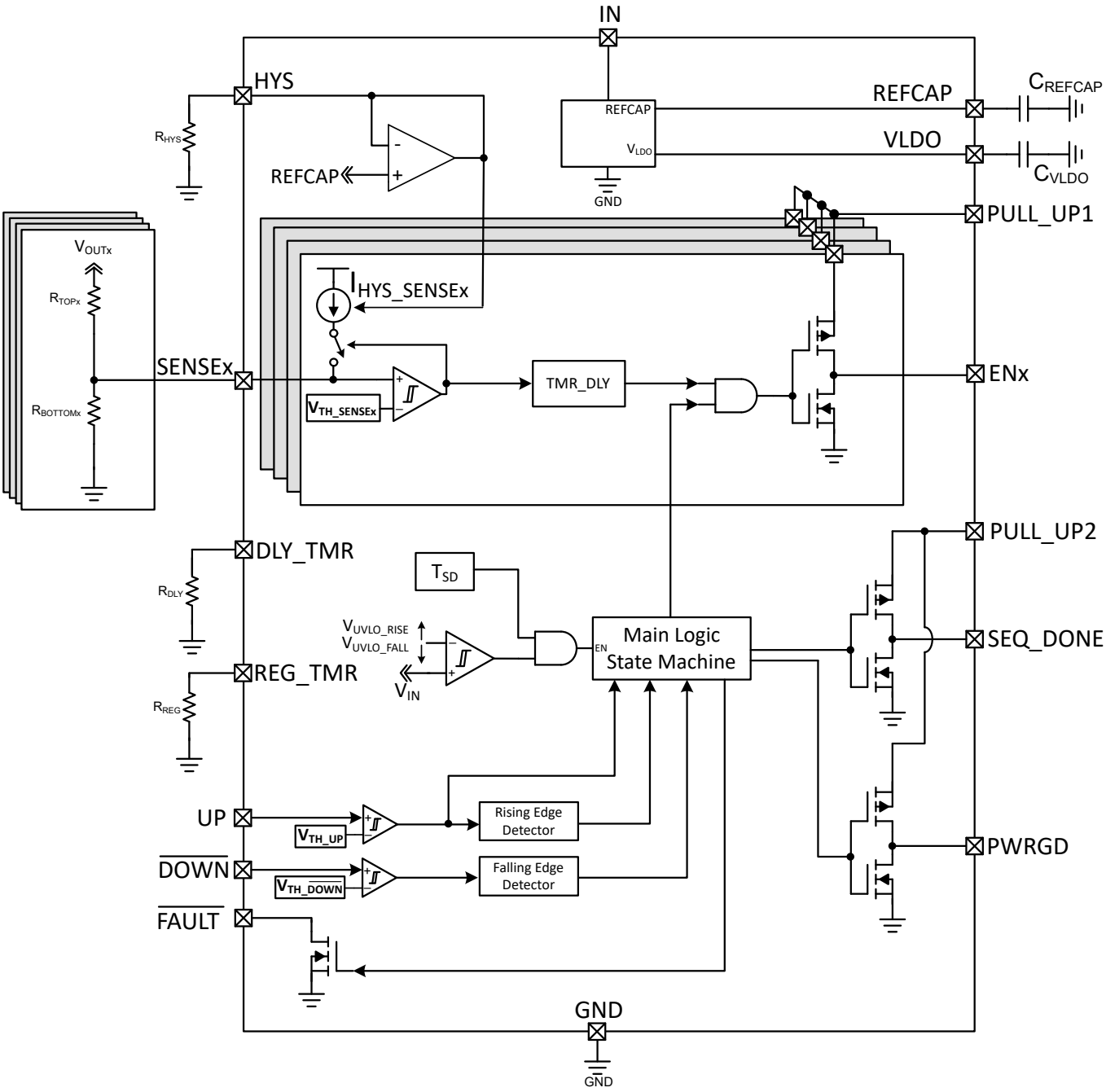
$\overline{\text{DOWN}}$ ピンが $V_{TH_\overline{\text{DOWN}}}$ より低い値で駆動すると、プログラムされた遅延が経過した後、デバイスは EN4 を強制的に Low にすることでパワーダウンシーケンスを開始します。この時点で、SENSE4 電圧は、設定したオフ電圧を下回るまで立ち下がりを続けます。この状態になると、プログラムされた遅延の後に EN3 が Low にアサートされます。これは、EN1 が強制的に Low になるまで継続されます。シーケンス制御されたデバイスの放電時間が不明なため、電源オフ時に REG_TMR はアクティブになりません。

パワーアップシーケンスのとき、最後に使用されたチャネルがオン電圧しきい値を超え、プログラムされた DLY_TMR（アクティブであると仮定）が経過した後、SEQ_DONE と PWRGD が High にアサートされます。パワーダウンシーケンスのとき、V_{OUT1} が OFF 電圧を下回り、DLY_TMR が経過すると、SEQ_DONE は強制的に Low になります。ただし、PWRGD は、コマンドによるパワーダウンシーケンスの直後、強制的に Low になります。

TPS7H3014 には、ステート マシンセクションで解説した包括的な障害管理システムも搭載されています。

Copyright © 2025 Texas Instruments Incorporated

8.2 機能ブロック図


IN
HYS
REFCAP
VLDO
CREFCAP
CVLDO
RHYS
REFCAP
VLDO
GND
PULL_UP1
VOUTx
RTOPx
RBOTTOMx
SENSEx
IHYS_SENSEx
VTH_SENSEx
TMR_DLY
ENx
PULL_UP2
DLY_TMR
RDLY
TSD
VUVLO_RISE
VUVLO_FALL
VIN
Main Logic
State Machine
EN
SEQ_DONE
REG_TMR
RREG
UP
VTH_UP
Rising Edge
Detector
DOWN
VTH_DOWN
Falling Edge
Detector
PWRGD
FAULT
GND
GND

8.3 機能説明

8.3.1 入力電圧（IN）VLDO および REFCAP

定常状態で動作しているとき、TPS7H3014 の入力電圧は 3V ～ 14V にしなければなりません。V_{IN} と GND の間には、0.1µF 以上のバイパスコンデンサが必要です。入力バイパス コンデンサは、シーケンス IC のきるだけ近くに配置する必要があります。は、IC が適切に動作するために、V_{IN} のスルーレートを 10V/µ s～1mV/µ s の範囲で制御することを推奨します。

V_{IN} に印加される電圧は、VLDO 電圧（通常 3.29V）を生成する内部レギュレータの入力として機能します。入力電圧が 3.29V（標準値）より低い場合、VLDO 電圧は V_{IN} 電圧に追従します。VLDO の推奨容量は 1µF です。パワーアップおよびパワーダウンシーケンスの時に、未使用の SENSE2 ～ SENSE4 を VLDO に接続すれば、チャネル遅延をバイパスすることができます。10kΩ 抵抗を介して $\overline{\text{FAULT}}$ ピンを VLDO にプルアップすることを推奨しますが、それ以外の場合、出力電流能力が制限されているので、このピンに外部負荷をかけることは推奨できません。電源投入時、ユーザーは、$V_{IN} > UVLO_{RISE}$ となった後、2.8ms（$t_{Start_up_delay}$）以上待機してからパワーアップシーケンスを開始する必要があります。これは、デバイスの内部時定数によるものです。

各デバイスは、さまざまな制御ロジック ブロックで利用される 1.2V の内部バンドギャップ リファレンスを生成します。これは、定常状態動作時に REFCAP ピンに印加される電圧です。この電圧は分圧され、コンパレータ入力 $SENSE_x$（標準値 599mV）、UP（標準値 598mV）、$\overline{\text{DOWN}}$（標準値 498mV）のリファレンス（基準電圧）を生成します。V_{TH_SENSEx} 基準電圧は、エラーアンプのオフセットを考慮して EN_x 出力で測定され、電圧、温度、放射線の TID（シリコンでは最大 100krad）全体にわたってレギュレーションを±1%以内に維持します。この厳格な基準電圧公差により、ユーザーは電圧レールを高精度で監視できます。適切な電気的動作のために、またデバイスの堅牢なセット性能を確保するために、REFCAP ピンで GND との間に 470nF のコンデンサが必要です。

8.3.1.1 低電圧ロックアウト ($V_{POR_IN} < V_{IN} < UVLO$)

V_{IN} の電圧が、UVLO（2.79V 標準値）電圧未満で、電源オン・リセット電圧（V_{POR_IN} 、1.41V 標準値）よりも高い場合、出力ピン（ENx、SEQ_DONE、PWRGD）は、デバイスの入力電圧に関係なく、ロジック LOW 状態になります。この名称は次の通りです:

- $SENCE_x$
- UP
- $\overline{\text{DOWN}}$

8.3.1.2 パワーオン リセット ($V_{IN} < V_{POR_IN}$)

V_{IN} の電圧が、パワーオン リセット電圧 (V_{POR_IN}) を下回った場合、出力信号は不定となり、デバイスの正常な動作を保証するものではありません。

図 8-1 に、ENx 出力と立ち上がり入力電圧（V_{IN}）との関係を示します。ご覧のように、V_{IN} が V_{POR_IN}（標準値 1.41V）を下回ると、ENx は未定義になります。このとき、出力は 0V から V_{IN} まで任意の値になり得ます。この場合、すべての低電圧（UV）入力コンパレータ（SENSEx）への入力電圧は V_{TH_SENSEx}（599mV）を下回っています。したがって、（立ち上がりエッジの待機と合わせて）、V_{IN} が $UVLO_{RISE}$（通常 2.79V）を上回った後も、ENx、SEQ_DONE、PWRGD は Low のままです。

Copyright © 2025 Texas Instruments Incorporated

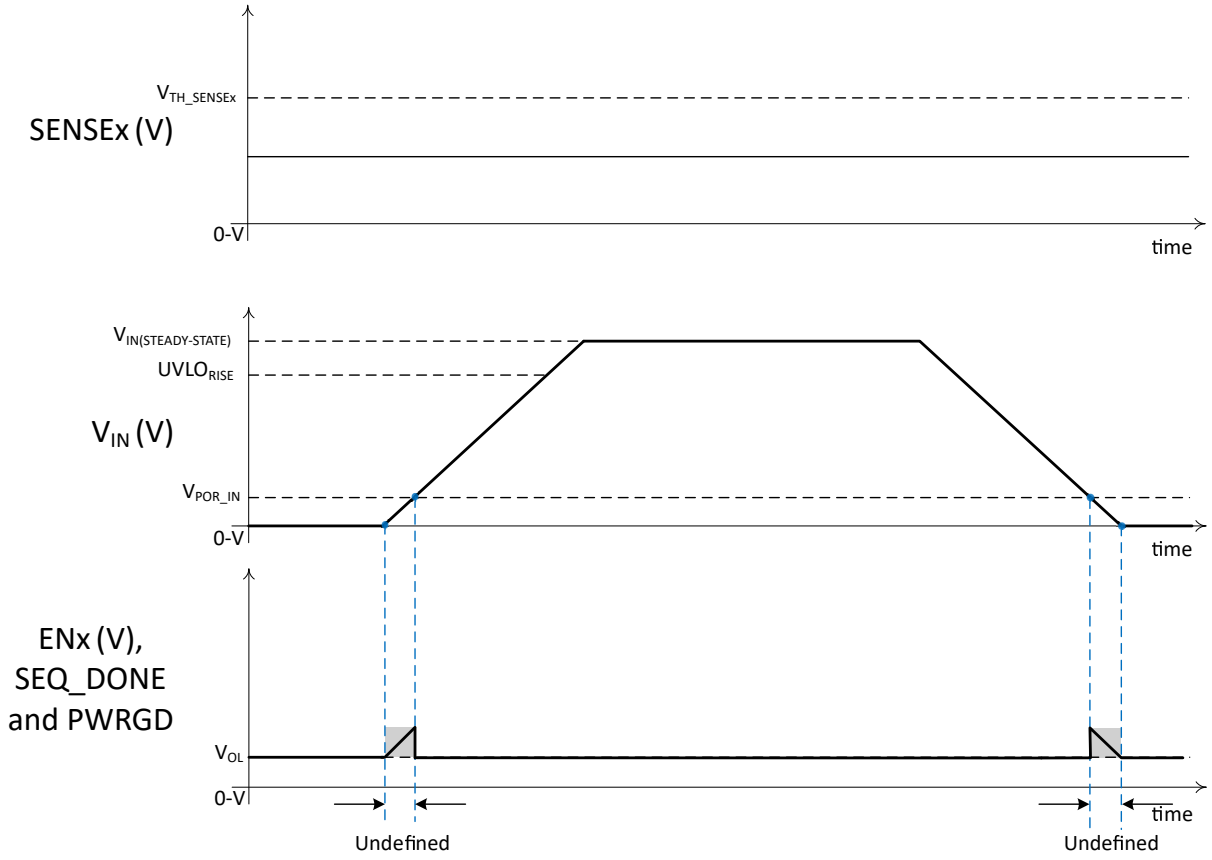


図 8-1. $V_{IN} > V_{IN-MIN}$ 後の有効な Low 状態における出力

A. この図では以下のようになります。

1. 有効な外部プルアップ電圧は、PULL_UPx 入力（$1.6V \le V_{PULL_UPx} \le 7V$）に接続されている。
2. $V_{IN(STEADY-SATE)}$の有効な V_{IN} 電圧は、3V ～ 14V である。
3. $V_{\overline{FAULT}}$ は、VLDO へのプルアップ（抵抗）である。
4. デバイスは：パワーアップシーケンス状態で待機中（詳細については、ステート マシンを参照）。
5. V_{OL} は以下を表す：V_{OL_ENx}、$V_{OL_SEQ_DONE}$、V_{OL_PWRGD}、またはすべての出力の Low ロジック出力電圧。

8.3.2 SENSEx 入力

8.3.2.1 V_{TH_SENSEX} および V_{ONx}

TPS7H3014 シーケンサには 4 つの低電圧（UV）コンパレータが内蔵されており、公称 599mV に対して高精度（±1%）のしきい値電圧（V_{TH_SENSEx}）を確保しています。V_{TH_SENSEx} は、しきい値のコンパレータオフセットを考慮して ENx 出力で測定します。任意の電圧レール（V_{OUTx}）を検出するように外付け分圧抵抗回路を調整できるので、最大限のフレキシビリティをご提供できます。SENSEx 入力に接続されたコンパレータの概念図を、図 8-2 に示します。ご覧のように、検出した電圧レール（V_{OUTx}）は（外付けの分圧抵抗 R_{TOPx} と $R_{BOTTOMx}$ を使用することにより）減衰され、V_{TH_SENSEx} 電圧と比較されます。しきい値電圧（V_{TH_SENSEx}）の精度を確保するため、定常状態の SENSEx 電圧を 1.6V 未満に維持することを推奨します。

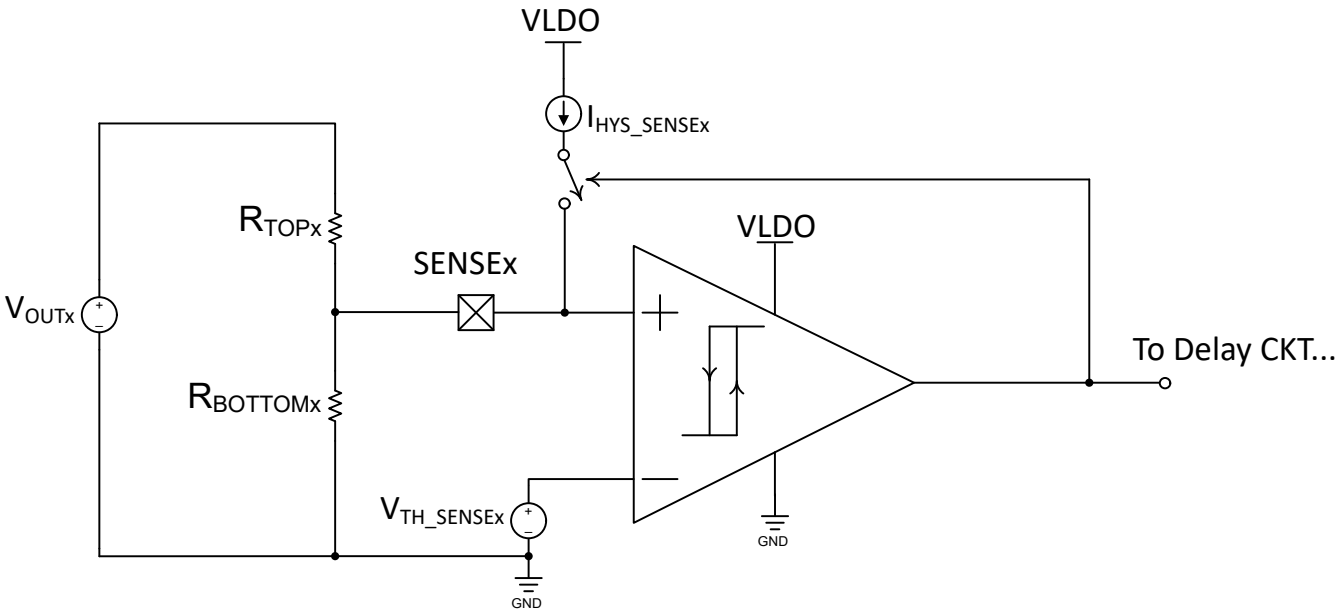


図 8-2. SENSEx コンパレータ入力

監視対象レール（V_{OUTx}）の電圧が上昇すると、ヒステリシス電流（I_{HYS}）は SENSEx 入力に接続されません。このとき、SENSEx（減衰された V_{OUTx}）電圧を SENSEx しきい値電圧（V_{TH_SENSEx}）と比較します。$V_{SENSEx} > V_{TH_SENSEx}$ であれば、電圧は規定の制限範囲内と見なされます。簡単な分圧回路を使用すると、オン（規定範囲内）電圧を次のように計算できます：

$$V_{ONx_NOMINAL}\ (V) = \left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx} \quad (1)$$

ここで

- V_{TH_SENSEx} は、イネーブルしきい値電圧で 599mV です。

他のシステムと同様に、設計上の変数にも多少の変動（または誤差）があります。この場合は、上部と下部の抵抗と SENSEx のしきい値電圧です。微分法を使用して合計誤差を計算します（また、これらの変数は相関していないと仮定）。両方の抵抗の許容誤差が同じであれば、V_{ONx} 誤差は次のように計算できます：

$$V_{ONx_ERROR}\ (V) = \pm\sqrt{\frac{V_{TH_SENSEx}^2 \times \left[\left(2 \times R_{TOL}^2 \times R_{TOPx}^2\right) + \left(V_{TH_SENSEx_ACC}^2 \times \left(R_{TOPx} + R_{BOTTOMx}\right)^2\right)\right]}{R_{BOTTOMx}^2}} \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

ここで

- R_{TOL} は、抵抗の許容誤差 (抵抗は上下とも同じ) の数値。例えば、許容誤差 0.1% の抵抗の場合、0.001 を使用。
- $V_{TH_SENSEx_ACC}$ は、SENSEx しきい値精度の数値 (この場合は 0.01)。
- R_{TOPx} と $R_{BOTTOMx}$ の単位はオーム (Ω) です。
- V_{TH_SENSEx} は 0.599 V です。

式 1 と式 2 を使用すると、ON 電圧範囲は次のように計算できます:

$$V_{ONx} = V_{ONx_NOMINAL} \pm V_{ONx_ERROR} \quad (3)$$

注

V_{TH_SENSEx} は、コンパレータのオフセットを考慮する際の基準電圧であり、$V_{TH_SENSEx} = V_{REF} + V_{OFFSETx}$ であることを思い出してください。

このデバイスはマルチレールシステムのシーケンス制御を目的としているため、ENx から SENSEx への順序は、パワーアップシーケンスの昇順 (EN1 から EN4) とパワーダウンシーケンスダウンの降順 (EN4 から EN1) と定義されます。シーケンサのチャネルが不要な場合 (未使用)、チャネルを VLDO に接続して、パワーアップ/パワーダウンシーケンス中にチャネルをスキップすることができます。無効化したチャネルはすべて VLDO に接続することを推奨しますが、VLDO (最大) の 91%を超える外部電圧を使用するとチャネルは無効化されます (SENSEx の電圧は 3.5V を超えることができません)。無効化できるのは、チャネル 2 ～ 4 だけです。各チャネルは、High (チャネル#4) から Low (チャネル#2) の順に無効化することを推奨します。チャネルは、チャネル数の少ないもの以降が無効になります。つまり、チャンネル#2 が無効になっている場合、チャンネル#3 と#4 も無効になります。すべての無効化されたチャネルを VLDO (または VLDO の 91% を超える電圧) に接続する必要があります。

注

無効化するチャネルは、電源オン時に有効である必要があり、パワーアップおよびパワーダウンシーケンス中に動的に変更しないでください。

SENSE2 ～ SENSE4 の任意の電圧 > V_{TAN_OFF} [VLDO (最大)の 91%]の場合、チャネルは無効 (またはターンオフ) になります。これにより、パワーアップおよびパワーダウンシーケンス中は、これらのチャネルの遅延 (TMR_DLY で設定) が無効になります。

必須ではありませんが、ノイズの多いアプリケーションでは、監視対象信号の過渡電圧に対する感度を低減するために、SENSEx 入力端に小容量のバイパス コンデンサを配置することが優れたアナログ設計の実践となります。

8.3.2.2 I_{HYS_SENSEx} および V_{OFFx}

TPS7H3014 には 24µA のヒステリシス電流が組み込まれており、その精度は±3%です (R_{HYS} = 50kΩ の場合)。ヒステリシス電流は、REFCAP/R_{HYS} と等価です。最終的にヒステリシス電流の精度に影響を及ぼすため、R_{HYS} の許容誤差は 0.1% を推奨します。

注

50kΩ の代わりに、R_{HYS}= 49.9kΩ の抵抗を使用することができます。この場合、公称電流 I_{HYS_SENSEx} は、24µA ではなく 24.05µA になります。

この電流は、すべての SENSEx 入力において内部でミラーリングされます。このヒステリシス電流は、SENSEx 電圧がしきい値電圧 (599mV±1%) を上回ると、V_{OUTx} > V_{ONx} と同じ値 (式 3 と図 8-2 を参照) でアクティブになります。この電流 (I_{HYS}) に R_{TOPx} 抵抗を乗算すると、SENSEx ノードに追加される電圧 (V_{HYSx}) が誘導され、ノード電圧を効率的に上昇 (インクリメント) させます。パワーダウンシーケンスのとき、または V_{OUTx} がデクリメントして低電圧イベントとなった場合、規定範囲外 (または障害) と見なされるためには、電圧が V_{OFF} 電圧を下回る必要があります。ヒステリシス電圧は、次のように定義されます:

$$V_{HYSx_NOMINAL}\ (V) = I_{HYS_SENSEx} \times R_{TOPx} \quad (4)$$

ここで

- I_{HYS_SENSEx} = 24 × 10^{-6} アンペア (または 24µA)
- R_{TOPx} 単位はオーム (Ω) 単位です。

「オフ」電圧（または規定範囲外）電圧は、次のように計算することができます：

$$V_{OFFx_NOMINAL}\ (V) = V_{ONx_NOMINAL} - V_{HYSx_NOMINAL} \quad (5)$$

式 1 および式 5 を使用しますが

$$V_{OFFx_NOMINAL}\left(V\right) = \left[\left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx}\right] - \left(I_{HYS_SENSEx} \times R_{TOPx}\right) \quad (6)$$

ここで

- V_{TH_SENSEx} は、標準の検出しきい値電圧は 0.599 V です。
- I_{HYS_SENSEx} = 24 × 10^{-6} アンペア (または 24µA)
- R_{TOPx} と $R_{BOTTOMx}$ の単位はオーム (Ω) 単位です。

V_{off} 誤差（微分法を使用し、すべての変数が相関していないと仮定した場合）は、次のように計算できます。

$$V_{OFFx_ERROR}\left(V\right) = \pm\sqrt{\frac{A + B + C + D}{R_{BOTTOMx}^{2}}} \quad (7)$$

ここで、方程式の項は次のとおりです。

$$A = I_{HYS_SENSEx}^{2} \times I_{HYS_SENSEx_ACC}^{2} \times R_{TOPx}^{2} \times R_{BOTTOMx}^{2} \quad (8)$$

$$B = R_{TOL}^{2} \times R_{TOPx}^{2} \times V_{TH_SENSEx}^{2} \quad (9)$$

$$C = R_{TOL}^{2} \times R_{TOPx}^{2} \times \left[\left(I_{HYS_SENSEx} \times R_{BOTTOMx}\right) - V_{TH_SENSEx}\right]^{2} \quad (10)$$

$$D = V_{TH_SENSEx}^{2} \times V_{TH_SENSEx_ACC}^{2} \times \left(R_{TOPx} + R_{BOTTOMx}\right)^{2} \quad (11)$$

ここで

- R_{TOL} は、抵抗の許容誤差 (抵抗は上下とも同じ) の数値。例えば、許容誤差 0.1% の抵抗の場合、0.001 を使用。
- $V_{TH_SENSEx_ACC}$ は、SENSEx しきい値精度の数値 (この場合は 0.01)。
- $I_{HYS_SENSEx_ACC}$ は、ヒステリシス電流精度の数値（この場合は 0.03）。
- V_{TH_SENSEx} は、標準の検出しきい値電圧は 0.599 V です。
- I_{HYS_SENSEx} = 24 × 10^{-6} アンペア (または 24µA)
- R_{TOPx} と $R_{BOTTOMx}$ の単位はオーム (Ω) 単位です。

$$V_{OFFx} = V_{OFFx_NOMINAL} \pm V_{OFFx_ERROR} \quad (12)$$

式 6 と式 7 を使用すれば、オフ電圧範囲を次のように算出できます：

図 8-3 に、立ち上がり電圧と立ち下がり電圧の概念図を示します。この図には、V_{TH} の精度、I_{HYS} の精度、抵抗分割回路の許容誤差による電圧の誤差も記載されてます。システム レベルでは、堅牢な設計を実現するために、これらの誤差を考慮する必要があります。

Copyright © 2025 Texas Instruments Incorporated

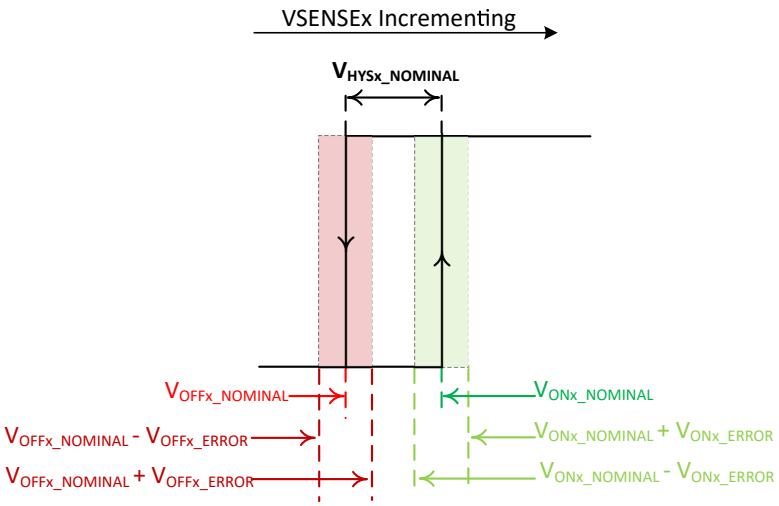


図 8-3. SENSE$_x$ コンパレータの立ち上がりおよび立ち下がりにおけるしきい値電圧

8.3.2.3 上部および下部の抵抗分圧回路の設計式

システムレベルでは、設計者が V_{ONx} および V_{OFFx} レベルを把握（または選択）します。通常、これらの電圧は、監視対象の公称レール電圧(V_{OUTx}) に対するパーセンテージとして選択されます。この情報が判明していれば、目的の目標レベルに応じて抵抗分割回路の各構成部品の値（R_{TOPx} と $R_{BOTTOMx}$）を計算することができます。式 5 と式 4 を使用して、上側の抵抗を計算できます。

$$R_{TOPx} = \frac{V_{ONx} - V_{OFFx}}{I_{HYS_SENSEx}} \quad (13)$$

下部の抵抗は、式 1 から次のように計算できます。

$$R_{BOTTOMx} = \frac{R_{TOPx} \times V_{TH_SENSEx}}{V_{ONx} - V_{TH_SENSEx}} \quad (14)$$

V_{ONx} と V_{OFFx}（V_{HYSx} と呼びます）の乖離が大きくなれば、オフ電圧の誤差も大きくなることに注意してください。図 8-4 に、さまざまなヒステリシス電圧（$V_{HYSx} = V_{ONx} - V_{OFFx}$）に対する V_{OFFx} のプロットを示します。このプロットは、3 つの異なる V_{ON} 電圧（または次の公称出力電圧のパーセンテージ：90、95、97%）、および 2 つの異なる出力電圧（0.8V と 28V）について作成されています。ご覧のとおり、出力電圧がオフ電圧の誤差に及ぼす影響はほとんどありません（ただし、プロットで差異を計ることはできません）。誤差（% 単位）は、約 1%（V_{HYS} = 3% のとき）から約 2.6%（V_{HYS} = 80% のとき）になります。

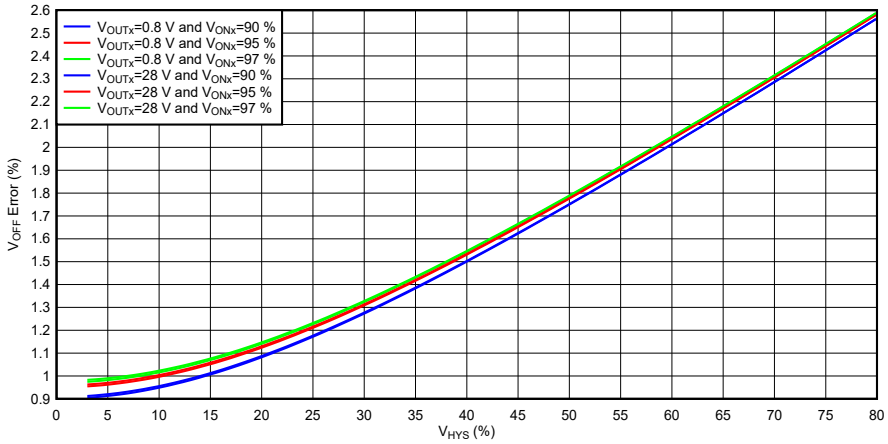


図 8-4. V_{OFFx} の誤差と V_{HYS} との関係

A. このプロットには、式 13 と式 14 を使用して計算した上部の抵抗と下部の抵抗の差、および設計者が調達できる抵抗の実際の値との差による V_{OFFx} の誤差は含まれていません。
B. 計算に使用する抵抗の許容誤差は 0.1%、V_{TH_SENSEx} 精度は 1%、I_{HYS_SENSEx} 精度は 3%です。
C. V_{HYS} (%) は、このプロットでは、乖離を公称出力電圧 (V_{OUTx}) のパーセンテージとして表しています。
D. このプロットでは、フルスケール電圧 (V_{OUTx}) を基準にして、% 単位の V_{OFF} 誤差を正規化しています。

Copyright © 2025 Texas Instruments Incorporated

8.3.3 出力段（ENx、SEQ_DONE、PWRGD、PULL_UP1、PULL_UP2）

出力段（EN1 ～ EN4）、SEQ_DONE、PWRGD はプッシュプル、アクティブ High タイプです。プッシュプル出力のプルアップ電圧は、ユーザが外部から供給します。PULL_UP1（入力）はすべての ENx 出力（EN1 から EN4 へ）のプルアップ電圧ドメインで、PULL_UP2（入力）は SEQ_DONE 出力と PWRGD 出力のプルアップ電圧ドメインです。

注

IN、PULL_UP1、PULL_UP2 のシーケンス要件はありませんが、パワーアップおよびパワーダウンシーケンスに対するコマンドの前に、すべてにバイアスを印加する必要があります。

注

TI では、PULL_UPx 入力を、ピンのできるだけ近くに配置して、1µF のセラミックコンデンサでデカップリングすることを推奨しています。これにより、出力（ENx、PWRGD、SEQ_DONE）のクリーンな電圧信号を確保します。

各出力段は PMOS/NMOS（CMOS）ペアで構成されます。各レッグの出力抵抗は、V_{PULL_UPx} > 3.3V の場合、標準値の 7Ω です。PULL_UP1 および PULL_UP2 の電圧範囲は 1.6V～7V で、電圧範囲は個別にバイアスすることも、同じ電圧レールに接続することもできますが、いずれにしてもバイアスする必要があります。PMOS レッグの出力抵抗は、PULL_UPx 電圧依存性を持ちます。PULL_UPx 電圧が低いほど、PMOS 抵抗は高くなります。

V_{IN} < V_{POR_IN} かつ V_{PULL_UPx} > $V_{POR_PULL_UPx}$（最大 1.4V）の場合、出力は既知のプルダウン状態になります。この条件では、本デバイスが出力に 100 µ A の電流をシンクする場合、V_{OL} ≤ 320mV で、出力のシンク能力が低下します。

- ENx
- PWRGD
- SEQ_DONE

入力電圧範囲が 3V ～ 14V の推奨入力電圧範囲内にある場合、出力は、出力ごとに ±10mA の最大の能力を発揮します。

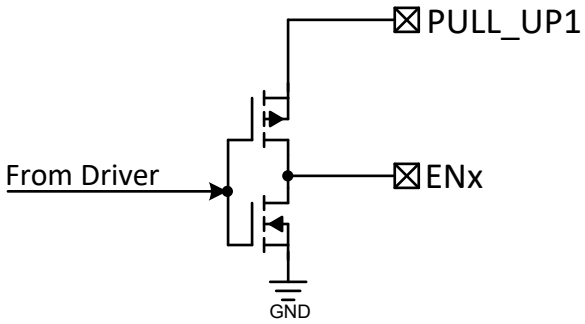


図 8-5. ENx プッシュプル出力段

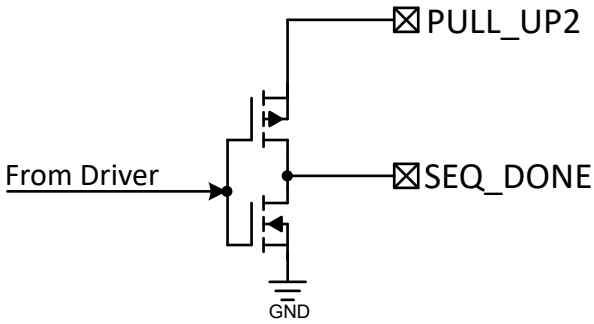


図 8-6. SEQ_DONE プッシュプル出力段

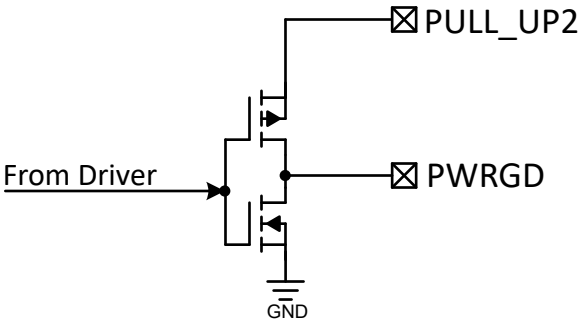


図 8-7. PWRGD プッシュプル出力段

8.3.4 ユーザープログラマブル タイマ

TPS7H3014 には、次のとおり、2 つのグローバル（またはすべての SENSEx チャネルに共通）調整可能タイマがあります:

- DLY_TMR
- REG_TMR

このタイマは、両方とも DLY_TMR および REG_TMR ピンと GND との間にある 1 つの抵抗を介してプログラムされます。これらの抵抗は、タイマの内部発振器周波数をプログラムするために使用されます。DLY_TMR ピンまたは REG_TMR ピンをフローティング状態にすると、それぞれタイマは無効化されます。タイマを無効化すると、デバイスの電流消費が低減されます（I_{Q_IN}）。両タイマのレンジは、250µs ～ 25ms です。

注

タイマの条件は、電源投入時に有効でなければならず、動的に変更することはできません。

図 8-8 に、UP/DOWN ピンが互いに接続され、障害が発生していないと仮定した場合のパワーアップおよびパワーダウンシーケンスを示します。DLY_TMR はオレンジ色で、REG_TMR 時間は矢印で表示されています（ENx から High に移行するまで）。

Copyright © 2025 Texas Instruments Incorporated

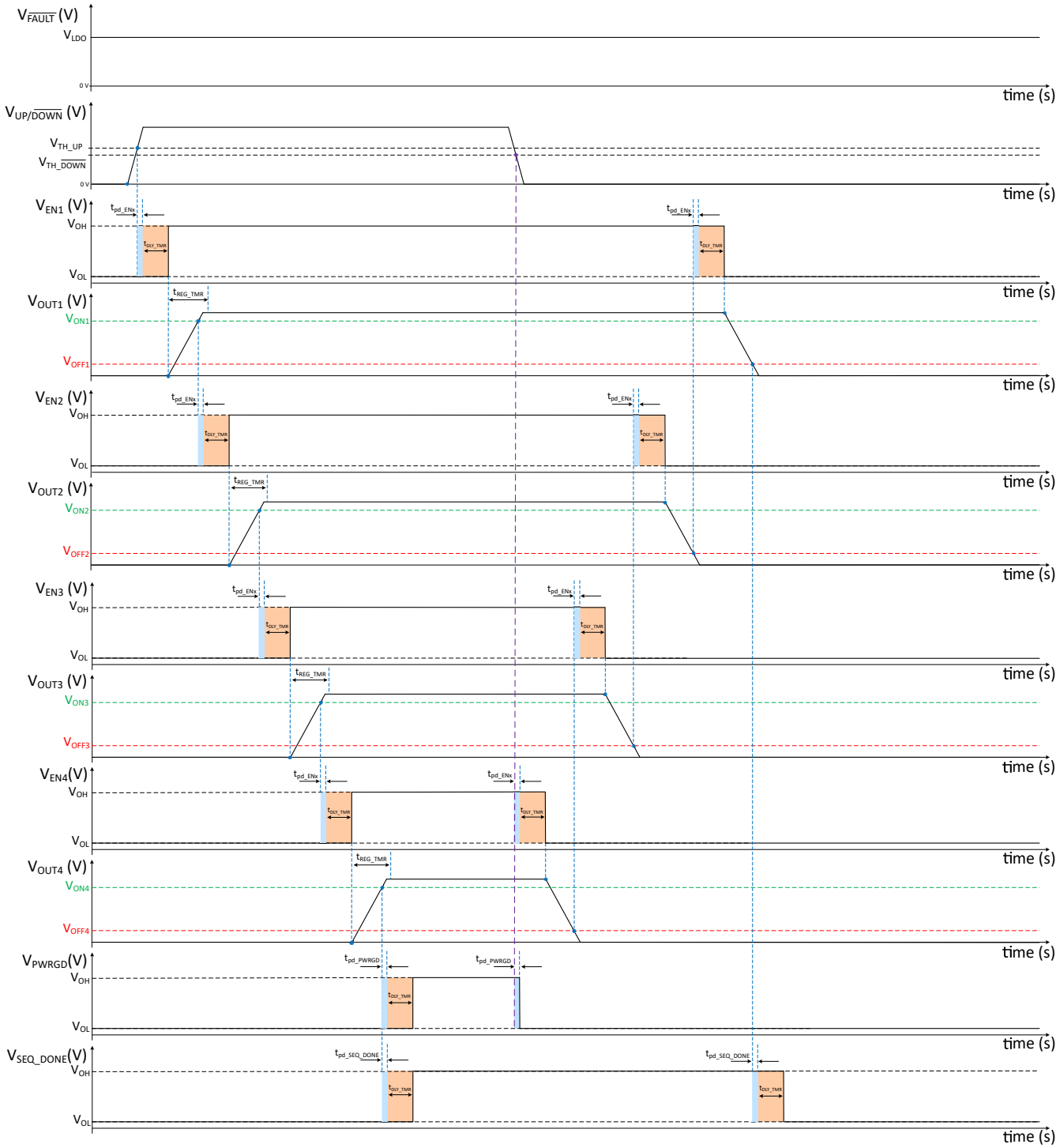


図 8-8. パワーアップ/ダウン シーケンス

A. 大切なのは、t_{pd_ENx}、t_{pd_pwrGd}、$t_{PD_SEQ_DONE}$ が青色で表示されていることです。これは、出力（ENx、PWRGD、SEQ_DONE）の伝搬遅延です。DLY_TMR（フローティング）を使用していない場合、出力信号はこの遅延の後に有効な状態に変化します。DLY_TMR を使用する場合は、プログラムされたタイマ時間にこの時間を追加する必要があります。

B. REG_TMR が有効なのは、パワーアップシーケンスのときだけです。

8.3.4.1 DLY_TMR

TPS7H3014 には、調整可能な時間遅延機能があります。DLY_TMR ピンと GND の間に 1 つの抵抗を接続すると、遅延をプログラムできます。使用可能な抵抗（R_{DLY}）の値は、268µs から 23.63ms までの遅延に対して、それぞれ 10.5kΩ から 1.18MΩ までとなります。パワーアップシーケンスの最中に、この遅延により、監視対象の電圧がユーザーがプログラムした時間に「オン」電圧（$V_{OUTx} > V_{ONx}$）を超えると、EN_{x+1}、SEQ_DONE と PWRGD が Low に保持されます。パワーダウンシーケンスの最中に、監視対象の電圧が「オフ」電圧（$V_{OUTx} < V_{OFFx}$）を下回ると、プログラムした遅延時間の間、EN_{x-1} および SEQ_DONE が HIGH に保持されます。

注

パワーダウンシーケンスのとき、PWRGD は、$V_{\overline{DOWN}} < V_{\overline{TH_DOWN}}$ の直後に Low になります。

システムに対して遅延が望ましくない場合は、ピン (DLY_TMR) をフローティングのままにしておくことができます。遅延が望ましくない場合であっても、パワーアップシーケンス中に、V_{OUTx} が V_{ONx} と EN_{x+1} を超えて HIGH になるまでの間に、6.5µs (最大)の固有の伝搬遅延が観測されます。また、パワーダウンシーケンス中には、V_{OUTx} が V_{OFFx} を下回り、EN_{x-1} が強制的に Low になると、伝搬遅延が観測されます。パワーアップシーケンスアップ中では、$V_{OUT4} > V_{ON4}$ のとき、SEQ_DONE と PWRGD にもこの伝搬遅延が発生します。パワーダウンシーケンスのとき、伝搬遅延の後で $V_{OUT1} < V_{OFF1}$ になると SEQ_DONE は LOW になり、パワーダウンシーケンスが指示されると、伝搬遅延の後で PWRGD が LOW になります。図 8-8 で、は伝搬遅延（t_{pd_ENx}、$t_{pd_SEQ_DONE}$、t_{pd_PWRGD}）は青色で、プログラミングされた遅延（t_{DLY_TMR}）はオレンジ色で示されています。DLY_TMR 抵抗は、式 15 または式 16 を使用して選択できます。図 8-9 と図 8-10 に、DLY_TMR 抵抗と遅延時間の線形トレンドを示します。

t_{DLY_TMR} が 0.268ms ～ 12.5ms の場合は、以下を使用します:

$$R_{DLY_TMR}(k\Omega) = \left[49.75 \times t_{DLY_TMR}(ms)\right] - 2.832 \quad (15)$$

t_{DLY_TMR} が 12.5ms を超える場合は、以下を使用します:

$$R_{DLY_TMR}(k\Omega) = \left[51.61 \times t_{DLY_TMR}(ms)\right] - 26.12 \quad (16)$$

さまざまな遅延時間の公称抵抗値を、表 8-1 に示します。

表 8-1. 標準的な DLY_TMR 抵抗

t_{DLY_TMR}(ms)	R_{DLY_TMR}(kΩ)
0.268	10.5
12.5	619
23.37	1180

Copyright © 2025 Texas Instruments Incorporated

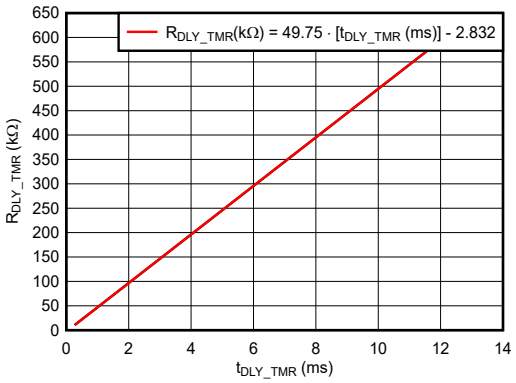


図 8-9. R_{DLY_TMR} と t_{DLY_TMR} との関係（0.268ms ～ 12.5ms）

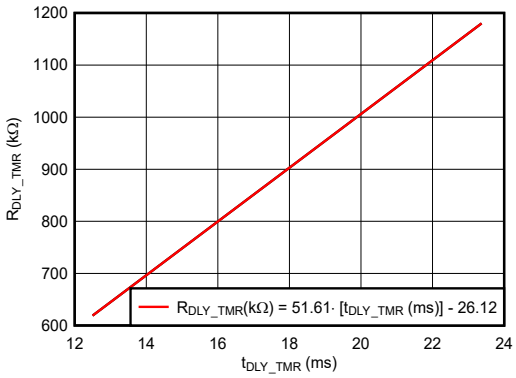


図 8-10. R_{DLY_TMR} と t_{DLY_TMR} との関係（12.5ms ～ 23.37ms）

8.3.4.2 Reg_TMR

REG_TMR（レギュレーション・タイマ用）は、調整可能な時間モニタで、V_{OUTx} > V_{ONx} となるまでに要する時間を監視します。ユーザーは、REG_TMR と GND と間に 1 つの抵抗を配置すれば、REG_TMR をプログラムすることができます。抵抗（R_{REG}）の範囲は、264µs ～ 23.63ms に対して、それぞれ 10.5kΩ ～ 1.18MΩ です。REG_TMR をアクティブにしたくない場合は、このピンをフローティング状態にしておくことができます。この場合、V_{OUTx} では、V_{ONx} 電圧を超えるまでの時間が無限になります。REG_TMR は、パワーアップシーケンスのときにのみアクティブになります。

注

REG_TMR がフローティングのままになっていて、V_{ONx} 電圧が交差しない場合、ステートマシンは無制限に待機状態を維持します。

アクティブの場合、REG_TMR は、ENx 信号が強制的に High になったときに、V_{OUTx} が V_{ONx} 電圧を超えるまでに要する時間をモニタします。REG_TMR が経過しても、V_{OUTx} が V_{ONx} 電圧を超えていない場合は、ステート マシンセクションで説明しているように、従前にシーケンスしたレールからの逆方向のシーケンスが開始されます。図 8-8 に、ENx が強制的に High になった時（V_{OUTx} の立ち上がり開始）からのパワーアップシーケンス中の REG_TMR アクティブを示します。この場合、V_{OUTx} は、タイマが経過する前に必ず V_{ON} を超えます。式 17 および式 18 を使用して REG_TMR 抵抗を選択できます。図 8-11 または図 8-12 に、REG_TMR 抵抗と、レールがレギュレーション状態になることが許容されるレギュレーション時間との間の線形傾向（V_{OUTx} > V_{ONx}）を示します。

t_{DLY_TMR} が 0.264ms ～ 12.4ms の間の場合は、以下を使用します：

$$R_{DLY_TMR}(k\Omega) = \left[50.14 \times t_{DLY_TMR}(ms)\right] - 2.737 \quad (17)$$

t_{DLY_TMR} が 12.4ms を超える場合は、以下を使用します：

$$R_{DLY_TMR}(k\Omega) = \left[49.96 \times t_{DLY_TMR}(ms)\right] - 0.4479 \quad (18)$$

表 8-2 に、さまざまな許容レギュレーション時間に対する標準抵抗値を示します。

表 8-2. 標準的な REG_TMR 抵抗

t_{REG_TMR} (ms)	R_{REG_TMR} (kΩ)
0.264	10.5
12.4	619
23.63	1180

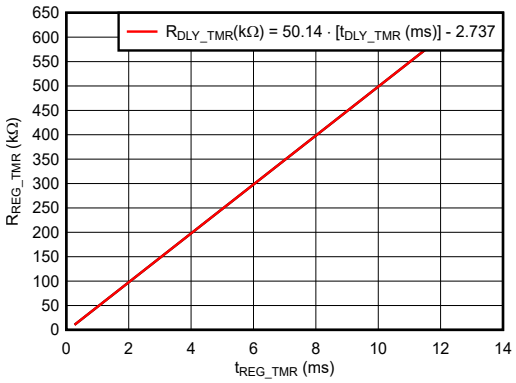


図 8-11. R_{REG_TMR} と t_{REG_TMR} との関係、0.264ms から 12.4ms まで

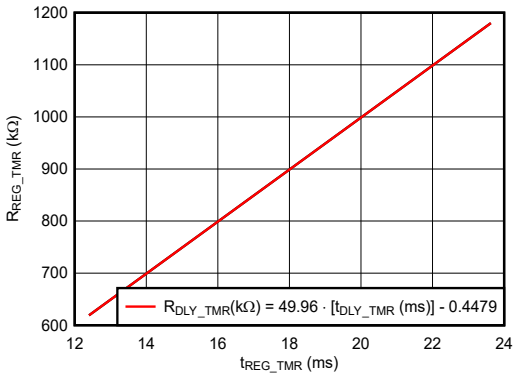


図 8-12. R_{REG_TMR} と t_{REG_TMR} との関係、12.4ms から 23.63ms まで

Copyright © 2025 Texas Instruments Incorporated

8.3.5 UP および $\overline{\text{DOWN}}$

UP ピンと $\overline{\text{DOWN}}$ ピンは、パワーアップまたはパワーダウンシーケンスを開始する入力です。どちらのピンにも、しきい値電圧 V_{TH_UP} = 599mV（UP 用）、および $V_{TH_\overline{DOWN}}$ = 498mV（$\overline{\text{DOWN}}$ 用）の正確なコンパレータが組み込まれており、両入力の精度は、±3%です。

ノイズを安定させるため、両方のコンパレータには 100mV の固定ヒステリシスが組み込まれています。これらのピンのエッジは、次のようなコマンドを開始するために使用されます：

- UP の立ち上がりエッジによるパワーアップシーケンスの開始。
- $\overline{\text{Down}}$ の立ち下がりエッジによるパワーダウンシーケンスの開始。

また、UP 電圧は、FAULT（障害）時の発振を防止するためのラッチ方式としてステートマシンでも使用されます。障害状態から抜け出すには、UP 電圧をロジック Low にする必要があります。UP は 100mV のヒステリシスを持つコンパレータなので、V_{UP} が以前に V_{TH_UP} を上回っていたかどうかに応じて、ロジック Low レベルは次のようになります。

- UP が、これまでに V_{TH_UP} を上回っていない場合は、$V_{TH_UP} \leq 599mV$（標準値）。
- UP が、以前に V_{UP_TH} を超えたことがある場合は、V_{UP_TH}（標準値 600mV）– 100mV ≤ 500mV（標準値）。

これらの入力は、ハウスキーピング コントローラを使用して外部から駆動するか、電圧源に接続された抵抗分圧回路を介して駆動することができます。

これらの入力はエッジの影響を受けやすいため、パワーアップシーケンス コマンドを送信する前に、2.8ms（$t_{Start_up_delay}$）以上の安定した入力電圧（$UVLO_{RISE} < V_{IN} < 14V$）を確保することが重要です。これは、デバイスの内部時定数によるものです。パワーダウンシーケンスのときは、SEQ_DONE フラグが LOW に設定されるまで、安定した入力電圧を維持して、すべてのレールのパワーダウンシーケンスが適切に制御されるようにすることが重要です。

UP ピンと $\overline{\text{DOWN}}$ ピンの両方に高精度の低電圧コンパレータがあるため、ユーザーは、抵抗分圧回路を使用してメイン電源レール（V_{MAIN}）を監視するときに、システムが自動的にパワーアップおよびパワーダウンシーケンスを開始する電圧をプログラムすることができます。ただし、この場合、すでに説明したように、V_{IN} が安定したときに立ち上がり/立ち下がりエッジが確実に送信するようにすることが重要です。V_{MAIN} のスルーレートが高速の場合は、UP ピンと GND の間にコンデンサを追加して信号を遅延させることが可能です。

通常、パワーアップシーケンスを起動する電圧（V_{UP_IDEAL} と呼ばれます）および停止する電圧（$V_{\overline{DOWN}_IDEAL}$ と呼ばれます）は、設計者が把握しています。この情報とともに、式 19 および式 20 を使用して抵抗分圧回路の値を計算することができます。通常、上部の抵抗値は 10kΩ に固定されています。

$$R_{BOTTOM_UP} = R_{TOP_UP} \times \frac{V_{TH_UP}}{V_{UP_IDEAL} - V_{TH_UP}} \tag{19}$$

$$R_{BOTTOM_\overline{DOWN}} = R_{TOP_\overline{DOWN}} \times \frac{V_{TH_\overline{DOWN}}}{V_{\overline{DOWN}_IDEAL} - V_{TH_\overline{DOWN}}} \tag{20}$$

ここで

- V_{TH_UP} = 598mV (標準値)
- $V_{TH_\overline{DOWN}}$ = 498mV（標準値）

設計者が実際の（実在する）抵抗分圧回路の値を把握していれば、式 21 と式 22 を使用してパワーアップおよびパワーダウンシーケンスの公称電圧は次のように算出できます：

$$V_{UP_NOMINAL}\ (V) = \left(1 + \frac{R_{TOP_UP}}{R_{BOTTOM_UP}}\right) \times V_{TH_UP} \tag{21}$$

$$V_{\overline{DOWN}_NOMINAL}\ (V) = \left(1 + \frac{R_{TOP_\overline{DOWN}}}{R_{BOTTOM_\overline{DOWN}}}\right) \times V_{TH_\overline{DOWN}} \tag{22}$$

希望に応じて、式 23 を使用することができる UP ピンの容量（C_{DELAY}）を選択します。

$$C_{DELAY}\left(F\right) > \frac{t_{DELAY}(s)}{R_{TH}\left(\Omega\right) \times \ln\left(-\frac{V_{TH}(V)}{V(t) - V_{TH}(V)}\right)} \tag{23}$$

ここで

- t_{DELAY}(秒) は必要な遅延時間 (秒) です(V_{IN} > $UVLO_{RISE}$ から少なくとも 2.8ms)。
- R_{TH} は、テブナン等価抵抗です。この場合、R_{TOP} と R_{BOTTOM} の 並列抵抗 (Ω) です。
  - $$R_{TH}\left(\Omega\right) = \frac{R_{TOP}\left(\Omega\right) \times R_{BOTTOM}(\Omega)}{R_{TOP}\left(\Omega\right) + R_{BOTTOM}(\Omega)} \tag{24}$$
- V_{TH} はテブナンの等価電圧です。この場合、定常駆動状態での V_{UP} 電圧 (V)です。
  - $$V_{TH}\left(V\right) = \left(\frac{R_{BOTTOM}(\Omega)}{R_{TOP}\left(\Omega\right) + R_{BOTTOM}(\Omega)}\right) \times V_{MAIN}\left(V\right) \tag{25}$$
- V(t) は、パワーアップシーケンスを開始する UP 電圧（V_{UP}）です。この場合、598mV ±3% で、ボルト単位です。

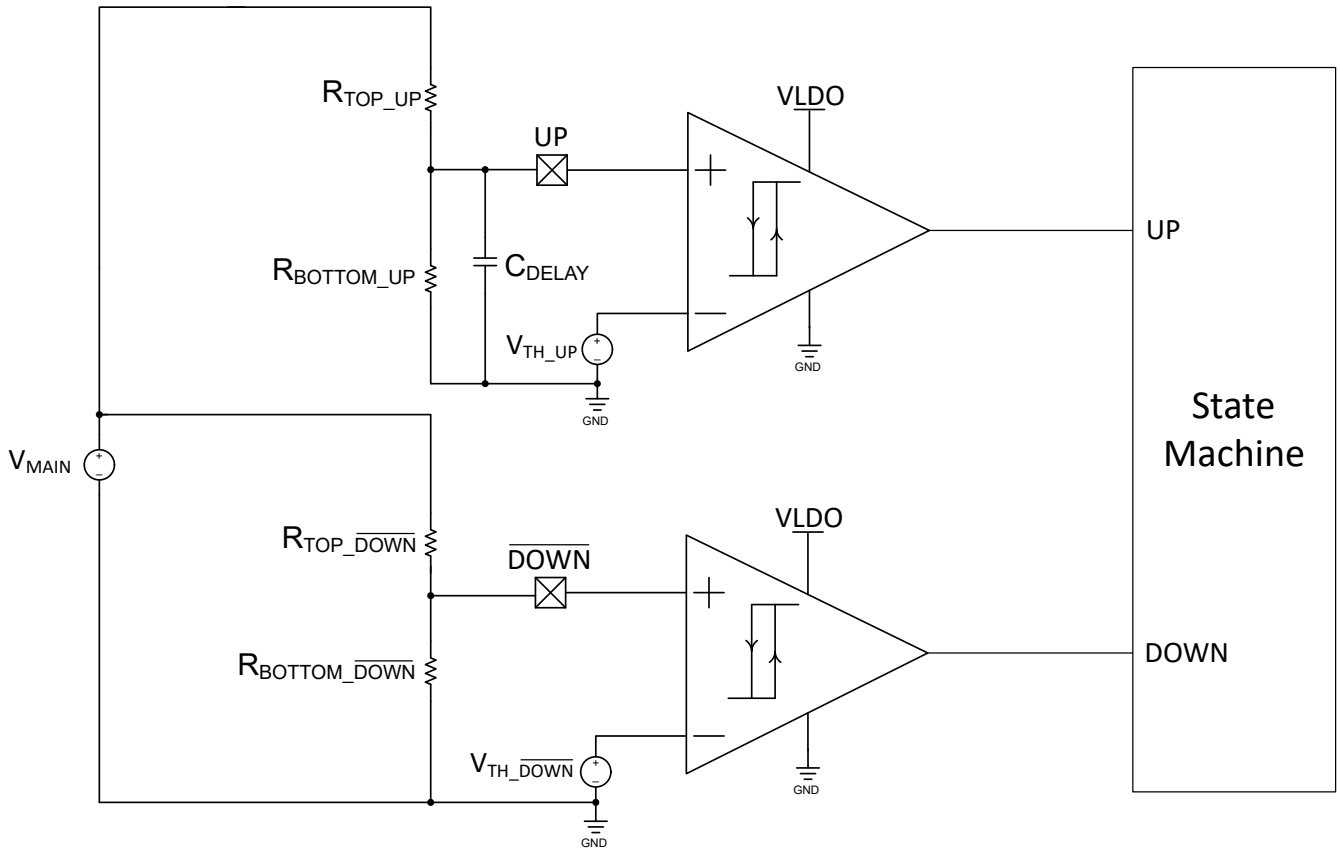


図 8-13. メイン レールを監視して、シーケンスの立ち上げおよびシャット ダウンを自動的に開始します

Copyright © 2025 Texas Instruments Incorporated

8.3.6 フォルト

$\overline{\text{FAULT}}$ ピンはオープンドレイン出力で、ユーザーはステートマシンによって内部に故障が発生しているかどうかの監視に使用できます。10kΩ 抵抗を介してこのピンを VLDO 出力にプルアップすることを推奨します。必要に応じて別の電圧源も利用できますが、その電圧が安定し、常に 1V を超えていることが重要です。このピンの最大電圧は 7V です。適切に動作させるには、パワーアップ/パワーダウンシーケンスの試暁前にこの電圧が安定している必要があり、デバイスの動作中は常に 1V を上回っていなければなりません。ステート マシンで説明されているように、シーケンスの内部ステートマシンが故障を検出すると、オープンドレイン FET は強制的に Low になります。

8.3.7 ステート マシン

TPS7H3014 には、包括的なステートマシンエンジンが組み込まれています。検出した入力の状態に応じて、3 つの結果が考えられます。

1. 次の場合、以前に良好とみなされた（強制的に High になった）ENx 信号から逆方向のシーケンスが開始されます。
   - ENx が HIGH のとき、REG_TMR で設定された時間内に、パワーアップシーケンスによって V_{OUTx} が V_{ONx} 電圧に到達しなかった場合。
   - 以前に V_{ONx} を超えた後、V_{OUTx} は V_{OFFx} を超えたが、V_{OUTx+1} がまだ V_{ONx+1} を超えていない場合。
   - ユーザーは、パワーアップシーケンスの途中でパワーダウンシーケンスを指示します。
2. アウトオブオーダーが検出されると、すべての出力（ENx、SEQ_DONE、PWRGD）は強制的に Low になります。これは、次のことを意味します：
   - 少なくとも V_{OUTx+1} がすでに規定範囲内 (良好とみなされる)となっているときに、以前は良好とみなされたレール V_{OUTx} が V_{OFFx} を下回っている。
   - EN_X が HIGH でないとき、$V_{OUTx} > V_{ONx}$ となっている。**パワーアップシーケンスアップ中のみ有効**。

   注

   シーケンサでは、V_{ONx} を監視対象の公称電圧に対するパーセンテージ（たとえば、$V_{ONx} = 0.8 \times V_{OUTx}$）で設定するのが一般的です。パワーダウンシーケンスのとき、$V_{OUTx} \geq V_{ONx}$ となる時間があります。レール（V_{OUTx}）の放電速度は TPS7H3014 では不明なため、この機能はパワーアップシーケンスのときに限って有効です。
3. 以下の場合、DLY_TMR の経過後に、以前に強制的に Low にされた ENx 信号からパワーアップシーケンスが開始されます：
   - ユーザーは、パワーダウンシーケンスの途中でパワーアップシーケンスを指示します。

Copyright © 2025 Texas Instruments Incorporated

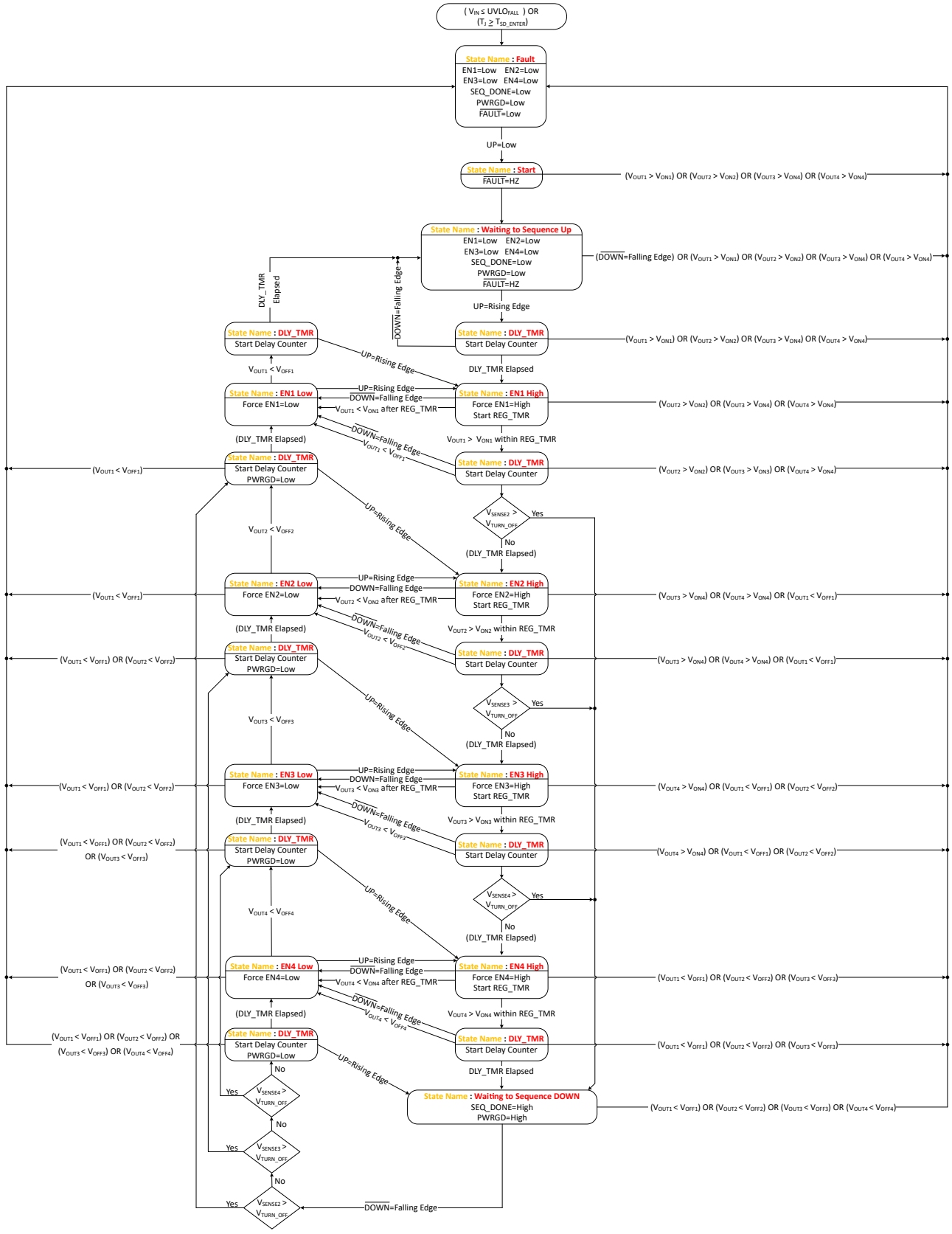


図 8-14. TPS7H3014 のステートマシン図

Copyright © 2025 Texas Instruments Incorporated

8.4 デイジー チェーン

TPS7H3014 には、最大 4 つの電圧レールをシーケンス制御/監視するための 4 つの入力チャネルが内蔵されています。ただし、このアプリケーションで 4 つ以上のチャネルが必要な場合は、必要に応じて複数のデバイスをデイジーチェーン接続できます。デイジーチェーン構成を、図 8-15 に示します。この場合、ここには 2 つのデバイスのみが表示されていますが、アプリケーションの必要に応じて複数の IC を構成することができます。

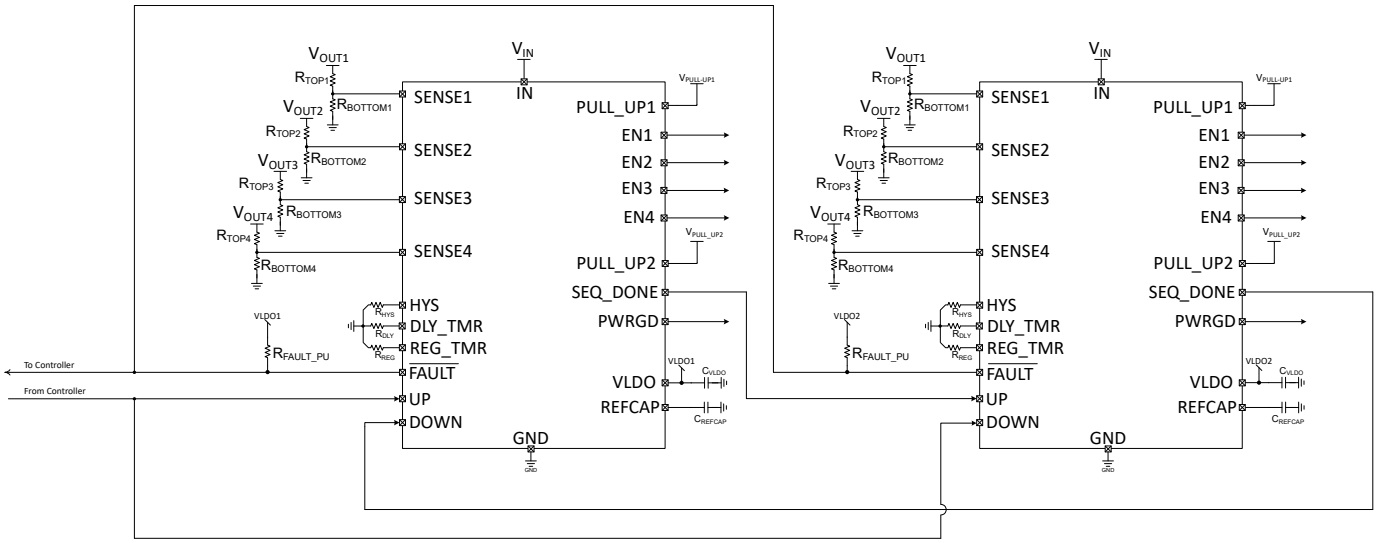


図 8-15. デイジー チェーン構成

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H3014 は、耐放射線特性が強化された 4-チャネルのリニア レギュレータです。FPGA、ASIC、AFE、各種電源システムのシーケンス制御に利用できます。

9.2 代表的なアプリケーション

9.2.1 自己完結型 – シーケンスアップ/ダウン

多くの最新システム（またはサブシステム）では、複数の電圧レールが必要な場合が多く、これを「電源ツリー」と呼びます。その場合、これらの電源ツリーでは、信頼性の高いシステム動作を保証するために必要なパワーアップシーケンスとその逆のパワーダウンシーケンスの手順について規定されていることがほとんどです。これらのシステムが、正しく動作するために侵害できないタイミング仕様を持つことは珍しくありません。この例では、ENx 出力と SENSEx 入力により、それぞれ 4 つの電圧レールがシーケンス制御され、監視されています。以下に、設計手順と部品選定の詳細を示します。設計については、図 9-1 にまとめまられています。

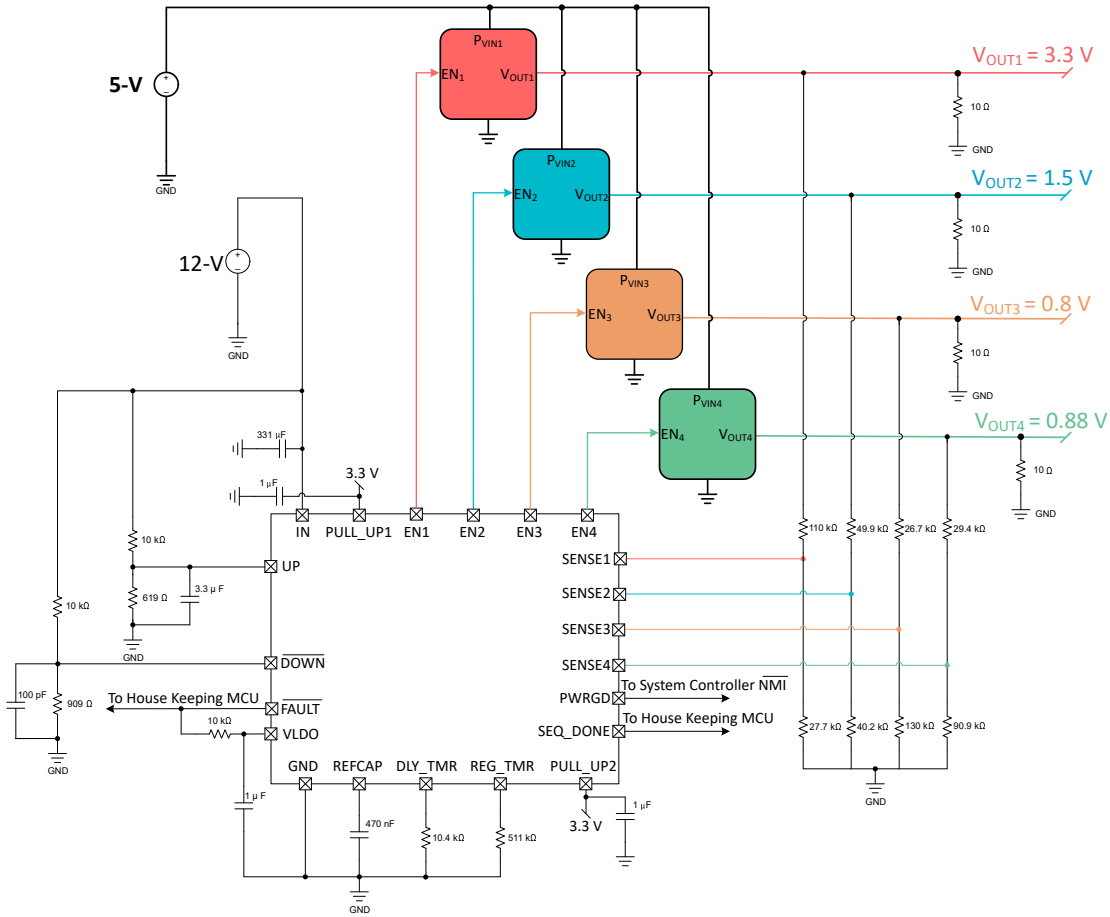


図 9-1. 4 つの電圧レールの電源ツリーを対象とした自己完結型のパワーアップ/パワーダウン シーケンスの設計

Copyright © 2025 Texas Instruments Incorporated

9.2.1.1 設計要件

この設計では、4 つの電圧レールの電圧をシーケンス制御する必要があります。TPS7H3014 の公称入力電圧は 12V であり、電圧が希望の目標電圧レベルに達すると、シーケンサがパワーアップおよびパワーダウンシーケンスを自動的に開始するように設定されています。すべての電圧レギュレータに対して、5V の公称電圧レールで電力を供給します。システムのハウスキーピング・マイクロコントローラは、VLDO にプルアップされた $\overline{\text{FAULT}}$ ピンの電圧を介して故障を監視できます。PWRGD は、システムのノンマスカブル割り込みが存在する場合はそれに接続されるフラグ、あるいは電源ツリーの状態を確認するために MCU によって監視されるフラグです。SEQ_DONE は、パワーアップ/パワーダウンシーケンスが完了したかどうかをモニタすることもできます。すべての設計条件は、表 9-1 で定義されています。

表 9-1. 設計条件

パラメータ	設計要件	設計結果
システムの公称電圧	12V の入力電圧を監視し、電圧が 3.7ms 以上 10.7V (88%)を上回るとパワーアップシーケンスを開始します。電圧が 6V(または 50%)を下回ると、パワーダウンシーケンスが開始されます。	TPS7H3014 は、電圧を監視し抵抗分圧回路を使用してパワーアップおよびパワーダウンシーケンスを自動的に開始させることができます。$\overline{\text{UP}}$DOWN の 内部リファレンスの精度は、3% です。誤差を最小限に抑えるため、公差 0.1% の抵抗を使用することを推奨します。
V_{OUT1}	公称 3.3V: V_{ON} = 90%、V_{OFF} = 10%	V_{ON} = 2.978V ± 29.97mV V_{OFF} = 0.338V ± 84.61mV 許容誤差 0.1% の抵抗を使用
V_{OUT2}	公称 0.8V: V_{ON} = 90%、V_{OFF} = 10%	V_{ON} = 0.722V ±7.22mV V_{OFF} = 0.081V ± 20.54mV 許容誤差 0.1% の抵抗を使用
V_{OUT3}	公称 1.5V: V_{ON} = 90%、V_{OFF} = 10%	V_{ON} = 1.343V ±13.47mV V_{OFF} = 0.145V ± 38.35mV 許容誤差 0.1% の抵抗を使用
V_{OUT4}	公称 0.88V: V_{ON} = 90%、V_{OFF} = 10%	V_{ON} = 0.793V ±7.93mV V_{OFF} = 0.087V ± 22.6mV 許容誤差 0.1% の抵抗を使用
パワーアップおよびパワーダウンシーケンス中の ENx 遅延	遅延は公称 0.268ms	R_{DLY_TMR} = 10.4kΩ
レールが V_{ONx} に達するまでの許容時間	レールが V_{ONx} に達するまで、10.3ms(公称値)待機	R_{REG_TMR} = 511kΩ

9.2.1.2 詳細な設計手順

9.2.1.2.1 入力電源とデカップリング コンデンサ

TPS7H3014 には、次の三つの電源が必要です。

1. IN は、TPS7H3014 IC に電力を供給する入力電源です。この電源は、ピンのできるだけ近くに 1µF 以上のコンデンサを配置してデカップリングすることを推奨しています。この回路では、V_{IN} = 12V です。
2. PULL_UP1 は、すべてのイネーブル出力(ENx)の出力電圧 HIGH(V_{OH})をプログラムするための入力電源です。これらの出力はレギュレータのイネーブル入力に接続され、パワーアップ/パワーダウンシーケンスを制御します。この電源は、ピンのできるだけ近くに 1µF 以上のコンデンサを配置してデカップリングすることを推奨しています。このアプリケーションでは、V_{PULL_UP1} = 3.3V です。これは、電子システムで使用される標準的な電圧であり、市販のほとんどのレギュレータのロジック入力に対応します。
3. PULL_UP2 は、PWRGD および SEQ_DONE 出力の出力電圧 High(V_{OH})をプログラムする入力電源です。これらの出力は通常、システムコントローラ(通常は FPGA または ASIC)やハウスキーピング(維持管理)コントローラに接続されます。デイジーチェーン構成では、図 8-15 に示すように、SEQ_DONE は後続の TPS7H3014 I.C. の UP に接続されます。この電源は、ピンのできるだけ近くに 1µF 以上のコンデンサを配置してデカップリングすることを推奨しています。このアプリケーションでは、V_{PULL_UP1} = 3.3V です。これは、コントローラ I/O の一般的な電圧です。

また、TPS7H3014 には 、良好な電気的特性および放射線耐性を得るためにデカップリングが必要な 2 つの安定化電圧出力を備えています。それらを以下に示します。

1. REFCAP（1.2V リファレンス）は、デバイス内部で次のとおりリファレンスによるすべてのレシオメトリック電圧を生成するために使用されます。
   - V_{TH_SENSEx}
   - I_{HYS_SENSEx}
   - V_{TH_UP}
   - $V_{TH_\overline{DOWN}}$

   このリファレンスには、470nF のセラミック コンデンサをできるだけピンの近くに配置してデカップリングします。このピンには、外部に負荷を接続しないでください。
2. VLDO は、TPS7H3014 の内部回路に電力を供給するために使用される内部レギュレータの出力です。このレギュレータは、ピンのできるだけ近くに配置した 1µF 以上のコンデンサでデカップリングることを推奨します。このレギュレータの有効な負荷は次のとおりです：
   - 必要に応じてチャネル 2 ～ 4 をオフにします。
   - $\overline{FAULT}$ オープンドレイン出力をプルアップします。

9.2.1.2.2 昇圧/降圧スレッショルド

このアプリケーションでは、UP ピンと $\overline{DOWN}$ ピンを使用して 12V の入力電源電圧を監視します。レール電圧が 10.7（標準）を上回ると、パワーアップシーケンスが開始され、電圧が 6V（標準）を下回ると停止します。TPS7H3014 の内部時定数（$t_{Start_UP_DELAY}$）は 2.8ms (最大)であるため、3.3µF の遅延コンデンサを UP ピンに追加します。このコンデンサを追加すると、V_{IN} の立ち上がり時に UP ピンに遅延が発生します。このコンデンサにより、シーケンス開始に 2 番目の条件が追加され、V_{IN} ≥ 10.7V（標準値）が 2.8ms 以上のとき、パワーアップシーケンスのコマンドが指示されます。

UP $\overline{DOWN}$ の抵抗分圧回路の上部抵抗を固定すれば、設計要件に従って下部の抵抗を計算することができます。いずれの場合も、上部抵抗は 10kΩ に固定されています。式 19 と式 20 の式を使用して、UP および DOWN の下部抵抗は次のように算出されます：

$$R_{BOTTOM_UP} = 10\ k\Omega \times \frac{0.598\ V}{10.7\ V - 0.589\ V} \cong 594\ \Omega \quad (26)$$

$$R_{BOTTOM_\overline{DOWN}} = 10\ k\Omega \times \frac{0.498\ V}{6\ V - 0.498\ V} \cong 905\ \Omega \quad (27)$$

リファレンス抵抗が算出されたので、実際の（または現実の）抵抗を選択できます。この場合、次のとおり最も近い値の抵抗を選定するため許容誤差が 0.1% の抵抗を使用します：

- R_{BOTTOM_UP} = 619Ω
- $R_{BOTTOM_\overline{DOWN}}$ = 909Ω

実際の抵抗値を使用して公称電圧を逆算し、式 21 と式 22 を使用して、次のとおりパワーアップまたはパワーダウンシーケンスを開始できます：

$$V_{UP_NOMINAL}(V) = \left(1 + \frac{10\ k\Omega}{619\ \Omega}\right) \times 12\ V \cong 10.66\ V \quad (28)$$

$$V_{\overline{DOWN}_NOMINAL}(V) = \left(1 + \frac{10\ k\Omega}{909\ \Omega}\right) \times 12\ V \cong 5.97\ V \quad (29)$$

遅延コンデンサは、次のとおり式 23、式 24、式 25 を使って計算します。

$$R_{TH}(\Omega) = \frac{10\ k\Omega \times 619\ \Omega}{10\ k\Omega + 619\ \Omega} = 582.9\ \Omega \quad (30)$$

$$V_{TH}(\Omega) = \left(\frac{619\ \Omega}{10\ k\Omega + 619\ \Omega}\right) \times 12\ V = 0.7\ V \quad (31)$$

Copyright © 2025 Texas Instruments Incorporated

$$C_{DELAY}\left(F\right) \geq \frac{0.0028\ s}{582.9\ \Omega \times \ln\left(-\frac{0.7\ V}{0.598\ V - 0.7\ V}\right)} = 2.49\ \mu F \quad (32)$$

入力コンデンサには 3.3µF のコンデンサを選びます。

9.2.1.2.3 SENSEx スレッショルド

SENSEx 入力を使用して、パワーアップおよびパワーダウンシーケンシングを行う電圧レールをモニタします。この設計では、シーケンス制御およびモニタする出力電圧は次のとおりです。

1. V_{OUT1} = 3.3V
2. V_{OUT2} = 0.8V
3. V_{OUT3} = 1.5V
4. V_{OUT4} = 0.88V

すべてのレールについて、V_{ON} と V_{OFF} は、公称電圧レールの 90%と 10%になるよう選択されます。式 13 と式 14 を使用して、上部と下部のリファレンス抵抗を計算し、0.1%（精度）の抵抗値を使用して最も近い抵抗値を選択できます。表 9-2 にリファレンスの (または計算上の) 上部抵抗と下部抵抗を示します。表 9-3 に、アプリケーション用に選定した抵抗を示します。

表 9-2. SENSEx のリファレンス電圧の公称抵抗値

チャネル	V_{ON} (V)	V_{OFF} (V)	R_{TOP} (kΩ)(1)	R_{BOTTOM} (kΩ)(1)
1	2.970	0.330	110.0	27.8
2	1.350	0.150	50.0	39.9
3	0.720	0.080	26.7	132.0
4	0.792	0.088	29.3	91.0

(1) 数値は小数第 2 位で四捨五入されています。

チャネル 1（または SENSE1）の上部抵抗と下部抵抗の計算方法の例を以下に示します：

$$\frac{2.970\ V - 0.330\ V}{24\ \mu A} = 110\ k\Omega \quad (33)$$

$$\frac{110\ k\Omega \times 0.599\ V}{2.970\ V - 0.599\ V} = 39.88\ k\Omega \quad (34)$$

表 9-3. 許容誤差 0.1% の抵抗を使用して SENSEx の抵抗を選定

チャネル	R_{TOP} (kΩ)	R_{BOTTOM} (kΩ)
1	110	27.7
2	49.9	40.2
3	26.7	130
4	29.4	90.9

実際の抵抗が判明したため、式 1、式 2、式 3、式 6、式 7、式 12 を使用して実際のオン/オフ公称電圧と誤差電圧を計算できます。誤差を使用すると、上部と下部の電圧を計算し、公称出力電圧を基準にして値を正規化することができます。

表 9-4. V_{ON} 公称値、統計値（V およびパーセンテージ）

チャネル	$V_{ON_NOMINAL}$ (V)(1)	$V_{ON_NOMINAL}$ (%)(1) (4)	V_{ON_ERROR}(mV) (1)	V_{ON_LSL}(V)(1) (2)	V_{ON_LSL}(%)(1) (2) (4)	V_{ON_USL}(V)(1) (3)	V_{ON_USL} (%)(1) (3) (4)
1	2.978	90.232	29.966	2.948	89.325	3.008	91.141
2	1.343	89.502	13.466	1.329	88.605	1.356	90.400
3	0.722	90.253	7.222	0.715	89.350	0.729	91.156

Copyright © 2025 Texas Instruments Incorporated

表 9-4. V_{ON} 公称値、統計値（V およびパーセンテージ） (続き)

チャネル	$V_{ON_NOMINAL}$ (V)(1)	$V_{ON_NOMINAL}$ (%)(1) (4)	V_{ON_ERROR}(mV) (1)	V_{ON_LSL}(V)(1) (2)	V_{ON_LSL}(%)(1) (2) (4)	V_{ON_USL}(V)(1) (3)	V_{ON_USL} (%)(1) (3) (4)
4	0.793	90.084	7.932	0.785	89.182	0.801	90.985

(1) 数値は小数第 4 位で四捨五入されています。
(2) LSL は、仕様下限値、または最小値です。
(3) USL は、仕様上限値または最大値です。
(4) 数値は、そのレールの公称出力電圧に正規化されています。

表 9-5. V_{OFF} 公称値、統計値（V およびパーセンテージ）

チャネル	$V_{off_nominal}$(V)(1)	$V_{OFF_NOMINAL}$(%)(1) (4)	V_{OFF_ERROR}(mV)(1)	V_{OFF_LSL} (V)(1) (2)	V_{OFF_LSL} (%)(1) (2) (4)	V_{OFF_USL} (V)(1) (3)	V_{OFF_USL}(%)(1) (3) (4)
1	0.338	10.233	84.613	0.253	7.669	0.422	12.797
2	0.145	9.662	38.354	0.107	7.105	0.183	12.219
3	0.081	10.153	20.535	0.061	7.586	0.102	12.720
4	0.087	9.902	22.604	0.065	7.333	0.110	12.470

(1) 数値は小数第 4 位で四捨五入されています。
(2) LSL は、仕様下限値を表します。
(3) USL は、仕様上限値を表します。
(4) 数値は、そのレールの公称出力電圧に正規化されています。

Copyright © 2025 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

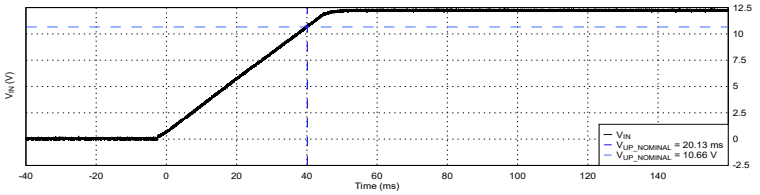


図 9-2. パワーアップシーケンス時の V_{IN} と時間の関係

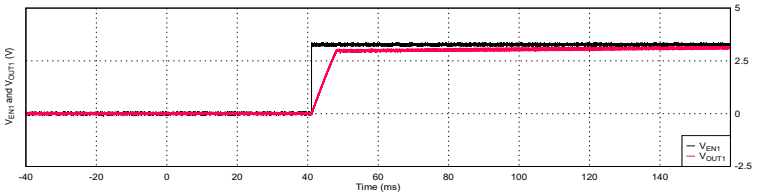


図 9-3. パワーアップシーケンス時の EN1 および V_{OUT1} と時間との関係

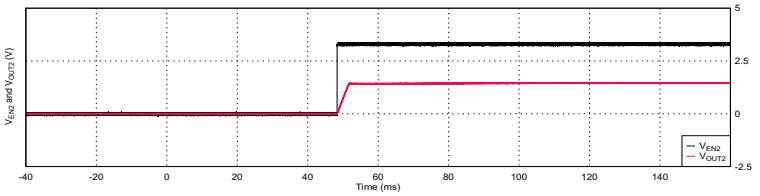


図 9-4. パワーアップシーケンス時の EN2 および V_{OUT2} と時間との関係

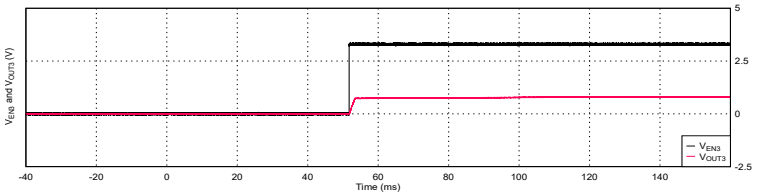


図 9-5. パワーアップシーケンス時の EN3 および V_{OUT3} と時間との関係

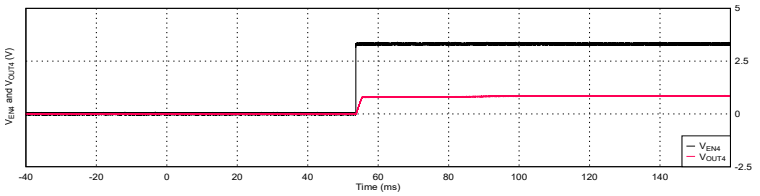


図 9-6. パワーアップシーケンス時の EN4 および V_{OUT4} と時間との関係

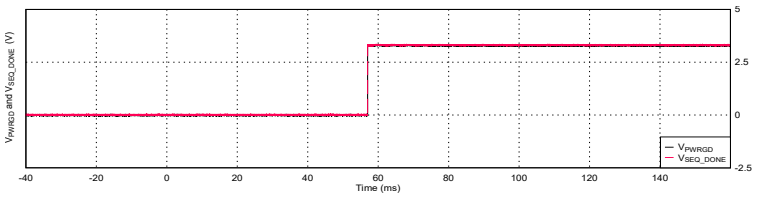


図 9-7. パワーアップシーケンス時の PWRGD および SEQ_DONE と時間との関係

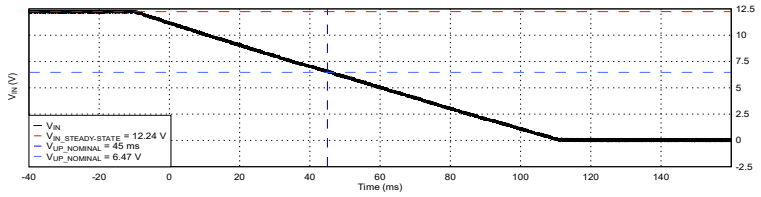


図 9-8. パワーダウンシーケンス時の V_{IN} と時間との関係

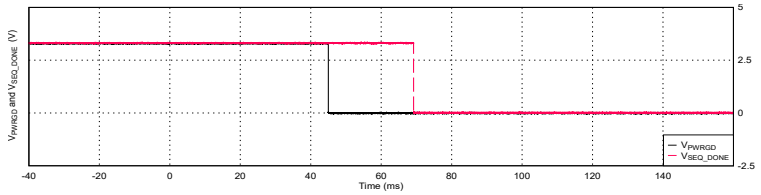


図 9-9. パワーダウンシーケンス時の PWRGD および SEQ_DONE と時間との関係

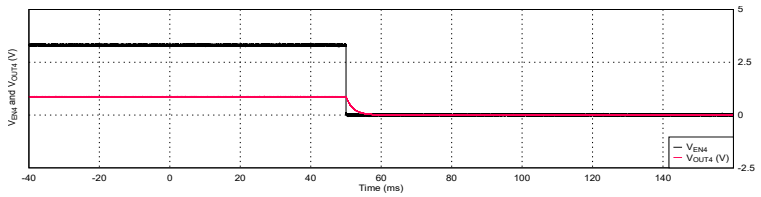


図 9-10. パワーダウンシーケンス時の EN4 および V_{OUT4} と時間との関係

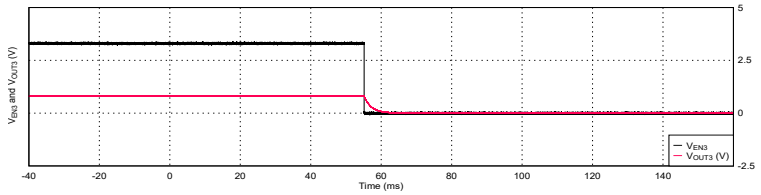


図 9-11. パワーダウンシーケンス時の EN3 および V_{OUT3} と時間との関係

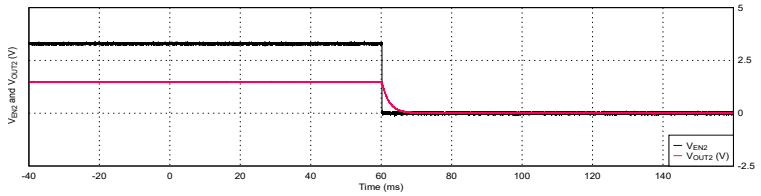


図 9-12. パワーダウンシーケンス時の EN2 および V_{OUT2} と時間との関係

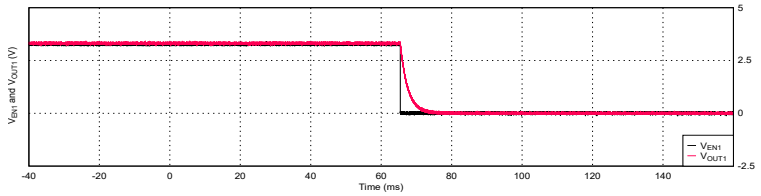


図 9-13. パワーダウンシーケンス時の EN1 および V_{OUT1} と時間との関係

Copyright © 2025 Texas Instruments Incorporated

9.2.2 負電圧レールのシーケンス制御

TPS7H3014 は、以下のようないくつかの外部回路をサポートしており、負電圧レールをシーケンス制御することもできます。

1. 安定した正電圧リファレンス
2. ヒステリシス付きコンパレータ

図 9-14 に、負電圧レールを検出するための標準的な接続を示します。V_{OUTx} が 0V（初期状態）のとき、外部コンパレータの反転入力電圧は式 35 で求められます。抵抗分圧回路は、コンパレータの非反転入力における初期電圧が、希望する係数によってリファレンス電圧よりも大きくなるように選択します。この係数は、負電圧が規定範囲内であると見なされる希望のしきい値によって異なります。

負の電圧レール（$–V_{OUTx}$）がオンになると、非反転入力の電圧は、$–V_{OUTx}$ が定常状態に達するまで下降（デクリメント）を始めます。非反転入力の電圧がリファレンス電圧よりも低い場合、コンパレータの出力は強制的に High になります（High の値はコンパレータの正のバイアス V_+によって決まります）。

TPS7H3014 は、電流を介してヒステリシスを実装しているため、外部コンパレータの出力が High のとき、標準値で 24µA（$I_{HYS_SESNSEx}$）がコンパレータの出力にシンクされます。選択するコンパレータは、一定の出力を維持しながら、この電流シンクに耐えられなければなりません。

R_x、R_y、R_h の各抵抗は、V_+電圧を減衰させて$–V_{OUTx}$ が範囲内であるか、範囲外であるかを最終的に判定するしきい値を提供します。詳細については TIDU020 と セクション 9.2.2.1 を参照してください。

$$V_{INVERTING_INPUT}\left(V\right) = \left(\frac{R_{TOP}(\Omega)}{R_{TOP}(\Omega) + R_{BOTTOM}(\Omega)}\right) \times V_{OFFSET}\left(V\right) \quad (35)$$

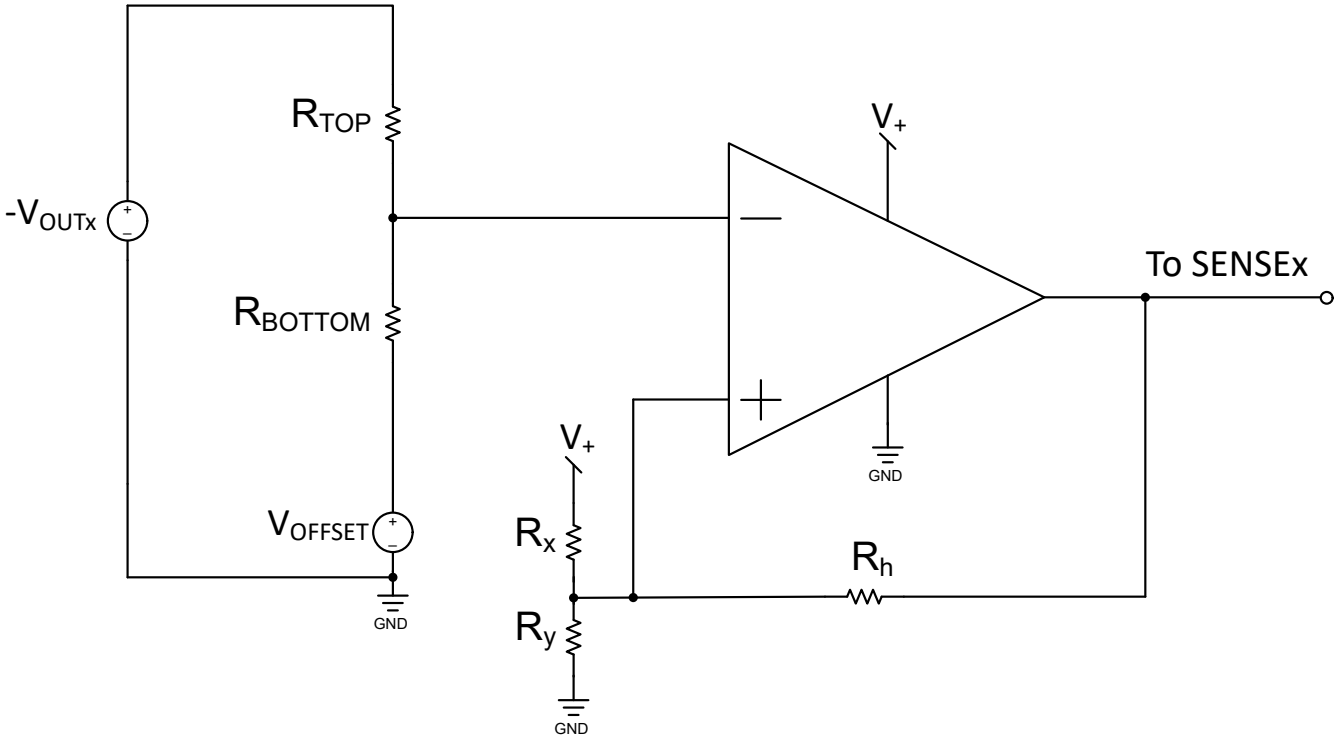


図 9-14. 外部回路を使用して負のレールをセンシング

注

- 外付け部品を使用して負の電圧レールを検出する場合、立ち上がりおよび立ち下がりしきい値の精度は、選択した外部回路によって異なります。
- コンパレータの高電圧は V_{turn_off} を下回っていなければなりません。それ以外の場合、チャネルは内部で無効化されます。コンパレータの出力を減衰させるため、必要に応じて抵抗分圧回路を使用することができます。

9.2.2.1 負電圧の設計式

この考察の目的から、以下の仮定を前提としています:

1. V_+は、2.5V の安定基準電圧を供給します。
2. コンパレータの出力段はプッシュプルです。
3. シーケンス制御される負電圧は、定常状態において -1.8V とします。

設計の最初のステップは、負のレールを次のように見なす電圧(定常状態電圧のパーセント)を選択することです:

- レギュレーション中
  - -1.8V レールは、最終値の 97% を超えると、規定範囲内であると見なされます。この場合は 1.746V です。これを「オン電圧(V_{ON})」と呼びます。
- レギュレーション範囲外。
  - -1.8V レールは、最終値の 95% 未満となると、規定範囲内でないと見なされます。この場合は 1.71V です。これをオフ電圧(V_{OFF})と呼びます。

この情報を使用すれば、ヒステリシス電圧は次のように算出できます:

$$V_{hys}(V) = V_{ON}(V) - V_{OFF}(V) = 1.746V - 1.71V = 0.036V \quad (36)$$

第 2 段階は、ヒステリシス基準電圧の生成に使用する R_x、R_y、R_h 抵抗を決定します。これらの電圧を V_L および V_H と呼びます。2.5V のリファレンス電圧からの減衰値として V_L を選択します。この例では、V_L として 0.6V を選択します。V_H は次のように計算されます:

$$V_H(V) = V_L(V) + V_{hys}(V) = 0.6V + 0.036V = 0.636V \quad (37)$$

この情報を使用すれば、抵抗の比を次のように算出できます:

$$\frac{R_h}{R_x} = \frac{V_L(V)}{V_{hys}(V)} = \frac{0.6}{0.036} = 16.67 \quad (38)$$

$$\frac{R_y}{R_x} = \frac{V_L(V)}{V_+(V) - V_H(V)} = \frac{0.6}{2.5 - 0.636} = 0.32 \quad (39)$$

選択した R_x の値は 10kΩ であり、R_y と R_h は式 38 と式 39 を使用して計算できます。許容誤差 0.1% の抵抗を使用して、選択した値は次のとおりです:

- R_y = 3.2kΩ
- R_h = 165kΩ

実際の抵抗は既知なので、実際の V_L および V_H は、次のように計算できます:

- V_{H_REAL} = 0.633V
- V_{L_REAL} = 0.597V

最後に、図 9-14 に従って R_{TOP} と R_{BOTTOM} の抵抗を計算したいと思います。ここで、$-V_{OUTx}$ が規定範囲であると見なす必要がある場合、反転入力の等価電圧は次のように計算できます:

$$-V_{OUT_EQ}(V) = V_{OFFSET}(V) - V_{ON}(V) = 2.5V - 1.746V = -0.754V \quad (40)$$

Copyright © 2025 Texas Instruments Incorporated

この等価電圧と V_{L_REAL} を使用すれば、下部と上部の抵抗の比を次のように算出できます:

$$\frac{R_{BOTTOM}}{R_{TOP}} = \frac{V_{L_REAL}(V)}{|-V_{OUT_EQ}(V)| - V_{L_REAL}(V)} = \frac{0.597}{0.754 - 0.597} = 3.8 \quad (41)$$

許容誤差 0.1% の抵抗を使用して、R_{TOP} を 10kΩ に固定することで、R_{BOTTOM} が 38.2kΩ と選定できます。

最終部品をすべて選定したので、実際の(または予想する)オン/オフ電圧は、V_{ON} = 1.746V、V_{OFF} = 1.701V と計算できます。

9.3 外部要因によるシステム RESET

外部で検出された障害を TPS7H3014 伝搬する必要があるアプリケーションの場合、外部 FET を SENSE1 から GND に接続できます。このピンに接続された FET をオンにして SENSE1 がゼロになると、内部ステートマシンは強制的にすべての出力を Low にします。FET のオフリークは、最終的に V_{OUT1} のオンおよびオフの精度に影響します。このため、リーク電流が最小の FET を選択することが重要です。詳細については、『TPS7H3014EVM-CVAL EVM ユーザーガイド』のセクション 3.6(外部要因によるシステム RESET)を参照してください。

9.4 電源に関する推奨事項

TPS7H3014 は、3V～14V の入力電圧範囲 (V_{IN}) で動作するように設計されています。V_{IN} と GND の間でピンからできるだけ近い位置に、少なくとも 1 つの 1µF セラミックコンデンサを追加することを推奨します。

この場合、PULL_UP1 および PULL_UP2 もプッシュプル出力の電源入力と見なされます。これらの入力の電圧範囲は 1.6V ～ 7V です。これらの入力では、PULL_UP1 と GND の間、および PULL_UP2 と GND の間に少なくとも 1 つの 1µF セラミックコンデンサを追加することも推奨しています。コンデンサは、ピンのできるだけ近くに配置する必要があります。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

- V_{IN} ピンへの接続が低インピーダンスであることを確認してください。1µF 以上のセラミックコンデンサを、V_{IN} ピンのできるだけ近くに配置してください。
- V_{PULL_UP1} ピンと V_{PULL_UP2} ピンへの接続が低インピーダンスであることを確認してください。1µF 以上のセラミックコンデンサを、このピンのできるだけ近くに配置してください。
- 必要に応じて、SENSEx ピンと GND の間に小容量のコンデンサを配置することで、モニタしている信号の過渡電圧に対する感度を下げてください。

Copyright © 2025 Texas Instruments Incorporated

9.5.2 レイアウト例

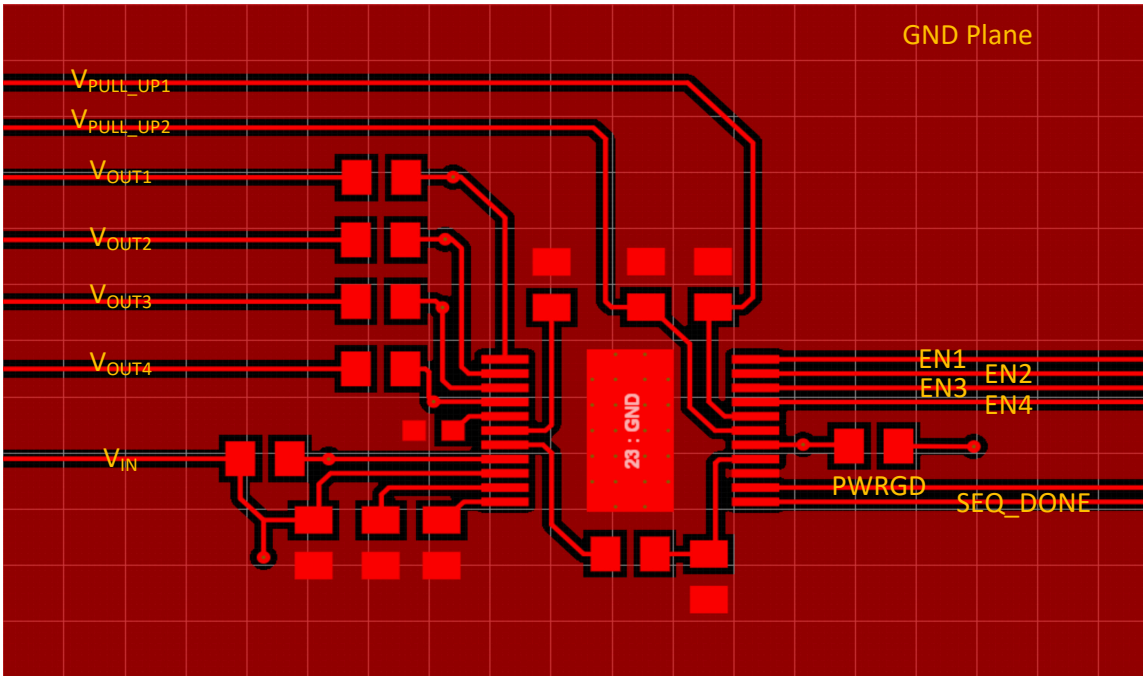


図 9-15. プリント基板のレイアウト例：上層

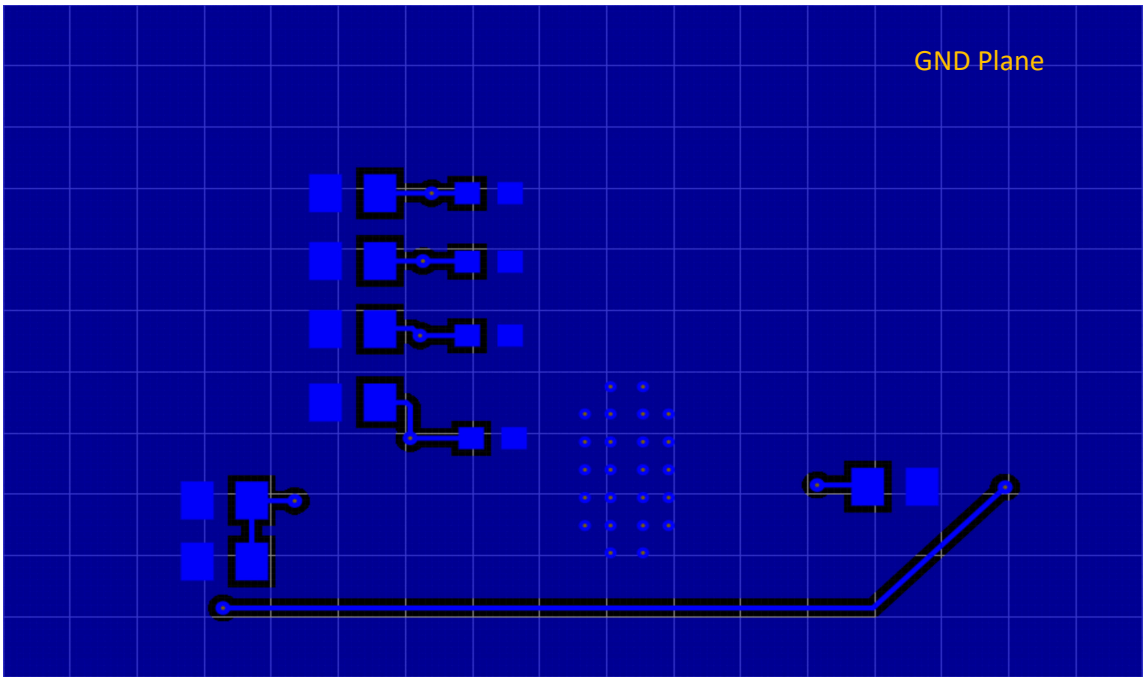


図 9-16. プリント基板のレイアウト例：下層

Copyright © 2025 Texas Instruments Incorporated

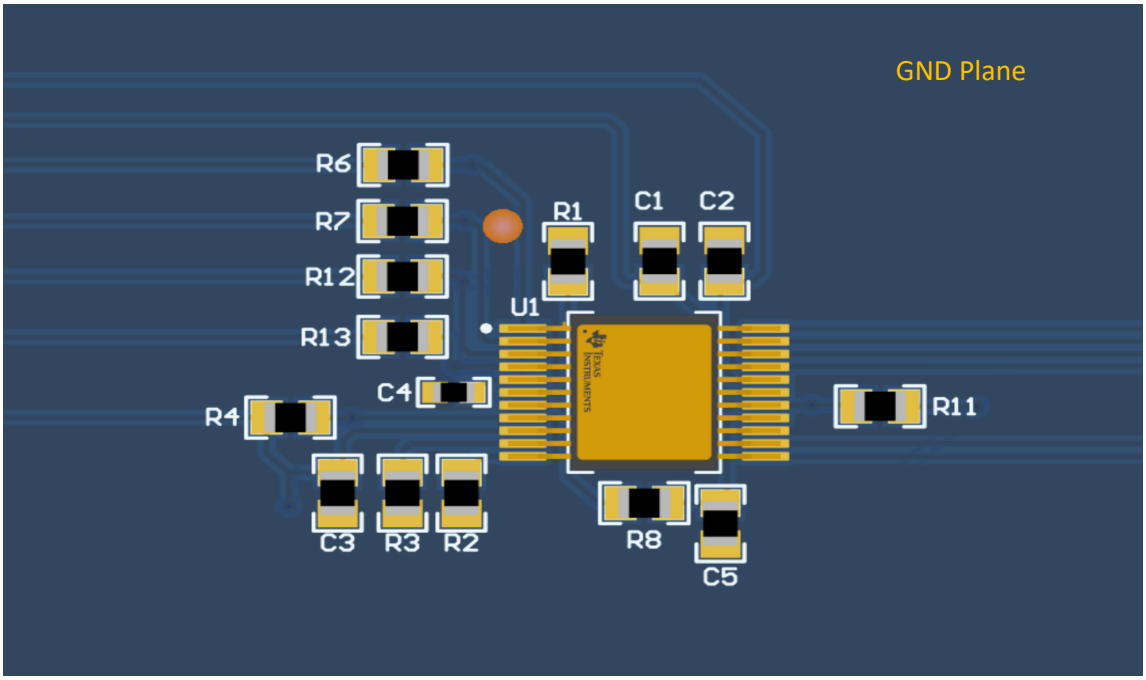


図 9-17. プリント基板のレイアウト例：最上層の 3D ビュー

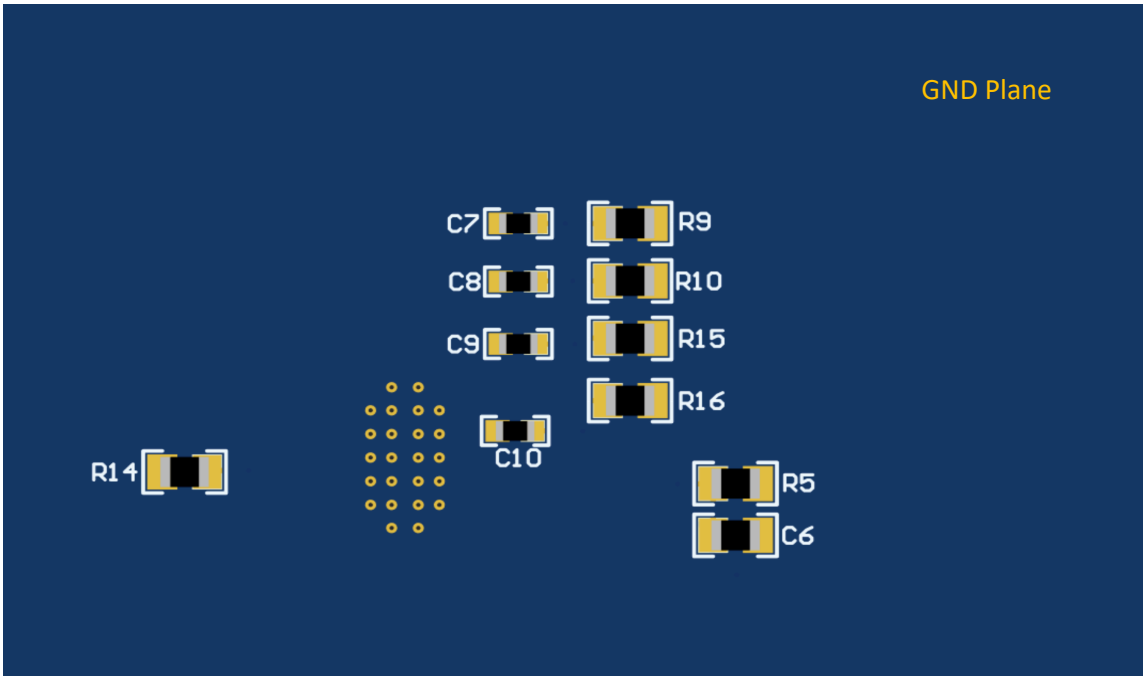


図 9-18. プリント基板のレイアウト例：最下層の 3D ビュー

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- *『TPS7H3014EVM-CVAL EVM ユーザー ガイド』*、SLVUCT9
- *TPS7H3014EVM 評価基板 (EVM)* ユーザー ガイド、SLVUD73
- *TPS7H3014-SP 総電離線量* 、SLVK170
- *TPS7H3014-SEP 総電離線量* 、SLVK200
- *TPS7H3014-SP 中性子変位損傷 (NDD) 特性評価レポート*、SLVK171
- *TPS7H3014-SEP 中性子変位損傷 (NDD) 特性評価レポート*、SLVK202
- *TPS7H3014-SP シングル イベント効果 (SEE) レポート*、SLVK172
- *TPS7H3014-SEP シングル イベント効果 (SEE) レポート*、SLVK198
- 標準マイクロ回路図
- ベンダーの製品図面
- *『ヒステリシス回路付きコンパレータのリファレンス デザイン』*、TIDU020
- *『電圧スーパーバイザへの抵抗分圧回路の入力設計における IQ と精度のトレードオフ』*、SLVA450

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (April 2025) to Revision D (July 2025)	Page
• VLDO に接続するにはすべてのチャネルを無効化 (または未使用) にする必要があるという説明を追加。	28

Copyright © 2025 Texas Instruments Incorporated

- Start State (開始状態) の故障条件から $\overline{\text{DOWN}}$ = 立ち下がりエッジを削除し、タイプミスを修正。 41
- V_{OUTx} ラベルの誤字を修正 44
- SEP 関連資料を追加 56

Changes from Revision B (June 2024) to Revision C (April 2025) **Page**

- 製品プレビューとして SEP 注文可能製品を追加。 4

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2320101VXC	Active	Production	CFP (HFT) | 22	25 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	5962R2320101VXC TPS7H3014MHFTV
TPS7H3014HFT/EM	Active	Production	CFP (HFT) | 22	25 | TUBE	Yes	NIAU	N/A for Pkg Type	25 to 25	TPS7H3014HFTEM EVAL ONLY
TPS7H3014MPWTSEP	Active	Production	TSSOP (PW) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H3014PW
V62/25644-01XE	Active	Production	TSSOP (PW) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H3014PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H3014-SEP, TPS7H3014-SP :

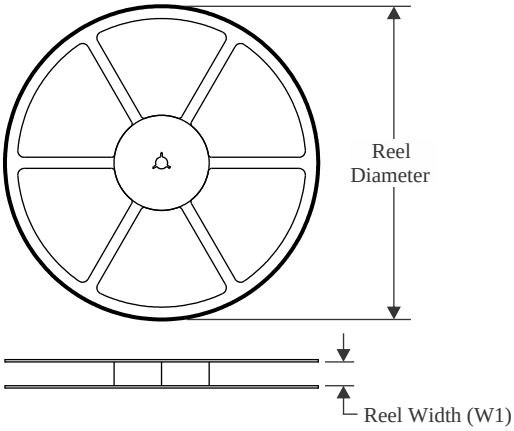
- Catalog : TPS7H3014-SEP
- Space : TPS7H3014-SP

NOTE: Qualified Version Definitions:

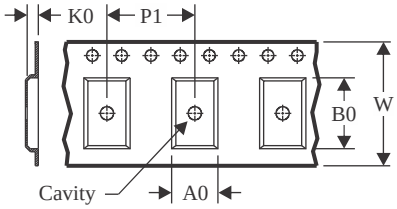
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

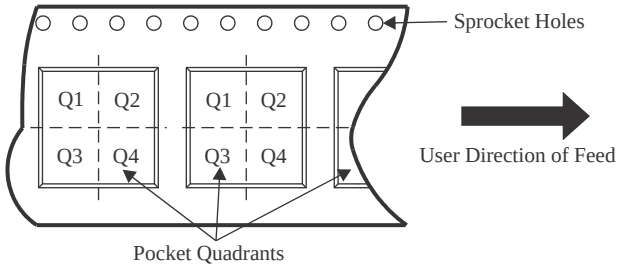


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

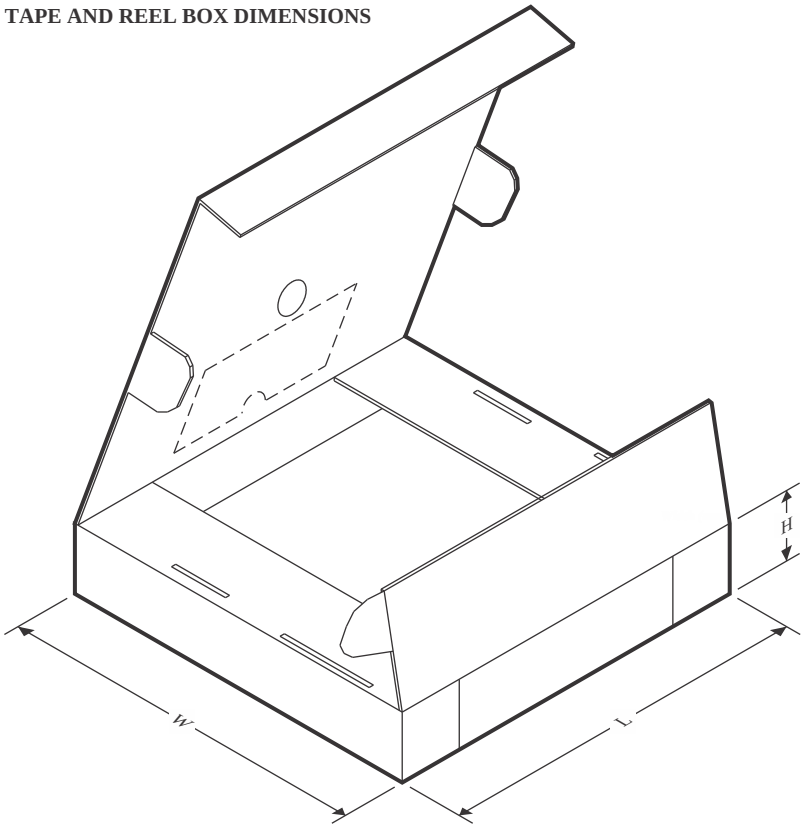
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7H3014MPWTSEP	TSSOP	PW	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

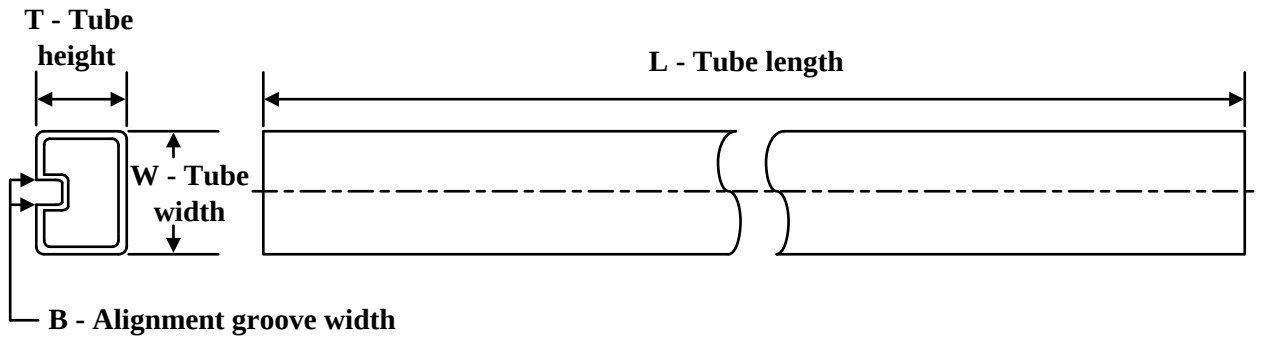
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7H3014MPWTSEP	TSSOP	PW	24	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R2320101VXC	HFT	CFP	22	25	506.98	32.77	9910	NA
TPS7H3014HFT/EM	HFT	CFP	22	25	506.98	32.77	9910	NA

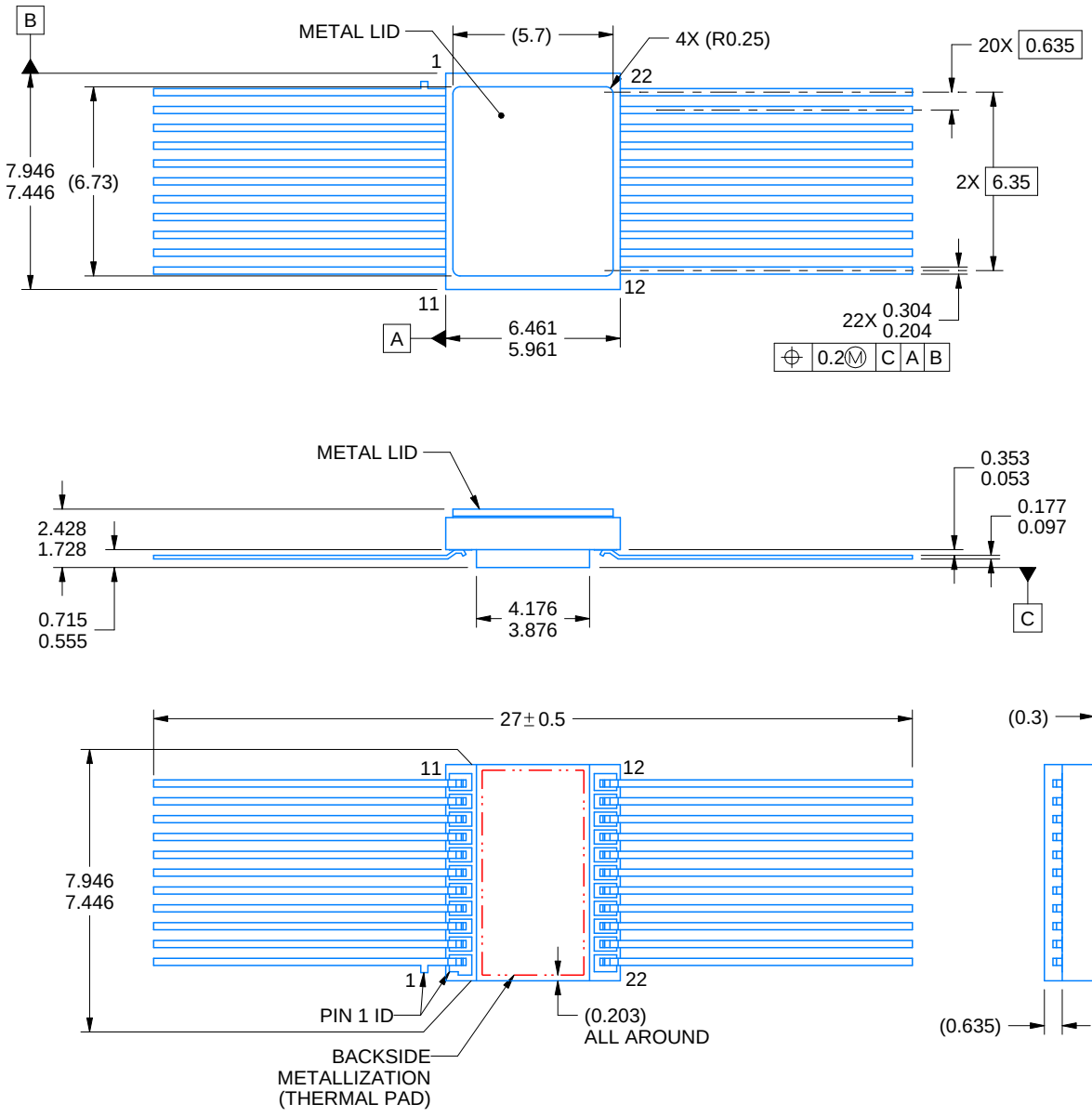


PACKAGE OUTLINE

HFT0022A

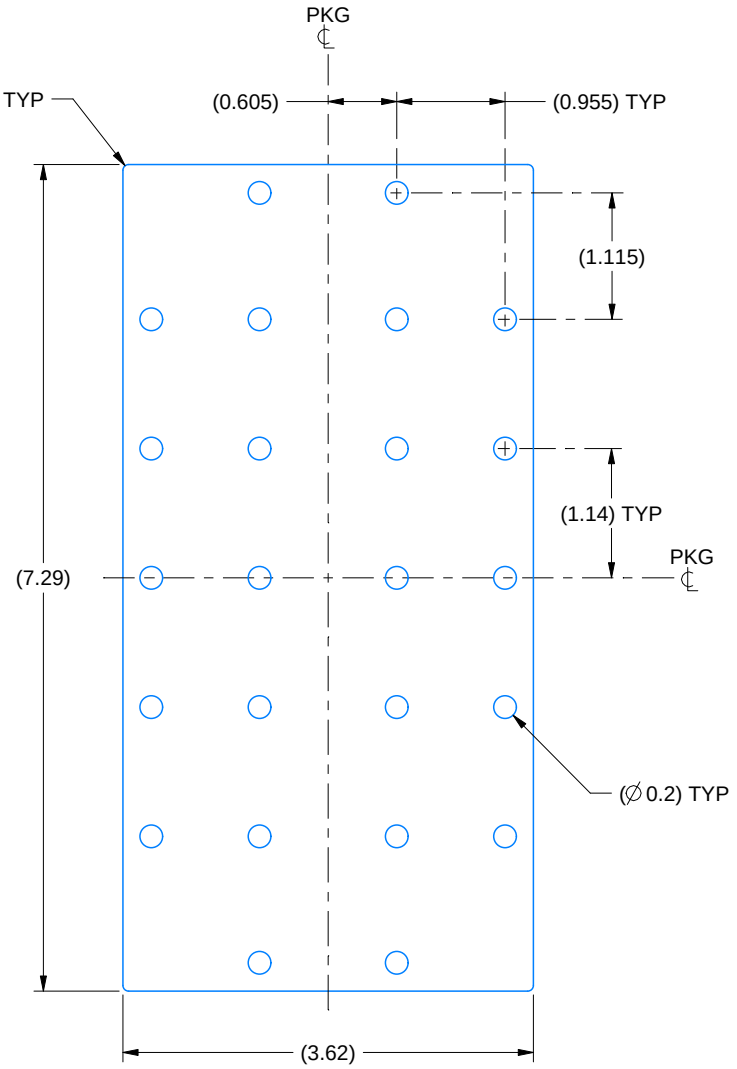
CFP - 2.428mm max height

CERAMIC FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. The lid is not connected to any lead.
4. The leads are gold plated.
5. Metal lid is connected to backside metalization



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

4225791/C 01/2021

REVISIONS

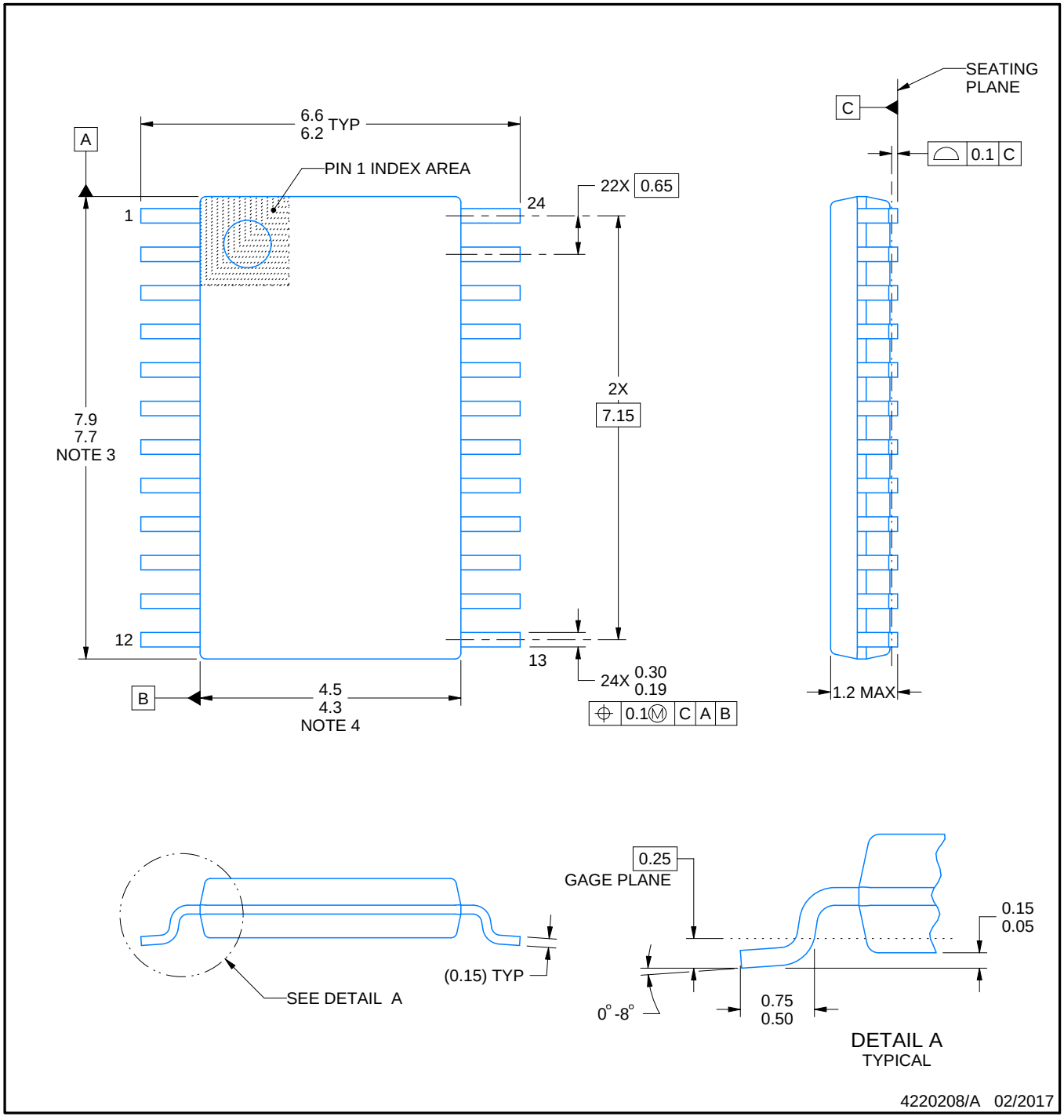
REV	DESCRIPTION	ECR	DATE	ENGINEER / DRAFTER
A	RELEASE NEW DRAWING	2186323	03/13/2020	R. RAZAK / ANIS FAUZI
B	ADD LAND PATTERN VIEW / SHEET	2190485	10/22/2020	R. RAZAK / ANIS FAUZI
C	UPDATE TOTAL LEAD LENGTH TO 27± 0.5	2192775	01/28/2021	R. RAZAK / ANIS FAUZI

PACKAGE OUTLINE

PW0024A

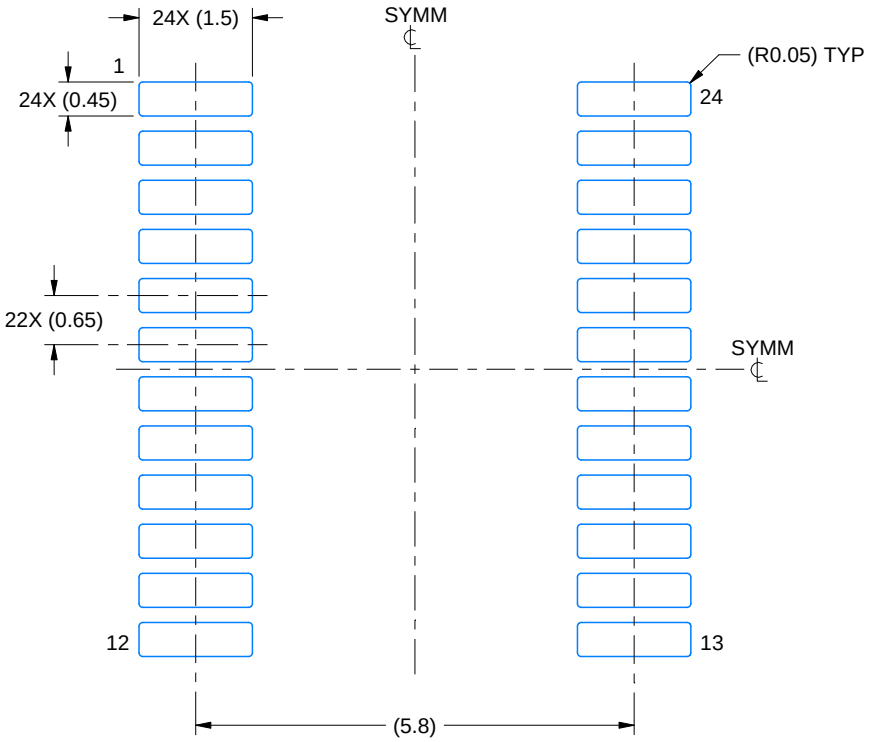
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

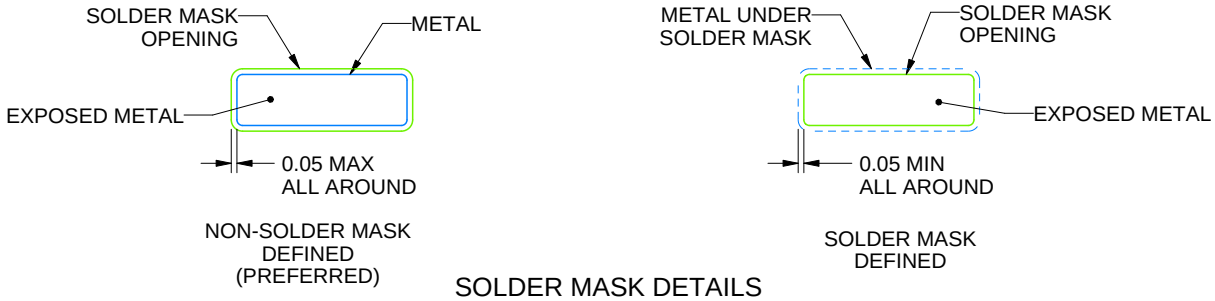


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

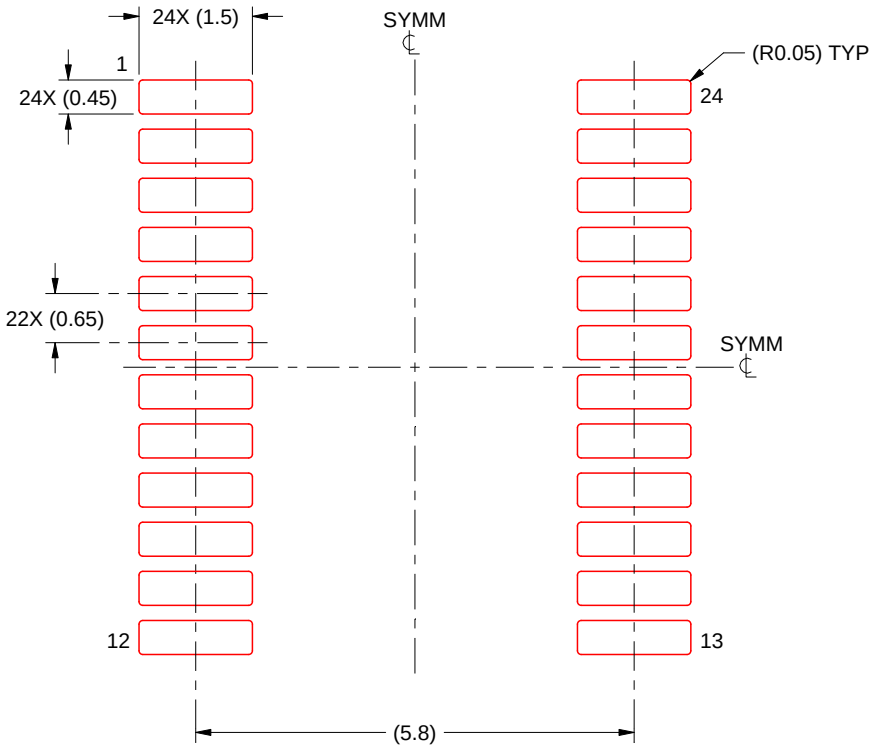


SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220208/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月