TPS7H3xx4-SP 耐放射線特性、14V、ウォッチドッグ タイマ付き 4 チャネル スーパーバイザ

1 特長

- 耐放射線性能:
  - 吸収線量 (TID) 100krad(Si) までの放射線耐性保証 (RHA)
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の最大線エネルギー付与 (LET) = 75MeV-cm^2/mg に対する耐性
  - シングル イベント機能割り込み (SEFI) およびシングル イベント過渡 (SET) の最大 LET = 75MeV-cm^2/mg に対する耐性
- 広い電源入力電圧範囲 (V_{IN}):3V ～ 14V
- 最大 4 つの電圧レールを高精度で監視可能:
  - TPS7H3024:2 OV + 2 UV または 2 つのウィンドウ (プッシュプル $\overline{\text{RESETx}}$ 付き)
  - TPS7H3124:2 OV + 2 UV または 2 つのウィンドウ (オープンドレイン $\overline{\text{RESETx}}$ 付き)
  - TPS7H3034:プッシュプル $\overline{\text{RESETx}}$ を使用した 4 UV または 4 OV
  - TPS7H3134:4UV または 4OV オープンドレイン $\overline{\text{RESETx}}$ 付き
- ウォッチドッグ タイマを使用して、プロセッサの一貫した実行を監視
- 単一抵抗によりプログラム可能なグローバル タイマ
- プログラム可能なウォッチドッグ タイムアウト
- 高精度のスレッショルド電圧とヒステリシス電流
  - 全体で 599.7mV ±1% の V_{TH_SENSEx}:電圧、温度、放射線 (TID)
  - 全体で 24µA ±3% の I_{HYS_SENSEx}:電圧、温度、放射線 (TID)
- 1.6V ～ 7V のプログラマブル プルアップ電圧に対応するプッシュプル出力
  - グローバル $\overline{\text{RESETx}}$ プルアップ ドメイン (V_{PULL_UP1})
  - 共通の PWRGD および $\overline{\text{WDO}}$ プルアップ ドメイン (V_{PULL_UP2})
- すべての出力をリセットするための SR_$\overline{\text{UVLO}}$ 入力
  - 外部抵抗デバイダを用いた構成可能な低電圧ロックアウトとしても使用可能
- 軍用温度範囲 (–55℃～125℃) を供給可能

2 アプリケーション

- 衛星用電源システム (EPS)
- 次のような複雑なデジタル プロセッサの電圧レールの監視:宇宙アプリケーション向けの FPGA、SoC、AFE、電源システム
- 一貫性のあるプロセッサ実行の監視

3 説明

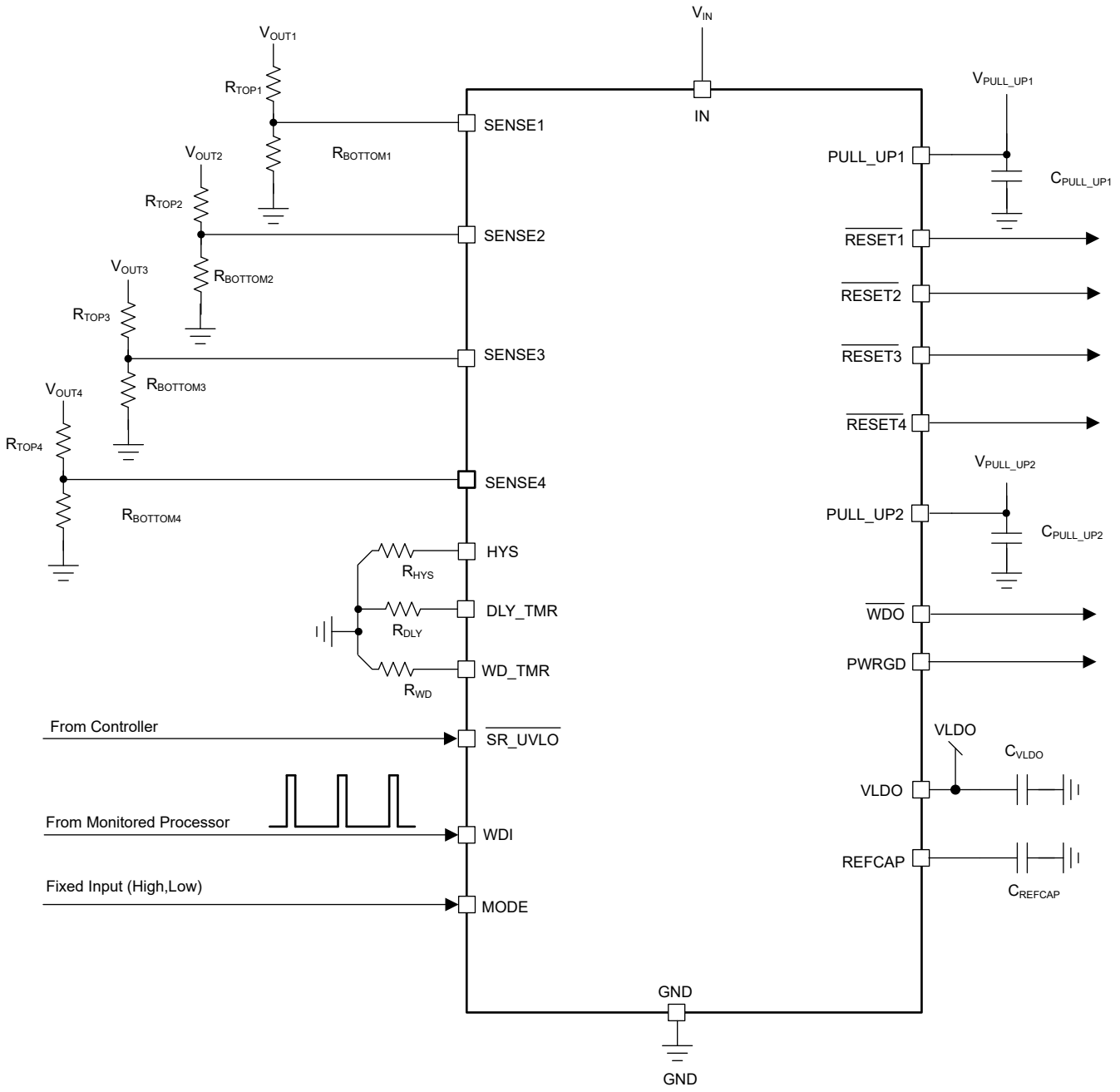
TPS7H3xx4-SP は、3V ～ 14V に対応する 4 チャネル放射線耐性付き電源スーパーバイザで、ウォッチドッグ機能を備えた集積デバイスです。正確な 599.7mV ±1% のスレッショルド電圧と 24µA ±3% のヒステリシス電流により、監視電圧をプログラム可能に設定できます。グローバル プログラマブル遅延タイマは、1 本の抵抗によって設定されます。さらに、グローバル電源ツリーのステータスを監視するために、PWRGD 出力が提供されています。このデバイスには、正のエッジ検出ウォッチドッグ タイマも内蔵されており、外部プロセッサを監視して一貫性のある実行を行えます。SR_$\overline{\text{UVLO}}$ 入力を使用することで、外部コントローラでフォルトを検出して緩和できます。デバイスは、プッシュプルおよびオープン ドレインの出力タイプで提供されます。

パッケージ情報

型番(1)	グレード	パッケージ (2)
5962R2420601VXC	QMLV-RHA	22 ピンのセラミック (CFP) 6.21mm x 7.69mm 質量 = 415.6mg
5962R2420602VXC		
5962R2420603VXC		
5962R2420604VXC		
TPS7H3024HFT/EM	エンジニアリング サンプル	
TPS7H3124HFT/EM		
TPS7H3034HFT/EM		
TPS7H3134HFT/EM		

(1) 詳細については、セクション 4 を参照してください。
(2) 質量は公称値であり、本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



注:ここに示されている出力はプッシュプルです

代表的なアプリケーション

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 8
6.1 絶対最大定格 ... 8
6.2 ESD 定格 ... 8
6.3 推奨動作条件 ... 8
6.4 熱に関する情報 ... 9
6.5 電気的特性 ... 9
6.6 タイミング要件 ... 12
6.7 品質適合検査 ... 13
6.8 代表的特性 ... 14
7 パラメータ測定情報 ... 21
8 詳細説明 ... 32
8.1 概要 ... 32
8.2 機能ブロック図 ... 34
8.3 機能説明 ... 37
8.4 デバイスの機能モード ... 52
9 アプリケーションと実装 ... 55
9.1 アプリケーション情報 ... 55
9.2 代表的なアプリケーション ... 55
9.3 電源に関する推奨事項 ... 62
9.4 レイアウト ... 62
10 デバイスおよびドキュメントのサポート ... 67
10.1 ドキュメントのサポート ... 67
10.2 ドキュメントの更新通知を受け取る方法 ... 67
10.3 サポート・リソース ... 67
10.4 商標 ... 67
10.5 静電気放電に関する注意事項 ... 67
10.6 用語集 ... 67
11 改訂履歴 ... 67
12 メカニカル、パッケージ、および注文情報 ... 69

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

ジェネリック型番	出力タイプ	FUNCTION	放射線定格(1)	グレード (2)	パッケージ	発注用製品型番
TPS7H3024-SP	プッシュプル	2 UV + 2 OV (または 2 つのウィンドウ)	100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA	22 ピン CFP HFT	5962R2420601VXC
			なし	エンジニアリングモデル(3)		TPS7H3024HFT/EM
TPS7H3124-SP	オープンドレイン		100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA		5962R2420602VXC
			なし	エンジニアリングモデル(3)		TPS7H3124HFT/EM
TPS7H3034-SP	プッシュプル	4 UV または 4 OV	100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA		5962R2420603VXC
			なし	エンジニアリングモデル(3)		TPS7H3034HFT/EM
TPS7H3134-SP	オープンドレイン		100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA		5962R2420604VXC
			なし	エンジニアリングモデル(3)		TPS7H3134HFT/EM

(1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについて詳細は、TI 部品のレーティングをご覧ください。
(3) これらのユニットは、技術的な評価のみを目的としています。これらのユニットは、非準拠のフローで処理されています (バーンインがない、25℃でのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には設計されていません。部品は、温度または動作寿命全体にわたる性能は規定されていません。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

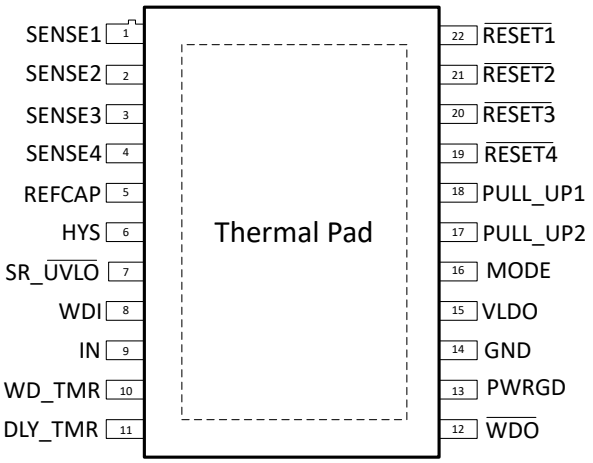


図 5-1. TPS7H30x4 HFT パッケージ 22 ピン CFP (上面図)

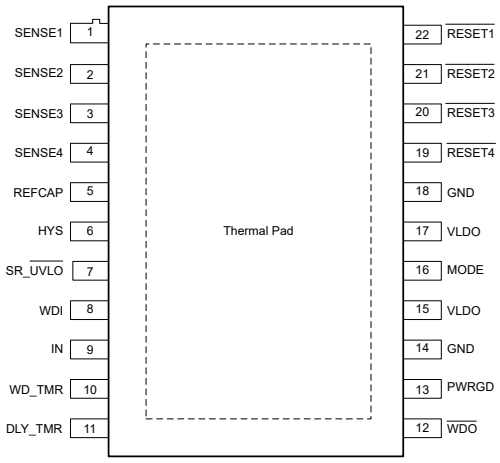


図 5-2. TPS7H31x4 HFT パッケージ 22 ピン CFP (上面図)

表 5-1. ピンの機能

ピン			タイプ(1)	説明
名称	TPS7H30x4	TPS7H31x4		
SENSE1	1	1	I	目的の電圧レールを監視するために使用されるコンパレータの非反転入力。V_{ON1} 電圧と V_{OFF1} 電圧を設定するには、監視対象のレールと GND との間に外付け分圧抵抗を接続し、中点を SENSE1 ピンに接続します。このピンで V_{TH_SENSEx} (599.7mV、標準値) を上回る電圧は、レギュレーション電圧レール (V_{ON1}) と見なされます。V_{OFF1} は、I_{HYS} 電流、分圧抵抗、V_{TH_SENSEx} の関数です。上部および下部の抵抗分圧回路の設計式 を参照してください。
SENSE2	2	2	I	目的の電圧レールを監視するために使用されるコンパレータの非反転入力。V_{ON2} 電圧と V_{OFF2} 電圧を設定するには、監視対象のレールと GND との間に外付け分圧抵抗を接続し、中点を SENSE2 ピンに接続します。このピンで V_{TH_SENSEx} (599.7mV、標準値) を上回る電圧は、レギュレーション電圧レール (V_{ON2}) と見なされます。V_{OFF2} は、I_{HYS} 電流、分圧抵抗、V_{TH_SENSEx} の関数です。上部および下部の抵抗分圧回路の設計式 を参照してください。
SENSE3	3	3	I	目的の電圧レールを監視するために使用されるコンパレータの非反転入力。V_{ON3} 電圧と V_{OFF3} 電圧を設定するには、監視対象のレールと GND との間に外付け分圧抵抗を接続し、中点を SENSE3 ピンに接続します。このピンで V_{TH_SENSEx} (599.7mV、標準値) を上回る電圧は、レギュレーション電圧レール (V_{ON2}) と見なされます。V_{OFF2} は、I_{HYS} 電流、分圧抵抗、V_{TH_SENSEx} の関数です。上部および下部の抵抗分圧回路の設計式を参照してください。
SENSE4	4	4	I	目的の電圧レールを監視するために使用されるコンパレータの非反転入力。V_{ON4} 電圧と V_{OFF4} 電圧を設定するには、監視対象のレールと GND との間に外付け分圧抵抗を接続し、中点を SENSE4 ピンに接続します。このピンで V_{TH_SENSEx} (599.7mV、標準値) を上回る電圧は、レギュレーション電圧レール (V_{ON4}) と見なされます。V_{OFF4} は、I_{HYS} 電流、分圧抵抗、V_{TH_SENSEx} の関数です。上部および下部の抵抗分圧回路の設計式を参照してください。
REFCAP	5	5	O	1.2V 内部リファレンス。GND との間に 470nF の外付けコンデンサを必要とします。 このピンには、外部回路を追加して負荷を接続しないでください
HYS	6	6	O	ヒステリシス。このピンと GND の間に 49.9kΩ 抵抗を接続して、SENSE1 と SENSE4 でのヒステリシス電流 (標準 24µA) をプログラムします。ユーザーには、0.1% 以上の許容差を持つ抵抗を使用することが推奨されます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ[1]	説明
名称	TPS7H30x4	TPS7H31x4		
SR_$\overline{UVLO}$	7	7	O	システム リセットと UVLO 入力。この入力を強制的に Low にして、すべての出力を Low にアサートします。 V_{IN} と GND の間の分圧抵抗を使用して、本デバイスのターンオン レベルを設定できます。
WDI	8	8	I	ウォッチドッグ入力。この信号を Low から High に切り替えると、ウォッチドッグ タイマがクリアされます。ウォッチドッグ タイマが満了する前にこの入力が Low から High にトグルすると、$\overline{WDO}$ は High のままになり、それ以外の場合は Low にアサートされます。
IN	9	9	I	デバイスへの入力電源。3 V ～ 14V の入力電圧範囲。0.1µF 以上のセラミックコンデンサを、ピンのできるだけ近くに接続してください。
WD_TMR	10	10	I/O	ウォッチドッグ タイマ。ウォッチドッグ タイムアウトを設定するために、56.2kΩ ～ 174kΩ の範囲の抵抗を GND に接続します。遅延時間は 0.52s~1.5s の範囲で調整できます。ウォッチドッグ タイマを無効にするには、このピンをフロートのままにしてください。
DLY_TMR	11	11	I/O	遅延タイマ。フォルト解除遅延を設定するために、10.5kΩ ～ 1.18MΩ の範囲の抵抗を GND に接続します。遅延時間は、0.25ms ～25ms の範囲で調整できます。遅延を発生させないように、このピンはフロートのままにしてください。
$\overline{WDO}$	12	12	O	ウォッチドッグ出力。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP2 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。
PWRGD	13	13	O	パワーグッド。この出力は、すべてのレール (SENSE1 から SENS4) がレギュレーション中であることを示します。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP2 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。
GND	14	14、18	—	グランド。
VLDO	15	15、17	O	内部レギュレータの出力。このピンは、少なくとも 1µF の外付けセラミック コンデンサを GND に接続する必要があります。この電圧は、負の電圧を監視する際に正のオフセットを生成するために使用できます。TPS7H31x4 の場合、ピン 15 と 17 を 10kΩ 抵抗を介して外部に接続します。この LDO の最大負荷は 5mA です。このピンは過電流事象に対して保護されていません。
MODE	16	16	I	出力段の動作 (ウィンドウ または UV + OV) を制御するための論理入力。詳細については、セクション 8.3.4 を参照してください。この入力を動的に変更することはできません。MODE=0 は 2 UV + 2 OV に対応し、MODE=1 は 2 ウィンドウに対応します。
PULL_UP2	17	—	I	PWRGD および $\overline{WDO}$ のプッシュプル出力のプルアップ電圧をプログラムするための入力電源電圧。1µF 以上のセラミックコンデンサを、ピンのできるだけ近くに接続してください。
PULL_UP1	18	—	I	$\overline{RESET1}$ から $\overline{RESET4}$ までのプッシュプル出力のグローバルプルアップ電圧をプログラムするための入力電源電圧。1µF 以上のセラミックコンデンサを、ピンのできるだけ近くに接続してください。
$\overline{RESET4}$	19	19	O	Reset 4。SENSE4 が故障のとき、$\overline{RESET4}$ は Low にアサートされます。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP1 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。
$\overline{RESET3}$	20	20	O	Reset 3。SENSE3 が故障のとき、$\overline{RESET3}$ は Low にアサートされます。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP1 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。
$\overline{RESET2}$	21	21	O	Reset 2。SENSE2 が故障のとき、$\overline{RESET2}$ は Low にアサートされます。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP1 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	TPS7H30x4	TPS7H31x4		
$\overline{\text{RESET1}}$	22	22	O	Reset 1。SENSE1 が故障のとき、$\overline{\text{RESET1}}$ は Low にアサートされます。プッシュプルまたはオープン ドレイン出力。プッシュプル出力の場合、V_{OH} レベルは PULL_UP1 入力電源電圧によって設定されます。オープンドレイン出力の場合、目的のロジック レベルに外部プルアップが必要です。10kΩ プルアップ抵抗の使用が推奨されます。
サーマル パッド	—	—	—	内部グランド。効果的な放熱のため、この金属サーマル パッドは大きなグランド プレーンに接続することを推奨します。
金属製ふた	ふた	ふた	—	このふたは、シール リングを介してサーマル パッドと GND に内部接続されています。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲(特に注記のない限り)(1) (2)

		最小値	最大値	単位
入力電圧	IN	-0.3	16	V
	WDI、MODE	-0.3	7.5	
	SENSE1、SENSE2、SENSE3、SENSE4	-0.3	3.6	
	PULL_UP1、PULL_UP2	-0.3	7.5	
	SR_$\overline{\text{UVLO}}$	-0.3	7.5	
	DLY_TMR、WD_TMR	-0.3	3.6	
出力電圧	REFCAP	-0.3	2	V
	VLDO	-0.3	3.6	
	HYS	-0.3	3.6	
	$\overline{\text{RESET1}}$、$\overline{\text{RESET2}}$、$\overline{\text{RESET3}}$、$\overline{\text{RESET4}}$	-0.3	7.5	
	PWRGD、$\overline{\text{WDO}}$	-0.3	7.5	
出力電流	$\overline{\text{RESET1}}$、$\overline{\text{RESET2}}$、$\overline{\text{RESET3}}$、$\overline{\text{RESET4}}$	-20	20	mA
	PWRGD、$\overline{\text{WDO}}$	-20	20	
接合部温度	T_J	-55	150	°C
保存温度	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、GND を基準としたものです。

6.2 ESD 定格

			値	単位
V_{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン(1)	±1000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作温度範囲外 (特に記述のない限り)(1)

		最小値	公称値	最大値	単位
入力電圧	IN	3		14	V
	WDI、MODE	0		7	
	SENSE1、SENSE2、SENSE3、SENSE4	0		3.5	
	PULL_UP1、PULL_UP2	1.6		7	
	SR_$\overline{\text{UVLO}}$	0		7	
出力電圧	$\overline{\text{RESET1}}$、$\overline{\text{RESET2}}$、$\overline{\text{RESET3}}$、$\overline{\text{RESET4}}$	0		7	V
	PWRGD、$\overline{\text{WDO}}$	0		7	
出力電流	$\overline{\text{RESET1}}$、$\overline{\text{RESET2}}$、$\overline{\text{RESET3}}$、$\overline{\text{RESET4}}$	-10		10	mA
	PWRGD、$\overline{\text{WDO}}$	-10		10	

Copyright © 2026 Texas Instruments Incorporated

動作温度範囲外 (特に記述のない限り)(1)

		最小値	公称値	最大値	単位
接合部温度	T_J	-55		125	°C
入力電圧スルーレート	SR_{IN}	0.001		10	V/µs

(1) すべての電圧値は、GND を基準としたものです。

6.4 熱に関する情報

熱評価基準(1)		TPS7H3xx4-SP HFT (CFP) 22 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	34.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	17.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	16.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	8.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	17	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

3V ≤ V_{IN} ≤ 14V, R_{DLY_TMR} = 10kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、QML RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます(1) (2)

パラメータ		テスト条件	サブグループ(3)	最小値	標準値	最大値	単位
電源電圧および電流							
I_{Q_IN}	V_{IN} 静止電流	$V_{SR_\overline{UVLO}}$ > $V_{TH_SR_\overline{UVLO}_RISING\ (MAX)}$	1、2、3		1.5	2.5	mA
I_{SD_IN}	V_{IN} シャットダウン電流	$V_{SR_\overline{UVLO}}$ = 0V	1、2、3		1.5	2.1	
$UVLO_{RISE}$	V_{IN} 立ち上がり低電圧ロックアウト		1、2、3	2.73	2.80	2.88	V
$UVLO_{FALL}$	V_{IN} の立ち下がり定電圧ロックアウト		1、2、3	2.58	2.65	2.72	
V_{LDO}	内部リニア レギュレータの出力電圧	4V ≦ V_{IN} ≦ 14V	1、2、3	3.23	3.29	3.37	V
		V_{IN} = 3V	1、2、3	98%	99%		× V_{IN}
$VLDO_{I_MAX}$	VLDO 最大電流	3.65V ≤ V_{IN} ≤ 14V、 VLDO= 98.5% x $VLDO_{(NOM)}$	1、2、3			5	mA
REFCAP	内部バンドギャップ電圧		1、2、3	1.188	1.2	1.212	V
V_{POR_IN}	IN パワーオン リセット電圧 (4)	1.6V ≤ V_{PULL_UPx} ≤ 7V、 V_{OL} ≤ 320mV ($I_{\overline{RESETx}}$ = –1mA)	1、2、3		1.42	2	
$V_{POR_PULL_UPx}$	PULL_UPx パワーオン リセット電圧 (5)	V_{IN} = 0V、V_{OL} ≤ 320mV、 $I_{\overline{RESETx}}$ = –100µA	1、2、3		0.85	1.1	
V_{HYS}	HYS ピンの内部電圧	R_{HYS} = 49.9kΩ	1、2、3	1.164	1.2	1.236	
SENSE1 から SENSE4、SR_UVLO、WDI、および MODE コンパレータ入力							
V_{TH_SENSEx}	SENSEx のスレッショルド電圧		1、2、3	593.1	599.7	604.9	mV
I_{HYS_SENSEx}	SENSEx ヒステリシス電流	V_{SENSEx} = 700mV	1、2、3	23.28	24	24.72	µA
I_{LKG_SENSEx}	SENSEx での入力リーク電流	V_{SENSEx} = 500mV	1、2、3		1	100	nA

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

3V ≤ V_{IN} ≤ 14V, R_{DLY_TMR} = 10kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、QML RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます(1) (2)

パラメータ		テスト条件		サブグループ(3)	最小値	標準値	最大値	単位
$V_{TH_SR_\overline{UVLO}_RISING}$	SR_$\overline{UVLO}$ での立ち上がりスレッショルド電圧			1、2、3	580	602	618	mV
$V_{TH_SR_\overline{UVLO}_FALLING}$	SR_$\overline{UVLO}$ での立ち下がりスレッショルド電圧			1、2、3	475	499	517	mV
$I_{LKG_SR_\overline{UVLO}}$	SR_$\overline{UVLO}$ での入力リーク電流	$V_{SR_\overline{UVLO}}$ = 7V		1、2、3		2	100	nA
$V_{TH_WDI_RISING}$	WDI の立ち上がりスレッショルド電圧			1、2、3	578	602	624	mV
$V_{TH_WDI_FALLING}$	WDI の立ち下がりスレッショルド電圧			1、2、3	473	498	521	mV
I_{LKG_WDI}	WDI での入力リーク電流	V_{WDI} = 7V		1、2、3		1.4	100	nA
$V_{TH_MODE_RISING}$	MODE の立ち上がりスレッショルド電圧			1、2、3 7、8	576	600	623	mV
$V_{TH_MODE_FALLING}$	MODE の立ち下がりスレッショルド電圧			1、2、3 7、8	475	498	520	mV
I_{LKG_MODE}	MODE での入力リーク電流	V_{MODE} = 7V		1、2、3		1	100	nA
$\overline{RESET1}$ から $\overline{RESET4}$、PWRGD および $\overline{WDO}$ プッシュプル出力 (TPS7H3024 および TPS7H3034)								
$Pull_UPx_{LKG}$	PULL_UP x リーク電流	V_{PULL_UPx} = 7V、$\overline{RESETx}$ =LOW		1、2、3		48	100	µA
$V_{OL_\overline{RESETx}}$	Low レベル $\overline{RESETx}$ 出力電圧	1.6V ≤ V_{PULL_UP1} ≤ 7V	I_{LOAD} = -2mA	1、2、3			5%	x V_{PULL_UP1}
			I_{LOAD} = -10mA	1、2、3			23%	
$V_{OH_\overline{RESETx}}$	High レベル $\overline{RESETx}$ 出力電圧	1.6V ≤ V_{PULL_UP1} ≤ 7V	I_{LOAD} = 2mA	1、2、3	95%			
			I_{LOAD} = 10mA	1、2、3	75%			
V_{OL_PWRGD}	Low レベル PWRGD 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = -2mA	1、2、3			5%	x V_{PULL_UP2}
			I_{LOAD} = -10mA	1、2、3			23%	
V_{OH_PWRGD}	High レベル PWRGD 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = 2mA	1、2、3	95%			
			I_{LOAD} = 10mA	1、2、3	75%			
$V_{OL_\overline{WDO}}$	Low レベル $\overline{WDO}$ 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = -2mA	1、2、3			5%	
			I_{LOAD} = -10mA	1、2、3			23%	
$V_{OH_\overline{WDO}}$	High レベル $\overline{WDO}$ 出力電圧	1.6V ≤ V_{PULL_UP2} ≤ 7V	I_{LOAD} = 2mA	1、2、3	95%			
			I_{LOAD} = 10mA	1、2、3	75%			
$SR_{\overline{RESETx}_RISE}$	$\overline{RESETx}$ 立ち上がり出力電圧のスルーレート	V_{PULL_UP1} の 10% ～ 90%、R_{LOAD} = 50kΩ、C_{LOAD} = 100pF	1.6V ≤ V_{PULL_UP1} ≤ 7V	7、8 9、10、11	17	298		V/µs
SR_{PWRGD_RISE}	PWRGD 立ち上がり出力電圧のスルーレート			7、8 9、10、11	17	298		
$SR_{\overline{WDO}_RISE}$	$\overline{WDO}$ 立ち上がり出力電圧のスルーレート			7、8 9、10、11	17	298		
$SR_{\overline{RESETx}_FALL}$	$\overline{RESETx}$ 立ち下がり出力電圧のスルーレート	V_{PULL_UP1} の 90% ～ 10%、R_{LOAD} = 50kΩ、C_{LOAD} = 100pF	1.6V ≤ V_{PULL_UP1} ≤ 7V	7、8 9、10、11	44	186		
SR_{PWRGD_FALL}	PWRGD 立ち下がり出力電圧のスルーレート			7、8 9、10、11	44	186		
$SR_{\overline{WDO}_FALL}$	$\overline{WDO}$ 立ち下がり出力電圧のスルーレート			7、8 9、10、11	44	186		

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

3V ≤ V_{IN} ≤ 14V, R_{DLY_TMR} = 10kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、QML RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます(1) (2)

パラメータ		テスト条件		サブグループ(3)	最小値	標準値	最大値	単位
$R_{\overline{RESETx}_PULL_UP}$	$\overline{RESET}$ PMOS ソース出力抵抗	I_{LOAD} = 2mA	1.6V ≤ V_{PULL_UP1} < 3.3V	1、2、3		20	40	Ω
			3.3V ≤ V_{PULL_UP1} ≤ 7V	1、2、3		9	20	
$R_{PWRGD_PULL_UP}$	PWRGD PMOS ソース出力抵抗	I_{LOAD} = 2mA	1.6V ≤ V_{PULL_UP2} < 3.3V	1、2、3		20	40	
			3.3V ≤ V_{PULL_UP2} ≤ 7V	1、2、3		9	20	
$R_{\overline{WDO}_PULL_UP}$	$\overline{WDO}$ PMOS ソース出力抵抗	I_{LOAD} = 2mA	1.6V ≤ V_{PULL_UP2} < 3.3V	1、2、3		20	40	
			3.3V ≤ V_{PULL_UP2} ≤ 7V	1、2、3		9	20	
$R_{\overline{RESETx}_PULL_DOWN}$	$\overline{RESET}$ NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		16	36	
$R_{PWRGD_PULL_DOWN}$	PWRGD NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		16	36	
$R_{\overline{WDO}_PULL_DOWN}$	$\overline{WDO}$ NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP1} ≤ 7V		1、2、3		16	36	
RESET1 から RESET4、PWRGD、WDO オープンドレイン (TPS7H3124 および TPS7H3134)								
$\overline{RESETx}_{LKG}$	$\overline{RESETx}$ リーク電流	$V_{\overline{RESETx}}$ = 7V		1、2、3		23	600	nA
$PWRGD_{LKG}$	PWRGD のリーク電流	V_{PWRGD} = 7V		1、2、3		23	600	
$\overline{WDO}_{LKG}$	WDO のリーク電流	$V_{\overline{WDO}}$ = 7V		1、2、3		23	600	
$R_{\overline{RESETx}_PULL_DOWN}$	RESET NMOS シンク出力抵抗	I_{LOAD} = –2mA、1.6V ≤ V_{PULL_UP} ≤ 7V		1、2、3		131	200	Ω
$R_{PWRGD_PULL_DOWN}$	PWRGD NMOS シンク出力抵抗			1、2、3		131	200	
$R_{\overline{WDO}_PULL_DOWN}$	$\overline{WDO}$ NMOS シンク出力抵抗			1、2、3		131	200	
$V_{OL_\overline{RESETx}}$	Low レベル $\overline{RESETx}$ 出力電圧	1.6V ≤ V_{PULL_UP} ≤ 7V	I_{LOAD} = -2mA	1、2、3		0.262	0.4	V
			I_{LOAD} = -10mA	1、2、3		1.31	2	
V_{OL_PWRGD}	Low レベル PWRGD 出力電圧	1.6V ≤ V_{PULL_UP} ≤ 7V	I_{LOAD} = -2mA	1、2、3		0.262	0.4	
			I_{LOAD} = -10mA	1、2、3		1.31	2	
$V_{OL_\overline{WDO}}$	Low レベル $\overline{WDO}$ 出力電圧	1.6V ≤ V_{PULL_UP} ≤ 7V	I_{LOAD} = -2mA	1、2、3		0.262	0.4	
			I_{LOAD} = -10mA	1、2、3		1.31	2	
熱保護								
T_{SD_ENTER}	サーマル シャットダウン入口温度					185		°C
T_{SD_EXIT}	サーマル シャットダウン出口温度					171		
遅延機能とウォッチドッグ タイマ								
t_{DLY_TMR}	遅延時間	R_{DLY_TMR} = 10.5kΩ		1、2、3	0.22	0.26	0.33	ms
		R_{DLY_TMR} = 619kΩ		1、2、3	11.3	12.5	13.7	
		R_{DLY_TMR} = 1.18MΩ		1、2、3	21.3	23.7	26.2	

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

3V ≤ V_{IN} ≤ 14V, R_{DLY_TMR} = 10kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、QML RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます(1) (2)

パラメータ		テスト条件	サブグループ(3)	最小値	標準値	最大値	単位
t_{WD_TMR}	ウォッチドッグ タイムアウト	R_{WD_TMR} = 56.2kΩ	1、2、3	0.43	0.52	0.57	s
		R_{WD_TMR} = 118kΩ	1、2、3	0.8	1	1.2	
		R_{WD_TMR} = 174kΩ	1、2、3	1.34	1.5	1.7	

(1) RHA デバイスの詳細については、5962R24206 SMD（標準マイクロ回路図）を参照。
(2) すべての電圧値は、GND を基準としたものです。
(3) サブグループの定義については、「品質適合性検査」表を参照してください。
(4) V_{POR_IN} は、出力が制御された状態を保つために必要な V_{IN} の最小値で、1.6V ≤ V_{PULL_UPx} ≤ 7V の場合の値です。V_{POR_IN} を下回ると、出力状態は決定できません。
(5) $V_{POR_PULL_UPx}$ は出力が制御された状態を保つために必要な V_{PULL_UPx} の最小値で、V_{IN} ≤ 3V の場合の値です。$V_{POR_PULL_UPx}$ を下回ると、出力状態は決定できません。

6.6 タイミング要件

3V ≤ V_{IN} ≤ 14V、R_{DLY_TMR} = 10kΩ、R_{REG_TMR} = 10kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます (1)

パラメータ		テスト条件		サブグループ(2)	最小値	標準値	最大値	単位
$t_{START_UP_DLY}$	起動遅延時間(3)	V_{REFCAP} ≥ 1.1V、図 7-1 を参照		1、2、3		0.3	2.8	ms
$t_{pd_\overline{RESETx}}$	$\overline{RESET}$ 伝搬遅延	DLY_TMR = オープン、図 7-2 および図 7-3 を参照	TPS7H3024 および TPS7H3034 (プッシュプル)	1、2、3		0.62	4.3	µs
t_{pd_PWRGD}	PWRGD 伝搬遅延	DLY_TMR = オープン、図 7-4 を参照				0.51	4.3	
$t_{pd_\overline{RESETx}}$	$\overline{RESET}$ 伝搬遅延	DLY_TMR = オープン、図 7-5 および図 7-6 を参照	TPS7H3124 および TPS7H3134 (オープンドレイン) R_{PULL_UP} = 10kΩ および C_{LOAD} = 100pF	1、2、3		2.6	4.9	µs
t_{pd_PWRGD}	PWRGD 伝搬遅延	DLY_TMR = オープン、図 7-7 を参照				2.6	4.9	
$t_{pd_SR_\overline{UVLO}}$	SR_$\overline{UVLO}$ の伝搬遅延	図 7-8 を参照		1、2、3		0.92	2	µs
t_{pd_WDI}	WDI 伝搬遅延	図 7-9 を参照 TPS7H3024 および TPS7H3034 (プッシュプル)	t_{WD_TMR} = 0.52s	1、2、3		23	40	µs
			t_{WD_TMR} = 1s			47	80	
			t_{WD_TMR} = 1.5s			68	116	
t_{pd_WDI}	WDI 伝搬遅延	図 7-10 を参照 TPS7H3124 および TPS7H3134 (オープンドレイン) R_{PULL_UP} = 10kΩ および C_{LOAD} = 100pF	t_{WD_TMR} = 0.52s	1、2、3		30	48	µs
			t_{WD_TMR} = 1s			54	94	µs
			t_{WD_TMR} = 1.5s			76	131	µs
t_{PW_WDI}	WDI 最小パルス幅	図 7-11 を参照		4、5、6	2			× t_{WD_OSC}
$t_{PW_SR_\overline{UVLO}}$	SR_UVLO 有効なリセットの最小パルス幅	図 7-12 を参照		4、5、6		0.61	1.1	µs

Copyright © 2026 Texas Instruments Incorporated

3V ≤ V_{IN} ≤ 14V、R_{DLY_TMR} = 10kΩ、R_{REG_TMR} = 10kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、動作温度範囲 (T_A= –55°C ～ 125°C)、において、特記がない限り適用されます。また、RHA デバイスに対するグループ E の放射線試験 T_A = 25°C も含まれます (1)

パラメータ		テスト条件	サブグループ(2)	最小値	標準値	最大値	単位
$t_{h_VENSEx_FAULT}$	有効なフォルト検出の VSENSEx のホールド時間	C_{LOAD} = 100pF、図 7-13 および 図 7-14 を参照	4、5、6		0.56	2.2	µs
$t_{h_VENSEx_RISE}$	VSENSEx ホールド時間の立ち上がりスレッショルド	図 7-15 および 図 7-16 を参照	4、5、6			3.7	µs

(1) RHA デバイスの詳細については、5962R24206 SMD (標準マイクロ回路図) を参照してください。
(2) サブグループの定義については、「品質適合性検査」表を参照してください。
(3) 電源オンのとき、すべての 内部リファレンスが仕様範囲内に収まるように、V_{IN} は、少なくとも $t_{Start_up_delay}$ の間、$UVLO_{RISE(MAX)}$ 以上でなければなりません。

6.7 品質適合検査

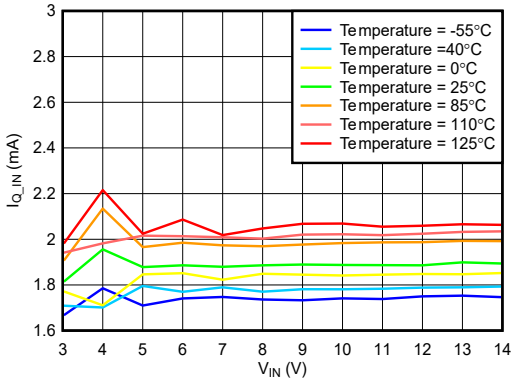
MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

Copyright © 2026 Texas Instruments Incorporated

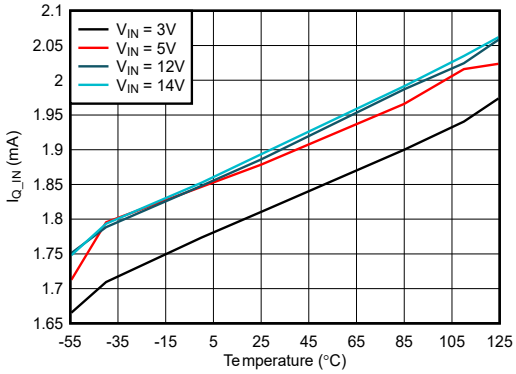
6.8 代表的特性

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。



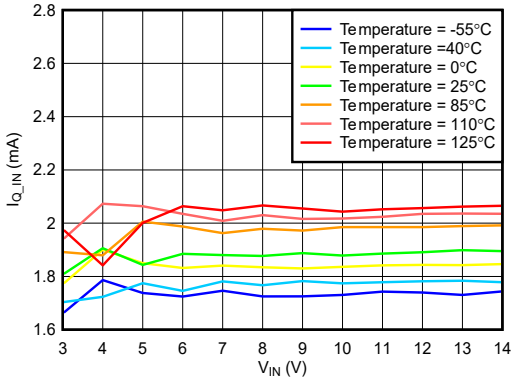
RESETx = Low　　V_{PULL_UPx} = 7V

図 6-1. 動作温度範囲にわたる I_{Q_IN} と V_{IN} との関係 (RESETx = Low)



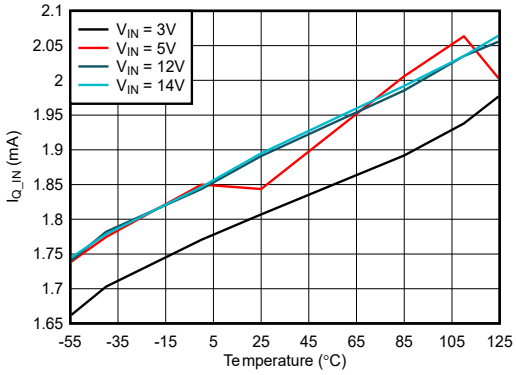
RESETx = Low　　V_{RESETx} = 7V

図 6-2. I_{Q_IN} と V_{IN} と温度との関係 (RESETx = Low)



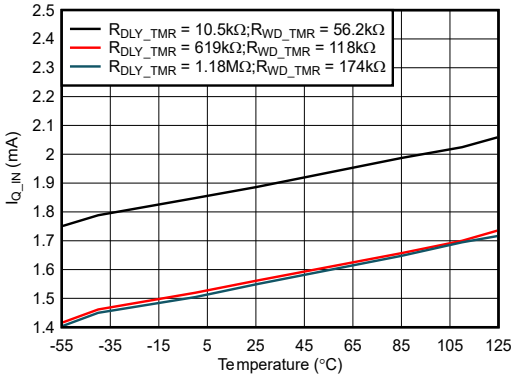
RESETx = High　　V_{PULL_UPx} = 7V

図 6-3. 動作温度範囲にわたる I_{Q_IN} と V_{IN} との関係 (RESETx = High)



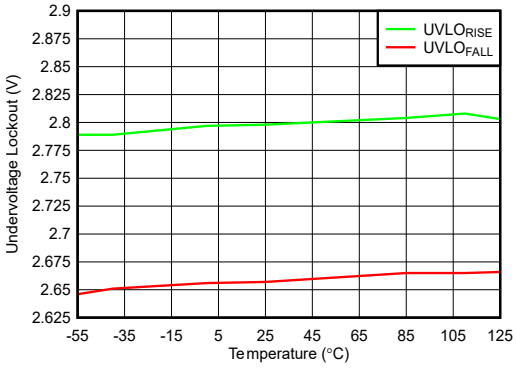
RESETx = High　　V_{RESETx} = 7V

図 6-4. I_{Q_IN} と V_{IN} と温度との関係 (RESETx = High)



V_{IN} = 12V　　RESETx = Low
V_{PULL_UPx} = 7V

図 6-5. IQ_IN と DLY_TMR と WD_TMR 抵抗における温度との関係



R_{DLY_TMR} =フローティング　　R_{WD_TMR} =フローティング

図 6-6. 低電圧誤動作防止と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。

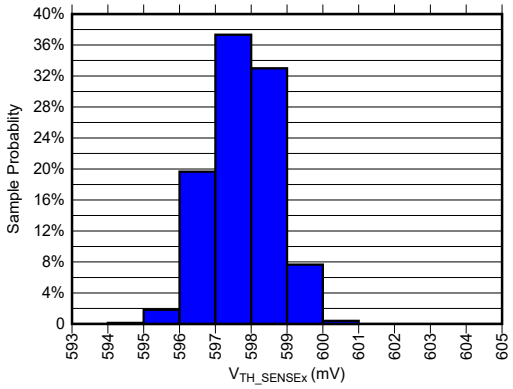


図 6-7. V_{TH_SENSEx} 電流分布 (温度 –55℃)

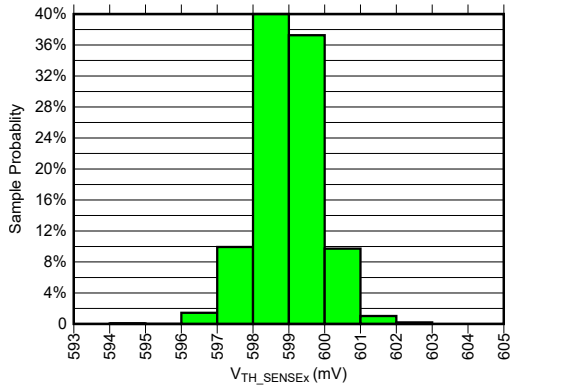


図 6-8. V_{TH_SENSEx} 電流分布 (温度 +25℃)

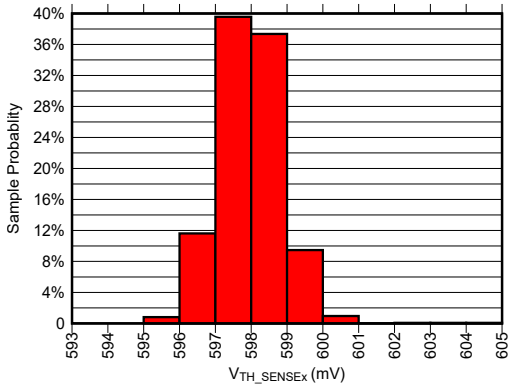


図 6-9. V_{TH_SENSEx} 電流分布 (温度 125℃)

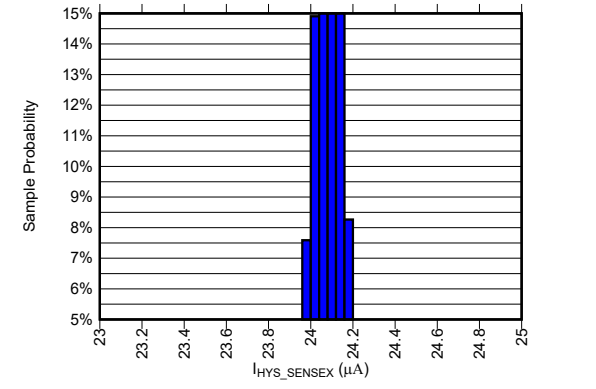


図 6-10. I_{HYS_SENSEx} 電流分布 (温度 –55℃)

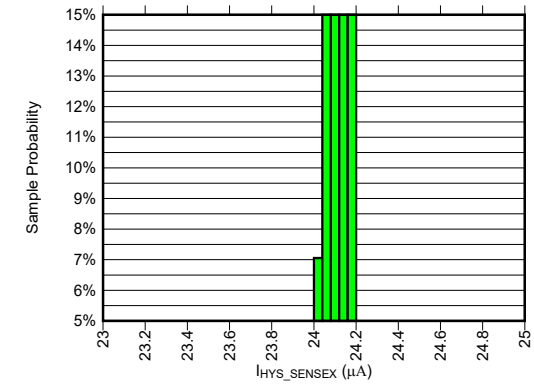


図 6-11. I_{HYS_SENSEx} 電流分布 (温度 25℃)

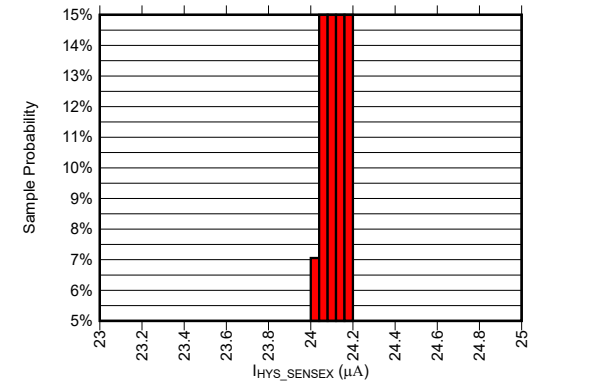
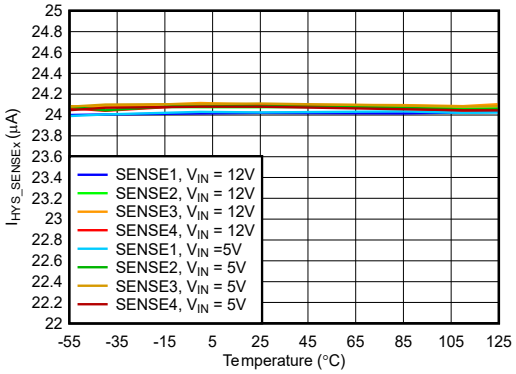


図 6-12. I_{HYS_SENSEx} 電流分布 (温度 125℃)

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

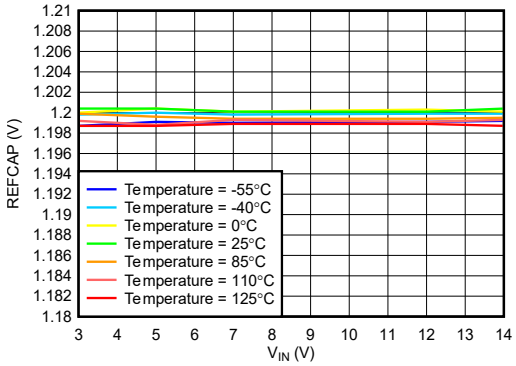
TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。



V_{SENSEx} = 700mV　　R_{DLY_TMR} =フローティング

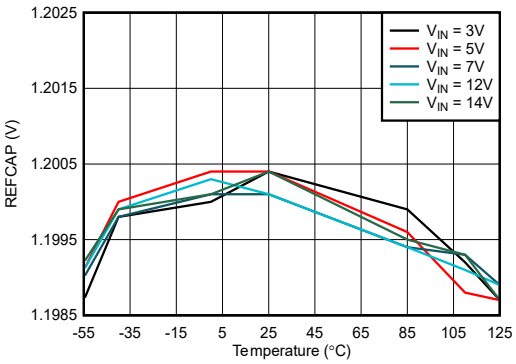
R_{WD_TMR} =フローティング

図 6-13. I_{HYS_SENSEx} と、温度範囲での V_{IN} および SENSEx チャネルとの関係



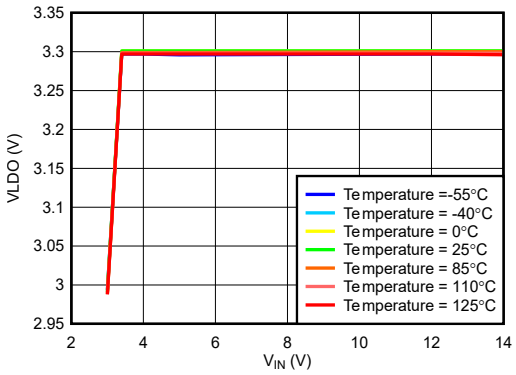
$V_{SR_\overline{UVLO}}$ = 1V

図 6-14. 温度範囲における REFCAP と V_{IN} の関係



$V_{SR_\overline{UVLO}}$ = 1V

図 6-15. REFCAP と温度範囲の V_{IN} との関係



R_{DLY_TMR} =フローティング
MODE = Low

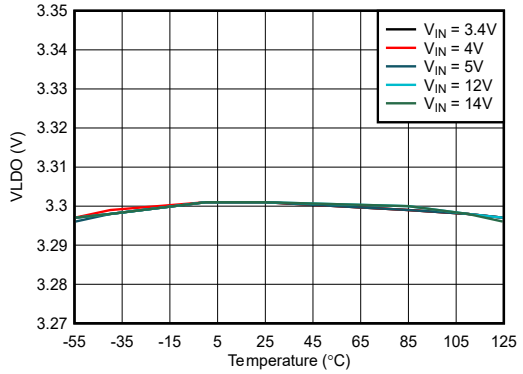
R_{WD_TMR} =フローティング
$V_{SENSE1,3}$ = 0.3V および
$V_{SENSE2,4}$ = 1V

図 6-16. 温度範囲における VLDO と V_{IN} の関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。



R_{DLY_TMR} =フローティング
MODE = Low

R_{WD_TMR} =フローティング
$V_{SENSE1,3}$ = 0.3V および
$V_{SENSE2,4}$ = 1V

図 6-17. VLDO と温度範囲の V_{IN} との関係

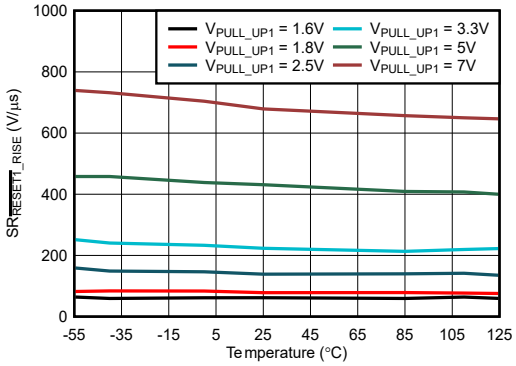


図 6-18. SR $\overline{RESET1}$_RISE と V_{PULL_UP1} における温度との関係

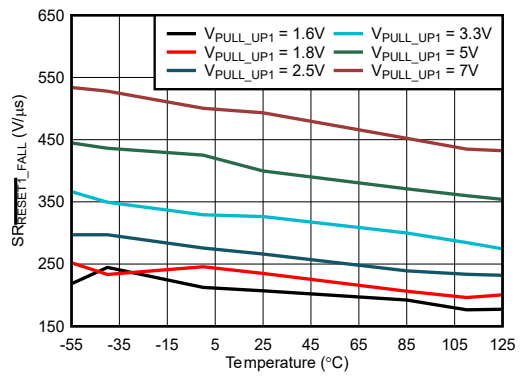


図 6-19. SR $\overline{RESET1}$_FALL と V_{PULL_UP1} における温度との関係

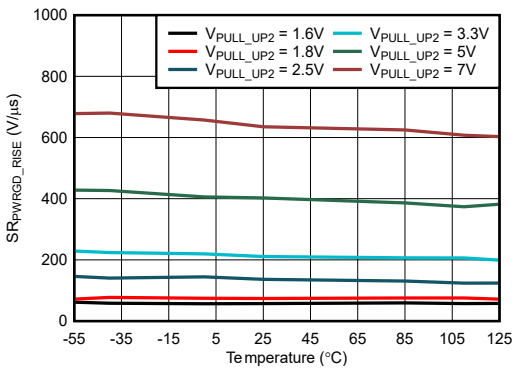


図 6-20. SR PWRGD_RISE と温度範囲での V_{PULL_UP2} との関係

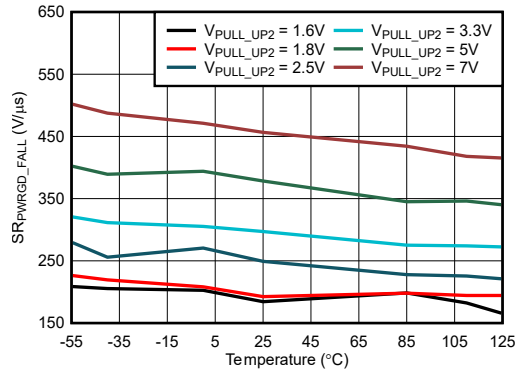


図 6-21. SR PWRGD_FALL と V_{PULL_UP2} における温度との関係

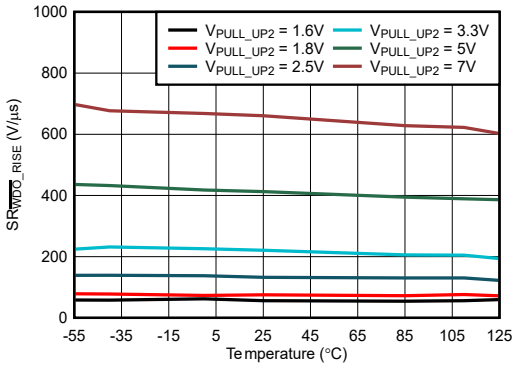


図 6-22. SR $\overline{WDO}$_RISE と V_{PULL_UP2} における温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。

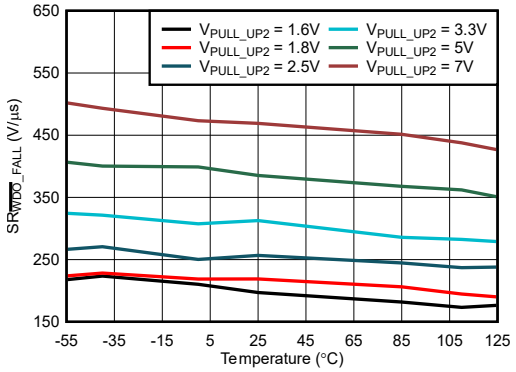


図 6-23. $SR_{\overline{WDO}_FALL}$ と V_{PULL_UP2} における温度との関係

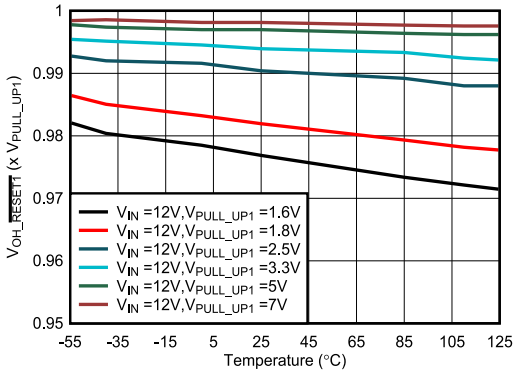


図 6-24. $\overline{RESET1}$ VOH 電圧 (V_{PULL_UP1} に対するパーセント) と I_{LOAD} = 2mA における V_{PULL_UP1} 全域での温度の関係

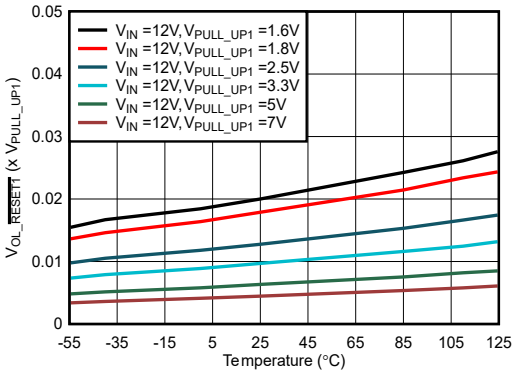


図 6-25. $\overline{RESET1}$ VOL 電圧 (V_{PULL_UP1} に対するパーセント) と I_{LOAD} = 2mA における V_{PULL_UP1} 全域での温度の関係

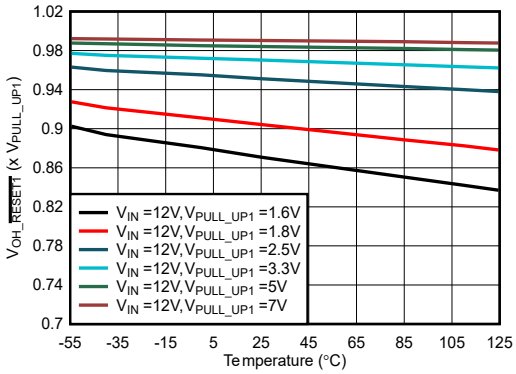


図 6-26. $\overline{RESET1}$ VOH 電圧 (V_{PULL_UP1} に対するパーセント) と I_{LOAD} = 10mA における V_{PULL_UP1} 全域での温度の関係

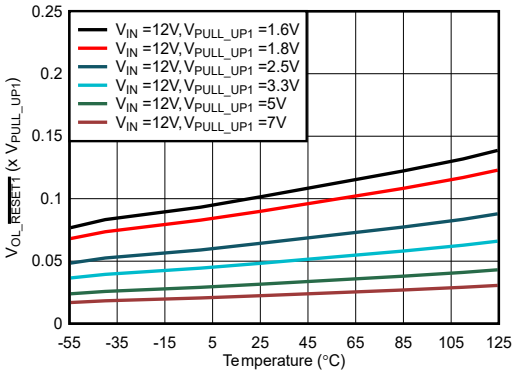


図 6-27. $\overline{RESET1}$ VOL 電圧 (V_{PULL_UP1} に対するパーセント) と I_{LOAD} = 10mA における V_{PULL_UP1} 全域での温度の関係

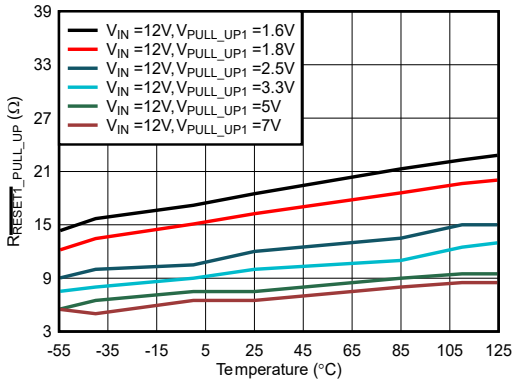


図 6-28. $\overline{RESET1}$ プルアップ抵抗と I_{LOAD} = 2mA における V_{PULL_UP1} 全域での温度

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。

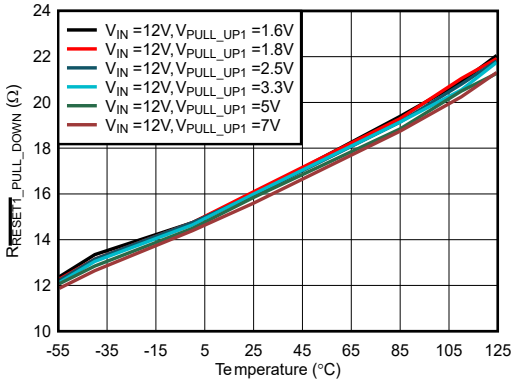


図 6-29. $\overline{RESET1}$ プルダウン抵抗と I_{LOAD} = 2mA における V_{PULL_UP1} 全域での温度の関係

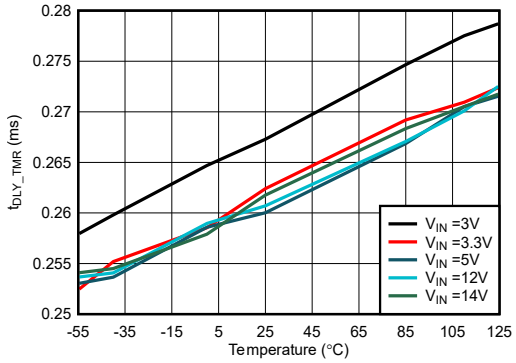


図 6-30. R_{DLY_TMR} = 10.5kΩ での V_{IN} における遅延時間と温度との関係

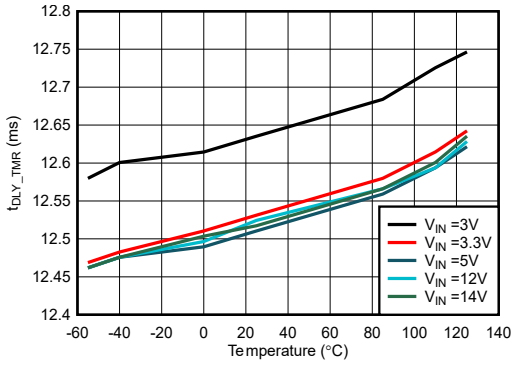


図 6-31. R_{DLY_TMR} = 619kΩ での V_{IN} における遅延時間と温度との関係

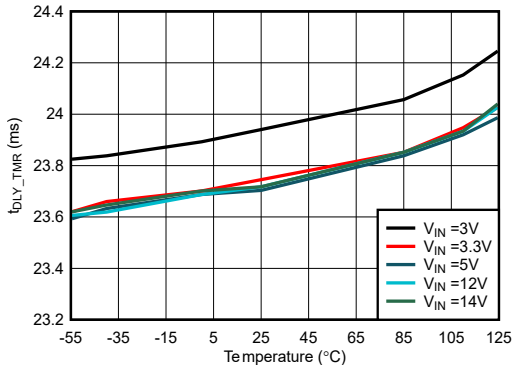
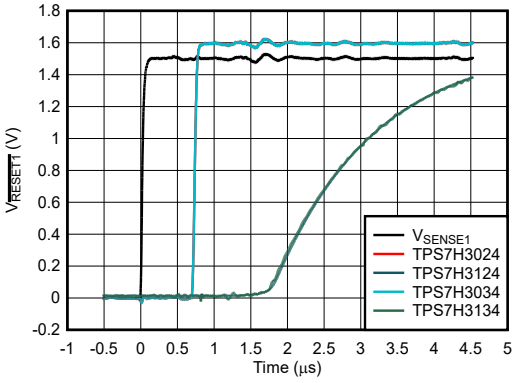


図 6-32. R_{DLY_TMR} = 1.18MΩ での V_{IN} における遅延時間と温度との関係



R_{DLY_TMR} =フローティング
MODE = Low

R_{WD_TMR} =フローティング
V_{PULL_UPx} = 1.6V

図 6-33. TPS7H3xx4 の時間ドメイン SENSE1 から RESET1 までの伝搬遅延

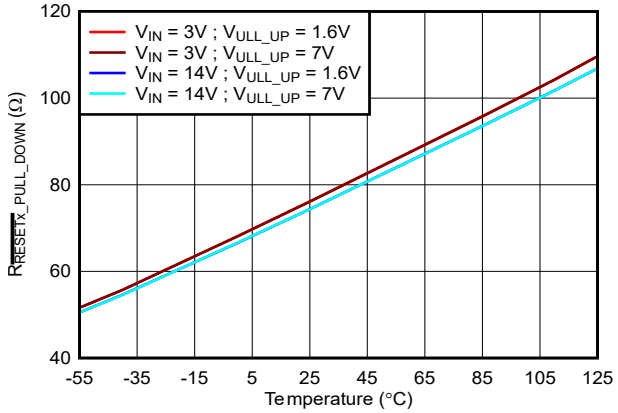


図 6-34. TPS7H3124 で I_{LOAD} = 2mA の条件における $\overline{RESET1}$ プルダウン抵抗と V_{PULL_UP} および V_{IN} 全体の温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

TPS7H3024 の場合、R_{DLY_TMR} = 10.5kΩ、R_{WD_TMR} = 56.2kΩ、V_{PULL_UP1} = 3.3V、V_{PULL_UP2} = 3.3V、R_{HYS} = 49.9kΩ、MODE = ロジック Low、特に記述のない限り。

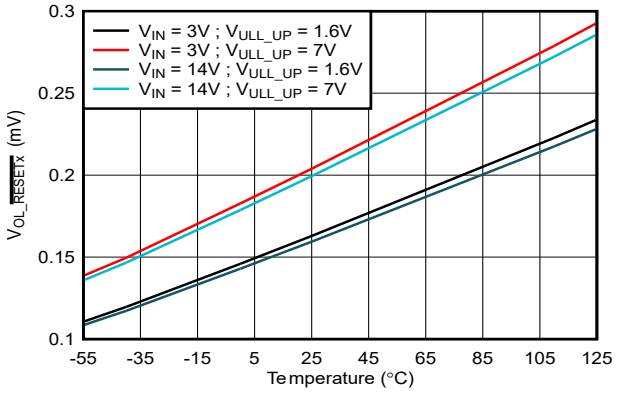


図 6-35. TPS7H3124 で I_{LOAD} = 2mA の条件における $\overline{RESET1}$ VOL 電圧と V_{PULL_UP} および V_{IN} 全体における温度との関係

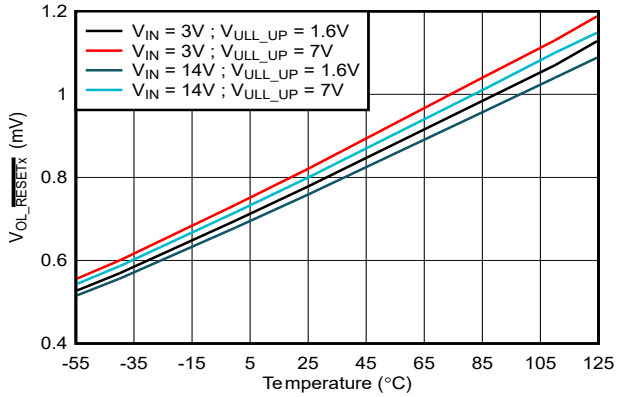
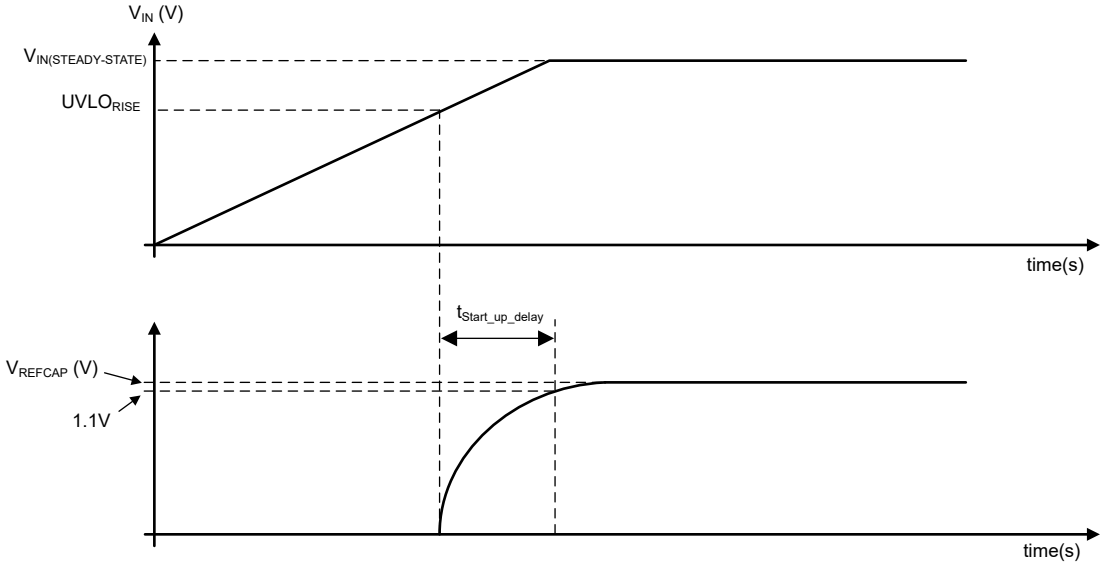


図 6-36. TPS7H3124 で I_{LOAD} = 10mA の条件における $\overline{RESET1}$ VOL 電圧と V_{PULL_UP} および V_{IN} 全体における温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

MODE=0 の場合、特に記述のない限り、PWRGD 電圧を基準とするすべての測定において、SENSEx 電圧は非フォルト状態に強制されます。



A. $V_{IN(STEADY-STATE)}$ の有効な動作電圧は 3V ～ 14V です

図 7-1. $t_{Start_up_delay}$ 時間測定

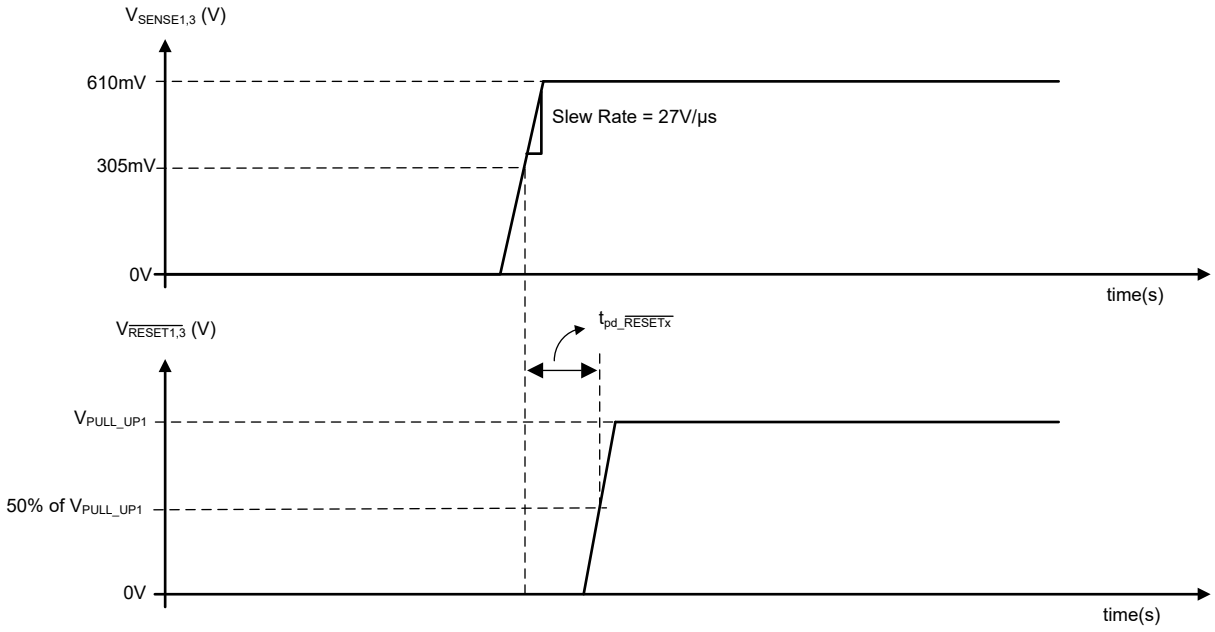
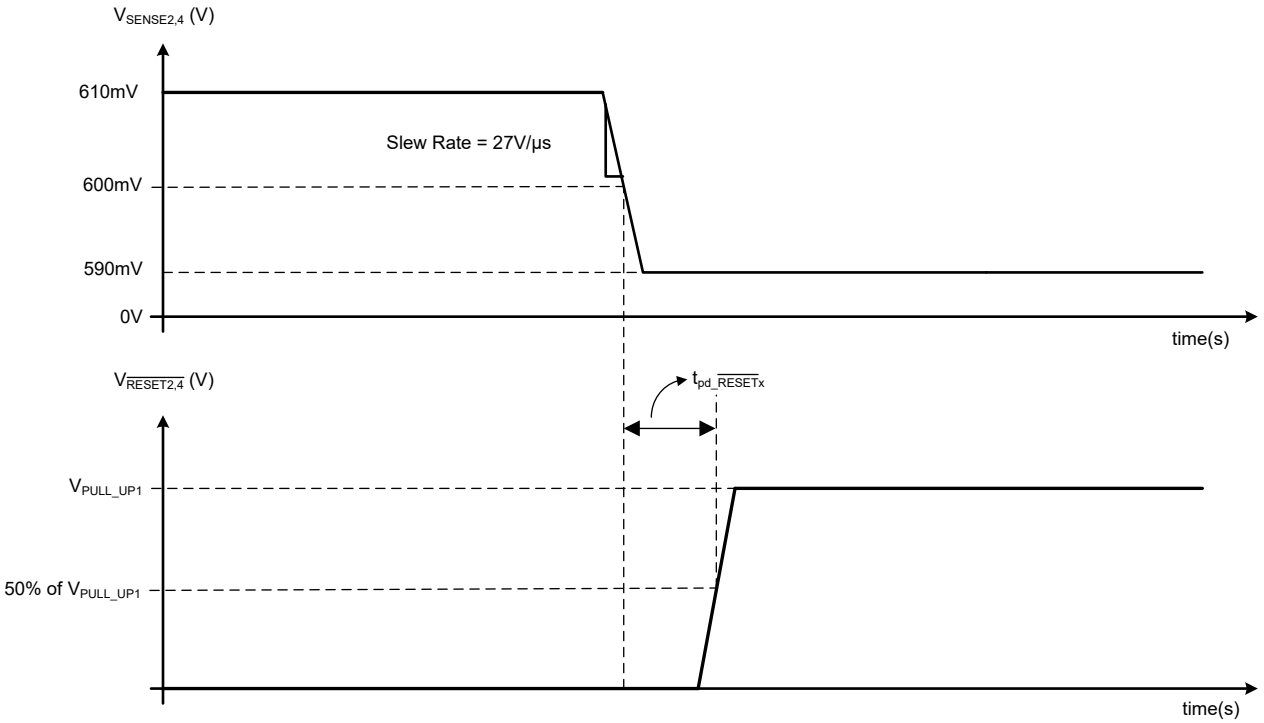


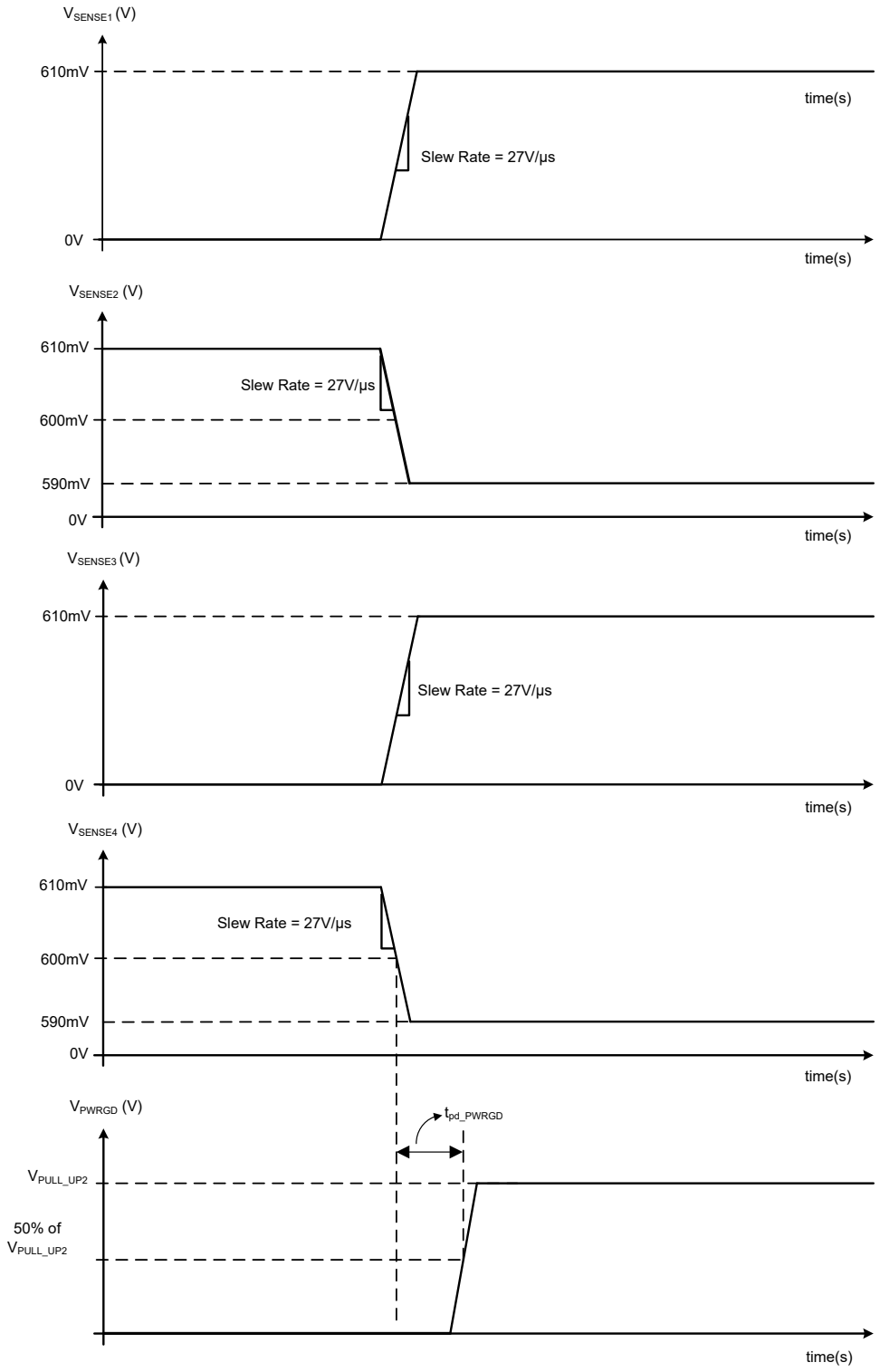
図 7-2. TPS7H30x4 (プッシュプル) の $\overline{RESET1}$ および $\overline{RESET3}$ の伝搬遅延 ($t_{pd_\overline{RESETx}}$) 時間測定



A. $t_{pd_\overline{RESETx}}$ の場合、各 SENSEx の伝搬遅延は個別に測定されます。

図 7-3. TPS7H30x4 (プッシュプル) の $\overline{RESET2}$ および $\overline{RESET4}$ の伝搬遅延 ($t_{pd_\overline{RESETx}}$) 時間測定

Copyright © 2026 Texas Instruments Incorporated



A. MODE = 0 の場合の TPS7H3034 では、この図では、すべての V_{SENSEx} が $V_{SENSE1,3}$ に従って上昇します。

図 7-4. TPS7H3024 (プッシュプル) の PWRGD 伝搬遅延 (t_{pd_PWRGD})

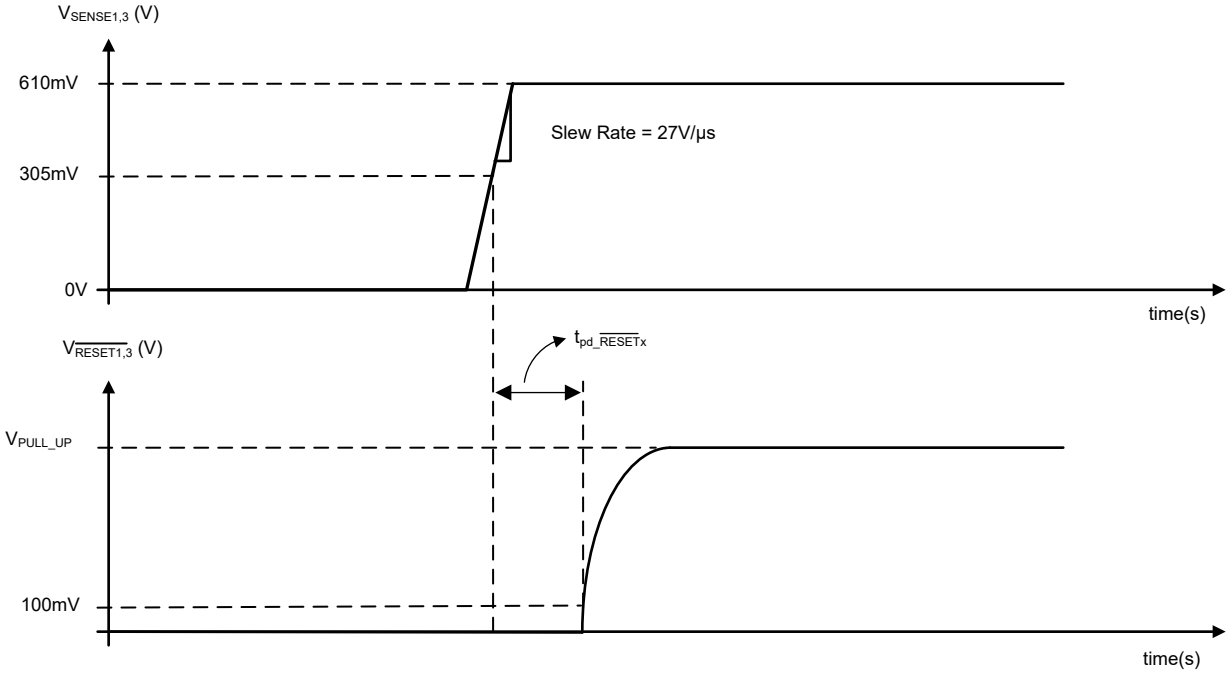


図 7-5. TPS7H31x4 (オープン ドレイン) の $\overline{\text{RESET1}}$ および $\overline{\text{RESET3}}$ の伝搬遅延 ($t_{pd_\overline{RESETx}}$) 時間測定

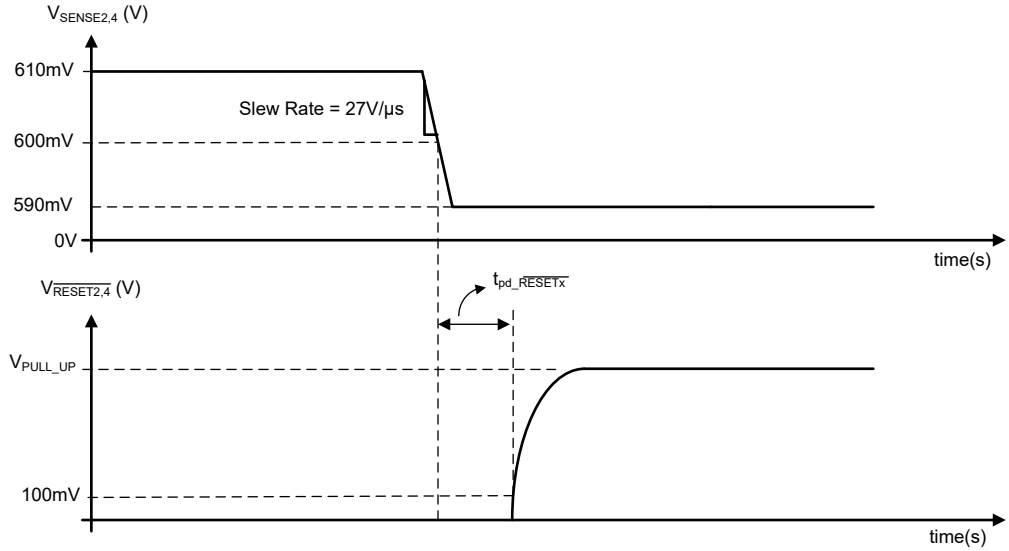
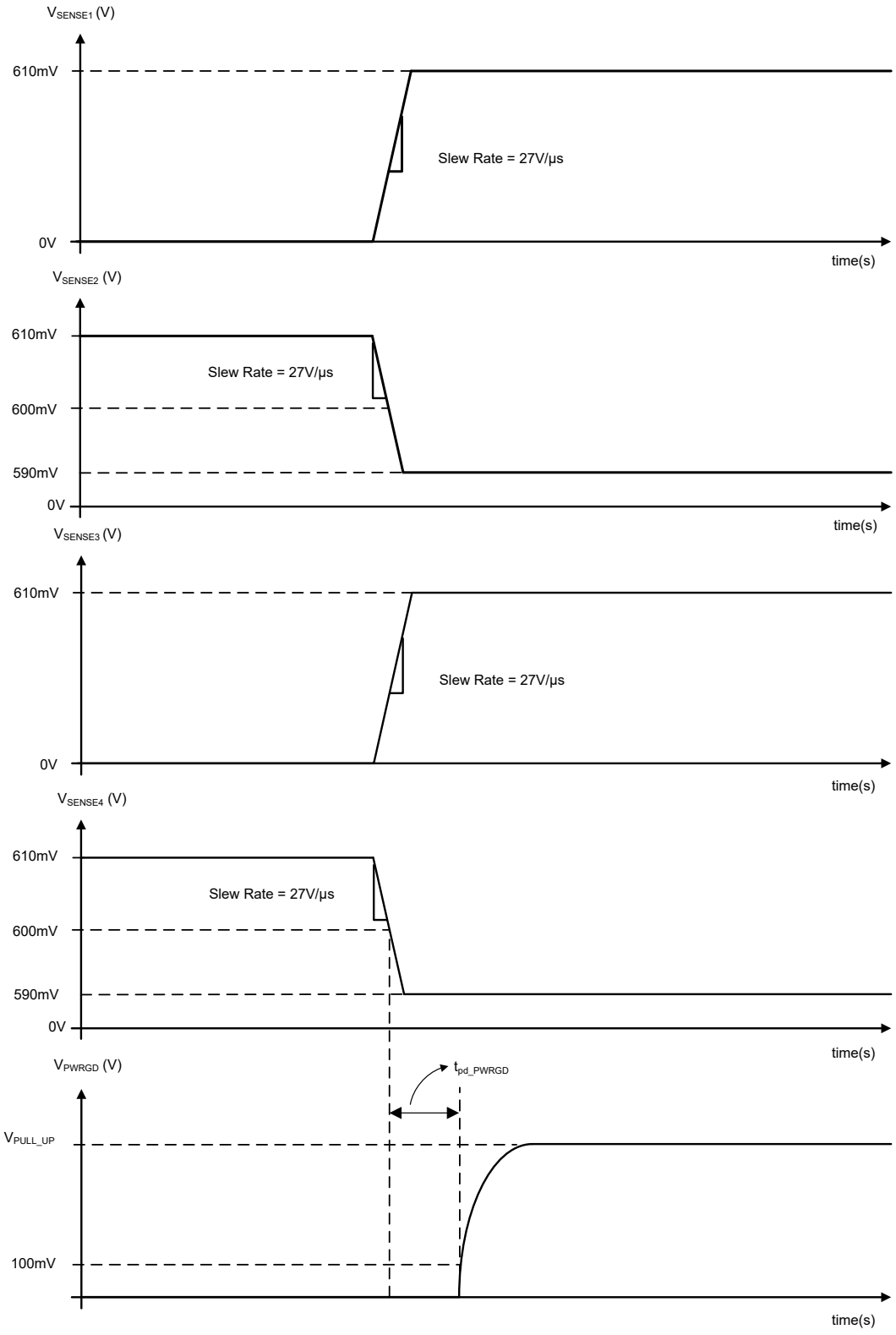


図 7-6. TPS7H31x4 (オープン ドレイン) の $\overline{\text{RESET2}}$ および $\overline{\text{RESET4}}$ の伝搬遅延 ($t_{pd_\overline{RESETx}}$) 時間測定

Copyright © 2026 Texas Instruments Incorporated



A. MODE = 0 の場合の TPS7H3134 では、この図では、すべての V_{SENSEx} が $V_{SENSE1,3}$ に従って上昇します。

図 7-7. TPS7H3124 (オープン ドレイン) の PWRGD 伝搬遅延 (t_{pd_PWRGD})

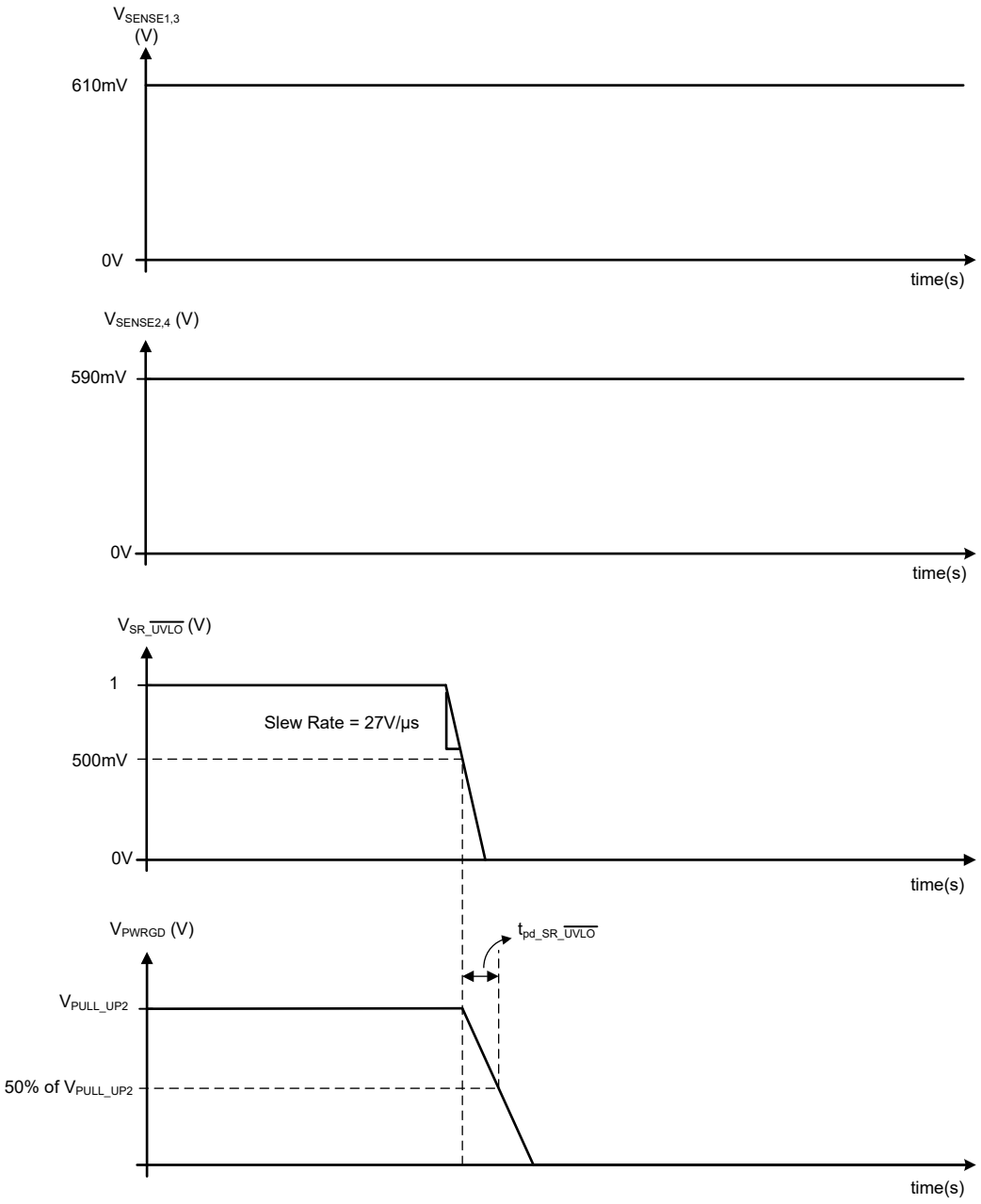
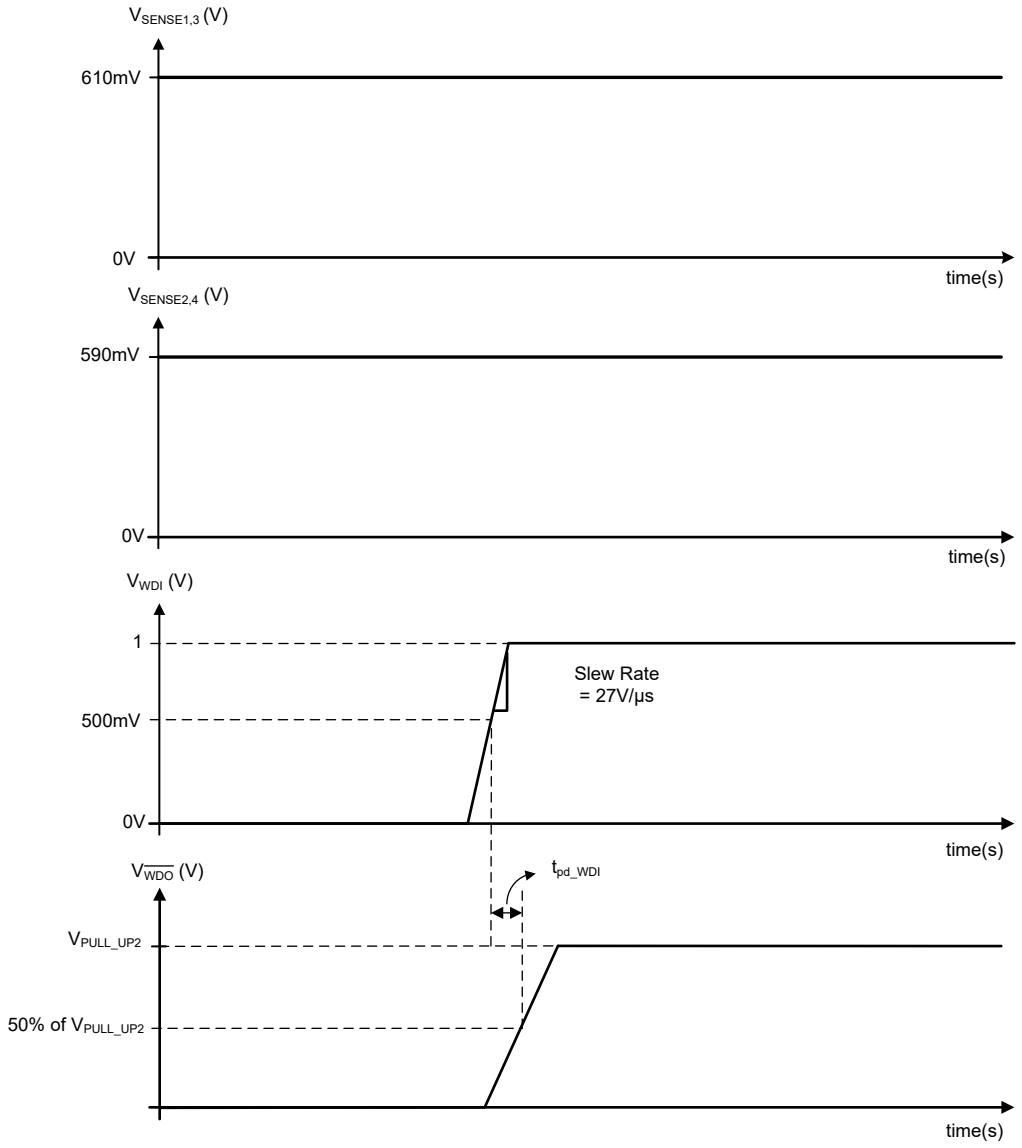


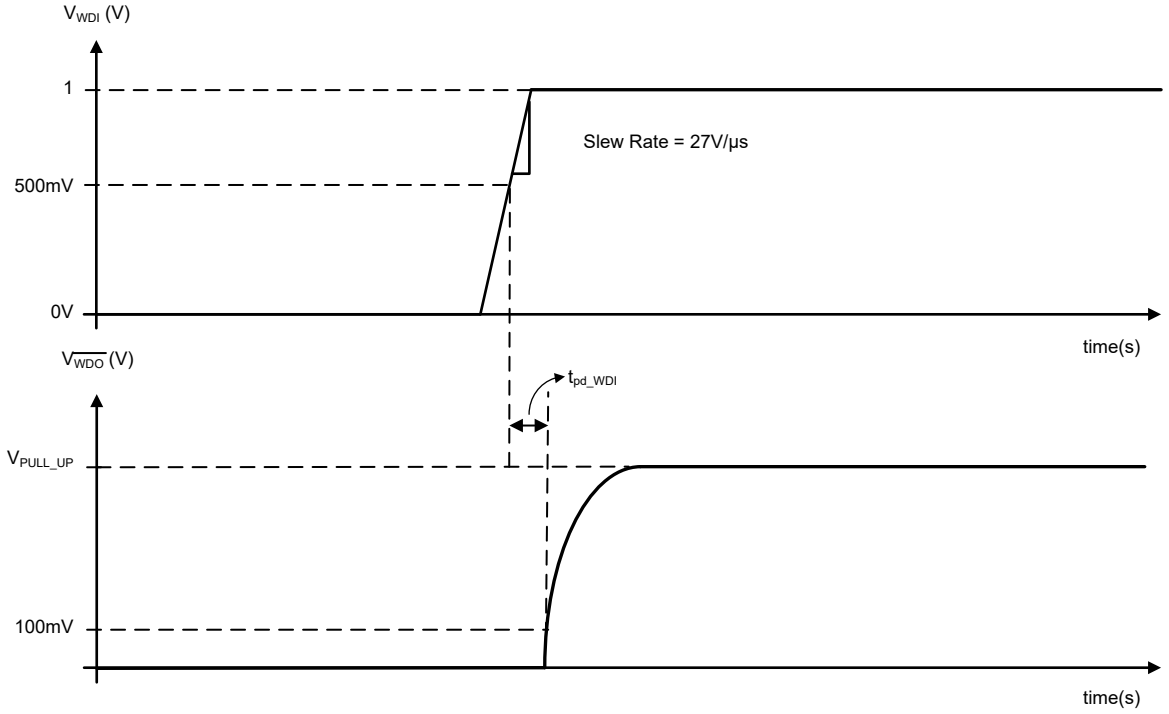
図 7-8. SR_$\overline{\text{UVLO}}$ 伝搬遅延 ($t_{pd_SR_\overline{UVLO}}$)

Copyright © 2026 Texas Instruments Incorporated



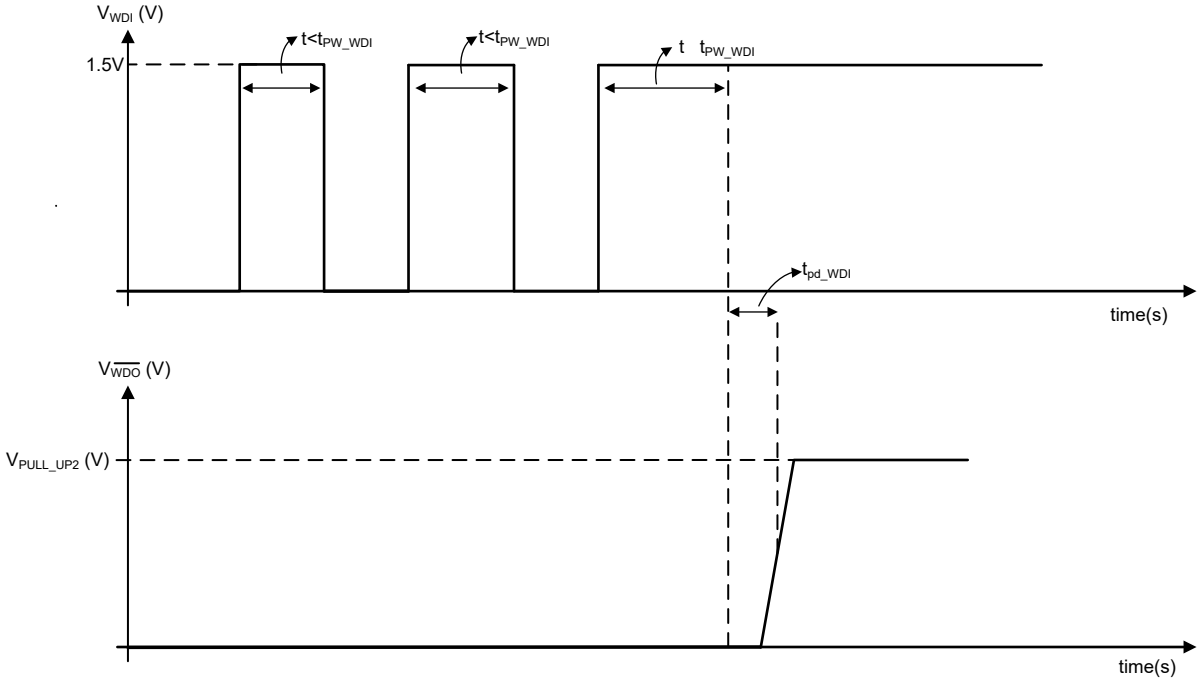
A. TPS7H3024 で MODE=0 の場合。MODE = 0 の場合の TPS7H3034 では、この図では、すべての V_{SENSEx} が $V_{SENSE1,3}$ に従って強制的に上昇します。

図 7-9. TPS7H3024 (プッシュプル) の WDI 伝搬遅延 (t_{pd_WDI})



A. TPS7H31x4 (オープン ドレイン) では、WDO は PWRGD でマスクされません。

図 7-10. TPS7H31x4 (オープン ドレイン) の WDI 伝搬遅延 (t_{pd_WDI})



A. $V_{SENSE1,3}$ = 1.5V、$V_{SENSE2,4}$ = 0V の場合の TPS7H30x4 (プッシュプル)。TPS7H31x4 では、PWRDG によって WDO はマスクされません。

図 7-11. WDI パルス幅 (t_{PW_WDI})

Copyright © 2026 Texas Instruments Incorporated

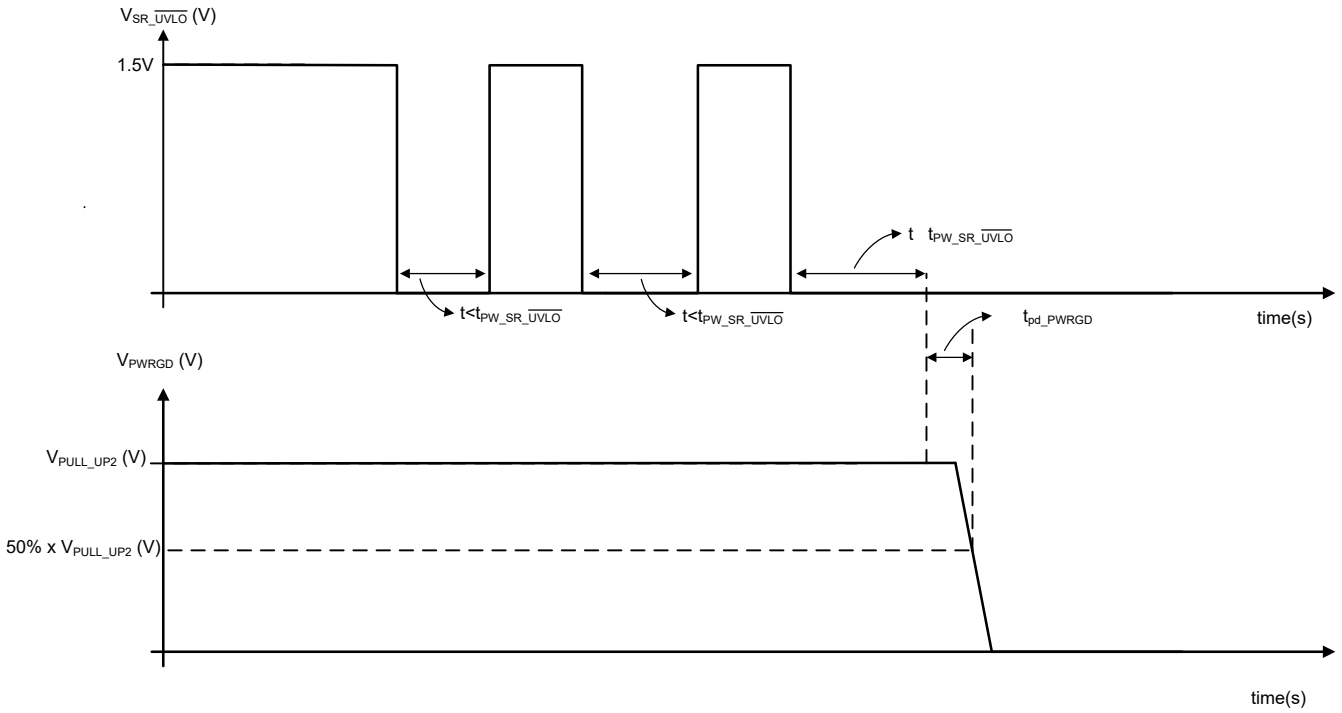
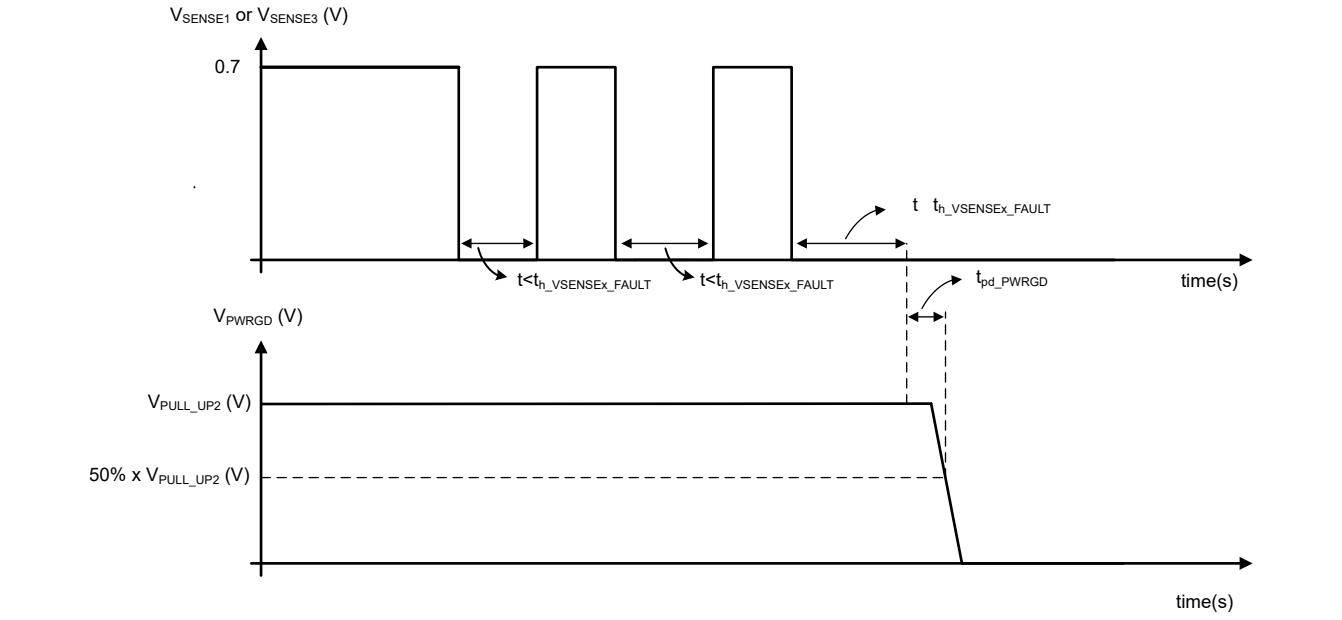
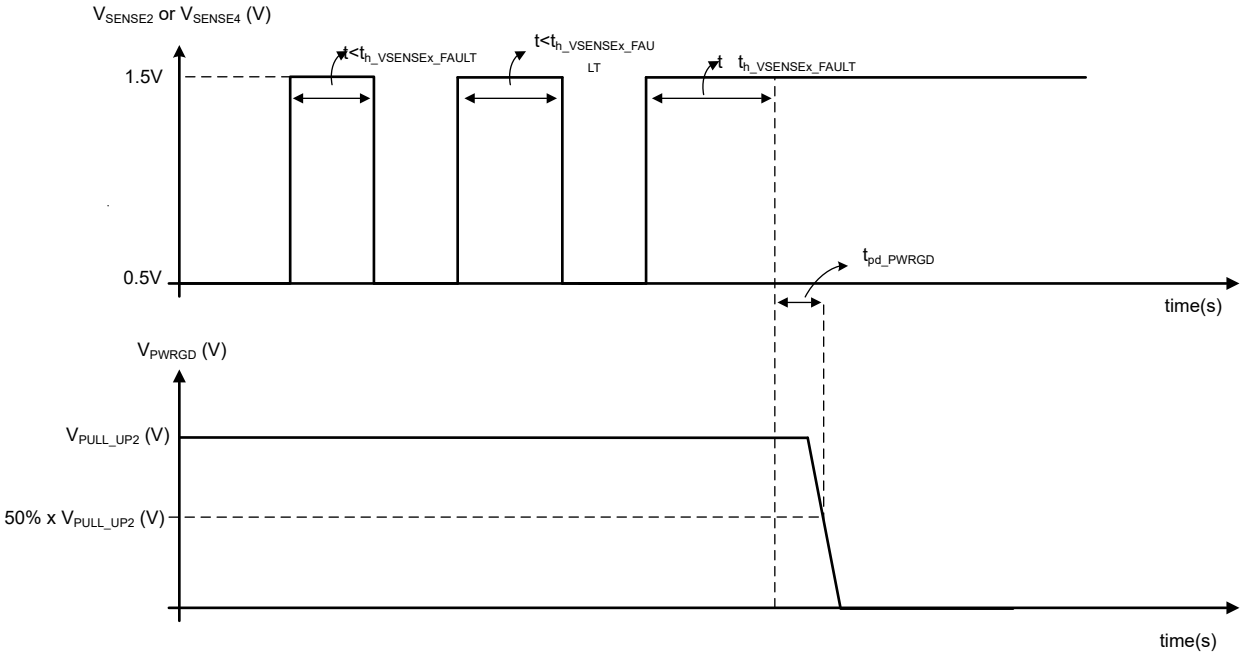


図 7-12. SR_UVLO パルス幅 ($t_{PW_SR_\overline{UVLO}}$)



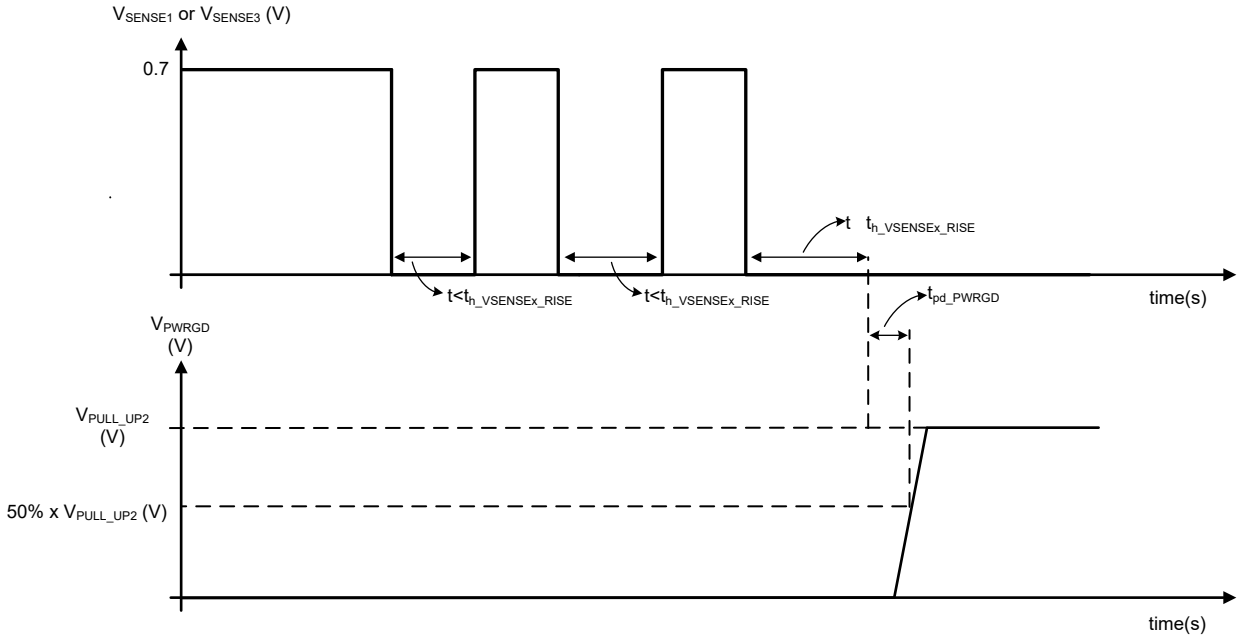
A. $t_{h_VSENSEx_FAULT}$ の間、各 SENSEx は別々に測定されます。

図 7-13. 有効なフォルト検出のための VSENSE1 および VSENSE3 ホールド時間 ($t_{h_VSENSEx_FAULT}$)



A. $t_{h_VSENSEx_FAULT}$ の間、各 SENSEx は別々に測定されます。

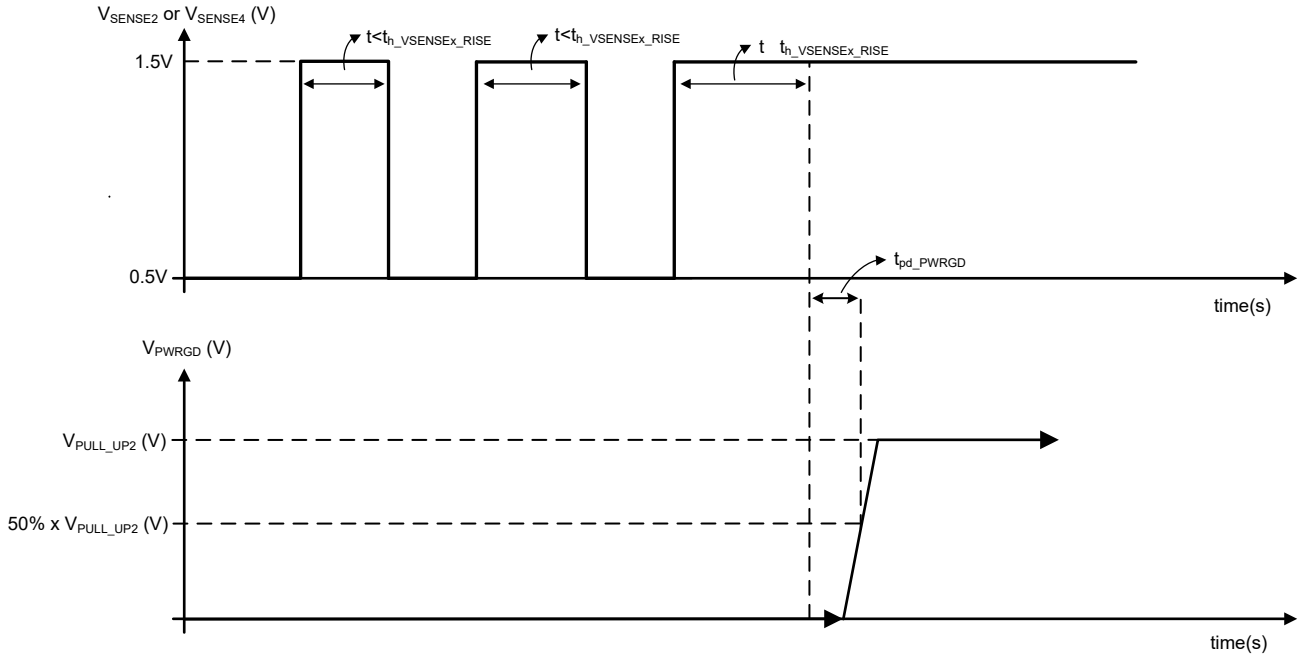
図 7-14. 有効なフォルト検出のための VSENSE2 および VSENSE4 ホールド時間 ($t_{h_VSENSEx_FAULT}$)



A. $t_{h_VSENSEx_FAULT}$ の間、各 SENSEx は別々に測定されます。

図 7-15. VSENSE1 および VSENSE3 立ち上がりスレッショルド ホールド時間 ($t_{h_VENSEx_RISE}$)

Copyright © 2026 Texas Instruments Incorporated



A. $t_{h_VSENSEx_FAULT}$ の間、各 SENSEx は別々に測定されます。

図 7-16. VSENSE2 および VSENSE4 立ち上がりスレッショルド ホールド時間 ($t_{h_VENSEx_RISE}$)

8 詳細説明

8.1 概要

TPS7H3xx4 は、宇宙用途向けのウォッチドッグ タイマ機能を統合した、4 チャネル、3V ～ 14V 対応の電圧監視回路です。アクティブ Low の $\overline{\text{RESETx}}$ 出力は、ディセーブル Low 入力付きのデバイス監視を容易にサポートします。表 8-1 に、提供される GPN の監視機能 (低電圧、過電圧、またはウィンドウ) および出力タイプ (プッシュプルまたはオープン ドレイン) についての説明を示します。フロント エンドの動作は、MODE ピンの論理値によって制御されます。

表 8-1. TPS7H3xx4 の機能モード

GPN	出力トポロジ	機能	モード(1) (2) (3)
TPS7H3024	プッシュプル	2 UV + 2 OV	0
		2 つのウィンドウ	1
TPS7H3124	オープン ドレイン	2 UV + 2 OV	0
		2 つのウィンドウ	1
TPS7H3034	プッシュプル	4UV	0
		4 OV	1
TPS7H3134	オープン ドレイン	4UV	0
		4 OV	1

(1) モードは静的な入力であり、ユーザーは論理値を動的に変更しません。デバイスが起動したら、値はほとんど変化しません。
(2) 0 = $V_{MODE} < V_{TH_MODE_FALLING(min)}$
(3) 1 = $V_{MODE} > V_{TH_MODE_RISING(max)}$

$\overline{\text{RESETx}}$、PWRGD、$\overline{\text{WDO}}$ のロジック high は、PULL_UPx 入力電源を使用して外部制御されます。ユーザは、少なくとも 1 つの 1µF コンデンサを PULL_UPx ピンのできるだけ近くに接続する必要があります。すべての $\overline{\text{RESETx}}$ 出力の論理 High レベルは PULL_UP1 入力によって設定され、PWRGD と $\overline{\text{WDO}}$ のロジック High レベルは PULL_UP2 によって設定されます。PULL_UPx の電圧範囲は 1.6V ～ 7V です。

オープン ドレイン出力の場合、ユーザーは抵抗 (通常 10kΩ) を介して、出力を必要なロジック電圧までプルアップする必要があります。最大プルアップ電圧は 7V です。

SENSE× 入力はコンパレータの非反転入力に接続されており、これによって監視対象の電圧が次のように分類されます。

1. レギュレーション中。
2. レギュレーション範囲外。

低電圧および過電圧コンパレータの動作の詳細については、セクション 8.3.3.3 を参照してください。これらの各入力はスレッショルド レベル 599.7mV (標準値) を備え、電圧、温度、放射線 (TID) 全体で ±1% の精度を達成します。ヒステリシス電圧スレッショルド レベルはユーザーが調整でき、R_{TOPx} 抵抗とヒステリシス電流 (I_{HYS_SENSEx}) により決定されます。SENSEx の立ち上がり電圧が V_{TH_SENSEx} スレッショルド (標準 599.7mV) を超えると、I_{HYS_SENSEx} がアクティブになります。I_{HYS} は 24µA で、電圧、温度、放射線 (TID) の全範囲で ±3% の精度を維持します。さらに、このデバイスは PWRGD と呼ばれる出力を備えており、電源ツリー (システム全体) の状態を監視するために使用されます。

注

過電圧コンパレータの場合、$\overline{\text{RESETx}}$ 出力はフロント エンド コンパレータ出力から論理的に反転します。詳細については、図 8-16 および 図 8-18 を参照してください。

電圧監視機能に加えて、TPS7H3xx4 は立ち上がりエッジ検出型のウォッチドッグ タイマーを内蔵しています。ウォッチドッグ入力 (WDI) は、立上りエッジの電圧変化を検出します。ウォッチドッグ タイマ ロジックが WDI ピンで立ち上がり電圧を検出すると、ウォッチドッグ タイマがすでにアクティブな場合はタイマがクリアされ、最初に検出されたパルスである場合はカウントを開始します。WDI ピンで立ち上がりパルスが検出されると、システムはプログラムされたタイムアウト (標準で 0.5ms ～ 1.5ms) までに再びタイマをクリアする必要があります。タイムアウト前にタイマがクリアされると、ウォッチドッグ出

Copyright © 2026 Texas Instruments Incorporated

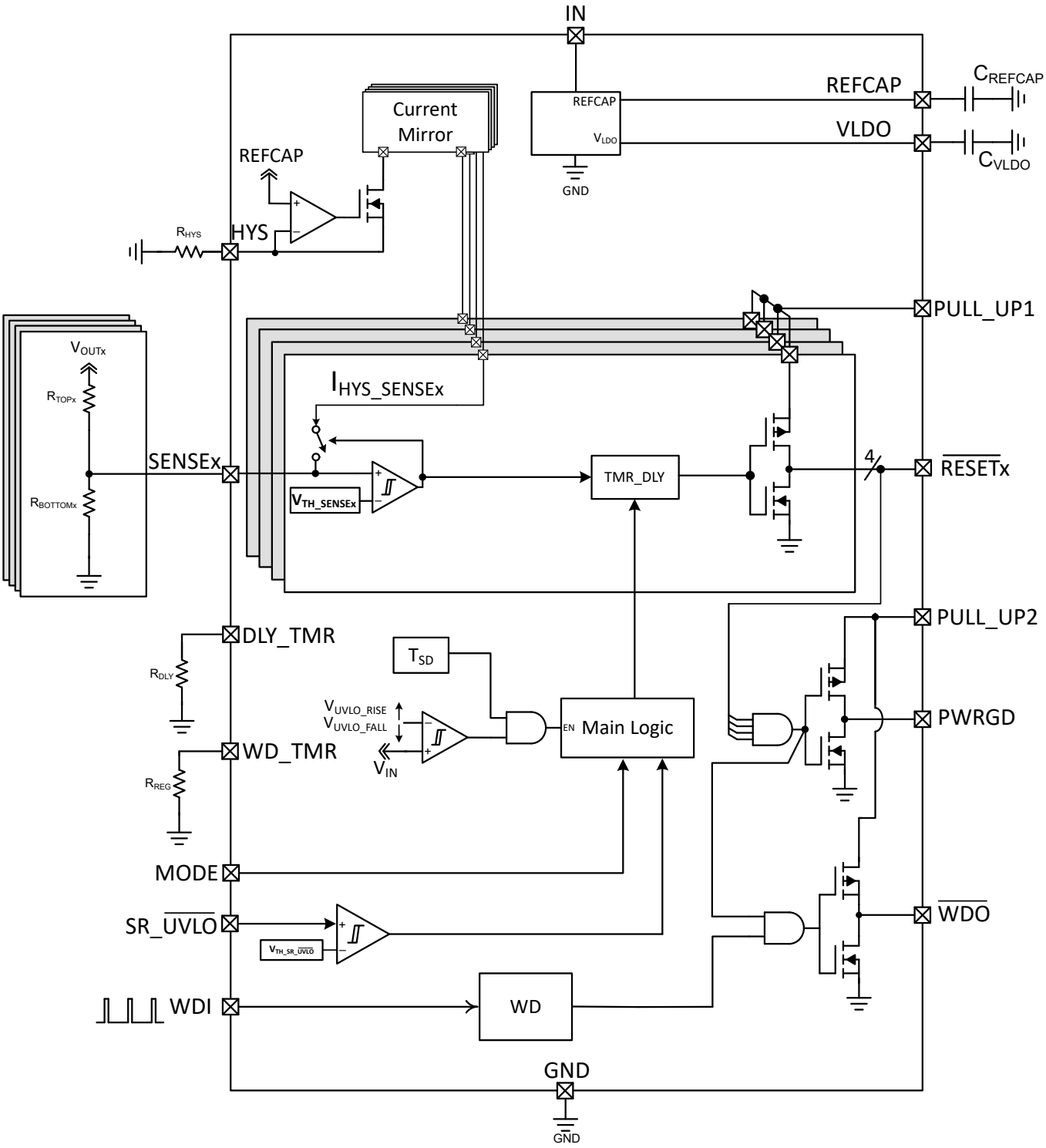
力 (WDO) は High に維持され、それ以外の場合は WDO は Low にアサートされます。通常、ウォッチドッグ タイマは、コヒーレントなプロセッサの実行を監視するために使用されます。通常、プロセッサは出力チャネルを使用して WDI に立ち上がりエッジ電圧を誘導し、WDO はノンマスカブル割り込みに接続されます。プロセッサがスタックした場合、WDI ピンはトグルしません。その結果、WDO が Low になり、プロセッサが既知の状態にリセットされます。

このデバイスには、2 つのプログラム可能なタイマが組み込まれています。

1. **Dly_TMR**:フォルト終了遅延を設定します。監視対象の電圧変化状態が、レギュレーション範囲ではない状態からレギュレートされている状態になると、ユーザーによってプログラムされた遅延 (DLY_TMR を使用) が終了すると、RESETx が High にアサートされます。このタイマは 、10.5kΩ を使用して 1.18MΩ 抵抗に、それぞれ 0.25ms~25ms にプログラムできます。この遅延は、入力 (「監視対象の電圧」) が「規定範囲内」から「規定範囲外」に変化する場合には適用されません。これは、異常をできるだけ早く伝達するためです。
2. **WD_TMR**:ウォッチドッグタイマのタイムアウトを設定します。ウォッチドッグ入力が入力 (WDI) の立ち上がり電圧を検出すると、監視対象プロセスは、出力 (WDO) を High に維持するためにプログラムされたタイムアウトまでに別の立ち上がり電圧を供給する必要があり、そうでない場合は出力が Low になります。

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図

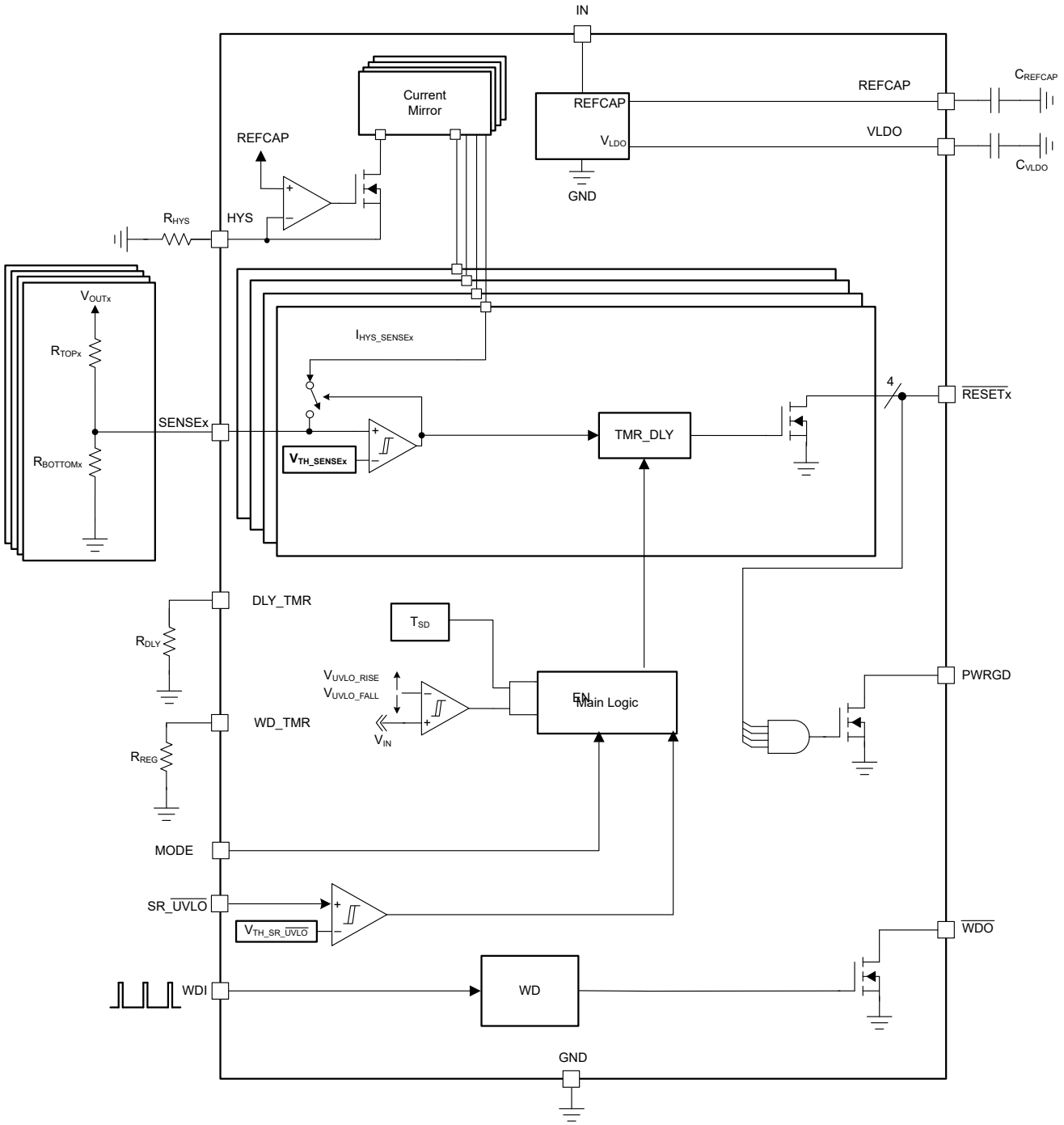


A. TPS7H3024 では、過電圧イベントを検出するために、RESET2 および RESET4 出力段は入力コンパレータの出力から論理的に反転されます。この動作は、MODE = 1 の場合の TPS7H3034 にも適用されます。詳細については、図 8-16 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

B. TPS7H3024 では、MODE = 1 の場合、RESET1 および RESET3 出力はウィンドウ コンパレータ タイプとなります。詳細については、図 8-11 を参照してください。RESET2 および RESET4 は過電圧コンパレータ フラグです。

図 8-1. TPS7H30x4 のブロック図 (プッシュプル出力)



A. TPS7H3124 では、過電圧イベントを検出するために、RESET2 および RESET4 出力段は入力コンパレータの出力から論理的に反転されます。この動作は、MODE = 1 の場合の TPS7H3134 にも適用されます。詳細については、図 8-18 を参照してください。

B. TPS7H3024 では、MODE = 1 の場合、RESET1 および RESET3 出力はウィンドウ コンパレータ タイプとなります。詳細については、図 8-12 を参照してください。RESET2 および RESET4 は過電圧コンパレータ フラグです。

Copyright © 2026 Texas Instruments Incorporated

C. SR_$\overline{\text{UVLO}}$ は、$\overline{\text{WDO}}$ を含むすべての出力を Low に強制します。

図 8-2. TPS7H31x4 のブロック図 (オープン ドレイン出力)

Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

8.3.1 入力電圧 (IN)、VLDO、および REFCAP

定常状態動作中は、TPS7H3024 の入力電圧は 3V ～ 14V にする必要があります。V_{IN} と GND の間には、少なくとも 0.1µF のバイパス キャパシタンスが必要です。入力バイパス コンデンサは、デバイスにできるだけ近くに配置します。IC が正しく動作するように、V_{IN} のスルーレートを 10 V/µs から 1 mV/µs の範囲に制御します。

V_{IN} に印加される電圧は、内部レギュレータの入力として機能し、このレギュレータによって通常 3.29V の VLDO 電圧が生成されます。入力電圧が 3.65V 未満の場合、VLDO レギュレータはドロップアウト状態になることがあります。VLDO の推奨容量は、1µF セラミック タイプです。VLDO は最大 5mA の負荷に対応できます。

注

VLDO 出力は短絡の条件に対して保護されていません。

電源投入時には、V_{IN} が $UVLO_{RISE}$ を超えた後、少なくとも 2.8ms ($t_{Start_up_delay}$) 待機することが推奨されます。これは、すべての内部時定数を超えるようにして、基準が ±1% の精度から外れないようにするためです。

各デバイスは、さまざまな制御ロジック ブロックで利用される 1.2V の内部バンドギャップ リファレンスを生成します。これは、定常状態動作時に REFCAP ピンに印加される電圧です。この電圧は分圧され、次のコンパレータ入力用のリファレンス電圧として使用されます:

1. SENSEx = 599.7mV (標準値)
2. 立ち上がり電圧時は SR_$\overline{UVLO}$ = 602mV (標準値)、立ち下がり電圧時は 489mV。
3. 立ち上がり電圧時は WDI = 602mV (標準値)、立ち下がり電圧時は 498mV。
4. 立ち上がり電圧時は MODE = 600mV (標準値)、立ち下がり電圧時は 498mV。

V_{TH_SENSEx} 基準電圧は、エラー アンプのオフセットを考慮して、$\overline{RESETx}$ 出力で測定され、電圧、温度、放射線の TID (シリコンの最大 100krad) 全体で 1%以内のレギュレーションを維持します。この厳格な基準電圧公差により、ユーザーは電圧レールを高精度で監視できます。

適切な電気的動作のために、またデバイスの堅牢な SET 性能を確保するために、REFCAP ピンで GND との間に 470nF のコンデンサが必要です。

8.3.1.1 低電圧ロックアウト (V_{POR_IN} < V_{IN} < UVLO)

V_{IN} の電圧が UVLO (2.79V 標準値) 電圧未満で、パワーオン リセット電圧 (V_{POR_IN}、1.42V 標準値) より高い場合、出力ピン ($\overline{RESETx}$、PWRGD、$\overline{WDO}$) は、以下のデバイス入力ピンの電圧に関係なくロジック Low 状態になります。

- SENSEx
- SR_$\overline{UVLO}$
- WDI
- MODE

8.3.1.2 パワーオン リセット (V_{IN} < V_{POR_IN})

V_{IN} の電圧がパワーオン リセット電圧 (V_{POR_IN}) より低い場合、出力信号は未定義となり、外部デバイスを正しいロジック レベルに設定するために依存してはいけません。

図 8-3 に、$\overline{RESETx}$ 出力と立ち上がり入力電圧 (V_{IN}) との関係を示します。ご覧のように、V_{IN} が V_{POR_IN} (標準値 1.42V) を下回ると、$\overline{RESETx}$ は以下のようになります。このとき、出力は 0V から V_{IN} まで任意の値になり得ます。

この例では、すべての入力コンパレータ (SENSEx) への入力電圧は V_{TH_SENSEx} (標準値 599.7mV) を下回っています。このため、V_{IN} が $UVLO_{RISE}$ (標準値 2.79V) を上回った後も、$\overline{RESETx}$、PWRGD、$\overline{WDO}$ は LOW のままとなります。

Copyright © 2026 Texas Instruments Incorporated

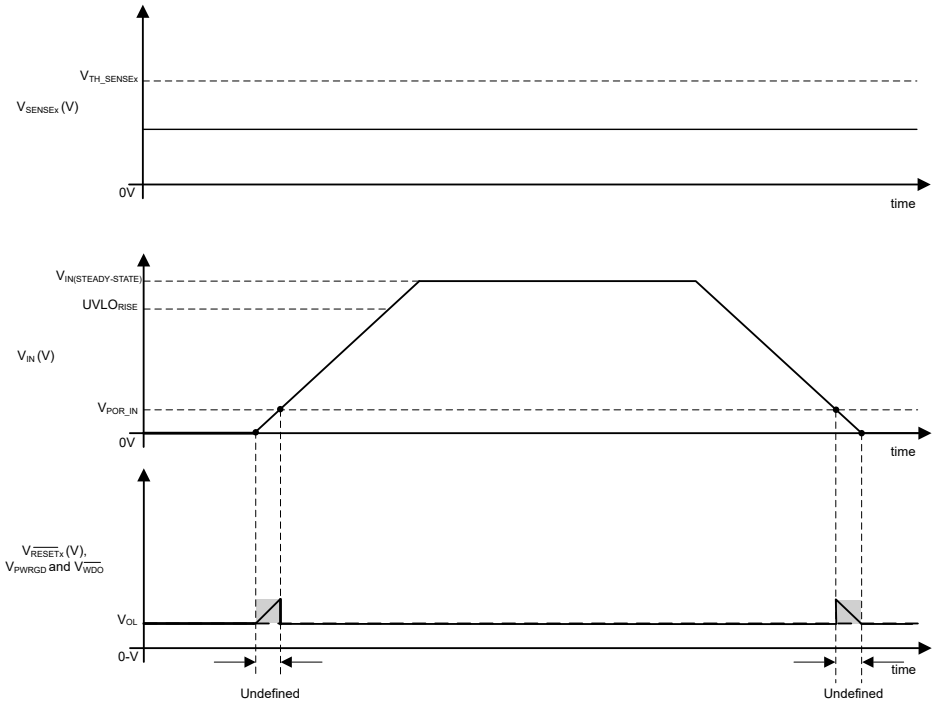


図 8-3. V IN > V_{POR_IN} の後、有効な Low 状態になる出力

A. この図では以下のようになります。
   1. 有効な外部プルアップ電圧は、PULL_UPx 入力 (1.6V ≤ V_{PULL_UPx} ≤ 7V) に接続されています。
   2. $V_{IN(STEADY-SATE)}$ の有効な V_{IN} 電圧は、3V ～ 14V です。
   3. このグラフでは、すべての入力が低電圧 (UV) タイプであると仮定します。
   4. V_{OL} は以下を表します。V_{OL_RESETx} 、V_{OL_PWRGD}、$V_{OL_\overline{WDO}}$ 、またはすべての出力の Low ロジック出力電圧です。

8.3.2 SR_UVLO

The SR_$\overline{UVLO}$ (システム リセットおよび低電圧ロックアウト) 入力ピンにより、外部コントローラはすべての出力を一度にアサート (または強制的に Low に) することで、外部フォルトを伝搬できます。SR_UVLO が Low (< $V_{TH_SR_\overline{UVLO}_FALLING}$) の場合、本デバイスはシャットダウン モードに移行し、すべての出力は強制的に論理的に Low になります。SR_$\overline{UVLO}$ は高精度 (±3.17%) コンパレータへの入力であり、立ち上がりスレッショルド電圧は $V_{TH_SR_\overline{UVLO}_RISING}$ = 602mV であるため、設計者は必要に応じてこのピンを使用して外部低電圧誤動作防止を設定できます (図 8-4 を参照)。コンパレータには 103mV の固定ヒステリシスが組み込まれています。

通常、設計者は、TPS7H3024 をイネーブルにする必要のある電圧を把握しています。この情報から、抵抗分圧器の値は 式 1 を使って計算できます。通常、上側の抵抗は 10kΩ の値に固定されていますが、他の値は使用できます。より大きな値の抵抗を使用すると消費電力が最小限に抑えられますが、「弱い」プルアップにより、ノイズが出力信号に結合することができる場合があります。

$$R_{BOTTOM_SR_\overline{UVLO}} = R_{TOP_SR_\overline{UVLO}} \times \frac{V_{TH_SR_\overline{UVLO}_RISING}}{V_{IN_UVLO_DESIRED} - V_{TH_SR_\overline{UVLO}_RISING}} \quad (1)$$

ここで、

- $V_{TH_SR_\overline{UVLO}_RISING}$ は、SR_$\overline{UVLO}$ の立ち上がり電圧 (標準値 602mV) 時の内部リファレンスです。
  - 設計者は、代表値を使用するのではなく中心値を使用することで、以下に示すように電圧、温度、放射線全体にわたる誤差を最小化できます:

Copyright © 2026 Texas Instruments Incorporated

$$\frac{V_{TH_SR_\overline{UVLO}_RISING(MIN)} + V_{TH_SR_\overline{UVLO}_RISING(MAX)}}{2} = \frac{0.580V + 0.618\,V}{2} = 0.599V \quad (2)$$

- $V_{IN_UVLO_DESIRED}$ は、V_{IN} の立ち上がり電圧の間デバイスをイネーブルするための必要な外部電圧です。
- $R_{TOP_SR_\overline{UVLO}}$ は、抵抗分圧器に対して選択された上側の抵抗です。

設計者が実際の抵抗分圧器の値を把握したら、式 3 および 式 4 を使用して、外部低電圧ロックアウトの標準的な立ち上がり電圧および立ち下がり電圧を以下のように算出できます。

$$V_{IN_UVLO_RISING_NOMINAL}(V) = \left(1 + \frac{R_{TOP_SR_\overline{UVLO}}}{R_{BOTTOM_SR_\overline{UVLO}}}\right) \times V_{TH_SR_\overline{UVLO}_RISING} \quad (3)$$

$$V_{IN_UVLO_FALLING_NOMINAL}(V) = \left(1 + \frac{R_{TOP_SR_\overline{UVLO}}}{R_{BOTTOM_SR_\overline{UVLO}}}\right) \times V_{TH_SR_\overline{UVLO}_FALLING} \quad (4)$$

式 4 では、温度、電圧、放射線 (TID) 全体にわたってセンターを以下のように使用できます:

$$\frac{V_{TH_SR_\overline{UVLO}_FALLING(MIN)} + V_{TH_SR_\overline{UVLO}_FALLING(MAX)} +}{2} = \frac{0.475V + 0.517\,V}{2} = 0.496V \quad (5)$$

起動中、デバイスは 2.8ms($t_{START_UP_DELAY}$) 以上にわたって安定した入力電圧 ($UVLO_{RISE} \leq V_{IN} \leq 14$)を持っている必要があります。これは、すべての内部時定数を超えていることを確認するためです。これにより、V_{TH_SENSEx} 基準電圧がセトリングされ、精度は仕様範囲内 (1%) になります。V_{IN} が高速な立ち上がり電圧の場合、外付けの遅延容量を分圧抵抗に追加して、図 8-4 に示されているように、$t_{START_UP_DELAY}$ が超えたあとでデバイスをイネーブルにできます。SR_$\overline{UVLO}$ ピンの容量(C_{DELAY}) を選択するには、式 6 を使用できます。

$$C_{DELAY}(F) > \frac{t_{DELAY}(s)}{R_{TH}(\Omega) \times \ln\left(-\frac{V_{TH}(V)}{V(t) - V_{TH}(V)}\right)} \quad (6)$$

ここで、

- t_{DELAY}(秒) は必要な遅延時間 (秒) です($V_{IN} > UVLO_{RISE}$ から少なくとも 2.8ms)。
- R_{TH} はテブナン等価抵抗であり、$R_{TOP_SR_\overline{UVLO}}$ と $R_{BOTTOM_SR_\overline{UVLO}}$ の並列接続による抵抗値 (Ω) です。
  - $R_{TH}(\Omega) = \frac{R_{TOP_SR_\overline{UVLO}}(\Omega) \times R_{BOTTOM_SR_\overline{UVLO}}(\Omega)}{R_{TOP_SR_\overline{UVLO}}(\Omega) + R_{BOTTOM_SR_\overline{UVLO}}(\Omega)}$ (7)
- V_{TH} はテブナン等価電圧であり、定常動作時の $V_{SR_\overline{UVLO}}$ における電圧 (V) です。
  - $V_{TH}(V) = \left(\frac{R_{BOTTOM_SR_\overline{UVLO}}(\Omega)}{R_{TOP_SR_\overline{UVLO}}(\Omega) + R_{BOTTOM_SR_\overline{UVLO}}(\Omega)}\right) \times V_{IN}(V)$ (8)
- V(t) は SR_$\overline{UVLO}$ の電圧 ($V_{SR_\overline{UVLO}}$)で、シーケンスを開始します。この場合は 0.602V です。
  - 温度および電圧全体にわたり、式 2 に規定された中心値を使用できます。

Copyright © 2026 Texas Instruments Incorporated

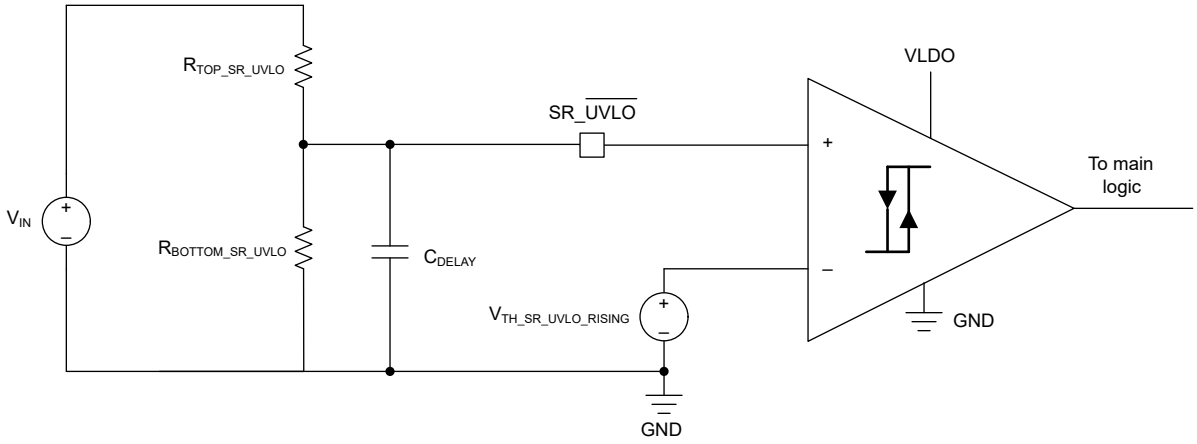
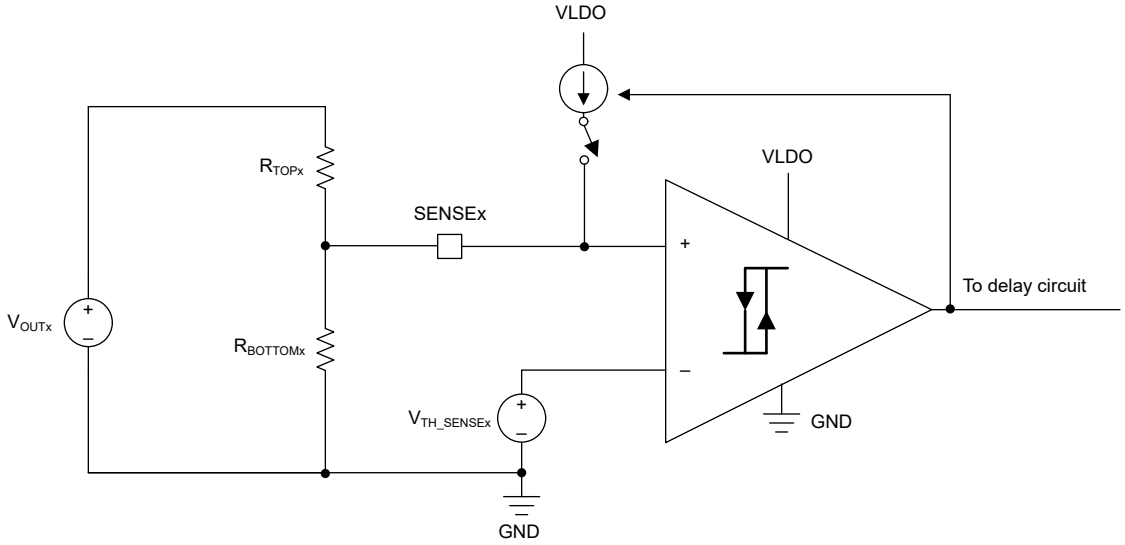


図 8-4. メイン レールを監視して、シーケンスの立ち上げおよびシャット ダウンを自動的に開始します

8.3.3 SENSEx 入力

8.3.3.1 V_{TH_SENSEX} および V_{OUTx_RISE}

TPS7H3024 電圧スーパーバイザには 4 つの入力コンパレータが内蔵されており、標準で 599.7mV (V_{TH_SENSEx}) の正確な(±1%) スレッショルド電圧を備えています。V_{TH_SENSEx} は、スレッショルドのコンパレータ オフセットを考慮して $\overline{RESET}x$ 出力で測定されます。外付けの抵抗分圧器を調整して目的の電圧レール(V_{OUTx}) を検出できるため、最大限の柔軟性が得られます。SENSEx 入力に接続されたコンパレータの概念図を、図 8-5 に示します。ご覧のように、検出した電圧レール (V_{OUTx}) は (外付けの分圧抵抗 R_{TOPx} と $R_{BOTTOMx}$ を使用することにより) 減衰され、V_{TH_SENSEx} 電圧と比較されます。寿命全体にわたって高いスレッショルド (V_{TH_SENSEx}) 精度を維持するため、定常状態の SENSEx 電圧を 1.6V 未満に維持することを推奨します。



注

コンパレータ自体には、電圧ヒステリシスが組み込まれていません。ヒステリシスは、ヒステリシス電流 (I_{HYS_SENSEx}) と上側抵抗 (R_{TOPx}) を使用して外部制御されます。詳細については、セクション 8.3.3.4 を参照してください。低電圧や過電圧タイプに応じて入力コンパレータは変化しません。過電圧は、出力段を駆動する信号を反転することにより実装されます。

図 8-5. SENSEx コンパレータ入力

Copyright © 2026 Texas Instruments Incorporated

監視対象のレール (V_{OUTx}) の電圧が上昇するとき、ヒステリシス電流 (I_{HYS_SENSEx}) は SENSEx 入力に接続されません。SENSEx (減衰された V_{OUTx}) が内部基準電圧 (V_{TH_SENSEx}) と比較されています。$V_{SENSEx} > V_{TH_SENSEx}$ の場合、電圧は次のように見なされます。

1. レギュレーション時：低電圧チャネル (UV) の場合。
2. レギュレーションなし：過電圧チャネル (OV)

単純な分圧器を使用する方法で、V_{OUTx} での立ち上がり電圧スレッショルド電圧を計算します。

$$V_{OUTx_RISE_NOMINAL}(V) = \left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx} \quad (9)$$

ここで、

- V_{TH_SENSEx} は、標準検出スレッショルド電圧で 599.7mV です。
  - 監視対象電圧の温度特性における誤差を最小限に抑えるために、以下の式のように、標準値の代わりに中心値を使用することができます。

$$V_{TH_SENSEx} = \frac{V_{TH_SENSEx(MIN)} + V_{TH_SENSEx(MAX)}}{2} = 599mV \quad (10)$$

- R_{TOPx} は上側の抵抗 (Ω 単位) です。
- $R_{BOTTOMx}$ は下側の抵抗 (Ω 単位)です。

どのようなシステムでも同様に、設計変数にはある程度のばらつき (または誤差) が存在します。この場合、上側の抵抗値および下側の抵抗値、ならびに SENSEx スレッショルド電圧 (V_{TH_SENSEx}) です。微分法 (導関数法) を用いて総誤差を算出する場合 (すべての変数が相関しておらず、かつ両方の抵抗が同じ許容誤差を持つと仮定)、$V_{TH_RISEx_NOMINAL}$ の誤差は以下のように計算できます：

$$V_{OUTx_RISE_ERROR}(V) = \pm\sqrt{\frac{V_{TH_SENSEx}^2 \times \left[\left(2 \times R_{TOL}^2 \times R_{TOPx}^2\right) + \left(V_{TH_SENSEx_ACC}^2 \times \left(R_{TOPx} + R_{BOTTOMx}\right)^2\right)\right]}{R_{BOTTOMx}^2}} \quad (11)$$

ここで、

- R_{TOL} は、抵抗の許容誤差 (抵抗は上下とも同じ) の数値。例えば、許容誤差 0.1% の抵抗の場合、0.001 を使用。
- $V_{TH_SENSEx_ACC}$ は、SENSEx スレッショルド精度の数値 (この場合は 0.01)。
- R_{TOPx} と $R_{BOTTOMx}$ はオーム (Ω) 単位です。
- V_{TH_SENSEx} は 0.599V (温度範囲全体の中央値) です。

式 9 および 式 11 を使用して、以下のように立ち上がり電圧スレッショルド範囲を計算します。

$$V_{OUTx_RISE} = V_{OUTx_RISE_NOMINAL} \pm V_{OUTx_RISE_ERROR} \quad (12)$$

注

V_{TH_SENSEx} はコンパレータのオフセットを考慮する際の基準電圧で $V_{TH_SENSEx} = V_{REF} + V_{IOx}$ であることに注意してください。

必須ではありませんが、ノイズの多いアプリケーションでは、監視対象信号の過渡電圧に対する感度を低減するために、SENSEx 入力に小容量のバイパス コンデンサを配置することが優れたアナログ設計の実践となります。

8.3.3.2 I_{HYS_SENSEx} と V_{OUTx_FALL}

TPS7H3024 には 24µA のヒステリシス電流が内蔵されており、精度は ±3%です(R_{HYS} = 49.9kΩ の場合)。ヒステリシス電流は、V_{HYS}/R_{HYS} とほぼ等価です。ヒステリシス 電流の精度に最終的に影響するため、R_{HYS} 抵抗には 0.1% の許容差を使用してください。この電流は、すべての SENSEx 入力において内部でミラーリングされます。このヒステリシス電流は、SENSEx 電圧がスレッショルド電圧 (599.7mV 1%、式 12 および図 8-5) を超えたときに有効になります。この電流

Copyright © 2026 Texas Instruments Incorporated

(I_{HYS_SENSEx}) に R_{TOPx} 抵抗を乗算すると、SENSEx ノードに追加される電圧 (V_{HYS_SENSEx}) が誘導されます。これにより、ノード電圧 (この場合は V_{SENSEx}) が実質的に昇圧 (またはインクリメント) されます。

V_{OUTx} 電圧が下降し、V_{OUT_FALLx} よりも低くなった場合、その電圧は次のように見なされます。

1. レギュレーションなし: 低電圧チャネル (UV) の場合。
2. レギュレーション中: 過電圧チャネル (OV)。

ヒステリシス電圧は、次のように定義されます:

$$V_{HYS_SENSEx_NOMINAL}(V) = I_{HYS_SENSEx} \times R_{TOPx} \quad (13)$$

ここで、

- I_{HYS_SENSEx} = 24 × 10^{-6} アンペア (または 24µA)
- R_{TOPx} はオーム (Ω) 単位です

立ち下がり電圧スレッショルドは、次のようにで計算できます。

$$V_{OUTx_FALL_NOMINAL}(V) = V_{OUTx_RISE_NOMINAL} - V_{HYS_SENSEx_NOMINAL} \quad (14)$$

式 9 および式 14 を使用しますが

$$V_{OUTx_FALL_NOMINAL}\left(V\right) = \left[\left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx}\right] - \left(I_{HYS_SENSEx} \times R_{TOPx}\right) \quad (15)$$

ここで、

- V_{TH_SENSEx} は、標準の検出スレッショルド電圧は 0.599V です。
- I_{HYS_SENSEx} = 24 × 10^{-6} アンペア (または 24µA)
- R_{TOPx} と $R_{BOTTOMx}$ はオーム (Ω) 単位です

V_{OUTx_FALL} エラーは、次の式で計算できます:

$$V_{TH_FALLx_ERROR}\left(V\right) = \pm\sqrt{\frac{A + B + C + D}{R_{BOTTOMx}^{2}}} \quad (16)$$

式 16 は、導関数法を用い、すべての変数が無相関であり、かつ両方の抵抗が同じ許容誤差を持つという仮定の下で算出されています

ここで、方程式の項は次のとおりです。

$$A = I_{HYS_SENSEx}^{2} \times I_{HYS_SENSEx_ACC}^{2} \times R_{TOPx}^{2} \times R_{BOTTOMx}^{2} \quad (17)$$

$$B = R_{TOL}^{2} \times R_{TOPx}^{2} \times V_{TH_SENSEx}^{2} \quad (18)$$

$$C = R_{TOL}^{2} \times R_{TOPx}^{2} \times \left[\left(I_{HYS_SENSEx} \times R_{BOTTOMx}\right) - V_{TH_SENSEx}\right]^{2} \quad (19)$$

$$D = V_{TH_SENSEx}^{2} \times V_{TH_SENSEx_ACC}^{2} \times \left(R_{TOPx} + R_{BOTTOMx}\right)^{2} \quad (20)$$

ここで、

- R_{TOL} は、抵抗の許容誤差 (抵抗は上下とも同じ) の数値。例えば、許容誤差 0.1% の抵抗の場合、0.001 を使用。
- $V_{TH_SENSEx_ACC}$ は、SENSEx スレッショルド精度の数値 (この場合は 0.01)。
- $I_{HYS_SENSEx_ACC}$ は、数値としてのヒステリシス電流精度 (この場合は 0.03)。
- V_{TH_SENSEx} は、0.599V の公称検出スレッショルド電圧。
- I_{HYS_SENSEx} = 24 × 10^{-6} A (または 24µA)

Copyright © 2026 Texas Instruments Incorporated

- R_{TOPx} と $R_{BOTTOMx}$ はオーム (Ω) 単位。

式 16 と式 15 を使用して、立ち下がり電圧範囲は次のように計算できます。

$$V_{OUTx_FALL} = V_{OUTx_FALL_NOMINAL} \pm V_{OUTx_FALL_ERROR} \quad (21)$$

図 8-6 に、立ち上がり電圧と立ち下がり電圧の概念図を示します。この図には、V_{TH} の精度、I_{HYS} の精度、抵抗分割回路の許容誤差による電圧の誤差も記載されています。システム レベルでは、堅牢な設計のために誤差を考慮に入れてください。

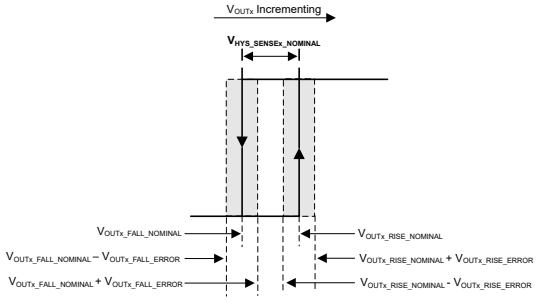
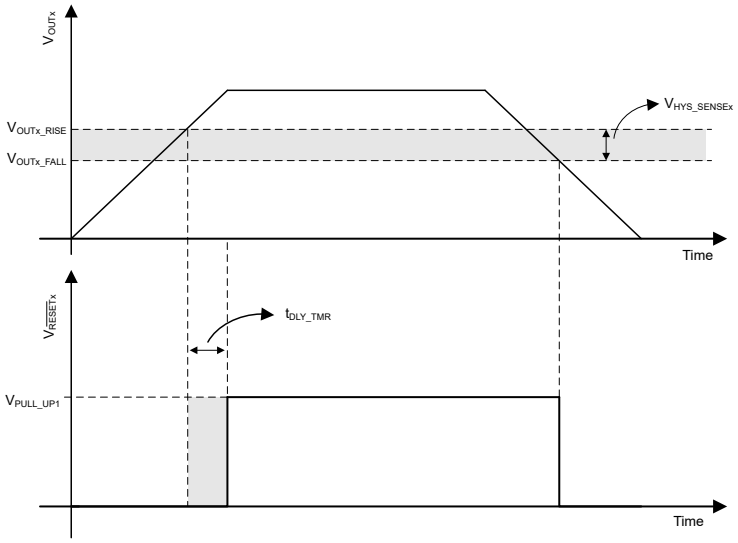


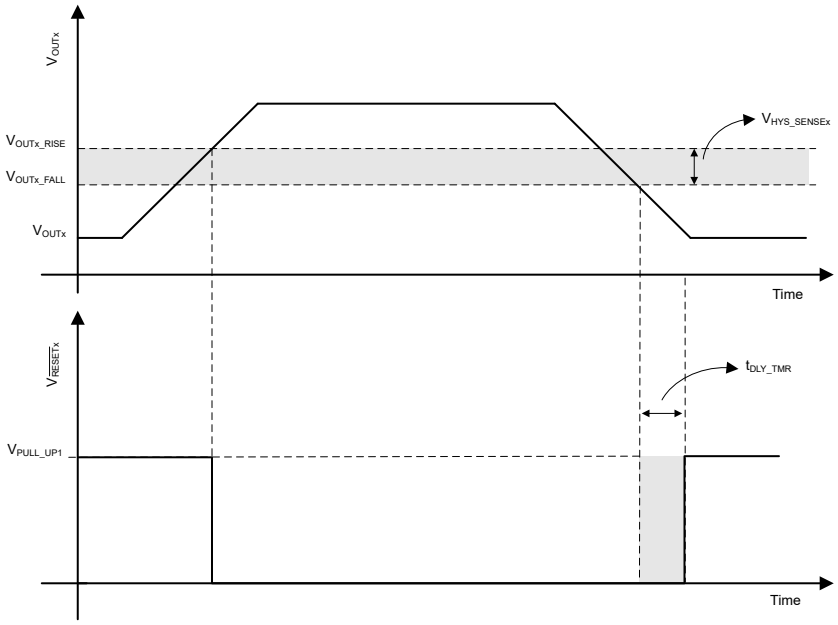
図 8-6. SENSE$_x$ コンパレータの立ち上がりおよび立ち下がりにおけるしきい値電圧

8.3.3.3 入力から出力までのタイミング図



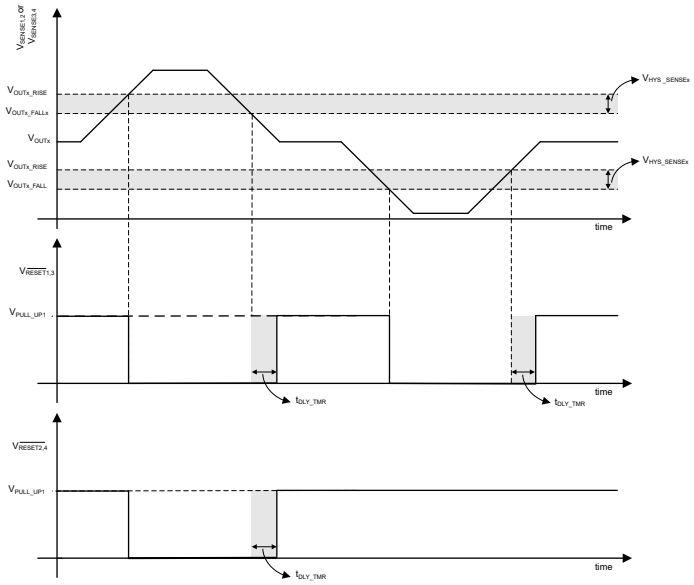
A. TPS7H3024 および TPS7H3124 では、MODE = 0 のとき、チャネル #1 (ピン #1) とチャネル #3 (ピン#3) は低電圧タイプです。

図 8-7. 低電圧チャネル (UV) の時間図



A. では、MODE = 1 のとき、チャネル #2 (ピン#2) とチャネル #4 (ピン #4) は過電圧タイプです。

図 8-8. 過電圧チャネル (OV) の時間図



A. TPS7H3024 とでは、MODE = 1 のとき、チャネル #1 (ピン 1) とチャネル #2 (ピン #2) は内部的にまたは「接続されて」ウィンドウ チャネルを作成し、チャネル #3 (ピン #3) とチャネル #4 (ピン #4) は OR 接続されて、2 番目のウィンドウ チャネルを作成します

B. 低電圧と過電圧の場合、V_{OUTx_RISE}、V_{OUTx_FALL}、V_{HYS_SENSEx} は、それぞれ異なる値である可能性があります。

図 8-9. ウィンドウ チャネルの時間図

Copyright © 2026 Texas Instruments Incorporated

8.3.3.4 上部および下部の抵抗分圧回路の設計式

システム レベルでは、設計者は V_{OUTx_RISE} および V_{OUTx_FALL} レベルを知っています (または選択します)。通常、これらの電圧は、監視対象の公称レール電圧(V_{OUTx}) に対するパーセンテージとして選択されます。この情報が判明していれば、目的の目標レベルについて、抵抗の公称分割部品の値 (R_{TOPx} と $R_{BOTTOMx}$) を計算することができます。式 14 と式 13 を使用して、上側の抵抗を計算できます。

$$R_{TOPx} = \frac{V_{OUTx_RISE} - V_{OUTx_FALL}}{I_{HYS_SENSEx}} \quad (22)$$

下部の抵抗は、式 9 から次のように計算できます。

$$R_{BOTTOMx} = \frac{R_{TOPx} \times V_{TH_SENSEx}}{V_{OUTx_RISE} - V_{TH_SENSEx}} \quad (23)$$

V_{OUTx_RISE} と V_{OUTx_FALL} (V_{HYS_SENSEx} と呼びます) の差が大きいほど、立ち下がり電圧の誤差が大きくなることに注意する必要があります。図 8-10 に、さまざまなセンス ヒステリシス電圧 (V_{HYS_SENSEx} = V_{OUTx_RISE} – V_{OUTx_Fall}) の V_{OUTx_Fall} エラーのプロットを示します。このプロットは、3 種類の V_{OUTx_RISE} 電圧 (または、公称出力電圧のパーセンテージで 90、95、97%) と、2 種類の出力電圧 (0.8V と 28V) に対して作成されています。グラフからわかるように、出力電圧は立ち下がり電圧誤差にほとんど影響を与えません (プロットで差を簡単に確認することはできません)。誤差 (%単位) は約 1% (V_{HYS_SENSEx} = 3%) から約 2.6% (V_{HYS_SENSEx} = 80% の場合) までに大きくなることがあります。

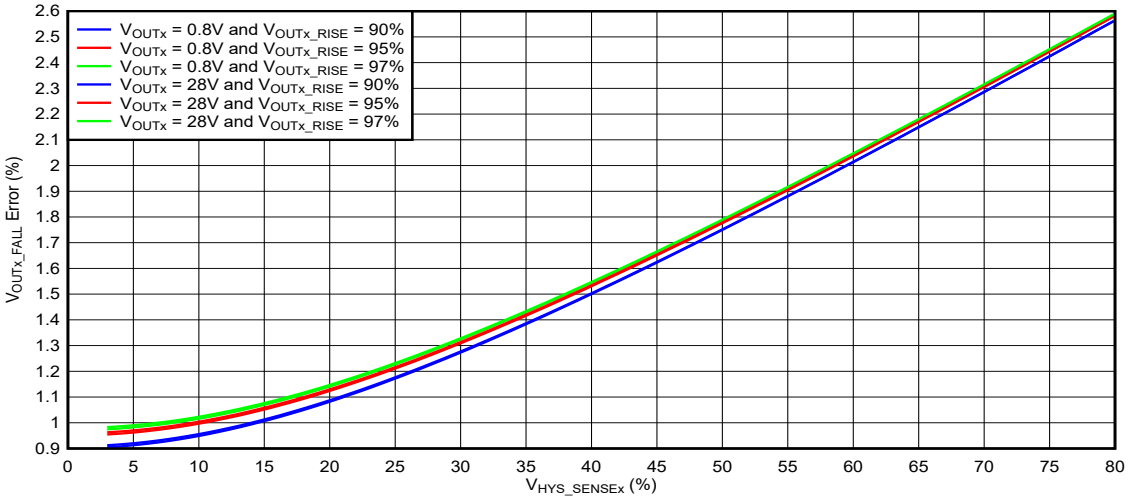


図 8-10. V_{OUTx_FALL} 絶対誤差と V_{HYS_SENSEx} との関係

A. このプロットには、式 22 と式 23 を使用して計算した上側抵抗と下側抵抗の差、および設計者が調達できる実際の抵抗値による V_{OUTx_FALL} の誤差は含まれていません。
B. 計算に使用する抵抗の許容誤差は 0.1%、V_{TH_SENSEx} 精度は 1%、I_{HYS_SENSEx} 精度は 3%です。
C. このプロットでは、V_{HYS_SENSEx} (%) が公称出力電圧 (V_{OUTx}) をパーセンテージで表しています。
D. このプロットでは、フルスケール電圧 (または V_{OUTx}) を基準にして V_{OUTx_FALL} 誤差 (%) が正規化されています。

8.3.4 モード

MODE ピンは、出力段の動作を変化させて以下を検出する入力です。

1. 低電圧 (UV)
2. 過電圧 (OV)
3. ウィンドウ

詳細については 表 8-1 と セクション 8.3.5 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

注

MODE は、VLDO に接続すると、論理 High に設定できます。絶縁保護のために直列抵抗を使用します。

8.3.5 出力段 (RESETx、PWRGD、WDO、PULL_UP1、PULL_UP2)

出力段 (RESET1 ～ RESET4)、PWRGD、WDO は、プッシュプルとオープン ドレインタイプです。GPN による出力タイプの詳細については、表 8-1 を参照してください。図 8-11 に示されているように、出力が過電圧タイプのとき、RESETx は SENSEx コンパレータの出力から論理的に反転されます (図 8-16 および図 8-18 も参照)。

TPS7H3024 (プッシュプル出力) と TPS7H3124 (オープン ドレイン出力) で、MODE = 1 の場合、SENSE1 (UV) と SENSE2 (OV) は内部で AND 演算され、出力が RESET1 出力を駆動するために使用されます。この場合、RESET1 はウィンドウ コンパレータの出力です。RESET2 は変更されないままで、SENSE2 の OV フラグになります。ウィンドウ フラグと OV フラグの両方が利用可能なため、システムは出力を読み取って、システム内でどの種類のフォルト (UV または OV) が発生したかを判別できます。同様のことが、2 番目のウィンドウ コンパレータを構成する SENSE3 および SENSE4 にも当てはまります。

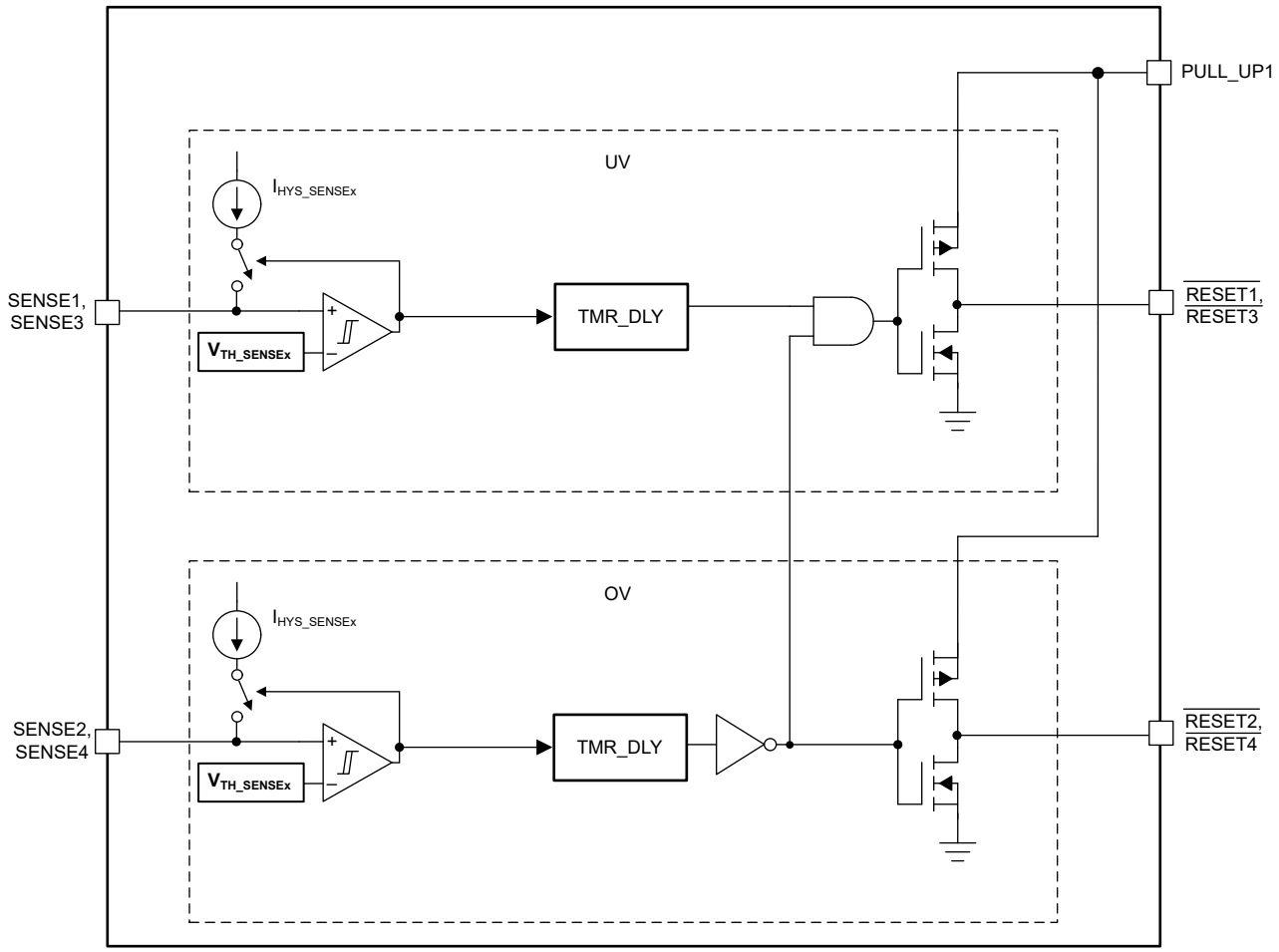


図 8-11. TPS7H3024 用ウィンドウ コンパレータ (MODE=1 の場合)

Copyright © 2026 Texas Instruments Incorporated

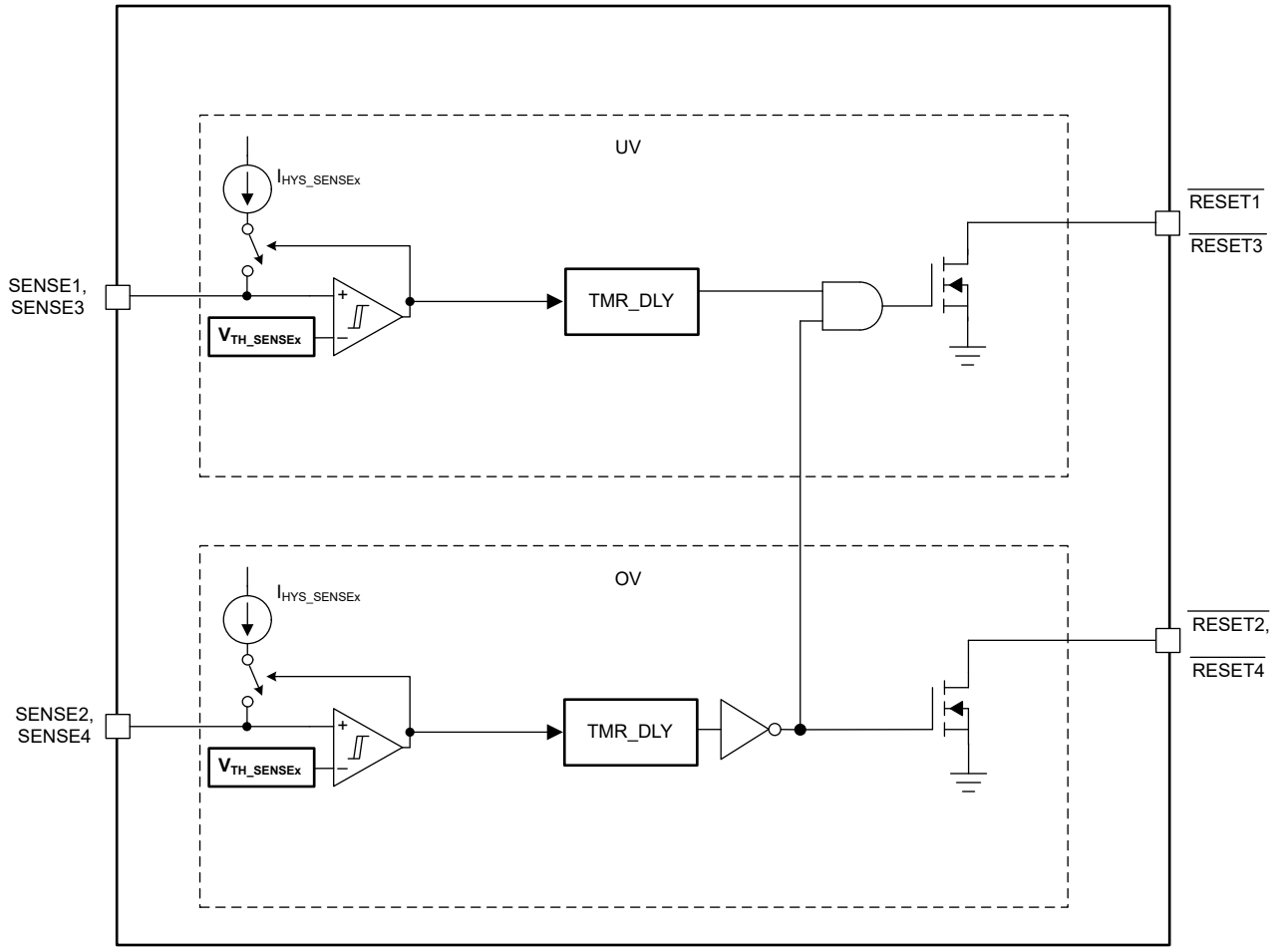


図 8-12. TPS7H3124 用ウィンドウ コンパレータ (MODE=1 の場合)

SENSE1 と SENSE2 は 1 つ目のウィンドウ コンパレータ チャネルを構成し、SENSE3 と SENSE4 は 2 つ目のウィンドウ コンパレータ チャネルを構成します。

8.3.5.1 プッシュプル出力

プッシュプル出力のプルアップ電圧は、ユーザが外部から供給します。PULL_UP1 (入力) はすべての $\overline{\text{RESETx}}$ 出力 ($\overline{\text{RESET1}}$ から $\overline{\text{RESET4}}$ まで) のプルアップ電圧ドメインです。PULL_UP2 (入力) は PWRGD および $\overline{\text{WDO}}$ 出力のプルアップ電圧ドメインです。図 8-13 から 図 8-16 を参照してください。

注

IN、PULL_UP1 と PULL_UP2 の間にシーケンス要件はありません。

各出力段は、ハイサイド PMOS とローサイド NMOS の (CMOS) ペアで構成されています。PMOS 抵抗は通常 9Ω (最大値 20Ω)、NMOS は標準 16Ω (最大値 36Ω)、$V_{PULL_UPx} \geq 3.3V$ の場合。PULL_UP1 および PULL_UP2 の電圧範囲は 1.6V～7V であり、それぞれ独立してバイアスをかけることも、同じ電源レールに接続することも可能です。ただし、両方とも必ずバイアスをかける必要があります。PMOS レッグの出力抵抗は、PULL_UPx 電圧依存性を持ちます。PULL_UPx 電圧が低いほど、PMOS 抵抗は高くなります。

V_{IN} < V_{POR_IN} (最大電圧 2V) または V_{PULL_UPx}> $V_{POR_PULL_UPx}$(最大 1.1V) のとき、出力は既知のプルダウン状態になります。この条件では、本デバイスが出力に 100 µ A の電流をシンクする場合、V_{OL} ≤ 320mV で、出力のシンク能力が低下します。

- $\overline{\text{RESETx}}$
- PWRGD
- $\overline{\text{WDO}}$

入力電圧が推奨範囲である 3V～14V の範囲内にある場合、各出力は ±10mA のフルドライブ能力を持ちます。

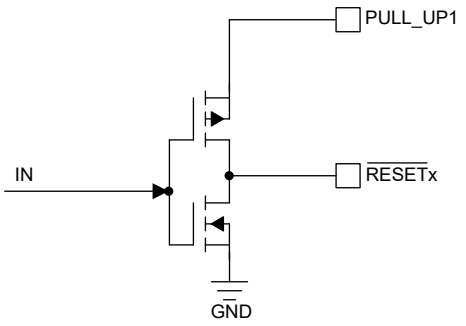


図 8-13. UV チャネル タイプの $\overline{\text{RESETx}}$ プッシュプル出力段

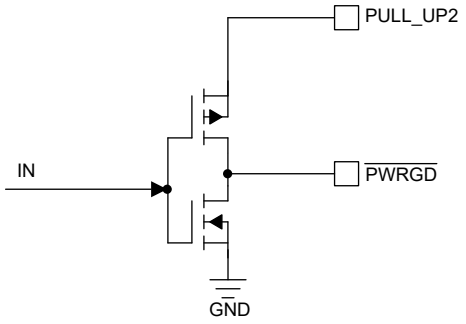


図 8-14. UV チャネル タイプ用の PWRGD プッシュプル出力段

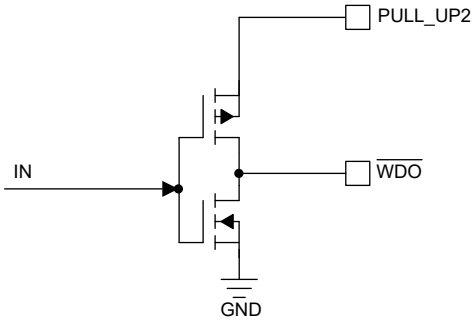
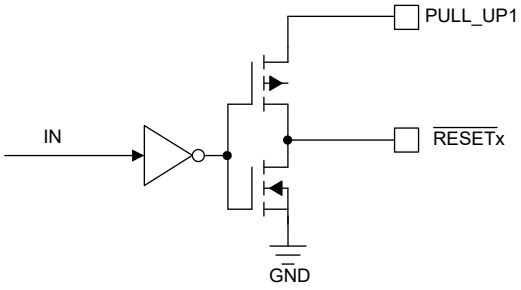


図 8-15. UV チャネル タイプ用の $\overline{\text{WDO}}$ プッシュプル出力段



A. $\overline{\text{RESETx}}$ のみは、チャネルのタイプに以下のように依存します。UV または OV これは、MODE 入力ピンの論理値に依存します。

図 8-16. OV チャネル タイプの $\overline{\text{RESETx}}$ プッシュプル出力段

8.3.5.2 オープン ドレイン出力 (TPS7H3124 と TPS7H3134)

オープンドレイン バリアント (TPS7H31x4) では、ピンは外部の抵抗を介して所望のロジック レベルを持つ電圧源にプルアップされます。出力の最大プルアップ電圧 ($\overline{\text{RESETx}}$、PWRGD、$\overline{\text{WDO}}$) は 7V です。出力によるシンク電流の最大値が、推奨動作条件における最大 2mA を下回るように、プルアップ 抵抗の値を選択します。通常は、10kΩ のプルアップ抵抗で十分です。より大きな値の抵抗を使用すると消費電力が最小限に抑えられますが、「弱い」プルアップにより、ノイズが出力信号に結合することができる場合があります。図 8-17 および図 8-18 を参照してください。

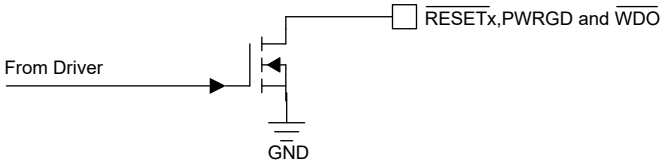
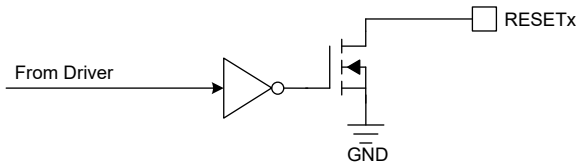


図 8-17. オープン ドレインでの $\overline{\text{RESETx}}$、PWRGD、$\overline{\text{WDO}}$ 出力

Copyright © 2026 Texas Instruments Incorporated



A. $\overline{\text{RESETx}}$ のみは、チャネルのタイプに以下のように依存します。UV または OV これは、MODE 入力ピンの論理値に依存します。

図 8-18. オープン ドレインでの $\overline{\text{RESETx}}$ 過電圧 (OV) 出力

8.3.6 WDI

ウォッチドッグ入力 (WDI) ピンは、602mV の基準電圧 ($V_{TH_WDI_RISING}$) を持つコンパレータの非反転入力の入力です。コンパレータには、ノイズ耐性を高めるために 104 mV (固定) のヒステリシス電圧が内蔵されています。ウォッチドッグ ステート マシンは、WDI ピンで立ち上がり電圧が検出されるたびにクリア (またはウォッチドッグ カウンタのリセット) を行います。ウォッチドッグ タイムアウトのばらつきを考慮するため、プロセッサが WDI 信号を送信する頻度を決定する際には、WD_TMR の最小値を使用することを推奨します。例えば、WD_TMR が 1s に設定されている場合、実際のタイムアウトは 0.8s ～ 1.2s となります。したがって、最悪の場合のばらつきを考慮して、WDI 信号はプロセッサから少なくとも 0.8s ごとに送信することを推奨します。WD_TMR (またはタイムアウト) は、WD_TMR 入力を使用して、ユーザーがプログラムすることができます。このタイマは 520ms ～ 1.5s の範囲でプログラム可能です。詳細については、セクション 8.3.7.2 を参照してください。

8.3.7 ユーザープログラマブル タイマ

TPS7H3024 には 2 つの調整可能なタイマがあります。

1. DLY_TMR の代表的な範囲は 260µs ～ 23.37ms です。
2. WD_TMR の代表的な範囲は 520ms ～ 1.5s です。

両方のタイマは、DLY_TMR ピンと WD_TMR ピンと GND との間の 1 つの抵抗によりプログラムされます。これらの抵抗は、タイマの内部発振器周波数をプログラムするために使用されます。DLY_TMR ピンまたは WD_TMR ピンをフローティングにすると、それぞれのタイマは無効になります。タイマをディセーブルすると、デバイスの静止電流 (I_{Q_IN}) が減少します。詳細については、図 6-5 を参照してください。

注

タイマ ピンの抵抗設定は、電源投入時に有効である必要があり、動的に変更できません。

8.3.7.1 DLY_TMR

TPS7H3024 には、調整可能な時間遅延機能があります。DLY_TMR ピンと GND の間に 1 つの抵抗を接続すると、遅延をプログラムできます。260µs ～ 23.7ms 遅延の場合、可能な抵抗 (R_{DLY}) 値はそれぞれ 10.5kΩ ～ 1.18MΩ となります。この遅延は、次のような故障状態からの復帰時にのみ有効です:

1. UV:低電圧チャネル (UV) で、遅延は V OUTx 電圧が立ち上がり、V_{OUTx_RISE} を横切るときに有効です。
2. OV:過電圧チャネル (OV) では、遅延は V_{OUTx} 電圧が立ち下がり、V_{OUTx_FALL} を横切るときに有効です。

詳細については 図 8-7 と 図 8-8 を参照してください。

システムに対して遅延が望ましくない場合は、ピン (DLY_TMR) をフローティングのままにしておくことができます。タイマをディセーブルすると、デバイスの消費電流が低減されます (I_{Q_IN})。遅延が望ましくない場合、V_{OUTx} が V_{OUTx_RISE} と V_{OUTx_FALL} を交差する間に、4.3µs (最大) 固有の伝搬遅延が観測されます。

DLY_TMR 抵抗は、式 24 を使って選択できます。図 8-19 に、DLY_TMR 抵抗と遅延時間の線形的な傾向を示します。

$$R_{DLY_TMR}(k\Omega) = \left[49.71 \times t_{DLY_TMR}(ms)\right] - 2.5 \quad (24)$$

さまざまな遅延時間の公称抵抗値を、表 8-2 に示します。

表 8-2. 標準的な DLY_TMR 抵抗

DELAY (ms)	R_{DLY_TMR}(kΩ)
0.260	10.5
12.5	619
23.7	1180

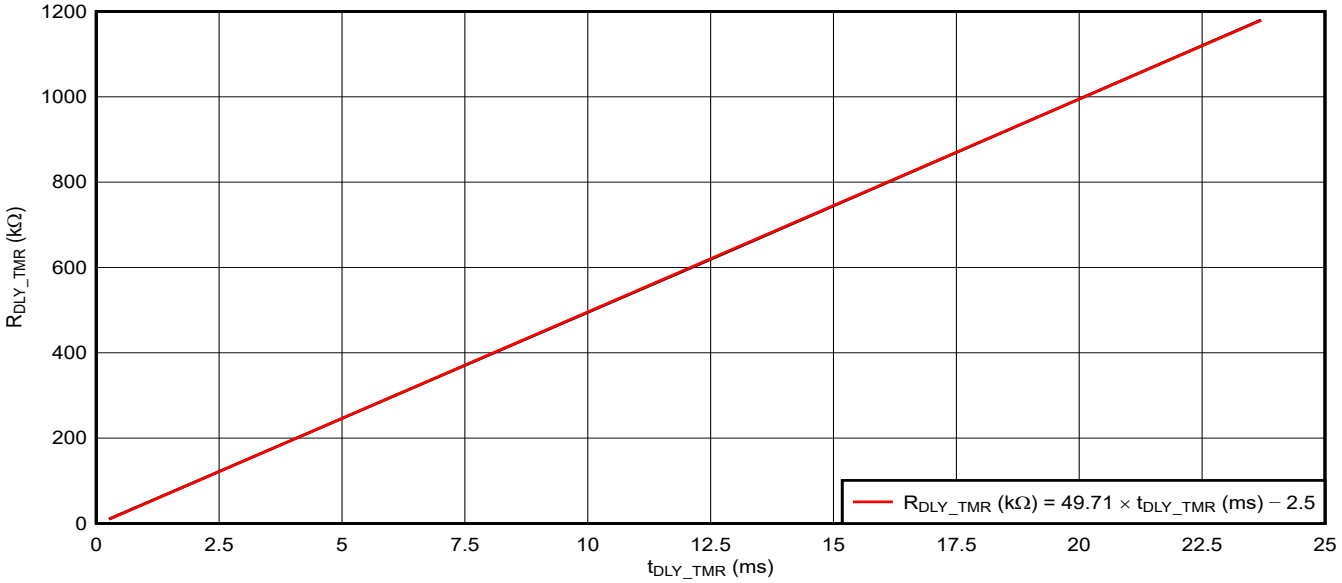


図 8-19. 全発振器範囲における R_{DLY_TMR} と t_{DLY_TMR} との関係

8.3.7.2 WD_TMR

WD_TMR は、内部ウォッチドッグ タイマのタイムアウトをプログラムする可変タイマです。ウォッチドッグタイマーは、プロセッサの一貫した動作を監視するために一般的に使用されます。故障により監視対象のプロセッサが停止した場合、WDI ピンは立ち上がりエッジを検出せず、$\overline{WDO}$ が Low にアサートされるため、プロセッサは既知の状態にリセットされます。図 8-20 に、監視対象プロセッサと TPS7H3024 との間の一般的な接続を示します。図 8-21 に、TPS7H3024 のプロセッサとウォッチドッグの間の正しいハンドシェイクと不適切な (遅いパルス) ハンドシェイクを示します。

ユーザーは、WD_TMR ピンと GND との間に 1 つの抵抗を使用して WD_TMR をプログラムできます。抵抗 (R_{WD}) の範囲は、520ms ～ 1.5s の時間範囲に対してそれぞれ 56.2kΩ ～ 174kΩ です。ウォッチドッグ タイマを使用したくない場合は、このピンをフローティングのままにしてもかまいません。ウォッチドッグ タイマをディセーブルにすると、デバイスの静止電流 (I_{Q_IN}) が減少します。

注

TPS7H3xx4 では、WD_TMR ピンをフローティングにすると、ウォッチドッグ タイマがディセーブルになり、$\overline{WDO}$ 信号が強制的に High になります。TPS7H30x4 などのプッシュプル出力タイプのデバイスの場合、$\overline{WDO}$ は PWRGD 状態でマスクされます。これは、WD_TMR がフローティングのときに、TPS7H30x4 で $\overline{WDO}$ が PWRGD と等しくなることを意味します。オープンドレインの場合、$\overline{WDO}$ は PWRGD の機能 (またはマスク) ではありません。WD_TMR に有効な抵抗を接続すると、WDI で有効な立ち上がりエッジが検出されるまで、$\overline{WDO}$ は Low を維持します。

REG_TMR 抵抗は、式 25 を使って計算できます。図 8-22 に、WD_TMR 抵抗とウォッチドッグ タイマをクリアするために許容される時間 (またはタイムアウト) との線形の傾向を示します。

$$R_{WD_TMR}(k\Omega) = \left[114.5 \times t_{WD_TMR}(s)\right] - 3.5 \quad (25)$$

Copyright © 2026 Texas Instruments Incorporated

表 8-3 に、さまざまな許容レギュレーション時間に対する標準抵抗値を示します。WDI ピンの最小パルス幅は、ウォッチドッグ オシレータ周期の 2 倍として規定されています。オシレータ周期は、式 26 を使って計算できます。

$$t_{WD_OSC}(s) = \frac{t_{WD_TMR}(s)}{57{,}344} \quad (26)$$

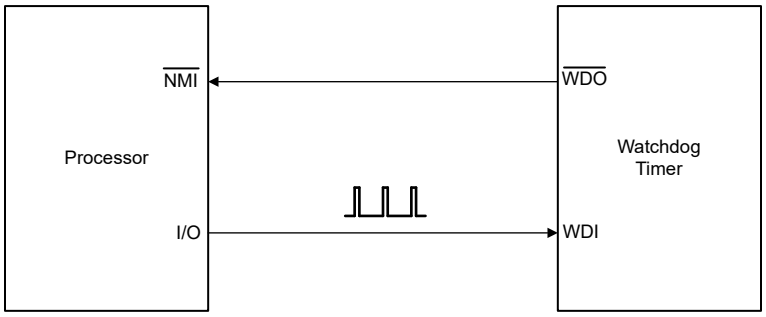


図 8-20. TPS7H3024 と監視対象プロセッサとの間のウォッチドッグタイマのハンドシェイク (標準値)

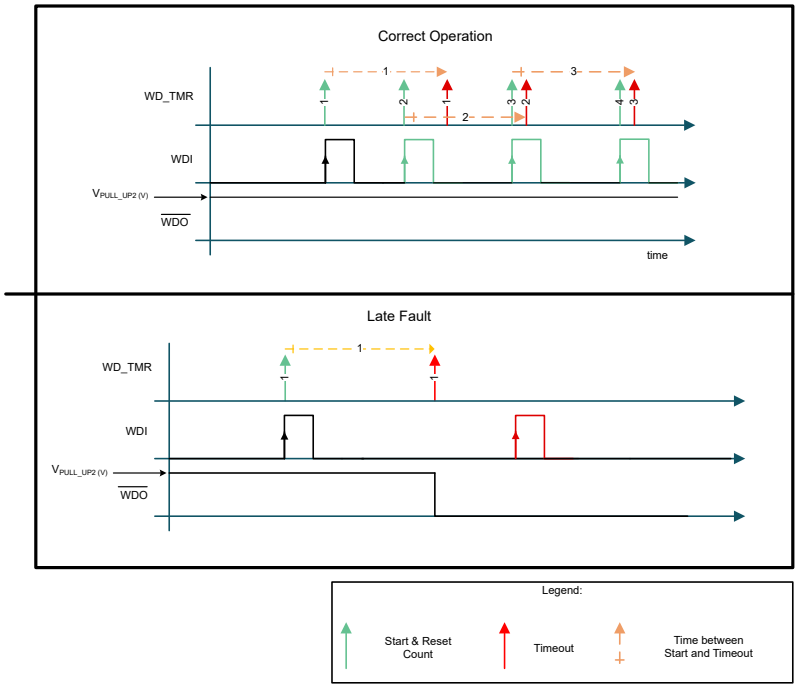


図 8-21. ウォッチドッグのタイミング図

表 8-3. 標準的な REG_TMR 抵抗

許容レギュレーション時間 (s)	R_{REG_TMR} (kΩ)
0.52	56.2
1	118
1.5	174

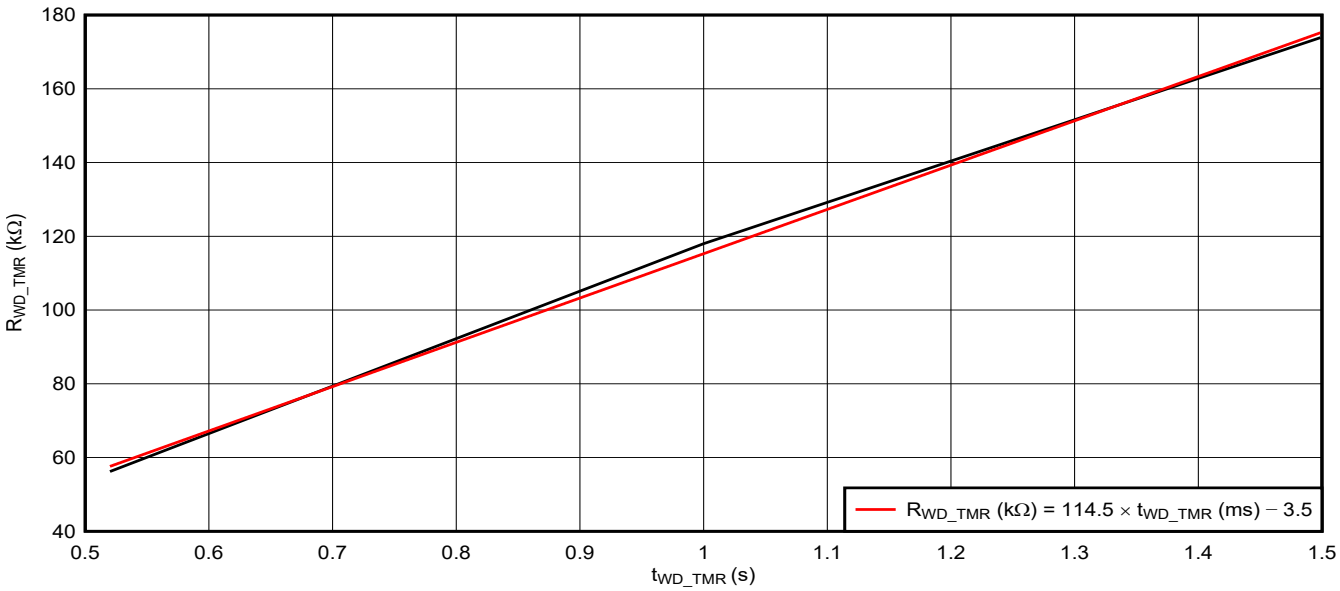


図 8-22. 全発振器範囲における R_{WD_TMR} と t_{WD_TMR} との関係

8.4 デバイスの機能モード

表 8-4. TPS7H3xx4 の V_{IN} および V_{PULL_UPx} が推奨最小電圧より低い場合の $\overline{RESETx}$、PWRGD、および $\overline{WDO}$ の真理値表。

SR_$\overline{UVLO}$ (1) (2)	SENSEx (3) (4)	$\overline{RESETx}$	PWRGD	$\overline{WDO}$	IN	PULL_UPx
0 または 1	0 または 1	不定	不定	不定	$V_{IN} < V_{POR_IN}$	$V_{PULL_UPx} < V_{POR_PULL_UPx}$
		L	L	L	$V_{IN} < V_{POR_IN}$	$V_{POR_PULL_UPx} < V_{PULL_UPx} < 1.6V$
		L	L	L	$V_{POR_IN} < V_{IN} < 3V$	$V_{PULL_UPx} < V_{POR_PULL_UPx}$
		L	L	L	$V_{POR_IN} < V_{IN} < 3V$	$1.6V < V_{PULL_UPx} < 7V$

Copyright © 2026 Texas Instruments Incorporated

表 8-5. TPS7H3024 および TPS7H3124 の V_{IN} および V_{PULL_UPx} が推奨動作電圧範囲内にある場合の $\overline{RESETx}$、PWRGD、および $\overline{WDO}$ の真理値表

SR_$\overline{UVLO}$ (1) (2)	MODE (5) (6)	SENSE1 (3) (4)	SENSE2 (3) (4)	SENSE3 (3) (4)	SENSE4 (3) (4)	$\overline{RESET1}$	$\overline{RESET2}$	$\overline{RESET3}$	$\overline{RESET4}$	PWRGD	$\overline{WDO}$ (7) (8)
0	0 または 1	0 または 1	0 または 1	0 または 1	0 または 1	L	L	L	L	L	L
1	0	0	0	0	0	L	H	L	H	L	L
		0	0	0	1	L	H	L	L	L	L
		0	0	1	0	L	H	H	H	L	L
		0	0	1	1	L	H	H	L	L	L
		0	1	0	0	L	L	L	H	L	L
		0	1	0	1	L	L	L	L	L	L
		0	1	1	0	L	L	H	H	L	L
		0	1	1	1	L	L	H	L	L	L
		1	0	0	0	H	H	L	H	L	L
		1	0	0	1	H	H	L	L	L	L
		1	0	1	0	H	H	H	H	H	H
		1	0	1	1	H	H	H	L	L	L
		1	1	0	0	H	L	L	H	L	L
		1	1	0	1	H	L	L	L	L	L
		1	1	1	0	H	L	H	H	L	L
		1	1	1	1	H	L	H	L	L	L
	1	0	0	0	0	L	H	L	H	L	L
		0	0	0	1	L	H	L	L	L	L
		0	0	1	0	L	H	H	H	L	L
		0	0	1	1	L	H	L	L	L	L
		0	1	0	0	L	L	L	H	L	L
		0	1	0	1	L	L	L	L	L	L
		0	1	1	0	L	L	H	H	L	L
		0	1	1	1	L	L	L	L	L	L
		1	0	0	0	H	H	L	H	L	L
		1	0	0	1	H	H	L	L	L	L
		1	0	1	0	H	H	H	H	H	H
		1	0	1	1	H	H	L	L	L	L
		1	1	0	0	L	L	L	H	L	L
		1	1	0	1	L	L	L	L	L	L
		1	1	1	0	L	L	H	H	L	L
		1	1	1	1	L	L	L	L	L	L

表 8-6. TPS7H3034 および TPS7H3134 の V_{IN} および V_{PULL_UPx} が推奨動作電圧範囲内にある場合の $\overline{RESETx}$、PWRGD、および $\overline{WDO}$ の真理値表

$\overline{SR_UVLO}$ (1) (2)	MODE (5) (6)	SENSE1 (3) (4)	SENSE2 (3) (4)	SENSE3 (3) (4)	SENSE4 (3) (4)	$\overline{RESET1}$	$\overline{RESET2}$	$\overline{RESET3}$	$\overline{RESET4}$	PWRGD	$\overline{WDO}$ (7) (8)
0	0 または 1	0 または 1	0 または 1	0 または 1	0 または 1	L	L	L	L	L	L
1	0	0	0	0	0	L	L	L	L	L	L
		0	0	0	1	L	L	L	H	L	L
		0	0	1	0	L	L	H	L	L	L
		0	0	1	1	L	L	H	H	L	L
		0	1	0	0	L	H	L	L	L	L
		0	1	0	1	L	H	L	H	L	L
		0	1	1	0	L	H	H	L	L	L
		0	1	1	1	L	H	H	H	L	L
		1	0	0	0	H	L	L	L	L	L
		1	0	0	1	H	L	L	H	L	L
		1	0	1	0	H	L	H	L	L	L
		1	0	1	1	H	L	H	H	L	L
		1	1	0	0	H	H	L	L	L	L
		1	1	0	1	H	H	L	H	L	L
		1	1	1	0	H	H	H	L	L	L
		1	1	1	1	H	H	H	H	H	H
	1	0	0	0	0	H	H	H	H	H	H
		0	0	0	1	H	H	H	L	L	L
		0	0	1	0	H	H	L	H	L	L
		0	0	1	1	H	H	L	L	L	L
		0	1	0	0	H	L	H	H	L	L
		0	1	0	1	H	L	H	L	L	L
		0	1	1	0	H	L	L	H	L	L
		0	1	1	1	H	L	L	L	L	L
		1	0	0	0	L	H	H	H	L	L
		1	0	0	1	L	H	H	L	L	L
		1	0	1	0	L	H	L	H	L	L
		1	0	1	1	L	H	L	L	L	L
		1	1	0	0	L	L	H	H	L	L
		1	1	0	1	L	L	H	L	L	L
		1	1	1	0	L	L	L	H	L	L
		1	1	1	1	L	L	L	L	L	L

(1) 0 = $V_{SR_\overline{UVLO}} < V_{TH_SR_\overline{UVLO}_FALLING}$
(2) 1 = $V_{SR_\overline{UVLO}} > V_{TH_SR_\overline{UVLO}_RISING}$
(3) 0 = $V_{SENSEx} < V_{TH_SENSEx}$
(4) 1 = $V_{SENSEx} > V_{TH_SENSEx}$
(5) 0 = $V_{MODE} < V_{TH_MODE_FALLING}$
(6) 1 = $V_{MODE} > V_{TH_MODE_RISING}$
(7) ウォッチドッグ タイマが期限切れになる前に、WDI に有効な立上りエッジ パルスが入力されることを前提としています。
(8) TPS7H31x4 では、$\overline{WDO}$ は PWRDG によってマスクされず、WDI で供給された有効なパルスである限り、$\overline{WDO}$ は High のままです。それ以外の場合、Low になります。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H3024 は、放射線耐性を強化した、ウォッチドッグ タイマ付きの 4 チャネル電圧スーパーバイザです。このモジュールを使用して、FPGA、ASIC、AFE、各種電源システムの電源レール、プロセッサの一貫性のある実行を監視できます。

9.2 代表的なアプリケーション

9.2.1 ウィンドウ電圧モニタ

多くの最新システム（またはサブシステム）では、複数の電圧レールが必要な場合が多く、これを「電源ツリー」と呼びます。これらの電源ツリーは、信頼性の高い動作のために厳密な電圧仕様が求められることがよくあります。これらの仕様が満たされていない場合、信頼性の低い動作または永続的な誤動作が発生する可能性があります。信頼性の高い動作を可能にするために、電圧レールはリアルタイムで監視され、是正処置 (電源オフやローカル レギュレータの無効化など) がシステム全体に伝達されます。

この例では、2 つの電圧レールがウィンドウ トリガを使用して監視され、レールが仕様内で動作していることを確認します。以下に、設計手順と部品選定の詳細を示します。設計については、図 9-1 にまとめまられています。

注

この例で示されているすべての計算値は、小数点以下 2 桁に丸められていますが、センス分圧回路の下側の抵抗値のみは小数点以下 3 桁に丸められています。

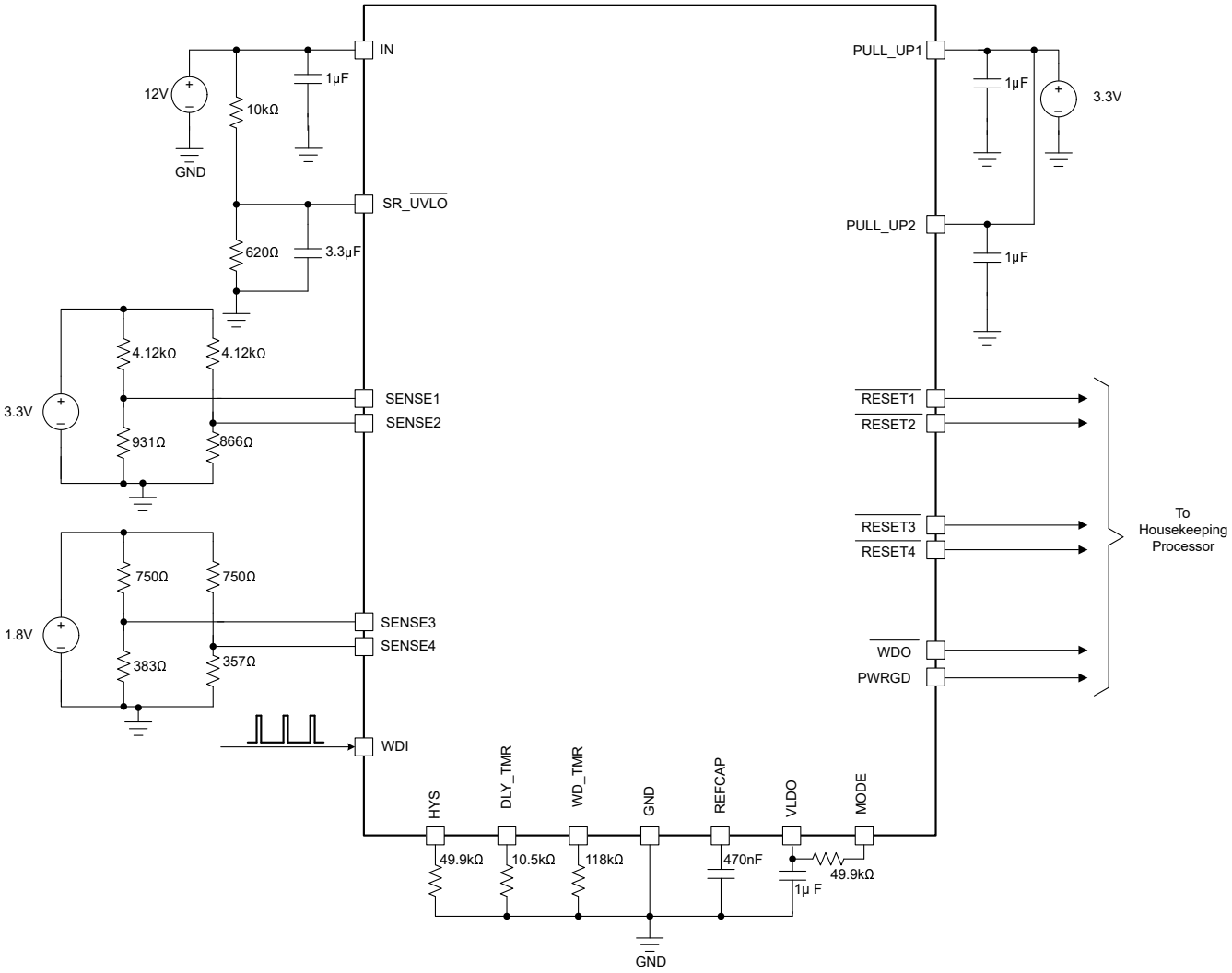


図 9-1. ウォッチドッグ タイマ付きウィンドウ電圧モニタ

9.2.1.1 設計要件

この設計では、信頼性の高い動作を確保するために、ウィンドウ コンパレータを使用して 2 つの電圧レールを監視する必要があります。ウィンドウ監視方式が用いられているため、システム仕様の上限および下限が監視されます。また、ウォッチドッグを使用してプロセッサの一貫した実行も監視されます。スーパーバイザ IC は、SR_$\overline{\text{UVLO}}$ ピンを駆動する外付け抵抗分圧器を使用して、公称 12V レールの約 86% (10.31V) を開始するように設定されます。

すべてのフラグはハウスキーピング プロセッサによって監視されるものとみなされ、$\overline{\text{WDO}}$ はプロセッサのノンマスク可能割り込みを駆動するために使用されます。すべての設計条件は、表 9-1 で定義されています。

表 9-1. 設計条件

パラメータ	設計要件	設計結果
システムの公称電圧	12V の入力電圧をスーパーバイザに監視し、電圧が 10.3V (86%) を少なくとも 2.8ms の間上回ったときに IC をイネーブルにします。電圧が 8.5V (または 71%) を下回ると、システムはディスエーブルになります。	TPS7H3024 は、SR_$\overline{\text{UVLO}}$ を使用することで外部から正確にイネーブルできます。内部基準電圧は、温度、電圧、TID の全範囲にわたって 3.1% の精度を維持します。誤差を最小限に抑えるために、0.1% の許容差を持つ抵抗を使用します。

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 設計条件 (続き)

パラメータ	設計要件	設計結果
V_{OUT1}= 3.3V (公称)	低電圧: $V_{OUT1_RISE_UV}$ = 98% および $V_{OUT1_FALL_UV}$ = 95%	$V_{OUT1_RISE_UV}$ = 3.25 V $V_{OUT1_FALL_UV}$ = 3.15 V
	過電圧: $V_{OUT1_RISE_OV}$ = 105% および $V_{OUT1_FALL_OV}$ = 102%	$V_{OUT1_RISE_OV}$ = 3.45 V $V_{OUT1_FALL_OV}$ = 3.35 V
V_{OUT2}=1.8V (公称)	低電圧: $V_{OUT2_RISE_UV}$ = 98% および $V_{OUT2_FALL_UV}$ = 97%	$V_{OUT2_RISE_UV}$ = 1.77 V $V_{OUT2_FALL_UV}$ = 1.75 V
	過電圧: $V_{OUT2_RISE_OV}$ = 103% および $V_{OUTx_FALL_OV}$ = 102%	$V_{OUT2_RISE_OV}$ = 1.86 V $V_{OUT2_FALL_OV}$ = 1.84 V
故障状態から復帰している間での $\overline{RESETx}$ 遅延	公称 260µs の遅延	R_{DLY_TMR} = 10.5kΩ
ウォッチドッグのタイムアウト	公称 1 秒	R_{WD_TMR} = 118kΩ

9.2.1.2 詳細な設計手順

9.2.1.2.1 入力電源とデカップリング コンデンサ

TPS7H3024 には、次の三つの電源が必要です。

1. IN は、TPS7H3024 IC に電力を供給する入力電源です。この電源は、1µF 以上、ピンにできるだけ近い場所でデカップリングする必要があります。この回路では、V_{IN} = 12V です。
2. PULL_UP1 は、$\overline{RESETx}$ 出力電圧を HIGH (V_{OH}) にプログラムする入力電源です。これらの出力は、ハウスキーピング プロセッサに接続されています。この電源は、1µF 以上、ピンにできるだけ近い場所でデカップリングする必要があります。このアプリケーションでは、V_{PULL_UP1} = 3.3V です。
3. PULL_UP2 は、PWRGD および $\overline{WDO}$ 出力の出力電圧 High (V_{OH}) をプログラムする入力電源です。これらの出力はハウスキーピング プロセッサに接続され、特に $\overline{WDO}$ は通常 WDI パルスを生成するプロセッサのノンマスカブル $\overline{NMO}$ 入力に接続されます。この電源は、1µF 以上、ピンにできるだけ近い場所でデカップリングする必要があります。このアプリケーションでは、V_{PULL_UP1} = 3.3V です。

また、TPS7H3024 には 、良好な電気的特性および放射線耐性を得るためにデカップリングが必要な 2 つの安定化電圧出力を備えています。それらを以下に示します。

1. REFCAP (1.2V のリファレンス) は、以下のようなすべての放射基準電圧を生成するためにデバイスで内部で使用されます。
   - V_{TH_SENSEx}
   - I_{HYS_SENSEx}
   - $V_{TH_SR_\overline{UVLO}}$
   - V_{TH_WDI}
   - V_{TH_MODE}

   このリファレンスには、470nF のセラミック コンデンサをできるだけピンの近くに配置してデカップリングします。このピンには、外部に負荷を接続しないでください。
2. VLDO は、TPS7H3024 の内部回路に電力を供給するために使用される内部レギュレータの出力です。このレギュレータは、ピンにできるだけ近い 1µF でデカップリングします。この LDO は最大 5mA まで負荷をかけることができます。この LDO は短絡に対する保護を備えていないことを理解しておくことが重要です。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.2.2 SR_UVLO スレッショルド

このアプリケーションでは、SR_UVLO ピンを使用して 12V の入力電源電圧を監視し、目的の電圧に達したときにデバイスを有効化します。

IC は、レール電圧が 10.26V (標準公称電圧の 85.5%) を超えるとイネーブルになります。SR_UVLO のヒステリシス電圧は内部制御されているため、立ち下がり電圧は制御されません。しかし、計算値は 8.55V (または公称電圧の 71.2%、標準値) となります。TPS7H3024 には 2.8ms (最大) の内部時定数 ($t_{Start_up_delay}$) があるため、SR_UVLO ピンに 3.3µF の遅延コンデンサが追加されます。このコンデンサは、V_{IN} が立ち上がりするときに SR_UVLO ピンに遅延を発生させるため追加されます。このコンデンサにより、シーケンスを開始する 2 番目の条件が追加されます。V_{IN} ≥ 10.26V (標準値) が少なくとも 2.8ms なら、IC が有効になります。

SR_UVLO の抵抗デバイダの上側抵抗を固定すると、設計要件に従って下側の抵抗を計算できます。上側の抵抗は 10kΩ に固定されています。下側抵抗の式は式 1 を使用して、次のように計算されます。

$$V_{BOTTOM_SR_\overline{UVLO}} = 10k\Omega \times \frac{0.599V}{10.26V - 0.599V} = 620\Omega \quad (27)$$

基準抵抗値が計算できたので、次に実際に使用する (実部品としての) 抵抗を選定します。この場合、0.1% の許容誤差を持つ抵抗を使用して最も近い値を選定します (この特定のケースでは、基準抵抗と実際に使用する抵抗の値が同じです)

- $R_{BOTTOM_SR_\overline{UVLO}}$ = 620Ω

実際に使用する抵抗値を用いて、スーパーバイザを有効化する上昇電圧および無効化する下降電圧を逆算することができます。式 4 と式 3 の使用:

$$V_{IN_UVLO_RISING_NOMINAL}(V) = \left(1 + \frac{10k\Omega}{620\Omega}\right) \times 0.599V \cong 10.26V \quad (28)$$

$$V_{IN_UVLO_FALLING_NOMINAL}(V) = \left(1 + \frac{10k\Omega}{620\Omega}\right) \times 0.496V \cong 8.50V \quad (29)$$

遅延コンデンサは、次のとおり式 7、式 8、式 6 を使って計算します。

$$R_{TH}(\Omega) = \frac{10k\Omega \times 620\Omega}{10k\Omega + 620\Omega} = 583.80\Omega \quad (30)$$

$$V_{TH}(\Omega) = \left(\frac{620\Omega}{10k\Omega + 620\Omega}\right) \times 12V = 0.70V \quad (31)$$

$$C_{DELAY}(F) \geq \frac{0.0028s}{582.8\Omega \times \ln\left(-\frac{0.7V}{0.599V - 0.7V}\right)} = 2.48\mu F \quad (32)$$

入力コンデンサには 3.3µF のコンデンサを選びます。

9.2.1.2.3 SENSEx スレッショルド

SENSEx 入力は、システム レベルの境界 (または制限値) に対して電圧レールを監視するために使用されます。この設計では、監視対象の出力電圧を次のように設定します。

1. V_{OUT1} = 3.3 V
2. V_{OUT2} = 1.8 V

各レールの V_{OUTx_RISE} と V_{OUTx_FALL} の設計は、表 9-2 で規定されています

表 9-2. チャネルごとの立ち上がり/立ち下がり設計要件

チャネル	チャネル タイプ	V_{OUTx_NOM} (V)	V_{ONx_RISE} (%)	V_{ONx_RISE} (V)	V_{ONx_FALL} (%)	V_{ONx_FALL} (V)
1	UV	3.3	98	3.23	95	3.14
2	OV		105	3.47	102	3.37

Copyright © 2026 Texas Instruments Incorporated

表 9-2. チャネルごとの立ち上がり/立ち下がり設計要件 (続き)

チャネル	チャネル タイプ	V_{OUTx_NOM} (V)	V_{ONx_RISE} (%)	V_{ONx_RISE} (V)	V_{ONx_FALL} (%)	V_{ONx_FALL} (V)
3	UV	1.8	98	1.76	97	1.75
4	OV		103	1.85	102	1.84

式 22 と式 23 を使用して、上部と下部のリファレンス抵抗を計算し、0.1%（精度）の抵抗値を使用して最も近い抵抗値を選択できます。表 9-3 にリファレンスの (または計算上の) 上部抵抗と下部抵抗を示します。表 9-4 に、アプリケーション用に選定した抵抗を示します。

表 9-3. SENSEx のリファレンス電圧の公称抵抗値

チャネル	R_{TOP} (kΩ)	R_{BOTTOM} (kΩ)
1	4.13	0.94
2		0.86
3	0.75	0.39
4		0.36

チャネル 1 (または SENSE1) の上側抵抗と下側抵抗の計算例を以下に示します。

$$\frac{3.23\ \text{V} - 3.14\ \text{V}}{24\ \mu\text{A}} = 4.13\text{k}\Omega \tag{33}$$

$$\frac{4.13\ \text{k}\Omega \times 0.60\ \text{V}}{3.23\ \text{V} - 0.60\ \text{V}} = 0.94\text{k}\Omega \tag{34}$$

表 9-4. 許容誤差 0.1% の抵抗を使用して SENSEx の抵抗を選定

チャネル	R_{TOP} (kΩ)	R_{BOTTOM} (kΩ)
1	4.12	0.931
2		0.866
3	0.75	0.383
4		0.357

実際の抵抗が判明したため、式 9、式 11、式 12、式 15、式 16、式 21 を使用して実際のオン/オフ公称電圧と誤差電圧を計算できます。誤差を使用すると、上部と下部の電圧を計算し、公称出力電圧を基準にして値を正規化することができます。

表 9-5. V_{OUTx_RISE} 公称値、統計値（V およびパーセンテージ）

チャネル	$V_{OUTx_RISE_NOMINAL}$ (V)	$V_{OUTx_RISE_NOMINAL}$ (1) (%)
1	3.25	98.48
2	3.45	104.51
3	1.77	98.44
4	1.86	103.19

(1) 数値は、そのレールの公称出力電圧に正規化されています。

表 9-6. V_{OUTx_FALL} 公称値 (統計値、ボルトおよびパーセンテージ)

チャネル	$V_{OUTx_FALL_NOMINAL}$ (V)	$V_{OUTx_FALL_NOMINAL}$ (%)(1)
1	3.15	95.48
2	3.35	104.51
3	1.75	98.88
4	1.84	103.19

(1) 数値は、そのレールの公称出力電圧に正規化されています。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

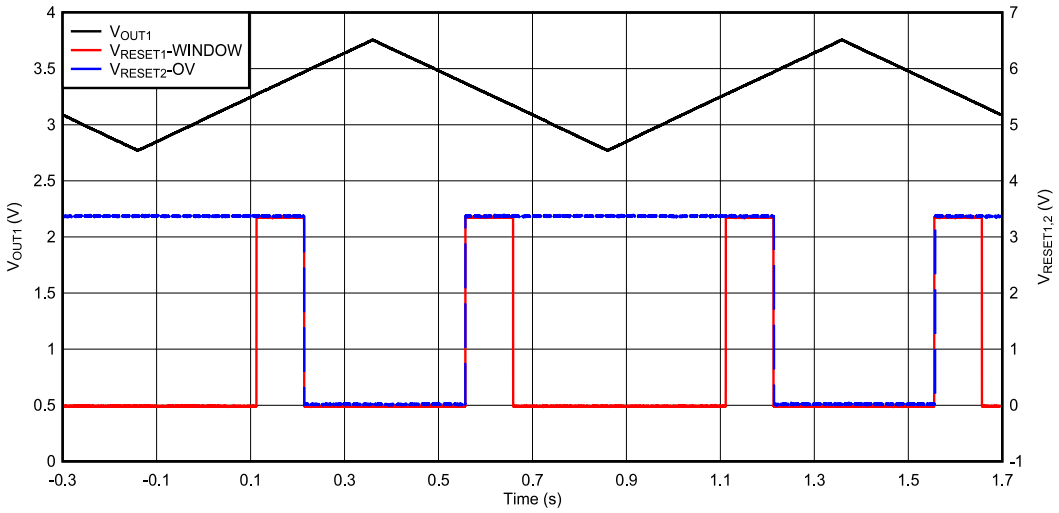


図 9-2. V_{OUT1}、$V_{\overline{RESET1}}$、$V_{\overline{RESET2}}$ と時間との関係

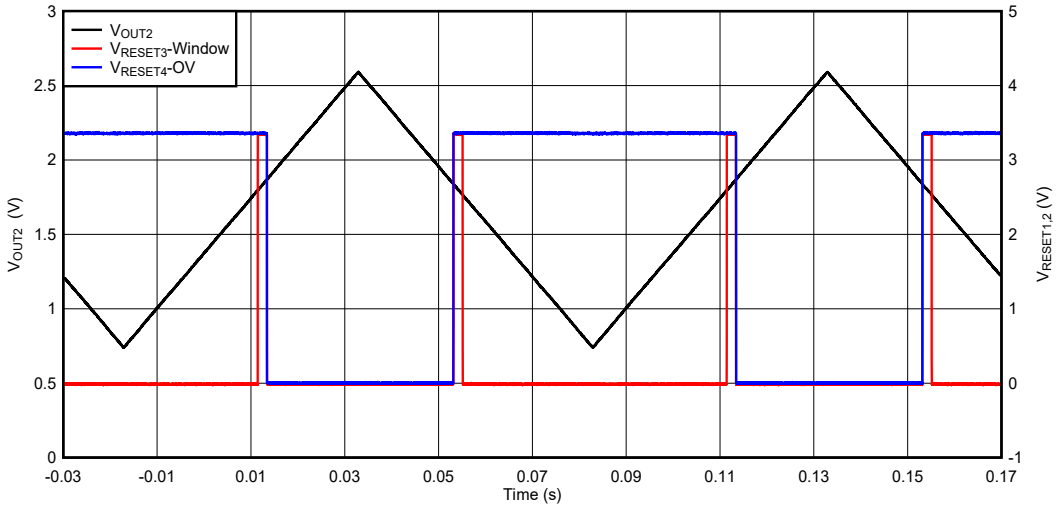


図 9-3. V_{OUT2}、$V_{\overline{RESET3}}$、$V_{\overline{RESET4}}$ と時間との関係

9.2.2 負電圧レールの監視

TPS7H3xx4 は、減衰された検出電圧をレベル シフトすることで、負電圧の監視に使用できます。SENSEx 入力は GND を基準としているため、安定的な正の基準電圧を使用して SENSEx 入力をレベル シフトできます。TPS7H30xx4 の場合、VLDO ピンを安定した正の基準電圧として使用できます (図 9-4 を参照)。$-V_{OUTx}$ が 0V のとき、オフセット電圧により SENSEx の電圧はスレッショルドを上回ります。$-V_{OUTx}$ がレギュレーションを開始すると、SENSEx ノードはより低い電圧にプルされます。このため、$-V_{OUTx}$ レールの低電圧 (UV) イベントを監視する必要がある場合、過電圧 (OV) チャネルを使用する必要があり、その逆も同様です。

Copyright © 2026 Texas Instruments Incorporated

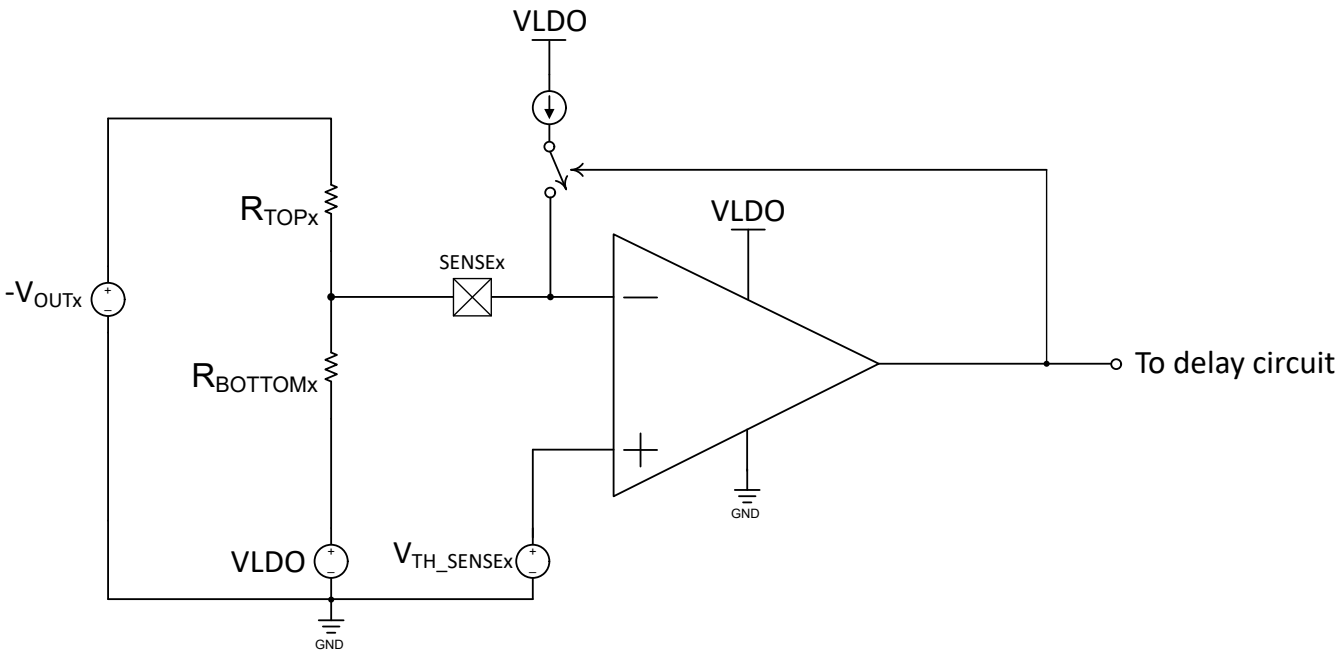


図 9-4. VLDO を使用した TPS7H3xx4 の負電圧監視

規定範囲内または規定範囲外で目的の (または考慮した) 電圧に対して上側と下側の抵抗を選択するための設計式は次のとおりです。式 35 と 式 36 のように選択されます。

$$R_{TOPx} = \frac{V_{NOT_IN_REGULATION} - V_{IN_REGULATION}}{I_{HYS_SENSEx}} \quad (35)$$

$$R_{BOTTOMx} = R_{TOPx} \times \frac{V_{TH_SENSEx} - VLDO}{V_{IN_REGULATION} - V_{TH_SENSEx}} \quad (36)$$

9.2.2.1 負電圧監視の例

この考察の目的から、以下の仮定を前提としています:

1. 監視される負電圧は、定常状態において -1.8V とします。
2. VLDO は、SENSEx 入力のオフセットに使用します。
3. 負のレールでは低電圧 (UV) を監視する必要があります。
4. レールは、最終値の 97% に達すると、規定範囲内であると見なされます。
   a. $V_{IN_REGULATION}$ = -1.8V の 97% = -1.746V
5. レールは、電圧が最終値の 95% を超えると、規定範囲内でないと見なされます。
   a. $V_{NOT_IN_REGULATION}$ = -1.8V の 95% = -1.71V

–1.8 V の低電圧を監視する必要があるため、過電圧チャネルが必要です。MODE = 0 (論理値) の TPS7H3x24 の場合、SENSE2 または SENSE4 をこのアプリケーションで使用できます。MODE = 1 (論理値) の TPS7H3x34 の場合、任意の SENSEx チャネルをこのアプリケーションで使用できます。

分圧器の上側と下側の抵抗を計算するには、式 35 と式 36 を使用します。

$$R_{TOPx} = \frac{-1.71 - (-1.746)}{24 \times 10^{-6}} = \frac{0.036V}{24 \times 10^{-6}} = 1{,}500\Omega \text{ or } 1.5k\Omega \quad (37)$$

$$R_{BOTTOMx} = 1.5k\Omega \times \frac{0.5997 - 3.29}{-1.746 - 0.5997} = 1.5k\Omega \times \frac{-2.69}{-2.345} = 1720\Omega \text{ or } 1.72k\Omega \quad (38)$$

Copyright © 2026 Texas Instruments Incorporated

公差 0.1% の抵抗を使用した最も近い抵抗値を使用すると、選択する上側と下側の抵抗はそれぞれ 1.5kΩ、1.75kΩ です。選択した抵抗を使用すると、規定範囲内と規定範囲外の予測値を計算できます。これらの電圧は、式 39 と 式 40 を使用して計算します。選択した抵抗を使用した規定範囲内と規定範囲外の予測公称値はそれぞれ -1.742V、–1.706V です。

$$V_{IN_REGULATION} = \left(\left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx}\right) - \left(\frac{R_{TOPx}}{R_{BOTTOMx}} \times VLDO\right) - \left(R_{TOPx} \times I_{HYS_SENSEx}\right) \quad (39)$$

$$V_{NOT_IN_REGULATION} = \left(\left(1 + \frac{R_{TOPx}}{R_{BOTTOMx}}\right) \times V_{TH_SENSEx}\right) - \left(\frac{R_{TOPx}}{R_{BOTTOMx}} \times VLDO\right) \quad (40)$$

9.3 電源に関する推奨事項

TPS7H3024 は、3V ～ 14V の入力電圧範囲 (V_{IN}) で動作するように設計されています。V_{IN} は、V_{IN} と GND の間にある、少なくとも 1 つの 0.1µF セラミック コンデンサとピンのできるだけ近くでデカップリングする必要があります

TPS7H3024 では、PULL_UP1 と PULL_UP2 も電源入力と見なされます。この場合はプッシュプル出力です。入力電圧レンジは 1.6V～7V です。PULL_UP1 と GND の間、および PULL_UP2 と GND の間に、少なくとも 1 つの 1µF セラミック コンデンサを接続します。コンデンサをピンにできるだけ近づけて配置する必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 高品質セラミック コンデンサ (X7R など) をピンのできるだけ近くに接続します。信号とコンデンサの値は次のとおりです。
  - V_{IN} ≥ 0.1µF
  - REFCAP = 470nF
  - VLDO = 1µF
  - PULL_UPx ≥ 1µF
- VLDO および REFCAP ピン付近には、ノイズの多い配線を通さないようにしてください。これらのピンはデバイス内部のリファレンスに接続されているためです。
- 必要に応じて、SENSEx ピンと GND の間に小容量のコンデンサを配置することで、モニタしている信号の過渡電圧に対する感度を下げてください。
- ユーザーは通常、スーパーバイザをスイッチ モード電源と組み合わせて使用するため、SENSEx 配線は可能な限りノイズ源から離して配置する必要があります。この配線をノイズ源の直下に通さないようにします。可能でない場合は、トレースが別の層上に配線され、グランド層がパターンとノイズ減を分離するようにします。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

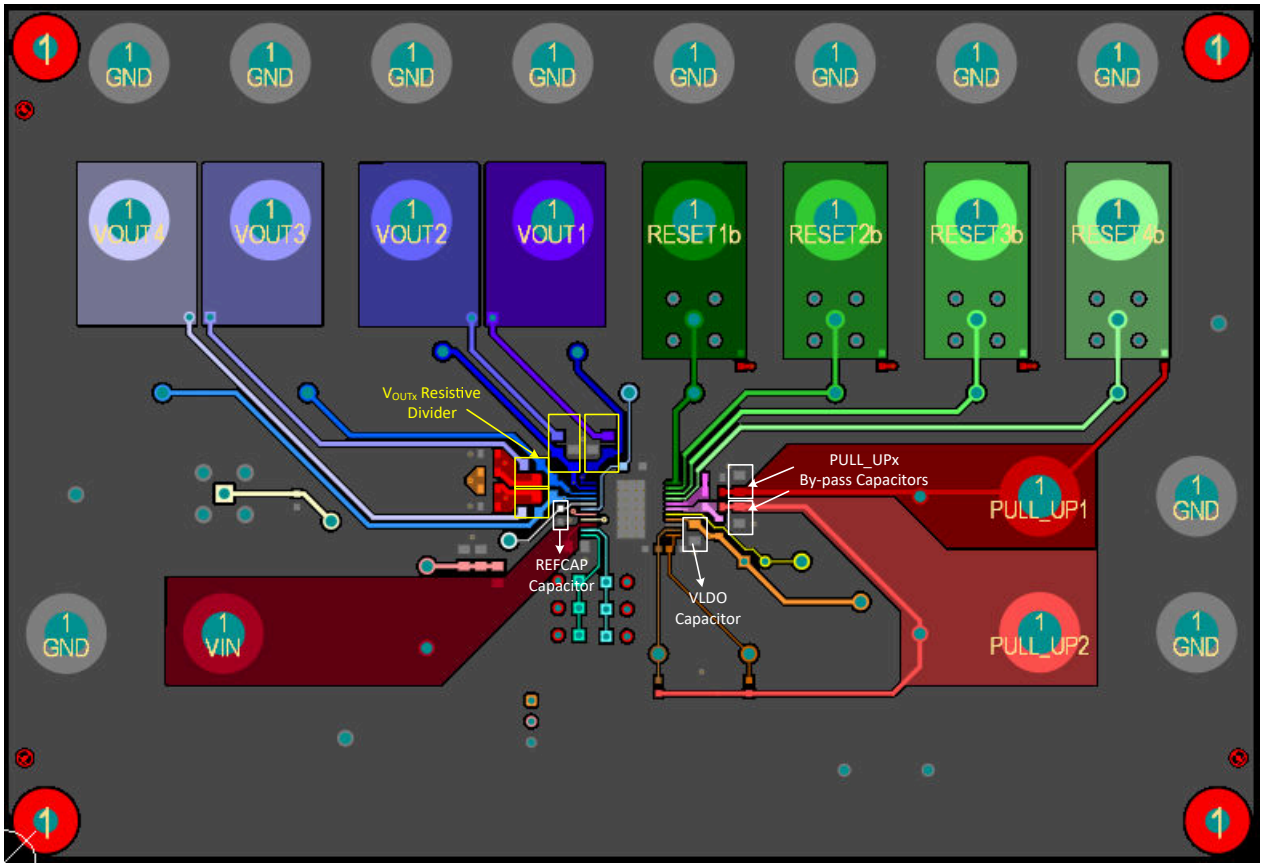


図 9-5. プリント基板のレイアウト例：上層

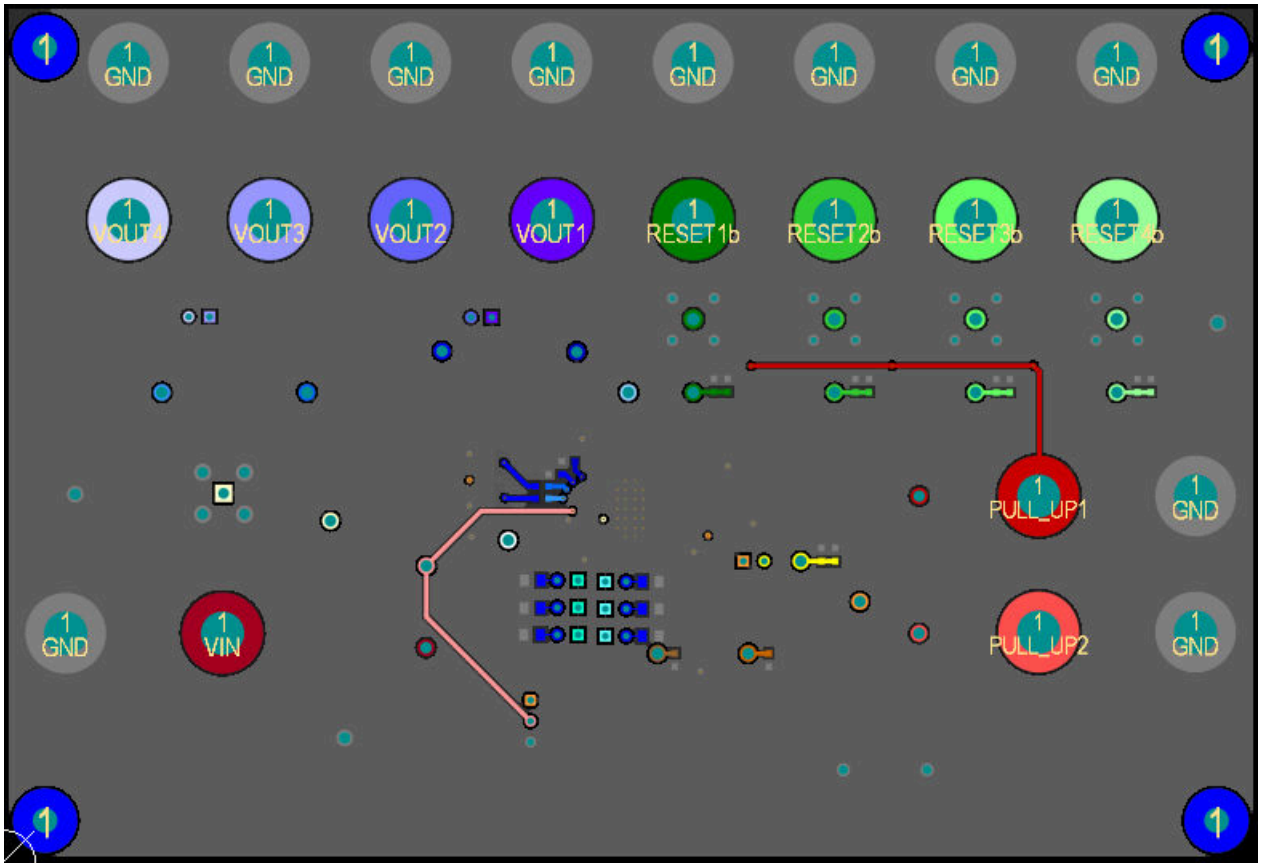


図 9-6. プリント基板のレイアウト例：下層

Copyright © 2026 Texas Instruments Incorporated

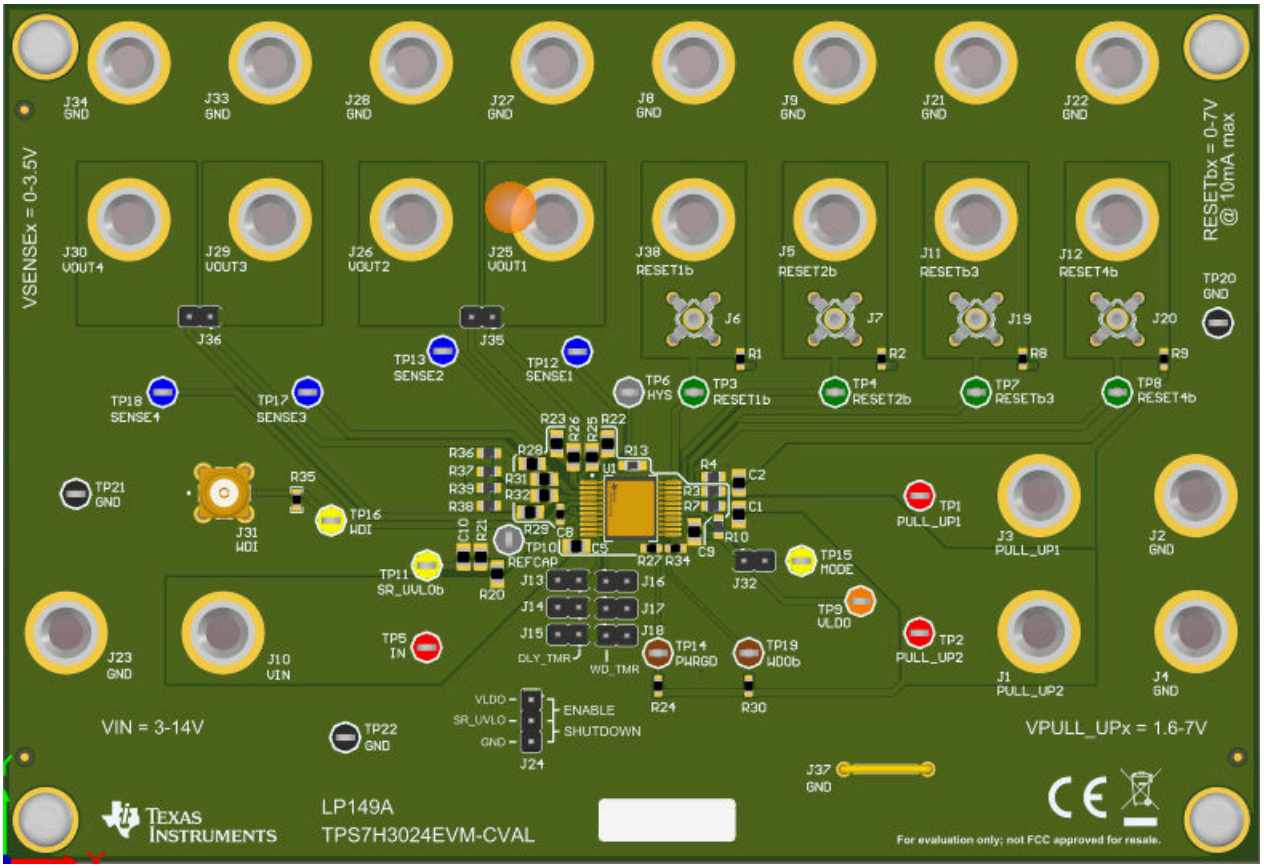


図 9-7. プリント基板のレイアウト例：最上層の 3D ビュー

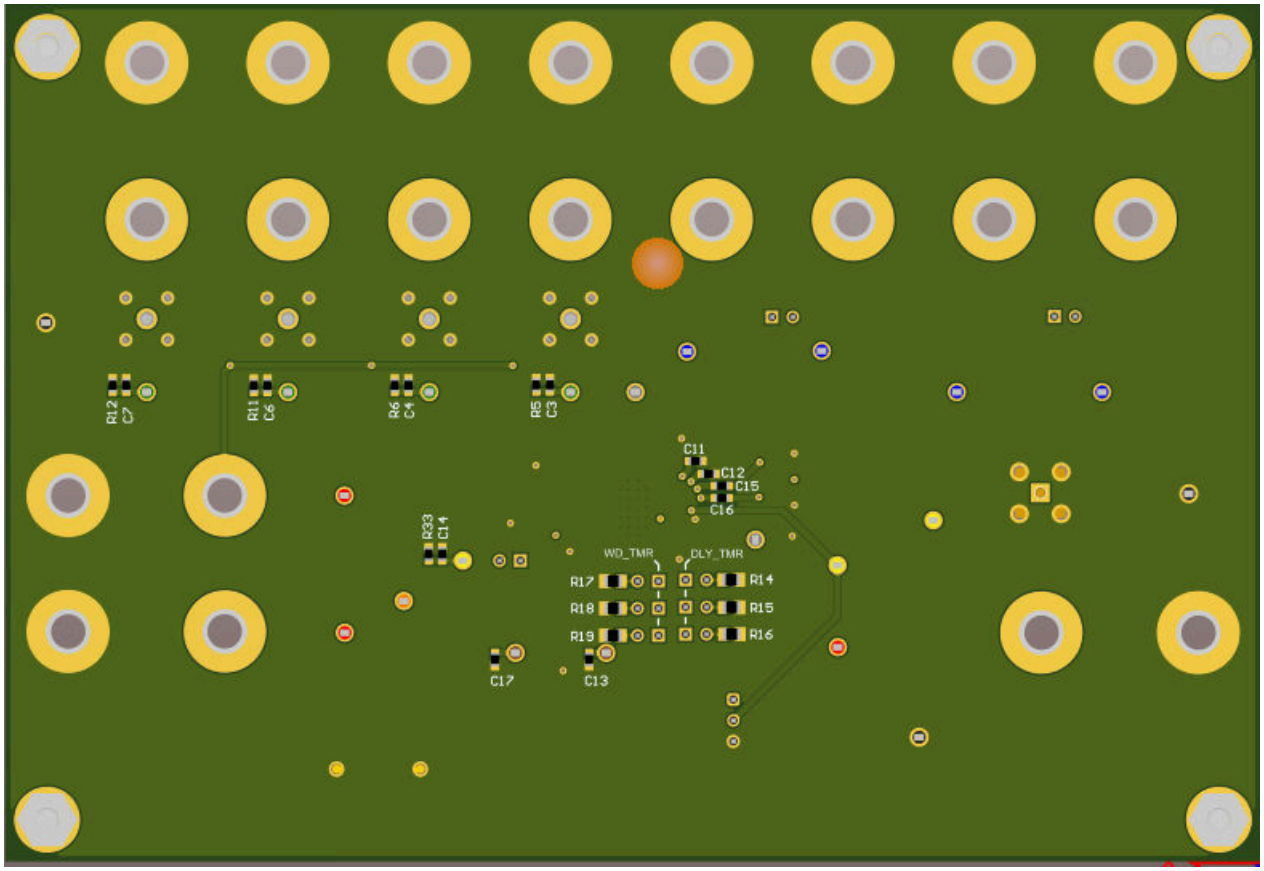


図 9-8. プリント基板のレイアウト例：最下層の 3D ビュー

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- テキサス インスツルメンツ、『コンパレータにおける分圧抵抗の最適化』アプリケーション ノート
- テキサス インスツルメンツ、『TPS7H3024EVM-CVAL 評価基板』ユーザー ガイド
- テキサス インスツルメンツ、『TPS7H3024-SP 中性子変位損傷 (NDD) 特性』放射線レポート
- テキサス インスツルメンツ、『TPS7H3024-SP シングル イベント効果 (SEE)』放射線レポート
- テキサスインスツルメンツ、『TPS7H3024-SP 総電離線量 (TID)』放射線レポート
- DLA Land and Marine、標準マイクロ回路図

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 2026) to Revision C (August 2026)	Page
• TPS7H3034-SP、TPS7H3124-SP、TPS7H3134-SP のデバイス ステータスを「事前情報」から「量産データ」に変更	1
• オープンドレインのウィンドウの GPN の誤字 (TPS7H3134) を TPS7H3124 に更新	1
• TPS7H31x4 (オープンドレイン) の脚注を追加し、$\overline{WDO}$ が SR_$\overline{UVLO}$ によって制御されることを明記	34
• プッシュプルおよびオープンドレインの出力タイプで提供される $\overline{WDO}$ の分類を追加	50
• 脚注 8 を TPS7H3124 から TPS7H31x4 に更新、両方のオープンドレイン版を網羅	52
• 負電圧レールの監視 を追加	60

Copyright © 2026 Texas Instruments Incorporated

- 負電圧レールの検出に関する情報を追加 60
- 負電圧監視の例 を追加 61
- 負電圧監視の数値計算例を追加 61

Changes from Revision A (August 2025) to Revision B (May 2026) **Page**

- 全体的に TPS7H3034-SP、TPS7H3124-SP、および TPS7H3134-SP QMLV を「事前情報」として追加 1
- 全体的にドキュメントを更新して、TPS7H30x4 と TPS7H31x4 を分離 1
- SENSE1、RESET1、$\overline{\text{RESET1}}$ の代表的特性グラフを追加 14
- TPS7H3xx4 の機能モードを更新 32

Changes from Revision * (April 2025) to Revision A (August 2025) **Page**

- TPS7H3024-SP の QMLV を「事前情報」から「量産データ」に変更。 1

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2420601VXC	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	5962R2420601VXC TPS7H3024MHFTV
5962R2420602VXC	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	5962R2420602VXC TPS7H3124MHFTV
5962R2420603VXC	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	5962R2420603VXC TPS7H3034MHFTV
5962R2420604VXC	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	5962R2420604VXC TPS7H3134MHFTV
PTPS7H3034HFT/EM	Active	Preproduction	CFP (HFT) | 22	15 | TUBE	-	Call TI	Call TI	-55 to 125	
PTPS7H3124HFT/EM	Active	Preproduction	CFP (HFT) | 22	15 | TUBE	-	Call TI	Call TI	-55 to 125	
PTPS7H3134HFT/EM	Active	Preproduction	CFP (HFT) | 22	15 | TUBE	-	Call TI	Call TI	-55 to 125	
TPS7H3024HFT/EM	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	25 to 25	TPS7H3024HFTEM EVAL ONLY
TPS7H3034HFT/EM	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	TPS7H3034HFTEM EVAL ONLY
TPS7H3124HFT/EM	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	TPS7H3124HFTEM EVAL ONLY
TPS7H3134HFT/EM	Active	Production	CFP (HFT) | 22	15 | TUBE	Yes	NIAU	N/A for Pkg Type	-55 to 125	TPS7H3134HFTEM EVAL ONLY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

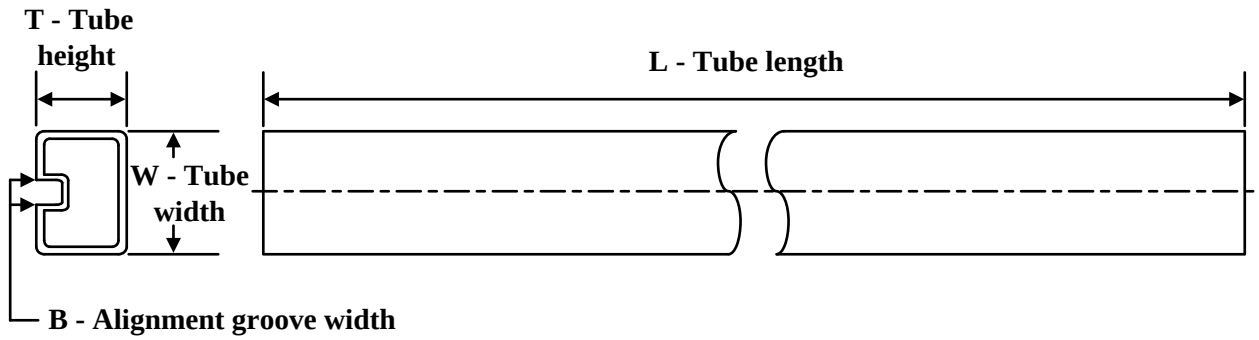
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R2420601VXC	HFT	CFP	22	15	506.98	32.77	9910	NA
5962R2420602VXC	HFT	CFP	22	15	506.98	32.77	9910	NA
5962R2420603VXC	HFT	CFP	22	15	506.98	32.77	9910	NA
5962R2420604VXC	HFT	CFP	22	15	506.98	32.77	9910	NA
TPS7H3024HFT/EM	HFT	CFP	22	15	506.98	32.77	9910	NA
TPS7H3034HFT/EM	HFT	CFP	22	15	506.98	32.77	9910	NA
TPS7H3124HFT/EM	HFT	CFP	22	15	506.98	32.77	9910	NA
TPS7H3134HFT/EM	HFT	CFP	22	15	506.98	32.77	9910	NA

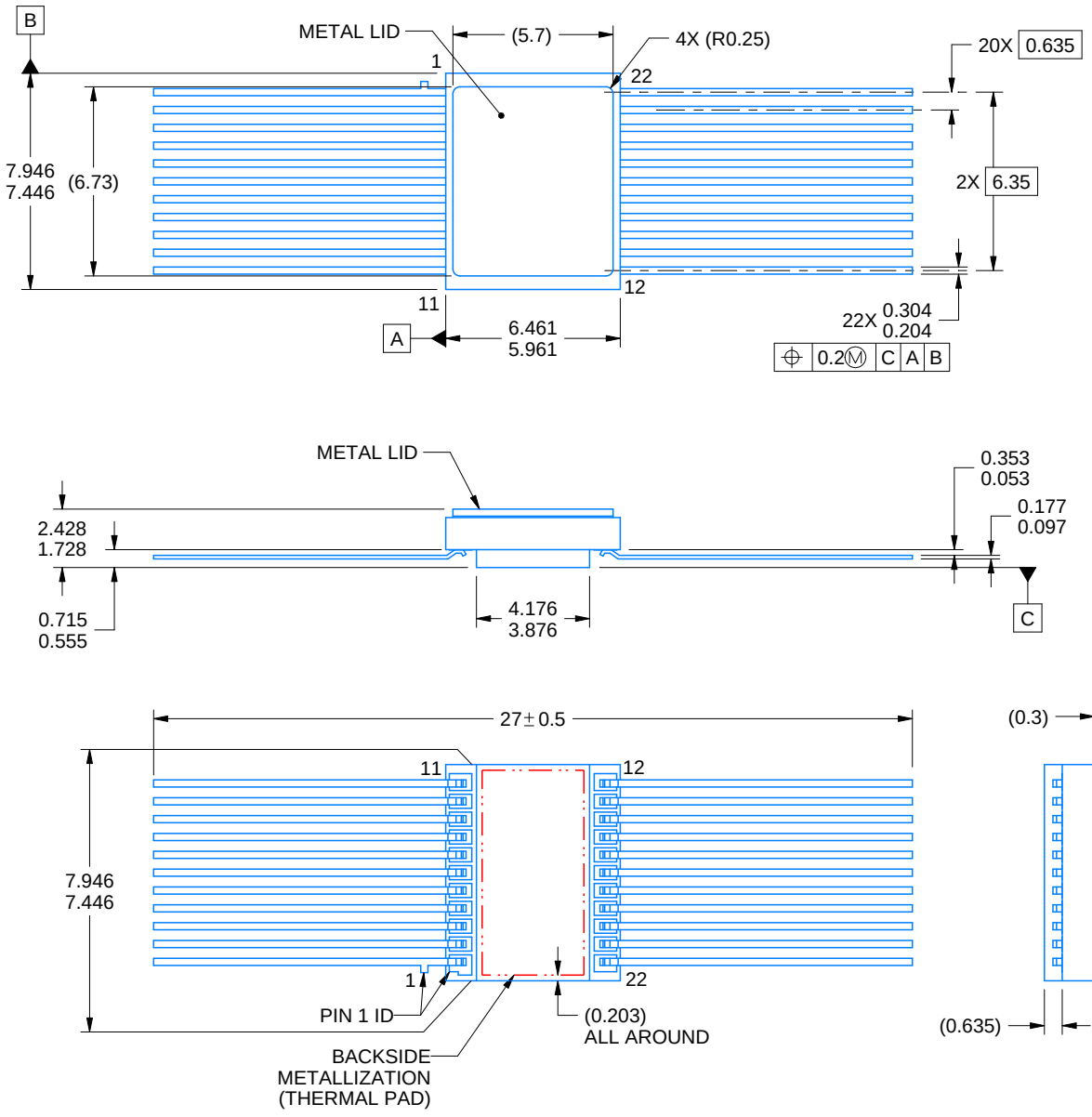


PACKAGE OUTLINE

HFT0022A

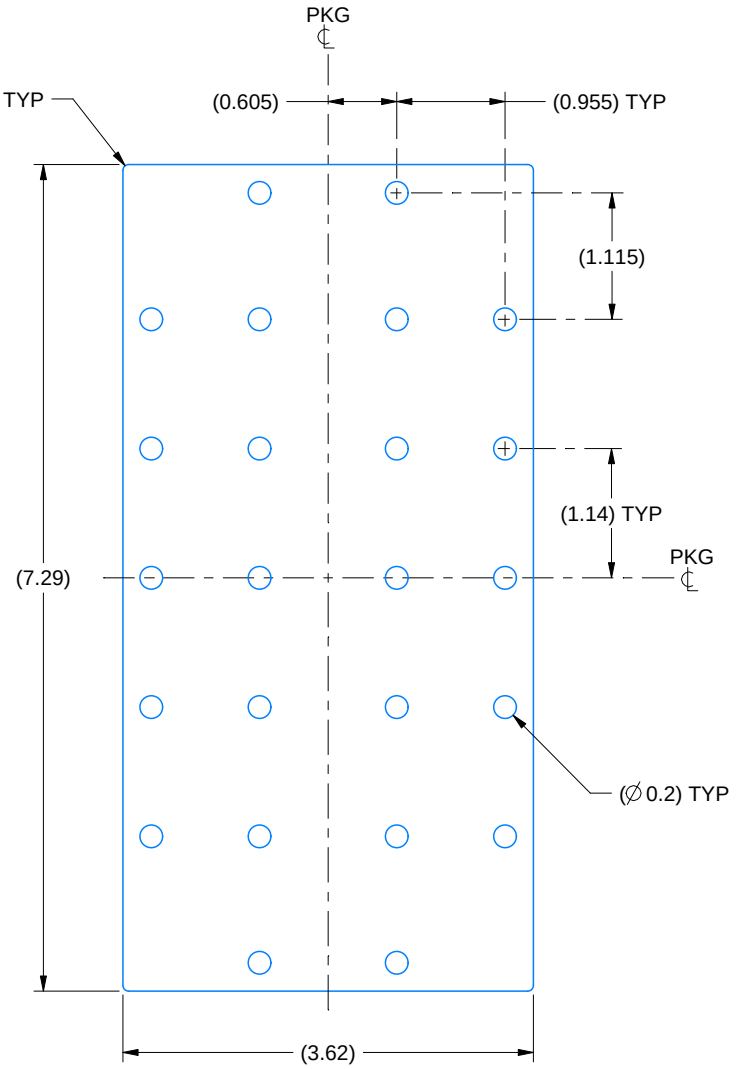
CFP - 2.428mm max height

CERAMIC FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. The lid is not connected to any lead.
4. The leads are gold plated.
5. Metal lid is connected to backside metalization



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

4225791/C 01/2021

REVISIONS

REV	DESCRIPTION	ECR	DATE	ENGINEER / DRAFTER
A	RELEASE NEW DRAWING	2186323	03/13/2020	R. RAZAK / ANIS FAUZI
B	ADD LAND PATTERN VIEW / SHEET	2190485	10/22/2020	R. RAZAK / ANIS FAUZI
C	UPDATE TOTAL LEAD LENGTH TO 27± 0.5	2192775	01/28/2021	R. RAZAK / ANIS FAUZI

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月