TPS7H502x-SP/SEP および TPS7H503x-SP/SEP 放射線耐性電流モード PWM コントローラ (統合ゲート ドライバ付き)

1 特長

- 耐放射線性能:
  - 吸収線量 (TID) 100krad(Si) までの放射線耐性保証 (RHA)
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) 耐性:LET = 75MeV-cm^2/mg
  - LET = 75MeV-cm^2/mg まで、SET (シングル イベント過渡) および SEFI (シングル イベント機能割り込み) 特性を評価済み
- コントローラ段とドライバ段の両方で最大入力電圧 14V
- 専用ゲートドライバ電圧入力ピン(PVIN)により、シリコンと GaN 両方のデバイスを駆動
  - 12V における 1.2A のピークソースおよびシンク能力
  - GaN 駆動用の VLDO リニア レギュレータ出力から PVIN へのオプション接続 (TPS7H502x)
  - 4.5V ～ 5.5V のプログラム可能なリニア レギュレータ (VLDO) (TPS7H502x)
- 温度、放射線、ラインおよび負荷レギュレーションの全範囲で 0.6V ±1% の電圧リファレンス
- スイッチング周波数:100kHz ～ 1MHz (TPS7H502x)、または 100kHz ～ 500kHz (TPS7H503x)
- 外部クロック同期機能
- 調整可能なスロープ補償とソフト スタート機能
- ASTM E595 に準拠したガス排出試験済みのプラスチック パッケージ
- 軍事用温度範囲 (-55°C～125°C) で利用可能

2 アプリケーション

- 人工衛星の電源
- 通信ペイロード
- レーダー画像処理ペイロード
- 衛星用電源システム (EPS)

3 説明

TPS7H502x と TPS7H503x は、放射線耐性が強化された電流モードのシングルエンド PWM コントローラで、統合されたゲート ドライバを内蔵しています。TPS7H502x は、シリコンベースおよび窒化ガリウム (GaN) パワー半導体ベースのコンバータ設計で利用でき、TPS7H503x はシリコンベースのコンバータを対象としています。これらのコントローラは、ソフトスタート、イネーブル、調整可能なスロープ補償などのいくつかの主要な機能を統合しながら、コンパクトなパッケージ サイズを維持しています。これらのコントローラは、0.6V ±1% の電圧リファレンス公差を備えており、高精度なパワー コンバータ設計をサポートします。

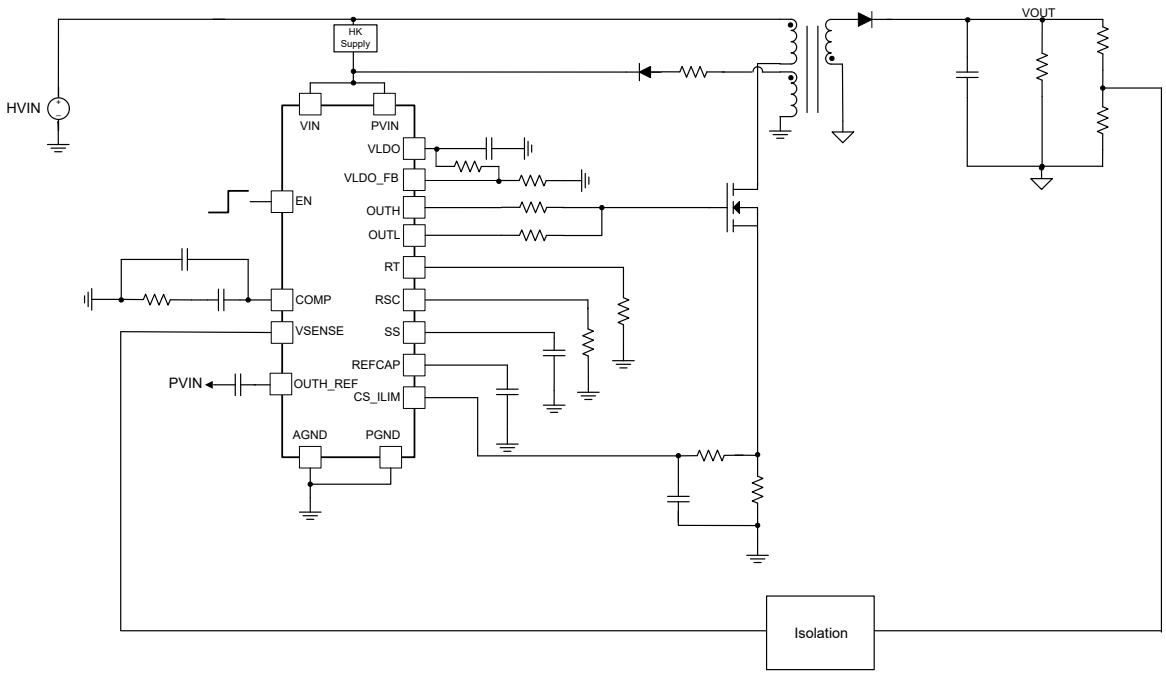
TPS7H502x と TPS7H503x は、SYNC ピンを通じて外部クロックを使用して動作させることも、RT ピンを使用して内部オシレータをユーザーが決定した周波数で設定して動作させることもできます。TPS7H502x デバイスは最大 1MHz の周波数でスイッチングでき、TPS7H503x は最大 500kHz の動作をサポートします。これらのコントローラのドライバ段は、広い入力電圧範囲を持ち、ピーク ソースおよびシンク電流は最大 1.2A をサポートします。TPS7H502x のプログラム可能なレギュレータ VLDO は、GaN FET と連携して動作するために、ドライバ段 (PVIN) の入力に直接接続して、適切に制御されたゲート電圧を供給することもできます。プログラム可能なレギュレータは、4.5V から 5.5V の電圧範囲を持っています。TPS7H5020 と TPS7H5030 デバイスの最大デューティ サイクルは 100% で、TPS7H5021 と TPS7H5031 の最大デューティ サイクルは 50% です。これらのコントローラは、フライバック、フォワード、昇圧など、多くの電力コンバータトポロジをサポートしています。

パッケージ情報

部品番号 (1)	グレード	本体サイズ (2)
5962R2420101PYE	QMLP-RHA	24 ピンのプラスチック 4.40mm × 7.80mm 質量 = 100.6mg
5962R2420102PYE		
5962R2420103PYE		
5962R2420104PYE		
TPS7H5020MPWPTSEP	SEP	
TPS7H5021MPWPTSEP		
TPS7H5030MPWPTSEP		
TPS7H5031MPWPTSEP		

(1) 詳細は、デバイス比較表をご覧ください。
(2) 質量は公称値であり、本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



TPS7H502x の標準アプリケーション回路

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 製品比較表 ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 8
6.1 絶対最大定格 ... 8
6.2 ESD 定格 ... 8
6.3 推奨動作条件 ... 9
6.4 熱に関する情報 ... 9
6.5 電気的特性 ... 10
6.6 品質適合検査 ... 14
6.7 代表的特性 ... 15
7 詳細説明 ... 28
7.1 概要 ... 28
7.2 機能ブロック図 ... 29
7.3 機能説明 ... 31
7.4 デバイスの機能モード ... 47
8 アプリケーションと実装 ... 49
8.1 使用上の注意 ... 49
8.2 代表的なアプリケーション ... 49
8.3 電源に関する推奨事項 ... 58
8.4 レイアウト ... 59
9 デバイスおよびドキュメントのサポート ... 62
9.1 ドキュメントのサポート ... 62
9.2 ドキュメントの更新通知を受け取る方法 ... 62
9.3 サポート・リソース ... 62
9.4 商標 ... 62
9.5 静電気放電に関する注意事項 ... 62
9.6 用語集 ... 62
10 改訂履歴 ... 62
11 メカニカル、パッケージ、および注文情報 ... 64

Copyright © 2026 Texas Instruments Incorporated

4 製品比較表

ジェネリック型番	放射線定格	グレード (1)	パッケージ	発注用製品型番
TPS7H5020-SP	TID 100krad(Si) RLAT、LET = 75MeV-cm^2/mg まで DSEE フリー	QMLP-RHA	24 ピン HTSSOP PWP	5962R2420101PYE
TPS7H5020-SEP	TID 50krad(Si) RLAT、LET = 43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24 ピン HTSSOP PWP	TPS7H5020MPWPTSEP
TPS7H5021-SP	TID 100krad(Si) RLAT、LET = 75MeV-cm^2/mg まで DSEE フリー	QMLP-RHA	24 ピン HTSSOP PWP	5962R2420102PYE
TPS7H5021-SEP	TID 50krad(Si) RLAT、LET = 43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24 ピン HTSSOP PWP	TPS7H5021MPWPTSEP
TPS7H5030-SP	TID 100krad(Si) RLAT、LET = 75MeV-cm^2/mg まで DSEE フリー	QMLP-RHA	24 ピン HTSSOP PWP	5962R2420103PYE
TPS7H5030-SEP	TID 50krad(Si) RLAT、LET = 43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24 ピン HTSSOP PWP	TPS7H5030MPWPTSEP
TPS7H5031-SP	TID 100krad(Si) RLAT、LET = 75MeV-cm^2/mg まで DSEE フリー	QMLP-RHA	24 ピン HTSSOP PWP	5962R2420104PYE
TPS7H5031-SEP	TID 50krad(Si) RLAT、LET = 43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	24 ピン HTSSOP PWP	TPS7H5031MPWPTSEP

(1) 部品のグレードについての詳細は、部品のグレードをご覧下さい。

ジェネリック型番	入力電圧範囲	デューティ サイクル制限(公称値)	最大スイッチング周波数 (標準値)	プログラム可能な VLDO 出力
TPS7H5020-SP	4.5V ～ 14V	100%	1MHz	あり
TPS7H5020-SEP	4.5V ～ 14V	100%	1MHz	あり
TPS7H5021-SP	4.5V ～ 14V	50%	1MHz	あり
TPS7H5021-SEP	4.5V ～ 14V	50%	1MHz	あり
TPS7H5030-SP	8V ～ 14V	100%	500kHz	なし
TPS7H5030-SEP	8V ～ 14V	100%	500kHz	なし
TPS7H5031-SP	8V ～ 14V	50%	500kHz	なし
TPS7H5031-SEP	8V ～ 14V	50%	500kHz	なし

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

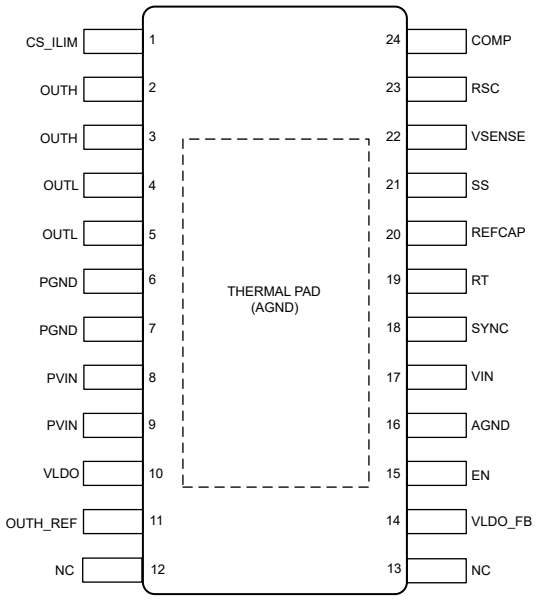


図 5-1. TPS7H502x PWP パッケージ
24 ピン HTSSOP (露出サーマル パッド付き)
(上面図)

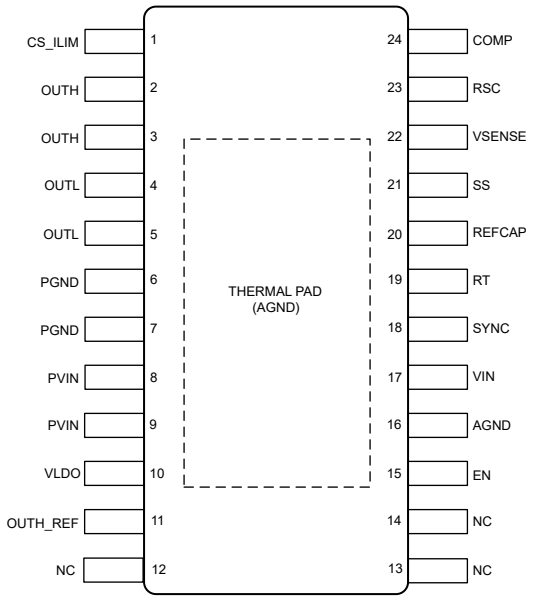


図 5-2. TPS7H503x PWP パッケージ
24 ピン HTSSOP (露出サーマル パッド付き)
(上面図)

表 5-1. ピンの機能

ピン			タイプ[1]	説明
名称	HTSSOP (TPS7H502x)	HTSSOP (TPS7H503x)		
AGND	16	16	—	グランド。コントローラ回路のリターンです。プリント基板レベルで PGND に接続します。
COMP	24	24	I/O	エラー アンプ出力。出力は CCSR の係数で分圧され、このスケーリングされた電圧が PWM コンパレータへの入力となります。このピンに周波数補償を接続します。
CS_ILIM	1	1	I	PWM 制御およびサイクルごとの過電流保護のための電流検出 CS_ILIM 端子の電圧が 1V を超えると、PWM コントローラで過電流がトリガーされます。CS_ILIM で検出される波形は、PWM コンパレータの入力にある COMP/CCSR 電圧と比較して 150mV のオフセットを含んでいます。
EN	15	15	I	イネーブル。EN ピンに 0.6V を超える電圧を接続すると、デバイスが有効になります。さらに、入力低電圧誤動作防止 (UVLO) 機能は、VIN と GND の間に接続した抵抗デバイダを使用して調整できます。
NC	12、13	12、13、14	—	接続なし。このピンは内部接続されていません。これらのピンは、電荷の蓄積を防ぐために GND に接続できます。
OUTH	2、3	2、3	O	ドライバ段のソース電流出力。電力トランジスタのゲートには、短く低インダクタンスの経路で接続します。OUTH と GaN FET のゲートの間に抵抗を使用して、ターンオン速度を調整できます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ[1]	説明
名称	HTSSOP (TPS7H502x)	HTSSOP (TPS7H503x)		
OUTH_REF	11	11	O	OUTH ドライバ ステージのリターン OUTH_REF の電圧は、通常、PVIN に印加されている電圧より 6V 低くなっています。PVIN の電圧が 6V 以上の場合、OUTH_REF と PVIN の間に 220nF のコンデンサを接続します。これにより、過渡応答が改善され、放射線による単一事象過渡障害 (SET) の可能性を最小限に抑えることができます。PVIN 電圧が 6V 未満の場合、プリント基板レベルで OUTH_REF を PGND に接続します。TPS7H503x の場合、許容される最小 PVIN 電圧は 8V なので、常に OUTH_REF と PVIN の間にコンデンサを接続する必要があります。
OUTL	4、5	4、5	O	ドライバ段のシンク電流出力。電力トランジスタのゲートには、短く低インダクタンスの経路で接続します。OUTL ピンとトランジスタのゲート端子の間に抵抗を挿入することで、ターンオフ時の動作速度を調整できます。
PGND	6、7	6、7	—	ドライバ段の電源グランド。電力トランジスタのソースに接続します。プリント基板レベルで AGND に接続します。
PVIN	8、9	8、9	I	ドライバ段電圧入力。PVIN の電圧範囲は、TPS7H502x では 4.5V ～ 14V、TPS7H503x では 8V ～ 14V です。電力トランジスタのゲートに供給される電圧は、PVIN の入力電圧とほぼ等しくなります。単一電源動作の場合、このピンを VIN に接続できます。TPS7H502x デバイスでは、PVIN を VLDO に接続することで、4.5V ～ 5.5V の範囲で安定化されたゲート駆動電圧を電力トランジスタのゲートに供給することもできます。
REFCAP	20	20	O	1.2V 内部レギュレータ出力。AGND との間に 470nF の外付けコンデンサが必要です。外部回路によって負荷を接続しないでください。
RSC	23	23	I/O	コントローラーのスロープ補償設定。RSC から AGND に接続された抵抗によって、目的のスロープ補償が設定されます。
RT	19	19	I/O	コントローラのスイッチング周波数プログラミング。コントローラのスイッチング周波数を設定するために、RT から GND に抵抗を接続します。外部クロック入力を使用する場合でも、抵抗は引き続き接続する必要があり、外部クロックの周波数に合わせて適切な値を選定する必要があります。
SS	21	21	I/O	ソフト スタート。このピンに接続された外部コンデンサによって、内部電圧リファレンスの立ち上がり時間が設定されます。トラッキングとシーケンシングに使用できます。
SYNC	18	18	I	外部クロック入力。TPS7H502x では、SYNC が 100kHz ～ 1MHz の外部クロックを受け付けます。SYNC は、TPSH503x の場合、100kHz ～ 500kHz の周波数で動作するクロックを受け入れます。外部クロックには、40%~60% のデューティ サイクルを使用します。コントローラ出力のスイッチング周波数は、外部クロックの周波数と同じです。RT は、抵抗で設定される周波数が外部クロック周波数と一致するように実装する必要があります。外部同期を使用する予定がない場合、SYNC は VLDO に直接接続するか、10kΩ 抵抗を介して GND に接続できます。
サーマル パッド	—	—	—	サーマル パッド。AGND に内部接続します。放熱性を向上させるために、プリント基板上の 1 つ以上のグランド プレーンに接続します。
VIN	17	17	I	コントローラ入力電圧。VIN の電圧範囲は、TPS7H502x では 4.5V ～ 14V、TPS7H503x では 8V ～ 14V です。内部制御回路に電力を供給します。単一電源動作では PVIN に接続できます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	HTSSOP (TPS7H502x)	HTSSOP (TPS7H503x)		
VLDO	10	10	O	内部レギュレータの出力。TPS7H502x デバイスの場合、この出力はプログラム可能であり、レギュレートされた GaN 互換ドライバ電圧を目的として、PVIN に接続できます。TPS7H502x では、VLDO から VLDO_FB への抵抗と VLDO_FB から AGND への別の抵抗で構成される抵抗分圧回路を使用して 4.5V ～ 5.5V の範囲で電圧を設定できます。正常に動作させるためには、これらの抵抗を常に実装する必要があります。TPS7H503x デバイスでは、これは 5V 固定出力です。AGND との間に少なくとも 1µF の外部コンデンサが必要です。
VLDO_FB	14	—	I	TPS7H502x の VLDO フィードバックピン。VLDO 出力電圧の設定に使用します。VLDO と AGND の間に分圧抵抗を使用して、公称 1.2V に設定します。適切な動作のためには、抵抗デバイダに常に実装する必要があります。
VSENSE	22	22	I	エラー アンプの反転入力。コンバータの出力からの抵抗デバイダによって、通常 0.6V に設定されるフィードバック ピンです。

(1) I = 入力、O = 出力、I/O = 双方向

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内（特に記載がない限り）(1)

	最小値	最大値	単位
VIN	-0.3	16	V
PVIN	-0.3	16	V
SYNC	-0.3	7.5	V
EN	-0.3	7.5	V
RT	-0.3	3.6	V
VSENSE	-0.3	3.6	V
SS	-0.3	3.3	V
RSC	-0.3	3.6	V
COMP(2)	-0.3	6.0	V
	-0.3	VLDO+0.3	
CS_ILIM	-0.3	7.5	V
OUTH(2)	-0.3	16	V
	-0.3	PVIN+0.3	
OUTL	-0.3	16	V
OUTH_REF	-0.3	10	V
VLDO(2)	-0.3	7.5	V
	-0.3	VIN+0.3	
VLDO_FB (TPS7H502x)	-0.3	1.9	V
REFCAP(2)	-0.3	1.9	V
	-0.3	VLDO+0.3	
動作時接合部温度	-55	150	°C
保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) ピンの絶対最大電圧は、提示された 2 つの条件のうち低い方に従うべきです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
VIN (TPS7H502x)	4.5		14	V
VIN (TPS7H503x)	8		14	V
PVIN (TPS7H502x)	4.5		14	V
PVIN (TPS7H503x)	8		14	V
SYNC	0		7	V
EN	0		7	V
COMP(1)	0		2.3	V
VSENSE	0	0.6	1	V
VLDO_FB (TPS7H502x)	0	1.2	1.3	V
SS	0		1.5	V
CS_ILIM	0		1.5	V
OUTH、OUTL	0		14	V
入力電圧スルーレート(VIN)			0.03	V/µs
入力電圧スルーレート(PVIN)			0.03	V/µs
動作時接合部温度	-55		125	°C

(1) 詳細については、『*電流検出とPWM 生成*』を参照してください。

6.4 熱に関する情報

熱評価基準(1)		TP7H502x & TPS7H503x HTSSOP 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	26.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	18.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

T_A = –55℃ ～ 125℃、TPS7H502x では PVIN = VIN = 4.5V ～ 14V、TPS7H503x では PVIN = VIN = 8V ～ 14V 、VLDO = 5V、OUT は無負荷 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
電源電圧および電流								
IDD	動作電源電流	OUT は無負荷、PVIN = VIN	f_{SW} = 100kHz	1、2、3		6.8	11	mA
			f_{SW} = 500kHz	1、2、3		8.5	17	
IDD	動作電源電流	OUT は無負荷、PVIN = VIN	f_{SW} = 1MHz (TPS7H502x)	1、2、3		10.3	25	mA
IDD	動作電源電流	OUT の C_{LOAD} = 1000pF、PVIN = VIN	f_{SW} = 100kHz	1、2、3		8.5	12	mA
			f_{SW} = 500kHz	1、2、3		14.5	22	
IDD	動作電源電流	OUT の C_{LOAD} = 1000pF、PVIN = VIN	f_{SW} = 1MHz (TPS7H502x)	1、2、3		22.5	28	mA
IDD	動作電源電流	C_{LOAD}= 1000pF（OUT、VIN=12V、PVIN=VLDO = 5V）	f_{SW} = 100kHz (TPS7H502x)	1、2、3		7	10	mA
			f_{SW} = 500kHz (TPS7H502x)	1、2、3		10	13	
			f_{SW} = 1MHz (TPS7H502x)	1、2、3		13.5	20	
I_{start}	スタートアップ電流 (TPS7H502x)	VIN = 3.5V		1、2、3		3.8	5	mA
I_{start}	スタートアップ電流 (TPS7H503x)	VIN = 6.5V		1、2、3		4.8	6	mA
$I_{DD(dis)}$	スタンバイ電流	EN = 0V		1、2、3			8	mA
VLDO	内部リニア レギュレータ出力電圧（TPS7H502x）	C_{VLDO} = 1µF	5V ≤ VIN ≤ 14V、RVT = 10kΩ、RVB = 3.74kΩ	1、2、3	4.36	4.49	4.62	V
			5.5V ≤ VIN ≤ 14V、RVT = 10kΩ、RVB = 3.24kΩ	1、2、3	4.84	4.99	5.14	
			6V≤VIN≤14V、RVT = 10 kΩ、RVB = 2.87kΩ	1、2、3	5.31	5.48	5.65	
VLDO	内部リニア レギュレータ出力電圧（TPS7H503x）	C_{VLDO} = 1µF	8V ≤ VIN ≤ 14V	1、2、3	4.8	5	5.2	V
VLDO_DO	内部リニア ドロップアウト電圧 (TPS7H502x)	I_{VLDO} = 25mA, C_{VLDO} = 1µF		1、2、3			0.4	V
VLDO_DO	内部リニア ドロップアウト電圧 (TPS7H503x)	I_{VLDO} = 25mA, C_{VLDO} = 1µF		1、2、3			0.5	V
I_VLDO	最大 VLDO 出力電流 (TPS7H502x)	VLDO は、無負荷時の VLDO の 96% 以上であること。C_{VLDO} = 1µF	VIN = VLDO + 0.5V	1、2、3	25(4)			mA
			VIN = VLDO + 1V	1、2、3	55(4)			
			VIN ≥ 7V	1、2、3	90(4)			
I_VLDO	VLDO 出力電流 (TPS7H503x)	VLDO は、無負荷時の VLDO の 96% 以上であること。C_{VLDO} = 1µF		1、2、3	100(4)			mA
イネーブルおよび低電圧誤動作防止								
V_{ENR}	イネーブル立ち上がりスレッショルド			1、2、3	0.57	0.63	0.66	V
V_{ENF}	イネーブル立ち下がりスレッショルド			1、2、3	0.48	0.52	0.55	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = –55℃ ～ 125℃、TPS7H502x では PVIN = VIN = 4.5V ～ 14V、TPS7H503x では PVIN = VIN = 8V ～ 14V 、VLDO = 5V、OUT は無負荷 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
I_{EN}	イネーブル入力リーク電流	VIN = 14V	EN = 1V	1、2、3		1	100	nA
			EN = 7V	1、2、3		30	700	nA
$PVIN_{UVLOR}$	PVIN UVLO 立ち上がり (TPS7H502x)			1、2、3	3.65	3.76	3.95	V
$PVIN_{UVLOF}$	PVIN UVLO 立ち下がり (TPS7H502x)			1、2、3	3.45	3.56	3.75	V
VIN_{UVLOR}	VIN UVLO 立ち上がり (TPS7H502x)			1、2、3	3.85	3.96	4.15	V
VIN_{UVLOF}	VIN UVLO 立ち下がり (TPS7H502x)			1、2、3	3.65	3.76	3.95	V
$PVIN_{UVLOR}$	PVIN UVLO 立ち上がり (TPS7H503x)			1、2、3	7.2	7.5	7.8	V
$PVIN_{UVLOF}$	PVIN UVLO 立ち下がり (TPS7H503x)			1、2、3	6.9	7.2	7.5	V
VIN_{UVLOR}	VIN UVLO 立ち上がり (TPS7H503x)			1、2、3	7.2	7.5	7.8	V
VIN_{UVLOF}	VIN UVLO 立ち下がり (TPS7H503x)			1、2、3	6.9	7.2	7.5	V
$VLDO_{UVLOR}$	VLDO UVLO の立ち上がり			1、2、3	3.65	3.77	3.95	V
$VLDO_{UVLOF}$	VLDO UVLO の立ち下がり			1、2、3	3.45	3.59	3.75	V
ソフト スタート								
I_{SS}	ソフトスタート電流	SS = 0.3V		1、2、3	2.0	2.8	3.4	µA
エラー アンプ								
EA_{gm}	エラー アンプの相互コンダクタンス	–10µA < I_{COMP} < 10µA、$V_{(COMP)}$ = 1V		1、2、3	1100	1750	2700	µA/V
EA_{DC}	DC ゲイン	V_{SENSE} = 0.6V				13000		V/V
EA_{ISRC}	エラー アンプのソースおよび電流	$V_{(COMP)}$ = 1V、100mV 入力オーバードライブ		1、2、3	95		210	µA
EA_{ISNK}	エラー アンプのシンク電流	$V_{(COMP)}$ = 1V、100mV 入力オーバードライブ		1、2、3	95		210	µA
EA_{ro}	エラー アンプ出力抵抗					8		MΩ
EA_{OS}	エラー アンプ入力オフセット電圧			1、2、3	-5		6	mV
EA_{IB}	誤差アンプ入力バイアス電流			1、2、3			25	nA
EA_{BW}	帯域幅			1、2、3		7.5		MHz
発振器								
$SYNC_{IL}$	SYNC 入力 Low レベル (TP7H502x)	VLDO = 4.5V	VIN < 5V	1、2、3			0.8	V
			VIN ≥ 5V	1、2、3			0.8	
		VLDO = 5.5V	VIN < 6V	1、2、3			0.8	
			VIN ≥ 6V	1、2、3			0.8	
$SYNC_{IL}$	SYNC 入力 Low レベル (TPS7H503x)	VIN ≥ 8V		1、2、3			0.8	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = –55℃ ～ 125℃、TPS7H502x では PVIN = VIN = 4.5V ～ 14V、TPS7H503x では PVIN = VIN = 8V ～ 14V 、VLDO = 5V、OUT は無負荷 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
$SYNC_{IH}$	SYNC 入力 High レベル (TP7H502x)	VLDO = 4.5V	VIN < 5V	1、2、3	3.5			V
			VIN ≥ 5V	1、2、3	3.5			
		VLDO = 5.5V	VIN < 6V	1、2、3	3.5			
			VIN ≥ 6V	1、2、3	3.5			
$SYNC_{IH}$	SYNC 入力 High レベル (TPS7H503x)	VIN ≥ 8V		1、2、3	3.5			V
f_{SYNC}	SYNC 入力周波数範囲 (TPS7H502x)			4、5、6	100		1000	kHz
f_{SYNC}	SYNC 入力周波数範囲 (TPS7H503x)			4、5、6	100		500	kHz
D_{SYNC}	SYNC 入力デューティ サイクル (TPS7H5020) (TPS7H5030)	外部クロックのデューティ サイクル		4、5、6	40%		60%	
D_{SYNC}	SYNC 入力デューティ サイクル (TPS7H5021) (TPS7H5031)	外部クロックのデューティ サイクル、f ≥ 200kHz		4、5、6	48%		52%	
D_{SYNC}	SYNC 入力デューティ サイクル (TPS7H5021) (TPS7H5031)	外部クロックのデューティ サイクル、100kHz ≤ f < 200kHz		4、5、6	49%		51%	
DT_{INT}	外部クロックから内部クロックまでの検出時間	RT が実装済み		9、10、11		2	5	$(1/f_{sw})$ s
DT_{EXT}	内部クロックから外部クロックへの検出時間	RT が実装済み		9、10、11		2	5	$(1/f_{sw})$ s
f_{SW}	RT にプログラムされたスイッチング周波数	RT = 1.18MΩ 1.07MΩ		4、5、6	80	95	110	kHz
		RT = 560kΩ 511kΩ		4、5、6	175	195	220	
		RT = 210kΩ 205kΩ		4、5、6	450	500	550	
f_{SW}	RT にプログラムされたスイッチング周波数 (TPS7H502x)	RT = 100kΩ 90.9kΩ		4、5、6	925	1000	1100	kHz
電圧リファレンス								
VREF	内部基準電圧(2)	COMP、COMP = VSENSE で測定	T_A = 25℃	1	0.597	0.600	0.603	V
			T_A = –55°C	3	0.594	0.598	0.602	
			T_A = 125℃	2	0.597	0.601	0.604	
REFCAP	REFCAP 電圧	C_{REFCAP} = 470nF		1、2、3	1.208	1.223	1.235	V
電流検出								
CCSR	COMP と CS_ILIM の比	RSC = オープン		1、2、3	1.94	2.0	2.06	
V_{CS_ILIM}	電流制限(過電流)スレッショルド			1、2、3	0.96	1.0	1.04	V
	CS_ILIM から OUT までの遅延	CS_ILIM = 1V から OUT 立ち下がりの 90% まで		9、10、11		65	115	ns
スロープ補償								
SC	スロープ補償	f_{SW} = 100kHz、RSC = 1.18MΩ				0.029		V/µs
		f_{SW} = 200kHz、RSC = 562kΩ				0.072		
		f_{SW} = 500kHz、RSC = 100kΩ				0.306		
SC	スロープ補償 (TPS7H502x)	f_{SW} = 1000kHz、RSC = 49.9kΩ				0.605		V/µs
サーマル シャットダウン								
T_{SD}	サーマル シャットダウン エントリ					185		°C
T_{SD_HYS}	サーマル シャットダウン ヒステリシス					15		°C

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = –55℃ ～ 125℃、TPS7H502x では PVIN = VIN = 4.5V ～ 14V、TPS7H503x では PVIN = VIN = 8V ～ 14V 、VLDO = 5V、OUT は無負荷 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
ゲートドライバ								
V_{OL}	Low レベル電圧	I_{OL} = 50mA		1、2、3		0.08	0.15	V
PVIN - V_{OH}	High レベル出力電圧	I_{OH} = 50mA		1、2、3		0.13	0.25	V
t_{R_OUT}	OUT 立ち上がり時間 (TPS7H502x)	C_{LOAD} = 1000pF、10% ～ 90%	VIN = PVIN = 4.5 V	9、10、11		7	14	ns
			VIN = PVIN = 5 V	9、10、11		7	14	
t_{R_OUT}	OUT 立ち上がり時間 (TPS7H503x)	C_{LOAD} = 1000pF、10% ～ 90%	VIN = PVIN = 8 V	9、10、11		9.5	18	ns
t_{R_OUT}	OUT の立ち上がり時間	C_{LOAD} = 1000pF、10% ～ 90%	VIN = PVIN = 12 V	9、10、11		9.5	18	ns
			VIN = PVIN = 14 V	9、10、11		11.5	20	
t_{R_OUT}	OUT 立ち上がり時間 (TPS7H502x)	C_{LOAD} = 1000pF、10% ～ 90%	VIN = 12V, PVIN = VLDO	9、10、11		8.5	16	ns
		C_{LOAD} = 220pF、10% ～ 90%		9、10、11		4.5	12	
t_{F_OUT}	OUT 立ち下がり時間 (TPS7H502x)	C_{LOAD} = 1000pF、90% ～ 10%	VIN = PVIN = 4.5 V	9、10、11		6.5	14	ns
			VIN = PVIN = 5 V	9、10、11		6.5	14	
t_{F_OUT}	OUT 立ち下がり時間 (TPS7H503x)	C_{LOAD} = 1000pF、90% ～ 10%	VIN = PVIN = 8 V	9、10、11		9.5	18	ns
t_{F_OUT}	OUT の立ち下がり時間	C_{LOAD} = 1000pF、90% ～ 10%	VIN = PVIN = 12 V	9、10、11		9.5	18	ns
			VIN = PVIN = 14 V	9、10、11		11	18	
t_{F_OUT}	OUT 立ち下がり時間 (TPS7H502x)	C_{LOAD} = 1000pF、90% ～ 10%	VIN = 12V, PVIN = VLDO	9、10、11		6.5	14	ns
		C_{LOAD} = 220pF、90% ～ 10%		9、10、11		3.5	10	
I_{OH}	ピーク ソース電流 (TPS7H502x)	PVIN = 4.5V		1、2、3		0.55		A
		PVIN = 5V		1、2、3		0.7		
I_{OH}	ピーク ソース電流 (TPS7H503x)	PVIN = 8V		1、2、3		1.2		A
I_{OH}	ピークソース電流	PVIN = 12V		1、2、3		1.2		A
		PVIN = 14V		1、2、3		1.2		
I_{OH}	ピーク ソース電流 (TPS7H502x)	VIN = 12V, PVIN = VLDO	VLDO = 4.5V	1、2、3		0.55		A
			VLDO = 5V	1、2、3		0.7		
			VLDO = 5.5V	1、2、3		0.85		
I_{OL}	ピーク シンク電流 (TPS7H502x)	PVIN = 4.5V		1、2、3		0.7		A
		PVIN = 5V		1、2、3		0.8		
I_{OL}	ピーク シンク電流 (TPS7H503x)	PVIN = 8V		1、2、3		1.3		A
I_{OL}	ピークシンク電流	PVIN = 12V		1、2、3		1.3		A
		PVIN = 14V		1、2、3		1.3		

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = –55℃ ～ 125℃、TPS7H502x では PVIN = VIN = 4.5V ～ 14V、TPS7H503x では PVIN = VIN = 8V ～ 14V 、VLDO = 5V、OUT は無負荷 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
I_{OL}	ピーク シンク電流 (TPS7H502x)	VIN = 12V, PVIN = VLDO	VLDO = 4.5V	1、2、3		1.05		A
			VLDO = 5V	1、2、3		1.3		
			VLDO = 5.5V	1、2、3		1.55		
R_{OH}	プルアップ抵抗	OUT から 100mA		1、2、3		2.6	4.7	Ω
R_{OL}	プルダウン抵抗	OUT に 100mA を印可		1、2、3		1.6	2.8	Ω
V_{UCLAMP}	電源なし OUT クランプ電圧	スイッチングが無効化、、OUT に 1mA プルアップを印加	PVIN = 0V	1、2、3		0.7	1	V
			0V < PVIN < 5V	1、2、3		1.8	2.5	
PWM とデューティ サイクル								
T_{LEB}	リーディング エッジ ブランキング時間 (TPS7H502x)	VIN が 5V 以上 14V 以下の範囲で、OUT が立ち上がりの 10% に達してからブランキング終了まで		9、10、11		30	80	ns
T_{LEB}	リーディング エッジ ブランキング時間 (TPS7H503x)	VIN が 8V 以上 14V 以下の範囲で、OUT が立ち上がりの 10% に達してからブランキング終了まで		9、10、11		30	80	ns
t_{on_min}	最小オン時間(3)			9、10、11		135	165	ns
t_{off_min}	最小オフ時間 (TPS7H5020 & TPS7H5030)(3)			9、10、11		55	70	ns
D_{MAX}	最大デューティ サイクル (TPS7H5021 & TPS7H5031)			9、10、11	42%	46%	50%	

(1) サブグループは QML 部品に適用されます。 サブグループの定義については、セクション 6.6 を参照してください。
(2) 誤差アンプのオフセットを含めるように、COMP ピンで測定されます。
(3) 詳細については、「*最小オン時間およびオフ時間*」を参照してください。
(4) VLDO は、少なくとも指定されたテスト条件で、この電流をサポートできます。 ただし、PVIN を VLDO に接続してコントローラを動作させる場合は、最も安定した動作を確保するために、VLDO から取り出す外部電流をこの値より低く抑えることを推奨します。

6.6 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。

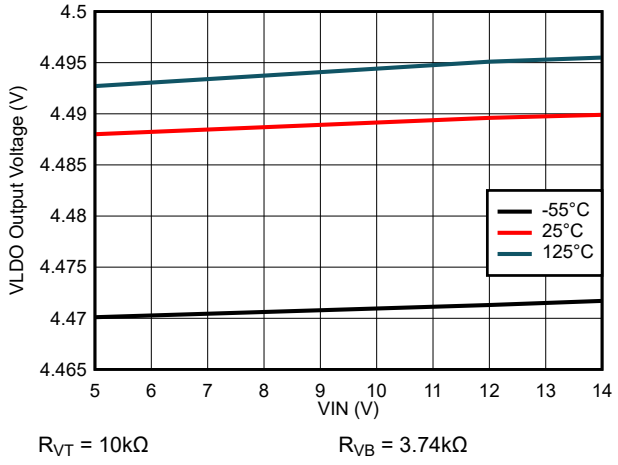


図 6-1. 内部リニア レギュレータの出力電圧と入力電圧との関係

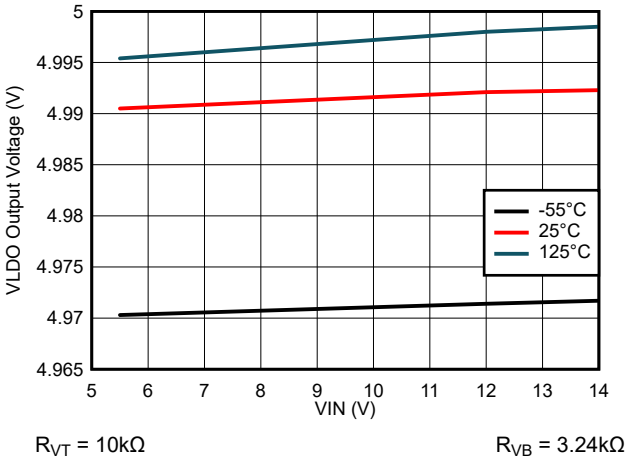


図 6-2. 内部リニア レギュレータの出力電圧と入力電圧との関係

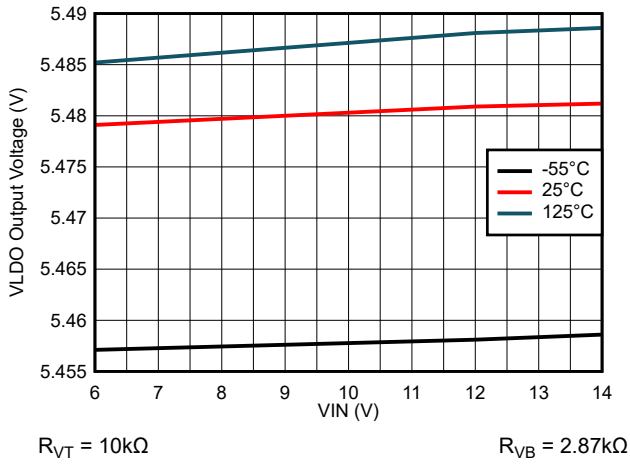


図 6-3. 内部リニア レギュレータの出力電圧と入力電圧との関係

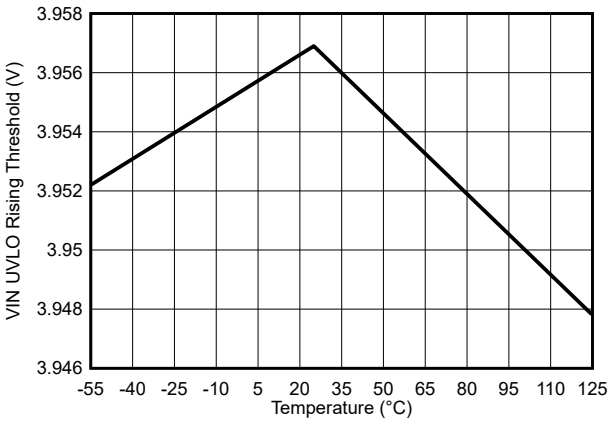


図 6-4. VIN UVLO 立ち上がりスレッショルドと温度の関係

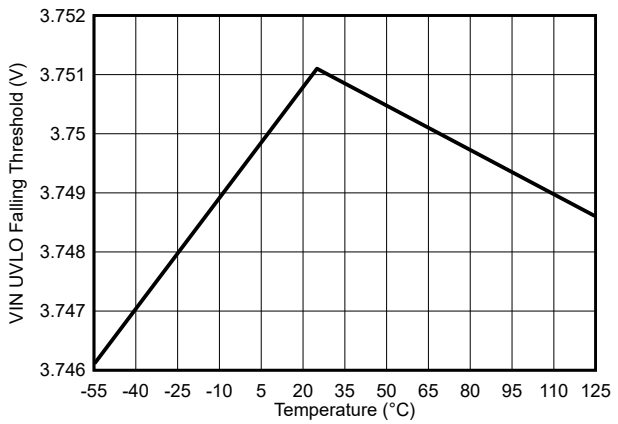


図 6-5. VIN UVLO 立ち下がりスレッショルドと温度の関係

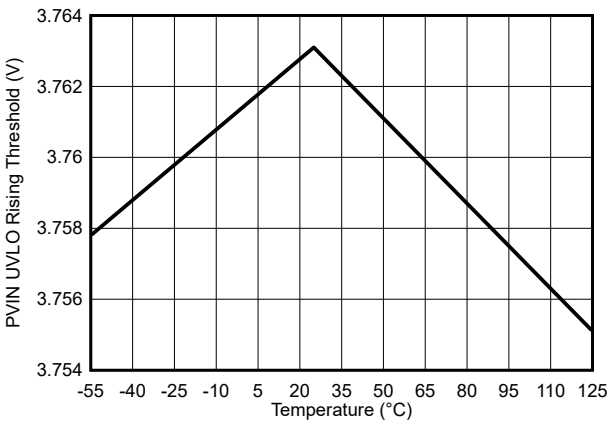


図 6-6. PVIN UVLO 立ち上がりスレッショルドと温度の関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。

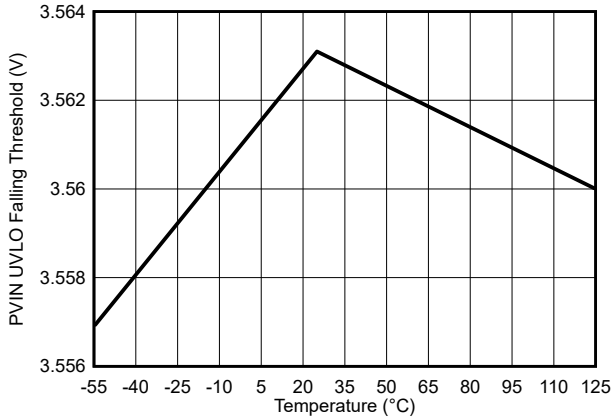
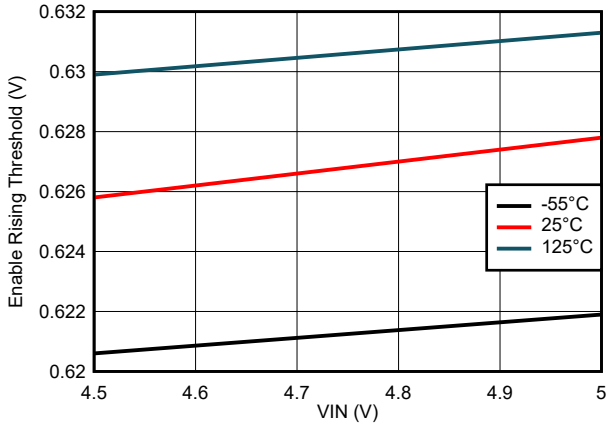
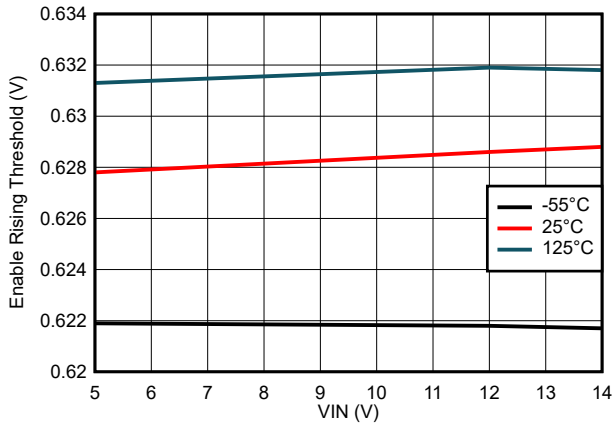


図 6-7. PVIN UVLO 立ち下がりスレッショルドと温度の関係



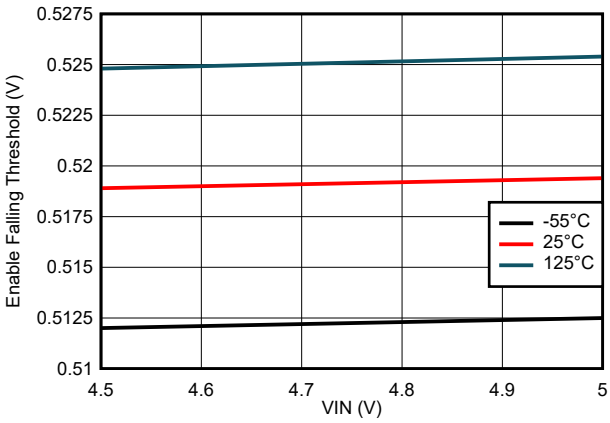
VIN = 4.5V ～ 5V

図 6-8. イネーブル立ち上がりスレッショルドと入力電圧との関係



VIN = 5V ～ 14V

図 6-9. イネーブル立ち上がりスレッショルドと入力電圧との関係



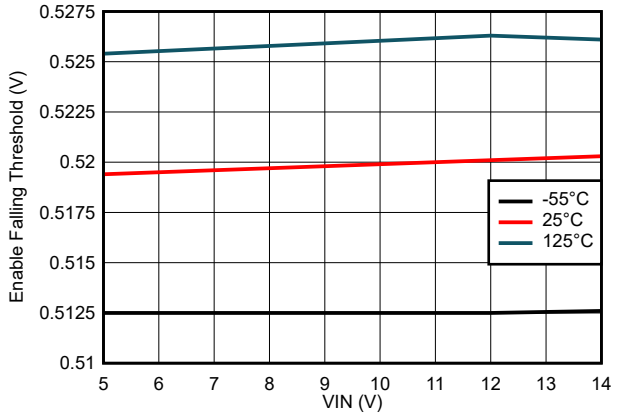
VIN = 4.5V ～ 5V

図 6-10. イネーブル立ち下がりスレッショルドと入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

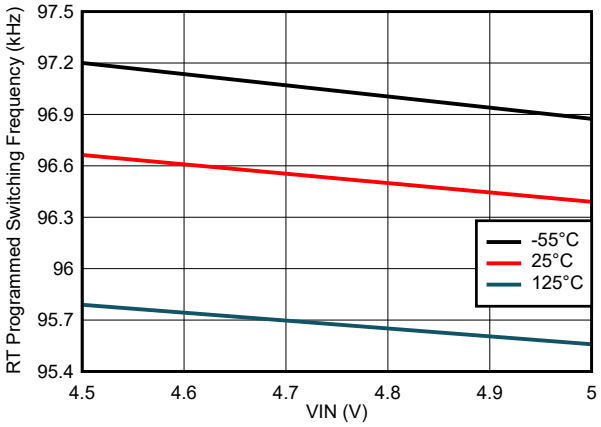
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



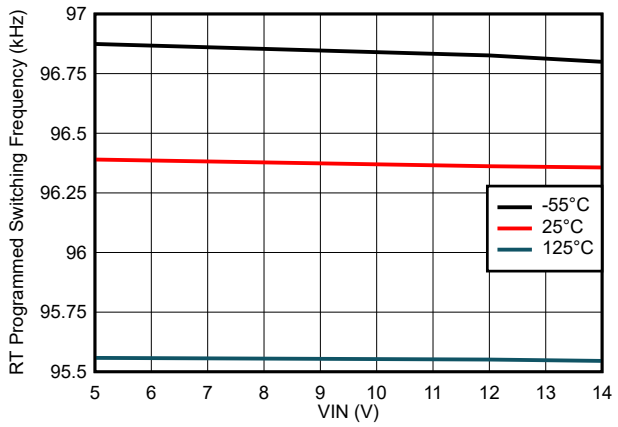
VIN = 5V ～ 14V

図 6-11. イネーブル立ち下がりスレッショルドと入力電圧との関係



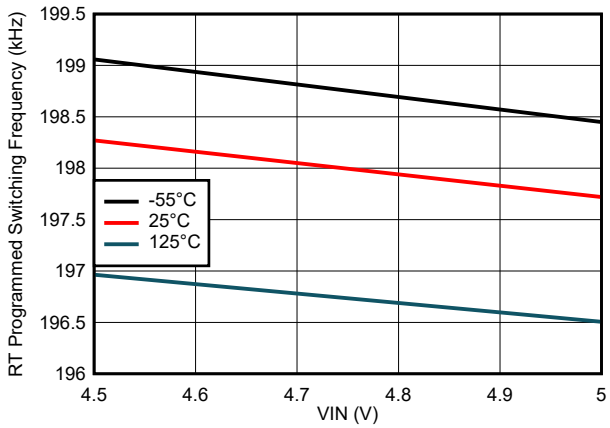
VIN = 4.5V ～ 5V　　RT = 1.18MΩ

図 6-12. スイッチング周波数と入力電圧との関係



VIN = 5V ～ 14V　　RT = 1.18MΩ

図 6-13. スイッチング周波数と入力電圧との関係



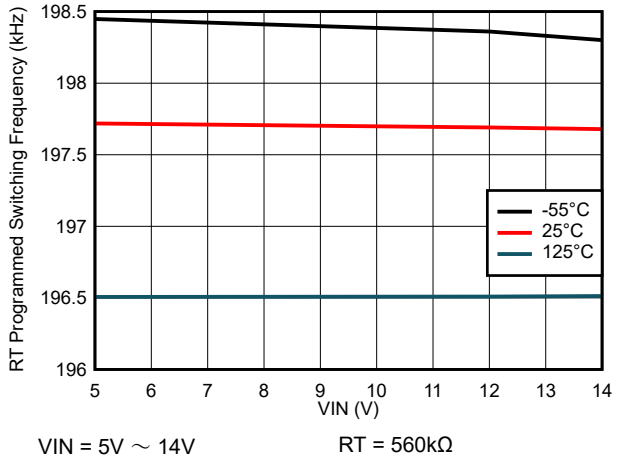
VIN = 4.5V ～ 5V　　RT = 560kΩ

図 6-14. スイッチング周波数と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

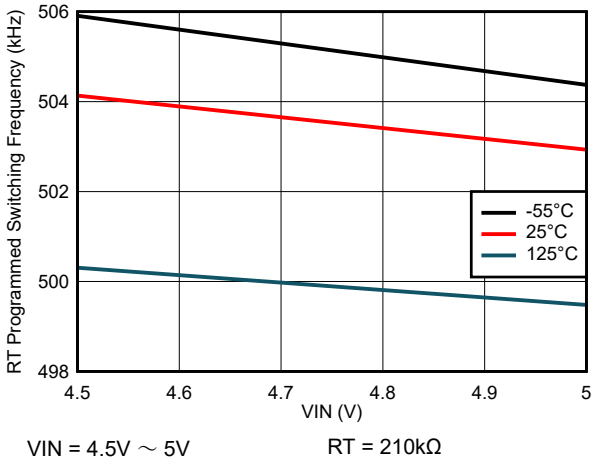
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



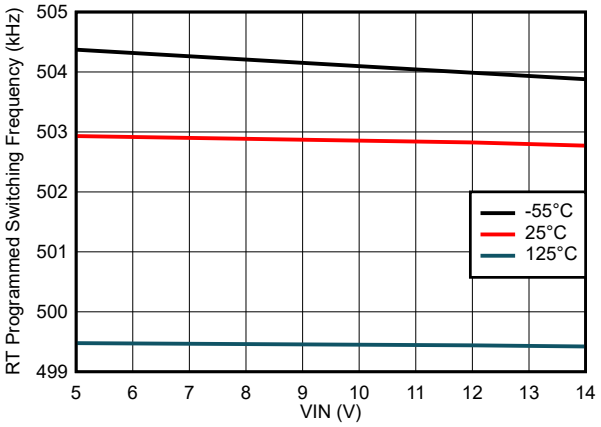
VIN = 5V ～ 14V　　RT = 560kΩ

図 6-15. スイッチング周波数と入力電圧との関係



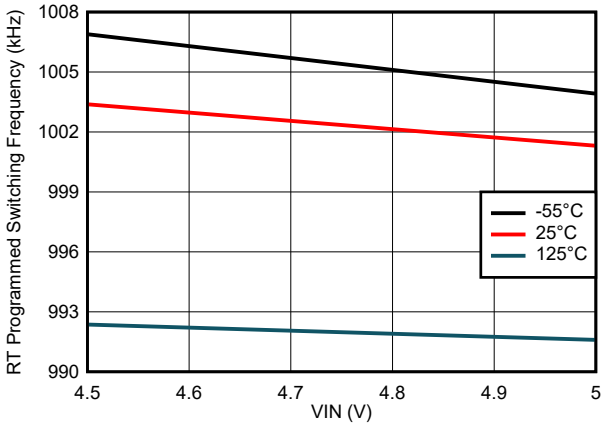
VIN = 4.5V ～ 5V　　RT = 210kΩ

図 6-16. スイッチング周波数と入力電圧との関係



VIN = 5V ～ 14V　　RT = 210kΩ

図 6-17. スイッチング周波数と入力電圧との関係



VIN = 4.5V ～ 5V　　RT = 100kΩ

図 6-18. スイッチング周波数と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。

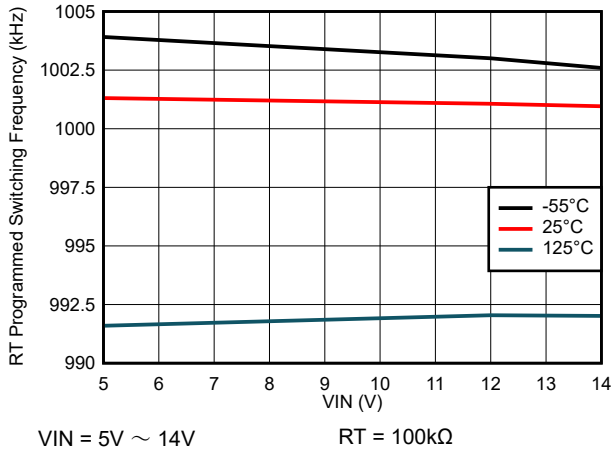


図 6-19. スイッチング周波数と入力電圧との関係

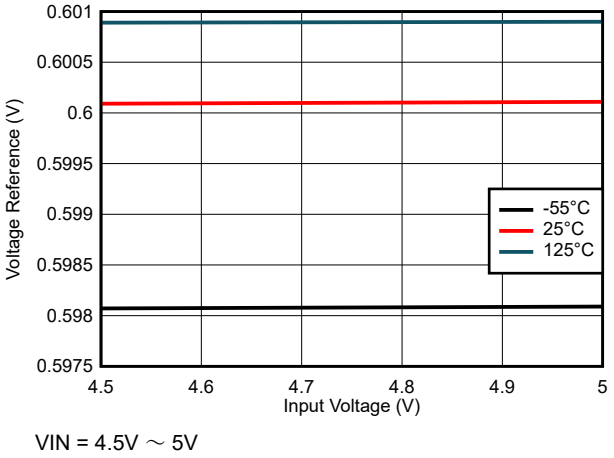


図 6-20. リファレンス電圧と入力電圧との関係

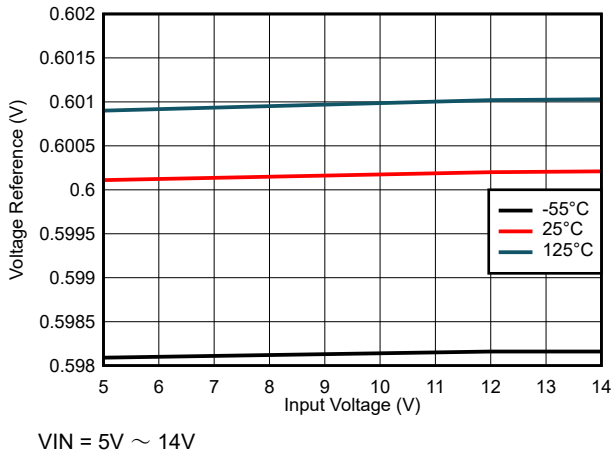


図 6-21. リファレンス電圧と入力電圧との関係

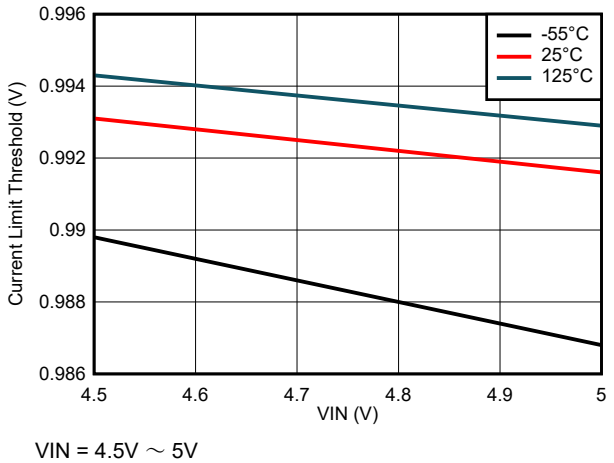
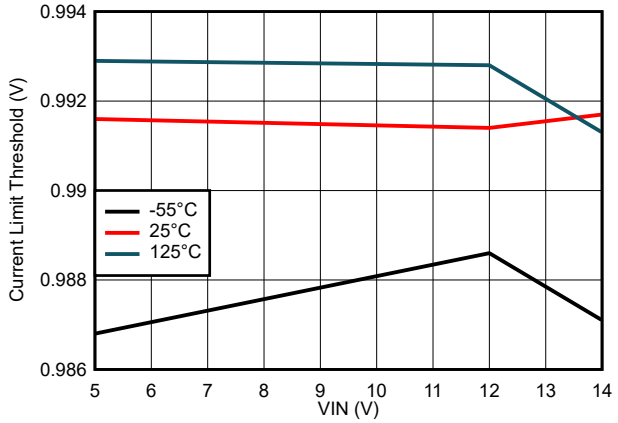


図 6-22. 電流制限スレッショルドと入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

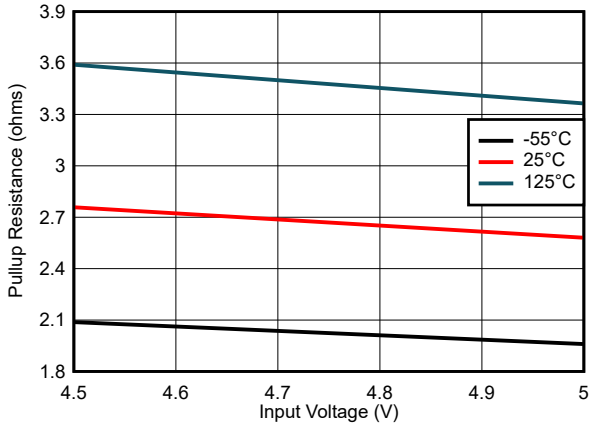
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



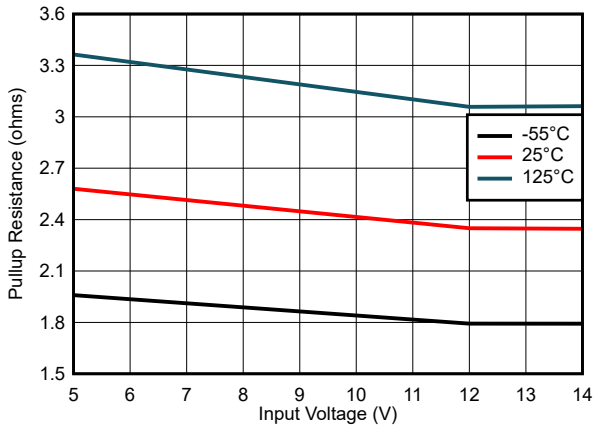
VIN = 5V ～ 14V

図 6-23. 電流制限スレッショルドと入力電圧との関係



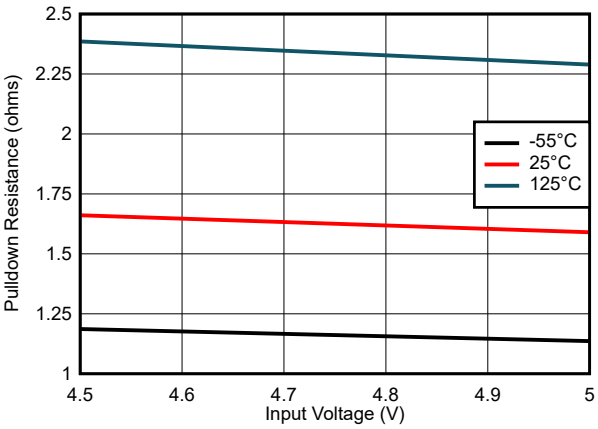
VIN = 4.5V ～ 5V

図 6-24. プルアップ抵抗と入力電圧との関係



VIN = 5V ～ 14V

図 6-25. プルアップ抵抗と入力電圧との関係



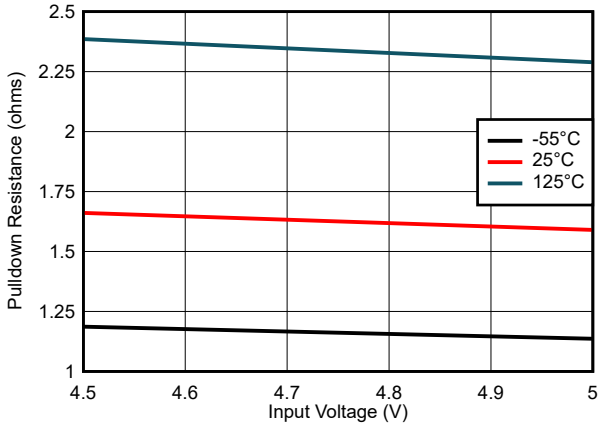
VIN = 4.5V ～ 5V

図 6-26. プルダウン抵抗と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

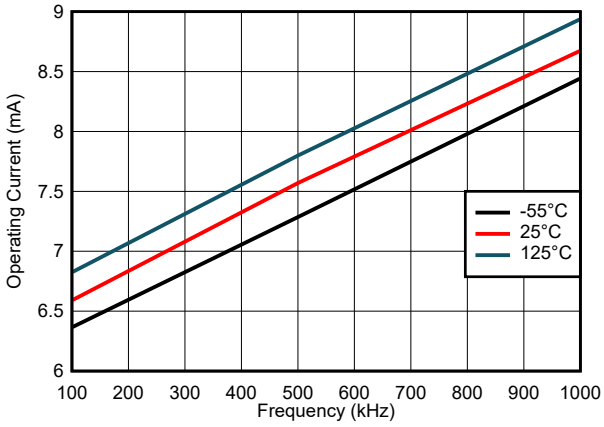
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



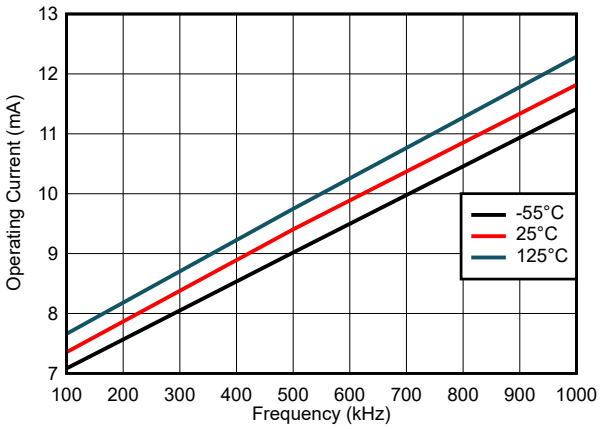
VIN = 5V ～ 14V

図 6-27. プルダウン抵抗と入力電圧との関係



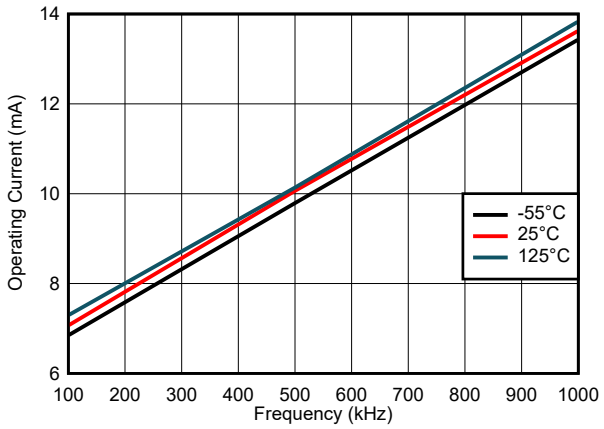
VIN = 5V、C_{LOAD} なし

図 6-28. 動作供給電流と周波数との関係



VIN = 12V、C_{LOAD} なし

図 6-29. 動作供給電流と周波数との関係



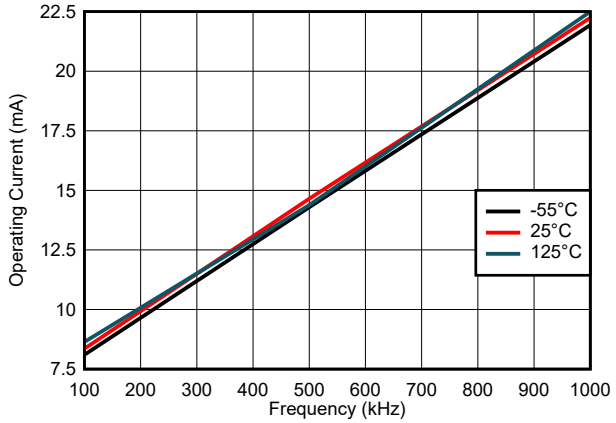
VIN = 5V、C_{LOAD}= 1nF

図 6-30. 動作供給電流と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

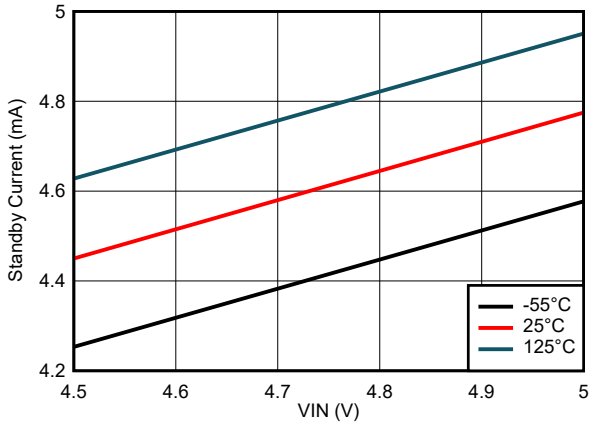
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



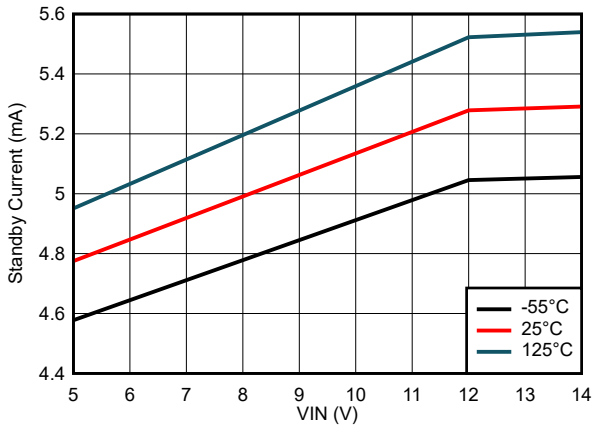
VIN = 12V C_{LOAD}= 1nF

図 6-31. 動作供給電流と周波数との関係



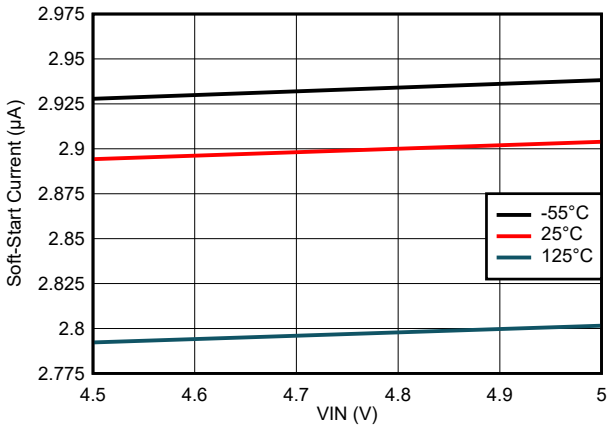
VIN = 4.5V ～ 5V

図 6-32. スタンバイ電流と入力電圧との関係



VIN = 5V ～ 14V

図 6-33. スタンバイ電流と入力電圧との関係



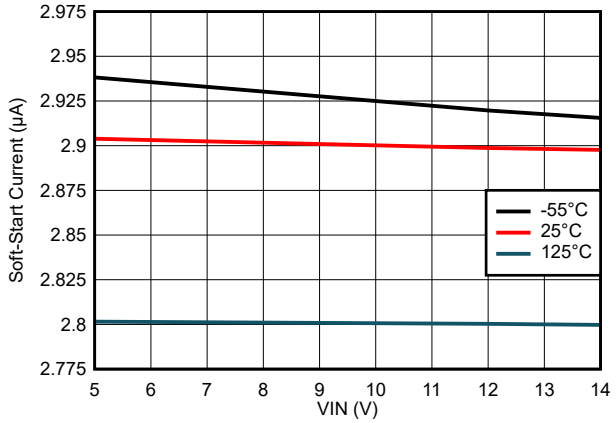
VIN = 4.5V ～ 5V

図 6-34. ソフトスタート電流と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

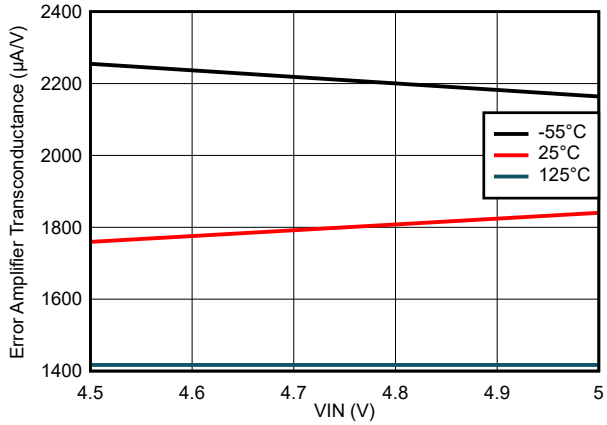
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



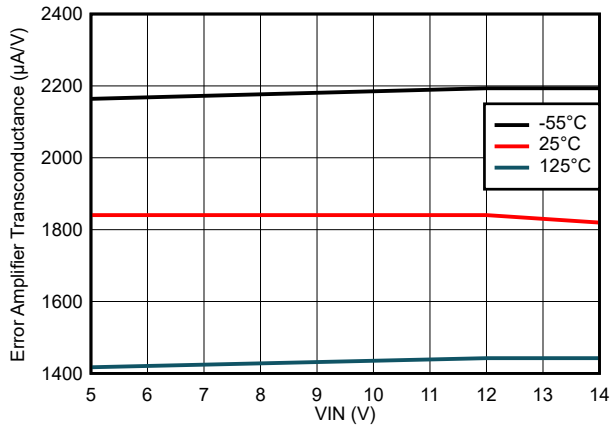
VIN = 5V ～ 14V

図 6-35. ソフトスタート電流と入力電圧との関係



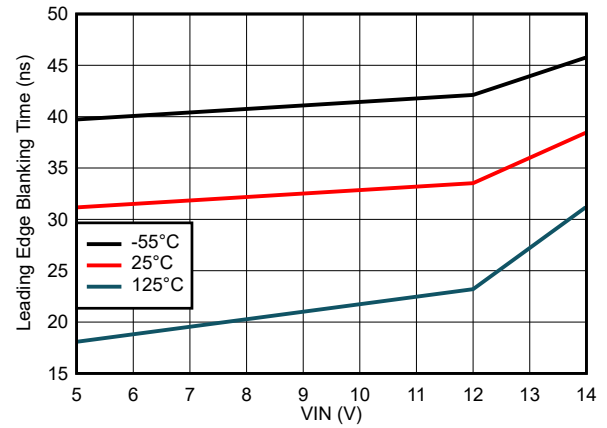
VIN = 4.5V ～ 5V

図 6-36. エラー アンプの相互コンダクタンスと入力電圧との関係



VIN = 5V ～ 14V

図 6-37. エラー アンプの相互コンダクタンスと入力電圧との関係



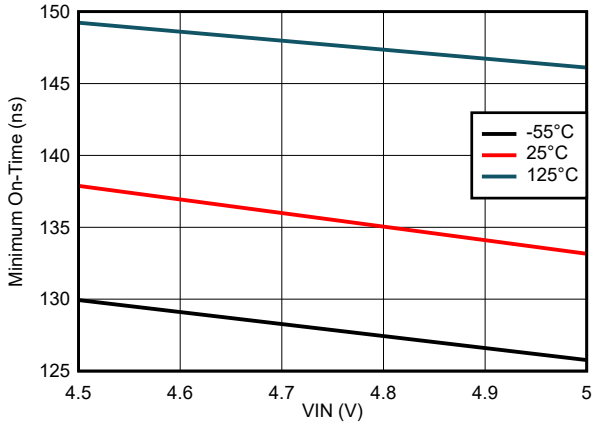
VIN = 5V ～ 14V

図 6-38. リーディング エッジ ブランキング時間と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

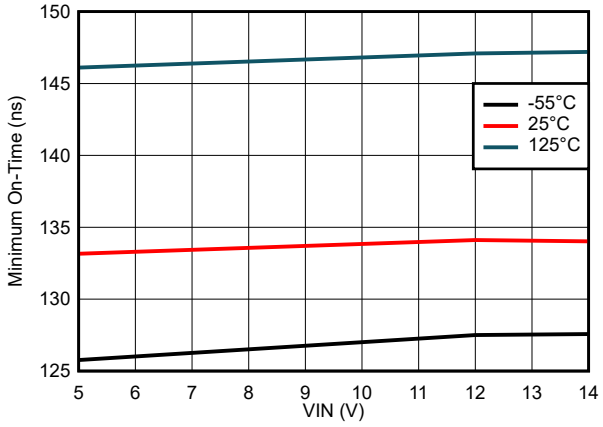
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



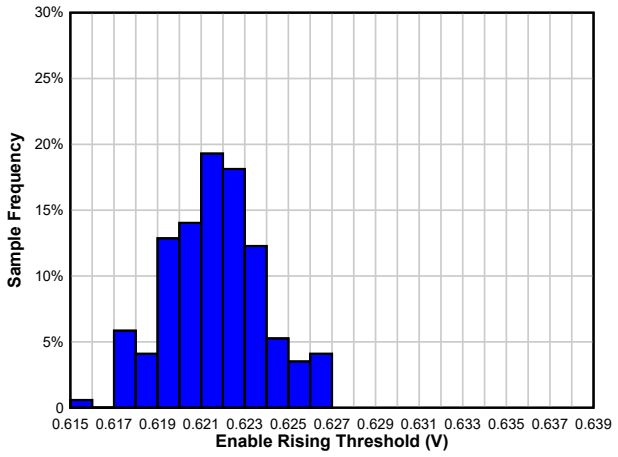
VIN = 4.5V ～ 5V

図 6-39. 最小オン時間と入力電圧との関係



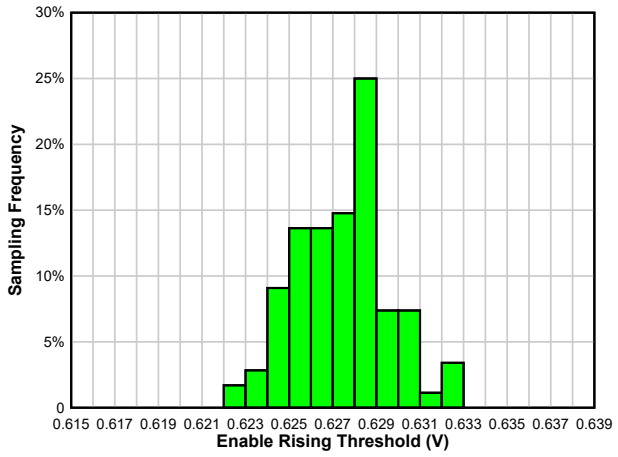
VIN = 5V ～ 14V

図 6-40. 最小オン時間と入力電圧との関係



VIN = 12V

図 6-41. T_A = -55°C で立ち上がりスレッショルド分布をイネーブル



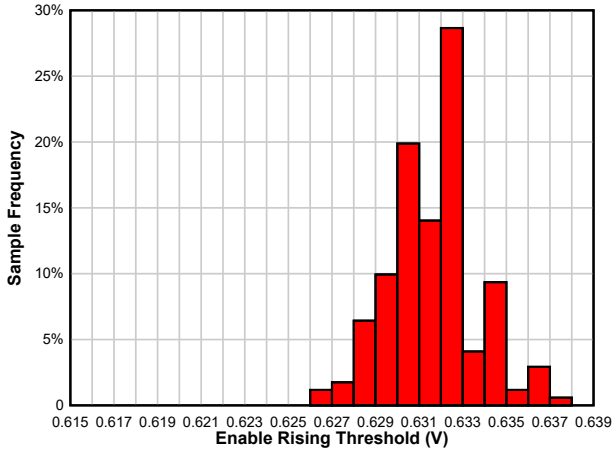
VIN = 12V

図 6-42. T_A = 25°C で立ち上がりスレッショルド分布をイネーブル

Copyright © 2026 Texas Instruments Incorporated

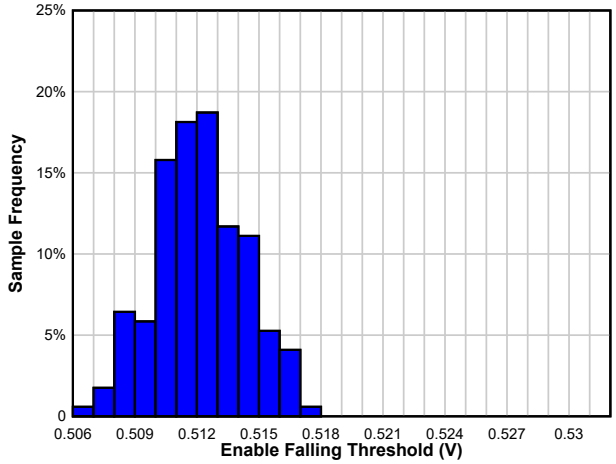
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



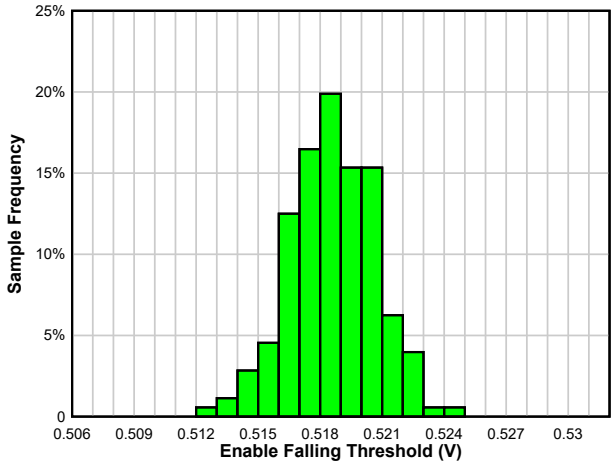
VIN = 12V

図 6-43. T_A = 125°C で立ち上がりスレッショルド分布をイネーブル



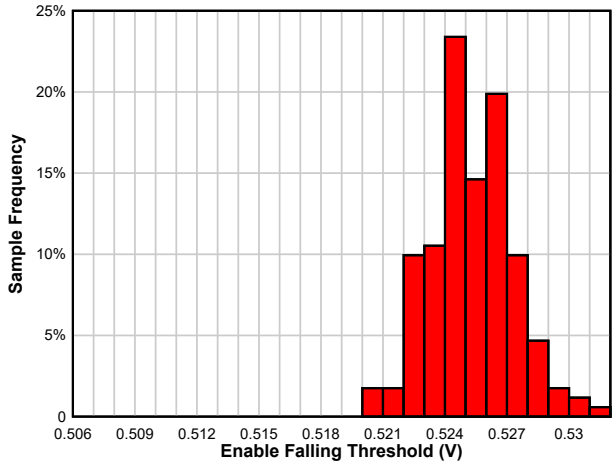
VIN = 12V

図 6-44. T_A = -55°C での立ち下がりスレッショルド分布をイネーブル



VIN = 12V

図 6-45. T_A = 25°C での立ち下がりスレッショルド分布をイネーブル



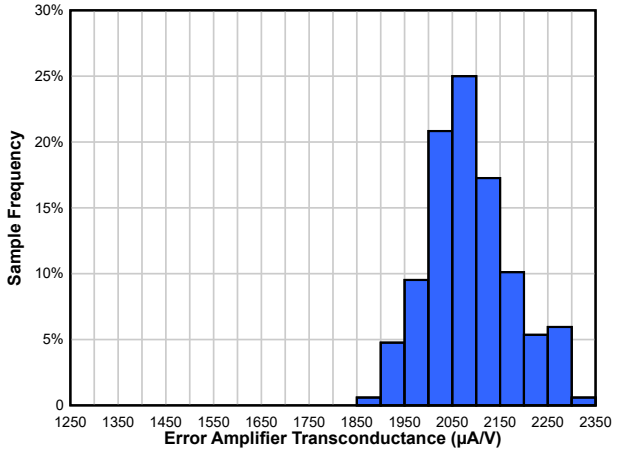
VIN = 12V

図 6-46. T_A = 125°C での立ち下がりスレッショルド分布をイネーブル

Copyright © 2026 Texas Instruments Incorporated

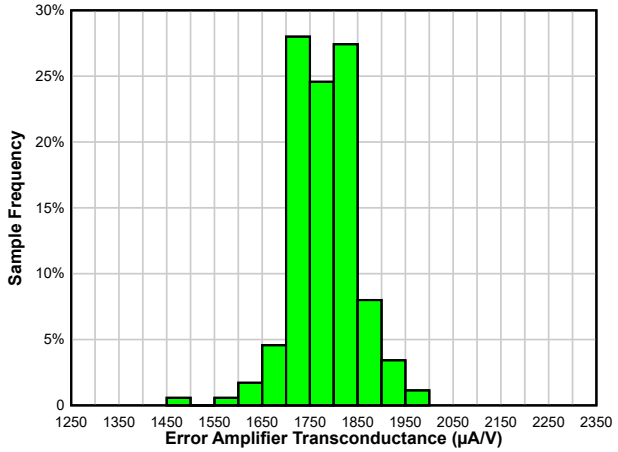
6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。



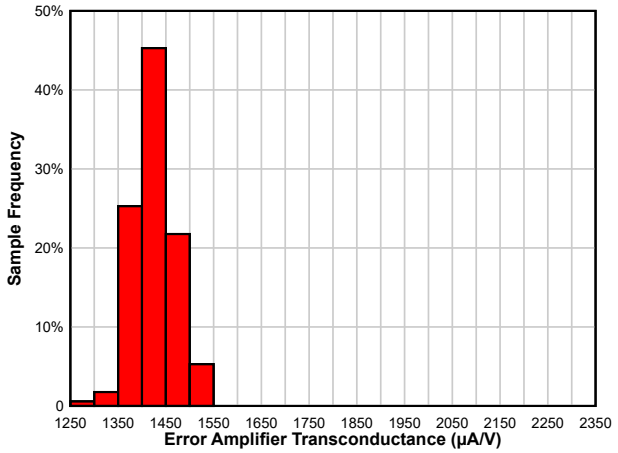
VIN = 12V

図 6-47. T_A = -55°C でのエラー アンプの相互コンダクタンス分布



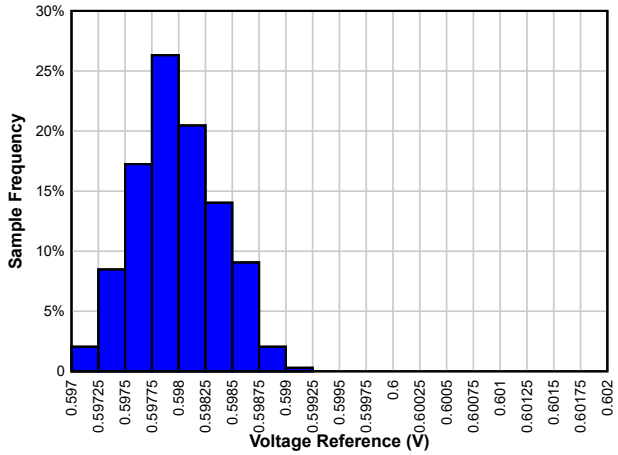
VIN = 12V

図 6-48. T_A = 25°C でのエラー アンプの相互コンダクタンス分布



VIN = 12V

図 6-49. T_A = 125°C でのエラー アンプの相互コンダクタンス分布



VIN = 12V

図 6-50. T_A = -55°C での出力電圧の精度分布

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

典型的な特性は、TPS7H502x で PVIN=VIN が 4.5V~14V の範囲で、スイッチング周波数が 500kHz、温度が T_A = –55°C、25°C、125°C の場合で示されています。特に記載がない限り。

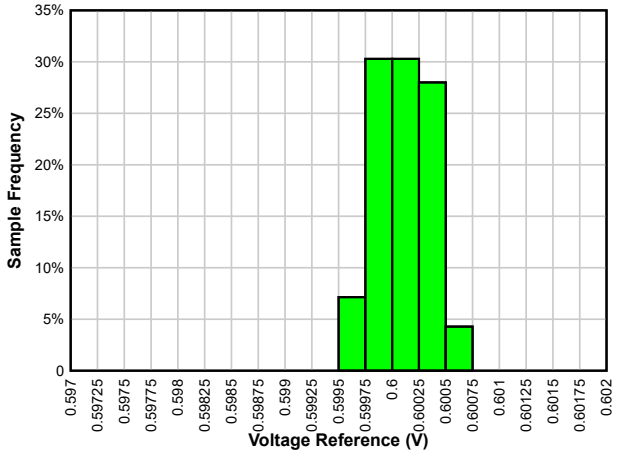


図 6-51. T_A = 25°C での出力電圧の精度分布

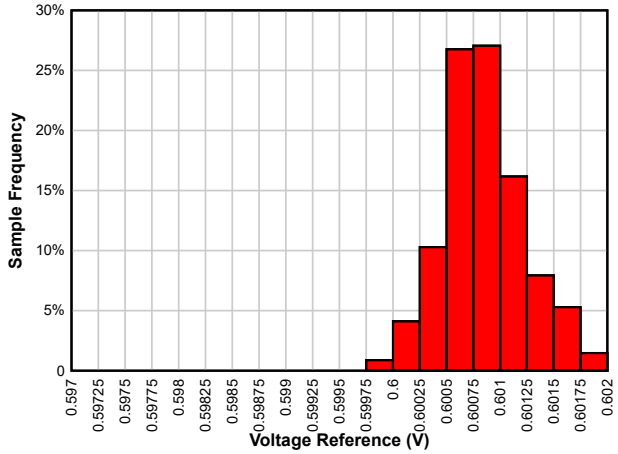


図 6-52. T_A = 125°C での出力電圧の精度分布

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS7H502x と TPS7H503x は、放射線耐性が強化された電流モードのシングルエンド PWM コントローラで、統合されたゲートドライバを内蔵しています。TPS7H502x デバイスは、すべてのモードで最大 1MHz で動作でき、TPS7H503x は最大 500kHz で動作します。これらのコントローラは、宇宙グレード パワー コントローラの設計に使用することを目的としており、フライバック、フォワード、ブーストなどのトポロジに対応できます。TPS7H5020 と TPS7H5030 の公称最大デューティ サイクルは 100% であり、TPS7H5021 と TPS7H503x には公称 50% のデューティ サイクル制限があります。

これらのコントローラは、0.6V ±1% の電圧リファレンスを搭載しており、高精度なコンバータ設計を可能にします。ソフト スタート、イネーブル、調整可能なスロープ補償などの機能がコントローラに組み込まれており、全体的なコンバータ設計を簡素化し、外部コンポーネントの必要数を最小限に抑えます。これらのコンバータは、SYNC ピンを通じて外部クロックと同期させることもできます。外部クロックの同期範囲は TPS7H502x では 100kHz ～ 1MHz であり、これは内部発振器モードでの周波数範囲と同じです。TPS7H503x の外部クロック同期範囲は、100kHz ～ 500kHz です。

これらのコントローラは、VIN ピンと PVIN ピンを通じて、それぞれコントローラ電圧とドライバ段用の別々の電圧入力を提供します。TPS7H502x では、これらの入力の電圧範囲は 4.5V ～ 14V であり、ユーザーに大きな柔軟性を提供します。TPS7H503x の入力電圧範囲は 8V ～ 14V です。統合されたドライバはシリコン FET (標準的な 12V のゲート電圧) で使用できますが、TPS7H502x は GaN パワー半導体デバイス (標準的な 5V のゲート電圧) でも使用できます。TPS7H502x で GaN デバイスを駆動する場合、VLDO レギュレータ出力は PVIN に直接接続することができ、ユーザーが希望する場合は、PVIN に別の電源を使用することもできます。TPS7H502x VLDO の出力は、4.5V ～ 5.5V の範囲でプログラム可能です。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

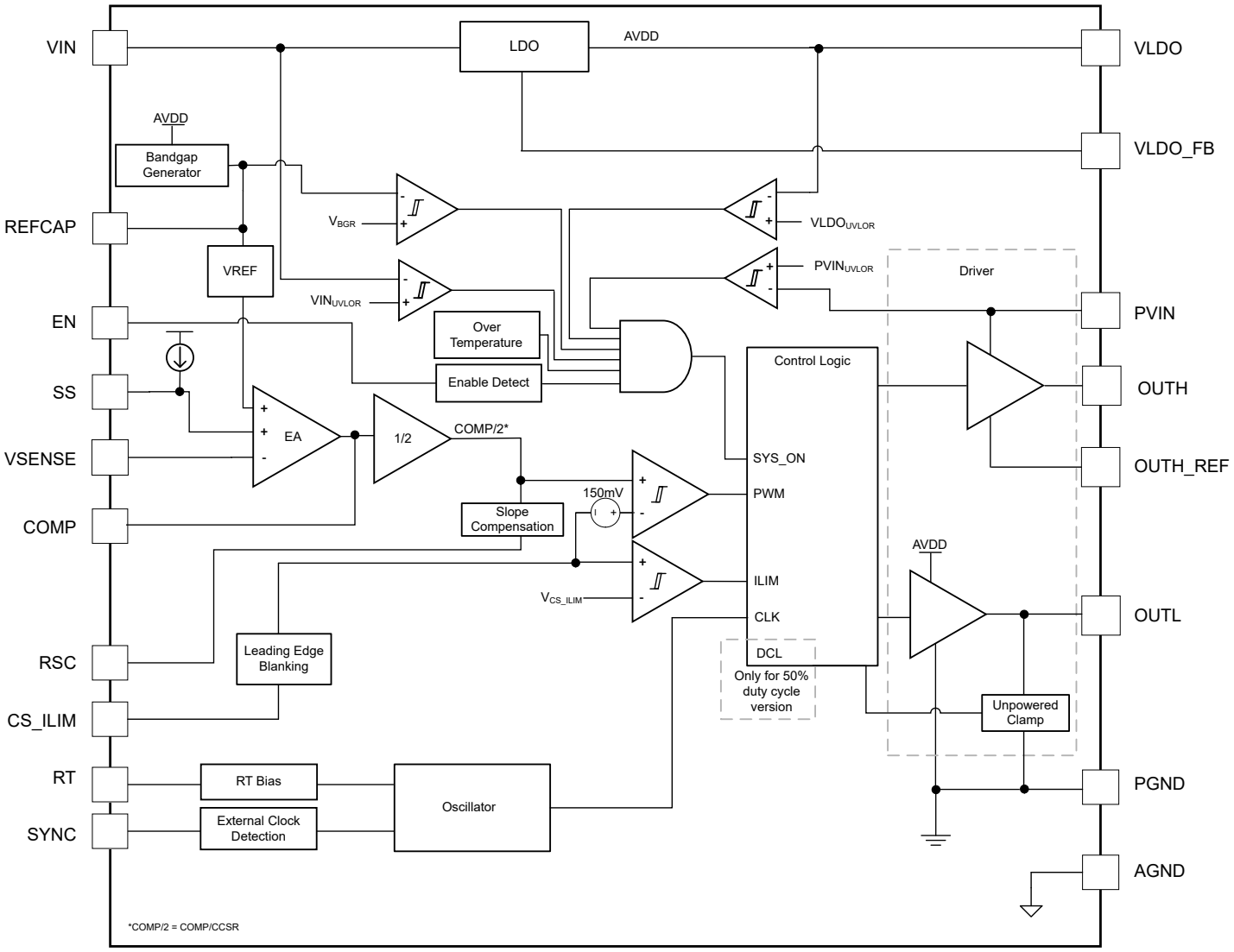


図 7-1. TPS7H502x の機能ブロック図

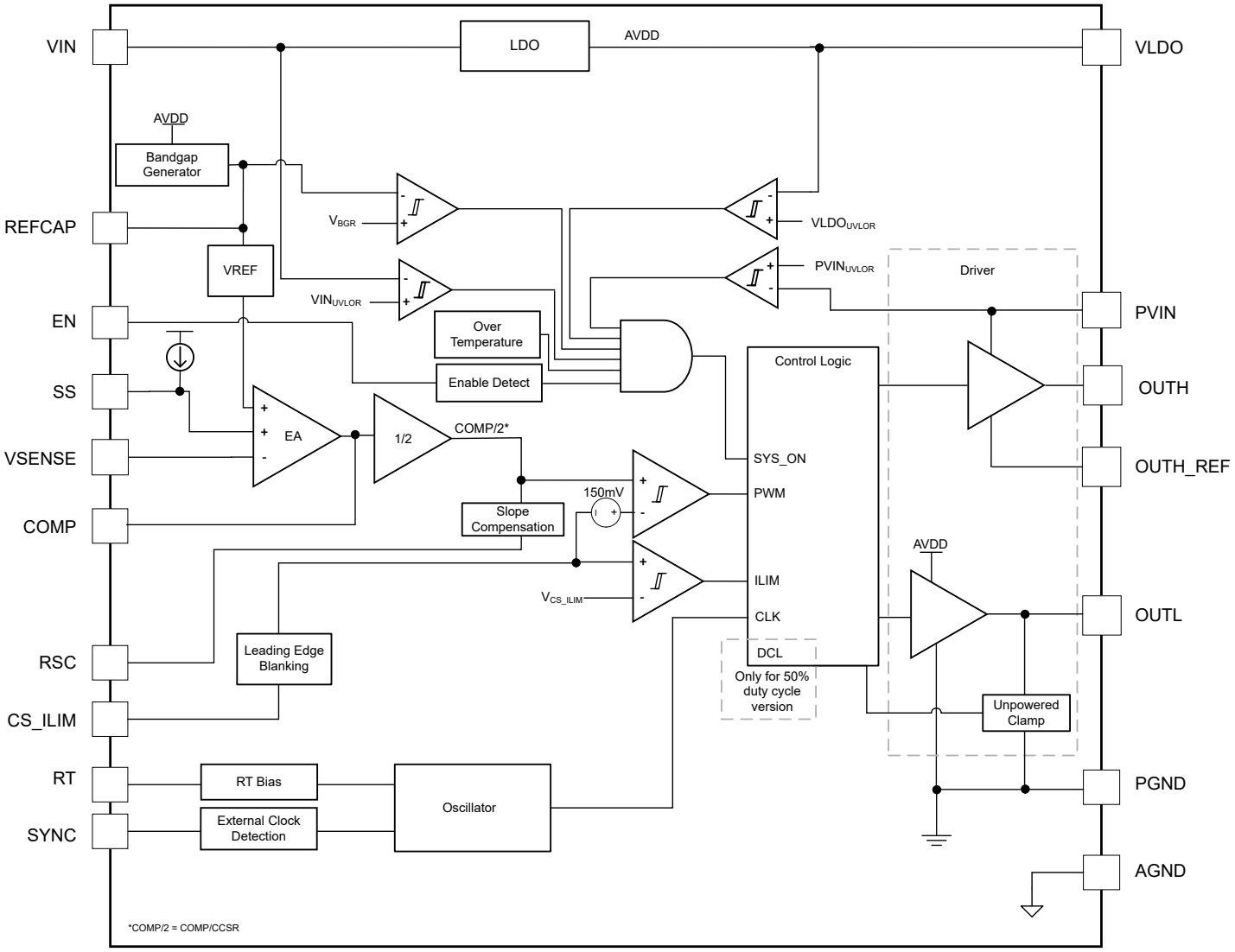


図 7-2. TPS7H503x の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 入力電圧（VIN）およびVLDO

定常状態動作中は、TPS7H502x の入力電圧は 4.5V ～ 14V の間にする必要があり、TPS7H503x の入力電圧範囲は 8V ～ 14V です。VIN と AGND の間には、少なくとも 0.1µF のバイパス キャパシタンスが必要です。入力バイパス コンデンサは、コントローラにできるだけ近くに配置する必要があります。VIN、EN、および GND の間に接続された抵抗分圧回路を使用して、入力電圧の UVLO を調整できます。

VIN に印加される電圧は、VLDO の電圧を生成する内部レギュレータの入力として機能します。TPS7H502x では、VLDO の出力は、4.5V ～ 5.5V の範囲でプログラム可能です。これにより、VLDO を PVIN に接続し、コントローラを使用して GaN パワー半導体デバイスを駆動できます。VLDO をプログラムする際、抵抗分圧回路は 2 つの抵抗で構成されます:VLDO と VLDO_FB の間の R_{VT} と、VLDO_FB と AGND の間の R_{VB}。式 1 を使用して、適切な R_{VB} 抵抗を選択できます。

$$R_{VB} = \frac{V_{REFCAP}}{V_{LDO} - V_{REFCAP}} \times R_{VT} \quad (1)$$

ここで

- V_{REFCAP} = 1.223V (標準値)
- VLDO は、内部レギュレータの希望する出力電圧で、4.5V から 5.5V の範囲内です。
- R_{VT} は、VLDO と VLDO_FB の間に配置され、ユーザーによって選択された上側の抵抗値 (例:10kΩ) です

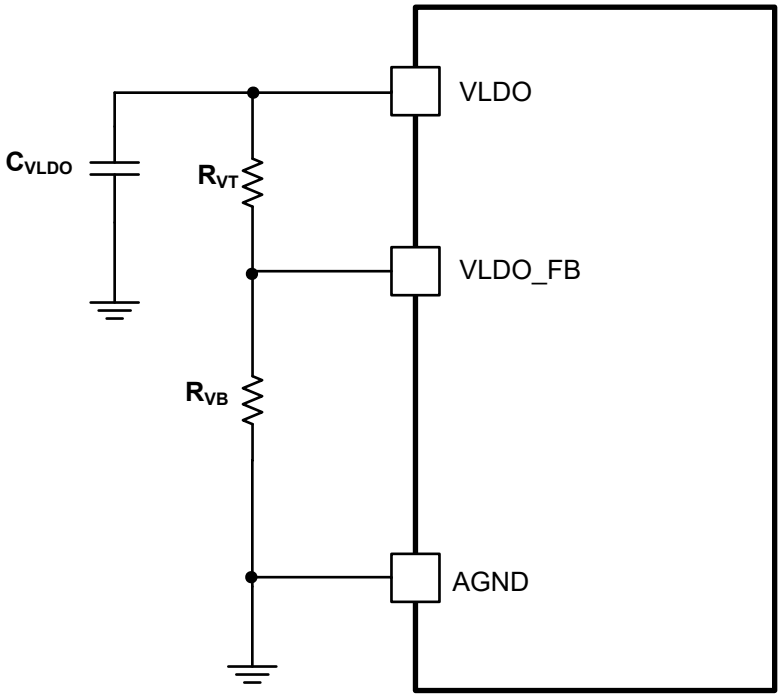


図 7-3. TPS7H502x VLDO 出力電圧をプログラミングする構成

VLDO がドライバ段への入力として使用されない TPS7H502x アプリケーションでは、VLDO を 5V に設定するための抵抗を選択することが推奨されます。抵抗 R_{VT} および R_{VB} は、常に実装する必要があります。TPS7H502x VLDO レギュレータの最大ドロップアウト電圧は 0.4V です。VLDO レギュレータのヘッドルーム電圧が増加すると、その出力電流容量も増加しますが、入力電圧が 7V に達するまで続きます。これで、VLDO レギュレータの最大電流能力を実現できます。詳細については、セクション 6.5 を参照してください。これは、VLDO が GaN FET を駆動するために PVIN に規定された入力電圧を供給するアプリケーションにおいて重要になります。FET に要求されるゲート電流は、次のように決まります:

Copyright © 2026 Texas Instruments Incorporated

$$I_g = Q_g \times f_{sw} \quad (2)$$

ここで

- I_g は GaN FET のゲート電流
- Q_{Qg} は GaN FET の総ゲート電荷量（メーカーのデータシートに掲載）
- f_{SW} は、電源コンバータのスイッチング周波数

このシナリオでは、VLDO が FET に供給する外部電流は、レギュレータの能力を超えてはなりません。TPS7H503x の場合、VLDO 出力は 5V に固定されています。このデバイスの PVIN の推奨最小動作電圧は 8V なので、VLDO を PVIN に接続することはできません。すべてのデバイスにおいて、VLDO に接続する推奨容量は 1µF です。デバイスの EN ピンは VLDO にも接続できます。

7.3.2 ドライバの入力電圧 (PVIN)

TPS7H502x のドライバ段の入力電圧範囲は 4.5V ~ 14V です。TPS7H503x のドライバ段は 8V ～ 14V に対応できます。デバイスの OUT ピンに供給される電圧は、PVIN に供給される電圧とほぼ等しくなります。そのため、TPS7H502x コントローラはシリコン MOSFET および GaN FET ベースのパワー コンバータ設計の両方に適切なゲート電圧を供給するために使用できます。TPS7H503x は、シリコン MOSFET ベースの設計に向けてカスタマイズされています。シリコン MOSFET の場合、標準ゲート電圧は 10V ~ 12V です。GaN パワー半導体デバイスは通常、4.5V から 6V のゲート電圧を必要とします。必要なゲート電圧は選択されたスイッチング デバイスに依存するため、これらのコントローラはユーザーが特定のアプリケーションに適した電圧をドライバ段に供給できる機能を提供します。PVIN は、単一電源動作のために VIN に直接接続できます。この構成を使用して、TPS7H502x および TPS7H503x のシリコン MOSFET または TPS7H502x の GaN FET のいずれかを駆動できます。TPS7H502x のこの構成では、VLDO が内部回路に 5V を供給するように R_{VT} と R_{VB} を選択することを推奨します。VLDO 出力のプログラムの詳細については、「*入力電圧 (VIN) および VLDO*」を参照してください。

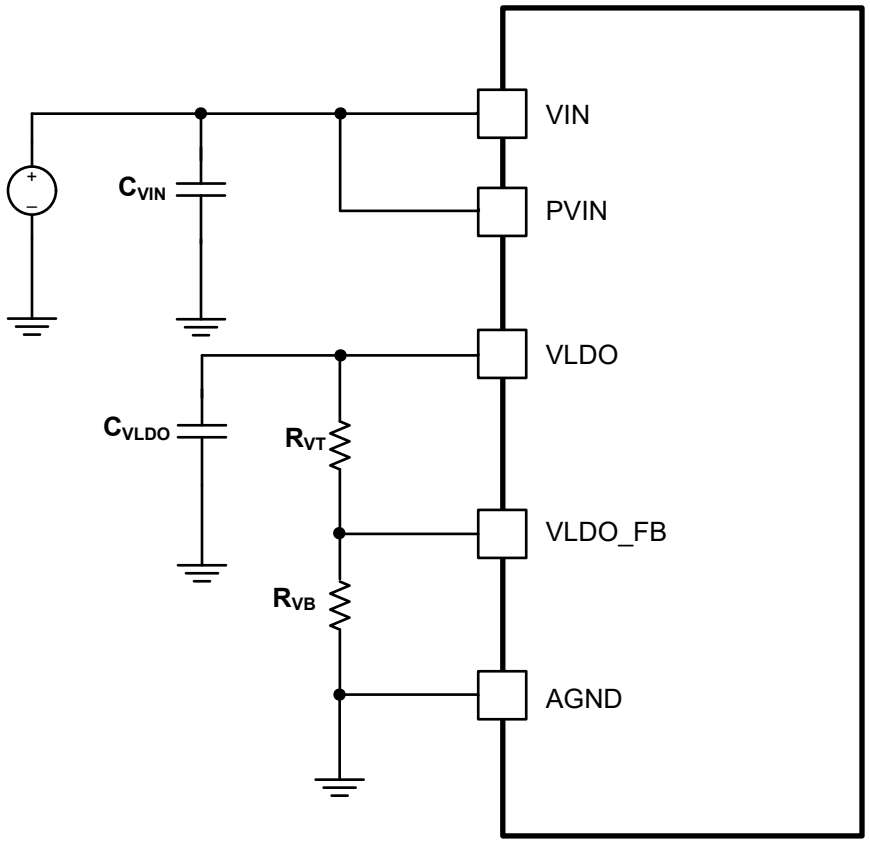


図 7-4. TPS7H502x の PVIN から VIN への接続の構成

Copyright © 2026 Texas Instruments Incorporated

TPS7H502x では、VLDO を 4.5V ～ 5.5V の規定されたゲートドライブ電圧を得るために PVIN に接続することもできます。すべてのコントローラにおいて、PVIN と PGND の間には 1µF の最小容量を推奨します。TPS7H502x で PVIN が VLDO に接続されている場合、これには VLDO で必要な 1µF の容量が含まれる場合があります。追加の容量も使用できますが、VLDO レギュレータの適切な安定性を維持するため、合計容量が 4.7µF を超えないようにする必要があります。

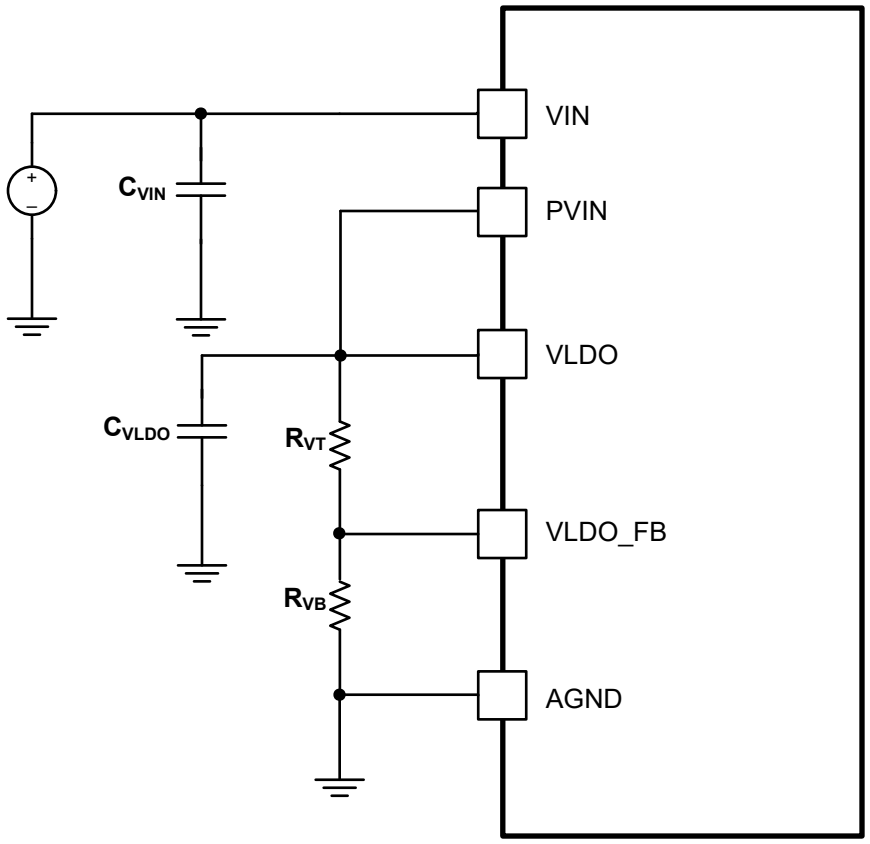


図 7-5. TPS7H502x の PVIN から VLDO への接続の構成

7.3.3 スタートアップ

コントローラの出力がスイッチングを開始する前に、以下の条件を満たす必要があります:

- VLDO は、立ち上がり UVLO スレッショルドを超えます
- VIN は、立ち上がり UVLO スレッショルドを超えます
- PVIN は、立ち上がり UVLO スレッショルドを超えます
- 内部 1.2V バンドギャップ電圧を利用できます
- イネーブル信号 EN は立ち上がり電圧スレッショルドを上回っています
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている

前述のすべての条件が満たされると、ソフトスタート プロセスが開始されます。

7.3.4 イネーブルおよび低電圧誤動作防止 (UVLO)

TPS7H502x と TPS7H503x を EN ピンで有効化するためのいくつかの方法があります。このピンは VLDO に直接接続することができ、VLDO の電圧が EN ピンの立ち上がりエッジ電圧スレッショルドを超えると、デバイスが有効化されることになります。このピンは、シーケンシングが必要な場合に外部で生成された信号や互換性のある PGOOD 信号で駆動することもできます。最後に、図 7-6 に示すように、2 つの抵抗を使用して、VIN がユーザーが設定した閾値を超えたときに

コントローラを有効化するようにプログラムできます。2 つの抵抗は分圧回路として構成され、1 つは VIN と EN の間に、もう 1 つは EN と AGND の間に配置されます。

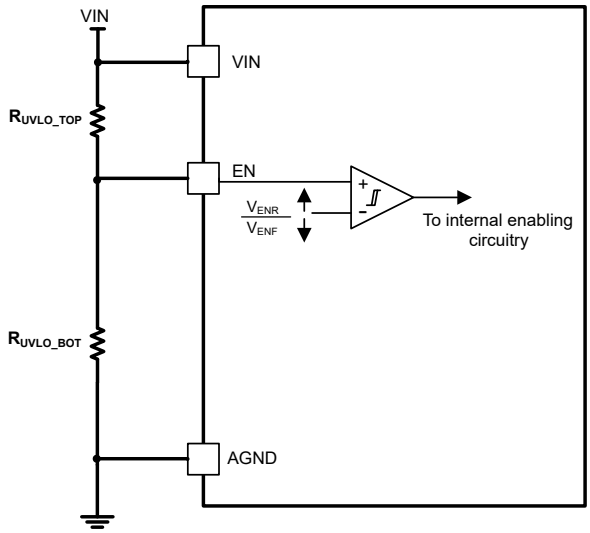


図 7-6. 2 つの外部抵抗を使用したピン構成の有効化

式 3 を使って、ユーザーはデバイスの希望する最大起動電圧に基づいて、選択した R_{UVLO_BOT} の値に対する R_{UVLO_TOP} の値を計算できます。これらの選択された抵抗を使用して、式 4 を使って最小スタートアップ電圧を決定できます。

$$R_{UVLO_TOP} = R_{UVLO_BOT} \times \left[\frac{V_{START_MAX}}{V_{ENR_MAX}} - 1\right] \quad (3)$$

$$V_{START_MIN} = V_{ENR_MIN} \times \left[\frac{R_{UVLO_TOP}}{R_{UVLO_BOT}} + 1\right] \quad (4)$$

図 7-6 の 2 つの抵抗構成では、入力電圧が特定のスレッショルドを下回ると、コントローラは過電圧ロックアウトによりシャットダウンします。これは、EN ピンのヒステリシスによるものです。シャットダウンが予想される電圧を決定するには、式 5 および式 6 を使用します。

$$V_{STOP_MAX} = V_{ENF_MAX} \times \left[\frac{R_{UVLO_TOP}}{R_{UVLO_BOT}} + 1\right] \quad (5)$$

$$V_{STOP_MIN} = V_{ENF_MIN} \times \left[\frac{R_{UVLO_TOP}}{R_{UVLO_BOT}} + 1\right] \quad (6)$$

R_{UVLO_TOP} と R_{UVLO_BOT} の値を選択するときは、ユーザーが注意する必要があることに注意してください。適切な動作を確保するために、これらの抵抗の選定を最適化することが推奨されます。UVLO 値は、すべての状況でデバイスが期待通りにオンになることを確実にするために、入力電圧の 75% 以下である必要があります。UVLO をこれより高く設定すると、デバイスのターンオンで問題が発生する可能性があります。図 7-7 は、12V レール上での期待される起動電圧と UVLO 電圧を示して、最大起動電圧は公称入力電圧の 90% です。この場合、入力電圧が公称値の 75% から 65% の間に低下すると、ターンオフが発生します。

Copyright © 2026 Texas Instruments Incorporated

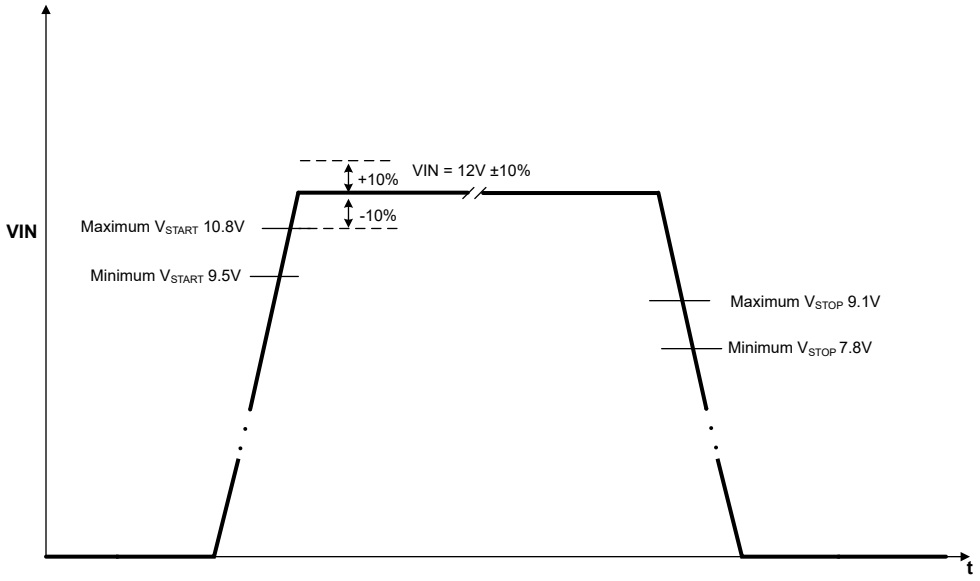


図 7-7. VIN = 12V の 2 抵抗構成における起動電圧と UVLO 電圧

7.3.5 電圧リファレンス

コントローラは、内部で 1.2V のバンドギャップ リファレンスを生成し、これがさまざまな制御ロジック ブロックで使用されます。これは、定常状態動作時に REFCAP ピンに印加される電圧です。この電圧は 0.6V に分圧され、エラー アンプのリファレンスを生成します。エラー アンプのリファレンス電圧は、エラー アンプのオフセットを考慮して COMP ピンで測定し、*「仕様」*に示すようにレギュレーションを ±1% 以内に維持します。この基準電圧の許容公差が小さいため、高精度のパワー コンバータを設計できます。適切な電気的動作を確保し、デバイスの堅牢な単一事象トランジェント (SET) 性能を保証するために、REFCAP ピンには 470nF のコンデンサをグランドに接続する必要があります。

7.3.6 エラー アンプ

TPS7H502x と TPS7H503x コントローラは、トランスコンダクタンス誤差増幅器を使用しています。エラーアンプは、VSENSE ピンの電圧を SS ピンの電圧または内部の 0.6V 電圧リファレンスの低い方と比較します。エラー アンプの相互コンダクタンスは、通常動作時で 1500µA/V です。周波数補償ネットワークは、COMP ピンと AGND の間に接続されます。誤差増幅器の DC ゲインは通常 14,500V/V です。

7.3.7 出力電圧プログラミング

電力コンバータの V_{OUT} から VSENSE ピンへの抵抗分圧回路を使用して設定されます。出力電圧は、公称基準電圧 0.6V に分割する必要があります。R_{BOTTOM} の選択には、式 7 を使用できます。

$$R_{BOTTOM} = \frac{V_{REF}}{V_{OUT} - V_{REF}} \times R_{TOP} \quad (7)$$

ここで

- V_{REF} = 0.6V (標準値)
- V_{OUT} は希望する出力電圧
- R_{TOP} はユーザーが選択する上側抵抗の値 (例：10kΩ)

R_{BOTTOM} および R_{TOP} に許容誤差の小さい抵抗（1% 以下）を使用して、出力電圧設定ポイントの精度を向上させることを推奨します。

Copyright © 2026 Texas Instruments Incorporated

7.3.8 ソフト スタート (SS)

ソフト スタート回路は、定常状態プログラム済み出力に達するまで、コンバータの出力電圧を徐々に上昇させます。ソフト スタート中、誤差増幅器は SS ピンの電圧が V_{REF} より高くなるまでの間、ソフトスタート ピンの電圧を基準として使用します。SS ピンの電圧が V_{REF} を上回ると、ソフト スタート期間が終了します。

SS ピンと AGND の間に接続されたコンデンサが、PWM コントローラのソフトスタート時間を制御します。次の式を使って、目的のソフト スタート時間のコンデンサを選択できます。

$$t_{SS} = \frac{C_{SS} \times V_{REF}}{I_{SS}} \quad (8)$$

ここで

- t_{SS} は、必要なソフト スタート時間です
- V_{REF} は電圧リファレンス = 0.6V (標準値) です
- I_{SS} は、2.8µA のソフト・スタート充電電流（標準値）

7.3.9 スイッチング周波数および外部同期

TPS7H502x と TPS7H503x コントローラには、デバイスのスイッチング周波数を設定するための 2 つのモードがあります:内部発振器モードと外部同期モードです。デバイスは、RT ピンと SYNC ピンの状態に基づいて、これらのモードのいずれかに設定されます。SYNC ピンでクロック入力が検出されると、デバイスは外部同期モードで動作します。それ以外の場合、デバイスは内部発振器で動作し、RT から AGND への抵抗によって決定された周波数で動作します。RT は両方の動作モードに設定する必要があります。

表 7-1. 発振器のモードと構成

モード	RT	SYNC	スイッチング周波数
内部発振器	AGND との間に抵抗を実装しました。	フローティング	RT 値に応じて、TPS7H502x では 100kHz ～ 1MHz、TPS7H503x では 100kHz ～ 500kHz に構成できます。
外部同期	AGND との間に抵抗を実装しました。SYNC の入力クロック周波数と一致するように選択する必要があります。(1)	TPS7H502x では 100kHz ～ 1MHz の外部クロックの入力。TPS7H503x には 100kHz から 500kHz のクロックを使用します。	同期入力クロックに同期しました。スイッチングは、外部クロックと 1:1 の周波数と位相が一致します。

(1) 50% のデューティ サイクル制限 (TPS7H5021 と TPS7H5031) のデバイスを使用する場合の外部同期モードで RT 抵抗を選択する具体的なガイダンスについては、TPS7H5021 と TPS7H5031 との外部同期を参照してください。

7.3.9.1 内部発振器モード

RT ピンから AGND への抵抗が、デバイスのスイッチング周波数を設定します。TPS7H502x コントローラの公称スイッチング周波数範囲は 100kHz から 1MHz であり、TPS7H503x の最大公称周波数は 500kHz です。内部発振器モードでは、RT ピンに実装する必要があります。式 9 に、目的のスイッチング周波数に基づいた RT 値の計算を示します。図 7-8 の曲線は、TPS7H502x と TPS7H503x で指定されたスイッチング周波数に対応する RT 値を示しています。TPS7H503x の場合、式と曲線は 500kHz のスイッチング周波数まで適用可能であることに注意してください。

$$RT = \frac{112390}{f_{SW}} - 14.2 \quad (9)$$

ここで

- RT は kΩ 単位です
- f_{sw} は kHz 単位です

Copyright © 2026 Texas Instruments Incorporated

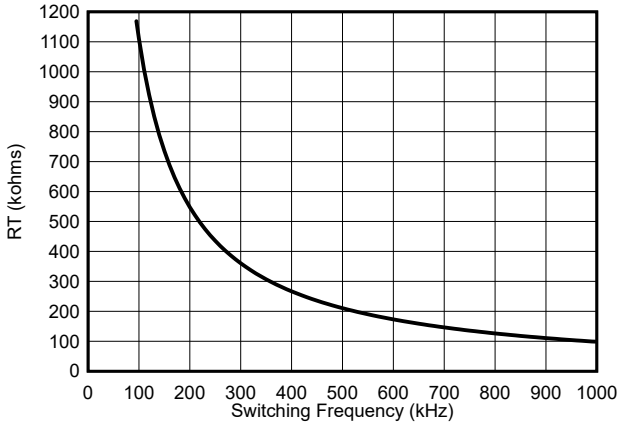


図 7-8. RT とスイッチング周波数

7.3.9.2 外部同期モード

コントローラは、SYNC ピンにクロックを入力することで外部同期モードで使用できます。印加する外部クロックは、目的のスイッチング周波数に設定する必要があります。外部クロックは、TPS7H502x では 100kHz ～ 1MHz、TPS7H503x では 100kHz ～ 500kHz の範囲である必要があります。50% のデューティ サイクルを持つ外部クロックを使用することが推奨されます。このモードでは、コントローラは SYNC ピンに入力されたクロック信号と位相を合わせてスイッチングします。SYNC ピンはコントローラの入力としてのみ機能することに注意してください。

外部同期モードで動作する場合、RT ピンには AGND への抵抗を接続する必要があります。RT 抵抗で設定されたスイッチング周波数は、TPS7H5020 と TPS7H5030 では外部クロック周波数の ±10% の範囲内である必要があります。スイッチング周波数は外部クロック周波数と 1:1 の関係にあります。コントローラが SYNC ピンにクロックが適用される前に内部発信器モードで動作している場合、クロックが適用されてから検出と切り替えが行われるまでに約 2～5 サイクルかかります。外部同期モードで動作していてクロックが失われた場合、検出が行われるまでに約 2～5 サイクルかかり、その後内部発信器への切り替えが行われます。

Copyright © 2026 Texas Instruments Incorporated

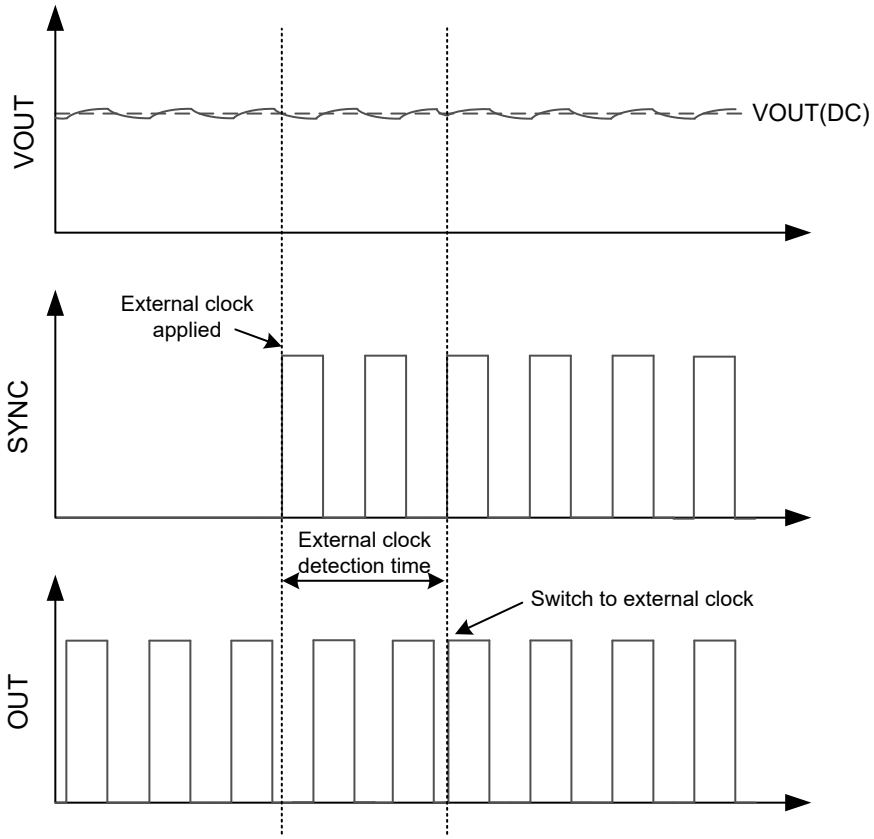


図 7-9. 内部クロックから外部クロックへの遷移

Copyright © 2026 Texas Instruments Incorporated

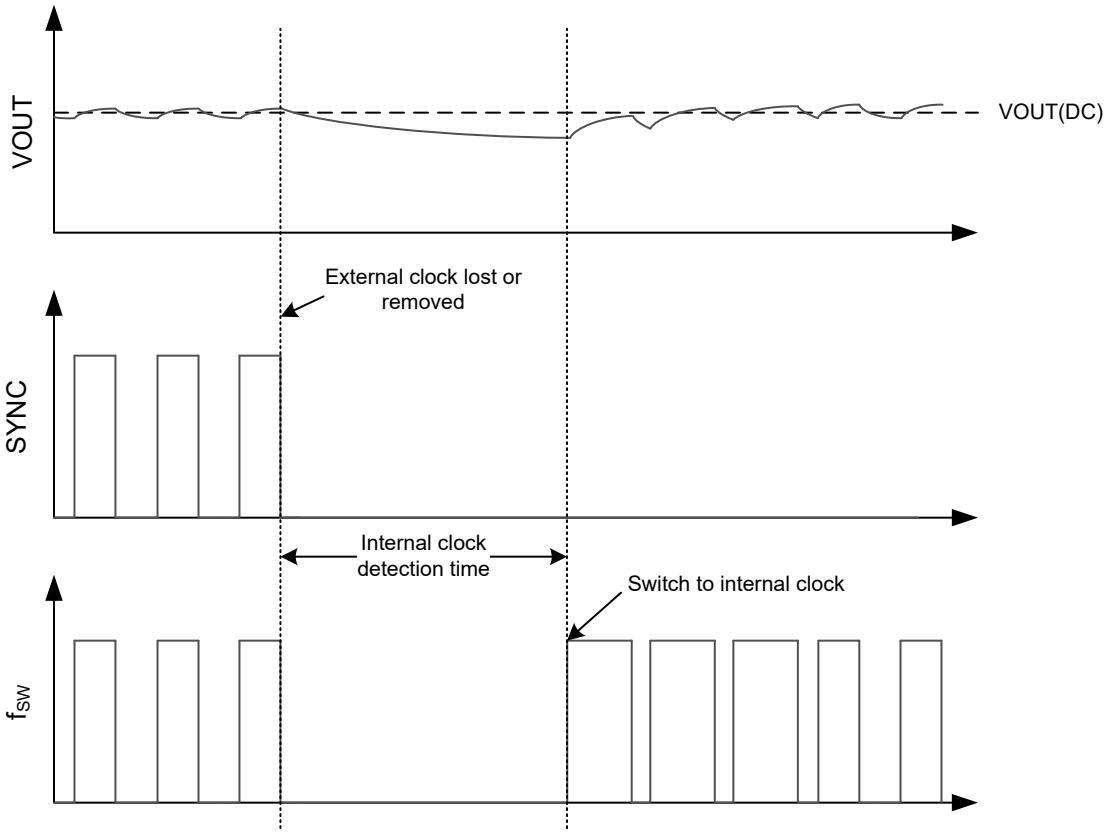


図 7-10. 外部から内部へのクロック遷移

7.3.9.2.1 TPS7H5021 および TPS7H5031 との外部同期

TPS7H5021 または TPS7H5031 を外部同期モードで使用する場合、50% のデューティ サイクル制限 (DCL) の最大値を維持するために実装すべき、いくつかの重要な動作上の違いがあります。*外部同期モード*に示すように、すべてのアプリケーションで最高の性能を得るには、外部クロックに 50% のデューティ サイクルが必要です。しかし、TPS7H5020 と TPS7H5030 ではこのデューティ サイクルの許容誤差は ±10% ですが、TPS7H5021 と TPS7H5031 ではこのクロックのデューティ サイクルをより厳密に制御する必要があります。特に、TPS7H5021 または TPS7H5031 を 100kHz~200kHz で使用する場合、最大 50% の DCL を維持するために、外部クロックのデューティ サイクルを 49%~51% の範囲で維持する必要があります。200kHz を超えると、デューティ サイクルの範囲は 48% ～ 52% の範囲で変化する場合があります。

さらに、すべての外部同期の使用ケースにおいて、RT ピンには必ず抵抗を接続して AGND に落とす必要があります。これにより、コンバータは、クロックが印加される前、またはクロックが喪失した場合にスイッチングを維持できます。ただし、200kHz を超えるスイッチング周波数を計画している場合、*内部発振器モード*で説明されているように、RT 抵抗の値は、標準的な RT 抵抗の選択肢と比較してわずかに変化します。ユーザーは式 9 を使用して得られる抵抗よりも約 30% 高い抵抗を選択する必要があります。

$$RT \approx 1.3 \times \left[\frac{112390}{f_{SW}} - 14.2\right] \quad (10)$$

表 7-2 に、各種の外部同期周波数に対する RT 選択の値の例を示します。

表 7-2. TPS7H5021 外部同期モードの推奨 RT 値

外部同期周波数	推奨 RT 値
100kHz	1.18MΩ- TPS7H5020 および TPS7H5030 と同じです
200kHz	732kΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-2. TPS7H5021 外部同期モードの推奨 RT 値 (続き)

外部同期周波数	推奨 RT 値
500kHz	274kΩ
1MHz (TPS7H5021 のみ)	130kΩ

更新された抵抗値の選択による主な影響として、クロックが入力されていない場合、コントローラはこの新しい RT 値によって決まる低い周波数でスイッチングすることに注意してください。外部クロックが適用されない状態で長時間動作する場合は、この低いスイッチング周波数がシステム全体の設計に及ぼす影響を評価する必要があります。表 7-3 に、TPS7H5021 と TPS7H5031 で外部同期を使用するための要件の概要を示します。

表 7-3. TPS7H5021 と TPS7H5031 の外部同期のガイドライン

目標周波数	許容クロックデューティ サイクル範囲	RT 抵抗の選択
< 200kHz	49%～51%	式 9 に従って — TPS7H5020 と TPS7H5030 と同じ
200kHz 以上	48%～52%	式 10 参照

7.3.10 デューティ サイクルの制約

TPS7H5020 と TPS7H5030 コントローラの最大デューティ サイクルは公称 100% です。このコントローラでは、出力は 100% デューティ サイクルに対応できますが、「最小オン時間とオフ時間」に記載されているように、コントローラの最小オフ時間に基づいて最大デューティ サイクルを設定することをユーザーにお勧めします。

TPS7H5021 と TPS7H5031 コントローラの最大デューティ サイクルは公称 50% です。このデューティ サイクル制限に関連する仕様については「仕様」を参照してください。このデバイスで外部同期オシレータ モードを使用する場合、デバイス仕様を満たすために、ユーザーは正確に 50% のデューティ サイクルを持つ外部クロックを供給することが推奨されます。推奨範囲を超えるデューティ サイクルの外部クロックを使用すると、最大デューティ サイクル制限が十分に機能せず、性能が低下する可能性があります。詳細については、TPS7H5021 と TPS7H5031 との外部同期を参照してください。

表 7-4. TPS7H502x および TPS7H503x の最大デューティサイクル

デバイス	最大デューティ サイクル (公称)
TPS7H5020 と TPS7H5030	100%
TPS7H5021 と TPS7H5031	50%

7.3.11 最小オン時間、最小オフ時間

TPS7H502x と TPS7H503x の出力には、最小オン時間としておおよそ 135ns (標準値) があります。最小オン時間は、出力がオン状態を維持する最小の時間です。そのため、最小オン時間は、電源コンバータ設計の入力から出力への変換比に制約を課す可能性があります。最小オン時間の制限を克服するためには、コンバータのスイッチング周波数およびトランスの巻数比 (該当する場合) の慎重な選定が必要です。単一スイッチの順方向、フライバック、およびブースト コンバータで連続導通モードを使用する場合、以下の式を使用して、主電源スイッチのオン時間が設計に適切であることを確認できます。

フォワードの場合:

$$t_{on_min} < \frac{V_{OUT} + V_D}{V_{IN} \times N_{SP} \times f_{SW}} \quad (11)$$

ここで

- t_{on_min} はコントローラの最小オン時間です
- V_{OUT} は、コンバータの希望する出力電圧です

Copyright © 2026 Texas Instruments Incorporated

- V_{IN} はコンバータの入力電圧です
- V_F は整流ダイオードの順方向電圧です
- N_{PS} は、トランスの一次側と二次側の巻数比です
- N_{SP} は、トランスの 2 次/ 1 次巻線比です（N_{PS} の逆数）
- f_{SW} はコンバータのスイッチング周波数です

フライバックの場合：

$$t_{on_min} < \frac{[V_{OUT} + V_f] \times \frac{N_P}{N_S}}{\left[V_{IN} + (V_{OUT} + V_f) \times \frac{N_P}{N_S}\right] \times f_{SW}} \quad (12)$$

昇圧の場合：

$$t_{on_min} < \frac{V_{OUT} + V_D - V_{IN}}{[V_{OUT} + V_D] \times f_{SW}} \quad (13)$$

同様に、最小オフ時間もコンバータの動作に制限を加えます。最小オフ時間は、次回のオン動作前に出力がオフの状態で維持される最小の時間です。出力が通常の PWM 動作によりスイッチング サイクル中にオフになった場合、出力は少なくとも 40ns（標準値）の間、オフ状態を維持します。ほとんどのアプリケーションでは、コンバータの定常状態でのデューティサイクルは 100% よりはるかに低く、出力はこの期間よりもずっと長くオフの状態を維持することができます。TPS7H5021 と TPS7H5031 では、デューティ サイクルが 50% の標準最大値に制限されているため、コントローラの最小オフ時間は問題にはなりません。

パワー コンバータ設計で TPS7H5020 または TPS7H5030 を使用する場合、最小オフ時間を考慮する必要がある状況があります。具体的には、このようなケースはデューティ サイクルが 100% に近く、次のスイッチング サイクルの開始時にターンオフが発生する場合に発生します。これらのアプリケーションでは、コンバータのフィードバック ループによって決定される意図されたオフ時間が、コントローラの最小オフ時間よりも短くなります。そのため、コントローラの最小オフ時間が次のスイッチング サイクルでの出力オン動作を遅延させます。これはすべての動作周波数で考慮する必要がありますが、最小オフ時間がスイッチング周期の中でより大きな割合を占める高周波数では、効果がより顕著になります。例えば、1MHz のスイッチング周波数では、デューティ サイクルが 96%（標準値）を超えると、次のサイクルのオン動作が遅延します。定常状態でコンバータの期待される動作を維持するために、式 14 に示すように、ユーザーはコンバータ設計に最大デューティ サイクルを設定できます。

$$D_{MAX} < 1 - t_{off_min} \times f_{SW} \quad (14)$$

ここで

- D_{MAX} は、次のサイクルでのオン動作遅延を避けるために推奨される最大コンバータ デューティ サイクルです
- t_{off_min} は、コントローラの最小オフ時間です
- f_{SW} は、電源コンバータのスイッチング周波数

7.3.12 パルス スキップ

TPS7H502x と TPS7H503x コントローラには、スタートアップ時や過渡期間、特に高周波動作時におけるコントローラの最小オン時間に関連するコンバータの動作問題を防ぐために、パルス スキップ モードが実装されています。このモード中、出力は定期的にスイッチングを停止します。高周波動作時に最小オンタイムが長すぎると、ソフトスタート期間中に電流の暴走などの問題を引き起こす可能性があります。パルス スキップは、スタートアップ期間中のピーク電流を低減することによって、この問題を解決できます。高周波コンバータ設計では、コンバータの V_{IN} と V_{OUT} の比率が最小オンタイムよりも小さい必要なデューティ サイクルを引き起こす場合、コントローラの出力は要求される出力電圧を維持するためにパルスをスキップします。パルス スキップは、以下の両方の条件が存在する場合に発生します：

- COMP ピンの電圧は、システム クロックの立ち上がりエッジで 0.3V 未満です
- 前のデューティ サイクルは 50% 未満でした

Copyright © 2026 Texas Instruments Incorporated

TPS7H5021 と TPS7H5031 の場合、デューティ サイクルは常に 50% 未満であるため、パルス スキップを開始するためには最初の条件のみが必要です。

7.3.13 リーディング エッジのブランキング時間

OUT が高くなると、リーディング エッジ ブランキング時間が実装され、一次電源スイッチの最初のターンオン後に、検出された電流波形における過渡現象やノイズが電流検出ループに検出されないようにします。リーディング エッジ ブランキング時間は 30ns（標準値）に固定されています。CS_ILIM ピンに RC フィルタを使用して、コンバータのスイッチング周波数よりもカットオフ周波数が十分に大きい場合、ノイズをさらに除去することもできます。一般的な目安は、目標カットオフをスイッチング周波数の 10 倍とすることです。

7.3.14 電流センスと PWM 生成（CS_ILIM）

CS_ILIM ピンは、パワー コンバータのメイン スイッチ電流を反映した信号によって駆動されます。電流信号は、COMP ピンの入力範囲と互換性がある必要があります。図 7-11 に示すように、COMP ピンの電圧はピーク電流のリファレンスとして使用されます。コントローラの出力である OUT は、内部クロック信号によってオンになり、検出された電流信号のピークが COMP/CCSR ピンの電圧（おおよそ COMP/2）に達するとオフになります。このピーク電流検出信号は、PWM コンパレータで COMP/CCSR と比較される際に、150mV のオフセット電圧が含まれていることに注意してください。CS_ILIM ピンは、コントローラの電流制限の設定にも使用されます。スロープ補償が RSC ピンを使用して実装されている場合、スロープ補償ランプは COMP/CCSR 信号から減算され、スロープ補償された COMP/CCSR 電圧とピーク電流検出信号が交差した時点で OUT がオフになります。ユーザーが内部エラー アンプをバイパスして COMP ピンを外部から駆動する場合、このピンで使用可能な電圧範囲は最大でおおよそ 2.3V です。CS_ILIM の電流制限をアクティブにするスレッショルドは 1V であり、COMP は CCSR によってスケールダウンされるため、COMP に印加される外部電圧が 2.3V を超えると、PWM コンパレータおよびフィードバック ループはそれに応答しなくなります。

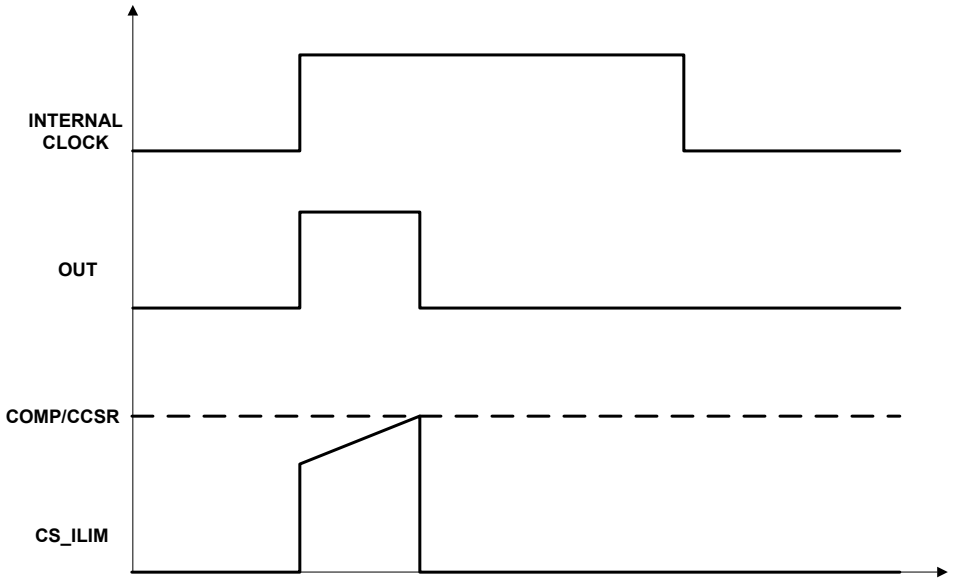


図 7-11. ピーク電流モード制御と PWM 生成

CS_ILIM から AGND に接続された抵抗は、PWM の適切な動作と過電流保護の両方のために電流を検出するために使用されます。電気的仕様では、電流制限のスレッショルド V_{CS_ILIM} が 1V（標準値）に設定されています。これは、このピンの電圧がしきい値に達すると、デバイスが電流制限モードに入り、出力 (OUT) がオフになることを示しています。式 15 は、選択した電流制限値に対するセンス抵抗の値を決定するための計算式を示しています。

$$R_{CS} = \frac{V_{CS_ILIM}}{I_{LIM}} \quad (15)$$

Copyright © 2026 Texas Instruments Incorporated

I_{LIM} の値は、電流をどこで、どのように検出するかを考慮する必要があることに注意してください。ソース側のプライマリ FET から AGND 間に検出抵抗を設けた、1 次側制御の絶縁型コンバータの場合、負荷電流に基づいて I_{LIM} を適切に計算する必要があります。トポロジにかかわらず、R_{CS} の値を決定する際は、通常動作時のピーク電流と過電流トリップ ポイントとの間に十分なマージンがあることを確認する必要があります。

7.3.15 ゲート ドライバの出力

TPS7H502x は、4.5V から 14V のゲート電圧を必要とするパワー半導体デバイスを駆動するために使用できるため、シリコン MOSFET と GaN FET ベースのパワー コンバータの両方に適したコントローラです。TPS7H503x は、ゲート電圧 8V ～ 14V のデバイスを駆動するように設計されています。各コントローラのゲート ドライバ段は分割出力を備えています。これらの出力は OUTH と OUTL で、順にソーシング出力とシンク出力です。これらの分割出力は、駆動されている電源デバイスのターンオンまたはターンオフ経路に追加の抵抗を配置することで、ターンオンおよびターンオフ速度を独立して調整する柔軟性を提供します。これらの出力は、PVIN の 12V 入力で 1.2A（標準）をソーシングおよびシンクすることができます。

7.3.16 電源なしの電圧クランプ

TPS7H502x と TPS7H503x には、ゲートドライバ出力に電圧クランプが含まれています。このクランプは、VIN が約 2V 未満の場合にのみ動作します。VIN の電圧が低い場合、内部の OUTL ドライバは十分に電力が供給されず、そのためドライバ出力を積極的に低く引き下げることができません。これにより、ドライバ出力が高インピーダンス状態になる可能性があり、電源なしの電圧クランプが追加されてこの問題を軽減しました。この電源なしクランプは、コントローラが無効になっている間のみ動作します。

コンバータのバス電圧 VBUS は、コントローラの入力 VIN が低い状態で上昇し始めることがあります。OUTL と PGND の間に十分に低いインピーダンスがない場合、バス電圧のスルーレート (dV/dt) により、ゲート-ドレイン容量 C_{GD} を通じて FET が意図せずオンになる可能性があります。C_{GD} を流れる誘導電流は、ゲート-ソース間容量 C_{GS} を FET のゲート-ソース閾値を超えるまで充電し、これにより VBUS から PGND への不正な電流が流れることがあります。電力が供給されていない電圧クランプは、ドライバに十分な電圧が供給され、コントローラが有効化されるまで、FET のゲート電圧を制限します。電圧クランプの値は、「仕様」表に表示されます。コントローラが有効化されると、電圧クランプは無効化され、コントローラとドライバの正常な動作には干渉しません。クランプを非アクティブにする条件は、「スタートアップ」に示すように、デバイスの起動に必要な条件と同じであることに注意してください。外部プルダウン抵抗を OUT と PGND の間に接続することで、電力供給されていない電圧クランプを補完し、意図しないターンオンに関連する問題をさらに軽減することができます。使用する場合は、10kΩ から 50kΩ までの範囲のプルダウン抵抗を推奨します。外部抵抗を追加すると、デバイスの静止電流および動作電流がわずかに増加することに注意してください。小さい抵抗を使用すると、これらの電流の増加が大きくなります。

Copyright © 2026 Texas Instruments Incorporated

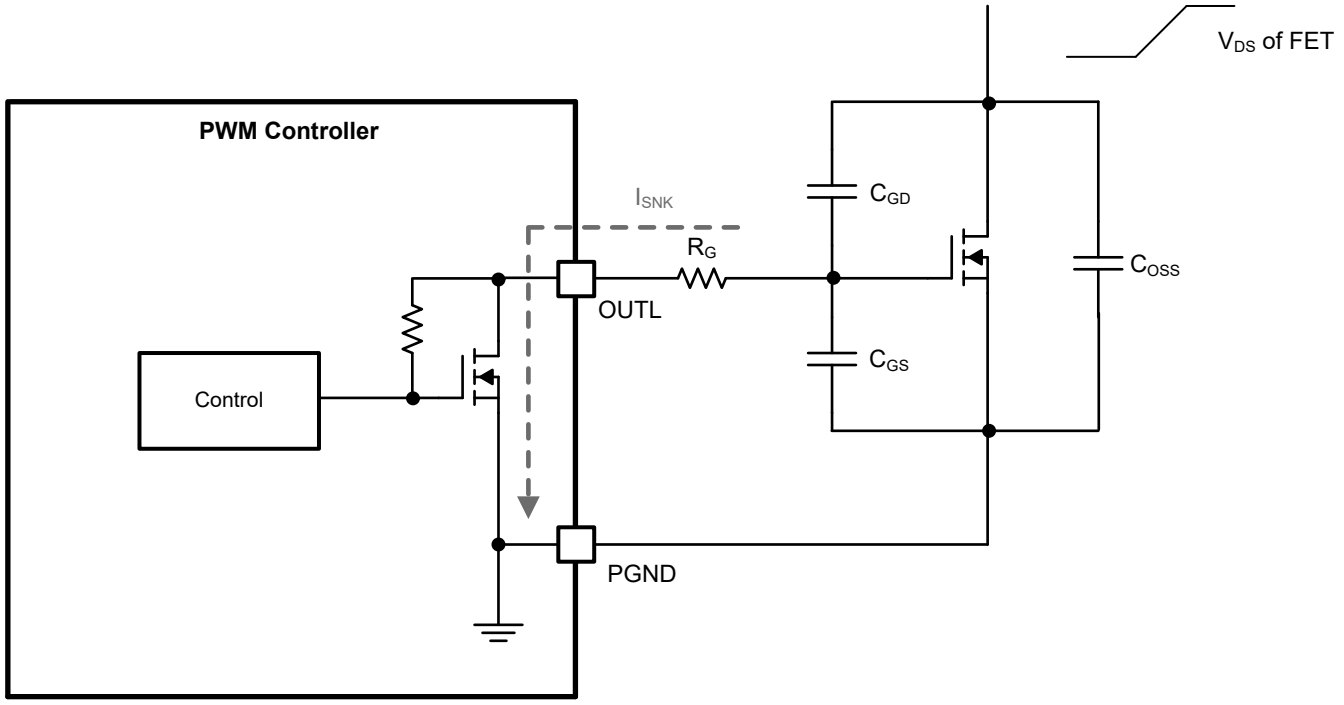


図 7-12. 電源なしの電圧クランプ

7.3.17 ソース ドライバのリターン（OUTH_REF）

ドライバのソース・ドライバ（OUTH）ステージのリターンは OUTH_REF ピンに出力されており、特定の動作条件下で 220nF の外部コンデンサを接続できます。OUTH_REF の電圧は、PVIN の電圧よりおおよそ 6V 低くなります。このピンと PVIN の間に外部コンデンサを接続することにより、ドライバの過渡性能が改善されるだけでなく、放射線誘発単一事象トランジェント（SET）に対する抑制効果も得られます。OUTH_REF コンデンサは、PVIN に外部電圧が 6V 以上適用される場合にのみ必要であることに注意してください。PVIN が 6V 未満の場合、OUTH_REF は PGND に直接接続できます。TPS7H503x デバイスでは、PVIN の最小推奨動作条件が 8V である場合、OUTH_REF と PVIN の間に 220nF のコンデンサが常に必要であることに注意してください。

表 7-5. OUTH_REF の接続

ドライバの入力電圧	構成
PVIN < 6V	OUTH_REF を PGND に接続します。
PVIN ≥ 6V	OUTH_REF と PVIN の間に 220nF のコンデンサを接続します

7.3.18 勾配補償（RSC）

スイッチング電源コンバータ設計でピーク電流モード制御を使用する場合、主電源スイッチのデューティ サイクルが 50% を超えると、コンバータが不安定な状態に入る可能性があります。基本的に、コンバータは、ピーク電流と平均電流の誤差が次のスイッチングサイクルごとに増加する状態になります。この不安定性は、サブハーモニック振動として知られ、スロープ補償を加えることで緩和できます。TPS7H502x と TPS7H503x では、スロープ補償は電圧ランプの形で行われ、誤差増幅器出力を CCSR (COMP と CS_ILIM の比) で割った値から差し引かれます。全デューティ サイクル範囲での安定性を確保するための最小スロープ補償は 0.5 × *m* に等しく、ここで *m* はインダクタの降下電流スロープです。推奨されるスロープ補償は 1×*m* で、この値を超える増加は安定性の改善にはつながりません。

フォワード コンバータおよびブースト コンバータでは、スロープ補償を出力インダクタ電流の降下スロープに等しく設定できます。フライバック コンバータでは、スロープ補償はフライバック トランスの電流の降下スロープを使用して計算されます。絶縁型トポロジでは、検出された電流波形がトランスの巻数比も考慮する必要があることに注意してください。

フォワードの場合：

Copyright © 2026 Texas Instruments Incorporated

$$SC = \frac{V_{OUT} \times R_{CS} \times A_{CS}}{L_{OUT} \times N_{PS}} \quad (16)$$

フライバックの場合：

$$SC = \frac{V_{OUT} \times R_{CS} \times A_{CS}}{L_{PRI} \times N_{PS}} \quad (17)$$

昇圧の場合：

$$SC = \frac{[V_{OUT} - V_{IN}] \times R_{CS} \times A_{CS}}{L} \quad (18)$$

ここで

- SC はスロープ補償値で、V/µs 単位です
- L_{OUT} 出力インダクタの値（µH 単位）（フォワード）
- L_{PRI} は 1 次側インダクタンス値（µH 単位）（フライバック）
- L は、µH 単位のインダクタ値（昇圧）
- N_{PS} はトランスの巻数比
- R_{CS} は、電流検出トランスの 2 次巻線の巻数
- A_{CS} は電流センス段に関連するゲインであり、使用する場合は電流検出アンプとトランスも含まれます
- V_{OUT} はレギュレートされた出力電圧
- V_{IN} は最大入力電圧

TPS7H502x と TPS7H503x コントローラでは、RSC ピンから AGND への抵抗を使用して、希望するスロープ補償を設定できます。式 19 は、RSC の適切な抵抗値を決定するための計算を示しています。

$$RSC = \frac{29.5}{SC^{1.07}} \quad (19)$$

ここで

- SC は、希望するスロープ補償の値（V/µs 単位）です
- RSC は kΩ 単位です

7.3.19 周波数補償

TPS7H502x と TPS7H503x はトランスコンダクタンス誤差増幅器 (OTA) を使用しているため、Type 2A または Type 2B の周波数補償を適用できます。2 種類の補償方式の主な違いは、Type 2A が高周波ノイズの減衰を目的として、R_{COMP} および C_{COMP} と並列にコンデンサ C_{HF} を追加していることです。これらの部品は、コントローラの COMP ピン (OTA の出力) と AGND の間に接続されます。

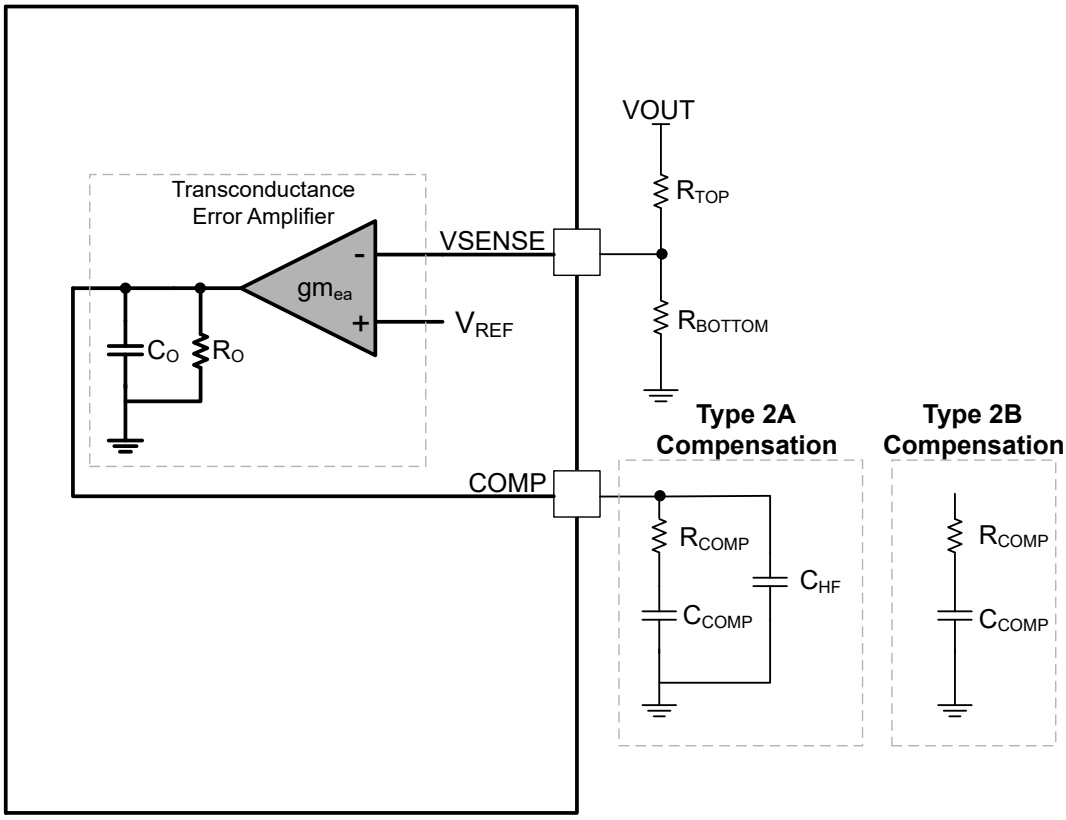


図 7-13. TPS7H502x と TPS7H503x 周波数補償オプション

TPS7H502x と TPS7H503x がサポートするトポロジに対しては、以下の手順と式を使用して補償部品を選定できます。特に記載がない限り、式中のすべてのパラメータは標準単位 (つまり、H はインダクタンス、F は静電容量、Hz は周波数など) で表されています。

1. コンバータの目的のクロスオーバ周波数 (f_c) を選択します。ブースト コンバータおよびフライバック コンバータには、右半平面 (RHP) ゼロが存在し、これがコンバータの目標クロスオーバ周波数を制限することに注意してください。これらのトポロジでは、クロスオーバ周波数は RHP ゼロ周波数の 1/4 ～ 1/10 の範囲に設定することを推奨します。フォワード コンバータでは、クロスオーバ周波数はスイッチング周波数の 1/10 以下に設定することを推奨します。
2. パワーステージの相互コンダクタンス G_M を計算します。
   - フォワード コンバータの場合:

$$G_M = \frac{N_{PS}}{A_{CS} \times R_{CS}} \quad (20)$$

   - フライバック コンバータの場合:

$$G_M = \frac{[1 - D_{MAX}] \times N_{PS}}{A_{CS} \times R_{CS}} \quad (21)$$

   - 昇圧コンバータの場合:

$$G_M = \frac{1 - D_{MAX}}{A_{CS} \times R_{CS}} \quad (22)$$

ここで

- N_{PS} は、トランスの一次側と二次側の巻数比です
- A_{CS} は、電流センス ステージに関連するゲインです。

Copyright © 2026 Texas Instruments Incorporated

- R_{CS} は電流検出抵抗の値で、単位は Ω です。
- D_{MAX} は、アプリケーションの最大デューティ サイクルです。

3. 目標クロスオーバ周波数を達成するために、エラー アンプ ネットワークのゲイン A_{VM} を計算します。

$$A_{VM} = \frac{2\pi \times f_C \times C_{OUT}}{G_M} \quad (23)$$

ここで
- f_C は選択されたクロスオーバー周波数です
- $C_{OUT\ min}$ は最小出力キャパシタンスです
- G_M は、パワーステージの相互コンダクタンスです。

4. 必要なゲイン A_{VM}、エラー アンプの相互コンダクタンス g_{MEA}、およびフィードバック抵抗値に基づいて、R_{COMP} を計算します。

$$R_{COMP} = \frac{A_{VM}}{g_{mea} \times K_{FB}} \quad (24)$$

ここで

$$K_{FB} = \frac{R_{BOTTOM}}{R_{BOTTOM} + R_{TOP}} \quad (25)$$

5. エラー アンプ ネットワークのゼロを、目標クロスオーバ周波数のおおよそ 1/10 に設定することを推奨します。

$$f_{ZEA} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} = \frac{f_C}{10} \quad (26)$$

したがって、次のようになります。

$$C_{COMP} = \frac{1}{2\pi \times 0.1 \times f_C \times R_{COMP}} \quad (27)$$

6. 補償回路の高周波のポールを設定します。フォワード コンバータでは、これをコンバータの ESR ゼロの周波数と同じに設定できます。昇圧コンバータおよびフライバック コンバータの場合は、ESR ゼロと RHP ゼロのうち、低い方に設定します。

$$f_{HF} = \frac{1}{2\pi \times R_{COMP} \times C_{HF}} = f_{Z_ESR} \text{ or } f_{RHPZ} \quad (28)$$

したがって、次のようになります。

$$C_{HF} = \frac{1}{2\pi \times f_{Z_ESR} \times R_{COMP}} \quad (29)$$

または

$$C_{HF} = \frac{1}{2\pi \times f_{RHPZ} \times R_{COMP}} \quad (30)$$

ここで説明した手順は、部品選定のための出発点として意図されていることに注意してください。周波数補償は反復的なプロセスとなることが多く、最適な値は通常、コンバータのハードウェア テストによって得られます。

7.3.20 サーマル シャットダウン

接合部温度が標準 185°C を超えると内部のサーマル シャットダウン回路がデバイスのスイッチングを強制停止します。接合部温度が標準 170°C を下回ると、デバイスはパワーアップ シーケンスを再び開始します。

7.4 デバイスの機能モード

TPS7H502x と TPS7H503x シリーズは、固定周波数のピーク電流モード制御を使用しています。コントローラは、コンバータのピーク電流とデューティ サイクルを調整します。内部発振器は電源スイッチのゲート ドライバ出力のターンオンを開始します。外部電源スイッチの電流は外部抵抗を通じて検出され、内部コンパレータを介して比較されます。COMP ピン

Copyright © 2026 Texas Instruments Incorporated

で生成された電圧は、内部の抵抗を通じて降圧されます。検出された電流が降圧された COMP 電圧に達すると、電力スイッチがオフになります。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS7H502x と TPS7H503x は、ゲートドライバを内蔵した放射線耐性 PWM コントローラです。このドライバの入力電圧範囲は TPS7H502x では 4.5V から 14V で、TPS7H503x の範囲は 8V から 14V です。TPS7H502x は最大 1MHz のプログラム可能なスイッチング周波数を提供し、TPS7H503x は最高 500kHz でプログラミングできます。さらに、TPS7H502x の統合されたドライバは、コントローラのプログラム可能な LDO を活用し、その出力から PVIN への接続を行うことで、GaN FET と連携して動作するように構成できます。シリコン MOSFET と組み合わせてドライバを使用するために、TPS7H502x と TPS7H503x の両方で PVIN には最大 14V の高い入力電圧を使用できます。コントローラは、フライバック、フォワード、昇圧など、さまざまな電源トポロジをサポートできますが、これらに限定されません。

8.2 代表的なアプリケーション

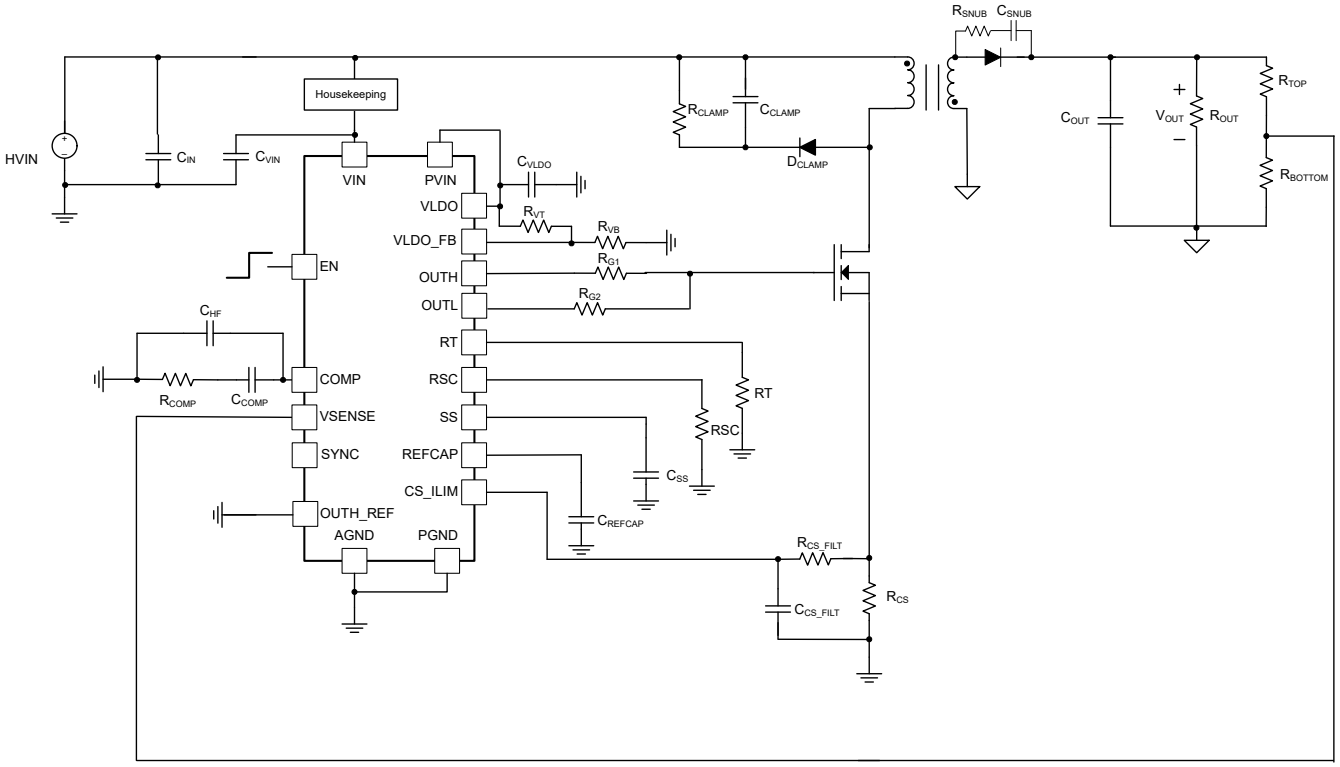


図 8-1. TPS7H5020 の代表的なアプリケーション回路図

8.2.1 設計要件

提供された例では、GaN パワー半導体デバイスを一次スイッチング FET として使用したフライバック コンバータの設計が詳述されています。目的は、TPS7H5020 のコンポーネント選定方法と、コンバータのパワーステージにおける主要なコンポーネントの選定方法を示すことです。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ

設計パラメータ	値
入力電圧範囲	22V ～ 36V、公称 28V
出力電圧	5V ±10%
最大出力電流	4A
スイッチング周波数	500kHz
ターゲット帯域幅	≅4kHz
全負荷ステップ（4A）過渡応答	≤ 375mV

8.2.2 詳細な設計手順

8.2.2.1 スイッチング周波数

フライバック コンバータは、500kHz のスイッチング周波数で動作するように設計されました。宇宙規格のコンバータ設計では、このスイッチング周波数において GaN パワーデバイスがシリコン製の対抗デバイスに対して優れた利点を持つことが明確に示されています。式 31 を使用すると、目的の周波数に必要な RT 抵抗を決定できます。f_{SW} の値は kHz 単位、RT は kΩ 単位であることに注意します。

$$\mathrm{RT} = \frac{112390}{\mathrm{f_{SW}}} - 14.2 \tag{31}$$

$$\mathrm{RT} = \frac{112390}{500} - 14.2 = 210.5\mathrm{k\Omega} \tag{32}$$

設計には、標準的な抵抗値として 210kΩ が理想的です。利用可能性のため、205kΩ の値はわずかに小さくなりました。

8.2.2.2 出力電圧設定用抵抗の選定

このコンバータの出力電圧は 5V です。VSENSE に接続された帰還分圧抵抗は、目的の V_{OUT} に対応するよう選択します。R_{TOP} に 10kΩ の抵抗が選定された場合、分圧器の下側抵抗の値を計算できます。

$$\mathrm{R_{BOTTOM}} = \frac{\mathrm{V_{REF}}}{\mathrm{V_{OUT} - V_{REF}}} \times \mathrm{R_{TOP}} \tag{33}$$

$$\mathrm{R_{BOTTOM}} = \frac{0.6\mathrm{V}}{5\mathrm{V} - 0.6\mathrm{V}} \times 10\mathrm{k\Omega} = 1.36\mathrm{k\Omega} \tag{34}$$

必要な R_{TOP} と R_{BOTTOM} の値は、それぞれ 10kΩ と 1.37kΩ です。

8.2.2.3 ドライバ PVIN 構成

この設計例では、意図されたパワー半導体デバイスは GaN FET です。このため、VLDO はドライバの PVIN に接続されます。VLDO は 4.5V から 5.5V に設定可能であり、この例では名目上の駆動電圧として 5V が選定されています。VLDO を 5V 動作に設定するために、VLDO_FB と GND の間に適切な抵抗を選定するために式 35 が使用されます。

$$\mathrm{R_{VB}} = \frac{\mathrm{V_{REFCAP}}}{\mathrm{V_{LDO} - V_{REFCAP}}} \times \mathrm{R_{VT}} \tag{35}$$

$$\mathrm{R_{VB}} = \frac{1.225\mathrm{V}}{5\mathrm{V} - 1.225\mathrm{V}} \times 10\mathrm{k\Omega} = 3245\Omega \tag{36}$$

R_{VB} の値は 3.24kΩ に選定されます。PVIN が VLDO に接続され、6V 未満の場合、OUTH_REF は 表 7-5 に従って直接 GND に接続する必要があります。

プログラマブル VLDO 出力を使用すると、使用する特定の GaN FET に従ってゲート電圧を調整できます。さらに、基板寄生や不適切なレイアウトが原因でゲート電圧のオーバーシュートが問題となる場合は、プログラマブル VLDO 出力を使

Copyright © 2026 Texas Instruments Incorporated

用してゲート電圧を下げることが軽減のためのオプションとなる可能性があります。ただし、この理由でゲート電圧を調整すると、GaN FET オン抵抗が増加し、コンバータの効率が低下する可能性があるなど、システム全体に他の影響を及ぼす可能性があることに注意してください。

8.2.2.4 ソフトスタート コンデンサの選択

この設計では、ソフト スタート時間は、突入電流を制限するのに十分な時間があるよう選択されています。選定されたソフトスタート用コンデンサの値は 33nF です。この値に基づいて、ソフトスタート時間を計算できます。

$$t_{SS} = \frac{C_{SS} \times V_{REF}}{I_{SS}} \tag{37}$$

$$t_{SS} = \frac{33nF \times 0.6V}{2.8\mu A} = 7.07ms \tag{38}$$

ソフトスタート時間は、設計の場合約 7.1ms です。

8.2.2.5 トランスの設計

トランスの巻線比と 1 次側インダクタンスは、コンバータの目標仕様に基づいて決定されます。巻線比は、最大デューティ サイクル 35% に基づいて計算されます。

$$N_{PS_MAX} = \frac{V_{IN_MIN} \times D_{MAX}}{[V_{OUT} + V_D] \times [1 - D_{MAX}]} \tag{39}$$

$$N_{PS_MAX} = \frac{22V \times 0.35}{[5V + 0.7] \times [1 - 0.35]} = 2.08 \tag{40}$$

設計には巻線比 2 が選定されました。実際の巻線比に基づいて、最小および最大デューティ サイクルを計算できます。

$$D_{MIN} = \frac{[V_{OUT} + V_D] \times N_{PS}}{[V_{OUT} + V_D] \times N_{PS} + V_{IN_MAX}} \tag{41}$$

$$D_{MIN} = \frac{[5V + 0.7V] \times 2}{[5V + 0.7V] \times 2 + 22V} = 0.241 \tag{42}$$

$$D_{MAX} = \frac{[V_{OUT} + V_D] \times N_{PS}}{[V_{OUT} + V_D] \times N_{PS} + V_{IN_MIN}} \tag{43}$$

$$D_{MAX} = \frac{[5V + 0.7V] \times 2}{[5V + 0.7V] \times 2 + 22V} = 0.341 \tag{44}$$

1 次側インダクタンスは、20% の電流リップルに基づいて計算しました。

$$L_P = \frac{V_{IN_MAX}^2 \times D_{MIN}^2}{V_{OUT} \times I_{OUT} \times f_{SW} \times \%_{RIPPLE}} \tag{45}$$

$$L_P = \frac{36V^2 \times 0.24^2}{5V \times 4A \times 500kHz \times 0.2} = 37.3\mu H \tag{46}$$

実際の設計で選定された 1 次側インダクタンスは 30µH で、これにより実際のリップルはおおよそ 25% となります。以下の方程式は、トランスの適切な設計に必要な一次および二次電流を計算する方法を詳述しています。これらの式は、トランスの物理構造を定義するのに役立ちます。

$$I_{RIPPLE} = \frac{V_{OUT} \times I_{OUT} \times \%_{RIPPLE}}{V_{IN_MAX} \times D_{MIN}} \tag{47}$$

$$I_{RIPPLE} = \frac{5V \times 4A \times 0.25}{36V \times 0.24} = 0.58A \tag{48}$$

Copyright © 2026 Texas Instruments Incorporated

$$I_{PRI_PEAK} = \frac{V_{OUT} \times I_{OUT}}{V_{IN_MIN} \times D_{MAX} \times \eta} + \frac{I_{RIPPLE}}{2} \quad (49)$$

$$I_{PRI_PEAK} = \frac{5V \times 4A}{22V \times 0.35 \times 0.85} + \frac{0.58A}{2} = 3.35A \quad (50)$$

$$I_{PRI_RMS} = \sqrt{D_{MAX} \times \left[\frac{V_{OUT} \times I_{OUT}}{V_{IN_MIN} \times D_{MAX}}\right]^2 + \frac{I_{RIPPLE}^2}{3}} \quad (51)$$

$$I_{PRI_RMS} = \sqrt{0.35 \times \left[\frac{5V \times 4A}{22V \times 0.35}\right]^2 + \frac{0.58A^2}{3}} = 1.57A \quad (52)$$

$$I_{SEC_RMS} = \sqrt{[1 - D_{MAX}] \times I_{OUT}^2 + \frac{[I_{RIPPLE} \times N_{PS}]^2}{3}} \quad (53)$$

$$I_{SEC_RMS} = \sqrt{[1 - 0.35] \times 4A^2 + \frac{[0.58A \times 2]^2}{3}} = 3.29A \quad (54)$$

8.2.2.6 1 次側パワー スイッチの選択

フライバック トポロジでは、FET のドレインに印加可能な最大電圧が、式 55 に従って計算されます。

$$V_{DS} = [V_{IN_MAX} + V_L] + N_{PS} \times [V_{OUT} + V_D] \quad (55)$$

$$V_{DS} = [36V + 12V] + 2 \times [5V + 0.7V] = 59.4V \quad (56)$$

アプリケーションには、少なくとも 60V 定格の FET が必要です。実際には、過渡的なスパイクとリンギングに対応できるように、より電圧定格の高い FET を選択する必要があります。さらに、FET の電流定格は、*トランスの設計*で計算した 1 次側電流よりも高くする必要があります。選択した GaN デバイスは、電圧定格が 200V で、電流定格は 22A です。

8.2.2.7 出力ダイオードの選択

2 次側でダイオードが発生する最大電圧ストレスは、式 57 を使用して計算できます。

$$V_{D_STRESS} = V_{OUT} + \frac{V_{IN_MAX}}{N_{PS}} \quad (57)$$

$$V_{D_STRESS} = 5V + \frac{36V}{2} = 23V \quad (58)$$

最大予想電圧は 23V ですが、トランジェント電圧スパイクを考慮して余裕を持たせるために、より高い定格を選択する必要があります。出力ダイオードに RC スナバが必要な場合があり、これは電源ダイオードのターンオフ時におけるリンギングの範囲と大きさによって異なります。ダイオードの定格電流は、コンバータの最大負荷電流を処理できる十分な容量である必要があります。ダイオードは、最大動作条件を大幅に上回る余裕を持たせるために、80V および 15A の定格で選定されました。

8.2.2.8 RCD クランプ

コンバータおよびプリント基板内の漏れインダクタンスや寄生容量が FET のドレインで過剰なリングを引き起こし、最終的に問題となる可能性があるため、RCD クランプが使用され、リングの大きさと周波数を FET の選択された電圧定格内で十分に減衰させます。

一般的に、これらの値はテスト時に最適化されます。リンギングはプリント基板の寄生成分に大きく依存するためです。しかし、出発点として、次の方程式を使用して、許容されるオーバーシュートに基づいてクランプ抵抗 R_{CLAMP}、およびコンデンサ C_{CLAMP} の値をそれぞれ決定することができます。

$$V_{CLAMP} = K_{CLAMP} \times N_{PS} \times [V_{OUT} + V_D] \quad (59)$$

Copyright © 2026 Texas Instruments Incorporated

パラメータ K_{CLAMP} は、目標のオーバーシュート値を定義します。たとえば、許容されるオーバーシュートを 50% にすると、K_{CLAMP} を 1.5 に設定します。

次に、トランスの漏れインダクタンス $L_{LEAKAGE}$ および 1 次側ピーク電流 I_{PRI_PEAK} を使用して、クランプ抵抗を概算できます。クランプ コンデンサの値は、その後で決定できます。ΔV_{CLAMP} は、クランプ容量の許容リップルを希望するクランプ電圧の割合として定義することに注意してください。たとえば、2% のリップルの場合、ΔV_{CLAMP} は 0.02 に設定されます。

$$R_{CLAMP} = \frac{V_{CLAMP}^2}{0.5 \times L_{LEAKAGE} \times I_{PRI_PEAK}^2 \times \frac{V_{CLAMP}}{V_{CLAMP} - N_{PS} \times [V_{OUT} + V_D]} \times f_{SW}} \quad (60)$$

$$C_{CLAMP} = \frac{1}{\Delta V_{CLAMP} \times V_{CLAMP} \times R_{CLAMP} \times f_{SW}} \quad (61)$$

8.2.2.9 出力容量選択

一般に、コンバータに必要な出力容量を決定するために使用できる計算には 2 種類あります。まず、式 62 に示すように、設計の出力電圧リップル要件を満たすために必要な出力キャパシタンスの量を決定します。最初に式 64 に示すように、最悪の負荷遷移に対して出力で許容される最大電圧偏差を満たすために必要なキャパシタンスの量を計算します。2 つの計算が実行された後、これらのうち最大の値を設計の出力キャパシタンスとして選択する必要があります。計算は、出力電圧の 2% の目標電圧リップルおよび出力電圧 7.5% の最大許容電圧偏差に対して示されています。

$$C_{OUT} > \frac{I_{OUT} \times D_{MAX}}{V_{RIPPLE} \times f_{SW}} \quad (62)$$

$$C_{OUT} > \frac{4A \times 0.35}{100mV \times 500kHz} = 28\mu F \quad (63)$$

$$C_{OUT} > \frac{\Delta I_{STEP}}{2\pi \times \Delta V_{OUT} \times f_C} \quad (64)$$

$$C_{OUT} > \frac{4A}{2\pi \times 375mV \times 4kHz} = 424.4\mu F \quad (65)$$

計算に基づき、少なくとも出力容量の 425µF が必要です。コンデンサを選定する際には、経年変化、温度、および DC バイアスを考慮して必要なキャパシタンスの低減（デレーティング）を考慮します。

宇宙用コンバータ設計では、出力キャパシタンスを選定する際に別の考慮事項があります。これは、放射線によって引き起こされる単一事象過渡 (SET) の影響です。単一の高エネルギー粒子の衝突は、コントローラの PWM 変動に一時的な変動を引き起こし、それがコンバータの出力電圧過渡を引き起こす可能性があります。したがって、上記の値は電圧リップルおよび／または負荷過渡に対応する最小値を提供しますが、適切な SET 軽減のためには追加のキャパシタンスが必要になる可能性があります。この設計例では、総出力容量の約 470µF を採用しました。

必要に応じて、追加の出力フィルタを使用して、出力段のノイズをさらに低減できます。この出力フィルタは、追加のインダクタと少量のセラミック キャパシタンスで構成されています。フィルタのインダクタンスは、追加されたセラミック キャパシタンスと、設計に必要とされることが決定された大容量出力キャパシタンスの間に配置されます。このアプローチは、必要な部品のサイズや数を大幅に増加させることなく、出力電圧リップルを劇的に低減できます。2 次側フィルタ設計の鍵となるのは、共振周波数をターゲット クロスオーバ周波数より高く、かつスイッチング周波数および大容量出力キャパシタンスの ESR ゼロよりも十分低く選択することです。式 66、式 67、式 68 は、ESR ゼロに加え、追加の出力フィルタの共振周波数と減衰を決定するために使用できます。

$$f_{resonant} = \frac{1}{2\pi \times L_f \times C_{OUT_BULK}} \quad (66)$$

$$f_{zero} = \frac{1}{2\pi \times C_{OUT_BULK} \times ESR_{BULK}} \quad (67)$$

Copyright © 2026 Texas Instruments Incorporated

$$Att_{fsw} = 40 \times \log_{10}\left[\frac{f_{SW}}{f_{resonant}}\right] - 20 \times \log 10 \times \frac{f_{SW}}{f_{zero}} \quad (68)$$

出力フィルタにより高周波でピークが発生する場合、抵抗を使用してこのピーク効果を減衰できます。式 69 と式 70 をピークの周波数と、適切な減衰を提供するために必要な抵抗の値を決定するために使用できます。

$$\omega_o = \frac{2 \times [C_{OUT_CER} + C_{OUT_BULK}]}{L_f \times C_{OUT_CER} \times C_{OUT_BULK}} \quad (69)$$

$$R_f = \frac{R_{OUT} \times L_f \times [C_{OUT_CER} + C_{OUT_BULK}] - \frac{L_f}{\omega_o}}{\frac{R_{OUT} \times [C_{OUT_CER} + C_{OUT_BULK}]}{\omega_o} - [L_f \times C_{OUT_CER}]} \quad (70)$$

8.2.2.10 電流センス抵抗

CS_ILIM と GND の間に接続される電流検出抵抗を選定する際には、考慮すべき事項やトレードオフがあります。一般的に、抵抗はコンバータが選択した最大電流でサイクル毎の制限に入るように単純に選定されます。例えば、電流検出抵抗が過電流保護が最大負荷電流の 125% で作動するように選定された場合、この設計では 5A に相当します。式 49 を使用すると、対応するピーク 1 次側電流は約 4.1A になります。R_{CS} の対応する値は、次の式に基づいて求められます。ここで、V_{CS_ILIM} はコントローラの電流制限スレッショルドです:

$$R_{CS} = \frac{V_{CS_ILIM}}{I_{LIM}} \quad (71)$$

ユーザーは、センシング抵抗が一次側 FET のソースとグラウンドの間に接続されている場合、その抵抗両端の電圧が、FET に印加されるゲート ソース間電圧全体から差し引かれる可能性があることに注意することが推奨されます。これは、ドライバが FET のソースではなくグランドを基準としている場合です。したがって、GaN FET を駆動する際には、ユーザーはセンス抵抗にかかる電圧降下に注意する必要があります。コントローラを使用して GaN デバイスを駆動する際に、PVIN を VLDO に接続すると、プログラム可能な VLDO 出力をより高い電圧に設定でき、その結果、センス抵抗の電圧を補償するために FET に適用される V_{GS} が大きくなります。過電流のリスクが低い場合は、R_{CS} 電圧を最小化するために検出抵抗を小さくすることもできます。この設計では、電流検出抵抗は 100mΩ に選定されました。これは、1 次側 GaN FET に約 10A の I_{LIM} 値に相当します。

ゲート駆動電流ループにセンス抵抗を配置する際は、いくつかの考慮事項があります。

- この抵抗によって生じる電圧オフセットを低減するため、できるだけ小さいセンス抵抗を選択します。
- GaN FET レイアウトについては、ベストプラクティスに従ってください。ゲート電流ループにセンス抵抗を追加すると、ループ全体の面積が増加します。ループの寄生インダクタンスをできるだけ小さくする必要があります。
- すでに説明したように、必要に応じて、プログラム可能な VLDO 出力を使用することで、センス抵抗の両端の電圧降下を補償できます。
- 電流が大きく、周波数が高い場合、ゲート ループ内にセンス抵抗を使用することで発生する課題がより明確になる可能性があります。

コントローラには、FET のターンオン時にノイズ スパイクによる不正確な PWM または電流動作の可能性を減らすためのリーディング エッジ ブランキングが備わっていますが、検出された電流信号からノイズをさらに除去するためにローパス RC フィルタが必要です。フィルタのカットオフ周波数は、選択したスイッチング周波数の少なくとも 1 桁上に設定することを推奨します。

8.2.2.11 周波数補償部品の選択

フライバック コンバータの極とゼロは、以下の式で決定できます。フライバック コンバータには、右半平面ゼロも存在することに注意してください。

$$f_{Z_ESR} = \frac{1 + D_{MAX}}{2\pi \times C_{OUT} \times R_{ESR}} \quad (72)$$

Copyright © 2026 Texas Instruments Incorporated

$$f_{Z_ESR} = \frac{1 + 0.35}{2\pi \times 470\mu F \times 4m\Omega} = 114.3kHz \quad (73)$$

$$f_P = \frac{1}{2\pi \times C_{OUT} \times \frac{V_{OUT}}{I_{OUT}}} \quad (74)$$

$$f_P = \frac{1}{2\pi \times 470\mu F \times \frac{5V}{4A}} = 270.9Hz \quad (75)$$

$$f_{RHPZ} = \frac{\frac{V_{OUT}}{I_{OUT}} \times [1 - D_{MAX}]^2}{2\pi \times \frac{L_{PRI}}{N_{PS}^2} \times D_{MAX}} \quad (76)$$

$$f_{RHPZ} = \frac{\frac{5V}{4A} \times [1 - 0.35]^2}{2\pi \times \frac{30\mu H}{2^2} \times 0.35} = 32.0kHz \quad (77)$$

安定性を確保するために、エラ アンプの極と零点を適切に配置するために、Type 2A 補償ネットワークを使用できます。この補償技法は、連続導通モードで動作するフライバック用であることに注意してください。クロスオーバー周波数は、通常、RHP ゼロ周波数の 1/4 から 1 桁下の範囲に設定されます。この設計では、4kHz のクロスオーバー周波数を目標としています。エラー アンプのネットワーク ゲインは、目 目標クロスオーバー周波数を達成するために設定され、R_{COMP} に依存します。R_{COMP} の方程式は、式 21 、式 23 、式 24 から導出され、式 78 に示されています。R_{FB} の値は、式 25 に示すように計算されます。

$$R_{COMP} = \frac{2\pi \times f_C \times C_{OUT} \times A_{CS} \times R_{CS}}{[1 - D_{MAX}] \times N_{PS} \times K_{FB} \times g_m} \quad (78)$$

$$R_{COMP} = \frac{2\pi \times 4kHz \times 470\mu F \times 1 \times 0.1\Omega}{[1 - 0.35] \times 2 \times 0.12 \times 1750\frac{\mu A}{V}} = 4326.88\Omega \quad (79)$$

エラー アンプのゼロはクロスオーバー周波数の 1/10 に設定されるため、C_{COMP} の値を選択できます。

$$C_{COMP} = \frac{1}{2\pi \times 0.1 \times f_C \times R_{COMP}} \quad (80)$$

$$C_{COMP} = \frac{1}{2\pi \times 0.1 \times 4kHz \times 4.32k\Omega} = 91.96nF \quad (81)$$

最後に、高周波のポールは、ESR ゼロと RHP ゼロのうち低い方に設定されます。この具体的なケースでは、RHP ゼロは小さくなります。

$$C_{HF} = \frac{1}{2\pi \times f_{RHPZ} \times R_{COMP}} \quad (82)$$

$$C_{HF} = \frac{1}{2\pi \times 32kHz \times 4.32k\Omega} = 1.15nF \quad (83)$$

標準部品の値を使用して、R_{COMP}、C_{COMP}、C_{HF} の初期の選択値をそれぞれ 4.32kΩ、100nF、1nF としました。これらの計算値が、出発点となることに注意してください。周波数補償は、設計の最終的な補償値を決定するために、シミュレーションとテストの両方で調整されることがよくあります。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

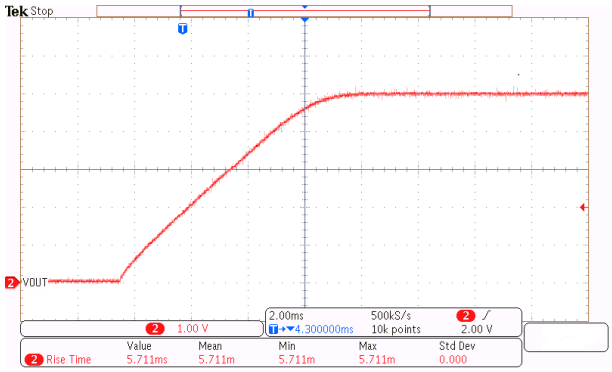


図 8-2. フライバック コンバータの V_{OUT} 起動

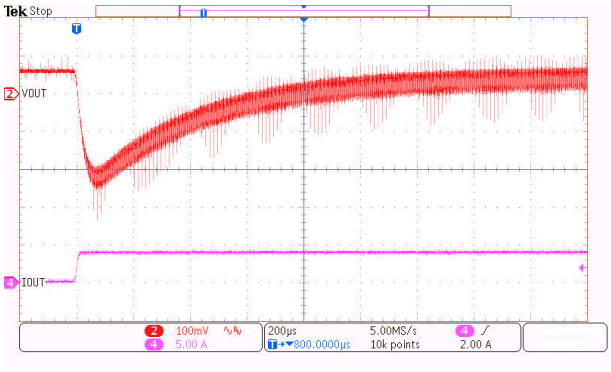


図 8-3. フライバック コンバータの 4A 負荷ステップ応答

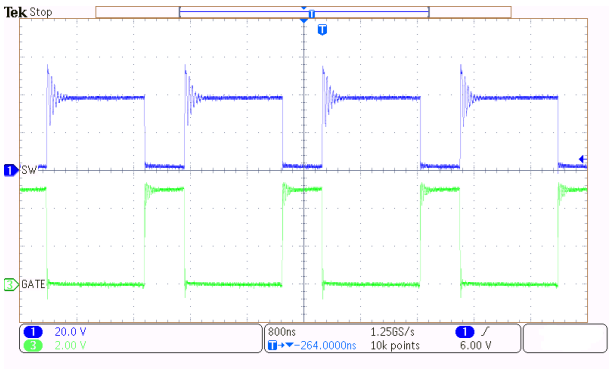


図 8-4. ゲートおよびスイッチ ノード信号

8.2.4 昇圧コンバータ

TPS7H502x と TPS7H503x は、非同期昇圧構成で利用できます。図 8-5 の概略回路図に示すように、TPS7H5020 は昇圧構成で利用できます。

Copyright © 2026 Texas Instruments Incorporated

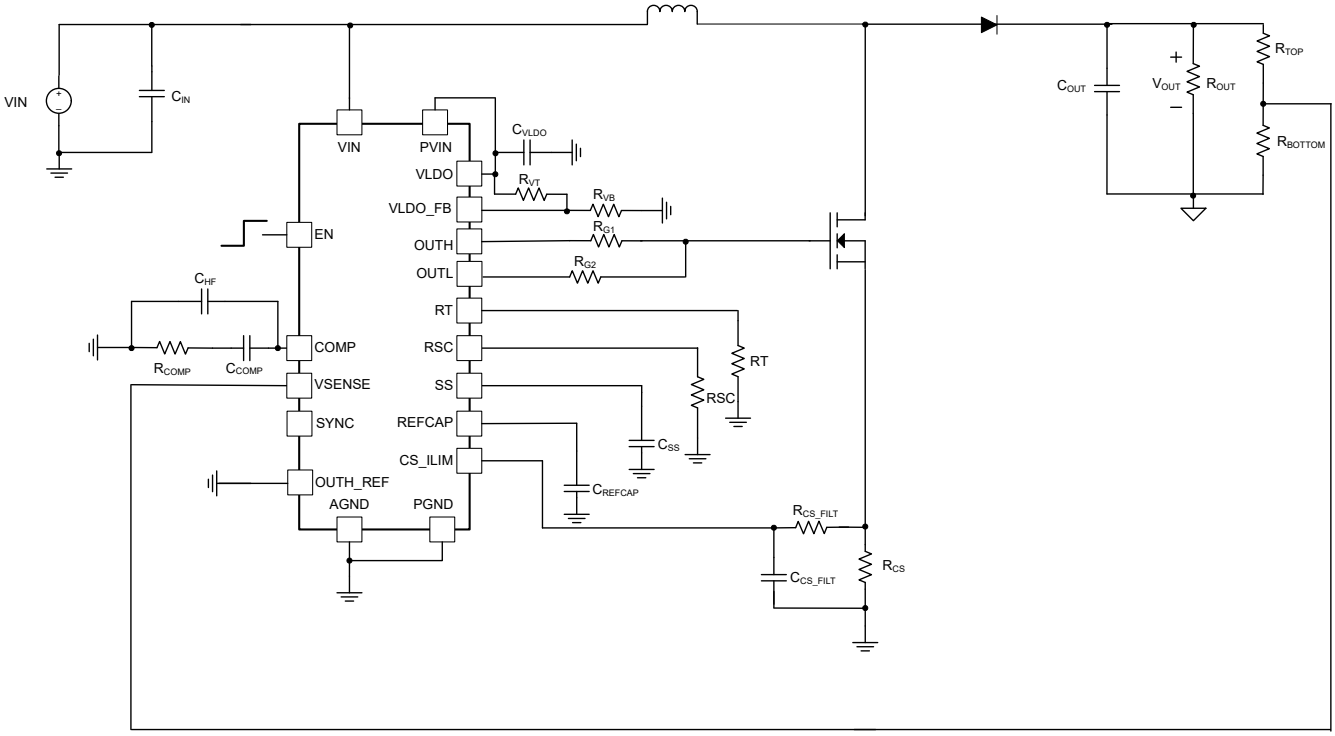


図 8-5. TPS7H5020 を使用した昇圧コンバータの概略回路図

昇圧構成での TPS7H502x または TPS7H503x コントローラに固有の部品選定に関するガイダンスは、詳細な設計手順で詳細に説明したものと同様です。主な違いは電源ステージの部品選定にあり、その選定は昇圧コンバータの電源ステージの計算で詳しく説明されている方法に従って決定できます。さらに、*周波数補償*では、昇圧コンバータの補償部品の詳細な選択についても説明します。昇圧コンバータの主な検討事項は次のとおりです:

- 昇圧コンバータにおける FET のピーク電流は、負荷電流ではなく入力電流に等しくなります。FET は、負荷電流よりも大きいアプリケーションの入力電流に対応できるよう、適切なサイズを選定します。
- 入力電源と負荷の間には、直接の経路があります。負荷側で短絡が発生すると、大電流が入力から出力へ流れ、出力電圧が入力電圧まで、あるいはそれ以下に引き下げられる可能性があります。コンバータを短絡状態でも保護する必要がある場合は、故障発生時に開放できる入力と出力間の遮断スイッチを追加することを検討してください。このスイッチは、通常動作時にシステムに追加の電圧降下が発生し、全体的な効率が低下します。
- *周波数補償*で説明したように、コンバータの補償を決定する際には、昇圧コンバータの RHP ゼロの影響を考慮する必要があります。

昇圧構成で TPS7H5020 を使用する評価基板は、表 8-2 に示すパラメータを使用して設計されています。

表 8-2. TPS7H5020EVM の設計パラメータ

設計パラメータ	値
入力電圧範囲	5V ～ 12V
出力電圧	15V±10%
最大出力電流	1A
スイッチング周波数	1MHz
ターゲット帯域幅	4.5kHz
全負荷ステップ（1A）過渡応答	≤450mV

昇圧コンバータの回路図とテスト結果の詳細な検討については、TPS7H5020EVM *ユーザー ガイド*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.5 ISOS510 を使用するフィードバック絶縁

図 8-6 に、TPS7H5021 デバイスを使用した絶縁型フォワード コンバータの概略回路図を示します。このフォワード コンバータの実装では、ISOS510 と TL1431-SP のようなシャント電圧リファレンスを使用し、コンバータの絶縁型フィードバックを提供します。ISOS510 はトランジスタ出力を備えた電流駆動型アナログ アイソレータであり、宇宙グレード コンバータ設計において絶縁フィードバックを提供するための、放射線耐性を持つフォトカプラの代替デバイスです。このデバイスは、入力と出力の間に SiO_2 絶縁バリアを提供し、温度、寿命、放射線にわたって安定した電流伝達率 (CTR) を提供します。付加的な詳細については、ISOS510 データシートを参照してください。

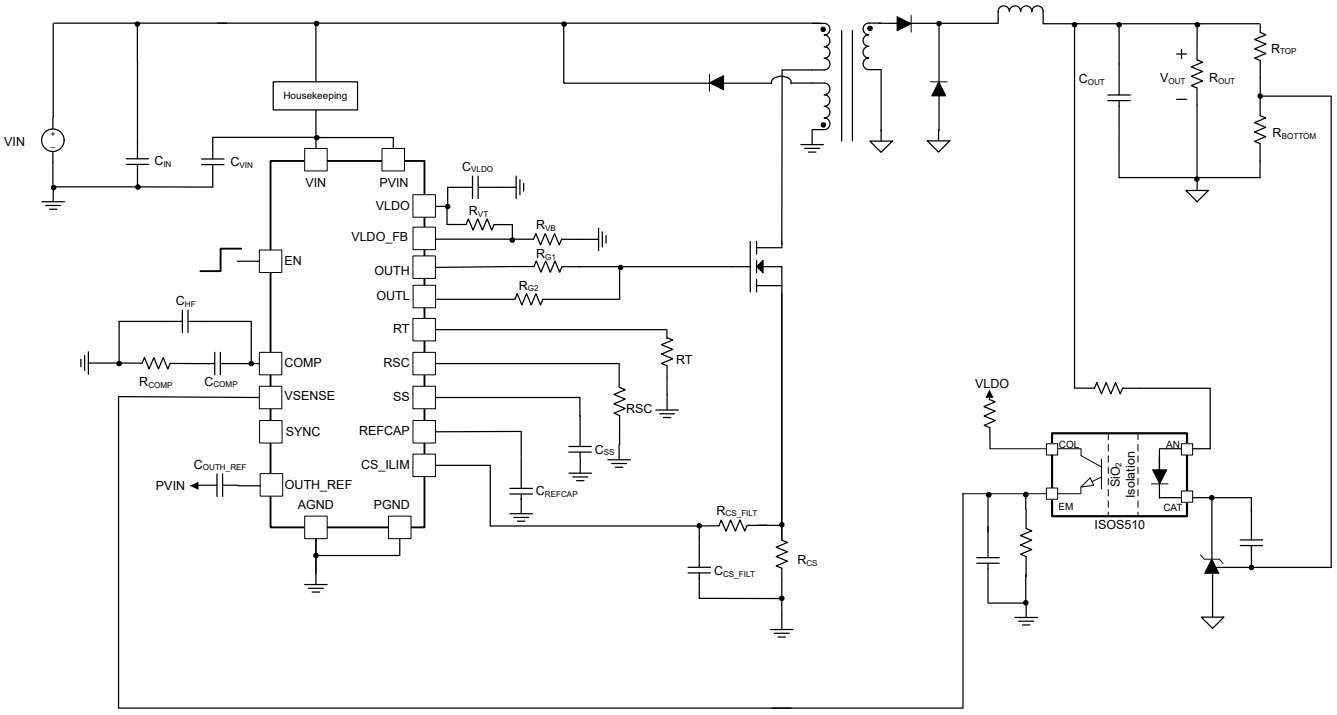


図 8-6. TPS7H502x コントローラと ISOS510 を使用した帰還用フォワード コンバータ

出力の分圧器を使用して、シャント レギュレータの基準電圧入力を供給します。この入力は内部シャント リファレンスと比較され、コンバータの出力電圧に基づいてシャント リファレンスが要求する電流が変化し、リファレンス出力が制御されます。シャント リファレンス電流は、ISOS510 の入力の順方向電流を設定します。ISOS510 の出力電流はこの入力電流に比例し、受動部品と組み合わせてコントローラの VSENSE ピンにフィードバックを提供します。ISOS510 は必要電流が少ないため、ユーザーが仕様に記載されている VLDO 出力電流要件を順守する限り、TPS7H502x コントローラの VLDO 出力で出力トランジスタを駆動できます。

8.3 電源に関する推奨事項

TPS7H502x コントローラは、4.5V ～ 14V の入力電源電圧範囲で動作するように設計されています。TPS7H503x コントローラは、8V ～ 14V 間の入力電圧を受け入れます。最高の電気的性能を得るため、コントローラの入力電源は適切に安定化し、適切にバイパスされる必要があります。VIN から GND への最小入力バイパス キャパシタンスとして 0.1µF が必要ですが、ノイズおよび放射線性能を改善するために追加のキャパシタンスを使用することもできます。バイパス用にはセラミック コンデンサ (X7R 以上) を使用することが推奨され、これらのコンデンサはコントローラにできるだけ近く、低インピーダンスのパスで GND に接続するべきです。入力供給が TPS7H502x または TPS7H503x コントローラから数インチ以上離れている場合は、追加のバルク コンデンサを使用するべきです。

PVIN 電源は、TPS7H502x では 4.5V ～ 14V、TPS7H503x では 8V ～ 14V の入力電源電圧範囲で動作するように設計されています。PVIN は VIN に接続することも、TPS7H502x では VLDO に接続することも、別のユーザー生成の電

Copyright © 2026 Texas Instruments Incorporated

圧レールに接続することもできます。ここでは、1µF の最小バイパス コンデンサを推奨します。TPS7H502x で PVIN が VLDO に接続されている場合、合計バイパス容量が 4.7µF を超えないようにする必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

TPS7H502x と TPS7H503x シリーズを使用したコンバータ設計の信頼性を高めるために、以下のレイアウト ガイドラインに従うことを推奨します。

- フィードバック配線は、電源用磁気部品 (インダクタやパワー トランス) およびスイッチ ノードなどの他のノイズを誘導する配線から、できるだけ離してプリント基板 (PCB) 上に配線します。フィードバック パターンを PCB 上で電源用磁気部品の下に通す場合は、その配線を必ず別の層に配置し、配線とインダクタまたはトランスとの間に少なくとも 1 層のグランド層を設けるようにします。
- 最良のノイズ性能を得るとともに、寄生容量を低減してスイッチング損失を抑えるために、コンバータのスイッチ ノードの銅の面積を最小限に抑えます。フィードバック配線などのノイズに敏感な信号は、このノードから離して配線してください。このノードは高い dv/dt を持つスイッチング信号を含んでいるためです。
- 電源ステージ内のすべての高 di/dt および dv/dt のスイッチング ループは、その経路を最小化することが推奨されます。これにより、EMI の低減、電源デバイスへのストレスの軽減、ならびに制御ループへのノイズの結合を抑制できます。
- 高周波で高い di/dt 電流を含むパワーステージのパワー グラウンドとは、コントローラのアナログ グラウンドを分離させます。これら 2 つのグランドは、PCB レイアウトの単一の点で接続できます。パワー半導体スイッチのソース、電源ステージのバルク入力コンデンサのリターン、そして出力コンデンサのリターンは、すべて PCB のパワー グランドに接続できます。
- PCB 上のすべての大電流パターンは、できるだけ短く、まっすぐで、可能な限り太くすることが推奨されます。適切なルールは、配線をアンペアあたり 15mil（0.381 mm）以上にすることです。
- VIN、PVIN、REFCAP、および VLDO 用のすべてのフィルタリング コンデンサおよびバイパス コンデンサは、コントローラのできるだけ近くに配置します。スルーホール タイプのコンデンサと比較してノイズの結合を低減できるため、低 ESR および低 ESL の表面実装型セラミックコンデンサの使用を推奨します。バイパス コンデンサの接続部、対応するピン、そして GND で形成されるループ面積は、できるだけ小さくなるよう注意する必要があります。各バイパス コンデンサは、GND へ良好で低インピーダンスの接続を持たせることが推奨されます。
- 外付けの補償部品は、コントローラの COMP ピンの近くに配置することが推奨されます。表面実装部品も推奨します。
- ノイズの結合を低減するために、VSENSE の電圧を生成するための抵抗デバイダ回路は、デバイスの近くに配置するようにします。VSENSE ピンに対する浮遊容量は最小限に抑えます。
- OUTH と OUTL は、パワー半導体デバイスのゲートを駆動するために使用されます。これらのピンに接続された PCB パターンは、高 dv/dt 信号を伝達します。ノイズの結合を低減するために、これらの PCB パターンは、VSENSE、COMP、RT、および CS_ILIM に接続された配線から離して配線します。
- OUTH および OUTL、ゲート抵抗、および駆動されるパワー半導体デバイスのゲートは、短く低インダクタンスの配線で接続します。FET は、可能な限りコントローラの近くに配置することが推奨されます。
- 入力電源バスで過度なリンギングを防ぐために、MOSFET または GaN FET の近くに低 ESR コンデンサを配置するなど、適切なデカップリング手法が必要です。
- コントローラのリーディング エッジ ブランキング時間を利用することに加えて、CS_ILIM への電流検出信号入力には RC フィルタが必要となる場合があります。検出された電流信号に存在する可能性のあるリンギングやスパイクをフィルタリングするため、抵抗とコンデンサは CS_ILIM 端子の近くに配置できます。
- サーマル パッドは、複数のビアを使用してプリント基板のグランド プレーンに接続します。これらのビアがテント処理または充填されていない限り、ビアの上に直接、半田ペーストを塗布することは避けることが推奨されます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

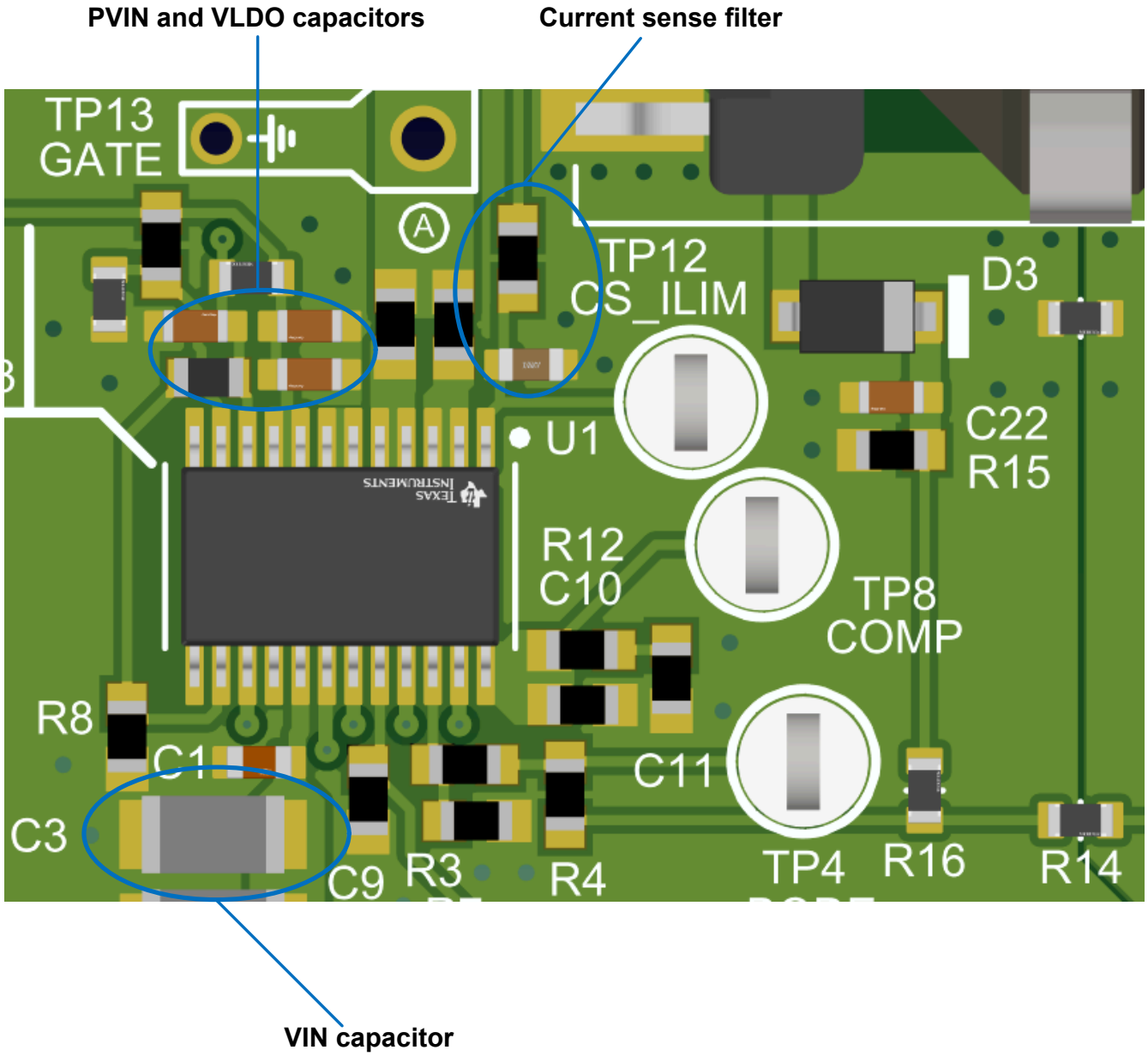


図 8-7. TPS7H5020FLYEVM の 3D レイアウト ビュー

Copyright © 2026 Texas Instruments Incorporated

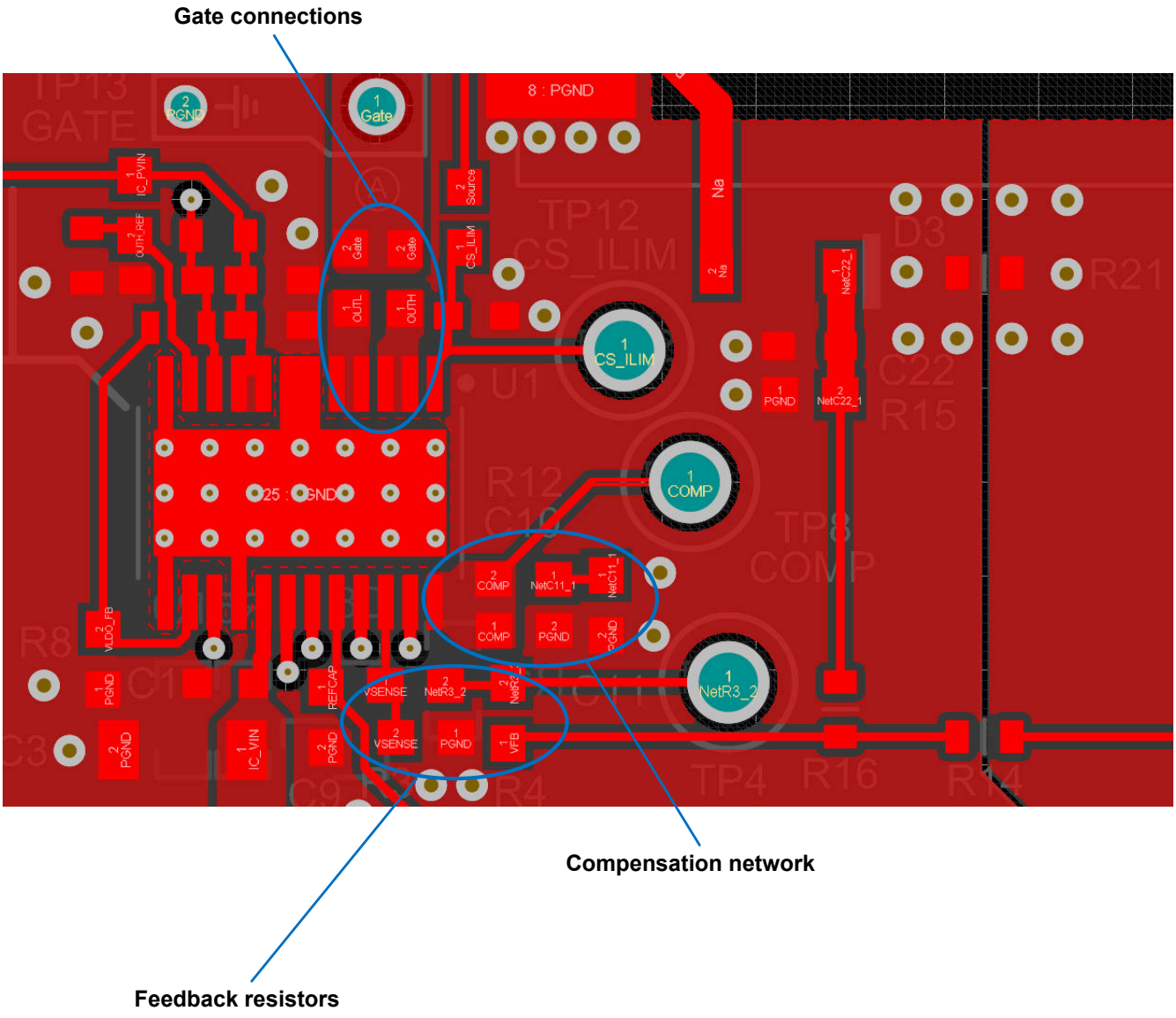


図 8-8. TPS7H5020FLYEVM の上面レイアウト ビュー

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*TPS7H5020EVM 評価基板*』ユーザー ガイド
- テキサス インスツルメンツ、『*TPS7H5020FLYEVM 評価基板*』ユーザー ガイド
- テキサス インスツルメンツ、*TPS7H5020-SEP 総電離線量放射線レポート*
- テキサスインスツルメンツ、*TPS7H5020-SP 総電離線量放射線レポート*
- テキサス インスツルメンツ、*TPS7H502x-SP シングル イベント効果*放射線レポート
- テキサス インスツルメンツ、*TPS7H5020 中性子変位損傷*放射線レポート
- テキサス インスツルメンツ、『TPS7H5030EVM 評価基板』ユーザー ガイド
- テキサス インスツルメンツ、TPS7H5030-SEP シングル イベント効果放射線レポート
- テキサス インスツルメンツ、*TPS7H5030-SEP 総電離線量放射線レポート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (March 2026) to Revision E (April 2026)	Page
• TPS7H5031-SEP と TPS7H5031-SP のデバイス ステータスを製品プレビューから量産データに変更しました。	1
• 「ドライバ PVIN 構成」セクションを更新し、ガイダンスを追加	50
• 「*電流センス抵抗*」セクションを更新し、ガイダンスを追加	54

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision C (February 2026) to Revision D (March 2026) **Page**

- TPS7H5030-SP 量産データ デバイスから製品プレビュー ラベルを削除 ... 1
- TPS7H5021-SP 量産データ デバイスから製品プレビュー ラベルを削除 ... 4

Changes from Revision B (February 2026) to Revision C (February 2026) **Page**

- TPS7H5030-SEP と TPS7H5030-SP のデバイス ステータスを製品プレビューから量産データに変更しました。 ... 1
- TPS7H5030-SP の SMD 番号を訂正 ... 4
- 「関連資料」を TPS7H503x レポートへの参照に更新 ... 62

Changes from Revision A (September 2025) to Revision B (February 2026) **Page**

- TPS7H5021-SEP と TPS7H5021-SP のデバイス ステータスを製品プレビューから量産データに変更しました。 ... 1
- TPS7H5030-SEP、TPS7H5030-SP、TPS7H5031-SEP、TPS7H5031-SP を記載するようにデータシートを更新し、「製品プレビュー」ステータスに変更。 ... 1
- TPS7H503x デバイスを含めるようにデータシート タイトルを更新しました。 ... 1
- 「特長」、「アプリケーション」、「概要」、「ピン構成および機能」、「仕様」、「詳細説明」、「アプリケーションと実装」の各セクションを更新し、TPS7H503x デバイスの詳細を追加し、TPS7H502x デバイスと区別しました。 ... 1
- デバイス比較表を更新し、TPS7H502x と TPS7H503x デバイスの電気的機能比較を追加しました。 ... 4

Changes from Revision * (March 2025) to Revision A (September 2025) **Page**

- TPS7H5020-SP のデバイス ステータスを製品プレビューから量産データに変更、TPS7H5020-SEP デバイス ステータスを事前情報から量産データに変更。 ... 1

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2420101PYE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2420101PY
5962R2420102PYE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2420102PY
5962R2420103PYE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2420103PY
5962R2420104PYE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2420104PY
TPS7H5020MPWPTSEP	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5020PWP
TPS7H5021MPWPTSEP	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5021PWP
TPS7H5030MPWPTSEP	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5030PWP
TPS7H5031MPWPTSEP	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5031PWP
V62/25651-01XE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5020PWP
V62/25651-02XE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5021PWP
V62/25651-04XE	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H5031PWP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H5020-SEP, TPS7H5020-SP, TPS7H5021-SEP, TPS7H5021-SP, TPS7H5030-SEP, TPS7H5030-SP, TPS7H5031-SEP, TPS7H5031-SP :

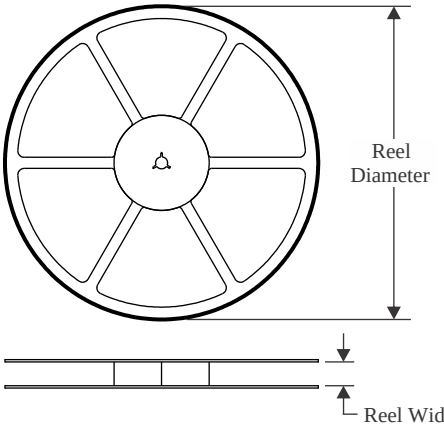
- Catalog : TPS7H5020-SEP, TPS7H5021-SEP, TPS7H5030-SEP, TPS7H5031-SEP
- Space : TPS7H5020-SP, TPS7H5021-SP, TPS7H5030-SP, TPS7H5031-SP

NOTE: Qualified Version Definitions:

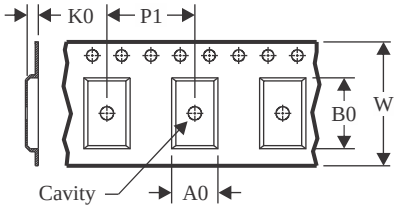
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

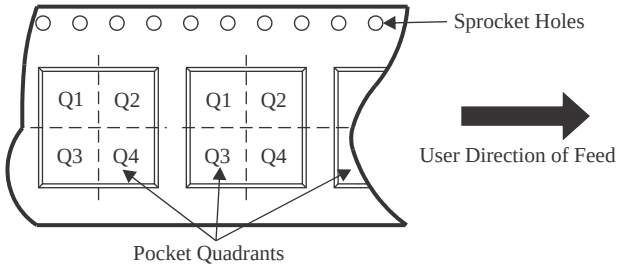


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

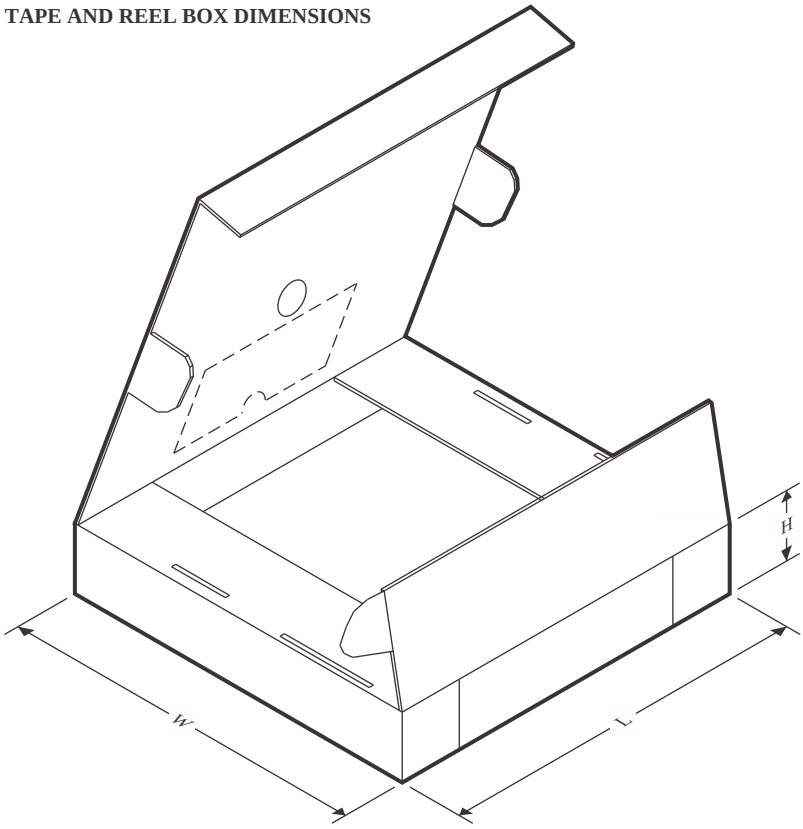
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2420101PYE	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
5962R2420102PYE	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
5962R2420103PYE	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
5962R2420104PYE	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TPS7H5020MPWPTSEP	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TPS7H5021MPWPTSEP	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TPS7H5030MPWPTSEP	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TPS7H5031MPWPTSEP	HTSSOP	PWP	24	250	178.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2420101PYE	HTSSOP	PWP	24	250	208.0	191.0	35.0
5962R2420102PYE	HTSSOP	PWP	24	250	208.0	191.0	35.0
5962R2420103PYE	HTSSOP	PWP	24	250	208.0	191.0	35.0
5962R2420104PYE	HTSSOP	PWP	24	250	208.0	191.0	35.0
TPS7H5020MPWPTSEP	HTSSOP	PWP	24	250	208.0	191.0	35.0
TPS7H5021MPWPTSEP	HTSSOP	PWP	24	250	208.0	191.0	35.0
TPS7H5030MPWPTSEP	HTSSOP	PWP	24	250	208.0	191.0	35.0
TPS7H5031MPWPTSEP	HTSSOP	PWP	24	250	208.0	191.0	35.0

GENERIC PACKAGE VIEW

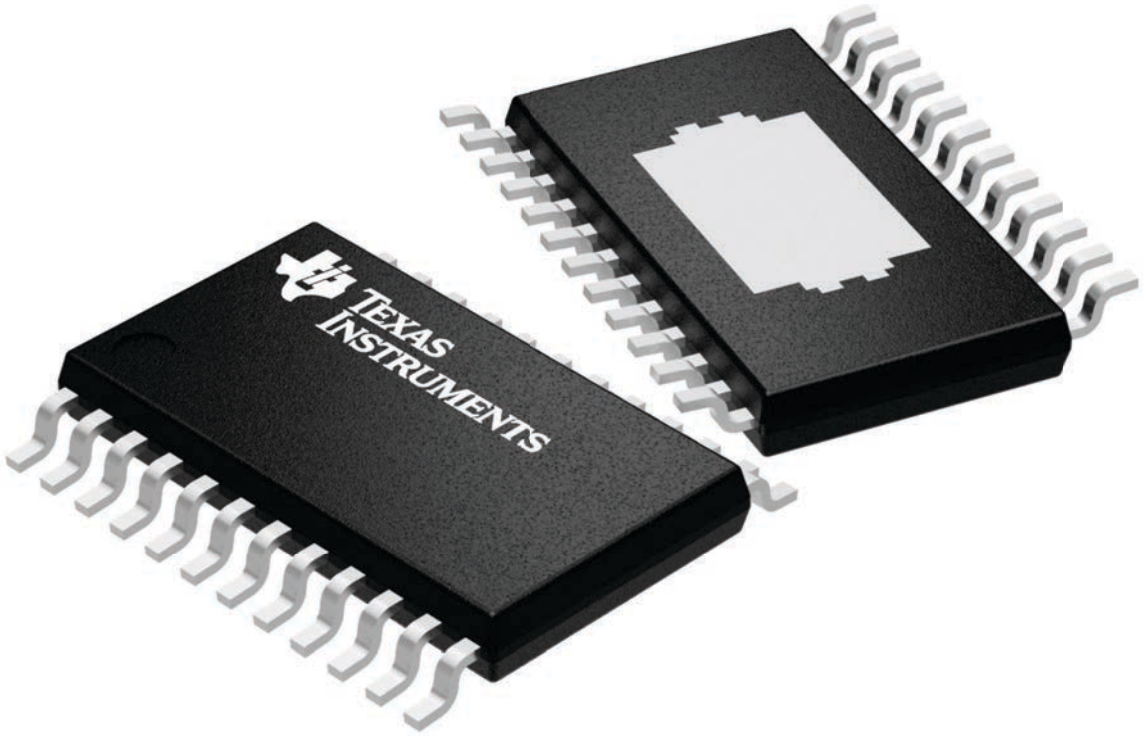
PWP 24

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 7.6, 0.65 mm pitch

PLASTIC SMALL OUTLINE

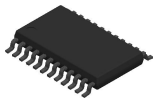
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224742/B

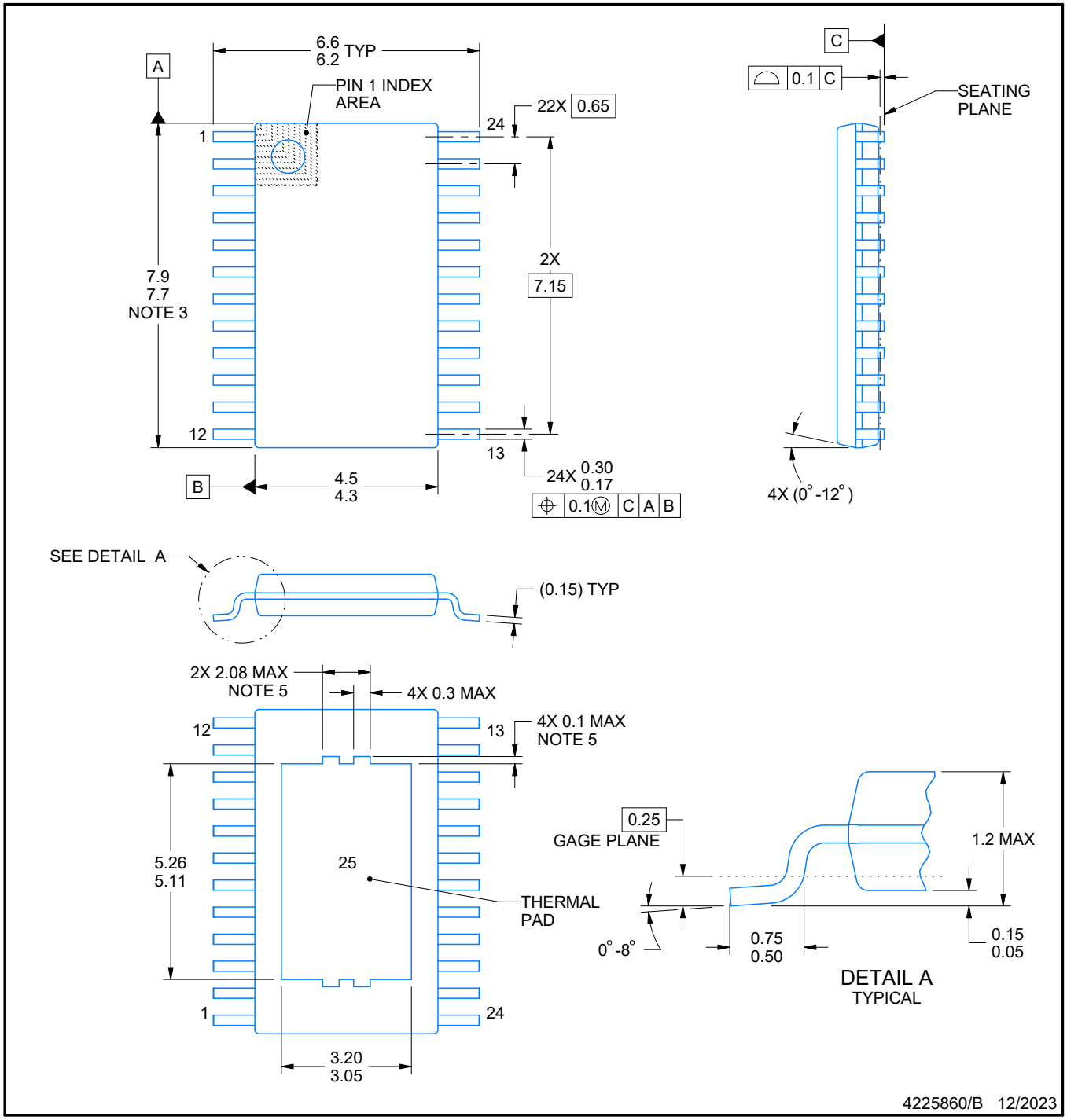
PACKAGE OUTLINE

PWP0024J



PowerPAD™ TSSOP - 1.2 mm max height

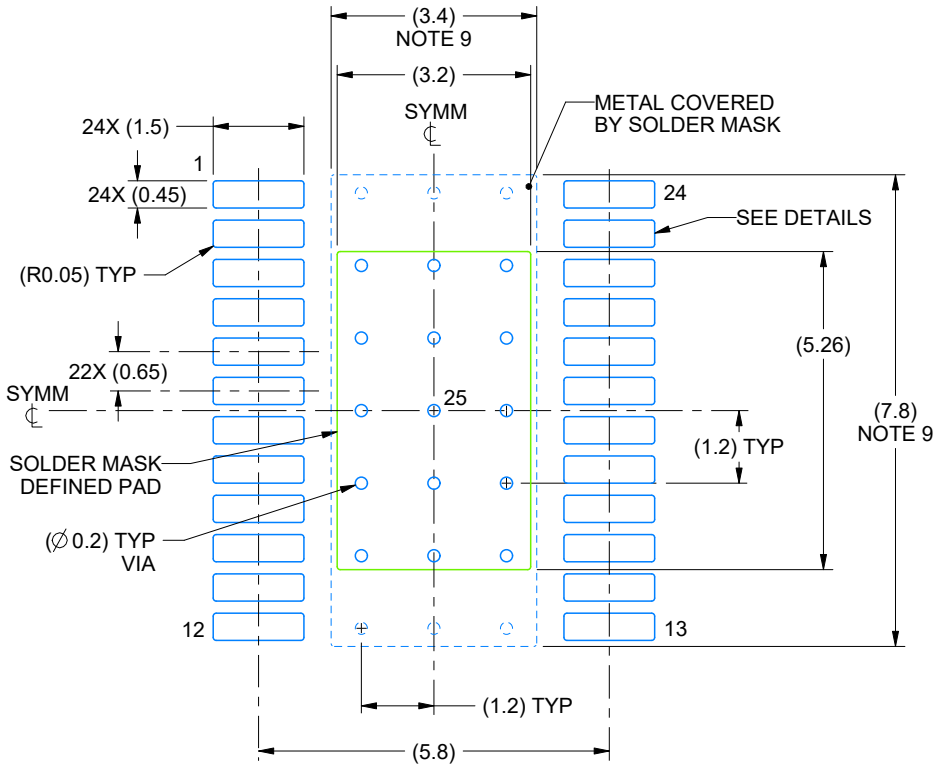
SMALL OUTLINE PACKAGE



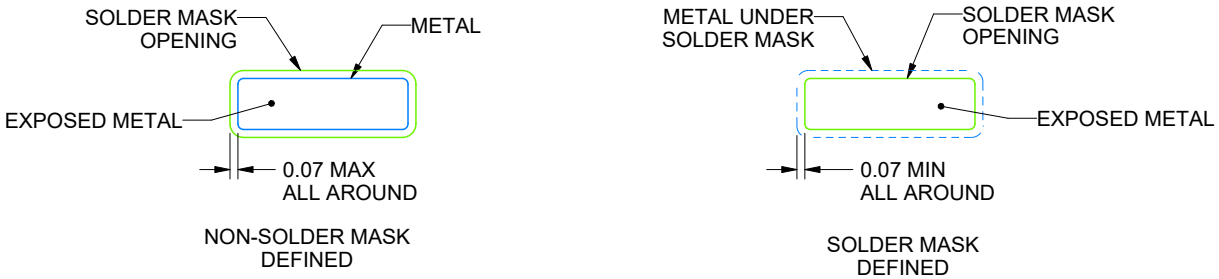
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

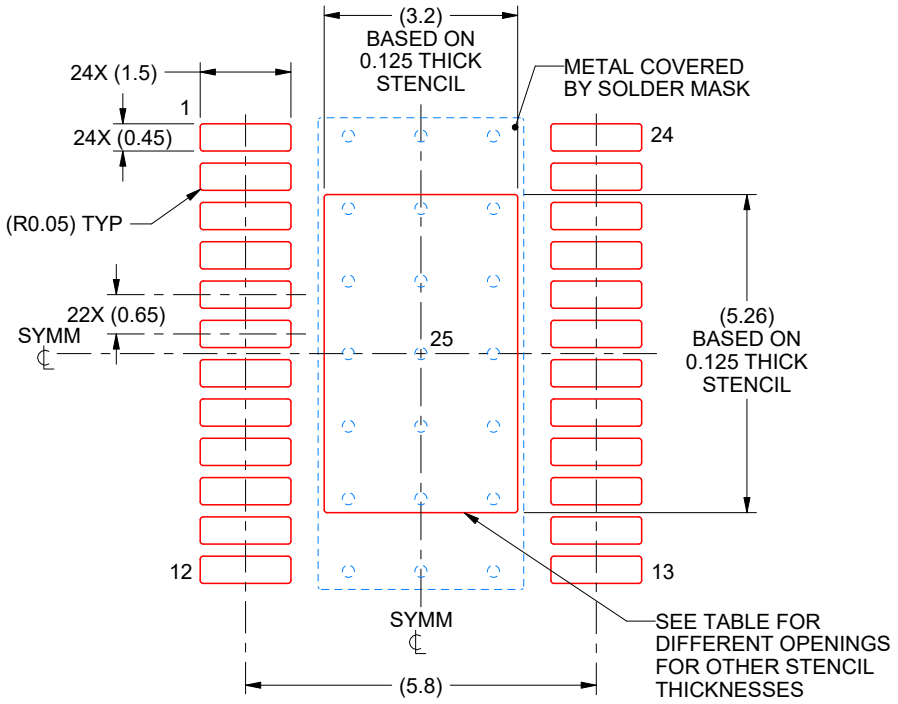


SOLDER MASK DETAILS

4225860/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.58 X 5.88
0.125	3.20 X 5.26 (SHOWN)
0.15	2.92 X 4.80
0.175	2.70 X 4.45

4225860/B 12/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月