

TPS7H5101-SEP 耐放射線 2 相 D-CAP+™ コントローラ

1 特長

- 最大 50krad(Si) までの総電離線量 (TID) 特性評価済み
- シングル イベント効果 (SEE) の特性
 - 線エネルギー付与 (LET) = 43MeV-cm²/mg まで、シングル イベントラッチアップ (SEL)、シングル イベントバーンアウト (SEB)、シングル イベントゲートラプチャー (SEGR) に対する耐性あり
 - LET = 43MeV-cm²/mg まで、シングル イベント機能割り込み (SEFI) およびシングル イベント過渡 (SET) に対する耐性あり
- D-CAP+ 制御とドループ レギュレーションによる負荷応答の最適化
- 単一デバイスによるシングルまたは 2 相動作
- DrMOS と GaN の各電力段のサポート
- 公称出力電圧: 0.5V ~ 2.5V
-
- 差動リモート センシング
- 200kHz ~ 800kHz で構成可能なスイッチング周波数
- 100kHz で PMBus® インターフェイスにより以下をサポート:
 - ±10% の電圧マーギニング
 - オン/オフ コマンド
 - パケット エラー チェック (PEC) による堅牢な SET 性能
- 軍用温度範囲 (-55°C ~ 125°C) で利用可能
- ASTM E595 に準拠したガス排出試験済みのプラスチック パッケージ

2 アプリケーション

- POL (ポイント オブ ロード) 電源
- 通信ペイロード
- レーダー画像処理ペイロード

3 説明

TPS7H5101 は、2 相 D-CAP+ 降圧コントローラです。このコントローラは、D-CAP+ アーキテクチャの高度な制御機能により、低出力容量かつ高効率で高速過渡応答をサポートし、大電流 POL (ポイント オブ ロード) 電力供給向けに最適化されています。ドループ レギュレーションの使用と、構成可能なアンダーシュート低減 (USR) 機能の活用により、出力容量をさらに最小化できます。

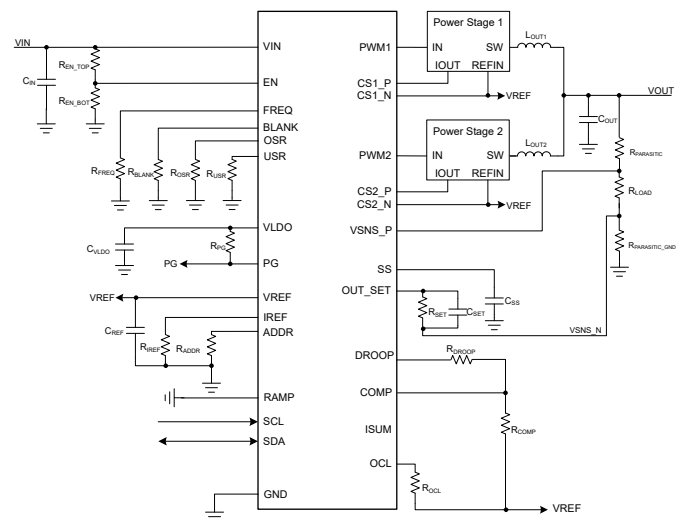
単一のコントローラを使用して単相または 2 相動作が可能であるため、さまざまな電流レベルに対して電力段の最適化が可能です。

このコントローラでは、複数の構成オプションが可能です。PMBus には、コントローラを有効化または無効化するオプションがあり、出力電圧を ±10% (電圧マーギニング) で動的に変更できます。追加機能として、差動リモート センシングによる正確な電圧レギュレーションと、最適化された制御ループのための構成可能な補償が含まれます。

製品情報

部品番号	グレード (1)	本体サイズ (2)
TPS7H5101MDBTTSEP(3)(4)	SEP	30 ピン TSSOP 4.40mm × 7.80mm 質量 = 99.5mg

- 詳細については、「デバイス比較」表を参照してください。
- 質量は公称値であり、本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。
- 事前情報
- TPS7H5101MDBTTSEP は量産型番です。量産開始前のデバイス型番の詳細については、「デバイス比較」表を参照してください。



アプリケーション概略図



目次

1 特長.....	1	7.5 プログラミング.....	33
2 アプリケーション.....	1	8 レジスタ マップ.....	35
3 説明.....	1	9 アプリケーションと実装.....	37
4 デバイス比較表.....	3	9.1 使用上の注意.....	37
5 ピン構成および機能.....	4	9.2 代表的なアプリケーション.....	37
6 仕様.....	7	9.3 電源に関する推奨事項.....	43
6.1 絶対最大定格.....	7	9.4 レイアウト.....	43
6.2 ESD 定格.....	7	10 デバイスおよびドキュメントのサポート.....	46
6.3 推奨動作条件.....	7	10.1 ドキュメントのサポート.....	46
6.4 熱に関する情報.....	9	10.2 ドキュメントの更新通知を受け取る方法.....	46
6.5 電気的特性.....	10	10.3 サポート・リソース.....	46
6.6 代表的特性.....	13	10.4 商標.....	46
7 詳細説明.....	16	10.5 静電気放電に関する注意事項.....	46
7.1 概要.....	16	10.6 用語集.....	46
7.2 機能ブロック図.....	16	11 改訂履歴.....	46
7.3 機能説明.....	17	12 メカニカル、パッケージ、および注文情報.....	47
7.4 デバイスの機能モード.....	32		

4 デバイス比較表

ジェネリック型番	放射線定格 ⁽¹⁾	グレード ⁽²⁾	パッケージ	発注用部品番号 ⁽⁵⁾
TPS7H5101-SEP	50krad(Si) RLAT の TID、 43MeV-cm ² /mg まで DSEE フリー	宇宙向けに強化されたプラスチック	30 ピン プラスチック	PTPS7H5101DBBTSEPA ⁽³⁾
				PTPS7H5101DBBTSEPB ⁽⁴⁾

- (1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
- (2) 部品のグレードについての詳細は、[部品のグレード](#)をご覧ください。
- (3) 事前情報。
- (4) 製品プレビュー。
- (5) PTPS7H5101DBBTSEPA は量産開始前デバイスのリビジョン A、PTPS7H5101DBBTSEPB は量産開始前デバイスのリビジョン B です。TPS7H5101DBBTSEP は、製品の量産リリースバージョンの注文可能な型番です。

発注用製品型番	VIN 内部 UVLO 立ち上がりスレッショルド (公称)	VIN 内部 UVLO 立ち下がりスレッショルド (公称)
PTPS7H5101DBBTSEPA	7.0V	6.8V
PTPS7H5101DBBTSEPB	3.8V	3.6V

5 ピン構成および機能

ISUM	1	30	COMP
USR	2	29	DROOP
OSR	3	28	OCL
BLANK	4	27	VREF
FREQ	5	26	CS1_P
RAMP	6	25	CS1_N
OUT_SET	7	24	CS2_P
IREF	8	23	CS2_N
EN	9	22	VSNS_P
VIN	10	21	SS
GND	11	20	VLDO
NC	12	19	NC
ADDR	13	18	PG
SCL	14	17	PWM1
SDA	15	16	PWM2

図 5-1. TPS7H5101-SEP DBT パッケージ、
30 ピン TSSOP (上面図)

表 5-1. ピンの機能

ピン		I/O ⁽¹⁾	説明 ⁽²⁾
名称	TSSOP (30)		
ISUM	1	O	アナログ電流モニタ出力。このピンの電圧は、CSx_P ピンと CSx_N ピン (ISUM) の合計電圧を 1:1 で表現します。ISUM は VREF を基準とする電圧です。
USR	2	I	アンダーシュート低減。アンダーシュート低減機能を有効化するスレッシュホールドは、ピンと GND の間の抵抗を使用してプログラムできます。アンダーシュート低減機能は、2MΩ を超える抵抗を GND に接続するか、ピンをフローティングにすることで無効化することもできます。
OSR	3	I	オーバーシュート低減。GND への抵抗により、コントローラのオーバーシュート低減スレッシュホールドが設定されます。オーバーシュート低減機能は、2MΩ を超える抵抗を GND に接続するか、ピンをフローティングにすることで無効化することもできます。
空白	4	I	ブランキング時間。これは、最小 PWM オフ時間でもあります。このピンとグランドとの間に接続された抵抗を使用して、目的のブランキング時間をプログラムします。このピンをオープンのままにしている場合、コントローラはデフォルトで 40ns (標準値) のブランキング時間になります。
FREQ	5	I	周波数設定。通常動作時のコントローラの公称スイッチング周波数を設定するために、GND への抵抗を使用します。入力電圧、出力電圧、コンバータの負荷条件に基づいて、周波数はわずかに変化することにご注意ください。
RAMP	6	I	ランプ補償設定。このピンを使用して、コントローラのランプ補償電圧を構成します。このピンを VLDO または GND に接続するか、フローティングのままにして、ランプ電圧の振幅の 3 つのレベルのいずれかを選択できます。
OUT_SET	7	I	出力電圧設定。出力電圧の設定ポイントは、 $V_{OUT} = I_{REF} \times R_{SET}$ となるように、このピンを使用して構成されます。RSET は、OUT_SET から VSNS_N (負荷のグランドリファレンス電圧) に接続される抵抗です。RSET の両端に 470pF のコンデンサを接続すると、シングル イベント過渡を低減できます。
IREF	8	I	電流リファレンス。グランドに 169kΩ 抵抗を追加して、内部リファレンス電流 IREF を約 10μA 生成します。このリファレンス電流は、OUT_SET ピンにミラーリングされ、出力電圧の設定に使用されます。
EN	9	I	イネーブル。このピンをロジック High に駆動すると、他すべてのイネーブル条件も満たされた場合、デバイスは有効になります。ピンをロジック Low に駆動すると、デバイスが無効になります。VIN と GND の間の抵抗デバイスを使用して、デバイスのターンオン レベルを設定することもできます。

表 5-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明 ⁽²⁾
名称	TSSOP (30)		
VIN	10	I	入力電圧。コントローラおよび内部回路の電源電圧。コントローラ出力 (PWM1 および PWM2) の適切な出力周波数とオン時間を維持するため、このピンを降圧コンバータの電力段の電源電圧に接続します。
GND	11	—	グランド。内部制御回路のリターンとして機能します。
NC	12	—	接続なし。このピンは内部接続されていません。このピンは、電荷の蓄積を防ぐために GND に接続することができますが、オープン状態のままにすること、または GND と VIN の間の任意の電圧に接続することも可能です。
ADDR	13	I	アドレス。GND への抵抗を使用して PMBus アドレスの下位 4 ビットを設定します。アドレス設定には、許容誤差 0.1% 以下の抵抗を使用してください。詳細については、「電気的特性」表を参照してください。
SCL	14	I	シリアル クロック ライン。コントローラの PMBus インターフェイスのクロック入力として機能します。
SDA	15	I/O	シリアル データ ライン。コントローラの PMBus インターフェイスのデータ I/O を送信します。
PWM2	16	O	マルチフェーズ降圧の第 2 位相のコントローラ出力。この信号は、2 番目の電力段またはドライバ入力に送信され、DrMOS と互換性があります。2 番目の出力を使用しない場合は、CS2_N を VLDO に接続して、出力を無効化できます。
PWM1	17	O	マルチフェーズ降圧の第 1 位相のコントローラ出力。この信号は最初の電力段またはドライバ入力に送信され、DrMOS と互換性があります。
PG	18	O	パワーグッド。外部抵抗を使用して目的のロジックレベルにプルアップするオープンドレインピン。出力電圧の低電圧を検出するために使用され、出力電圧が設定値の 10% 以内になるとアサートされます。PG は、出力電圧が設定値より 12% 以上低い場合に、またはサーマルシャットダウン、
NC	19	—	接続なし。このピンは内部接続されていません。このピンは、電荷の蓄積を防ぐために GND に接続することができますが、オープン状態のままにすること、または GND と VIN の間の任意の電圧に接続することも可能です。
VLDO	20	O	リニアレギュレータの出力コンデンサピン。内部のリニアレギュレータ用に、このピンに 1μF コンデンサを配置する必要があります。出力電圧は公称 5V です。データシートで明示的に許可されている場合を除き、このピンに追加の外部接続で負荷をかけないでください。
SS	21	I/O	ソフトスタート。このピンに接続された外部コンデンサによって、出力電圧の立ち上がり時間を制御し、突入電流を制限します。
VSNS_P	22	I	出力電圧センス。コントローラにリモートセンスを提供するため、負荷の VOUT センスポイントに直接接続します。負荷の VOUT のグランド センス ポイント用の専用ピン VSNS_N はありませんが、R _{SET} 抵抗の負端子はこのポイントに接続されています。
CS2_N	23	I	マルチフェーズ降圧の第 2 相の負電流センス。2 番目の電力段の負のセンス出力または VREF に接続します。このピンは、電流センス抵抗の負端子またはインダクタ電流センシング用の出力インダクタに接続することもできます。CS2_P で差動配線します。PWM2 出力を使用しない場合は、このピンを VLDO に接続して出力を無効化します。
CS2_P	24	I	マルチフェーズ降圧の第 2 相の正電流センス。2 番目の電力段のセンス出力電流に接続します。このピンは、位相電流センス抵抗の正端子またはインダクタ電流センシング用のインダクタに接続することもできます。CS2_N を使用して、プリント基板レイアウト上で差動配線します。PWM2 出力を使用しない場合は、このピンを VLDO に接続します。
CS1_N	25	I	マルチフェーズ降圧の第 1 相の負電流センス。最初の電力段の負のセンス出力または VREF に接続します。電流センス抵抗の負端子またはインダクタ電流センシング用の出力インダクタに接続することもできます。CS1_P を使用して、プリント基板レイアウト上で差動配線します。
CS1_P	26	I	マルチフェーズ降圧の第 1 相の正電流センス。最初の電力段のセンス出力電流に接続します。位相電流センス抵抗の正端子またはインダクタ電流センシング用のインダクタに接続することもできます。CS1_N で差動配線します。
VREF	27	O	電圧リファレンス出力。内部バンドギャップレファレンスには、470nF の外付けコンデンサが必要です。電圧は公称 1.7V です。データシートで明示的に許可されている場合を除き、このピンに外部回路を接続しないでください。
OCL	28	I/O	過電流制限。このピンを使用して、両方の電流センス入力 CSx_P – CSx_N の過電流検出レベルをプログラムします。いずれかの位相で スレッシュホールドを超えた場合、コントローラは電流制限モードに移行します。

表 5-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明 ⁽²⁾
名称	TSSOP (30)		
DROOP	29	O	ドループ アンプ出力。R _{DROOP} (DROOP と COMP の間) と R _{COMP} (COMP と VREF の間) は、コントローラのドループ ゲインを設定します。コントローラ出力の負荷ライン動作をプログラムする方法の詳細については、「ドループ制御」セクションを参照してください。
COMP	30	I	内部ドループ アンプの非反転入力。R _{DROOP} (DROOP と COMP の間) と R _{COMP} (COMP と VREF の間) は、コントローラのドループ ゲインを設定します。コントローラ出力の負荷ライン動作をプログラムする方法の詳細については、「ドループ制御」セクションを参照してください。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

(2) 構成上、オープン状態のままにすることが許容されているピン (USR、OSR、BLANK、RAMP) については、内部的に既知の電位にプルされるため、この状態ではフローティング ノードにはならないことに注意してください。

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記載がない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN	-0.3	16	V
	PG, SCL, SDA, EN, CS1_N, CS1_P, CS2_N, CS2_P, RAMP, OSR, USR, BLANK	-0.3	7.5	
	ADDR, VSNS_P	-0.3	3.6	
出力電圧	PWM1, PWM2, VLDO	-0.3	7.5	V
	COMP, FREQ, IREF, ISUM, OCL, OUT_SET, SS	-0.3	3.6	
出力電圧	DROOP	-0.3	6.0	V
出力電圧	VREF	-0.3	2.5	V
シンク電流	PG	-0.1	5	mA
入力電流	SCL, SDA	-0.1	5	mA
T _J	接合部温度	-55	150	°C
T _{stg}	保存温度	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±500
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±250

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
入力電圧	VIN (Rev A)	8		15	V
入力電圧	VIN (Rev B)	4.5		15	V
入力電圧	PG, EN	0		7	V
	ADDR	0		3.5	
	VSNS_P	0		2.75	
	SCL, SDA, CS1_N, CS1_P, CS2_N, CS2_P, RAMP, OSR, USR, BLANK	0		5.5	
出力電圧	PWM1, PWM2	0		7	V
	COMP, FREQ, IREF, ISUM, OCL, OUT_SET, REF, SS	0		3.5	
	構成可能な出力電圧範囲	0.45		2.75	V
出力電圧	OUT_SET	0		2.75	V
出力電圧	VLDO, DROOP	0		5.5	V
シンク電流	PG	0		2	mA
入力電流	SCL, SDA	0		4	mA

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T _J	接合部温度	-55		125	°C

ADVANCE INFORMATION

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TP7H5101	単位
		DBT (TSSOP)	
		30 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	79.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	33.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	32.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

4.5V ≤ VIN ≤ 15V⁽¹⁾、T_A = -55°C ~ 125°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電圧および電流							
I _{Q_VIN}	VIN 動作時静止電流	C _{LOAD} = 25pF (PWMx 用)	スイッチングしません。	4.5	7		mA
I _{Q_VIN}	VIN 動作時静止電流	C _{LOAD} = 25pF (PWMx 用)	最大スイッチング	6	12		mA
I _{Q_VIN}	VIN 動作時静止電流	C _{LOAD} = 25pF (PWMx 用) (単一出力動作)	最大スイッチング	6	10		mA
I _{SHDN_VIN}	VIN のシャットダウン時消費電流	PMBus により EN = 0V またはディスエーブル		1.5	5		mA
イネーブルおよび低電圧誤動作防止							
V _{EN(rising)}	イネーブル立ち上がりスレッシュヨルド (ターンオン)			0.56	0.6	0.64	V
V _{EN(falling)}	イネーブル立ち下がりスレッシュヨルド (ターンオフ)			0.46	0.5	0.54	
V _{EN(HYS)}	スレッシュヨルド ヒステリシスをイネーブル			0.1			
t _{EN(delay)}	イネーブル伝搬遅延	EN High から PWM1 High、SS ビンはオープン		0.08	0.6		ms
t _{UVLO(delay)}	UVLO 伝搬遅延	PWM1 High に対して VIN UVLO 良好、SS ビンはオープン、EN = 5V		0.6	2		ms
t _{ON(delay)}	PMBus ターンオン コマンドの伝搬遅延	PWM1 High に受信したターンオン コマンド ストップ ビット、SS ビンはオープン		55	120		μs
I _{EN(LKG)}	イネーブル入力リーク電流	EN = 7V		5	100		nA
V _{UVLOR_VIN}	VIN 内部 UVLO 立ち上がりスレッシュヨルド (Rev A)			6.7	7.0	7.3	V
V _{UVLOF_VIN}	VIN 内部 UVLO 立ち下がりスレッシュヨルド (Rev A)			6.5	6.8	7.1	V
V _{UVLOHYST_VIN}	VIN 内部 UVLO ヒステリシス (Rev A)			0.2			V
V _{UVLOR_VIN}	VIN 内部 UVLO 立ち上がりスレッシュヨルド (Rev B)			3.5	3.8	4.1	V
V _{UVLOF_VIN}	VIN 内部 UVLO 立ち下がりスレッシュヨルド (Rev B)			3.3	3.6	3.9	
V _{UVLOHYST_VIN}	VIN 内部 UVLO ヒステリシス (Rev B)			0.2			
電圧リファレンス							
V _{OUT_SET}	出力設定電圧	R _{OUT_SET} = 50kΩ		497.5	502.5	507.5	mV
I _{OUT_SET}	出力設定電流	I _{REF} と GND の間の 169kΩ		9.90	10.05	10.20	μA
V _{REF}	リファレンス電圧	C _{REF} = 470nF		1.661	1.68	1.706	V
エラー アンプ							
E _{A_{DC}}	エラー アンプの合計ゲイン	V _{SNS_P} から DROOP		10000			V/V
E _{A_{ISRC}}	エラー アンプのソースおよび電流	100mV 入力オーバードライブ		450	850	1550	μA
E _{A_{ISNK}}	エラー アンプのシンク電流			450	850	1550	
ソフト スタート							
I _{SS}	ソフトスタート電流	V _{SS} = 0.3V		1.3	2	2.7	μA
ランブ補償							
V _{RAMP}	補償ランブ振幅	RAMP = GND		17	20	26	mV
		RAMP = オープン		34	60	85	
		RAMP = VLDO		89	100	115	
電流センスと過電流							
I _{OCL}	過電流制限ピンのソース電流			4.5	5	5.5	μA
V _{OCL}	過電流制限スレッシュヨルド (CSx_P – CSx_N でのバレー電流制限)	R _{OCL} = 4.02kΩ		10	20.1	30	mV
		R _{OCL} = 20kΩ		90	100	110	
		R _{OCL} = 40.2kΩ		180	201	220	
V _{OCL_HYS}	過電流制限ヒステリシス			20			%
スイッチング周波数							
t _{ON}	PWM オン時間	VIN = 12V、V _{OUT_SET} = 0.8V	R _{FREQ} = 100kΩ (200kHz)	333			ns
		VIN = 12V、V _{OUT_SET} = 0.8V	R _{FREQ} = 40.2kΩ (500kHz)	133			
		VIN = 12V、V _{OUT_SET} = 0.8V	R _{FREQ} = 25kΩ (800kHz)	83			
		VIN = 6V、V _{OUT_SET} = 0.8V	R _{FREQ} = 40.2kΩ (500kHz)	267			
t _{ON(min)}	となるように最小オン時間を設定				55		ns

6.5 電気的特性 (続き)

4.5V ≤ VIN ≤ 15V⁽¹⁾、TA = -55°C ~ 125°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
t _{OFF} (min)	最小オフ時間 (ブランキング)	R _{FREQ} = 40.2kΩ (500kHz)	R _{BLANK} = オープン	40	65	90	ns	
			R _{BLANK} = 56.2kΩ	80	110	140		
			R _{BLANK} = 124kΩ	135	160	185		
			R _{BLANK} = 191kΩ	195	210	235		
			R _{BLANK} = 464kΩ	330	400	480		
PWM 出力								
V _{PWMx} (OL)	PWMx 出力 Low	I _{SINK} = 1mA		0.1		0.3	V	
V _{PWMx} (OH)	PWMx 出力 High	I _{SOURCE} = 1mA		4.2		5		
V _{PWMx} (tri)	PWMx トライステート	I _{LOAD} = ±500μA		1.58		1.68		1.8
t _{PWMx_r}	PWMx 立ち上がり時間	C _{LOAD} = 25pF	10%～90%	6		9.5	ns	
t _{PWMx_f}	PWMx 立ち下がり時間		90%～10%	6		9.5		
t _{PWMx_tri}	PWMx トライステート遷移時間	C _{LOAD} = 25pF、10% ～ 1.6V		6		9.5	ns	
パワー グッド								
PG _{falling}	パワーグッド立ち下がリスレッシュホールド (故障)	PG のスレッシュホールド (V _{OUT_SET} の %)		85%		88%	91%	nA
PG _{rising}	パワーグッドの立ち上がリスレッシュホールド (良好)			87%		90%	93%	
IPG(LKG)	出力 High リーク	V _{PG} = 7V		50		1000		
V _{PG} (OL)	パワー グッド出力 Low	I _{PG(sink)} = 2mA		105		200	mV	
V _{INMIN_PG}	有効な PG 出力の最小 VIN	V _{PG} ≤ 0.5V (@100μA) 時に測定		0.5		1	V	
T _{SD(enter)}	サーマル シャットダウン入口温度			165		175	185	°C
T _{SD(exit)}	サーマル シャットダウン出口温度			130		140	150	
オーバーシュート低減								
V _{OSR}	オーバーシュート低減電圧	R _{OSR} = 316kΩ		10		50	95	mV
	オーバーシュート低減電圧	R _{OSR} = 75kΩ		135		200	250	
	オーバーシュート低減電圧	R _{OSR} = 36.5kΩ		300		400	450	
	オーバーシュート低減電圧	R _{OSR} ≥ 2MΩ				OFF		
V _{OSR_H}	オーバーシュート低減電圧ヒステリシス	すべての設定は		20			%	
アンダーシュート低減								
V _{USR}	アンダーシュート低減電圧	R _{USR} = 316kΩ		10		50	100	mV
		R _{USR} = 154kΩ		40		100	150	
		R _{USR} = 75kΩ		115		200	265	
		R _{USR} ≥ 2MΩ				OFF		
V _{USR_H}	アンダーシュート低減電圧ヒステリシス	すべての設定は		20			%	
PMBus								
f _{SCL}	クロック動作周波数			10			100	kHz
V _{IL_PMBus}	SCL と SDA の low レベル入力電圧						0.8	V
V _{IH_PMBus}	SCL と SDA の High レベル入力電圧			1.35				V
V _{HYS_PMBus}	シュミットトリガ入力の SCL と SDA のヒステリシス			80				mV
V _{OL_PMBus}	SCL と SDA の low レベル入力電圧	I _{OL} = 4mA					0.4	V
V _{IH_PMBus}	SCL と SDA ピンリークage			-10			10	μA
t _{TIMEOUT}	クロック Low 検出のタイムアウト			25		32	42	ms

6.5 電気的特性 (続き)

4.5V ≤ VIN ≤ 15V⁽¹⁾、TA = -55°C ~ 125°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
ADDR	PMBus アドレス設定用の抵抗範囲 (ADDR = 001xxxx) ⁽²⁾	4 LSB のアドレス コード = 0000b		913.1	1500		kΩ
		4 LSB のアドレス コード = 0001b		472.4	626	774.6	
		4 LSB のアドレス コード = 0010b		301.6	348	394.1	
		4 LSB のアドレス コード = 0011b		230.0	246	261.5	
		4 LSB のアドレス コード = 0100b		180.9	189	197.1	
		4 LSB のアドレス コード = 0101b		151.3	154	157.6	
		4 LSB のアドレス コード = 0110b		129.1	130	131.7	
		4 LSB のアドレス コード = 0111b		112.0	113	114.0	
		4 LSB のアドレス コード = 1000b		90.4	94.1	98.8	
		4 LSB のアドレス コード = 1010b		74.9	76.8	79.1	
		4 LSB のアドレス コード = 1100b		64.5	64.9	66.2	
		4 LSB のアドレス コード = 1110b			49.9	56.5	

(1) TPS7H5101 の Rev. A における入力電圧範囲は 8V ≤ VIN ≤ 15V です。Rev. B の入力電圧範囲は 4.5V ≤ VIN ≤ 15V です。

(2) 最良の結果を得るには、標準値に相関する 0.1% の抵抗を使用します。

6.6 代表的特性

特に断りのない限り、示されている代表的特性は、VIN が 8V ~ 15V、TA = -55°C、25°C、125°C の条件における TPS7H5101 のものです。

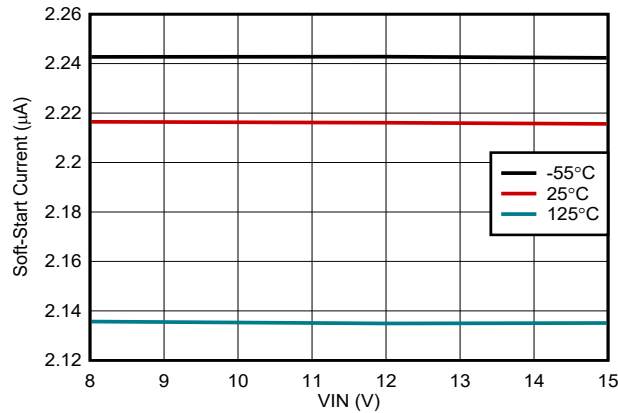
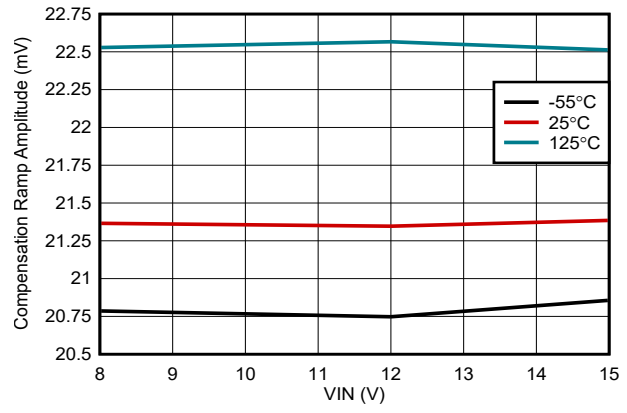
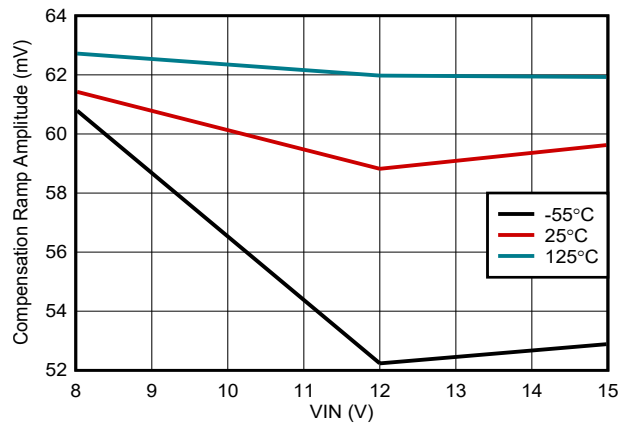


図 6-1. ソフトスタート電流と入力電圧との関係



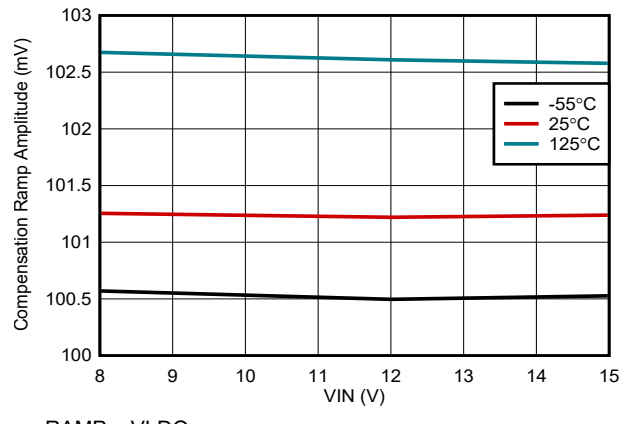
RAMP = GND

図 6-2. 補償ランプ振幅と入力電圧との関係



RAMP = オープン

図 6-3. 補償ランプ振幅と入力電圧との関係



RAMP = VLDO

図 6-4. 補償ランプ振幅と入力電圧との関係

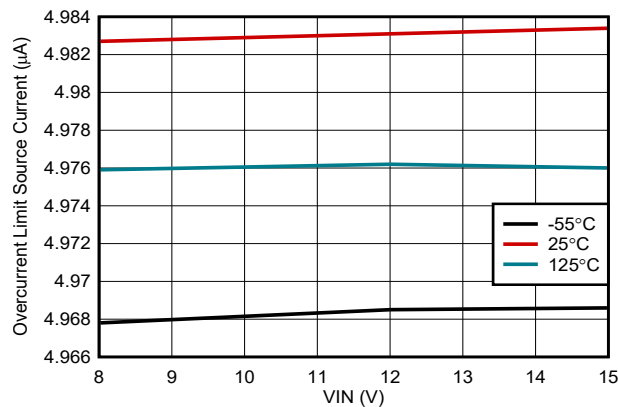
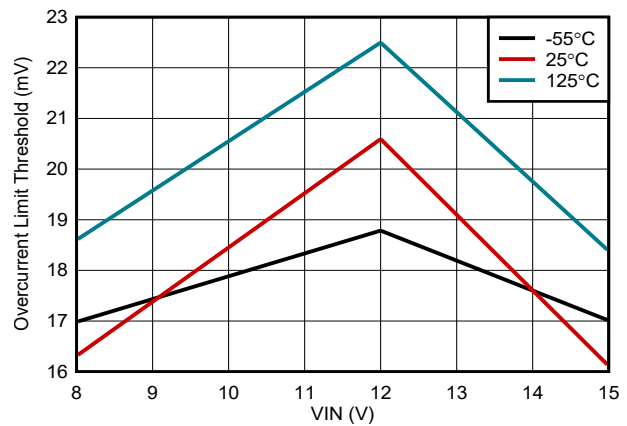


図 6-5. 過電流制限ソース電流と入力電圧との関係

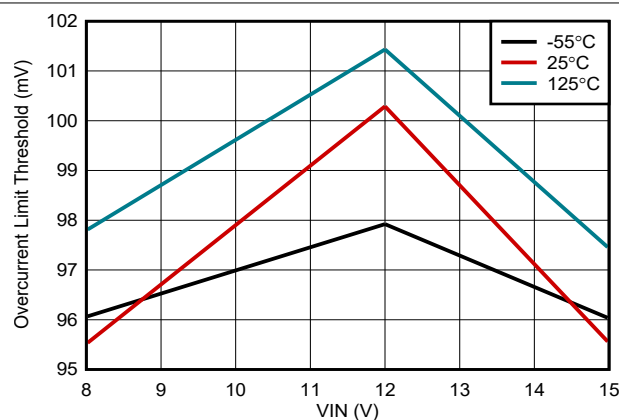


ROCL = 4.02kΩ

図 6-6. 過電流制限スレッシュホールドと入力電圧との関係

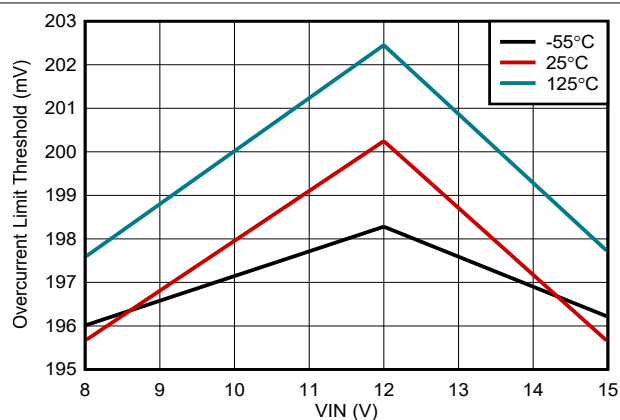
6.6 代表的特性 (続き)

特に断りのない限り、示されている代表的特性は、VIN が 8V ~ 15V、TA = -55°C、25°C、125°C の条件における TPS7H5101 のものです。



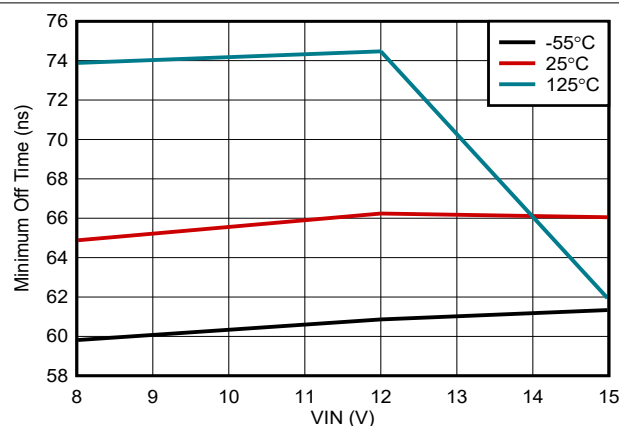
ROCL = 20kΩ

図 6-7. 過電流制限スレッシュホールドと入力電圧との関係



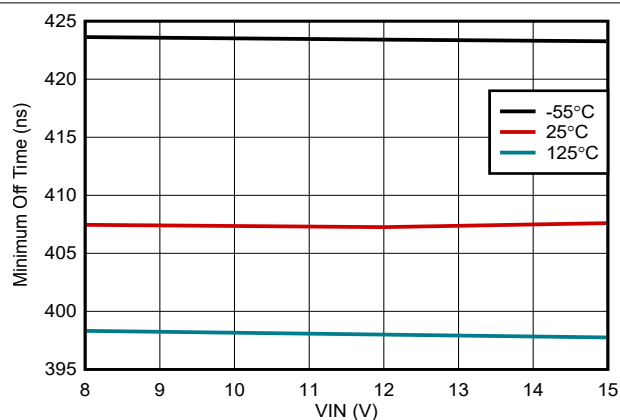
ROCL = 40.2kΩ

図 6-8. 過電流制限スレッシュホールドと入力電圧との関係



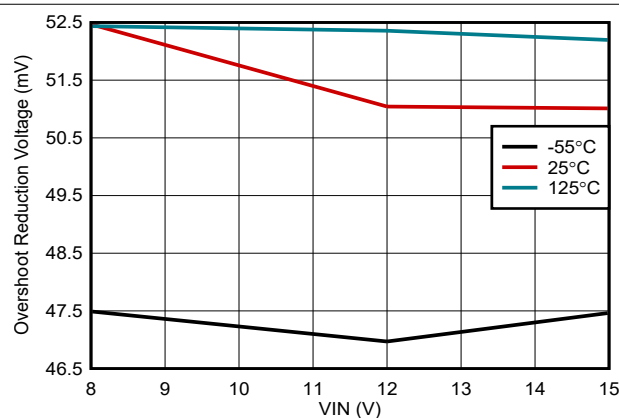
BLANK = オープン

図 6-9. 最小オフ時間 (ブランキング) と入力電圧との関係



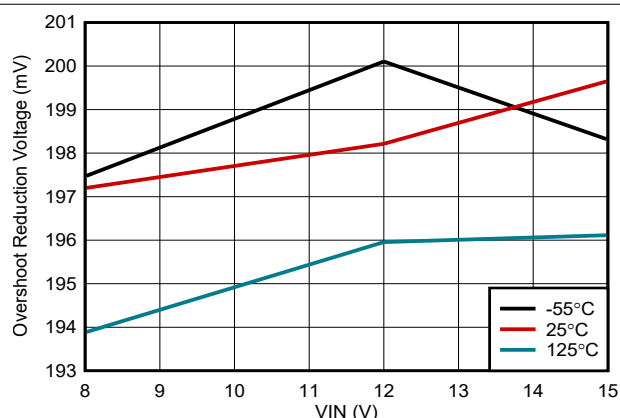
RBLANK = 464kΩ

図 6-10. 最小オフ時間 (ブランキング) と入力電圧との関係



ROSR = 316kΩ

図 6-11. オーバーシュート低減電圧と入力電圧との関係

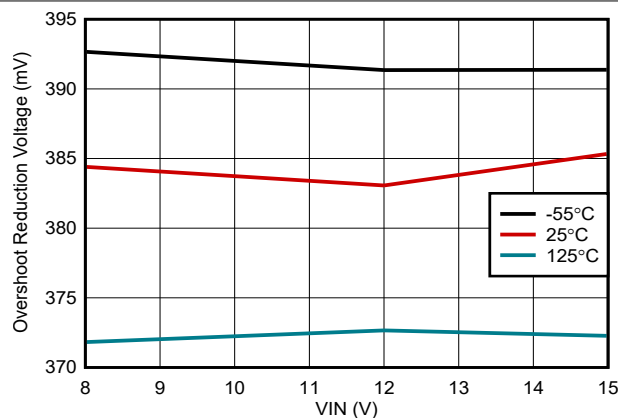


ROSR = 75kΩ

図 6-12. オーバーシュート低減電圧と入力電圧との関係

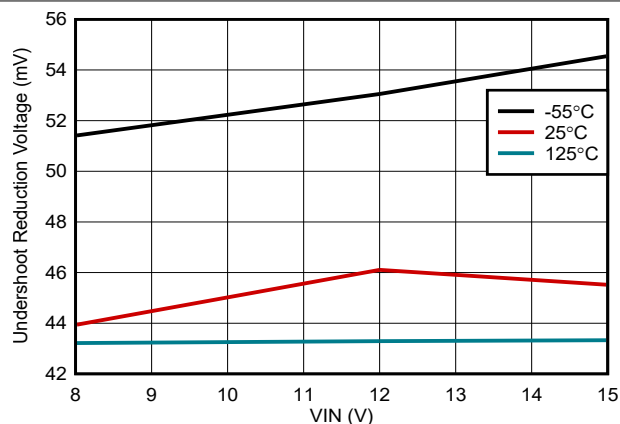
6.6 代表的特性 (続き)

特に断りのない限り、示されている代表的特性は、VIN が 8V ~ 15V、TA = -55°C、25°C、125°C の条件における TPS7H5101 のものです。



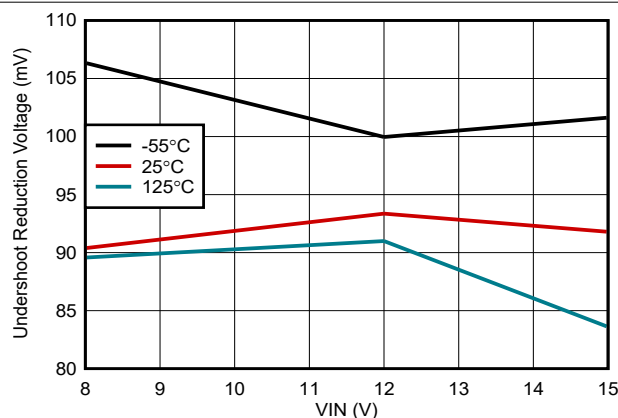
ROSR = 36.5kΩ

図 6-13. オーバーシュート低減電圧と入力電圧との関係



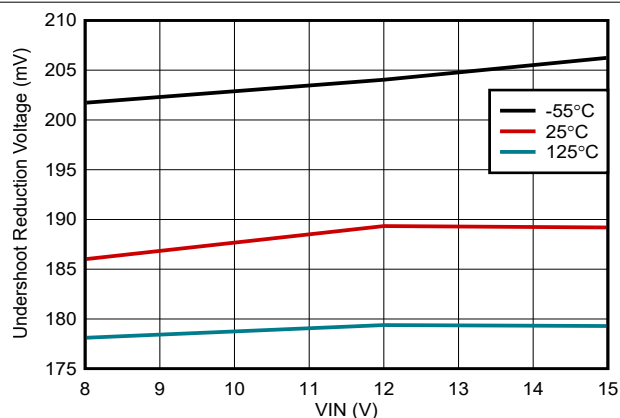
RUSR = 316kΩ

図 6-14. アンダーシュート低減電圧と入力電圧との関係



RUSR = 154kΩ

図 6-15. アンダーシュート低減電圧と入力電圧との関係



RUSR = 75kΩ

図 6-16. アンダーシュート低減電圧と入力電圧との関係

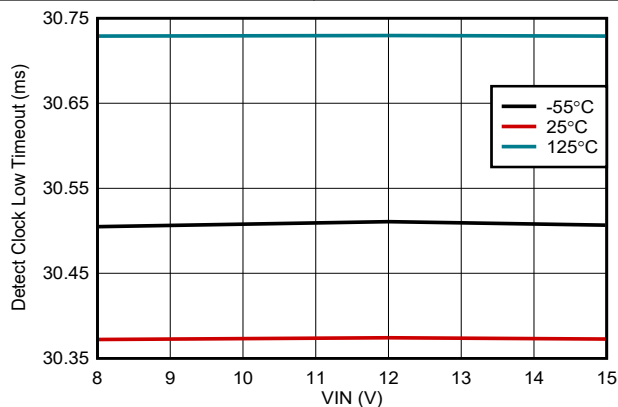


図 6-17. クロック Low 検出タイムアウトと入力電圧との関係

7 詳細説明

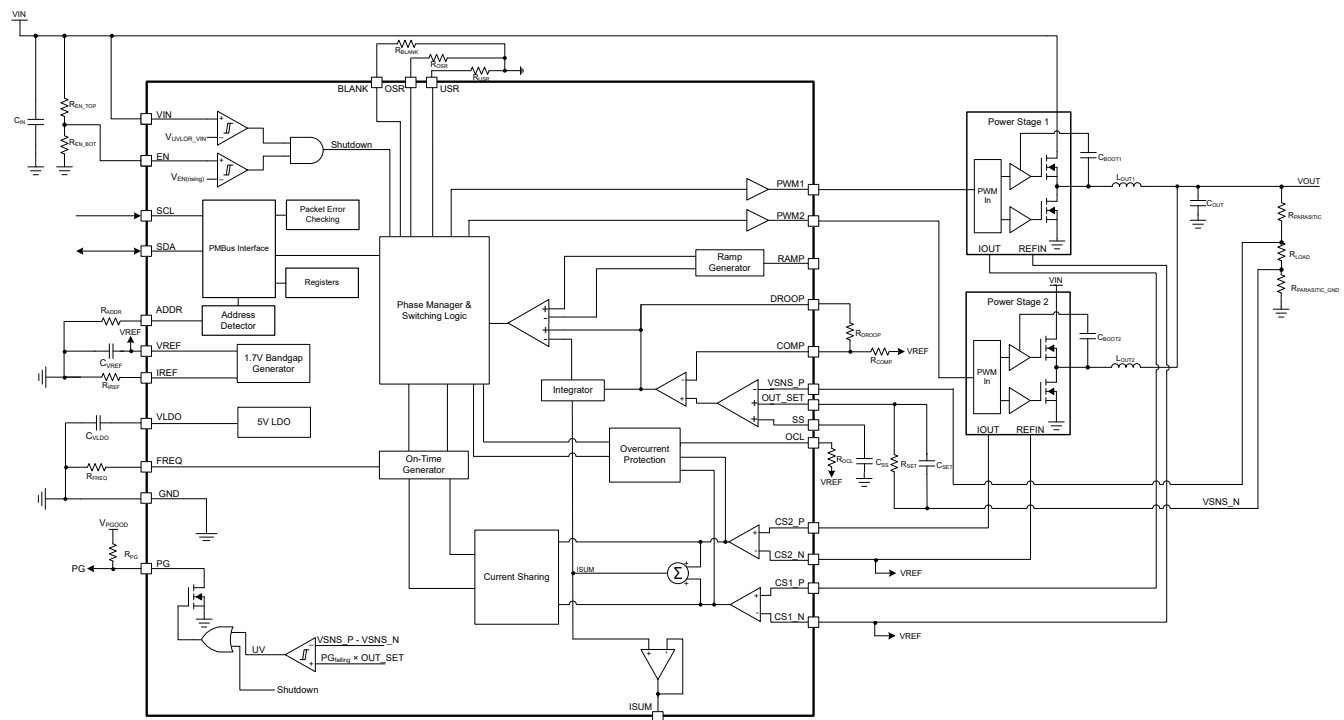
7.1 概要

TPS7H5101 は、適応型オン時間制御手法を活用した 2 相 D-CAP+ 降圧コントローラであり、ユーザーがプログラムできる定常状態動作中に疑似固定周波数を維持できます。このコントローラは、高度な制御機能を搭載しているため、FPGA や ASIC のコア電圧で一般的に必要とされる大電流、低電圧の POL (ポイント オブ ロード) 電力供給に適しています。これらの機能には、ドループ、アンダーシュート低減、オーバershoot低減があり、いずれも小さい出力キャパシタンスと高効率の両方で過渡応答の改善に対応できます。

このコントローラは単相と 2 相の両方の動作をサポートできるため、供給する負荷に応じて電力段を最適化できます。2 相モードでは、内部の位相マネージャが使用され、定常状態動作時に各位相の出力信号を 180° 変位します。アンダーシュート低減を有効にした過渡条件中を除いて、出力を同時にオンにすることはできません。これは、出力電圧の偏差の低減に役立つためです。また、アクティブ電流共有回路もあり、コンバータの各相ではほぼ等しい電流を維持するために、必要に応じて各位相のオン時間を調整します。

このコントローラには複数の構成オプションもあり、PMBus を使用して実現できます。PMBus により、コントローラを有効化または無効化するオプションや、出力電圧を $\pm 10\%$ の電圧マージンで動的に変更するオプションを提供します。このコントローラは、低電圧や大電流の多くの電力レールで一般的に必要とされる高精度要件に適した差動リモート センシングも活用しています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 D-CAP+

D-CAP+ は、大電流、低デューティ サイクルのマルチフェーズ レギュレータ向けに最適化された制御アーキテクチャです。適応型オン時間制御を活用しています。この制御方式では、ピーク電流モード制御において標準的な手法である「電圧レギュレーションのためにデューティ サイクルを変化させる」とことは異なり、制御ループがターンオンを指示すると、ハイサイド FET が所定の時間だけオンになります。しかし、オン時間が動作条件に関係なく同じである従来型の一定オン時間制御とは対照的に、適応型オン時間により入力電圧、出力電圧、負荷に基づく変動が可能で、定常状態動作中は擬似一定周波数を維持します。

コントローラは、インダクタ DCR と直列抵抗のいずれを使用する場合でも、電力段またはインダクタ センシングからの出力を使用してコンバータからの電流を検出します。各位相からの電流が検出され、コントローラ内で加算されて、ISUM 信号を生成します。オン時間パルスは、検出された電流波形 ISUM のバレーが、ドループ アンプ出力の誤り訂正信号 VDROOP と交差したときにコントローラによって生成されます。D-CAP+ 方式では内部発振器は必要ありませんが、どちらの位相でもオン時間パルスがトリガされるたびに、ISUM と VDROOP の交点に対応する SW_CLK 信号が生成されることに注意してください。

マルチフェーズ動作の場合、位相マネージャを使用して、180° の適切なインターリーブで SW_CLK 信号を適切な位相に分配します。単相動作中、ISUM は単相の電流に対応し、SW_CLK はサイクルごとに同じ位相でパルスを生成します。図 7-1 に、D-CAP+ の基本的な波形を示します。ここでは、VDROOP に出力電圧リップルの成分を含めることができます。

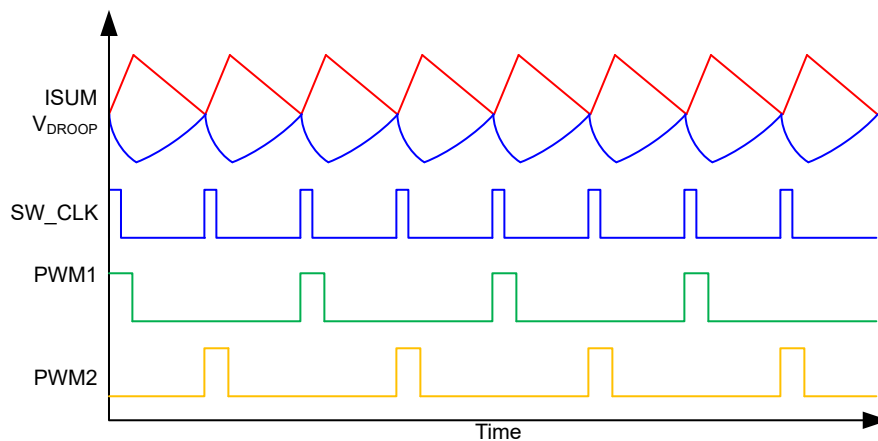


図 7-1. D-CAP+ 基本波形

7.3.1.1 負荷過渡

D-CAP+ 制御方式は非常に優れた負荷過渡応答を実現します。これは、POL (ポイント オブ ロード) コンバータに一般的に使用されている従来型の制御方式と比較した場合の利点の 1 つです。負荷の急速な立ち上がりステップ中に、コンバータの出力電圧はその後低下します。DROOP 電圧の上昇は出力電圧の低下に対応するため、TPS7H5101 の出力はより高い頻度でパルスの生成を開始します。高速なパルスが生成され、新しい負荷電流に達して、出力が定常状態の周波数でスイッチングを再開するまで、インダクタ電流は急速に上昇します。

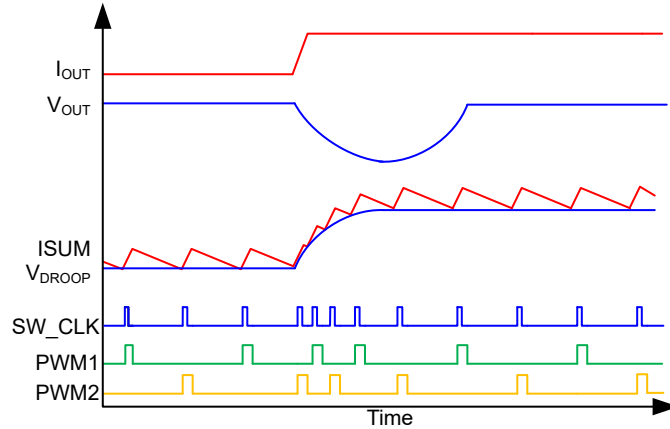


図 7-2. 負荷立ち上がりステップ応答

負荷が急速に解放されると、出力電圧が突然上昇します。DROOP 電圧の低下は出力電圧の増加に対応し、その結果、新しい負荷電流に達するまで TPS7H5101 の出力パルスに強制的に遅延が生じます。その後、公称周波数での定常状態のスイッチングが再開されます。

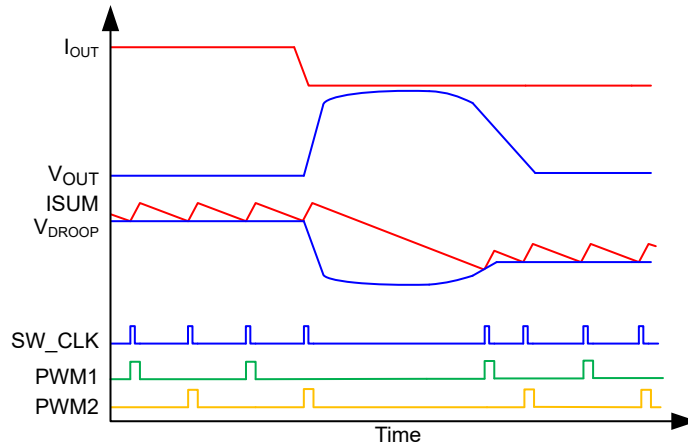


図 7-3. 負荷立ち下がりステップ応答

7.3.1.2 オン時間制御

定常状態では、出力のオン時間は、式 1 に従って近似的に決定されます。

$$t_{ON} \cong \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (1)$$

ここで

- V_{OUT} はコンバータの出力電圧です
- V_{IN} はコンバータの入力電圧であり、コントローラの入力電圧と同一である必要があります
- f_{SW} は、 R_{FREQ} 抵抗で設定されるコンバータの目的の公称スイッチング周波数です

正常に動作させるには、コントローラの V_{IN} をシステム バス電圧に接続する必要があります。これは、周波数とオン時間の生成を維持するために内部で検出されるためです。オン時間は電流共有回路で調整して、コンバータのさまざまな位相の電流間のバランスを維持することもできます (セクション 7.3.1.8 を参照)。

7.3.1.3 スイッチング周波数

ユーザーは、定常状態動作時に、コントローラの目的の公称周波数を **FREQ** と **GND** の間に **R_{FREQ}** 抵抗を使用してプログラムできます。この設定周波数は、コンバータの各相のスイッチング周波数に対応し、降圧コンバータの出力コンデンサから見た 2 位相動作での実効スイッチング周波数は、このプログラムされた値の 2 倍です。定常状態でのコンバータの実際の周波数には、入力電圧、出力電圧、負荷によって多少の変動があることに注意してください。セクション 7.3.1.1 に示されているように、負荷過渡時にも周波数が変化します。式 2 に、**R_{FREQ}** を選択するための式を示します。

$$R_{FREQ} = \frac{20000}{f_{SW}} \quad (2)$$

ここで

- **R_{FREQ}** は周波数設定抵抗値 (**kΩ** 単位) です
- **f_{SW}** は、所望の公称スイッチング周波数です (**kHz** 単位)

次の表に、**R_{FREQ}** に使用される標準抵抗と、これらの対応するコントローラ出力周波数を示します。

表 7-1. スイッチング周波数抵抗の選択

R_{FREQ} 抵抗値 (kΩ)	公称スイッチング周波数 (kHz)
100	200
40.2	500
24.9	800

R_{FREQ} を選択するには、許容誤差 1% 以下の抵抗を使用します。

7.3.1.4 ドループレギュレーション

TPS7H5101 を使用すると、パワー コンバータの負荷電流に基づいて出力電圧設定ポイントが変化する降圧コンバータのドループレギュレーションを設定できます。出力電圧の設定ポイントは、負荷電流が増加するにつれて低くなり、負荷電流が減少するにつれて減少します。この機能により、負荷変動時の設定ポイントと精度制限との間に十分なマージンを確保できるため、**FPGA** や **ASIC** のコア電圧に特有の厳しい **AC** 許容誤差仕様をより容易に満たすことが可能になります。さらに、ドループレギュレーションにより、コンバータの出力に必要な出力容量を低減することもできます。

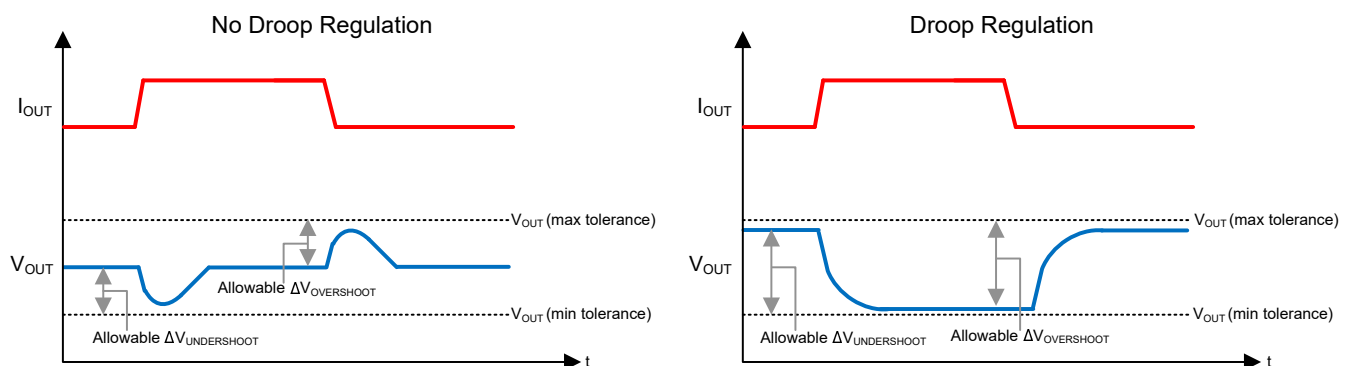


図 7-4. ドループありとなしでの出力電圧過渡の比較

実装されるドループの量は、コンバータで選択した負荷ライン特性 **R_{LL}** に依存します。ドループは、次の式によって求めることができます。

$$V_{DROOP} = R_{LL} \times I_{OUT} = \frac{R_{CS(eff)} \times A_{CS} \times I_{OUT}}{A_{DROOP}} \quad (3)$$

ここで

- R_{LL} は負荷ライン特性 (図 7-5 を参照)
- $R_{CS(eff)}$ は実効電流センス抵抗
- A_{CS} は電流センス アンプ ゲイン
- I_{OUT} は負荷電流
- A_{DROOP} はドループ ゲイン

TPS7H5101 の内部電流センス機能はゲインが 1 であるため、式 3 における A_{CS} は通常 1 に設定できます。しかし、外部電流センス回路を使用する場合は、その回路のゲインを A_{CS} において考慮する必要があります。これらのいずれかをコントローラへの 1 次電流センシング入力として使用する場合、パラメータ $R_{CS(eff)}$ は電流センス抵抗またはインダクタ DCR と同じである必要があります。TPS7H5101 を TPS7H6200 と組み合わせて使用する場合、 $R_{CS(eff)}$ の値は 5mV/A になります。ゲインは 式 4 で求めることができます。

$$A_{DROOP} = 1 + \left(\frac{R_{DROOP}}{R_{COMP}} \right) \quad (4)$$

ここで

- R_{DROOP} は、DROOP ピンと COMP ピンの間に接続される抵抗です
- R_{COMP} は、COMP ピンと VREF ピンの間に接続される抵抗です。

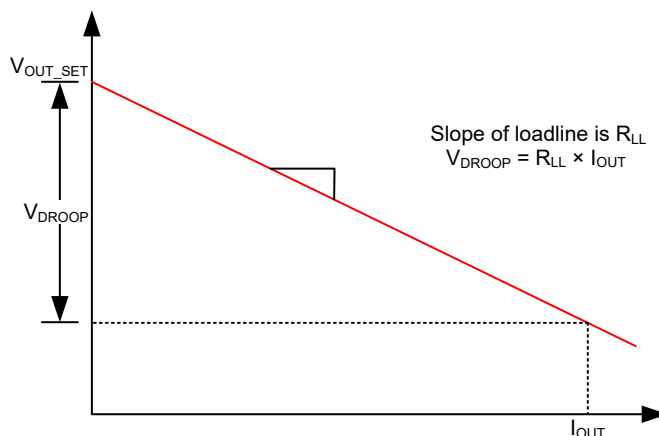


図 7-5. 負荷ライン レギュレーション

7.3.1.5 ランプ補償

ISUM または VDROOP 波形のいずれかにノイズが結合すると、予期しない時間にコントローラのオン時間パルスが生成される可能性があります。その結果、パワー コンバータにジッタが生じ、スイッチング動作に非理想的な特性が発生します。これらの波形のノイズ耐性は、ランプ補償を導入することで改善でき、それによってパワー コンバータのジッタを低減できます。

TPS7H5101 には 3 つの選択可能な振幅があり、「ランプ補償構成」に示されているように、ランプ補償に使用できます。ランプ補償は、スイッチング サイクルの終了時に常に目標振幅に達するように、選択されている公称スイッチング周波数でスケールリングされることに注意してください。ジッタを最適に最小化するため、アプリケーションに基づいてランプ補償の振幅を選択します。ランプ補償を追加すると、ループ帯域幅がわずかに低下する影響があるため、ランプの高さを注意深く選択する必要があります。振幅が大きいほど、より効果的にジッタは低減しますが、過渡応答が悪化する可能性もあります。

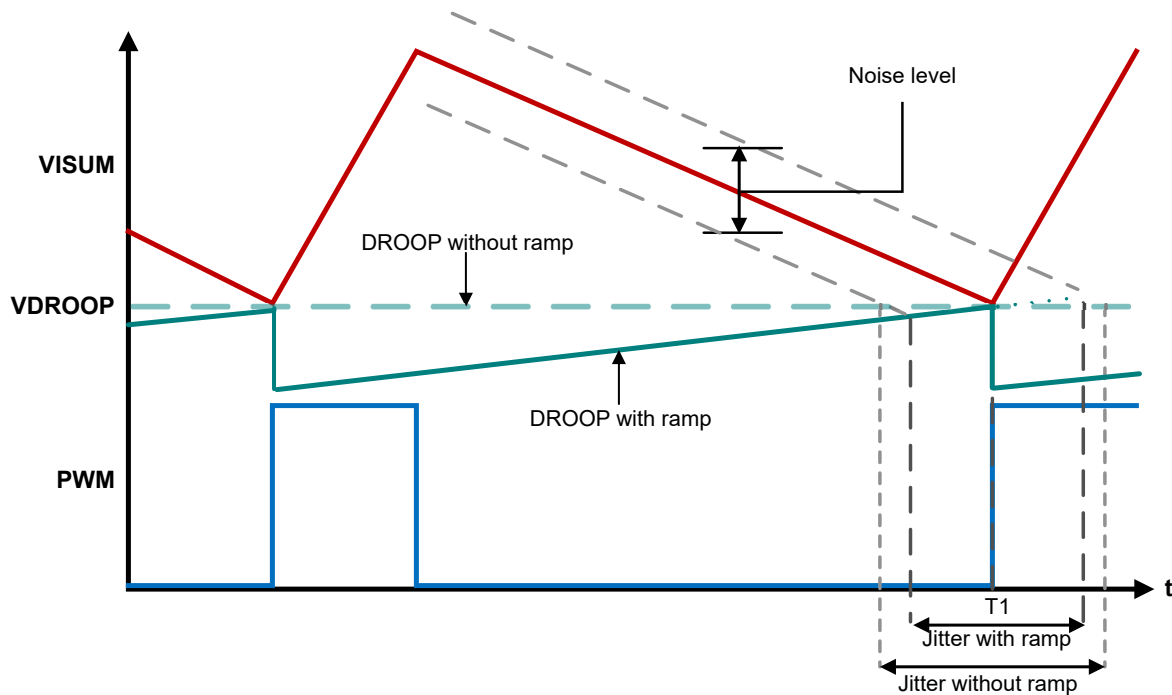


図 7-6. ランプ補償が動作に及ぼす影響の比較

表 7-2. ランプ補償構成

ランプピンの接続	ランプ補償振幅 (mV)
GND	20
オープン (フローティング)	60
VLDO	100

7.3.1.6 アンダーシュート低減 (USR)

過渡負荷が解放されるときは、負荷要求に対応するために、インダクタのエネルギーを素早く増加させる必要があります。アンダーシュート低減 (USR) 機能を使用することで、TPS7H5101 コントローラと組み合わせてこの目標を達成できます。DROOP と ISUM の差が目的のスレッシュホールドを超えた場合、コントローラの 2 つの位相間のパルスのオーバーラップを可能にすることで必要なエネルギーの増加が供給されます。セクション 7.3.1 に説明されているように、通常動作中、位相マネージャは 2 つの出力がオンパルスを同時に生成することを禁止し、信号間の 180° 変位を維持します。しかし、USR 中のパルスのオーバーラップにより、より頻繁なパルス生成が可能になり、負荷要求を満たすために必要なインダクタ エネルギーを増加させ、出力電圧のアンダーシュートを低減できます。USR は、コンバータの出力に必要な出力容量を低減するという追加の利点も備えています。過渡が完了すると、デバイスは、PWM1 出力と PWM2 出力の間に適切な位相変位を行って、定常状態の周波数で動作を再開します。

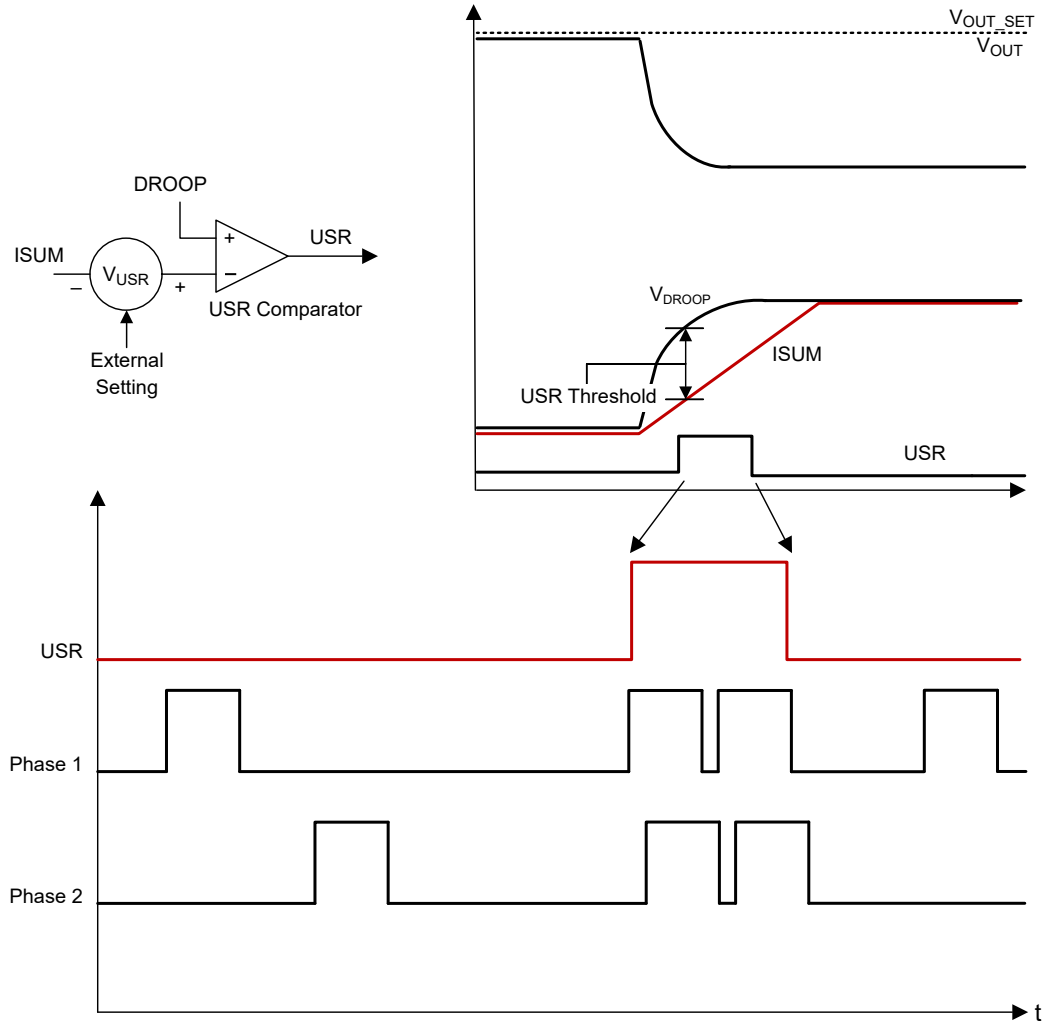


図 7-7. アンダーシュート低減

USR ピンと GND の間に接続する抵抗を使用して、アンダーシュート低減が有効になるスレッシュホールド DROOP - ISUM を設定します。USR 機能は、USR と GND の間に 2MΩ を超える抵抗を配置することで無効化することもできます。必要に応じて、このピンをフローティングのままにして、機能は無効化することもできます。式 5 に、 R_{USR} を選択するための式を示します。

$$R_{USR} = 18963 \times V_{TH_USR}^{-1.043} \quad (5)$$

ここで

- R_{USR} は、USR と GND の間に接続される抵抗です (kΩ 単位)
- V_{TH_USR} は、アンダーシュート低減がアクティブになる DROOP - ISUM の目的のスレッシュホールドです (mV 単位)

アンダーシュート低減は、コントローラのソフトスタート期間中は無効化されます。さらに、アンダーシュート低減は、コントローラが両方の出力 (PWM1 および PWM2) がアクティブになっており、PWM2 が無効になっている場合に USR 機能が存在しない場合にのみ有効です。

7.3.1.7 オーバーシュート低減 (OSR)

POL (ポイント オブ ロード) 同期整流降圧コンバータは、通常、出力電圧が低く、過渡負荷の解放によりオーバーシュートに反応することが課題となります。TPS7H5101 にはオーバーシュート低減 (OSR) 機能があり、負荷解放時に出力電圧のオーバーシュートを最小限に抑えるのに役立ちます。OSR イネーブルの状態では、DROOP 電圧が事前定義済みスレッシュホールドによって ISUM 電圧を下回ると、ローサイド ゲートドライバがオフになります。TPS7H5101 の場合、この期間中、出力はトライステートレベルになります (詳細については、セクション 7.3.2 を参照)。ローサイド FET がオフのとき、インダクタのエネルギーはボディ ダイオード (または GaN デバイスの場合は第 3 象限の動作) によって部分的に消費されます。オーバーシュートが低減すると、コントローラは通常動作に復帰し、ローサイド FET を再度オンにすることができます。

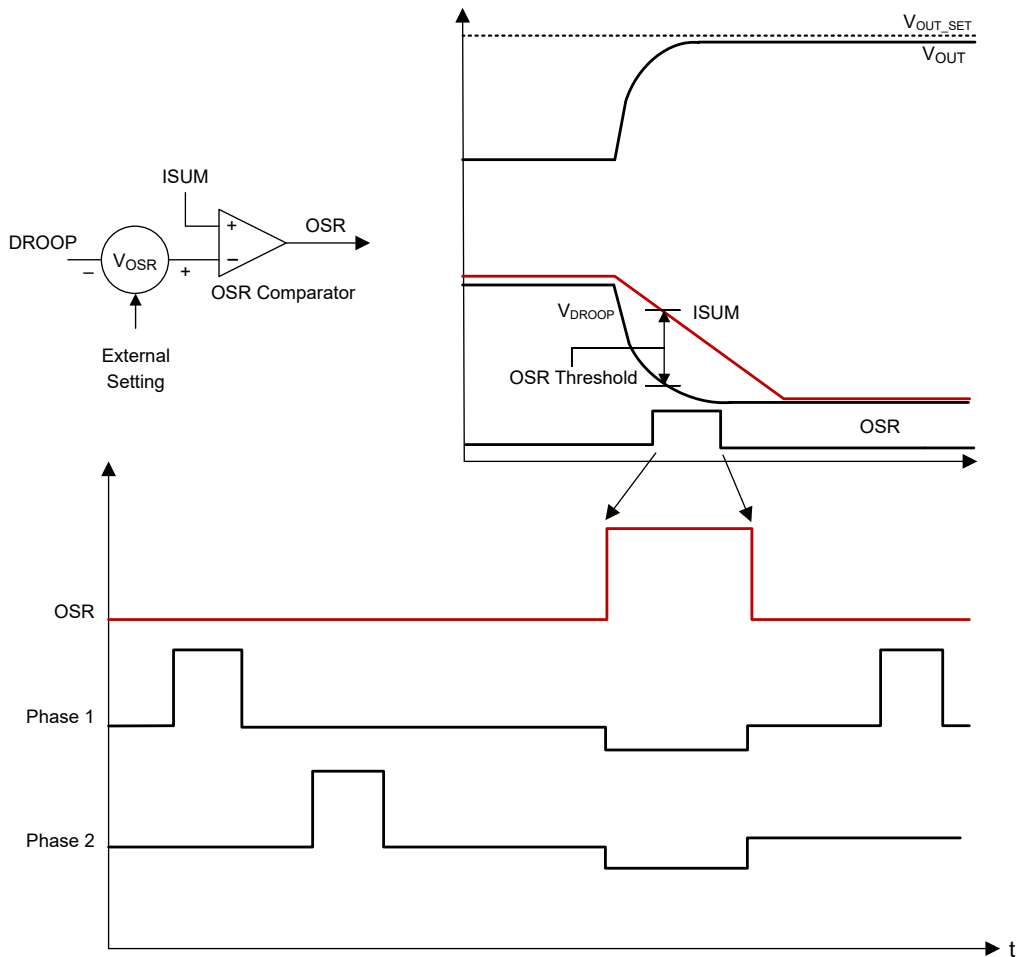


図 7-8. オーバーシュート低減

OSR ピンと GND の間に接続された抵抗を使用して、OSR がアクティブになるスレッシュホールド $ISUM - DROOP$ をプログラムします。OSR 機能は、OSR と GND の間に $2M\Omega$ を超える抵抗を配置することで無効化することもできます。必要に応じて、このピンをフローティングのままにして、OSR を無効化することもできます。式 6 に、 R_{OSR} を選択するための式を示します。

$$R_{OSR} = 18963 \times V_{TH_OSR}^{-1.043} \quad (6)$$

ここで

- R_{OSR} は、OSR と GND の間に接続される抵抗です (k Ω 単位)
- V_{TH_OSR} は、オーバーシュート低減がアクティブになる $ISUM - DROOP$ の目的のスレッシュホールドです (mV 単位)

7.3.1.8 電流センスと電流共有

適切に制御するため、TPS7H5101 で使用されている D-CAP+ アーキテクチャでは、ISUM と VDROOP が比較されます。ISUM 波形は、CSx_P と CSx_N のコントローラへ差動入力された電流センス信号の合計です。2 相動作の場合、各位相の電流が検出されます (最初の位相では CS1_P と CS1_N、2 相では CS2_P と CS2_N)。TPS7H5101 制御で適切な動作を行うには、各位相のバレー インダクタ電流を検出する必要があるため、各位相のローサイド FET を検出する電流表現が必要です。そのため、TPS7H5101 は、ローサイド センシングを実装する電力段 (TPS7H6200 など) と組み合わせて使用するか、DCR または直列センス抵抗でインダクタ電流を直接検出することで使用できます。どちらの場合も、電流センス信号をセンス ポイントから CSx_P および CSx_N ピンに差動配線します。コントローラに単相動作のみが使用される場合、CS2_P ピンおよび CS2_N ピンを VLDO に接続することで、PWM2 を無効化するために使用できます。

TPS7H5101 には、マルチフェーズ降圧実装の各位相の電流をイコライズするための内部回路も搭載されています。すべての位相からの平均電流を決定してから、各位相のオン時間を調整して電流をバランスさせることができます。オン時間生成コンパレータは、VDROOP が ISUM と交差すると、パルスを開始します。C_TON コンデンサは、電力段の入力電圧 VIN に比例した電流を使用して充電されます。コンデンサの電圧が VOUT_SET と等しいオン時間基準と一致すると、オン時間パルスは終了します。

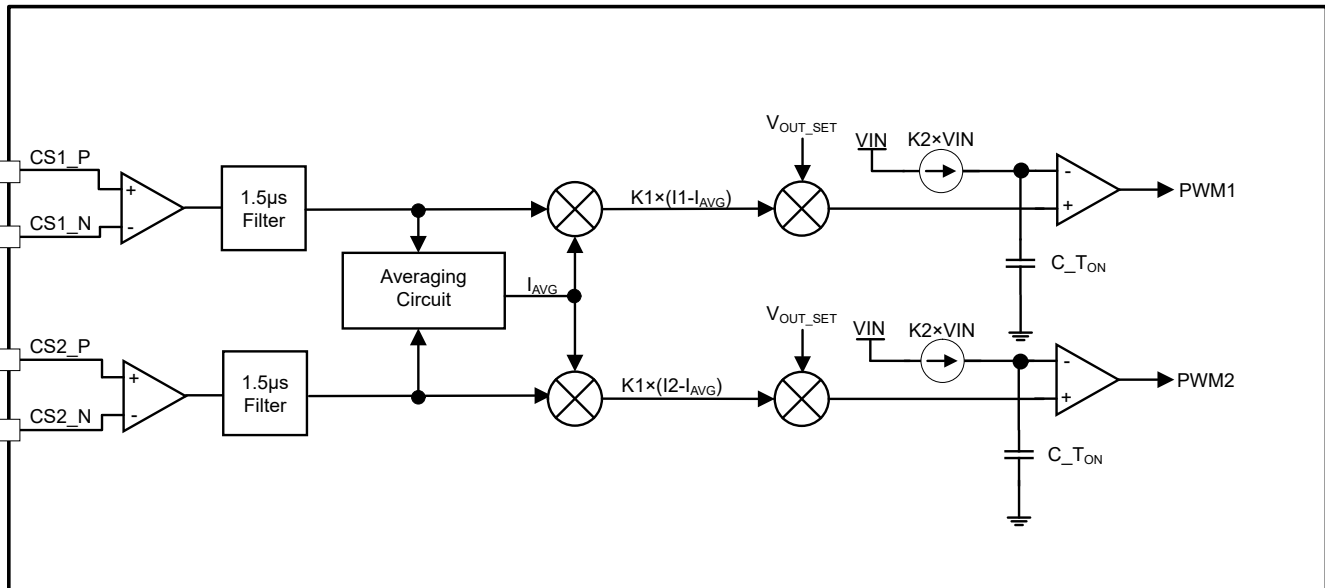


図 7-9. TPS7H5101 電流共有

図 7-9 に、推奨されるシステム ブロック図を示します。位相信号の平均値が等しい場合、オン時間パルスは VOUT_SET に終端され、予測される標準パルス幅はコントローラを経由して電力段に供給されます。しかし、 $I_1 > I_{AVG}$ の場合、VOUT_SET 基準からオフセットが減算され、最初の位相のパルス幅が短縮されて、その位相の電流が減少します。同様に、 $I_1 < I_{AVG}$ の場合、パルス幅が長くなり、位相の電流が増加します。マルチフェーズ コンバータの信頼性の高い動作を維持するには、電流共有回路が重要です。

7.3.1.9 ブランキング時間 (BLANK)

D-CAP+ による定常状態の動作中は、コントローラによって生成されるオン時間パルス持続時間に基づいて一定の時間にわたってハイサイド FET がオンになります。この期間中、位相インダクタ電流は増加します。オン時間パルスが終了すると、ハイサイド FET がオフになり、ローサイド FET がオンになり、位相インダクタ電流が減少します。この期間中、(1) 制御は ISUM と VDROOP の交点に基づいて次のオン時間パルスの生成タイミングを決定し、(2) 過電流が検出された場合には、インダクタ電流が所定の スレッシュホールドを下回るまでローサイド FET をオンに維持します。このため、ローサイドのターンオンや電流センス回路に起因した電流波形のリンギングが発生すると、誤動作につながる可能性があります。この

予期しない動作は、誤ったタイミングでオンパルスをトリガすること、または過電流モードを早期に終了することです。この問題を軽減するため、コントローラのブランキング時間を使用します。

ブランキング時間は、パルス生成コンパレータが電流センス入力を無視する期間を定義し、オン時間パルスの誤トリガを防止することを目的としています。継続時間は、リングングが減衰するのを許容するように選択されます。出力段の電流センスセトリング時間を考慮するためにも、ブランキング時間を使用されます (使用されている場合)。ブランキング時間は、オン時間パルスが終了した後に **HS FET** をオフに維持する必要がある絶対最短時間と等しくなるため、ブランキング時間も最小オフ時間として定義されます。ローサイド **FET** のターンオン開始時のブランキングに加えて、コンパレータはコントローラ出力のオン時間全体にわたってブランキングを行うことに注意してください。しかし、ローサイド **FET** ターンオン中のブランキングのみをプログラム可能です。プログラマブルブランキング時間の例に、マルチフェーズ降圧の単相について、**PWM** パルスおよび電流センス信号に対するプログラマブルブランキング時間を示します。この例では、供給される電流センス信号は、降圧コンバータの電力段によって生成されるローサイド **FET** 電流を表現していることに注意してください。ブランキング時間は、電流センス信号のノイズと外部出力段の伝搬遅延を含みます。

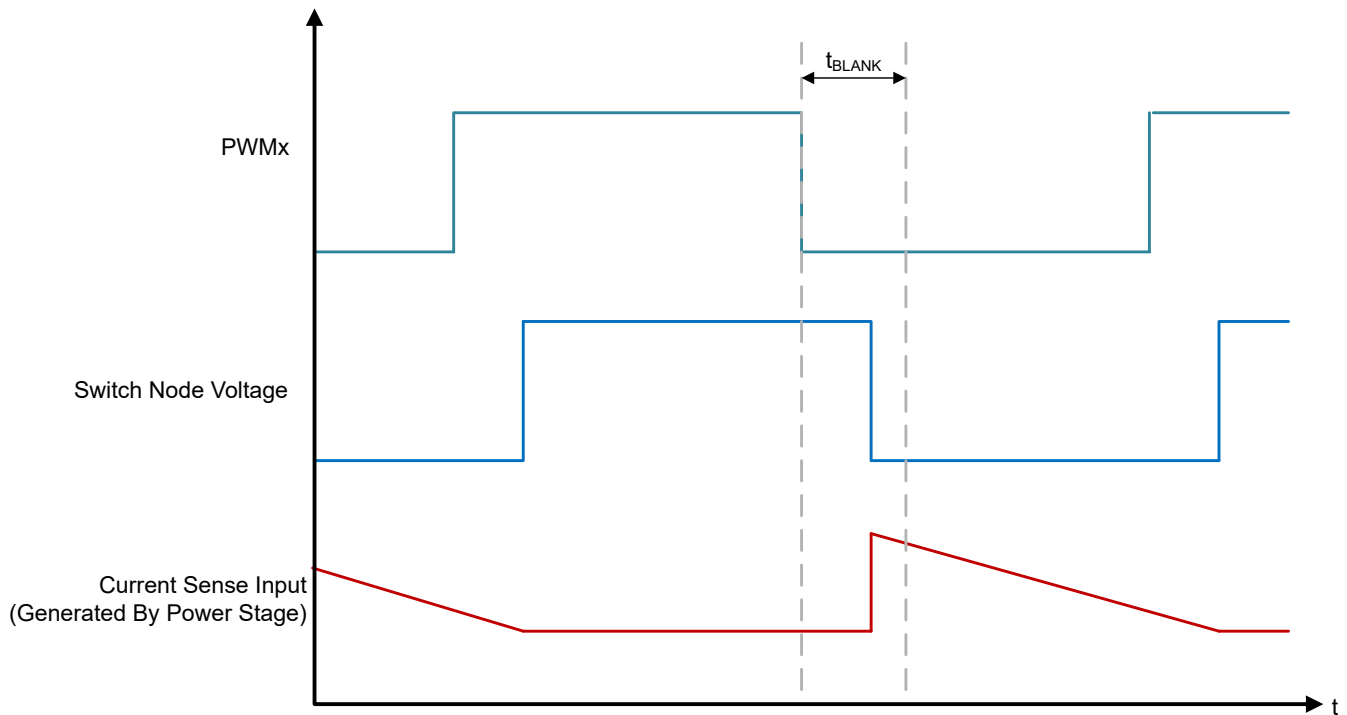


図 7-10. プログラマブル ブランキング時間の例

TPS7H5101 のローサイド ターンオン期間開始時のブランキング時間は、**BLANK** ピンと **GND** の間に接続された外部抵抗 R_{BLANK} を使用して設定できます。式 7 を使用して、目的のブランキング時間に基づき抵抗を選択できます。

$$R_{BLANK} = (1.3493 \times t_{BLANK}) - 60.386 \quad (7)$$

ここで

- R_{BLANK} はブランキング抵抗値 ($k\Omega$ 単位) です
- t_{BLANK} は目的のブランキング時間 (ns 単位) です

7.3.2 PWM の信号

PWM1 および PWM2 ピンは、降圧コンバータの電力段にオン時間信号を出力します。コントローラの出力は 5V ロジック信号であり、DrMOS 互換の電力段で利用できます。これらの出力信号はそれぞれ、単一の電力段を駆動することを目的としています。出力信号には、ロジック High、ロジック Low、トライステート電圧 (標準 1.7V) という 3 つの異なる状態があります。以下の 表 7-3 に、各 PWMx コントローラの出力状態に対応するドライバまたはロジック段で期待される動作を示します。

表 7-3. PWMx 出力状態

ロジックレベル	電力段の応答
高	ハイサイド FET がオンで、ローサイド FET がオフです
低	ハイサイド FET がオフで、ローサイド FET がオンです
トライステート (Mid レベル)	両方の FET がオフです

コントローラが無効のとき、出力はトライステートになります。したがって、[セクション 7.3.9.1](#) に説かれているように、ソフトスタート時の最初の遷移は、コントローラが有効になるたびに、トライステートからロジック High になります。

コントローラに単相動作のみが必要な場合は、PWM2 を無効化できます。2 つ目のコントローラ出力を無効化するには、CS2_N を VLDO に接続する必要があります。この状態では、CS2_P を VLDO に接続することもできます。

7.3.3 リモートセンシングと VOUT の設定

TPS7H5101 には、差動リモート センシング機能があります。しかし、VSNS_P ピンは負荷を基準とする電圧帰還入力として機能しますが、VSNS_N に対する直接ピン接続はありません。代わりに、出力電圧のプログラムに使用される OUT_SET 抵抗は、降圧コンバータの負荷の基準点である VSNS_N を基準としています。このため、VSNS_P と OUT_SET はどちらも、コントローラ内部の差動アンプの入力でこのポイントを基準としています。

コントローラのリモート センシング アーキテクチャは、ローカル GND とリモート グランドとの間に生じる最大 $\pm 100\text{mV}$ のオフセットを検出可能です。負荷とコントローラでのグランドの差動がこの値を超えないように、PCB レイアウトを最適化します。また、VSNS_P と VSNS_N のトレースは、負荷からコントローラへ差動配線します。リモート センシングを使用することが望ましくない場合は、OUT_SET 抵抗を、コントローラが使用するのと同じ GND に接続します。

[図 7-11](#) に、リモート センス接続の例を示します。この例では、TPS7H5101 の概略図を使用しています。この例で、 $R_{\text{PARASITIC}}$ は、負荷の入力電圧に電力を供給する大電流経路の寄生抵抗を表します。寄生抵抗は、負荷から VSNS_P へのリモート センス接続を使用して補償されます。 $R_{\text{PARASTIC_GND}}$ は、グランド パスの寄生抵抗で、OUT_SET 抵抗への VSNS_N 接続を使用するために考慮されています。一部の FPGA には専用のリモート センス接続があり、その場合は、[図 7-12](#) に示されているように接続できます。リモート センス機能は、プリント基板の寄生抵抗と、大電流負荷のパッケージによる電圧降下を克服するために使用されるため、コンバータの近くで測定した出力電圧は、実際の電圧レギュレーション ポイントであるリモート負荷の出力電圧よりも高くなります。

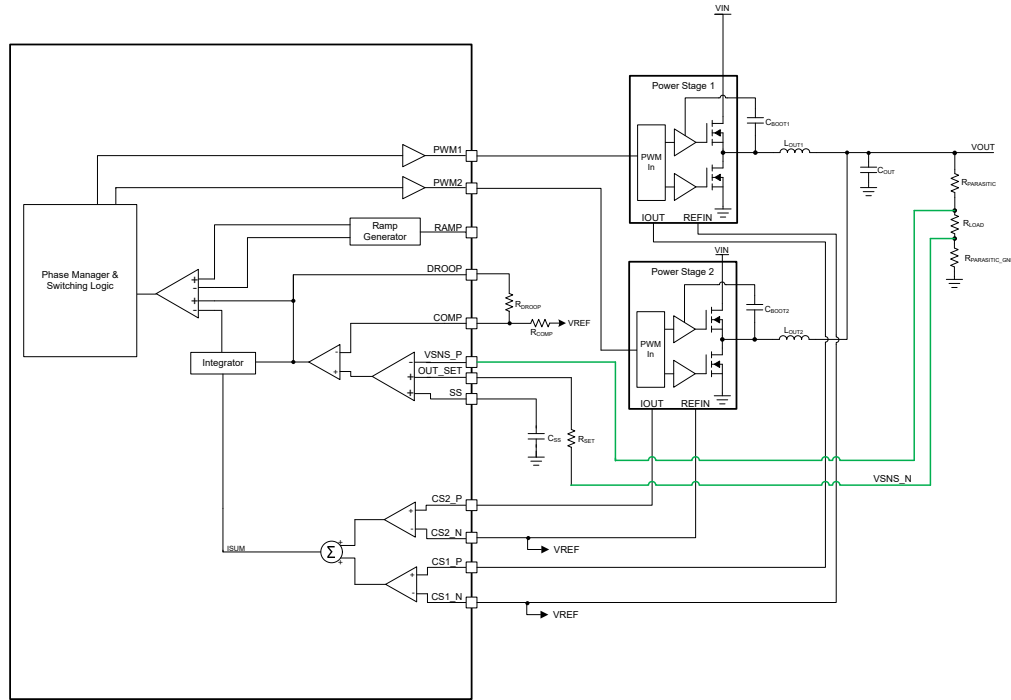


図 7-11. リモート センスの例

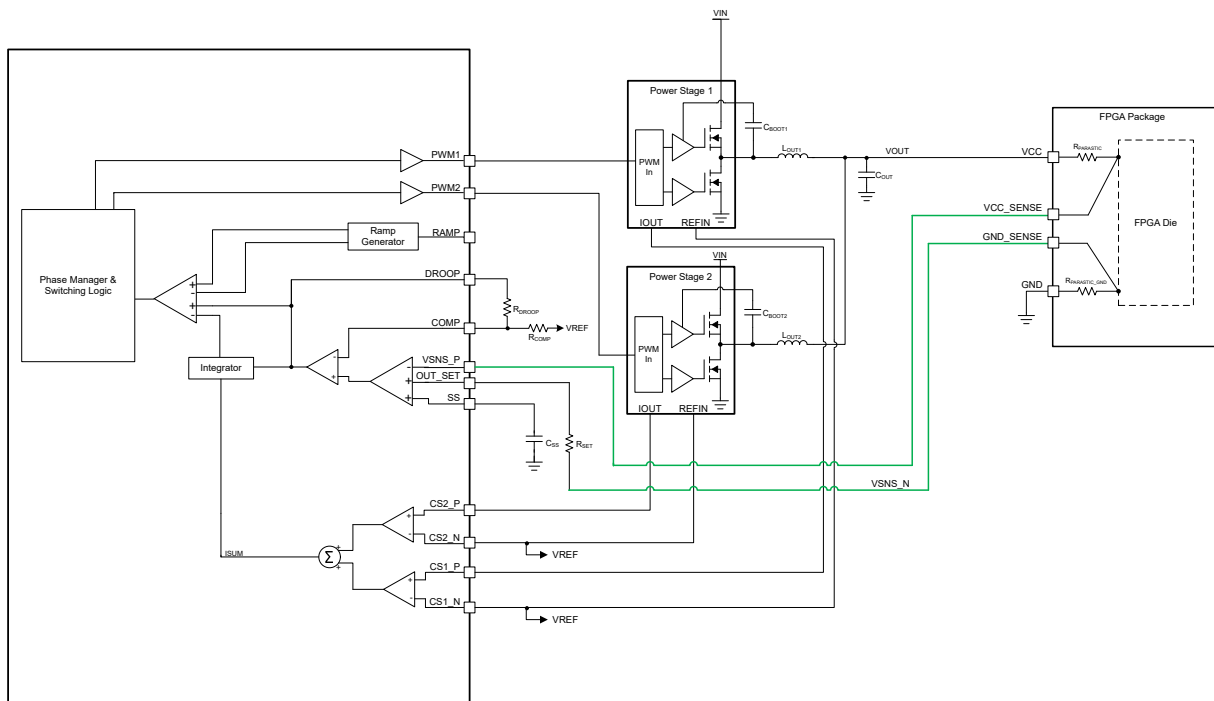


図 7-12. FPGA リモートセンスの例

TPS7H5101 を利用した降圧コンバータの出力電圧は、公称範囲 0.5V ~ 2.5V に設定できます。出力電圧は、デバイスの OUT_SET ピンを使用して設定されます。OUT_SET と VSNS_N の間に接続された抵抗によって、公称出力電圧値が設定されます。VSNS_N はリモート負荷の基準点で、コントローラを差動リモート センシング用に構成した場合に使用されます。式 9 および 式 9 を使用して、目的の出力電圧をプログラムする抵抗を選択できます。まず、IREF と GND

の間の抵抗を使用して、OUT_SET 出力電流を約 10.05μA に設定します。IREF 電流は OUT_SET にミラーリングされることに注意してください。

$$R_{IREF} = \frac{V_{VREF}}{I_{IREF}} = \frac{1.7V}{10.05\mu A} = 169.2k\Omega \quad (8)$$

したがって、R_{IREF} は、最も近い標準抵抗値 169kΩ に設定します。OUT_SET ピンに 10.05μA を供給するように R_{IREF} を設定すると、R_{SET} 値を目的の出力電圧 V_{OUT_SET} に選択できます。

$$R_{SET} = \frac{V_{OUT_SET}}{I_{IREF}} = \frac{V_{OUT_SET}}{10.05\mu A} \quad (9)$$

コンバータの出力電圧 V_{OUT} は、V_{OUT_SET} 電圧に直接対応します。R_{SET} と R_{IREF} の両方には、許容誤差が 0.1% の抵抗を使用することを推奨します。

7.3.4 入力電圧 (VIN)

TPS7H5101 の現在のリビジョンでは、VIN ピンの入力電圧範囲は 8V ~ 15V です。将来のリビジョンでの VIN 範囲は 4.5V ~ 15V です。VIN は、内部制御回路とコントローラのロジックに必要な電圧を供給します。VIN ピンには低電圧誤動作防止機能が搭載されており、デバイスを有効化して意図した動作を開始するには、電圧が UVLO 立ち上がりスレッシュホールドより高くなる必要があります。

通常動作において、適切なタイミングでの生成と擬似的な一定スイッチング周波数の維持を行うには、コントローラの VIN を降圧電力段の入力電圧に接続します。セクション 7.3.1.2 および セクション 7.3.1.8 に示されているように、オン時間回路と電流共有回路はどちらも、意図したとおりに動作するために、コンバータの電力段からの入力電圧を必要とします。

VIN と GND の間に、少なくとも 1μF の最小バイパス コンデンサをコントローラに近づけて接続します。

7.3.5 VLDO

VIN に印加される電圧は、VLDO 電圧を生成する内部レギュレータへの入力となります。VLDO の公称出力電圧は 5V です。VLDO には低電圧誤動作防止機能もあり、出力電圧が低すぎる場合はデバイスは有効化されません。VLDO と GND の間に 1μF コンデンサを接続することが勧められます。VLDO に外部的に負荷をかけないでください。しかし、このドキュメント内で許容可能とみなされる場合を除きます。

7.3.6 電圧リファレンス (VREF)

デバイスは、内部公称 1.7V バンドギャップ リファレンス電圧を生成します。この電圧は VREF ピンの出力です。適切な電氣的動作およびデバイスの堅牢なシングル イベント過渡 (SET) 特性を確保するため、VREF ピンにはグラウンドへの 470nF のコンデンサを接続する必要があります。

VREF は、TPS7H5101 を TPS7H6200 などの電力段 (VREF が CSx_N に接続されている) とペアリングする場合、電流センス入力のリファレンスとして機能することもできます。抵抗 R_{COMP} (ドループ ゲインの設定に使用) と R_{OCL} (過電流スレッシュホールドの設定に使用) も、コントローラの VREF ピンを基準としています。

7.3.7 イネーブル (EN)

イネーブル ピンの電圧がイネーブル立ち上がりスレッシュホールドを下回ると、デバイスはシャットダウン モードになり、コントローラは出力パルスを生成しません。このデバイスは、ピンの電圧をこのスレッシュホールド以上にすることで有効化され、有効化された後は、電圧をイネーブル立ち下がりスレッシュホールド未満に下げることで無効化できます。デバイスを外部で有効化する方法は複数あります。VIN と GND の間の抵抗デバイダを使用して、EN 電圧を供給することができます。

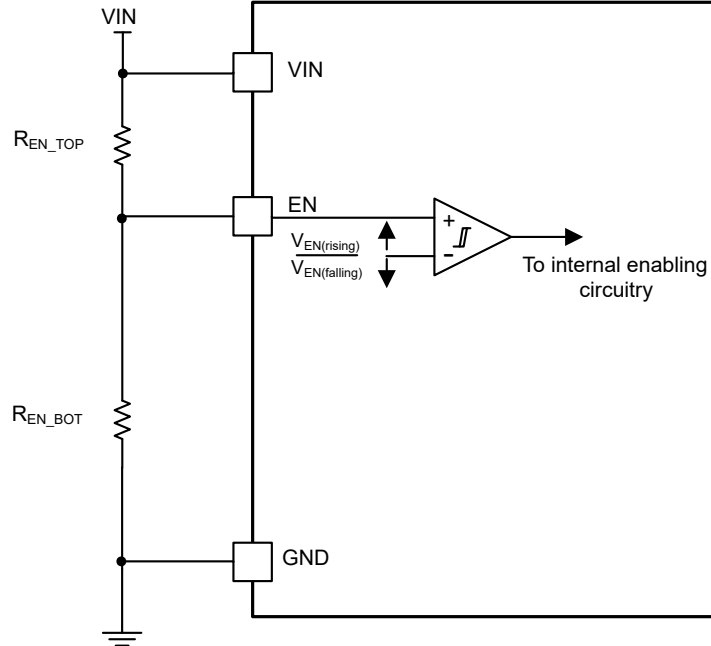


図 7-13. 抵抗デバイダを使用したイネーブル ピン構成

式 10 に示されているように、目的の入力電圧でデバイスがオンになるように、抵抗のサイズを適切に設定することができます。この実装では、VIN のデフォルトの内部 UVLO スレッショルドを補完する調整可能な UVLO が実現されています。

$$R_{EN_BOT} = \frac{V_{EN(rising)}}{V_{IN(rising)} - V_{EN(rising)}} \times R_{EN_TOP} \quad (10)$$

ここで、

- $V_{IN(rising)}$ は、EN を High にする入力電圧値です
- $V_{EN(rising)}$ は、EN ピンの立ち上がり電圧スレッショルドです
- R_{EN_TOP} は、VIN から EN への帰還抵抗です
- R_{EN_BOT} は、EN から GND への帰還抵抗です

同様に、式 11 を使用して、 $V_{IN(falling)}$ 電圧を計算できます。

$$V_{IN(falling)} = V_{EN(falling)} \times \frac{R_{EN_TOP} + R_{EN_BOT}}{R_{EN_BOT}} \quad (11)$$

ここで、

- $V_{IN(falling)}$ は、EN を Low にする入力電圧値です
- $V_{EN(falling)}$ は、EN ピンの立ち下がり電圧スレッショルドです

または、EN ピンをマイクロコントローラまたは FPGA から直接駆動することもできます。イネーブル ピンの低電圧スレッショルドは、最小 1.1V のロジックレベルをサポートしています。

セクション 7.5 に説明されているように、TPS7H5101 は PMBus インターフェイスを介して有効化/無効化することもできます。そのため、EN が外部でターンオンに必要なスレッショルドを超えていても、PMBus 経由で指示された状態によっては、デバイスが無効のままとなる場合があります。PMBus イネーブルのデフォルト状態は「オン」であり、EN ピンが High に駆動されると、起動時に、最初の PMBus コマンドなしでデバイスが有効になります。

7.3.8 パワーグッド (PG)

パワーグッド (PG) ピンはオープンドレイン出力で、抵抗を介して 7V 以下の電圧レベルにプルアップされます。PG によってシンクされる電流が 2mA 未満になるように、プルアップ抵抗値を選択します。ほとんどの条件では、10kΩ 抵抗で十分です。より大きな値を使用すると消費電力は最小限に抑えられますが、プルアップ能力が弱まるため、スイッチング ノイズがパワーグッド信号に結合する可能性があります。

VOUT が、OUT_SET により決定されるプログラム値の 90% (標準値) 以上のとき、パワーグッドがアサートされます。VOUT がプログラムされた値の 88% (標準値) を下回ると、パワーグッドがデアサートされます。検出された帰還電圧 VSENSE と OUT_SET との間で比較を行います。ここでは以下のようになります。

$$VSENSE = VSNS_P - VSNS_N \quad (12)$$

セクション 7.3.3 に説明されているように、VSNS_N は負荷を基準とするグランドです。VSNS_N は、コントローラでリモートセンシングが使用される場合に、OUT_SET の基準点としても機能します。PG はローカル GND を基準としているため、負荷電流が増加すると PG のアサート点に多少の不正確さが発生する可能性があることに注意してください。リモートセンシングが不要な場合は、OUT_SET をローカル グランドを基準にすることで、最高の PG 性能を実現できます。

PG 状態が有効とみなされるには、コントローラの入力電圧 VIN が 1V より高い必要があります。PG ピンの最大電流シンク能力は、VIN が 7V に達したときに実現されます。詳細については、「電気的特性」を参照してください。

VOUT が低電圧であるに加えて、PG がデアサートされる条件のリストは次のとおりです。

- VIN が UVLO に移行します
- デバイスがサーマル シャットダウンに移行します
- デバイスが EN ピンによって無効化されます

図 7-14 に、VOUT 条件にตอบสนองして予測されるパワーグッド動作を示します。

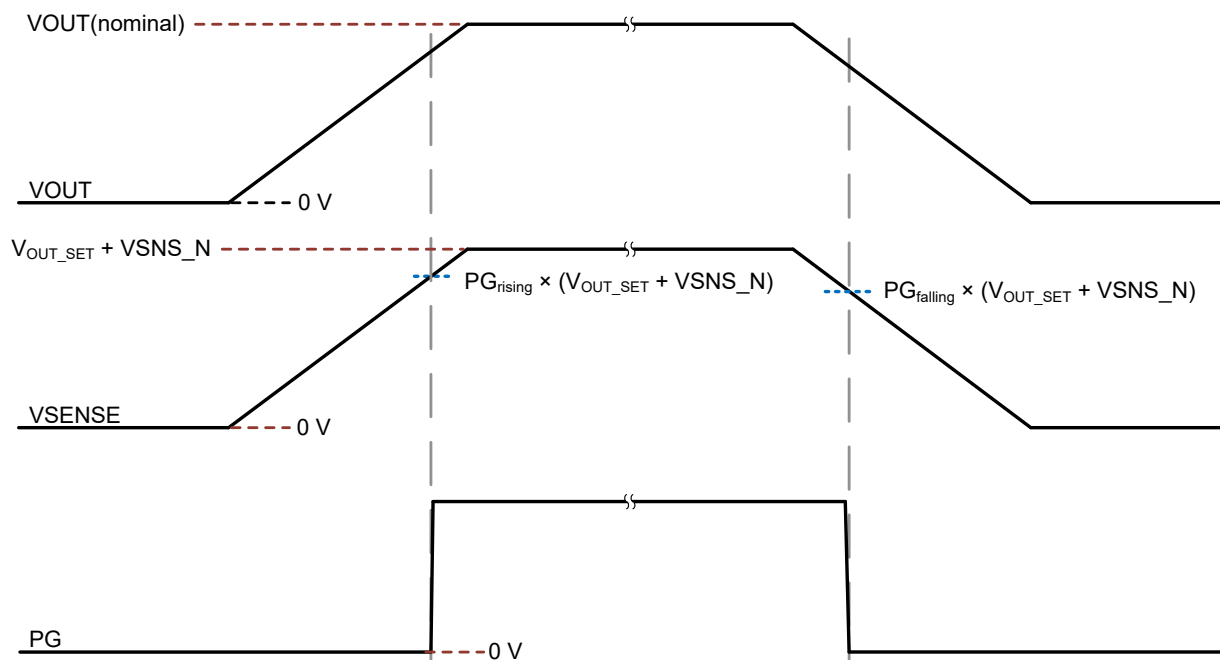


図 7-14. パワーグッド スレッシュホールド

7.3.9 電源オン動作

7.3.9.1 ソフトスタート (SS)

ソフトスタートピン (SS) と GND の間にコンデンサを接続することで、出力電圧の上昇を制御できます。これは、出力容量が大きいことによってコンバータで過剰な突入電流が発生するのを防止するために特に役立ちます。目的のソフトスタート時間の容量は、式 13 に示されているように選択できます。

$$C_{SS} = \frac{t_{SS} \times I_{SS}}{V_{OUT_SET}} \quad (13)$$

ここで

- t_{SS} は、必要なソフトスタート時間です
- V_{OUT_SET} は、 R_{SET} により決定される出力電圧の設定ポイントです
- I_{SS} は、ソフトスタート充電電流です

ソフトスタート中、コントローラは SS ピンの電圧が V_{OUT_SET} を超えるまで、その電圧を基準として使用します。SS ピンの電圧が V_{OUT_SET} を上回ると、ソフトスタート期間が完了したとみなされます。スタートアップ時にプリバイアス出力をサポートするため、TPS7H5101 は常にハイサイド FET にパルスを最初に送信します。このため、コントローラと合わせて使用されるハイサイド ゲートドライブ回路が、コントローラでソフトスタートを開始する前に十分な電圧を供給していることが重要です。

7.3.10 電流モニタ出力 (ISUM)

CSx_P および CSx_N の電流センス信号は ISUM で内部で互いに加算され、オン時間パルスを適切に生成するためにコントローラによって使用されます (セクション 7.3.1 を参照)。信号 ISUM はバッファされ、電流モニタとして使用する ISUM ピンに出力されます。ISUM の電圧は、検出された電流に比例し、内部 ISUM 信号の 1:1 表現にも比例します。このアナログ信号は、診断やその他のユーザー定義目的に使用できます。ISUM 出力は最大 50pF の容量性負荷を駆動でき、最新のほとんどの ADC 入力に適しています。ISUM ピンの電圧出力は、VREF を基準にしています。

7.3.11 過電流保護

TPS7H5101 は、バレー電流制限を使用しています。電流制限は位相ごとに行われます。つまり、いずれかの位相で過剰な電流が検出された場合、コントローラは過電流保護モードに移行します。同様に、電流制限は、検出された電流の値に応じて、パルス単位で行われます。CSx_P と CSx_N 入力間の電圧が過電流スレッショルドを上回っている場合、コントローラは次のオン時間パルスを遅延させ、その電圧差がスレッショルドを下回るまで遅延させます。この遅延時間中に、降圧コンバータのハイサイド FET がオフ、ローサイド FET がオンになります。

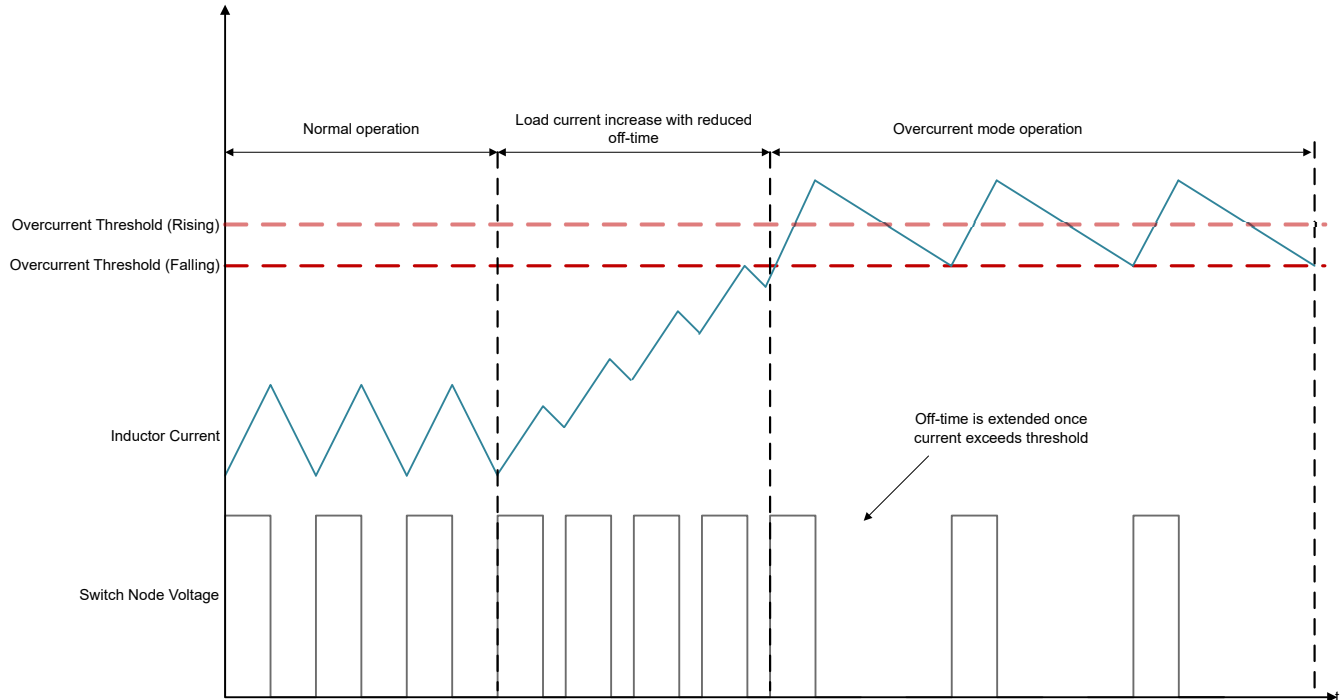


図 7-15. バレー電流制限スレッシュホールドの例

降圧コンバータのバレー電流は、負荷電流からインダクタリップル電流の 1/2 を減算した値です。過電流スレッシュホールドは、電流センス抵抗と電流センスゲインの両方を考慮して、必要な過電流保護レベルに対するバレー電流の計算値に基づいています。

$$V_{CS_OCL} = I_{VALLEY} \times R_{CS(eff)} \times A_{CS} \quad (14)$$

ここで

- V_{CS_OCL} は、CS ピンのコントローラによって示される目的の過電流スレッシュホールド電圧です
- I_{VALLEY} は、目的のインダクタのバレー電流で、それを上回るとコントローラが過電流になります
- $R_{CS(eff)}$ は、インダクタ電流センスに使用される実効電流センス抵抗です
- A_{CS} は、電流センス回路からの電流センスゲインであり、電力段またはコントローラの外部からの電流センスゲインです

OCL ピンから VREF に接続する抵抗 R_{OCL} を使用し、 V_{OCL} を 式 14 で算出される目標値に設定することで、過電流スレッシュホールドを設定します。

$$V_{OCL} = I_{OCL} \times R_{OCL} \approx 5\mu A \times R_{OCL} \quad (15)$$

7.4 デバイスの機能モード

デバイスは、擬似一定周波数電流モード制御アーキテクチャによる適応型オン時間を採用しています。同期整流降圧コンバータとして、デバイスは通常、あらゆる負荷状況下で連続電流モードで動作します。

7.5 プログラミング

7.5.1 PMBus の一般的な説明

TPS7H5101 は、+10% ~ -10% の範囲での出力電圧の調整およびデバイスの有効化/無効化を可能にするシンプルな PMBus インターフェイスを備えています。また、PEC (パケット エラー チェック) と故障処理機能が搭載されており、堅牢な通信を実現できます。

この PMBus インターフェイスは、以下のコマンド プロトコルをサポートしています。送信バイト、書き込みバイト、読み取りバイト。各プロトコルには、フレキシビリティを高めるために標準バージョンと PEC バージョンがあります。

すべての PMBus トランザクションは、START および STOP コマンドを利用してデータ パケットをフレーム化します。また、必要な場合は、REPEAT START 条件が許可されます。デバイスは標準モード (100kb/s) で動作できます。TPS7H5101 デバイスは、コントローラとの通信時に PMBus でパルスをストレッチしません。

PMBus は、TPS7H5101 の入力電圧 VIN がコントローラの VIN_{UVLO} スレッシュホールドを上回った後、5ms の期間トランザクションを実行できるようになります。PMBus アクションが無効とみなされる可能性があるため、この初期化期間が完了する前にトランザクションを送信することは推奨されません。初期化中、すべてのレジスタはデフォルト値にリセットされます。コントローラの外部イネーブル ピンの状態にかかわらず、PMBus の初期化後、OPERATION レジスタの「ON_OFF」ビットはデフォルトで「オン」状態になることに注意してください。

7.5.2 書き込みバイト

書き込み形式は、コマンド コードとデータ バイトをターゲットに送信するために使用されます。START 条件 [S] の後、ターゲット チップ アドレスが送信され、その後に 8 番目のビットが書き込みを示します。その後で TPS7H5101 は、アドレス指定されたことをアクノリッジし、コントローラは 8 ビットのレジスタ アドレス バイトで応答します。ターゲットがアクノリッジし、コントローラが適切な 8 ビット データ バイトを送信します。再度、ターゲットがアクノリッジを行い、コントローラは STOP 条件 [P] で転送を終了します。

7.5.3 読み出しバイト

START 条件 [S] の後、ターゲット チップ アドレスが送信され、その後に 8 番目のビットが書き込みを示します。その後で TPS7H5101 は、アドレス指定されたことをアクノリッジし、コントローラは 8 ビットのレジスタ アドレス バイトで応答します。ターゲットはアクノリッジを行い、コントローラは反復 START 条件 [Sr] を送信します。ターゲット チップ アドレスが再度送信され、その後に読み取りを示す 8 番目のビットが送信されます。ターゲットは、アクノリッジに続いて、以前に指定された 8 ビットのデータ バイトを返します。次に、コントローラは非アクノリッジ (NACK) を送信し、最後に STOP 条件 [P] で転送を終了します。

7.5.4 送信バイト

送信バイト形式は、エンコードされたコマンドを含む 1 バイトのデータをターゲットに送信するために使用されます。START 条件 [S] の後、ターゲット チップ アドレスが送信され、その後に 8 番目のビットが書き込みを示します。その後で TPS7H5101 は、アドレス指定されたことをアクノリッジし、コントローラは 8 ビットのデータ バイトで応答します。ターゲットがアクノリッジを行い、コントローラは STOP 条件 [P] で転送を終了します。

7.5.5 パケット エラー チェック (PEC)

パケット エラー チェック (PEC) をオプションで使用して、データ送信のエラー チェックを行うこともできます。TPS7H5101 レシーバが、計算された PEC と一致しないデータをコントローラから受信すると、TPS7H5101 は PEC バイトの NACK を実行します。また、このコマンドは動作せず、STATUS_BYTE レジスタの CML ビットが設定されます。

STOP の前にコントローラからクロック パルスが供給される場合、PEC が使用されます。追加のクロック パルスなしで STOP が発行される場合、PEC は使用されません。PEC はオプションですが、堅牢で信頼性の高いデータ送信には、この機能の使用が推奨されます。

7.5.6 追加の故障

PMBus 送信にエラーがあると、TPS7H5101 コントローラが認識する故障につながる可能性があります。STATUS_BYE レジスタに CML ビットが設定されるこれらの故障には、次のものが含まれます。

- ビットの送信または読み取りが多すぎます
- 送信または読み取りビットが少なすぎます
- TPS7H5101 コントローラから送信されたバイトが多すぎます
- TPS7H5101 コントローラによって読み取られたバイト数が多すぎます
- 無効またはサポートされていない PMBus コマンドがホストから TPS7H5101 に送信されました
- 別の PMBus デバイスが SCL ラインを 32ms (標準値) を超える期間にわたって Low レベルに保持したため、TPS7H5101 によってクロック Low 検出タイムアウトが開始されました。
- パケット エラー チェック (PEC) に失敗しました

CML ビットは、レジスタをクリアするために STATUS_BYTE で説明されている条件のいずれかが満たされるま設定でされたまま維持されます。

7.5.7 PMBus コマンドの概要

コマンド	説明	データ型の書き込み	データ型の読み取り
OPERATION [01h]	コントローラの電源オンおよびオフ	書き込みバイト	読み出しバイト
CLEAR_FAULTS [03h]	ラッチされた故障のクリア	送信バイト	該当なし
STATUS_BYTE [78h]	ステータス ビットを返す	なし	読み出しバイト
MFR_SPECIFIC_C4 [C4h]	出力電圧マーキングの設定	書き込みバイト	読み出しバイト

7.5.8 PMBus アドレス選択

TPS7H5101 を使用することで、PMBus 通信に最大 12 個の異なるチップ アドレスを使用でき、最初の 3 ビットは 001 に固定されます。アドレスの選択は、ADDR ピンから GND に接続された抵抗 R_{ADDR} によって定義されます。下表に、各アドレスのターゲット抵抗値を示します。より優れたノイズ マージンと、より信頼性の高いアドレス検出を実現するために、許容誤差が 0.1% 以下の抵抗を推奨します。TPS7H5101 コントローラには、抵抗 R_{ADDR} を実装する必要があります。

表 7-4. PMBus アドレスの抵抗の選択

PMBUS アドレス	R_{ADDR} 値
0010000	1500k Ω
0010001	626k Ω
0010010	348k Ω
0010011	246k Ω
0010100	189k Ω
0010101	154k Ω
0010110	130k Ω
0010111	113k Ω
0011000	94.1k Ω
0011010	76.8k Ω
0011100	64.9k Ω
0011110	49.9k Ω

8 レジスタ マップ

1 OPERATION [01h] (読み取り/書き込みバイト)

TPS7H5101 は、以下に示す OPERATION コマンドの機能のみをサポートしています。

コマンド	定義	説明
OPERATION<7>	ON_OFF	0:コントローラの電源を切ります 1:コントローラの電源を入れます (デフォルト)
OPERATION<6>	–	サポート対象外とドントケア
OPERATION<5:4>	–	サポート対象外とドントケア
OPERATION<3:2>	–	サポート対象外とドントケア
OPERATION<1>	–	サポート対象外とドントケア
OPERATION<0>	–	サポート対象外とドントケア

TPS7H5101 コントローラの VIN および内部 VREF 低電圧誤動作防止 (UVLO) スレッシュホールドを超えると、「ON_OFF」ビットの状態はデフォルトで「オン」になることに注意してください。

2 CLEAR_FAULTS [03h] (送信バイト)

CLEAR_FAULTS コマンドは、STATUS_BYTE レジスタの故障ビットが設定されているすべての故障ビットをクリアするために使用されます。このコマンドは、すべてのステータス レジスタのすべてのビットをクリアします。ビットがクリアされたときに引き続き故障状態が存在する場合、故障ビットは即座に再び設定されます。

CLEAR_FAULTS コマンドでは、故障状態のためにオフにラッチされたユニットは再起動されません。故障状態のためにシャットダウンされているユニットは、次のいずれかの条件で再起動できます。

- 出力は、EN ピンおよび/または ON_OFF ビットによってオフにしてからオンに戻すよう指示されます。
- TPS7H5101 の場合、VIN 電源がサイクルされます

最後の PMBus トランザクションから長い時間が経過した場合、次の目的の PMBus コマンドの前に、CLEAR_FAULTS コマンドを送信する必要があります。このコマンドを送信すると、CML ビット状態は次のトランザクションにのみ関係するように、STATUS_BYTE レジスタがクリアされます。一定の非アクティブ期間が経過した後に CLEAR_FAULTS コマンドを送信することも、重イオンに起因するビット変更の可能性に対する安全策となります。

3 STATUS_BYTE [78h] (読み取りバイト)

TPS7H5101 は、STATUS_BYTE コマンドのすべての機能をサポートしているわけではありません。サポートされている機能のリストを以下に示します。ステータス ビットは、コンバータの現在の状態を反映します。指定された条件が発生するとステータス ビットは High になり、指定された条件が解消すると Low になります。フラグ ビットは、指定された条件が発生すると High になり、指定された条件が解消しても Low に戻りません。

コマンド	定義	説明
STATUS<7>	BUSY	サポートされておらず、常に 0 です
STATUS<6>	OFF	サポートされておらず、常に 0 です
STATUS<5>	VOUT_OV	サポートされておらず、常に 0 です
STATUS<4>	IOUT_OC	サポートされておらず、常に 0 です
STATUS<3>	VIN_UV	サポートされておらず、常に 0 です
STATUS<2>	TEMP	サポートされておらず、常に 0 です
STATUS<1>	CML	0:通信、メモリ、ロジックの故障が発生していないことを示すフラグ 1:通信、メモリ、またはロジックの故障を示すラッチ フラグ

コマンド	定義	説明
STATUS<0>	その他	サポートされておらず、常に 0 です

ラッチされた故障フラグは、次のいずれかの条件で削除できます。

- デバイスが **CLEAR_FAULTS** コマンドを受信します。
- 出力が、**OPERATION** コマンドの **EN** ピンまたは **ON_OFF** ビットによって指示されます
- **TPS7H5101** の場合、**VIN** 電源がサイクルされます

ビットがクリアされたときに故障状態が存在し続ける場合、**FAULT** ビットは再び即座に設定されます。**TPS7H5101** には、故障状態をホストに通知するための **ALERT** ピンがありません。したがって、ホストからの故障状態を監視するためのベストプラクティスは、故障の疑いがある場合に **STATUS_BYTE** レジスタをポーリングすることです。

4 MFR_SPECIFIC_C4 (VOUT_MARGIN) [C4h] (読み取り/書き込みバイト)

このレジスタを使用すると、合計範囲 +10% および -10.67% で、出力電圧を 0.67% ステップで調整できます。

コマンド	定義	説明
VOUT_MARGIN<7:5>	–	サポートされておらず、常に 0 です
VOUT_MARGIN <4:0>	VMARGIN	11111: +10.00% 11110: +9.33% 11101: +8.67% 11100: +8.00% 11011: +7.33% 11010: +6.67% 11001: +6.00% 11000: +5.33% 10111: +4.67% 10110: +4.00% 10101: +3.33% 10100: +2.67% 10011: +2.00% 10010: +1.33% 10001: +0.67% 10000: 0.00% (デフォルト) 01111: -0.67% 01110: -1.33% 01101: -2.00% 01100: -2.67% 01011: -3.33% 01010: -4.00% 01001: -4.67% 01000: -5.33% 00111: -6.00% 00110: -6.67% 00101: -7.33% 00100: -8.00% 00011: -8.67% 00010: -9.33% 00001: -10.00% 00000: -10.67%

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS7H5101 は、2 相 D-CAP+ 降圧コントローラです。TPS7H5101 コントローラは、人工衛星の大電流 POL (ポイントオブロード) 電力供給アプリケーションに適しています。

9.2 代表的なアプリケーション

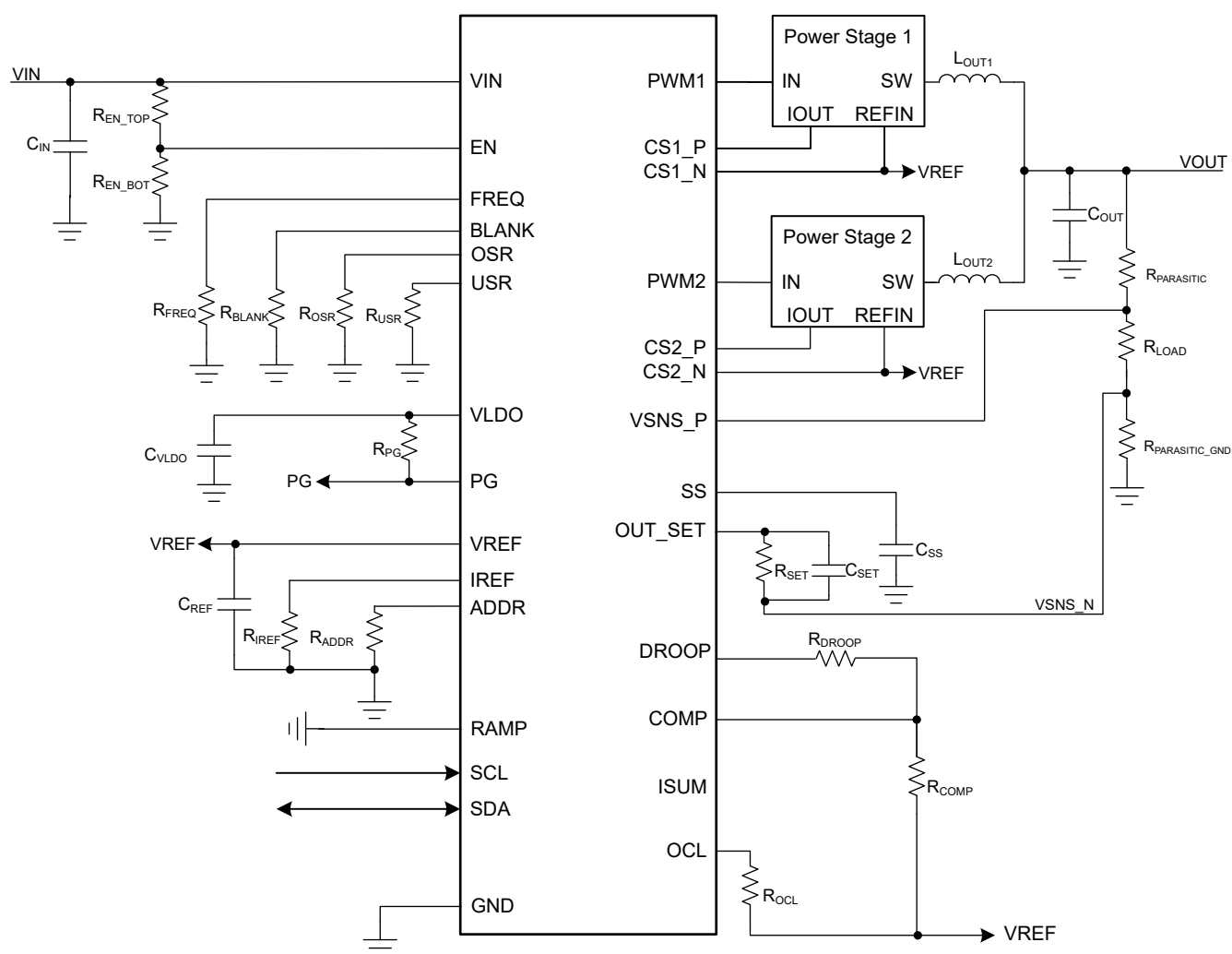


図 9-1. 代表的なアプリケーション回路図

9.2.1 設計要件

表 9-1. 設計パラメータ

設計パラメータ	設計値
入力電圧	12V ± 5%
出力電圧	0.8V ± 3%
最大出力電流	合計 80A、位相あたり 40A
電流共有精度	全負荷時で ±30%
120A/μs 時に 35A の過渡応答負荷ステップ	ΔVOUT = 5%
出力電圧リップル	20mVpp
公称スイッチング周波数	500kHz
インダクタ	230nH (位相あたり)
出力容量	5mF
開始入力電圧 (VIN が上昇時)	10V

9.2.2 詳細な設計手順

9.2.2.1 インダクタの選択

インダクタの値を選択するための主な基準は、過渡性能、インダクタ リップル、効率の間のトレードオフです。インダクタの値を小さくすると過渡性能が向上しますが、リップルが増加するため、コンバータ全体の効率が低下します。大きなインダクタ値を選択すると、リップルが小さくなり効率が向上しますが、過渡応答が妨げられます。インダクタのリップルに関して初期の適切なターゲットは 20% ~ 40% です。したがって、初期インダクタ リップル電流は次のように計算できます。

$$I_{PP} = \frac{I_{OUT_MAX}}{n} \times K \quad (16)$$

ここで

- I_{PP} はピーク ツー ピークのインダクタ リップル電流です
- I_{OUT_MAX} は最大負荷電流です
- n はコンバータ位相の数です
- K は目標とするリップルのパーセンテージで、10 進数で表されます

こ位相ごとのインダクタンスは次のように計算できます。

$$L = \frac{V_{IN_MAX} - V_{OUT}}{I_{PP}} \times \frac{V_{OUT}}{f_{SW} \times V_{IN_MAX}} \quad (17)$$

ここで

- V_{IN_MAX} は最大入力電圧です
- V_{OUT} はレギュレートされた出力電圧
- f_{SW} は公称スイッチング周波数です

最終的なインダクタ値は、シミュレーションとテストによって最適化し、過渡性能と効率の間の望ましいトレードオフを達成することができます。

9.2.2.2 電流制限スレッシュホールド

インダクタの飽和電流定格は、システム内で想定される過電流に対応する必要があります。適切な飽和電流定格を決定するために、バレー過電流スレッシュホールド、およびそのモードでの対応するピーク電流が計算されます。式 14 に示されているように、バレー過電流保護制限は、式 18 に従って選択されます。

$$I_{VALLEY} = \left(M \times \frac{I_{OUT_MAX}}{n} \right) - \frac{I_{PP}}{2} \quad (18)$$

この式では、

- M は最大負荷電流を上回る目的のパーセンテージ マージンです

過電流の目的のバレー電流を決定した後、このスレッシュホールドを設定するために必要な R_{OCL} の適切な値は、式 14 および 式 15 の式に基づいて決定されます。インダクタに必要な最小飽和電流定格は、式 19 で算出された過電流状態におけるワーストケースのピーク電流に基づいています。

$$I_{SAT} = I_{VALLEY} + I_{PP} \quad (19)$$

9.2.2.3 負荷ラインの設定

コントローラのドループレギュレーション機能を使用すると、ターゲット電圧レールの許容 DC 設定ポイントの変動に基づいて負荷ラインを設定できます。負荷のライン抵抗 R_{LL} は、次の式で決定されます。

$$R_{LL} = \frac{V_{OUT_ZL} - V_{OUT_ML}}{I_{OUT_MAX}} \quad (20)$$

ここで

- V_{OUT_ZL} はゼロ負荷時の目標出力電圧です
- V_{OUT_ML} は最大負荷時の目標出力電圧です

ドループ制限 V_{OUT_ZL} と V_{OUT_ML} は、負荷の電圧許容誤差仕様の最小および最大制限に余裕を持たせるように選択されています。マージンを考慮してドループ制限を設定することで、 V_{OUT_SET} の許容誤差、出力電圧リップル、およびプリント基板や電圧検出ラインで生じる追加の電圧降下といった要因も考慮に入れることが可能になります。

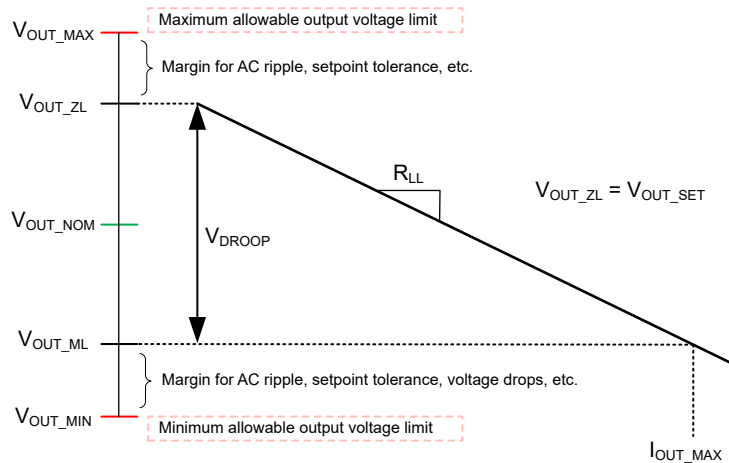


図 9-2. 負荷ライン制限の決定

公称出力電圧 V_{OUT_NOM} と特定の負荷電流 I_{OUT_TARGET} に対応するため、 V_{OUT_SET} がゼロ負荷出力電圧 V_{OUT_ZL} と等しくなるように、 R_{SET} を調整できます。その後、式 21 に基づいて公称出力電圧が求められます。

$$V_{OUT_NOM} = V_{OUT_SET} - (R_{LL} \times I_{OUT_TARGET}) \quad (21)$$

目的の R_{LL} 値が決定したら、以下に従って、 A_{DROOP} を式 3 および 式 4 から決定します。

$$A_{DROOP} = \frac{R_{CS(eff)} \times A_{CS(eff)}}{R_{LL}} = 1 + \left(\frac{R_{DROOP}}{R_{COMP}} \right) \quad (22)$$

そのため、目的の負荷ラインに対して、 R_{DROOP} を選択して、必要な R_{COMP} を計算できます。

$$R_{COMP} = \frac{R_{DROOP}}{A_{DROOP} - 1} \quad (23)$$

9.2.2.4 出力コンデンサの選択

一般的に、コンバータの設計において必要とされる出力容量の大きさは、負荷過渡時の許容電圧偏差によって決まります。負荷ステップ中は、インダクタが目標電流レベルまで下降するまでにある程度の時間が必要です。この期間では、出力電圧が低下する間に、出力コンデンサから電荷が引き出されます。同様に、負荷が解放されると、インダクタからの電荷が出力コンデンサに送られ、出力オーバーシュートが発生します。予想されるアンダーシュートおよびオーバーシュートに対処するために必要な容量は、負荷ステップの大きさ、選択されたインダクタンスの値、およびそれらの期間中に供給する必要がある電荷量に依存します。

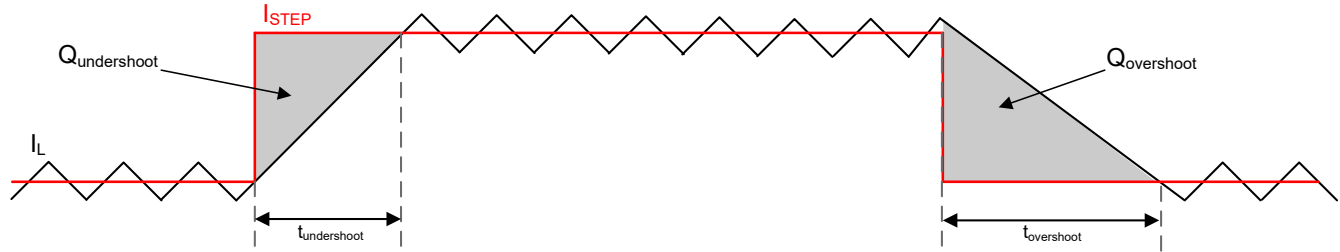


図 9-3. 負荷過渡波形

オーバーシュートとアンダーシュートの期間、およびそれらの期間に必要な電荷は、式 24 から 式 28 に基づいて算出されます。

$$L_{EQ} = \frac{L}{n} \quad (24)$$

$$t_{undershoot} = \frac{L_{EQ} \times I_{STEP}}{V_{IN} - V_{OUT}} \quad (25)$$

$$Q_{undershoot} = \frac{1}{2} \times t_{undershoot} \times I_{STEP} \quad (26)$$

$$t_{overshoot} = \frac{L_{EQ} \times I_{STEP}}{V_{OUT}} \quad (27)$$

$$Q_{overshoot} = \frac{1}{2} \times t_{overshoot} \times I_{STEP} \quad (28)$$

ここで

- L_{EQ} は、等価インダクタンスで、位相ごとのインダクタンスを位相数で割った値に等しくなります
- I_{STEP} は、予測される最大負荷ステップおよび/または負荷解放の大きさです

必要な容量の計算には、必要な電荷を、負荷過渡に起因する出力電圧の偏差 ΔV_{OUT} で除算する必要があります。この容量の計算では、負荷ライン抵抗 R_{LL} を考慮できます。

$$C_{undershoot} = \frac{Q_{undershoot}}{\Delta V_{OUT} + (I_{STEP} \times R_{LL})} \quad (29)$$

$$C_{overshoot} = \frac{Q_{overshoot}}{\Delta V_{OUT} + (I_{STEP} \times R_{LL})} \quad (30)$$

ドループ レギュレーションを使用しない場合は、 R_{LL} を 0 に設定します。ユーザーは、設計において算出された $C_{undershoot}$ と $C_{overshoot}$ のうち、大きい方の値よりも大きな出力容量を選択する必要があります。最高の総合性能を得るには、セラミック容量とバルク容量を組み合わせる必要があります。セラミック コンデンサは、過渡の初期期間中は出力インピーダンスを比較的強く維持するため、コンバータの制御ループが応答する前にオーバーシュートとアンダー

シュートを最小化できます。バルク コンデンサは、過渡時にインダクタ電流がスルーするため、出力電圧を許容誤差内に維持するのに十分な電荷を供給できます。

9.2.2.5 ループ補償

コンバータの観測された過渡動作の改善が必要となり、追加の補償を追加できます。追加される補償は、一般に特定の状況に応じて異なります。

設計に対して選択された出力容量の大きさによって、追加のループ補償が必要な場合があります。[セクション 9.2.2.4](#)に、出力コンデンサの初期選択手順を示します。コンバータのクロスオーバー周波数の推定値は、[式 31](#) に従って求められます。**D-CAP+** 制御の場合、クロスオーバー周波数は公称スイッチング周波数の 1/4 まで設定でき、過渡応答を大幅に改善できます。

$$f_c = \frac{1}{2\pi \times C_{OUT}} \times \frac{A_{DROOP}}{R_{CS} \times A_{CS}} \quad (31)$$

プリント基板上のスペースが限られている場合など、出力容量を小さく設定すると、広帯域幅と低い位相マージンが組み合わさる可能性があります。また、負荷ラインが浅い場合またはドループ レギュレーションを使用しない場合、位相マージンが小さくなる可能性があります。改善のために追加の補償が必要になる可能性があります。前述のいずれの場合も、 R_{DROOP} の両端に (**DROOP** と **COMP** の間) 抵抗とコンデンサの組み合わせを追加して、過渡動作を向上させることができます。この RC 回路は、[式 32](#) で算出される周波数において、全体のループ伝達関数にゼロを追加します。

$$f_z = \frac{1}{2\pi \times C_{DC} \times (R_{DC} + (R_{COMP} \parallel R_{DROOP}))} \quad (32)$$

追加のゼロを用いて、位相マージンを改善することができます。この RC は、AC の観点からゲイン A_{DROOP} を低減させ、その結果としてコンバータの帯域幅を低下させるように動作します。

選択された出力容量が過渡要件を満たすのに十分に大きいものの、全体的な帯域幅を広げる必要がある場合は、 R_{COMP} と並列に (**COMP** から **VREF** まで) 直列抵抗とコンデンサの組み合わせを追加できます。RC は、ゲイン A_{DROOP} とコンバータの帯域幅を大きくするように動作します。この構成では、[式 33](#) および [式 34](#) に示されている周波数で、RC がループ伝達関数に極とゼロを追加します。

$$f_z = \frac{1}{2\pi \times C_{CR} \times (R_{CR} + (R_{COMP} \parallel R_{DROOP}))} \quad (33)$$

$$f_p = \frac{1}{2\pi \times R_{CR} \times C_{CR}} \quad (34)$$

いずれの場合も、目的の過渡応答が得られるように、RC 値が微調整されます。プリント基板のレイアウトでは、過渡応答を改善する必要がある場合に、 R_{COMP} と R_{DROOP} の両方に RC 用のプレースホルダを追加できます。ノイズの潜在的な問題を軽減するために、**COMP** と **DROOP** の間に小さなコンデンサを接続するためのプレースホルダを追加することもできます。

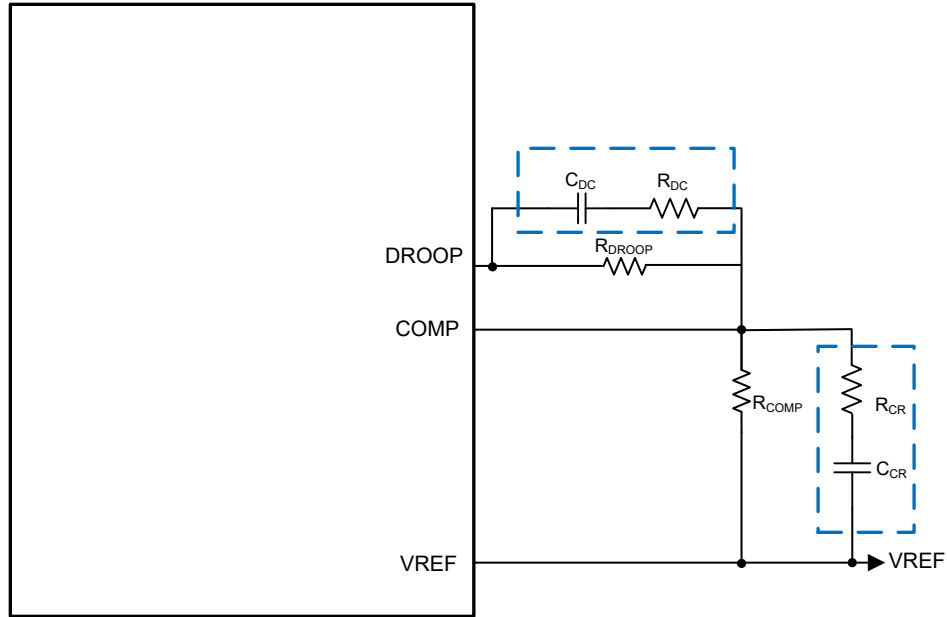


図 9-4. TPS7H5101 の補償部品の配置オプション

9.2.3 アプリケーション曲線

代表的なプロットを以下に示します。

- V_{IN} (TPS7H5101) = PV_{IN} (TPS7H6200) = 12V
- $V_{OUT} = 0.8V$
- $I_{OUT} = 20A$
- スイッチング周波数 = 500kHz (公称)

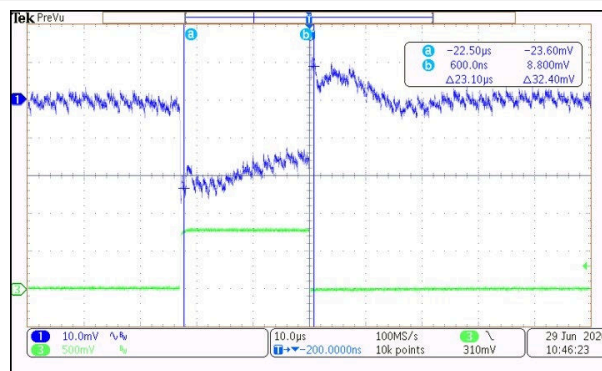


図 9-5. 20A ~ 57A の負荷ステップに対する V_{OUT} の応答、スルーレート 150A/µs

9.3 電源に関する推奨事項

TPS7H5101 は、4.5V ~ 15V の入力電源電圧で動作するように設計されています。この電圧は、デバイスの VIN ピンに印加されます。最高の電気的性能を得るため、コントローラの入力電源には良好なレギュレーションを適用し、適切にバイパスされるようにする必要があります。最適な性能を得るには、VIN と GND の間に最低 1μF の入力バイパス コンデンサが必要ですが、コントローラのノイズ特性を向上させるために、さらに容量を追加することも可能です。バイパス コンデンサは入力ピンにできるだけ近づけて配置し、GND への低インピーダンス経路を確保します。

TPS7H5101 は適応型オン時間アーキテクチャを使用し、入力電圧を含むいくつかの要因に基づいて、出力パルスのオン時間を調整します。そのため、定常状態動作中にスイッチング周波数を比較的一定に維持するには、VIN のコントローラ入力電圧を降圧コンバータ電力段の入力電圧と同じにする必要があります。TPS7H5101 を TPS7H6200 電力段と組み合わせて使用する場合、電力段の PVIN とコントローラの VIN は同じです。コントローラのオン時間回路と電流共有回路はいずれも、電力段からの入力が意図したとおりに動作する必要があります。

全体のインピーダンスを最小化し、コンバータ効率を向上させるために、FET への電力段電圧接続の近くに十分なバルクおよびデカップリング コンデンサが必要です。詳細については、TPS7H6200 の「電源に関する推奨事項」および「レイアウトのガイドライン」を参照してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- コントローラの VIN 用バイパス コンデンサは、デバイスのできるだけ近くに配置します。
- TPS7H5101 を TPS7H6200 電力段と組み合わせて使用する場合、電力段の電流センス ピン IOUTx および REFINx 信号をコントローラの CS_Px および CS_Nx ピンに差動配線します。これらのセンス パターンは、プリント基板の静かな層に配置します。また、パターンを配線し、関連するビアは、電力段のスイッチ ノードと PWM 信号から離して配置します。
- 電力段からの REFIN 信号は、コントローラの VREF 信号と CS_N 信号の両方に接続されます。これらの接続はコントローラの近くで行うことができます。最良の結果を得るため、REFIN 信号を VREF のプレーンまたは銅箔に接続しないようにし、前述のようにセンス信号を差動配線します。
- TPS7H6200 を使用しない場合や、インダクタ DCR またはディスクリート センス抵抗を使用して電流センシングを実行する場合は、抵抗またはインダクタのパッドからコントローラの電流センス ピン (CS_P および CS_N) までケルビン接続を利用します。これらの信号も差動配線する必要があります。
- OUT_SET 抵抗は、コントローラのできるだけ近くに配置します。同様に、ノイズおよびシングル イベント過渡を低減するために、OUT_SET から VSNS_P への 470pF のコンデンサを使用する場合は、さらにコンデンサをデバイスの近くに配置する必要があります。
- VSNS_P と VSNS_N のリモート センスラインを差動配線します。VSNS_P パターンを、電圧をレギュレートする必要のあるプリント基板の箇所に接続し、コントローラまで引き回してください。最良の結果を得るために、VSNS_P を大電流出力電圧に使用される銅プレーンに直接接続しないでください。同様に、VSNS_N をコントローラのグラウンドプレーンに直接接続しないでください。負荷から OUT_SET 抵抗まで、VSNS_N トレースを配線します。センストレースは、電力段のスイッチ ノードを通して配線しないでください。
- プリント基板での電圧降下を最小限に抑えるため、十分な導体幅とビア数を持つ大電流トレースを許容します。可能な限り、これらの接続にはベタパターンとプレーンを使用して、経路の抵抗とインダクタンスを低減します。
- COMP と DROOP の間、および/または COMP と VREF の間に外部補償部品を使用する場合、これらの部品をデバイスにできる限り近づけて配置するよう計画してください。
- PMBus アドレス設定抵抗は、SCL ラインや PWM 信号からできる限り離して、デバイスの近くに配置します。
- コントローラの近くで、優先順位が高いものから低いものへ、次の順序で部品の配置を優先します。
 - VIN バイパス コンデンサ
 - OUT_SET 抵抗とコンデンサ
 - DROOP、COMP、VREF の補償部品
 - PMBus アドレス設定抵抗
 - OCL、BLANK、OSR、USR の各抵抗
- 入力コンデンサのループ、メイン電流ループ、ゲート駆動ループなど、レイアウト内で大電流と di/dt の大きいループ面積を最小化します。ノイズ結合の問題を軽減するために、スイッチ ノードの面積をできるだけ最小限に抑えます。

TPS7H5101-SEP

JADS421 – SEPTEMBER 2026

- コントローラのアナログ グランドはプリント基板上の電源グランドから分離して、電力段の高周波スイッチング ノイズをコントローラ回路から絶縁します。コントローラのノイズの少ないアナログ リファレンスを維持するために、グランドをシングル ポイントで接続します。

9.4.2 レイアウト例

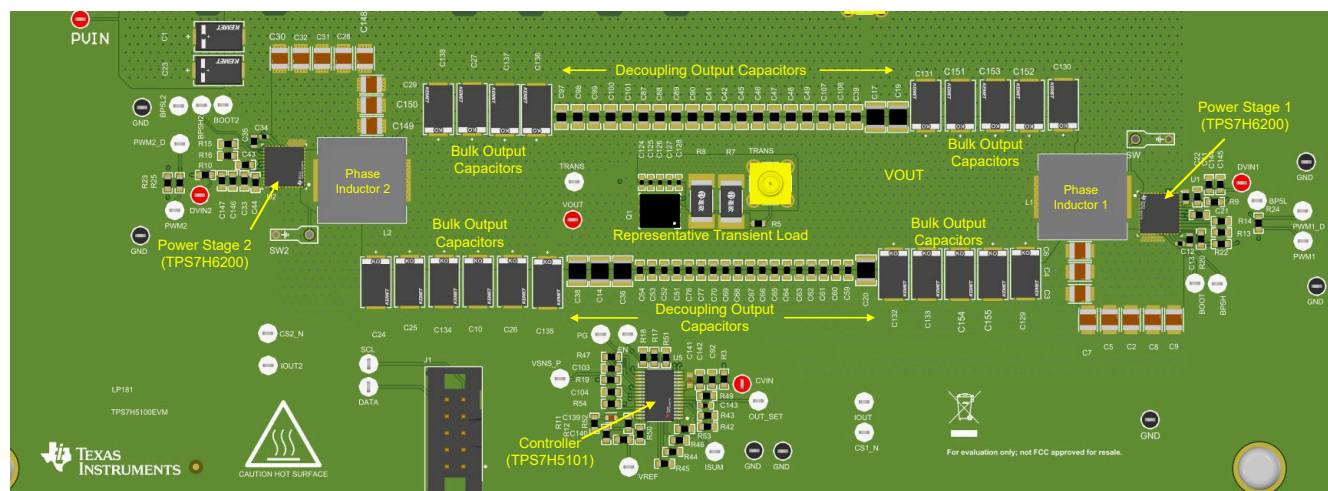


図 9-6. TPS7H6200 を使用した TPS7H5101 の 2 相設定における 3D レイアウト例

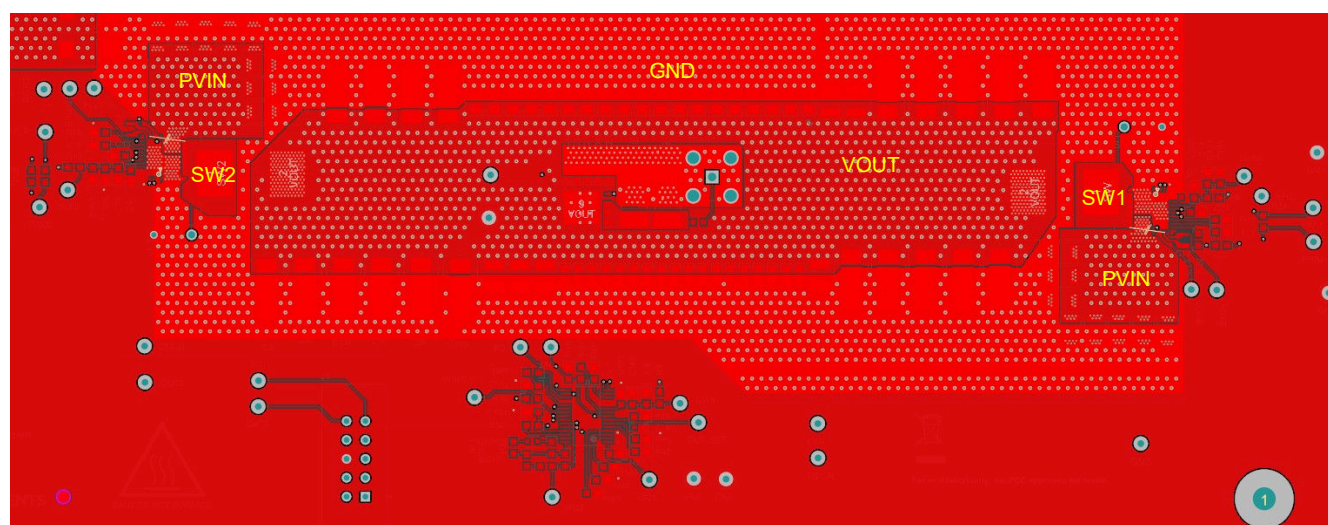


図 9-7. TPS7H5101 と TPS7H6200 を使用した 2D レイアウト例 - 上層図

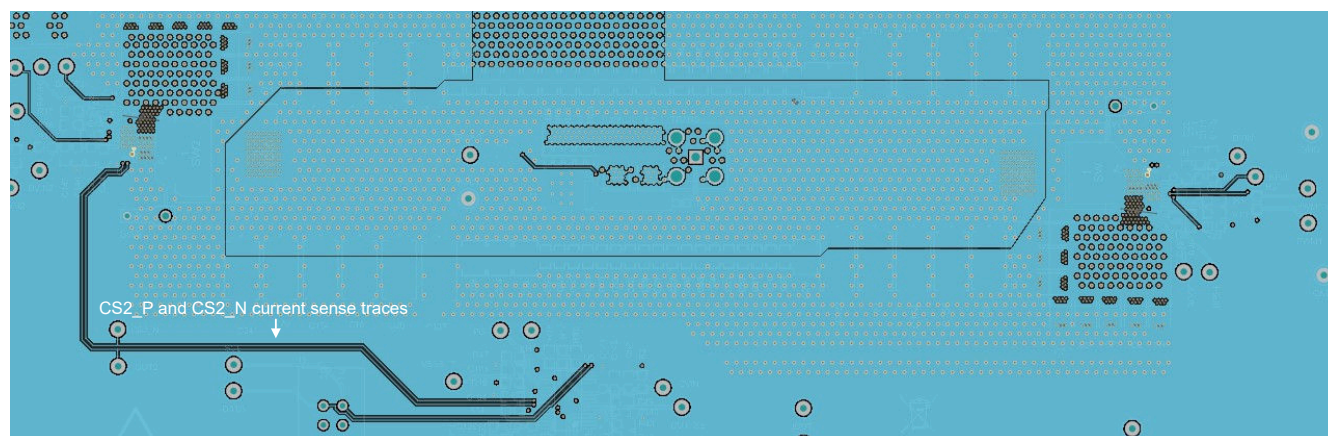


図 9-8. 電力段から TPS7H5101 への差動電流センス配線の例

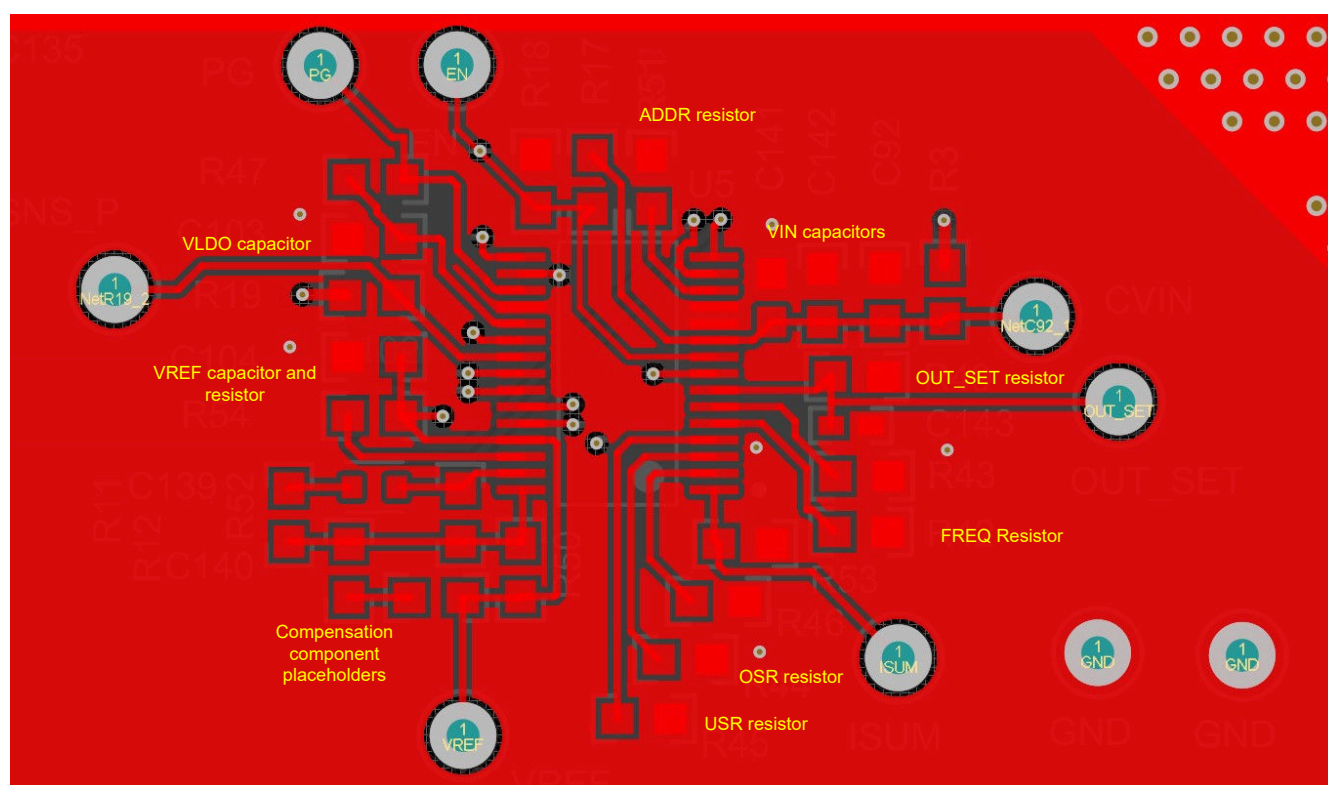


図 9-9. TPS7H5101 の上層図と部品配置

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.1.2 関連資料

- [D-CAP+ 変調器の概要と実際の性能](#)
- [マイクロプロセッサ電源用マルチフェーズ降圧電圧レギュレータ向けの D-CAP+ 制御](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

D-CAP+™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

PMBus® is a registered trademark of System Management Interface Forum, Inc..

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

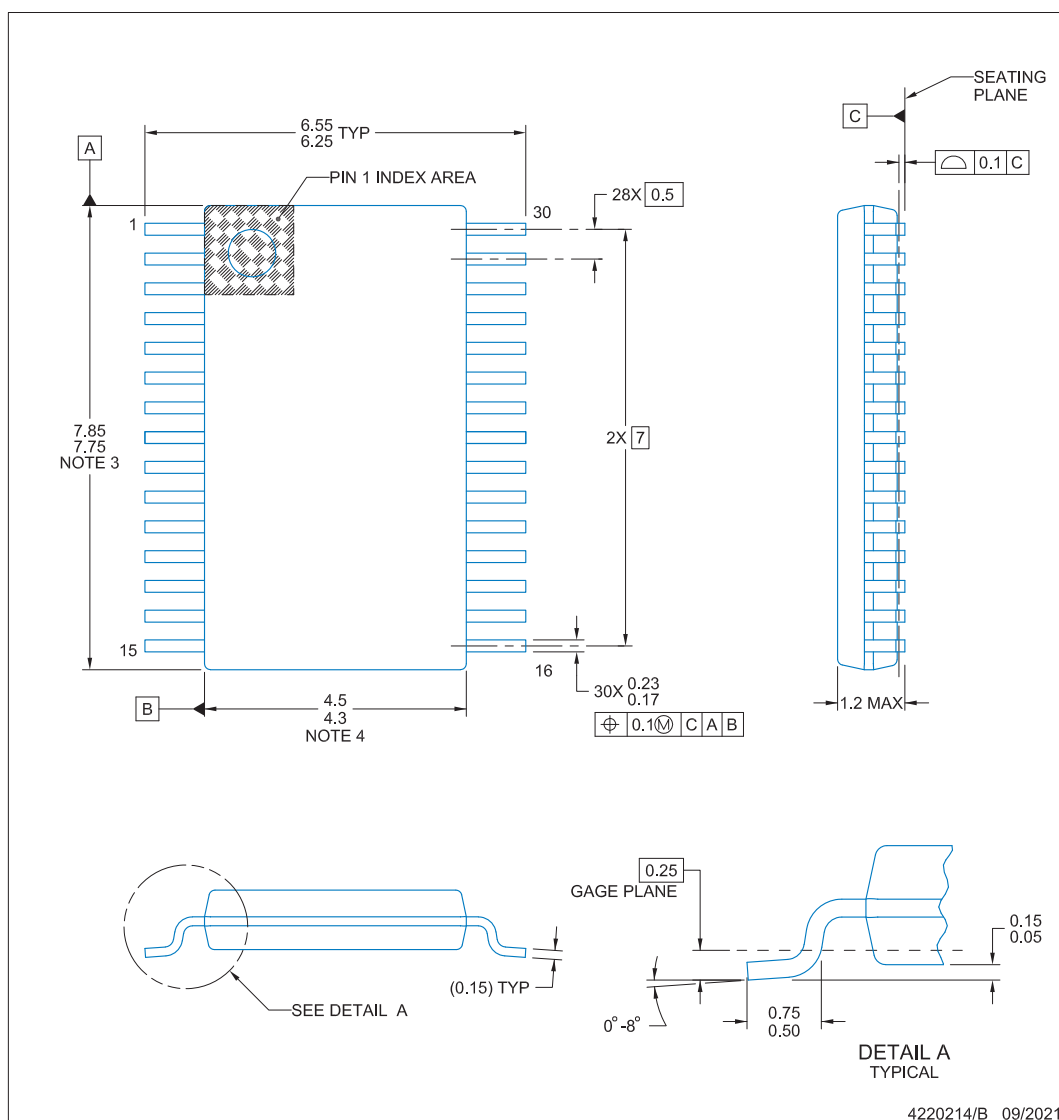
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGE OUTLINE

DBT0030A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

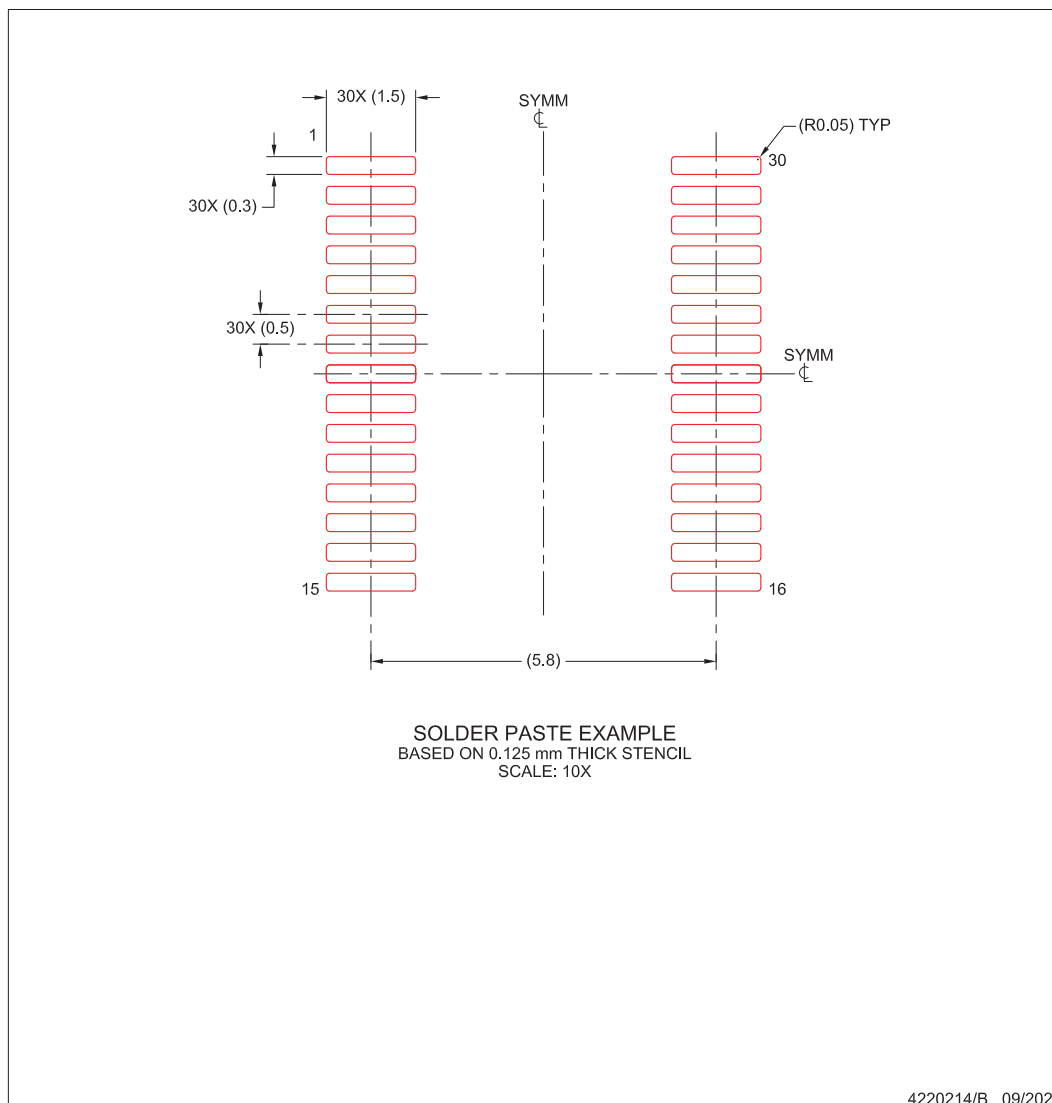
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE STENCIL DESIGN

DBT0030A

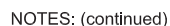
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7H5101DBTTSEPA	Active	Preproduction	TSSOP (DBT) 30	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月