TPS7H6200-SEP 耐放射線特性、ローサイド電流検出機能搭載 52A GaN ハーフブリッジ電力段

1 特長

- 50krad (Si) まで、累積線量 (TID) 特性を評価済み
- 破壊的シングル イベント効果 (DSEE) を評価済み
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の最大線エネルギー付与 (LET) = 43MeV-cm^2/mg に対する耐性
- シングル イベント効果を評価済み
  - シングル イベント機能割り込み (SEFI) およびシングル イベント過渡 (SET) の最大 LET = 43MeV-cm^2/mg に対する耐性
- 軍用温度 (–55℃ ～ 125℃) で供給可能
- ハイサイド FET R_{DSON} 3.2mΩ (標準)、ローサイド FET R_{DSON} 1mΩ
- 高効率 (V_{PVIN} = 12V、V_{VOUT} = 0.8V、f_{SW} = 500kHz、T_A = 25°C、L = 200nH、DCR = 180mΩ):
  - 20A 時に η = 89.6%
  - 40A 時に η = 87.2%
  - 52A 時に η = 84.9%
- 最大連続電流:52A
- ローサイド電流センスを内蔵
  - 40A を超える公称負荷電流で 14.5% の合計 RSS 精度
- 過電流、過温度、または UVLO 検出を示す故障ピン インジケータ
- DrMOS 3.3V および 5V PWM 入力信号との互換性
- 過温度保護および過電流保護を内蔵

2 アプリケーション

- ポイント オブ ロード電源
- 通信ペイロード
- レーダー画像処理ペイロード

3 説明

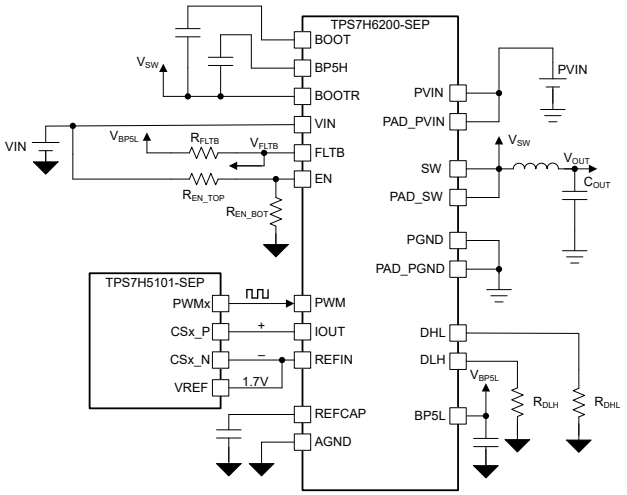
TPS7H6200-SEP は、ゲート ドライバを内蔵した 15V e モード GaN パワー FET で、トライステート PWM 互換、ローサイド電流センス内蔵、過温度保護、過電流保護を備えています。

GaN FET ハーフブリッジ ダイは、ハイサイドとローサイドの GaN FET を一つの基板上に統合し、寄生インダクタンスを最小限に抑えます。このデバイスはポイント オブ ロード電圧変換向けに非対称なサイズ設計となっており、ローサイドが 1mΩ、ハイサイドが 3mΩ で、一般的な入出力変換比における性能と効率を最適化しています。その結果、TPS7H6200-SEP は標準的な負荷 20A で 89.6% を上回る効率を達成できます。

製品情報

型番(1)	グレード	パッケージ (2)
TPS7H6200MVEJTNSP(3)	SEP	49 ピン WQFN-FCRLF 6.00mm x 6.00mm 質量 = 72.9mg

(1) 詳細については、デバイス オプション表をご覧ください
(2) 「寸法と質量の値は公称値です」に変更
(3) 事前情報



代表的なアプリケーション

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスのオプション表.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....8
6.4 熱に関する情報.....8
6.5 電気的特性.....9
6.6 代表的特性.....12
7 パラメータ測定情報.....16
8 詳細説明.....18
8.1 概要.....18
8.2 機能ブロック図.....18
8.3 機能説明.....19
8.4 デバイスの機能モード.....22
9 アプリケーションと実装.....23
9.1 使用上の注意.....23
9.2 代表的なアプリケーション.....23
9.3 電源に関する推奨事項.....28
9.4 レイアウト.....28
10 デバイスおよびドキュメントのサポート.....31
10.1 ドキュメントの更新通知を受け取る方法.....31
10.2 サポート・リソース.....31
10.3 商標.....31
10.4 静電気放電に関する注意事項.....31
10.5 用語集.....31
11 改訂履歴.....31
12 メカニカル、パッケージ、および注文情報.....31

Copyright © 2026 Texas Instruments Incorporated

4 デバイスのオプション表

ジェネリック型番	放射線定格[1]	グレード[2]	パッケージ	注文可能な型番
TPS7H6200-SEP	50krad (Si) RLAT の TID、43MeV·cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	49 インチ プラスチック WQFN-FCRLF (VEJ)	TPS7H6200VEJMTNSP

(1) TID は総電離線量、RLAT は放射線ロット受け入れ試験、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについての追加情報は、SLBY235 をご覧ください。

ADVANCE INFORMATION

ADVANCE INFORMATION

5 ピン構成および機能

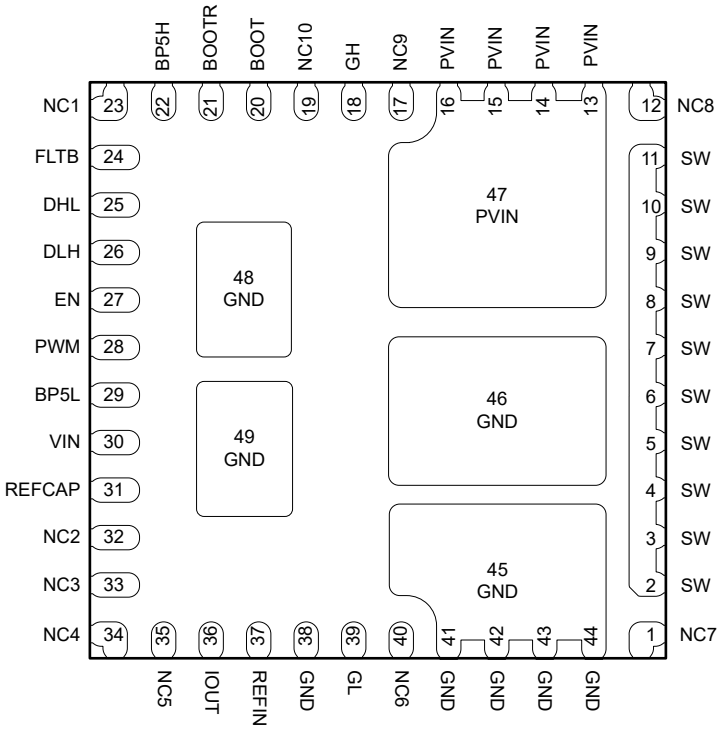


図 5-1. TPS7H6200-SEP 49 ピン VEJ0049A、WQFN-FCRLF パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ[(1)]	説明
名称	番号		
BOOT	20	P	ハイサイド ブートストラップ電源入力。このピンは、ハイサイド ゲートドライバに必要なフローティング電源電圧を供給します。BOOT ピンと BOOTR ピンの間に 100nF のセラミック コンデンサを接続します。
BOOTR	21	P	ハイサイド ブートストラップ リターン。このピンはハイサイド ゲートドライバのリターン パスとして機能し、内部で SW (スイッチ) ノードに接続されています。
BP5H	22	P	ハイサイドの 5.5V LDO 出力には、BP5H と BOOTR に接続された 1μF セラミック コンデンサが必要です。コンデンサはできるだけパッケージの近くに配置し、外部負荷を追加しないでください。裏面に実装する場合は、寄生インダクタンスを最小限に抑えるため、複数のパッド内ビアを使用します。
BP5L	29	P	ローサイド 5.5V リニアレギュレータ出力:BP5L と GND の間に 1μF セラミック コンデンサを接続し、部品はできるだけパッケージの近くに配置します。DHL と DLH への接続、および FLTB へのプルアップは可能ですが、BP5L から流れ出す電流は 100μA を超えないようにします。BP5L ピンには追加部品を接続しないでください。コンデンサを PCB の裏面に実装する場合は、寄生インダクタンスを最小限に抑えるため、複数のパッド内ビアを使用します。
DHL	25	I	ハイサイドからローサイドへのデッドタイム設定。デッドタイムを設定するため、DHL と GND の間に 10kΩ の抵抗を接続します。その他のオプションについては、セクション 9.2.2.2 に説明されています
DLH	26	I	ローサイドからハイサイドへのデッドタイム設定。デッドタイムを設定するため、DLH と GND の間に 10kΩ の抵抗を接続します。その他のオプションについては、セクション 9.2.2.2 に説明されています

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
EN	27	I	イネーブル。この端子をロジック High にするとデバイスが有効になり、ロジック Low にするとデバイスが無効になります。必要に応じて、VIN と GND の間に抵抗分圧回路を接続し、デバイスのターンオン レベルを設定することもできます。
FLTB	24	O	故障ピン。過電流イベント、過熱、または UVLO エントリ イベントが検出されると Low にアサートするオープン ドレイン ピン。10kΩ プルアップ抵抗を 5V 電源または BP5L に接続します。
GH	18	O	ハイサイドのゲートピンこのピンを使用すると、デバッグとテストの目的で、ハイサイド GaN FET のゲートにアクセスできます。動作中は、このピンにセンシング回路や外部ネットワークを接続しないでください。
GL	39	O	ローサイドのゲートピン。デバッグとテストの目的で、ローサイド GaN FET のゲートに接続できます。動作中は、このピンにセンシング回路や外部ネットワークを接続しないでください。
GND	38、41 から 46、48 から 49	G	ドライバ信号のリターンで、内部でローサイド GaN FET のソース端子に接続されています。ピン 41 ～ 46 は大電流経路にあります。
IOUT	36	O	電流センス アンプの出力。V (IOUT) – V (REFIN) は相電流に比例します。
NC1	23	—	接続なし。パッケージを PCB にアンカーするために使用します。ピン NC1 は内部的に電圧にプルされています。TI は NC1 を GND に接続することを推奨しますが、オプションとして NC1 をフローティングのままにすることもできます。
NC2	32	—	接続なし。ピン NC2 は内部的に電圧にプルされています。TI は NC2 を GND に接続することを推奨しますが、オプションとして NC2 をフローティングのままにすることもできます。
NC3	33	—	接続なし。ピン NC3 は内部で GND にプルダウンされています。TI は NC3 を GND に接続することを推奨しますが、オプションとして NC3 をフローティングのままにすることもできます。
NC4	34	—	接続なし。パッケージを PCB にアンカーするために使用します。ピン NC4 は内部で GND にプルダウンされています。TI は NC4 を GND に接続することを推奨しますが、オプションとして NC4 をフローティングのままにすることもできます。
NC5	35	—	接続なし。ピン NC5 は内部で GND にプルダウンされています。TI は NC5 を GND に接続することを推奨しますが、オプションとして NC5 をフローティングのままにすることもできます。
NC6	40	—	接続なし。ピン NC6 は内部でデバイスに接続されていません。TI では、電荷の蓄積を防ぐために NC6 を GND に接続することを推奨していますが、オプションとして NC6 をフローティングのままにしておくこともできます。
NC7	1	—	接続なし。パッケージを PCB にアンカーするために使用します。ピン NC7 は内部でデバイスに接続されていません。TI では、電荷の蓄積を防ぐために NC7 を GND または SW に接続することを推奨していますが、オプションとして NC7 をフローティングのままにしておくこともできます。
NC8	12	—	接続なし。パッケージを PCB にアンカーするために使用します。NC8 ピンはデバイス内部で接続されていません。TI では、電荷の蓄積を防ぐために NC8 を PVIN または SW に接続することを推奨していますが、オプションとして NC8 をフローティングのままにしておくこともできます。
NC9	17	—	接続なし。ピン NC9 は内部でデバイスに接続されていません。TI では、電荷の蓄積を防ぐために NC9 を GND または PVIN に接続することを推奨していますが、NC9 ピンはフローティングのままにしておくこともできます。
NC10	19	—	接続なし。ピン NC10 は内部でデバイスに接続されていません。TI では、電荷の蓄積を防ぐために NC10 を GND または PVIN に接続することを推奨していますが、オプションとして NC10 をフローティングのままにしておくこともできます。
PVIN	13 ～ 16、47	P	内部でハイサイド GaN FET のドレイン端子に接続されています。この接続は大電流経路の一部です。
PWM	28	I	外部コントローラからのトライステート入力。ロジック Low でローサイド FET がオンになり、ロジック High でハイサイド FET がオンになり、トライステートでは両方の FET がオフになります
REFCAP	31	O	1.2V 内部リファレンス。GND との間に 470nF の外付けコンデンサが必要です。
REFIN	37	I	IOUT 電流センス出力用の外部基準電圧入力。1V ～ 2V のリファレンス電圧を印加してください。

ADVANCE INFORMATION

表 5-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
SW	2～11	P	ハイサイドのソースとローサイドのドレインをつなぐスイッチ ノード ピンです。出力インダクタに接続してください。この接続は大電流経路の一部です。
VIN	30	P	内部ゲートドライブ回路用の電源電圧。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
入力電圧	VIN、PVIN	-0.3	17	V
	EN、PWM	-0.3	7.5	
	REFIN	-0.3	BP5L + 0.3	
	BOOT	-0.3	33	
出力電圧	BP5L、DHL、DLH、FLTB	-0.3	7.5	V
	BP5H - SW	-0.3	33	
	REFCAP	-0.3	1.9	
	SW	-3.5	17	
	IOUT	-0.3	BP5L + 0.5	
出力電流	$I_{SW(pulse)}$、シングルパルスのドレイン電流 t_p < 80µs		125	A
T_J	動作時接合部温度	-55	150	°C
T_{STG}	保管温度、T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [1]	±500	V
$V_{(ESD)}$	静電放電	荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン[2]	±250	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.3 推奨動作条件

			最小値	公称値	最大値	単位
入力電圧	VIN		8.5		15	V
	PVIN		4.5		15	
	EN		0		5	
	PWM		0		5	
	REFIN		1	1.7	2	
	V_{IH}	PWM 入力電圧、ロジック High	3			
	V_{IL}	PWM 入力電圧、ロジック Low			0.7	
	V_{MID}	PWM 入力電圧、ロジック トライステート	1.5		1.8	
出力電圧	FLTB		0		5	V
	BOOT		V_{SW}+5V		V_{SW}+14V	
	SW		-3		15	
出力電流	$I_{OUT(CONT)}$	出力電流 (DC 平均)			52	A
	$I_{HS(RMS)}$	ハイサイド GaN FET RMS 電流			12.5	
	$I_{LS(RMS)}$	ローサイド GaN FET RMS 電流			50.5	
	$I_{CS(range)}$	電流検出範囲	-20		90	
	$t_{ON(min)}$	最小入力パルス持続時間	10			ns
	動作時接合部温度		-55		125	°C

6.4 熱に関する情報

熱評価基準[1]		TPS7H6200-SEP WQFN 49 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	23.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	8.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.3	°C/W
$R_{\theta JC(HS)(bot)}$	接合部からケースへのハイサイド FET (PVIN パッド)[2]	3.8	°C/W
$R_{\theta JC(LS)(bot)}$	接合部からケースへのローサイド FET (GND パッド)[2]	1.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.1	°C/W
$\Psi_{\theta JT}$	接合部から上面への特性パラメータ	1.0	°C/W
$\Psi_{\theta JB}$	接合部から基板への特性パラメータ	7.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、SPRA953 のアプリケーション ノートを参照してください
(2) 該当するサーマル パッドの接合部からケース底面間の熱抵抗

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

8.5V ≤ VIN ≤ 15V、R_{DLH} = R_{DHL} = 10kΩ、–55℃ ≤ T_A ≤ 125℃ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
GAN パワー FET							
$r_{DS(on)(ls)}$	ローサイド R_{DSON}	V_{PWM} = 5V I_{SW_PGND} = 5A	T_A = -55℃		0.8	1.2	mΩ
			T_A = 25℃		1	1.5	
			T_A = 125℃		1.5	2	
$V_{SD(ls)}$	ローサイド ソースドレイン (GND から SW) の第三象限電圧	I_{SW_GND} = –2A			1.5	3	V
$r_{DS(on)(hs)}$	ハイサイド R_{DSON}	V_{EN} = 5V I_{VIN_SW} = 2A	T_A = -55℃		2.4	3.6	mΩ
			T_A = 25℃		3.2	4	
			T_A = 125℃		4.27	5.2	
$V_{SD(hs)}$	ハイサイド ソースドレイン (SW から PVIN) の第三象限電圧	I_{VIN_SW} = –2A			1.5	3	V
供給電流							
I_{SHDN}	シャットダウン電流	EN = 0V BOOT = 10V			12	20	mA
I_{BOOT}	BOOT 電流	SW = 12V、BOOT = 22V			5.5	8	mA
I_{OP}	動作電流	PVIN = 0V デューティ サイクル = 10%	f_{SW} = 100kHz		12	40	mA
			f_{SW} = 500kHz		26	60	
			f_{SW} = 1MHz		45	90	
内部レギュレータ							
V_{BP5L}	ローサイド 5V レギュレータの出力電圧	C_{BP5L} = 1μF、I_{BP5L} = 37.5mA、V_{BOOT} = V_{IN} –3.5V		5	5.5	5.9	V
V_{BP5H}	ハイサイド 5V レギュレータの出力電圧	C_{BP5H} = 1μF I_{BP5H} = 3mA V_{BOOT} = V_{IN} -3.5V	10V ≤ V_{IN} ≤ 15V	4.9	5.5	5.9	V
			8.5V ≤ V_{IN} ≤ 10V	3.3	5.4	5.7	
REFCAP	REFCAP 電圧	C_{REF} = 470nF		1.16	1.2	1.23	V
UVLO とイネーブル							
$BP5H_R$	BP5H UVLO 立ち上がりスレッショルド	C_{BP5H} = 1μF		3.2	3.41	3.61	V
$BP5H_F$	BP5H UVLO 立ち下がりスレッショルド			3.1	3.25	3.4	
$BP5H_H$	BP5H UVLO ヒステリシス				0.17		
$BP5L_R$	BP5L UVLO 立ち上がりスレッショルド	C_{BP5L} = 1μF		3.95	4.16	4.3	V
$BP5L_F$	BP5L UVLO 立ち下がりスレッショルド			3.81	3.96	4.21	
$BP5L_H$	BP5L UVLO ヒステリシス				0.2		
$V_{VIN(TH)_UVLO_R}$	VIN UVLO 立ち上がりスレッショルド	EN = 5V	$VIN_{(rising)}$ ～ V_{GL} = 1.5V	7.7	8	8.3	V
$V_{VIN(TH)_UVLO_F}$	VIN UVLO 立ち下がりスレッショルド		$VIN_{(falling)}$ ～ V_{GL} = 1.5V	7.5	7.8	8.1	
$V_{UVLOHYST_VIN}$	VIN UVLO ヒステリシス				0.2		
$t_{UVLO(delay)}$	UVLO 伝搬遅延	EN = 5V、$VIN_{(rising)}$ = 6.9V ～ V_{GL} = 1.5V			0.2	1	ms
$V_{EN_TH(rising)}$	イネーブル立ち上がりスレッショルド (ターンオン)	V_{PWM} = 0V	$V_{EN(rising)}$ ～ V_{GL} = 1.5V	0.564	0.596	0.644	V
$V_{EN_TH(falling)}$	イネーブル立ち下がりスレッショルド (ターンオフ)		$V_{EN(falling)}$ ～ V_{GL} = 1.5V	0.464	0.496	0.536	
$V_{EN(HYS)}$	スレッショルド ヒステリシスをイネーブル				0.1		
$t_{EN(delay)}$	イネーブル伝搬遅延	EN high ～ V_{GL} = 1.5V、PWM = 0V			8	20	μs
$I_{EN(LKG)}$	イネーブル入力リーク電流	V_{EN} = 7V			1	20	nA

ADVANCE INFORMATION

ADVANCE INFORMATION

6.5 電気的特性 (続き)

8.5V ≤ VIN ≤ 15V、R_{DLH} = R_{DHL} = 10kΩ、–55℃ ≤ T_A ≤ 125℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流センス						
G_{IOUT}	電流センス ゲイン		4.5	5	5.5	mV/A
$I_{ABS(OS)}$	電流センスの絶対オフセット誤差		-4.2		4.2	A
V_{IOUT_DR}	I_{OUT} ダイナミック レンジ電圧、V_{REFIN} – V_{IOUT}	–20A ≤ $I_{D(LS)}$ ≤ 90A	-175		600	mV
ブートストラップ						
$V_{SD(BOOT)}$	ソースドレイン電圧、内部ブートストラップ FET	I_{BST} = 100mA	1	2.2	3.5	V
過熱保護						
T_{OTPR}	過熱立ち上がりスレッショルド			175		℃
T_{OTPF}	過熱立ち下がりスレッショルド			145		℃
過電流保護						
$I_{SRC_OC(enter)}$	ソース過電流制限、開始			105		A
$I_{OC(exit)}$	ソース過電流制限、終了			95		A
$I_{SRC_OC(HYS)}$	ソース過電流制限、ヒステリシス			15		A
$I_{SNK_OC(enter)}$	シンク過電流制限、開始			-20		A
$\overline{FAULT}$						
VIN_{min_FLT}	FLTB 出力が有効になる最小 VIN 電圧	V_{FLT} が 100μA で 0.5V 以下のときに測定		3		V
$I_{FLT(LKG)}$	故障リーク電流	V_{FLT} = 7V		50	425	nA
$V_{FLT(OL)}$	故障ロジック Low 出力	I_{FLT} = 1mA			0.2	V
デッドタイム						
t_{DLH}	デッドタイム (Low から High)[(1)]	V_{DLH} = BP5L = 5.5V	6	12	19	ns
		R_{DLH} = 10kΩ	2	7	13	ns
t_{DHL}	出力デッドタイム (High から Low)[(1)]	V_{DHL} = BP5L = 5.5V	2	7	16	ns
		R_{DHL} = 10kΩ	2	7	13	ns
PWM						
$I_{PWM(IH)}$	PWM シンク電流	V_{PWM} = 5V		500		μA
$I_{PWM(IL)}$	PWM ソース電流	V_{PWM} = 0V		-500		μA
$V_{PWM(rising_TH)}$	PWM 立ち上がりスレッショルド電圧		2	2.3	2.7	V
$V_{PWM(falling_TH)}$	PWM 立ち下がりスレッショルド電圧		0.7	1.1	1.3	V
V_{MID}	PWM トライステート電圧			1.8		V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

8.5V ≤ VIN ≤ 15V、R_{DLH} = R_{DHL} = 10kΩ、–55℃ ≤ T_A ≤ 125℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TIMING						
$t_{p(HL)(GL)}$	ローサイド ゲート (GL) のロジック High からロジック Low への伝搬遅延(1)	V_{PWM} = 3V ～ V_{GL} = 1.5V		78	133	ns
$t_{p(LH)(GL)}$	ローサイド ゲート (GL) ロジック Low からロジック High までの伝搬遅延(1)	V_{PWM} = 0.8V ～ V_{GL} = 1.5V		90	120	ns
$t_{p(HL)(GH)}$	ハイサイド ゲート (GH、SW 基準) のロジック High からロジック Low への伝搬遅延(1)	V_{PWM} = 0.8V ～ V_{GH_SW} = 1.5V		81	116	ns
$t_{p(LH)(GH)}$	ハイサイド ゲート (GH、SW 基準) のロジック Low からロジック High への伝搬遅延(1)	V_{PWM} = 3V ～ V_{GH_SW} = 1.5V		88	118	ns
$t_{d(SW)(LH)}$	スイッチ ノードの立ち上がり遅延時間(1)	V_{PWM} = 0.8V ～ V_{SW} = 1.2V		85		ns
$t_{d(SW)(HL)}$	スイッチ ノードの立ち下がり遅延時間(1)	V_{PWM} = 3V ～ V_{SW} = 10.8V		87		ns
$t_{p(L3)}$	トライステート入力、ロジック Low からトライステートまでの伝搬遅延(1)	V_{PWM} 0V ～ 1.7V、V_{GL} = 1.5V		96	140	ns
$t_{p(3H)}$	トライステート解除、トライステートからロジック High への伝搬遅延(1)	V_{PWM} 1.7V ～ 5V、V_{GH_SW} = 1.5V		126	190	ns
$t_{p(H3)}$	トライステート入力、ロジック High からトライステートまでの伝搬遅延(1)	V_{PWM} 5V ～ 1.7V、V_{GH_SW} = 1.5V		123	145	ns
$t_{p(3L)}$	トライステート終了、トライステートからロジック Low までの伝搬遅延(1)	V_{PWM} 1.7V ～ 0V、V_{GL} = 1.5V		140	197	ns
$t_{3HT(L3)}$	トライステート ホールドオフ時間、ロジック Low からトライステートに移行(1)		10	24		ns
$t_{3HT(H3)}$	トライステート ホールドオフ時間、ロジック High からトライステートに移行(1)		10	24		ns
$t_{d(PWM-SW)(L3)}$	スイッチ ノードのトライステート移行、ロジック Low からトライステート(1)	V_{PWM} = 1.7V ～ V_{SW} = –0.8V		105		ns
$t_{d(PWM-SW)(3H)}$	スイッチ ノードのトライステート解除、トライステートからロジック High(1)	V_{PWM} = 3V ～ V_{SW} = 1.2V		150		ns
$t_{d(PWM-SW)(H3)}$	スイッチ ノードのトライステート移行、ロジック High からトライステート(1)	V_{PWM} = 1.7V ～ V_{SW} = 10.8V		80		ns
$t_{d(PWM-SW)(3L)}$	スイッチ ノードのトライステート解除、トライステートからロジック Low(1)	V_{PWM} = 0.7V ～ V_{SW} = 0V		120		ns

(1) パラメータ測定情報の測定図を参照してください

ADVANCE INFORMATION

ADVANCE INFORMATION

6.6 代表的特性

VIN = 12V、PVIN = 12V、T_A = 25°C、R_{DLH} = R_{DHL} = 10kΩ、C_{REF} = 470nF

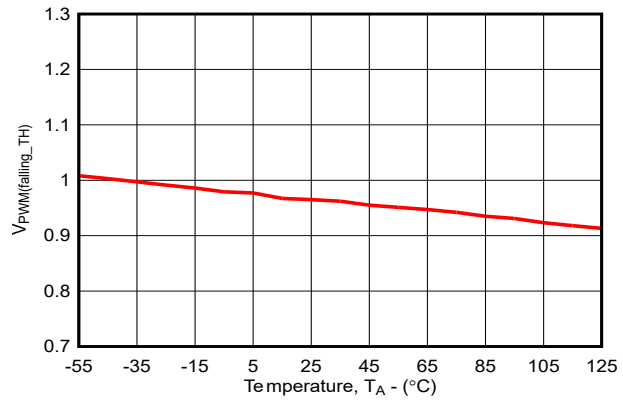


図 6-1. PWM 立ち下がりスレッショルド、$V_{PWM(falling_TH)}$ と温度との関係

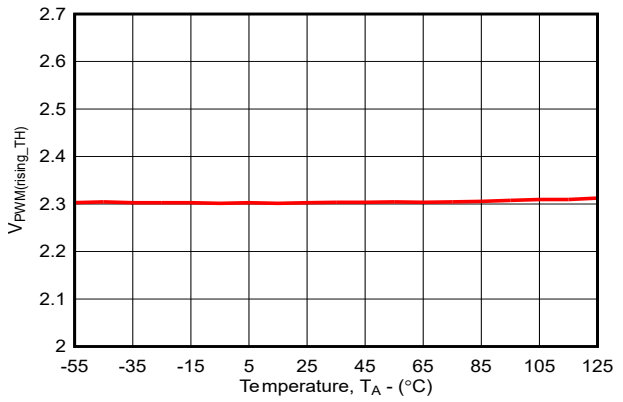


図 6-2. PWM 立ち上がりスレッショルド $V_{PWM(rising_TH)}$ と温度との関係

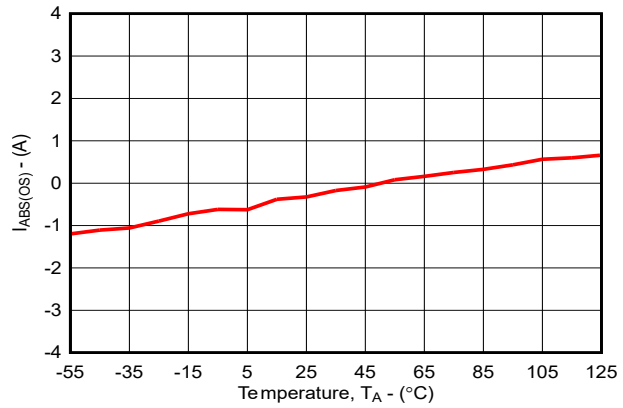


図 6-3. 絶対電流センス オフセット、$I_{ABS(OS)}$ と温度との関係

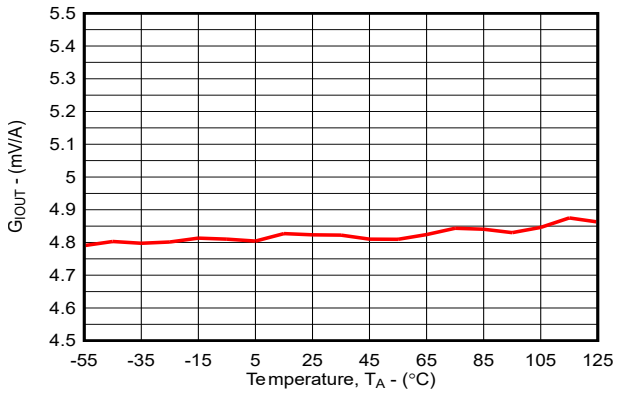


図 6-4. センス電圧ゲイン、G_{IOUT} と温度との関係

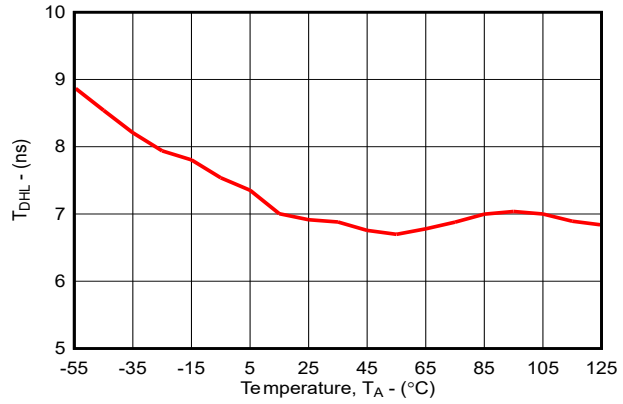


図 6-5. High から Low へのデッドタイム、t_{DHL} と温度との関係

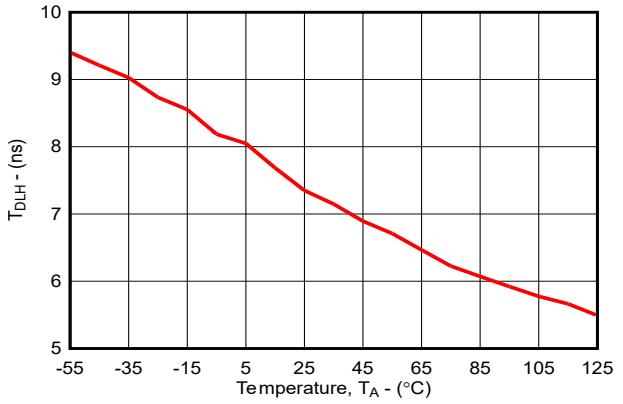


図 6-6. Low から High へのデッドタイム、t_{DLH} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

VIN = 12V、PVIN = 12V、T_A = 25°C、R_{DLH} = R_{DHL} = 10kΩ、C_{REF} = 470nF

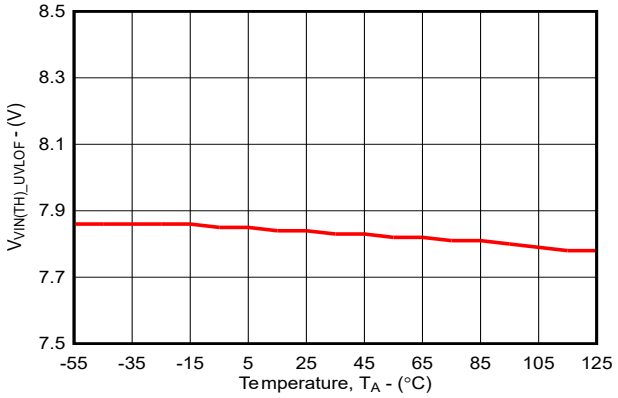


図 6-7. VIN ULVO 立ち下がりスレッショルド、$V_{VIN(TH)_UVLOF}$ と温度との関係

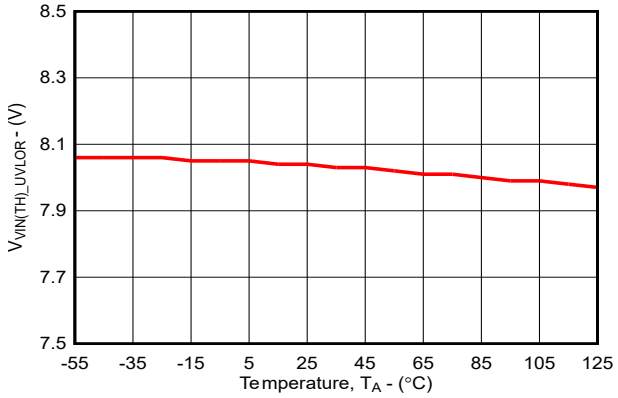


図 6-8. VIN UVLO 立ち上がりスレッショルド、$V_{VIN(TH)_UVLOR}$ と温度との関係

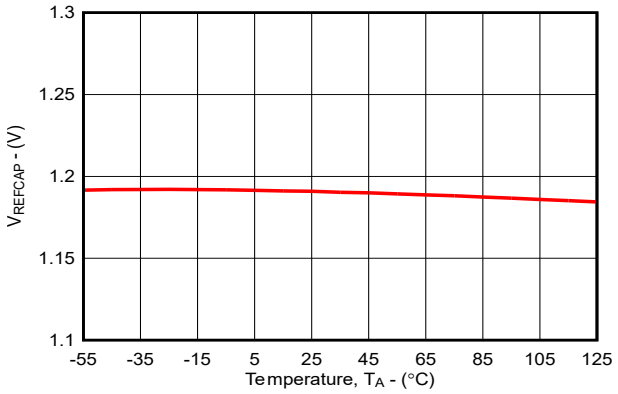


図 6-9. REFCAP 電圧、V_{REFCAP} と温度との関係

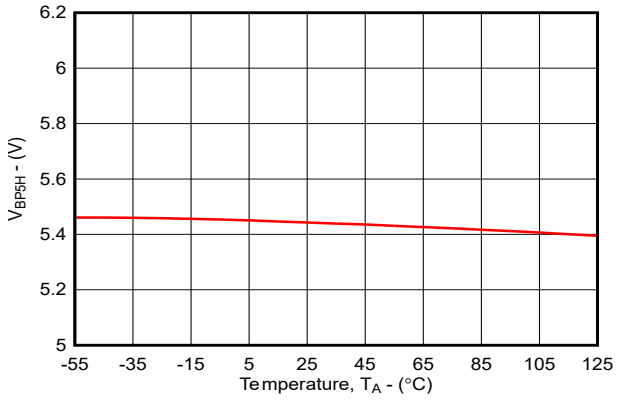


図 6-10. ハイサイド レギュレータ電圧、V_{BP5H} と温度との関係

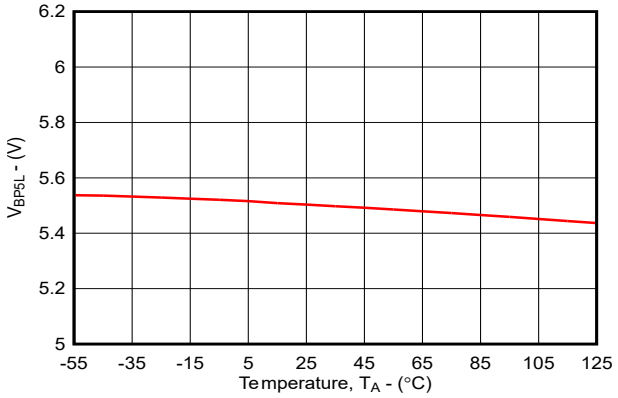
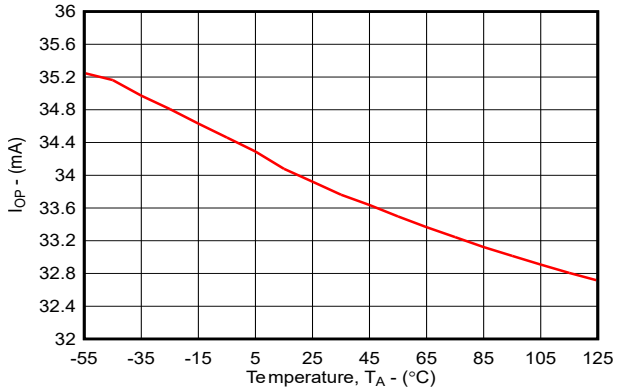


図 6-11. ローサイド レギュレータ電圧、V_{BP5L} と温度との関係



f_{sw} = 500kHz　　VPVIN = 0V

図 6-12. 動作電流、I_{OP} と温度との関係

ADVANCE INFORMATION

ADVANCE INFORMATION

6.6 代表的特性 (続き)

VIN = 12V、PVIN = 12V、T_A = 25°C、R_{DLH} = R_{DHL} = 10kΩ、C_{REF} = 470nF

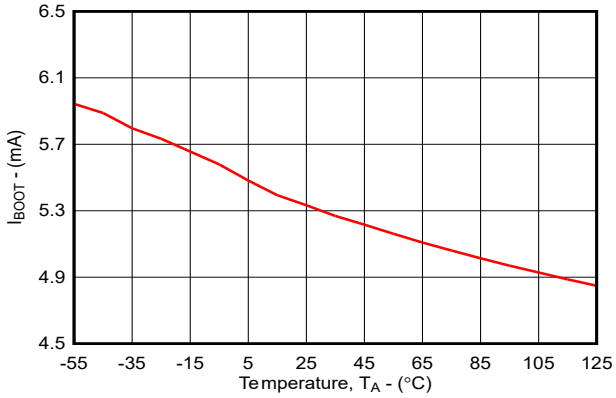
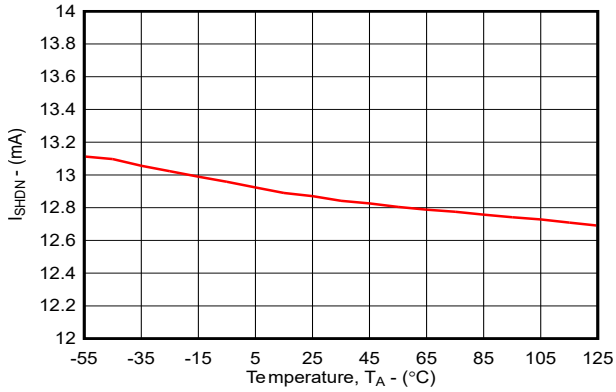


図 6-13. ブート電流、I_{BOOT} と温度との関係



V_{EN} = 0V

図 6-14. シャットダウン電流、ISHDN と温度の関係

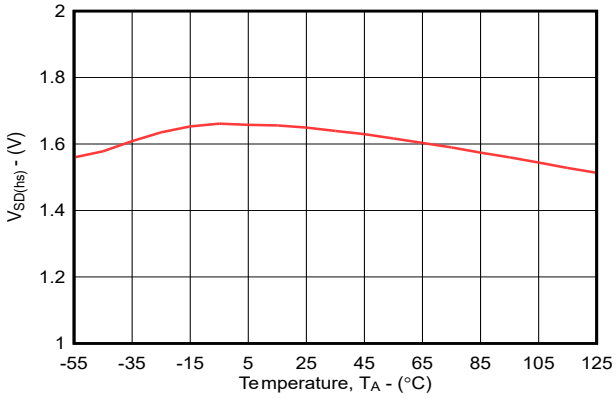


図 6-15. ハイサイド ソース ドレイン電圧、V_{SD} と温度との関係

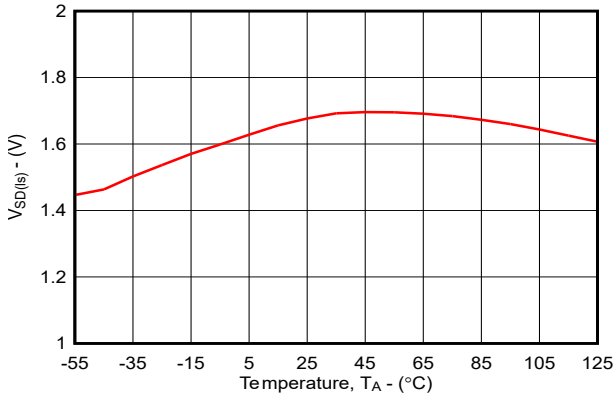


図 6-16. ローサイド ソース ドレイン電圧、V_{SD} と温度との関係

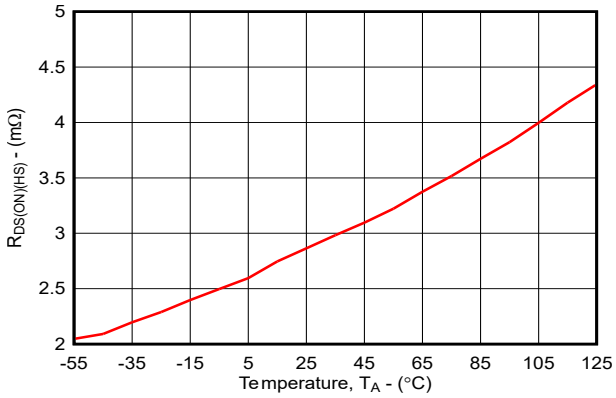


図 6-17. ハイサイド ドレイン ソース間抵抗、$R_{DSON(hs)}$ と温度との関係

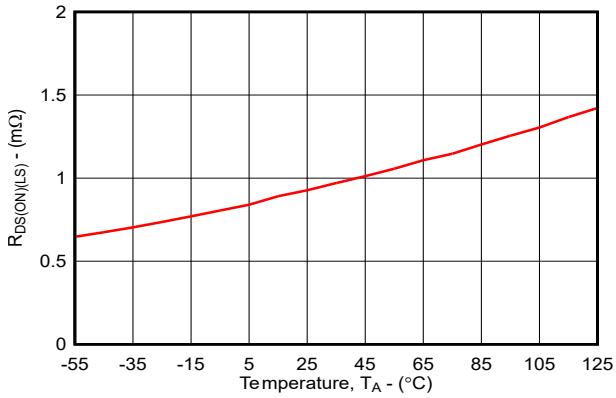
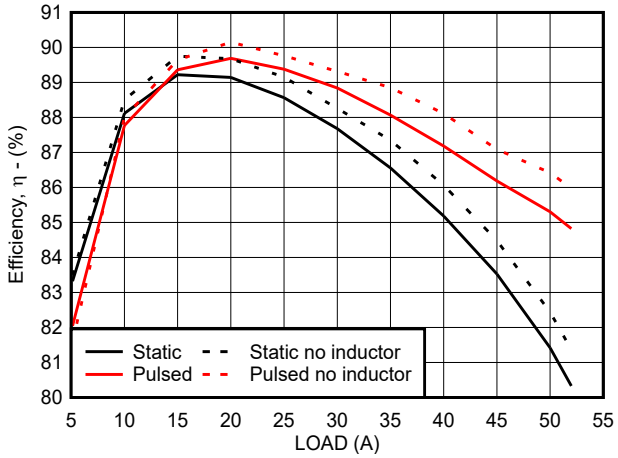


図 6-18. ローサイド ドレイン ソース間抵抗、$R_{DSON(ls)}$ と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

VIN = 12V、PVIN = 12V、T_A = 25°C、R_{DLH} = R_{DHL} = 10kΩ、C_{REF} = 470nF



f_{SW} = 500kHz
L = 200nH、DCR = 180mΩ

PVIN = 12V
静的:3 分浸漬

V_{OUT} = 0.8V
パルス:300 ミリ秒浸漬
インダクタの損失を除く曲線が計算されます

図 6-19. 効率と出力電流との関係

ADVANCE INFORMATION

7 パラメータ測定情報

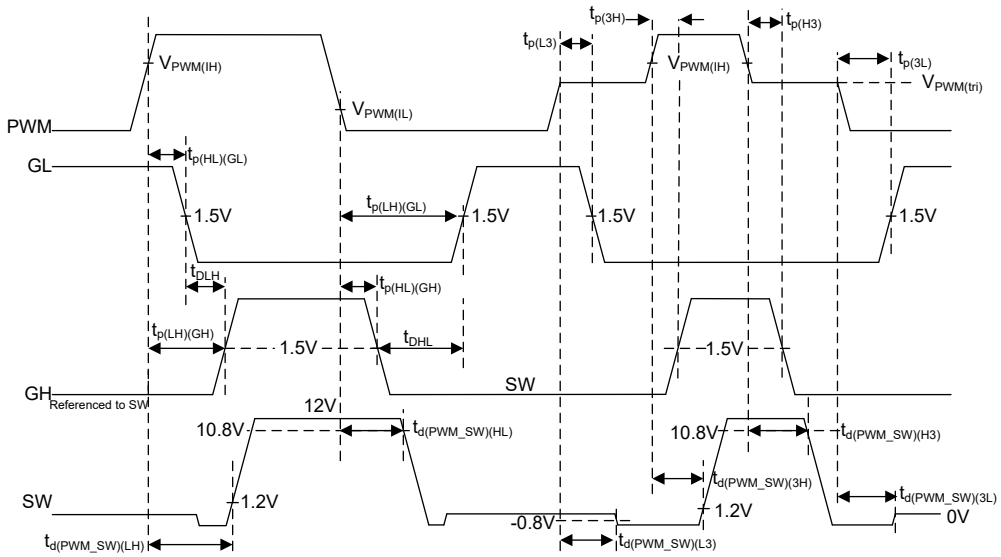


図 7-1. タイミング測定

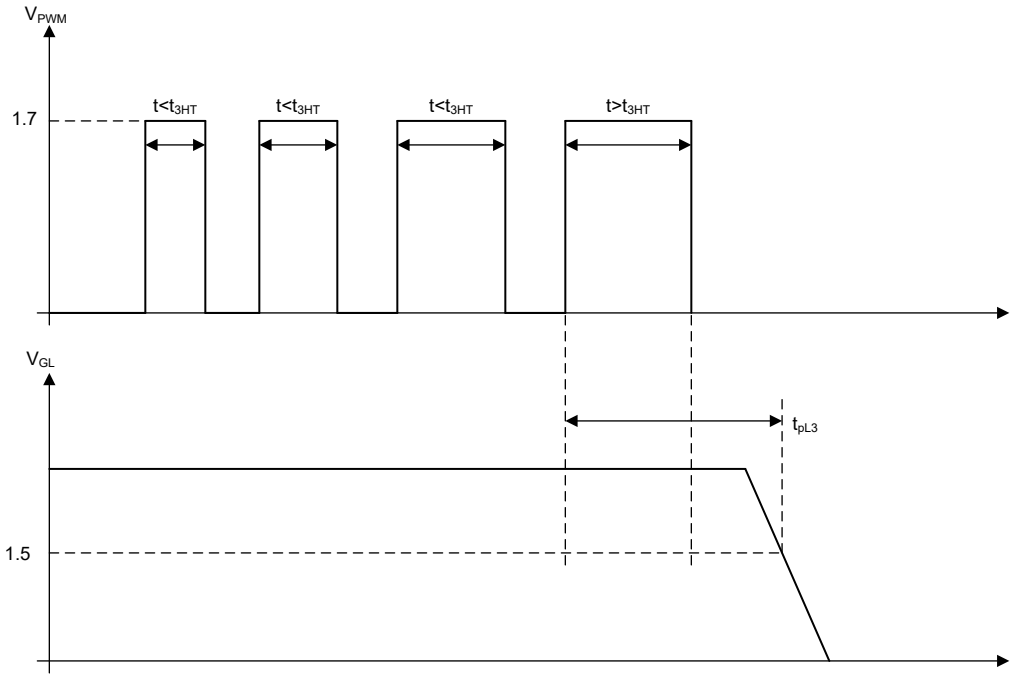


図 7-2. ホールド オフ時間測定 - Low からトライステート

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

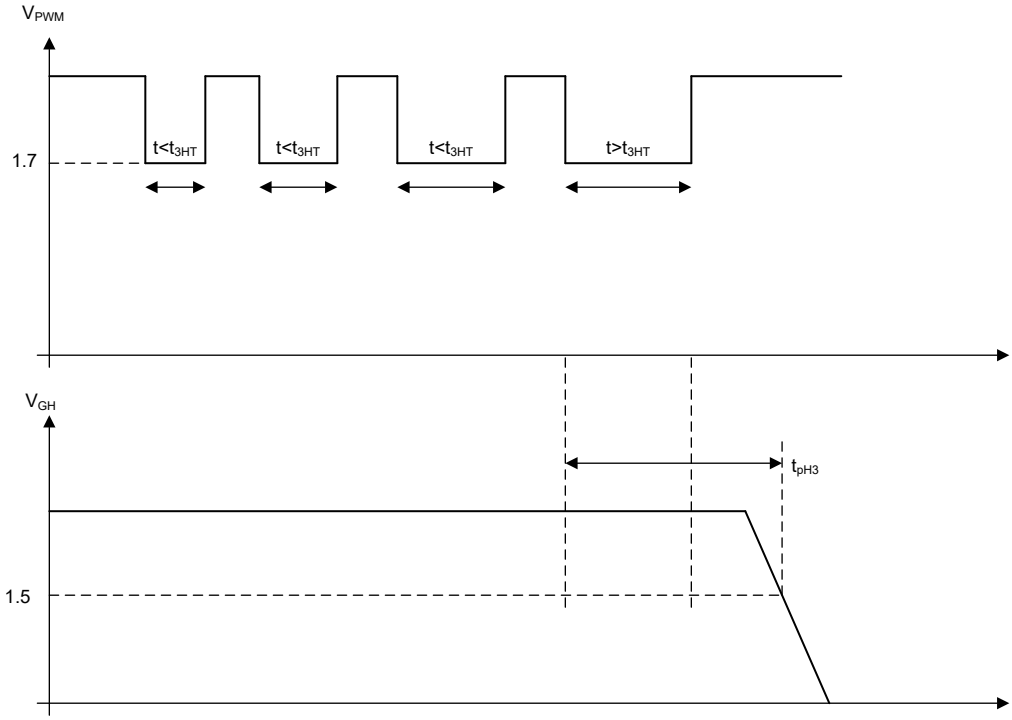


図 7-3. ホールドオフ時間測定 - High からトライステート

ADVANCE INFORMATION

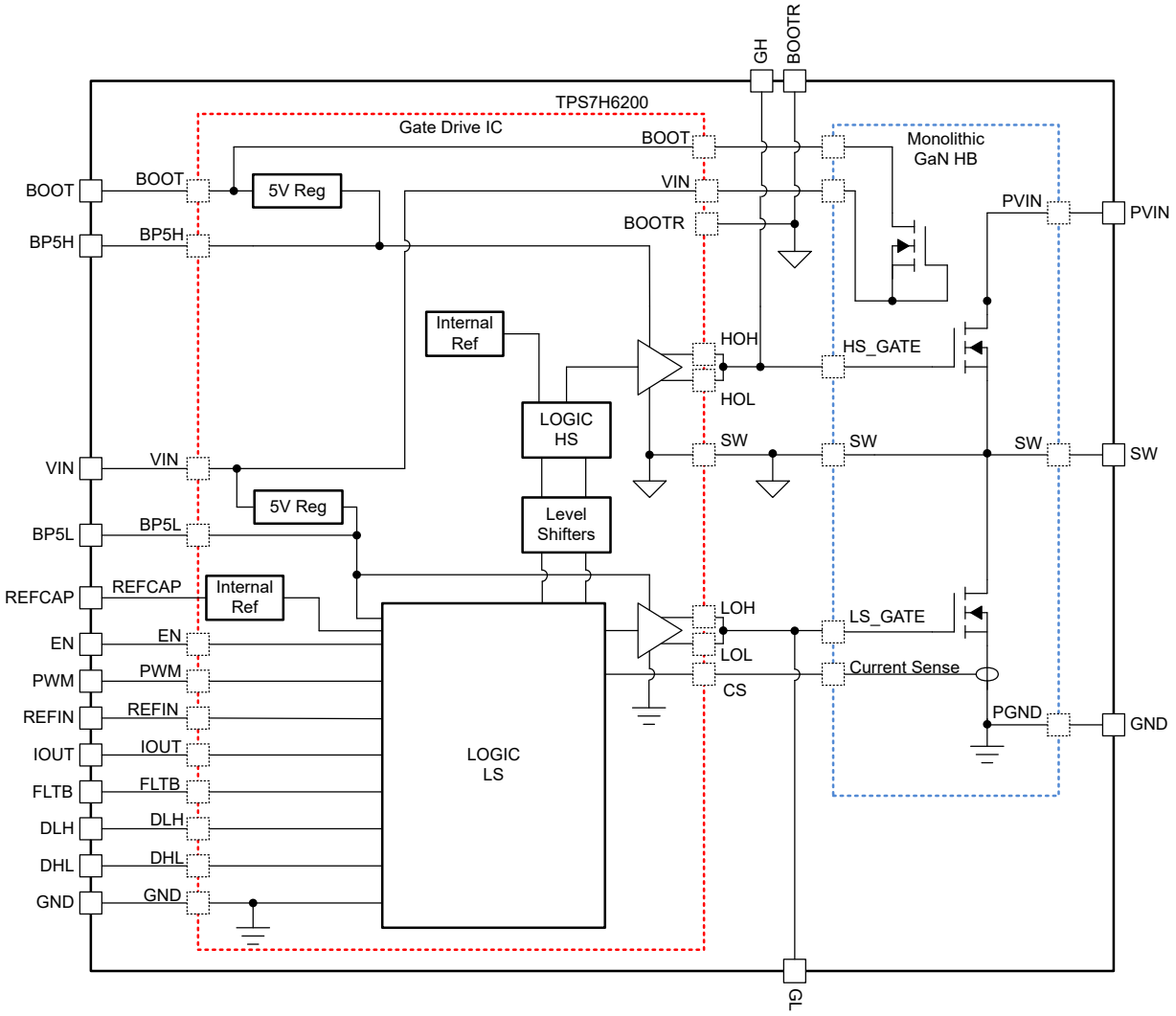
8 詳細説明

8.1 概要

TPS7H6200-SEP は、シリコン ゲート ドライバとハーフブリッジ GaN ダイの二つのダイを組み合わせた高集積 15V GaN 電力段です。同期整流降圧コンバータ用に最適化された TPS7H6200-SEP は、12V を 1V 以下のポイント オブ ロード電源に降圧するアプリケーション用に設計されています。PVIN 電圧範囲が広く、GaN FET R_{DSON} が低いため、変換比がさらに向上します。

濡れ性フランク付きの小型 6mm × 6mm パッケージに封止されたこのデバイスはトライステート PWM 入力、過電流および過温度の監視、プログラマブル デッドタイム、故障表示に対応しています。ハイサイドとローサイド両方の GaN FET を一つのダイに統合することで、TPS7H6200-SEP は寄生インダクタンスを最小化し、効率を向上させることができます。

8.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.3 機能説明

8.3.1 VIN PVIN

VIN ピンは内部制御回路に電力を供給し、PVIN ピンおよび PVIN パッドは内部ハイサイド FET に入力電圧を供給します。VIN と PVIN はいずれも 4.5V ～ 15V の入力電圧範囲を持ち、内部では接続されていません。

VIN には、100nF のセラミック バイパス コンデンサを最低一個接続します。補助的なバイパス容量 (例えば 10nF や 1nF) が必要な場合は、これらのコンデンサをできるだけ VIN ピンの近くに配置します。

PVIN の入力コンデンサ ネットワークは、セラミック、タンタル、またはポリマー技術を用いた、容量値が昇順に並ぶバイパス コンデンサとバルク コンデンサの配列で構成されます。

8.3.2 ブートストラップ動作

ハイサイド ゲートドライバ回路用の電力を生成するため、TPS7H6200-SEP には、GaN FET の第 3 象限動作をブートストラップ ダイオードとして使用するために、内部ゲート ソース接続型 GaN FET が組み込まれています。TI では、C_{BOOT} に 16V (最小電圧定格) 100nF のセラミック コンデンサを推奨しています。

8.3.3 電圧リファレンス

このデバイスは公称 1.2V の内部バンドギャップ基準電圧を生成し、定常動作中はこの電圧が REFCAP ピンに現れます。デバイスの SET 性能を確保するため、REFCAP ピンにはグランドへの 470nF コンデンサが必要です。

8.3.4 イネーブル

イネーブル ピン EN が $V_{EN_TH\ (rising)}$、0.596V (標準値) を上回ると、TPS7H6200-SEP はシャットダウン モードを終了し、UVLO を終了するとスイッチングを開始します。

EN ピンが $V_{EN_TH(falling)}$ を下回ると、デバイスはシャットダウン モードに移行し、動作を停止します。

EN の最大入力電圧 (7.5V) は推奨 VIN (8.5V) より低いため、VIN を EN に接続するには外部の抵抗分圧器が必要です。目的のプリセット入力電圧に達したときにデバイスをオンにするよう、抵抗のサイズを適切に設定できます (式 1 を参照)。イネーブル用の抵抗分圧器により、VIN ピンの既定の内部 UVLO 電圧を補完する調整可能な UVLO を構成できます。

$$R_{EN_TOP} = R_{EN_BOT} \times \left(\frac{V_{EN(rising)}}{V_{VIN(rising)} - V_{EN(rising)}} \right) \quad (1)$$

ここで、

- $VIN_{(rising)}$ = EN を High にする原因となる目標 VIN 値は、0.6V より大きい必要があります
- $V_{EN(rising)}$ = 0.596V (typ)
- R_{EN_TOP} = VIN から EN への帰還抵抗
- R_{EN_BOT} = EN から GND への帰還抵抗

EN ピンには 100mV (typ) のヒステリシスがあります。したがって、式 2 を使用して $VIN_{(falling)}$ 電圧を計算できます。

$$V_{VIN(falling)} = V_{EN(falling)} \times \left(\frac{R_{EN_TOP} + R_{EN_BOT}}{R_{EN_BOT}} \right) \quad (2)$$

ここで、

- $VIN_{(falling)}$ = EN が Low になり、TPS7H6200-SEP がオフになる目標 VIN 値
- $V_{EN(falling)}$ = 0.496V (typ)

または、EN ピンをマイクロコントローラまたは FPGA から直接駆動することもできます。イネーブルピンの電圧スレッショルドは低いため、1.1、1.8、2.5、3.3V のロジックレベルに対応できます。

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3.5 起動と UVLO

TPS7H6200-SEP は VIN ならびに BP5H および BP5L レギュレータ用の UVLO 回路を備えており、ゲート駆動出力の状態を変化させることで、GaN FET と外部負荷を確実に保護します。

表 8-1. UVLO、ENABLE、FLTB ロジック動作

条件					出力			
VIN	**EN**	**PWM**	**BP5L**[(1)]	**BP5H**[(1)]	**FLTB**[(2)]	**GH**	**GL**	**SW**
VIN < $V_{VIN(TH)_UVLO}$ (VIN UVLO)	×	×	×	×	OL	OL	OL	トライステート
VIN > $V_{VIN(TH)_UVLO}$	V_{EN} < V_{EN_TH} (無効)	×	公称値	公称値	OH	OL	OL	トライステート
	V_{EN} > V_{EN_TH} (有効)	×	UVLO	×	OL	OL	OL	トライステート
		IL	公称値	UVLO	OL	OL	OH	アクティブ LS
		TRI	公称値	UVLO	OL	OL	OL	トライステート
		IH	公称値	ULVO	OL	OL	OH	アクティブ LS[(3)]
		IL	公称値	公称値	OH	OL	OH	アクティブ LS
		TRI	公称値	公称値	OH	OL	OL	トライステート
		IH	公称値	公称値	OH	OH	OL	アクティブ HS

(1) V_{BP5X} が「電気的特性」表に記載された最小電圧よりも低いとき、レギュレータは UVLO です
(2) FLTB OL は、故障検出時に内部プルダウン FET によって Low に駆動されます。それ以外の場合、FLTB はプルアップされます
(3) BP5H が UVLO 状態のとき、ローサイド FET はオンのままとなり、PWM に IH 電圧が存在する間、HS ゲート信号はインターロックされてオンにならないよう防止されます

8.3.6 プログラム可能なデッド タイム

DHL ピンは、ハイサイドのゲート電圧が 1.5V まで下がった時点から、ローサイドのゲート電圧が 1.5V まで上がる時点までのデッド タイム期間を設定します。図 7-1 を参照してください。DHL とグランドの間に 10kΩ の抵抗を接続すると、このハイサイドからローサイドへの切り替えでのデッド タイムは標準 7ns になります。

DLH ピンは、ローサイドのゲート電圧が 1.5V まで下がった時点から、ハイサイドのゲート電圧が 1.5V まで上がる時点までの、プログラム可能なデッド タイムを設定します。図 7-1 を参照してください。DLH とグランドの間に 10kΩ の抵抗を接続すると、このローサイドからハイサイドへの切り替えでのデッド タイムは標準 7ns になります。

外付け部品の数を減らしたい設計では、デッド タイム設定用の抵抗を実装せず、DHL と DLH を 5.5V 電源 (またはローサイド レギュレータ BP5L) に直接接続してください。この場合、デッド タイムの公称値は DHL が 7ns、DLH が 12ns になります。

Copyright © 2026 Texas Instruments Incorporated

8.3.7 電流センス

TPS7H6200-SEP は、無損失のローサイド電流センス FET を内蔵しており、IOUT ピンと REFIN ピンで差動電圧信号を出力します。

電流センス ゲイン

TPS7H6200-SEP の電流センス ゲインは 5mV/A (標準)、公差は ±0.5mV/A で、式 3 を用いると誤差 (ε_{Gain}) は ±10% となります。

$$\varepsilon_{Gain} = \frac{tol_G_{IOUT}\left(\frac{mV}{A}\right)}{G_{IOUT}\left(\frac{mV}{A}\right)} \times 100 \quad (3)$$

オフセット

オフセット精度は、IOUT - REFIN ピンの無負荷 (0A) 差動電圧出力で、絶対オフセット電流 $I_{ABS(OS)}$ は ±4.2A で表されます。式 4 を使用すると、40A の出力電流でのオフセット誤差の寄与は ±10.5% です

$$\varepsilon_{Offset} = \frac{I_{ABS(OS)}(A)}{I_{IOUT}(A)} \times 100 \quad (4)$$

8.3.8 過熱保護 (TSD)

ドライバ IC は温度検出回路を内蔵しており、検出温度が 175℃ (標準) を超えるとデバイスをシャットダウンします。検出温度が 145℃ (標準値) を下回ると、サーマル シャットダウン状態が解除されます (通常動作の再開)。

8.3.9 故障報告 (FLTB)

FLTB ピンはオープンドレイン出力で、過温度イベント、過電流イベント、または UVLO 状態の検出のいずれかが発生したときにアサートされます。FLTB ピンには、BP5L またはデバイスの推奨動作条件内の他の電圧レベルへのプルアップ抵抗を使用してください。FLTB がシンクする最大電流が推奨動作条件の最大電流 (BP5L に接続する場合は 100μA 未満) を超えないよう抵抗値を選定してください。一般に 10kΩ のプルアップ抵抗で十分です。FLTB を別のプルアップ電圧に接続する場合は、最大電流が 2mA になるように抵抗値を選定してください。抵抗値を大きくすると消費電力は低減しますが、プルアップが弱くなるため、FLTB 信号へのスイッチングノイズの結合を受けやすくなります。

過電流、過温度、または UVLO の状態が検出されなくなると、FLTB のアサートは解除されます。

8.3.10 PWM

PWM ピンは TPS7H6200-SEP の制御入力として機能します。3V を超える電圧はロジック High、0.7V 未満の電圧はロジック Low と判定されます。$V_{PWM(rising_TH)}$ および $V_{PWM(falling_TH)}$ スレッショルドは、どちらも 3.3V および 5V のロジック コントローラと互換性があります。

PWM 入力にはトライステート機能があります。PWM ピンがトライステート ホールドオフ時間 (t_{3HT}) を超えてフローティング状態になると、ハイサイドとローサイドの両方の FET ゲートが強制的に Low になります。トライステート モードへの移行は、PWM 入力を V_{3T} にアクティブに駆動するか、入力をハイ インピーダンス状態にして内部電流源によりピンを V_{3T} に引き寄せることで行えます。PWM ピンは最大 I_{PWMH} をソースし、I_{PWML} までシンクして信号を V_{3T} に駆動できます。特に、これらの電流は、ピンが V_{3T} に保持されている間は消費されません。図 7-1 に、トライステート モードへの移行と解除の遷移を示します。確実な通常動作のために、PWM 信号はシンク インピーダンス最大 500Ω、ソース インピーダンス最大 500Ω で駆動してください。

ADVANCE INFORMATION

8.4 デバイスの機能モード

以下の表にデバイスの機能モードを示します:

表 8-2. デバイスの機能モード

EN ピン	デバイス ステータス
高	動作モード
低	シャットダウン モード

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

9.1 使用上の注意

9.2 代表的なアプリケーション

TPS7H6200-SEP は、シリコン ゲート ドライバとモノリシック GaN ハーフブリッジを備えた統合された電力段です。高度な統合により寄生インダクタンスが低減され、電力段は大電流のポイント オブ ロード アプリケーションに優れた選択肢です。

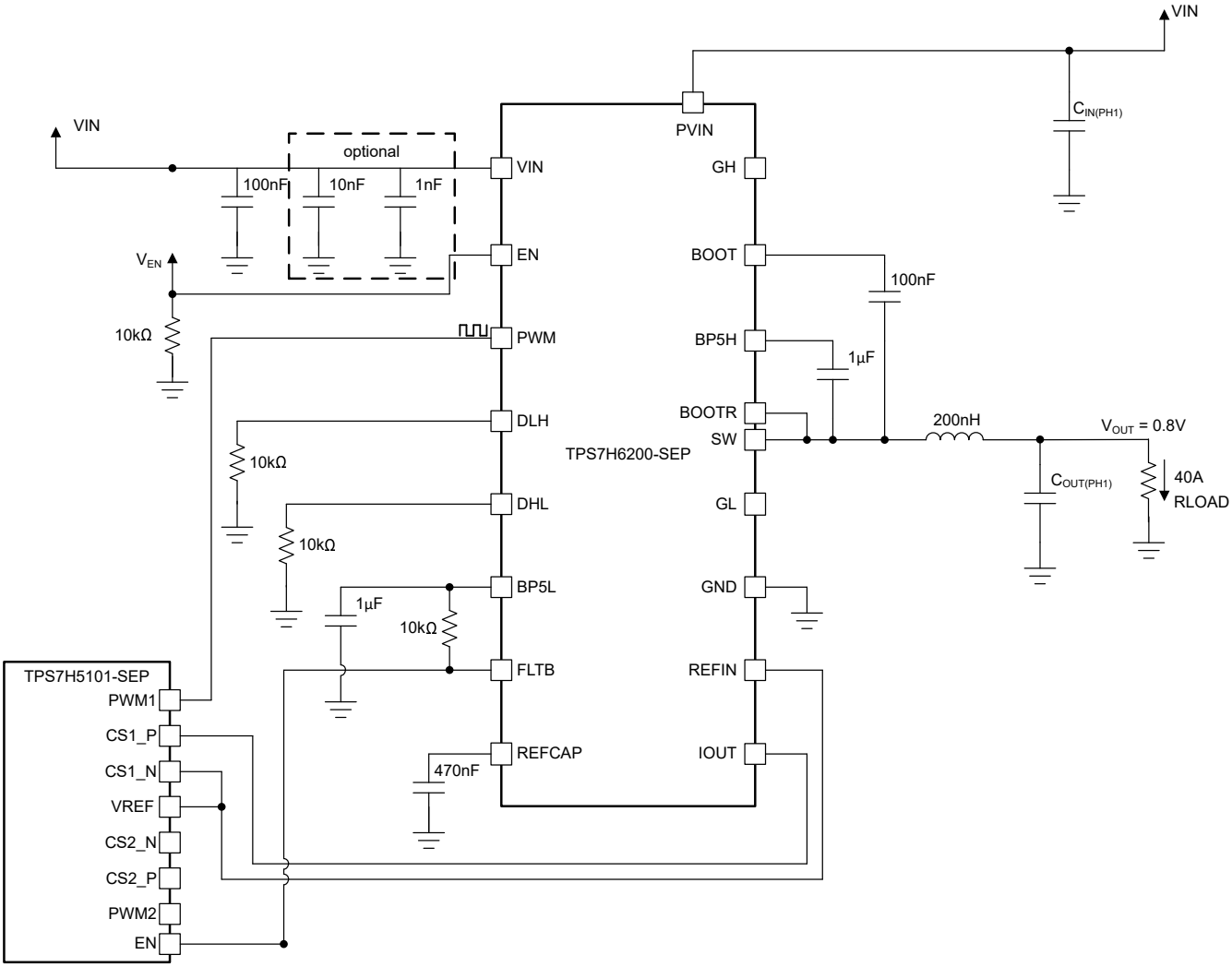


図 9-1. 代表的なアプリケーション

ADVANCE INFORMATION

ADVANCE INFORMATION

9.2.1 設計要件

以下の設計パラメータは、TPS7H6200-SEP と TPS7H5101-SEP を電力段および D-CAP+ コントローラ チップ セットとして使用し、それらから派生したものです。

表 9-1. 設計パラメータ

システム構成	値
入力電圧	12V ± 5%
出力電圧	0.8V ± 5%
最大出力電流	40A
スイッチング周波数	500kHz
インダクタ	200nH
出力バルク容量	1x 330µF、6x 47µF
出力デカップリング容量	10x 100nF
開始入力電圧上昇時	10V

9.2.2 詳細な設計手順

9.2.2.1 構成の有効化

表 9-2 に示す BOM では、イネーブル ピンがテスト ポイントに直接接続されており、電圧を直接印加できます。このテスト ポイントには、10kΩ プルダウン抵抗が含まれます。

次の例は、抵抗分圧器を適用して VIN からイネーブルを駆動する方法を示しています。なお、この構は図に示されている評価基板には実装されていません。

式 1 を使用して、入力電圧の UVLO を上回るイネーブルのターンオン電圧を選択します。この例では、$V_{IN(rising)}$ を 8.3V、標準の $V_{EN(rising)}$ を 0.6V、$R_{EN(BOT)}$ を 100kΩ に選定します。R_{EN_TOP} = 7.79kΩ、標準の抵抗値を使用して 7.87kΩ 抵抗を選択します。

マイコンを使用してイネーブルを駆動するときは、V_{IN} UVLO (8.3V (max)) を上回る必要があります。

9.2.2.2 デッド タイム設定

TPS7H6200-SEP では二つの方法でデッドタイムを設定できます。一つ目はデッドタイム ピン DHL および DLH を 10kΩ の抵抗でグランドに接続する方法、二つ目はデッドタイム ピン DHL および DLH を BP5L に接続することでデッドタイム用抵抗を不要にする方法です。デッドタイム設定抵抗を使用すると、DHL および DLH を BP5L に接続する場合よりも高いデッドタイム精度が得られます。10kΩ の抵抗を使用した場合、TPS7H6200-SEP は BP5L に接続した場合と同じ公称デッドタイム (t_{DHL} 7ns、t_{DLH} 7ns) を提供しますが、抵抗設定時の最大デッドタイムはより小さくなります。

9.2.2.3 FLTB / コントローラ接続

図 9-1 に、TPS7H5100 の EN に接続された TPS7H6200-SEP の FLTB を示します。

表 8-1 に、FLTB がアクティブになり、印加されているプルアップ電圧が Low にプルされる条件を示します。TPS7H6200-SEP に適切なスタートアップ条件を実現するため、TI は FLTB を TPS7H5100 のイネーブル ピンに接続することを推奨します。

9.2.2.4 電流センスの構成

TPS7H5101-SEP に内部電流センス機能を統合する場合、TPS7H5100 の VREF と CSX_N (CS1_N または CS2_N) を TPS7H6200-SEP の REFIN ピンに接続します。TPS7H5101-SEP CSX_P ピン (CS1_P または CS2_P) を IOUT に接続します。

ローサイド導通中、電流センス ピン IOUT は REFIN とともに電流センス信号を差動で出力します。ハイサイド導通中、電流センス回路は出力電流の情報をサンプル アンド ホールドし、ローサイド導通に再び入ると同時にリセットされます。

Copyright © 2026 Texas Instruments Incorporated

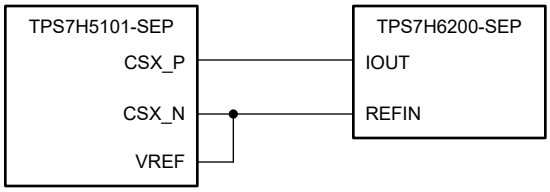


図 9-2. TPS7H5101-SEP を使用した簡素化された電流センス インターフェイス図

9.2.2.4.1 電流センスの精度

複数の独立した誤差要因を合成する場合、そのまま足し合わせる方法 (線形和 / 算術和) と、二乗和平方根 (RSS) 法で合成する方法があり、両者の結果は大きく異なります。実際には、安全性が重視される用途や高い信頼性が求められる用途で、総誤差の上限を明確に規定する必要がある場合、エンジニアは線形 (ワースト ケース) 加算を用います。一方、RSS 法は、一般的な動作条件でのシステム全体の精度を評価する場合など、統計的に現実的な合成誤差の見積もりの方が役立つ場合に用いられます。

算術合計エラー

直接加算では各誤差項の大きさを単純に足し合わせます。これは、すべての誤差が相関しており、同時に同じ方向に発生することを暗に仮定しています (ワースト ケース シナリオ、式 5 を参照)。オフセットやゲインなどの誤差要因は、通常は互いに相関がなくランダムです。そのため、すべての誤差項が同時に同じ方向に発生することは、統計的に起こりにくいと言えます。

$$\varepsilon_{total} = \varepsilon_{Gain} + \varepsilon_{Offset} \tag{5}$$

式 5 の結果を適用すると、20.5% の組み合わせ誤差になります:

$$\varepsilon_{total} = 10\% + 10.5\% = 20.5\% \tag{6}$$

RSS 誤差

これに対して RSS 法では、個々の誤差項の二乗和の平方根を計算します (式 7 を参照)。分散 (標準偏差ではなく) は線形に加算されるため、これは独立した相関のないランダム誤差を合成する統計的に正しい方法です。通常の動作条件で想定される総誤差の RSS であり、その結果は常に単純な線形和以下になります。

$$\varepsilon_{RSS} = \sqrt{\varepsilon_{Gain}^2 + \varepsilon_{Offset}^2} \tag{7}$$

式 7 の結果を適用すると、合計誤差は 14.5% になります

$$\varepsilon_{RSS} = \sqrt{10\%^2 + 10.5\%^2} = 14.5\% \tag{8}$$

9.2.2.5 FET の熱インピーダンス

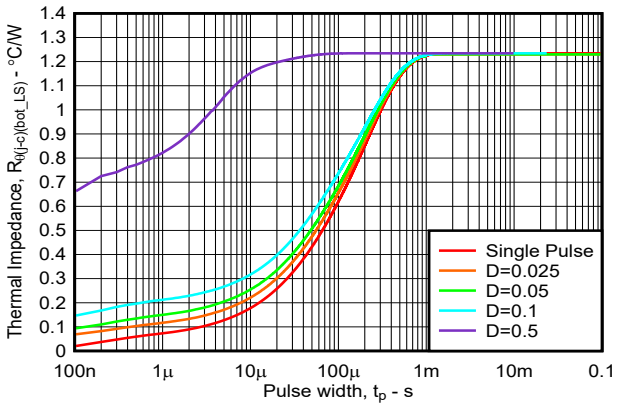
TPS7H6200-SEP に内蔵された GaN FET はモノリシック基板上に形成されており、V_{IN} と V_{OUT} の差が大きいポイント オブ ロード (POL) 同期整流降圧アプリケーション向けのサイズになっています。そのため、FET のサイズは非対称です。ローサイド FET はハイサイド FET の三倍の大きさです。そのため、ハイサイド FET の熱インピーダンスはローサイドの三倍になります。

図 9-3 および図 9-4 に、ローサイドおよびハイサイド FET のモデル化された熱インピーダンスを示します。このモデルは、ローサイド FET についてはサーマル パッド 45 と 46 での合成熱インピーダンスを、ハイサイド FET についてはパッド 47 での熱インピーダンスを表しています。

ミッション プロファイルの熱シミュレーションに役立つ、等価フォスター ネットワークの RC 値も記載しています。フォスター ネットワークの値を電気シミュレーションと組み合わせると、熱ドメインを構築できます。熱ドメインには、PCB とヒート シンクの熱特性に対応する集中定数の熱抵抗モデルと熱容量モデルも含めてください。図 9-5 では、PCB やその他のアプリケ

ADVANCE INFORMATION

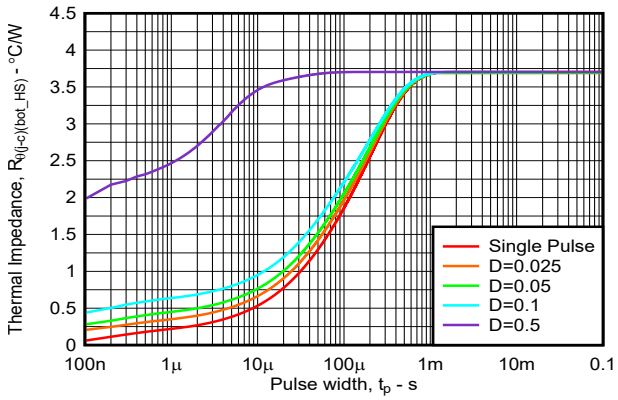
ーション上の考慮事項を含め、外部熱抵抗を考慮したフォスター ネットワーク パラメータの実装方法について、簡略化した例を示しています。



等価 RC 熱ネットワーク パラメータ

	1	2	3	4
R_i(mºC/W)	26.9	130	1.25	1,080
C_i(µF)	50	50	231.85	174.42

図 9-3. ローサイドの熱インピーダンス



等価 RC 熱ネットワーク パラメータ

	1	2	3	4
R_i(mºC/W)	417	196	1.05	3,090
C_i(µF)	39.8	10	9.05	64.5

図 9-4. ハイサイドのサーマル インピーダンス

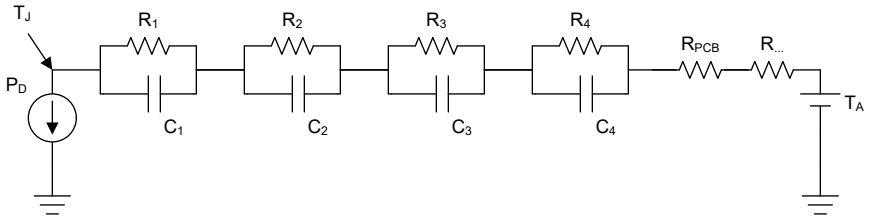
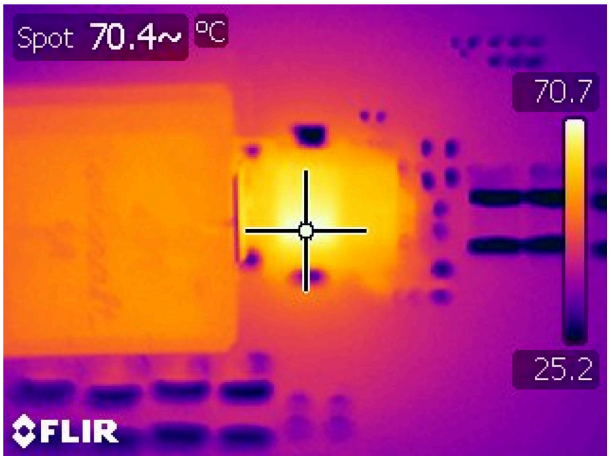


図 9-5. フォスター サーマル RC ネットワーク

Copyright © 2026 Texas Instruments Incorporated

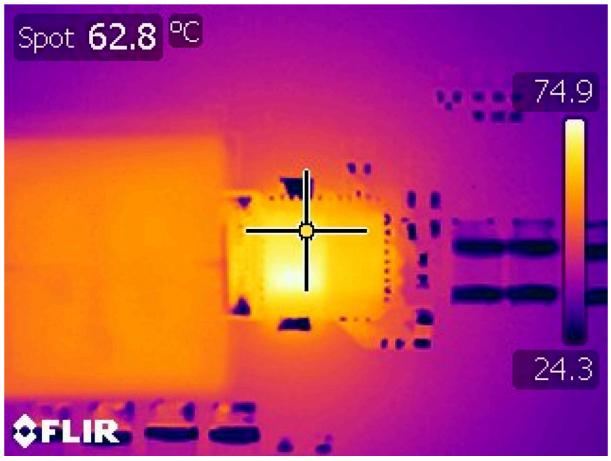
ADVANCE INFORMATION

9.2.3 アプリケーション曲線



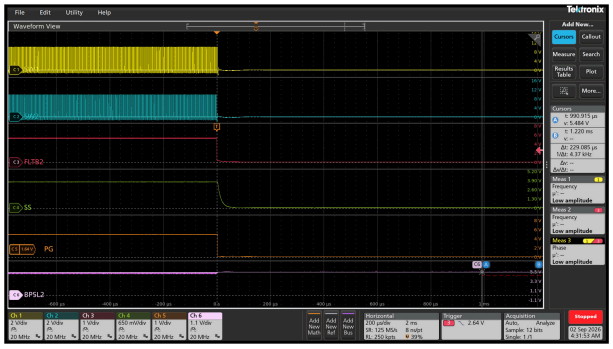
I_{OUT} = 40A　f_{SW} = 500kHz　T_A = 25℃

図 9-6. 熱画像 - ハイサイド



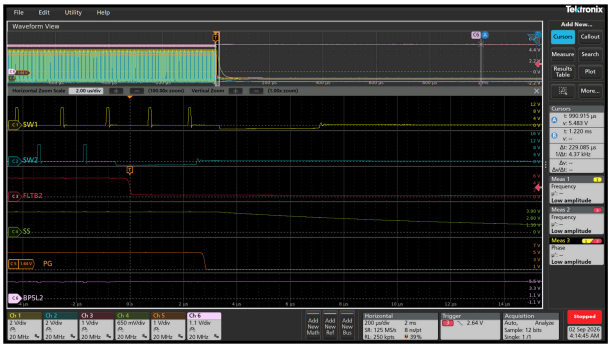
I_{OUT} = 40A　f_{SW} = 500kHz　T_A = 25℃

図 9-7. 熱画像 - ローサイド



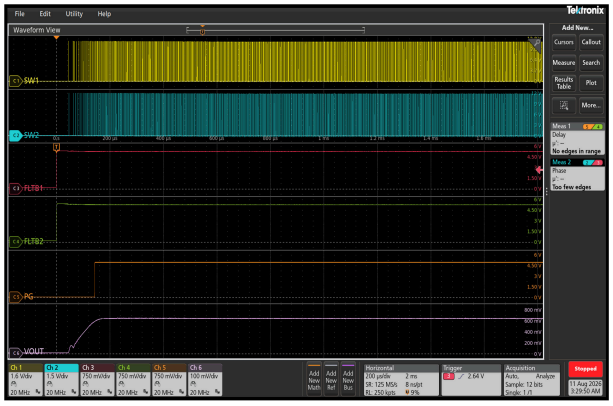
I_{OUT} = 94A　T_A = 150℃

図 9-8. サーマル シャットダウン開始



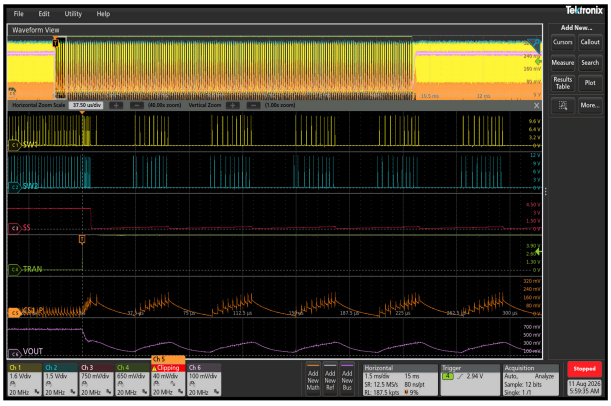
I_{OUT} = 94A　T_A = 150℃

図 9-9. サーマル シャットダウン開始 (ズーム)



I_{OUT} = 20A　T_A = 185℃ から 25℃ への低下

図 9-10. サーマル シャットダウン終了



I_{OUT} = 40A　t_{0c} = 10ms　T_A = 25℃

図 9-11. 過電流応答

ADVANCE INFORMATION

9.3 電源に関する推奨事項

TPS7H6200-SEP の V_{IN} および V_{PVIN} ピンは、4.5V ～ 15V の入力電圧範囲に対応します。各入力ピンのできるだけ近くに十分な容量のセラミック バイパス コンデンサ ネットワークを配置し、その後段にバルク コンデンサを配置します。ローサイド レギュレータ (BP5L) には、BP5L と GND の間に接続する 1μF セラミック コンデンサが必要です。ブートストラップ電圧を生成するため (ゲートとソースを短絡した内蔵 GaN FET を介して行う)、BOOT と BOOTR (内部で SW に接続) の間に 0.1μF セラミック コンデンサを接続します。最後に、ハイサイド レギュレータには、BP5H と SW の間に接続する 1μF セラミック コンデンサが必要です。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 大電流を流す層には 2oz 銅を使用し、ビアを高密度に配置した領域を設けます
- 内部レギュレータ (BP5L、BP5H) および BOOT 用のセラミック コンデンサは、デバイスのできるだけ近くに配置します
- セラミック入力バイパス コンデンサは、PVIN のできるだけ近くに配置します
- セラミック バルク出力コンデンサを TPS7H6200-SEP のできるだけ近くに配置し、その後で容量の大きいタンタル / ポリマー バルク出力コンデンサを配置します

表 9-2. TPS7H6200-SEP 図示部品

別名	説明	推奨される属性
C11、C12	入力コンデンサ	100μF、25V、タンタル / ポリマー、7343
C1、C2、C3、C4、C5、C6、C7、C8	入力コンデンサ	22μF、25V、セラミック、1210、10%
C9、C10	入力コンデンサ	22nF、50V、セラミック、0603
C13	入力コンデンサ	0.1μF、50V、セラミック、0402
C14	ブート コンデンサ	0.1μF、50V、セラミック、0402
C15	ハイサイド レギュレータ コンデンサ	1μF、50V、セラミック、0603
C17	出力コンデンサ	220μF、6.3V、タンタル、
C18、C19、C20、C21、C22	出力コンデンサ	47μF、6.3V、セラミック、1210
C23	REFIN コンデンサ	470pF、100V、セラミック、0402
C24	ローサイド レギュレータ コンデンサ	1μF、50V、セラミック、0603
C25	REFCAP	470nF、16V、セラミック、0603
R2	R_{EN} プルアップ	10kΩ、0.1W、0603
R3	R_{FLTB} プルアップ	10kΩ、0.1W、0603
R4	R_{DHL}	10kΩ、0.1W、0603
R5	R_{DLH}	10kΩ、0.1W、0603
L1	出力インダクタ	200nH、55A、表面設置

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

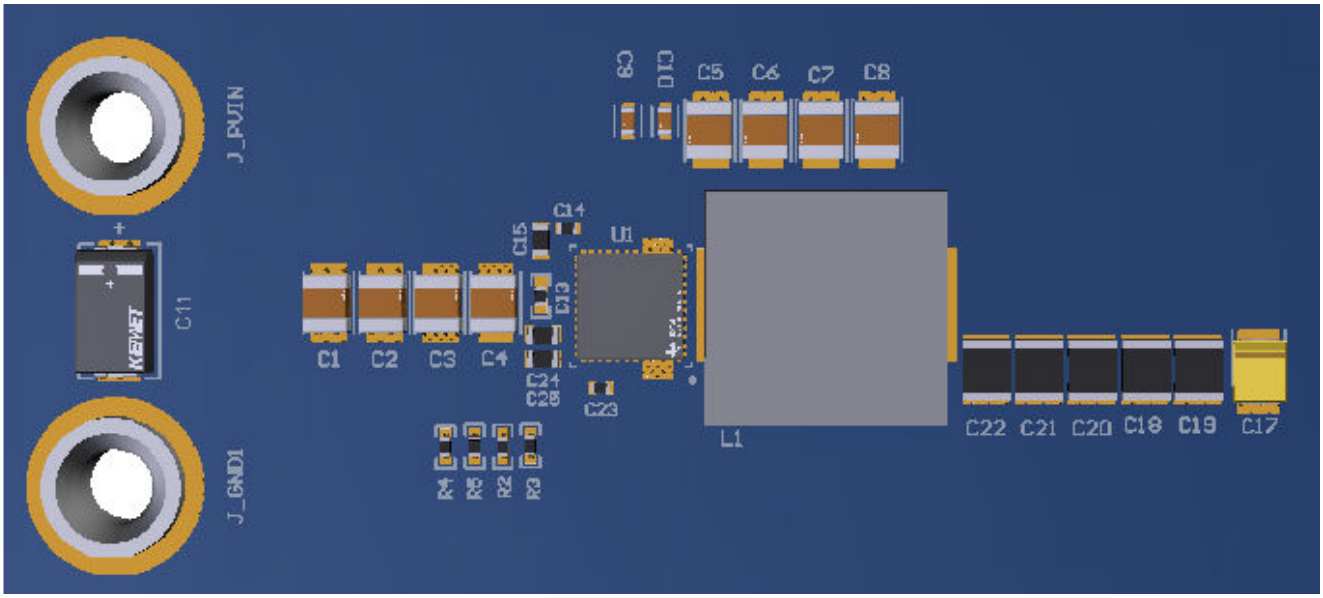


図 9-12. TPS7H6200-SEP レイアウト例

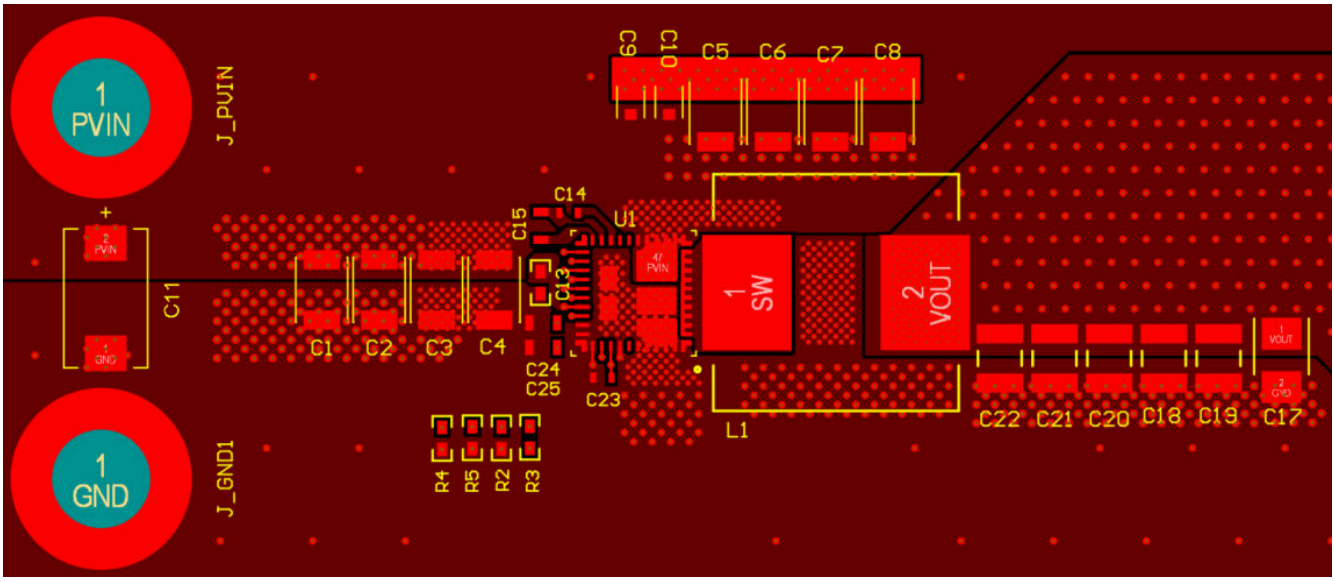


図 9-13. 上層のレイアウト例

ADVANCE INFORMATION

ADVANCE INFORMATION

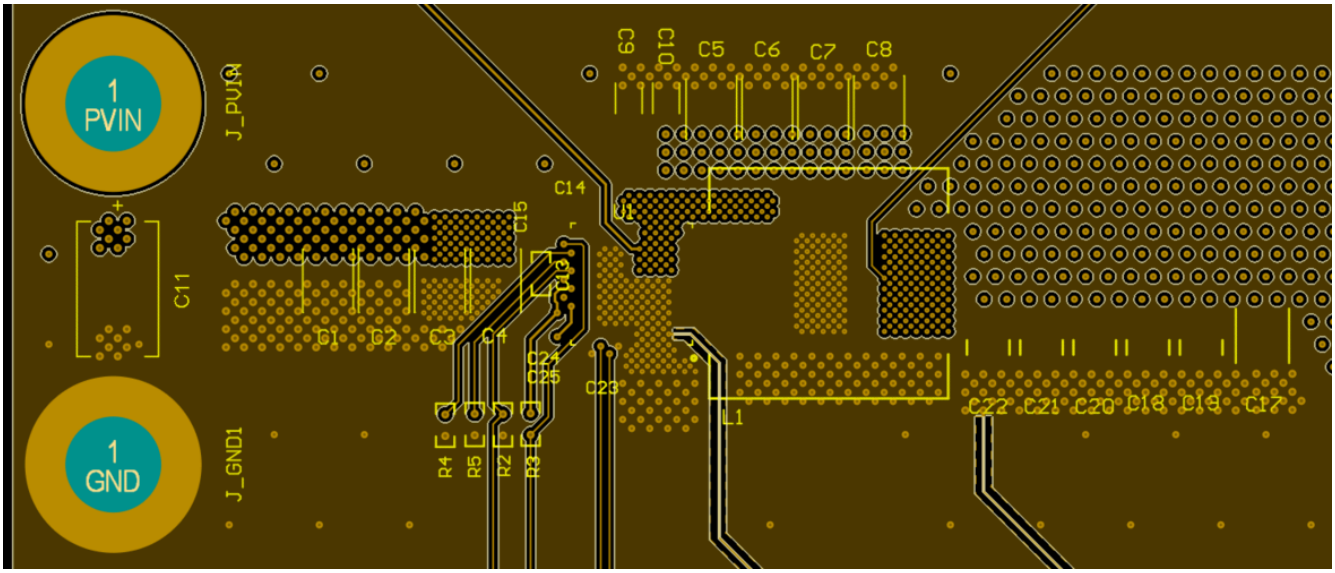


図 9-14. 信号層のレイアウト例

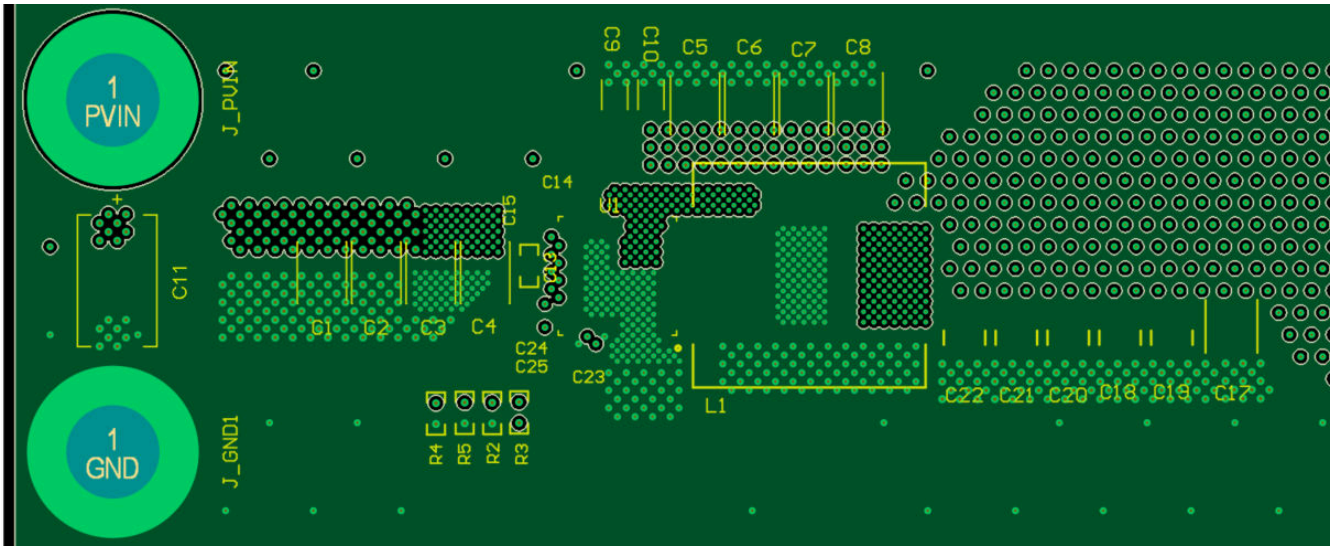


図 9-15. グランド層のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

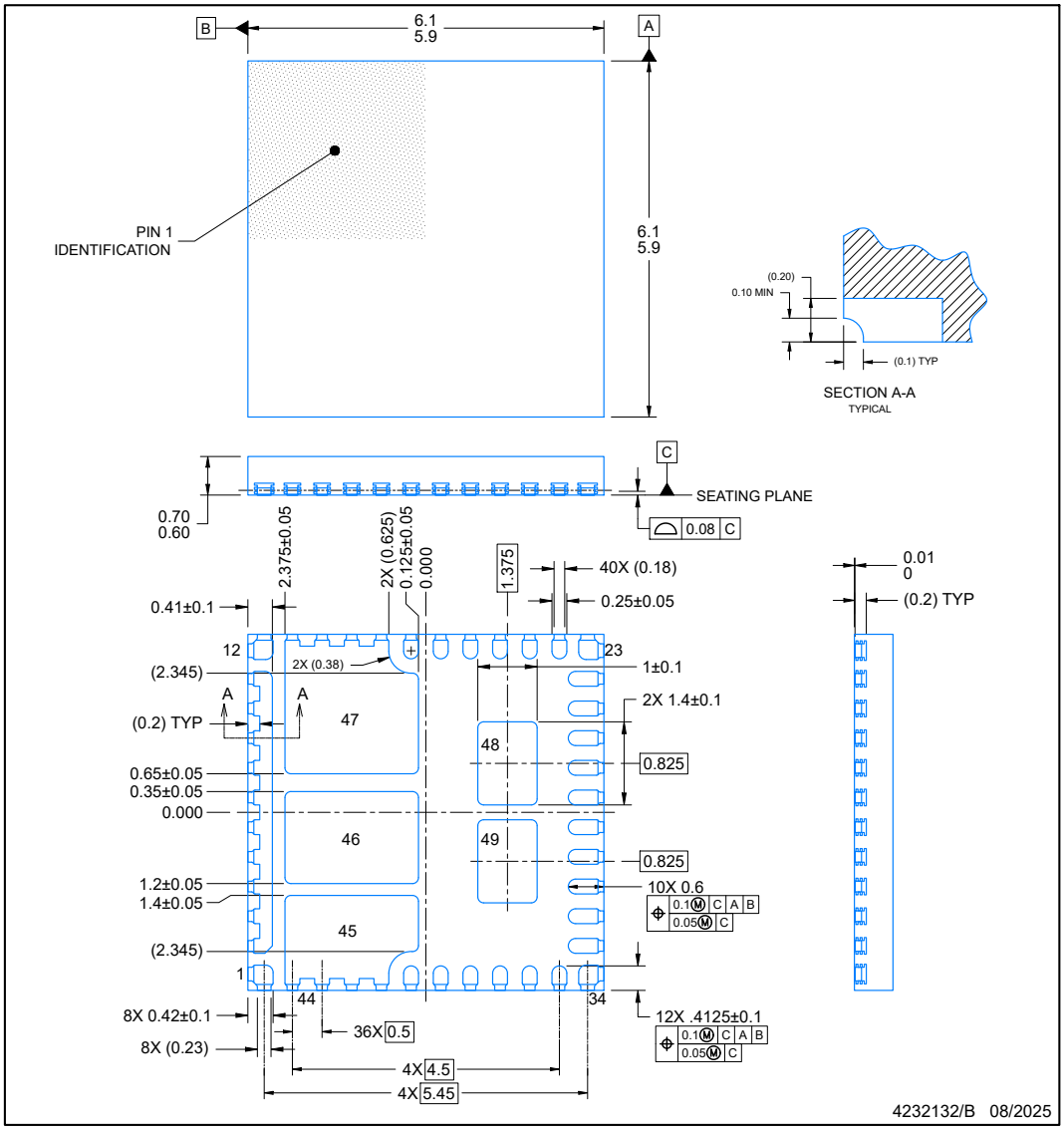
ADVANCE INFORMATION

ADVANCE INFORMATION

PACKAGE OUTLINE

VEJ0049A **WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

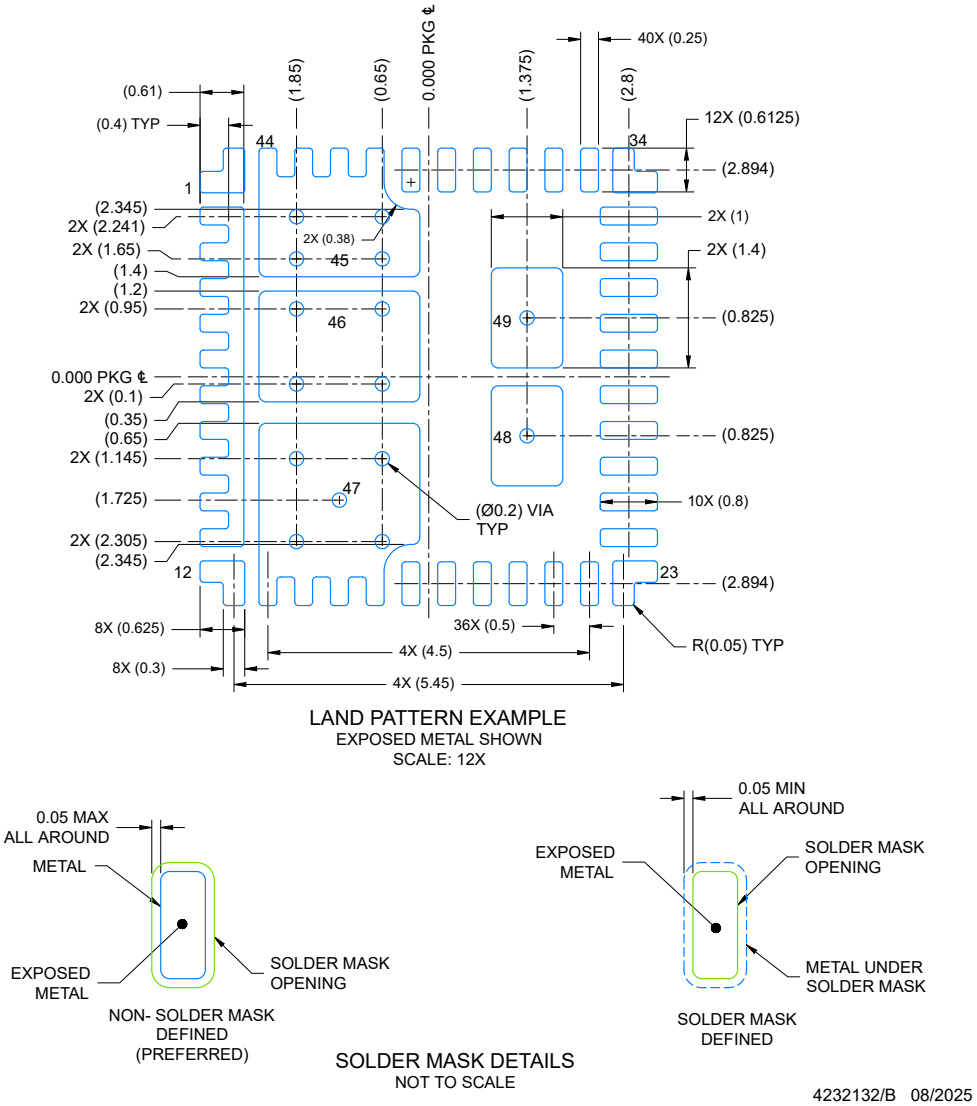
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VEJ0049A **WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

ADVANCE INFORMATION

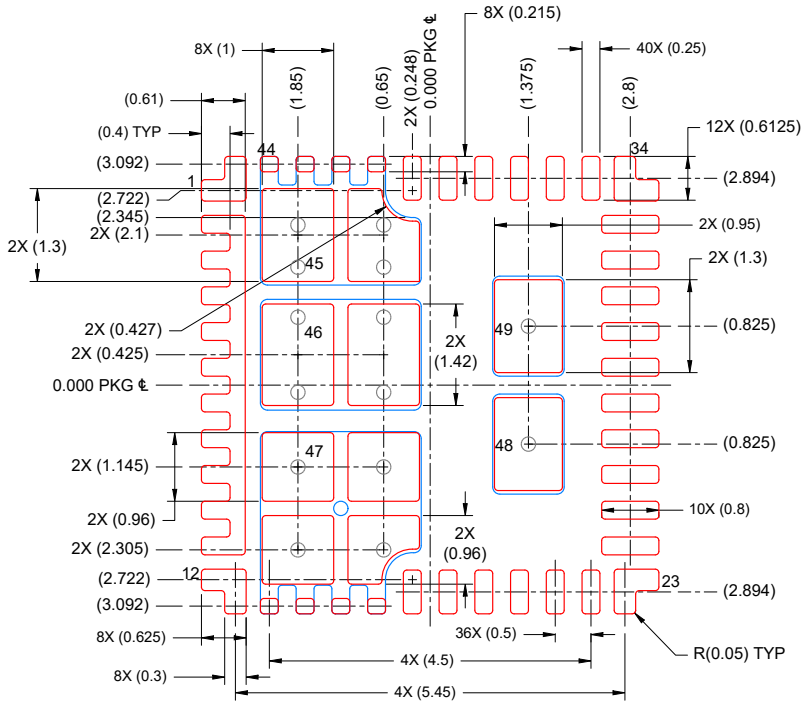
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

VEJ0049A **WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 12X

4232132/B 08/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7H6200MVEJTNSP	Active	Preproduction	WQFN-FCRLF (VEJ) | 49	250 | SMALL T&R	-	Call TI	Call TI	-55 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月