

TPSI3052A-Q1 17V ゲート電源内蔵、車載強化絶縁型スイッチ ドライバ

1 特長

- 絶縁型二次電源は不要
- 外部パワー トランジスタまたは SCR を駆動
- 5kV_{RMS} 強化基本絶縁
- 1.5/2.5A ピークのソースおよびシンク電流の 17V ゲートドライブ
- 外部補助回路に対して最大 40mW の電力を供給
- AC または DC スwitchングをサポート
- 3 線式モードを使用する既存の TPSI305x デバイスのドロップイン代替品
- 自動電力伝送レギュレーション
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 車載アプリケーション用に AEC Q-100 認定済み:
 - 温度グレード 1: -40~+125°C, T_A
- 安全関連認証
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁耐圧: 7071V_{PK}
 - UL 1577 に準拠した絶縁耐圧: 5kV_{RMS} (1 分間)

2 アプリケーション

- ソリッド ステートリレー (SSR)
- バッテリー マネージメント システム
- オンボード チャージャ
- ハイブリッド車、電気自動車、パワートレイン システム
- ビル オートメーション
- ファクトリ オートメーション / 制御

3 説明

TPSI3052A-Q1 は、統合型の絶縁スイッチ ドライバで、外部パワー スイッチと組み合わせることにより、完全な絶縁型ソリッド ステートリレー (SSR) を形成します。公称ゲート駆動電圧 17V で、1.5/2.5A ピークのソースおよびシンク電流という性能を備えているので、さまざまな外部パワー スイッチを選択して、幅広いアプリケーションに対応できます。TPSI3052A-Q1 は、1 次側から供給された電源によって独自の 2 次バイアス電源を生成するので、絶縁型の 2 次側電源バイアスは不要です。さらに、TPSI3052A-Q1 は、各種のアプリケーションのニーズに対応する外部のサポート回路に電力を供給することもできます。

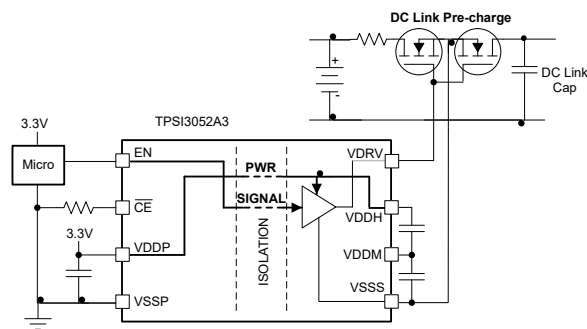
TPSI3052A-Q1 は 3 線式モードのみで利用可能で、放射が低いことから、デバイスが [多くのアプリケーションで CISPR25 Class 5 の放射妨害波に] 合格できます。TPSI3052A-Q1 の電力伝送は、1 次側と 2 次側の間の双方向通信により自動的に制御されます。そのため、このデバイスは必要に応じて必要な電力のみを送送でき、多くのアプリケーションでは、放射をさらに低減できます。

2 次側は、17V の安定化されたフローティング電源レールを提供し、2 次側バイアス電源を必要とせずに各種パワー スイッチを駆動します。このアプリケーションは、DC アプリケーション用のシングル パワー スイッチ、または AC アプリケーション用のデュアル バック ツー バック パワー スイッチ、および各種 SCR を駆動できます。TPSI3052A-Q1 の内蔵絶縁保護は、非常に堅牢で、従来の機械式リレーやフォトカプラに比べて高信頼性、低消費電力で、温度範囲が広がっています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPSI3052A-Q1	SOIC 8 ピン (DWZ)	7.50mm × 5.85mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPSI3052A-Q1 の概略回路図



目次

1 特長.....	1	8.2 機能ブロック図.....	13
2 アプリケーション.....	1	8.3 機能説明.....	13
3 説明.....	1	8.4 デバイスの機能モード.....	15
4 デバイスの比較.....	3	9 アプリケーションと実装.....	16
5 ピン構成および機能.....	4	9.1 使用上の注意.....	16
6 仕様.....	5	9.2 代表的なアプリケーション.....	16
6.1 絶対最大定格.....	5	9.3 電源に関する推奨事項.....	20
6.2 推奨動作条件.....	5	9.4 レイアウト.....	20
6.3 熱に関する情報.....	6	10 デバイスおよびドキュメントのサポート.....	24
6.4 電力定格.....	6	10.1 関連リンク.....	24
6.5 絶縁仕様.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	24
6.6 安全限界値.....	7	10.3 サポート・リソース.....	24
6.7 電気的特性.....	7	10.4 商標.....	24
6.8 スイッチング特性.....	9	10.5 静電気放電に関する注意事項.....	24
6.9 絶縁特性曲線.....	11	10.6 用語集.....	24
7 パラメータ測定情報.....	12	11 改訂履歴.....	24
8 詳細説明.....	13	12 メカニカル、パッケージ、および注文情報.....	24
8.1 概要.....	13		

4 デバイスの比較

表 4-1. デバイス比較表

バリエーション	説明
TPSI3052A3	3.3V 入力電圧
TPSI3052A5	5.0V 入力電圧

5 ピン構成および機能

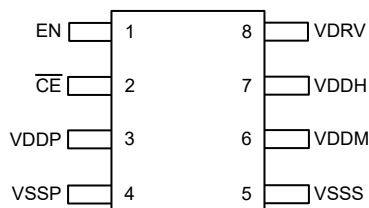


図 5-1. TPSI3052A-Q1、TPSI3052A-Q1 の 8 ピン SOIC 上面図

表 5-1. ピンの機能

ピン		I/O	タイプ ⁽¹⁾	説明
番号	名称			
1	EN	I	—	ドライバイネーブル、アクティブ High
2	CEbar	I	—	チップ イネーブル、アクティブ "Low"
3	VDDP	—	P	1 次側の電源
4	VSSP	—	GND	1 次側のグランド電源
5	VSSS	—	GND	2 次側のグランド電源
6	VDDM	—	P	中電圧の生成
7	VDDH	—	P	高電圧の生成
8	VDRV	O	—	アクティブ High ドライバ出力

(1) P = 電源、GND = グランド、NC = 未接続

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ ⁽¹⁾		最小値	最大値	単位
1 次側電源 ⁽²⁾	VDDP, EN, $\overline{\text{CE}}$	-0.3	6	V
2 次側電源 ⁽³⁾	VDRV	-0.3	20	V
	VDDH	-0.3	20	V
	VDDM	-0.3	6	V
	VDDH-VDDM	-0.3	14	V
接合部温度、 T_J	接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、VSSP を基準としたものです。
- (3) すべての電圧値は、VSSS を基準としたものです。

6.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDP	1 次側の電源電圧、A5 ⁽¹⁾	4.5		5.5	V
	1 次側の電源電圧、A3 ⁽¹⁾	3.0		3.6	V
EN	VDRV を有効化、A5 ⁽¹⁾	0		5.5	V
	VDRV を有効化、A3 ⁽¹⁾	0		3.6	V
$\overline{\text{CE}}$	チップ イネーブル、A5 ⁽¹⁾	0		5.5	V
	チップ イネーブル、A3 ⁽¹⁾	0		3.6	V
C_{VDDP}	VDDP および VSSP に対するデカップリングコンデンサ ⁽³⁾	1		20	μF
C_{DIV1} ⁽²⁾	VDDH と VDDM の間のデカップリング容量 ⁽³⁾	0.003		15	μF
C_{DIV2} ⁽²⁾	VDDM と VSSS の間のデカップリング容量 ⁽³⁾	0.1		40	μF
Q_{TOTAL}	VDRV によって駆動される総電荷量			2500	nC
I_{AUX}	VDDM から供給される補助電流。	0		8	mA
T_A	周囲動作温度範囲	-40		125	°C
T_J	動作時接合部温度	-40		150	°C

- (1) すべての電圧値は、VSSP を基準としたものです。
- (2) C_{DIV1} と C_{DIV2} は同じタイプおよび許容誤差にする必要があります。 C_{DIV2} の容量値は、 C_{DIV1} の容量値の少なくとも 3 倍以上にする必要があります。すなわち、 $C_{\text{DIV2}} \geq 3 \times C_{\text{DIV1}}$ です。
- (3) 容量値はすべて絶対値です。必要に応じてディレーティングを適用する必要があります。

6.3 熱に関する情報

熱評価基準 ^{(1) (2)}		デバイス	単位
		DWZ (SOIC)	
		8 ピン	
R _{ΘJA}	接合部から周囲への熱抵抗	89.3	°C/W
R _{ΘJC(top)}	接合部からケース (上面) への熱抵抗	40.3	°C/W
R _{ΘJB}	接合部から基板への熱抵抗	45.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	10.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	44.4	°C/W

- (1) 推定値のみ。
(2) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.4 電力定格

パラメータ	テスト条件	最小値	標準値	最大値	単位
P _D	最大消費電力、V _{DDP} 。 T _A = 25°C、V _{VDDP} = 5.0V、f _{EN} = 1kHz 矩形波、C _{VDRV} = 1nF			250	mW

6.5 絶縁仕様

パラメータ		テスト条件	値	単位
沿面距離と追跡				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	≥ 8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 120	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 600V 以下	I-IV	
		定格商用電源 V _{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (パイボアラ)	1697	V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)	1200	V _{RMS}
		DC 電圧	1697	V _{DC}
C _{IO}	絶縁バリア容量、入力から出力へ ⁽²⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	3	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽²⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

6.6 安全限界値

パラメータ ^{(1) (2)}		テスト条件	最小値	標準値	最大値	単位
I _S	安全入力、出力、または電源電流	R _{θJA} = 82.5°C/W、V _{VDDP} = 5.5V、T _J = 150°C、T _A = 25°C			275	mA
P _S	安全入力、出力、または合計電力	R _{θJA} = 82.5°C/W、T _J = 150°C、T _A = 25°C			1.52	W
T _S	最高安全温度				150	°C

- 安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。
- 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。[セクション 6.3](#) の表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

6.7 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C 時の標準値 C_{VDDP} = 1μF、C_{DIV1} = 47nF、C_{DIV2} = 220nF、C_{VDRV} = 1nF。CE プルダウン = 20kΩ

パラメータ		テスト条件	最小値	標準値	最大値	単位
コモン						
CMTI	同相過渡耐性 (静的)。	V _{CM} = 1000V、 V _{EN} = 0V または V _{EN} = 5V。	100			V/ns
TSD	熱シャットダウン	V _{VDDP} = 5V		173		°C
TSDH	熱シャットダウン ヒステリシス	V _{VDDP} = 5V		32		°C
電源						
I _{VDDP_STBY}	スタンバイ状態の VDDP 電流	V _{VDDP} = 5V、 EN = 0V、 CE = 0V。 平均電流を測定します。		20	45	μA
I _{VDDP_LOW_3V3}	定常状態での VDDP 平均電流	V _{VDDP} = EN = 3.3V、CE = 0V。 I _{VDDM} = I _{VDDH} = 0mA、25°C 定常状態での V _{VDDH} 、 I _{VDDP} を測定します。		7		mA
I _{VDDP_LOW_5V}	定常状態での VDDP 平均電流	V _{VDDP} = EN = 5V、CE = 0V。 I _{VDDM} = I _{VDDH} = 0mA、25°C 定常状態での V _{VDDH} 、 I _{VDDP} を測定します。		8.5		mA
I _{VDDP_HIGH_3V3}	定常状態での VDDP 平均電流	V _{VDDP} = EN = 3.3V、CE = 0V。 VDDM を VSSS に短絡、 I _{VDDP} を測定します。		32		mA
I _{VDDP_HIGH_5V}	定常状態での VDDP 平均電流	V _{VDDP} = 5V、EN = 5V、CE = 0V。 VDDM を VSSS に短絡、 I _{VDDP} を測定します。		43		mA
V _{VDDH}	VDDH 出力電圧	V _{VDDP} = 3.3V、5V EN = 3.3V、5V、CE = 0V	16	17	18	V
P _{OUT_VDDM}	VDDM への最大電力伝送	A3 デバイス V _{VDDP} = 3.3V、EN = 0V、CE = 0V。	未定	未定		mW
		A5 デバイス V _{VDDP} = 5V、EN = 0V、CE = 0V。	未定	未定		mW

6.7 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 1μF、C_{DIV1} = 47nF、C_{DIV2} = 220nF、C_{VDRV} = 1nF。CE プルダウン = 20kΩ

パラメータ		テスト条件	最小値	標準値	最大値	単位
P _{OUT_VDDH}	VDDH への最大電力伝送。	A3 デバイス V _{VDDP} = 3.3V、EN = 0V、CE = 0V。	未定	未定		mW
		A5 デバイス V _{VDDP} = 5V、EN = 0V、CE = 0V。	未定	未定		mW
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。	A5 の場合: V _{VDDP} = 5V、EN = 0V、定常状態。 ソース VDD から I _{AUX} = 5mA A3 の場合: V _{VDDP} = 3.3V、EN = 0V、定常状態。 ソース I _{AUX} = VDD からの 2.5mA V _{VDDM} を測定します。C _{DIV2} = 1μF	4.7		5.5	V
監視機能						
V _{VDDP_UV_R}	VDDP 低電圧スレッシュホールド立ち上がり	A3 デバイス	2.71	2.82	2.92	V
		A5 デバイス	3.9	4.1	4.35	V
V _{VDDP_UV_F}	VDDP 低電圧スレッシュホールド立ち下がり	A3 デバイス	2.67	2.76	2.87	V
		A5 デバイス	3.8	3.9	4.25	V
V _{VDDP_UV_HYS}	VDDP 低電圧スレッシュホールド ヒステリシス	A3 デバイス		110		mV
		A5 デバイス		150		mV
V _{VDDH_UV_R}	VDDH 低電圧スレッシュホールド立ち上がり	VDDH 立ち上がり。	11.9	13	14.2	V
V _{VDDH_UV_F}	VDDH 低電圧スレッシュホールド立ち下がり。	VDDH 立ち下がり。	9.6	10.4	11.5	V
V _{VDDH_UV_HYS}	VDDH 低電圧スレッシュホールド ヒステリシス。			2.8		V
V _{VDDM_UV_R}	VDDM 低電圧スレッシュホールド立ち上がり	VDDM 立ち上がり。	3.4	3.7	3.9	V
V _{VDDM_UV_F}	VDDM 低電圧スレッシュホールド立ち下がり。	VDDM 立ち下がり。	3.1	3.4	3.7	V
V _{VDDM_UV_HYS}	VDDM 低電圧スレッシュホールド ヒステリシス。			0.5		V
ドライバ						
V _{VDRV_H}	VDRV 出力電圧が High に駆動される	V _{VDDP} = 5V、EN = 5V。 V _{VDDH} は定常状態、	16	17	18	V
V _{VDRV_L}	VDRV 出力電圧が Low に駆動される	V _{VDDP} = 5V、EN = 0V、 V _{VDDH} は定常状態、 VDRV シンク 10mA。			0.1	V
I _{VDRV_PEAK}	立ち上がり時の VDRV ピーク出力電流	V _{VDDP} = 5V、 EN = 0V → 5V、定常状態で V _{VDDH} 、 ピーク電流を測定します。		1.5		A
	立ち下がり時の VDRV ピーク出力電流	V _{VDDP} = 5V、 EN = 5V → 0V、定常状態で V _{VDDH} 、 ピーク電流を測定します。		2.5		A

6.7 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 1μF、C_{DIV1} = 47nF、C_{DIV2} = 220nF、C_{VDRV} = 1nF。CE プルダウン = 20kΩ

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{DS(on)_VDRV}	Low 状態でのドライバのオン抵抗。	定常状態での V _{VDDH}	1.5			Ω
	High 状態でのドライバのオン抵抗。	定常状態での V _{VDDH}	3.5			Ω
V _{ACT_CLAMP}	アクティブクランプ電圧 (起動時)。	V _{VDDP} = 0V。 I _{VDRV} = 300mA をシンク。 VDRV を測定。	1.9	2.5		V
V _{IT_+(EN)}	EN での入力スレッショルド電圧立ち上がり。	A3 デバイス	1.4	1.6	1.9	V
V _{IT_-(EN)}	EN での入力スレッショルド電圧立ち下がり。		1.1	1.2	1.5	V
V _{IT_HYS(EN)}	EN での入力スレッショルド電圧ヒステリシス。		0.4			V
デジタル入出力						
V _{IT_+(EN)}	EN での入力スレッショルド電圧立ち上がり。	A5 デバイス	2.3	2.5	2.7	V
V _{IT_-(EN)}	EN での入力スレッショルド電圧立ち下がり。		1.7	1.9	2.0	V
V _{IT_HYS(EN)}	EN での入力スレッショルド電圧ヒステリシス。		0.5			V
V _{IT_+(CE)}	CE での入力スレッショルド電圧立ち上がり。	A3 デバイス	1.4	1.6	1.9	V
V _{IT_-(CE)}	CE での入力スレッショルド電圧立ち上がり。		1.1	1.2	1.4	V
V _{IT_HYS(CE)}	CE での入力スレッショルド電圧ヒステリシス。		0.4			V
V _{IT_+(CE)}	CE での入力スレッショルド電圧立ち上がり。	A5 デバイス	2.3	2.5	2.7	V
V _{IT_-(CE)}	CE での入力スレッショルド電圧立ち下がり。		1.7	1.9	2.0	V
V _{IT_HYS(CE)}	CE での入力スレッショルド電圧ヒステリシス。		0.5			V
R _{EN_PULLDOWN}	EN に内部抵抗プルダウン。	V _{VDDP} = 5V	340	500	670	kΩ
R _{CE_PULLDOWN}	CE に内部抵抗プルダウン。	V _{VDDP} = 5V	340	500	670	kΩ

6.8 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 1μF、C_{DIV1} = 47nF、C_{DIV2} = 220nF、C_{VDRV} = 1nF。CE から VSSP へ 20kΩ プルダウン

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源とドライバ						
t _{LO_CE}	CE の Low 時間。	V _{VDDH} 、V _{VDDM} = 定常状態。	5			μs
t _{LO_EN}	EN の Low 時間。	V _{VDDH} 、V _{VDDM} = 定常状態。	5			μs
t _{HI_EN}	EN の High 時間。	V _{VDDH} 、V _{VDDM} = 定常状態。	5			μs
t _{PER_EN}	EN の周期。	V _{VDDH} 、V _{VDDM} = 定常状態。	10			μs
t _{LH_VDDH}	VDDP 立ち上がりから VDDH への 50% レベルでの伝搬遅延時間。	EN = 0V、 V _{VDDP} = 0V → 5V (1V/μs 時)、 V _{VDDH} = 7.5V。		120		μs

6.8 スイッチング特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 1μF、C_{DIV1} = 47nF、C_{DIV2} = 220nF、C_{VDRV} = 1nF。CE から VSSP へ 20kΩ プルダウン

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{LH_VDRV}	EN 立ち上がりから VDRV への 90% レベルでの伝搬遅延時間	V _{VDDP} = 5V、 V _{VDDH} 、V _{VDDM} = 定常状態、 EN = 0V → 5V、 V _{VDRV} = 13.5V。		3	4.5	μs
t _{HL_VDRV}	EN 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間	V _{VDDP} = 5V、 V _{VDDH} 、V _{VDDM} = 定常状態、 EN = 5V → 0V、 V _{VDRV} = 1.5V。		2.5	3.0	μs
t _{HL_VDRV_PD}	VDDP 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間。一次電源の電源喪失によるタイムアウトメカニズム。	EN = 5V、 V _{VDDP} = 5V → 0V (-1V/μs 時)、 V _{VDRV} = 1.5V。		140	210	μs
t _{LH_VDRV_CE_33V}	CE 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間	V _{VDDP} = EN = 3.3V、 V _{VDDH} および V _{VDDM} は完全に放電。 V _{VDRV} = 1.5V。 CE 3.3V → 0V		275		μs
t _{LH_VDRV_CE_5V}	CE 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間	V _{VDDP} = EN = 5V、 V _{VDDH} および V _{VDDM} は完全に放電。 V _{VDRV} = 1.5V。 CE 5V → 0V		200		μs
t _{HL_VDRV_CE}	CE 立ち上がりから VDRV への 10% レベルでの伝搬遅延時間	V _{VDDP} = 5V、 V _{VDDH} 、V _{VDDM} = 定常状態、 EN = 5V、 CE = 0V → 5V、 V _{VDRV} = 1.5V。		2.5	3	μs
t _{R_VDRV}	EN 立ち上がりから VDRV への 15% ~85% レベルでの VDRV 立ち上がり時間	V _{VDDP} = 5V、 V _{VDDH} 、V _{VDDM} = 定常状態、 EN = 0V → 5V、 V _{VDRV} = 2.25V~12.75V。		15		ns
t _{F_VDRV}	EN 立ち下がりから VDRV への 85% ~15% レベルでの VDRV 立ち下がり時間	V _{VDDP} = xV、 V _{VDDH} 、V _{VDDM} = 定常状態、 EN = xV → 0V、 V _{VDRV} = 12.75V~2.25V。		10		ns

6.9 絶縁特性曲線

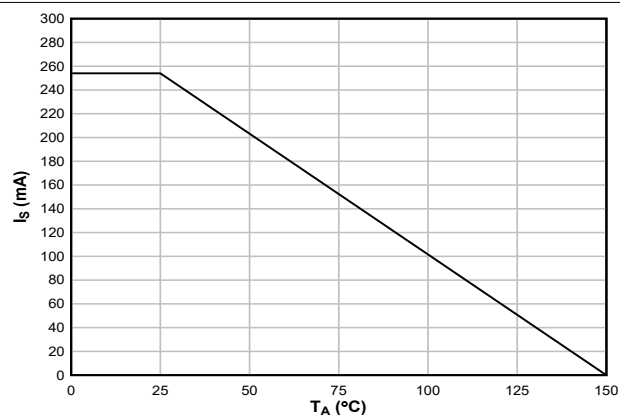


図 6-1. 3 線式モードの VDE および IEC に従う制限電流の熱特性低下曲線

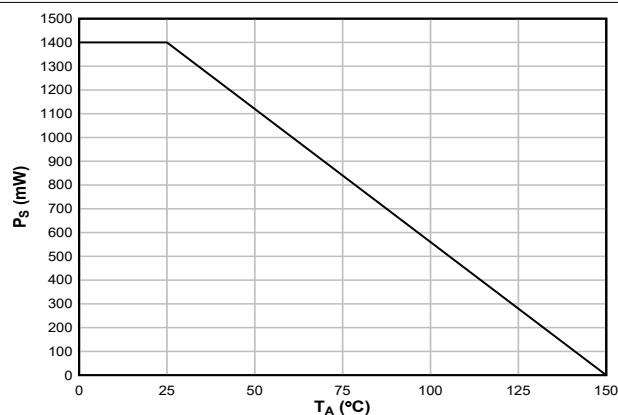


図 6-2. VDE および IEC に従う制限電力の熱ディレーティング曲線

ADVANCE INFORMATION



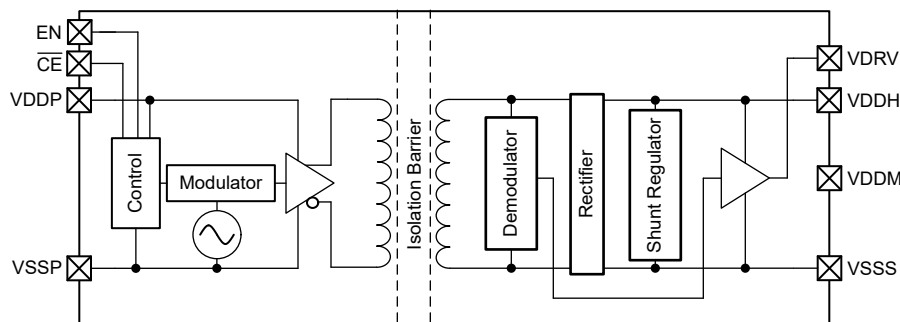
8 詳細説明

8.1 概要

TPSI3052A-Q1 は、統合型の強化絶縁パワー スイッチ ドライバで、外部パワー スイッチと組み合わせることにより、完全な絶縁型ソリッド ステートリレー (SSR) を形成します。公称ゲート駆動電圧 17V で、1.5/3.0A ピークのソースおよびシンク電流という性能を備えているので、さまざまな外部パワー スイッチを選択して、幅広いアプリケーションに対応できます。TPSI3052A-Q1 は、1 次側から供給された電源によって独自の 2 次電源を生成するので、絶縁型の 2 次側バイアス電源は不要です。

機能ブロック図は、1 次側にトランスミッタが含まれており、チップがイネーブルの場合、その送信回路が内蔵トランスの 1 次巻線に交流電流を印加することを示しています。トランスミッタは高周波で動作し、トランスをピーク効率まで最適に駆動します。さらに、トランスミッタは複数の技術を使用して TPSI3052-Q1 の EMI 性能を大幅に向上させ、多くのアプリケーションで CISPR 25 Class 5 を達成できます。送信中、データ情報は電力と並行して 2 次側に転送されます。2 次側では、トランスの 2 次側巻線に誘導された電圧が整流され、シャントレギュレータが VDDH の出力電圧レベルを調整します。最後に、復調器は受信したデータ情報をデコードし、EN ピンのロジック状態に基づいて VDRV を High または Low に駆動します。

8.2 機能ブロック図



8.3 機能説明

8.3.1 イネーブル状態の送信

TPSI3052A-Q1 は、変調方式を使用して、絶縁バリアを超えてスイッチのイネーブル状態情報を送信します。トランスミッタは、内部で生成される高周波キャリア (標準値 89MHz) を使用して EN 信号を変調し、絶縁トランスの 1 次巻線を差動で駆動します。2 次側のレシーバは、受信した信号を復調し、受信したデータに基づいて VDRV を High または Low にアサートします。

8.3.2 電力伝送

TPSI3052A-Q1 は、電源に外部絶縁型電源を使用していません。2 次側の電力は、絶縁トランスを介して 1 次側の入力電力を伝送することで得られます。変調方式は、複数の技術を使用して EMI 性能を向上させ、アプリケーションが CISPR 25 Class 5 規格に適合できるようにします。これらの手法には、スペクトラム拡散、高精度スイッチング、自動電力伝送レベル、CISPR 25 規格用に最適化された 65MHz の中心周波数などが含まれます。

8.3.3 ゲートドライバ

TPSI3052A-Q1 のゲートドライバは、公称 17V のゲート電圧で、多くのパワー トランジスタやシリコン制御整流器 (SCR) の駆動に十分なピーク ソース / シンク電流 1.5/2.5A を供給します。外部パワー トランジスタを駆動する際は、VDDH から VDDM および VDDM から VSSS に、等価ゲート容量の 20 倍のバイパス コンデンサ ($C_{DIV2} = 3 * C_{DIV1}$) を使用することを推奨します。

ゲートドライバには、アクティブ クランプのキープオフ回路も含まれます。この機能は、2 次電源レールで電力が失われる場合 (VDDP 電源の電力損失により電力伝送が停止するなど) に、ドライバ出力 VDRV を Low に維持するのに役立ちます。電力が失われた場合、アクティブ クランプのキープオフ回路により、VDRV の電圧が VSSS を基準とした 2V 未満にクランプされます。

8.3.4 VDDP、VDDH、VDDM 低電圧誤動作防止 (UVLO)

TPSI3052A-Q1 は、入力および出力両方の電源、VDDP、VDDH、VDDM の内部 UVLO 保護機能を実装しています。VDDP が UVLO スレッシュホールド電圧を下回ると、電源は VDDM および VDDH レールへの転送を停止します。時間の経過とともに、VDDH および VDDM レールが放電を開始します。VDDP で十分な電荷が得られる場合、デバイスは VDRV を Low にアサートするように信号伝達を試行します。VDDP で十分な電荷が得られない場合、タイムアウト メカニズムにより、タイムアウトに達した後に VDRV が Low にアサートします。VDDH または VDDM のいずれかがそれぞれの UVLO スレッシュホールドを下回ると、EN の状態に関係なく VDRV が Low にアサートします。UVLO 保護ブロックはヒステリシスを備えており、電源のノイズ耐性向上に役立ちます。ターンオンおよびターンオフ中に、ドライバはピーク過渡電流をソースおよびシンクします。これにより、VDDH、VDDM 電源の電圧降下が発生する可能性があります。内部の UVLO 保護ブロックは、これらの通常のスイッチング過渡中、関連するノイズを無視します。

8.3.5 電源、CE、および EN のシーケンシング

TPSI3052A-Q1 は、アクティブ "Low" チップ イネーブルである CE を備えています。CE が Low にアサートされ、VDDP が存在する場合、デバイスはアクティブモード動作に移行し、1 次側から 2 次側に電力が伝送されます。VDDP が存在する間に CE が High にアサートされると、デバイスはスタンバイに移行し、1 次側から 2 次側に電力が供給されることはなく、VDRV は Low にアサートされます。時間の経過とともに、VDDH および VDDM は、これらのレールに存在する負荷の量に応じて完全に放電されます。

パワーアップ時、DC/DC コンバータは最初は無効化されます。VDDP が $V_{VDDP_UV_R}$ に達し、CE が以下のように決定されると、DC/DC コンバータがイネーブルになり、最大定格で電力を伝送して、VDDM と VDDH を迅速に充電します。この短い期間では、電流 VDDP は I_{VDDP_High} です。

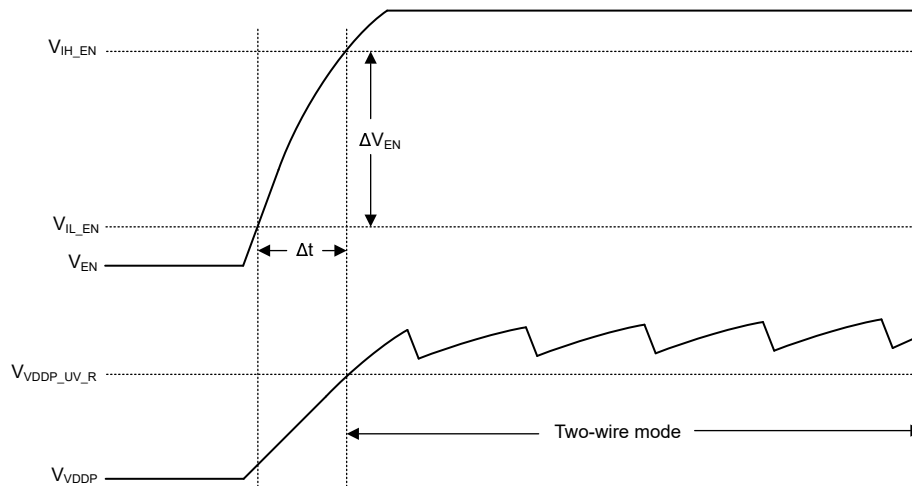


図 8-1. シーケンシング

ほとんどのアプリケーションでは、同じ電圧のレールとソースが EN と VDDP に電力を供給します。 V_{VDDP} が $V_{VDDP_UV_R}$ に達するまで、 V_{EN} を V_{IL_EN} よりも低く維持することを推奨します。アプリケーションによっては、EN を VDDP 電源に直接接続することも可能です。図 8-1 に、ハードウェア設定を示します。

8.3.6 サーマル シャットダウン

本デバイスは、ローカル温度を監視するための温度センサを内蔵しています。センサがスレッシュホールドに達すると、1 次側から 2 次側への電力伝送は自動的に停止します。さらに、VDDP に電源が引き続き存在する場合、ドライバは自動的に Low にアサートされます。電力伝送は、ローカル温度が再び作動できるほど低下するまで無効になります。

8.4 デバイスの機能モード

表 8-1 に、TPSI3052A-Q1 と TPSI3052A-Q1 の機能モードを示します。

表 8-1. TPSI3052A-Q1、TPSI3052A-Q1 デバイスの機能モード

VDDP ⁽¹⁾	VDDH	EN ⁽¹⁾	nCE ⁽¹⁾	VDRV	コメント
パワーアップ ⁽²⁾	パワーアップ ⁽³⁾	L	L	L	TPSI3052A-Q1 通常動作: VDRV 出力状態は、EN のロジック状態と見なされます。
		H	L	H	
		L	L	L	TPSI3052A-Q1 通常動作 (3 線式モードのみ): EN の立ち上がりエッジにより、VDRV は単独で High にパルスされます。別のパルスのアサートするには、最初に EN を Low にアサートする必要があります。
		L → H	L	L → H → L	
パワーアップ ⁽²⁾	X	X	H	L	無効な動作: VDRV 出力はディスエーブル、VDDH への電力伝送なし、回路の印加はオフのままです。
パワーダウン ⁽⁴⁾	パワーダウン ⁽⁵⁾	X ⁽⁶⁾	X	L	無効な動作: VDRV 出力をディスエーブル、キープオフ回路を適用します。
パワーアップ ⁽²⁾	パワーダウン ⁽⁵⁾	X ⁽⁶⁾	X	L	無効な動作: VDRV 出力をディスエーブル、キープオフ回路を適用します。
パワーダウン ⁽⁴⁾	パワーアップ ⁽³⁾	X ⁽⁶⁾	X	L	無効な動作: VDDP 電源オフの際、タイムアウト後に出力ドライバは自動的にディスエーブルされ、キープオフ回路を適用します。

- (1) 詳細については、電源、CE、および EN のシーケンシングを参照してください。
(2) $V_{VDDP} \geq VDDP$ 低電圧誤動作防止立ち上がりスレッシュホールド、 $V_{VDDP_UV_R}$ 。
(3) $V_{VDDH} \geq VDDH$ 低電圧誤動作防止立ち上がりスレッシュホールド、 $V_{VDDH_UV_R}$ 。
(4) $V_{VDDP} < VDDP$ 低電圧誤動作防止立ち下がりスレッシュホールド、 $V_{VDDP_UV_F}$ 。
(5) $V_{VDDH} < VDDH$ 低電圧誤動作防止立ち下がりスレッシュホールド、 $V_{VDDH_UV_F}$ 。
(6) X: 任意。

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPSI3052A-Q1 は、統合型の絶縁スイッチ ドライバ (統合バイアスあり) で、外部パワー スイッチと組み合わせることにより、完全な絶縁型ソリッド ステート リレー ソリューションを形成します。公称ゲート駆動電圧 17V で、1.5/3.0A ピークのソースおよびシンク電流を備えており、MOSFET、IGBT、SCR など、さまざまな外部パワー スイッチを選択して、幅広いアプリケーションに対応できます。TPSI3052A-Q1 は、1 次側から供給された電源によって独自の 2 次バイアス電源を生成するので、絶縁型の 2 次側電源バイアスは不要です。

2 次側は、17V の安定化されたフローティング電源レールを提供し、2 次側バイアス電源を必要とせずに各種パワー スイッチを駆動します。TPSI3052A-Q1 は、さまざまな AC または DC アプリケーション向けに、シングル パワー スイッチ、デュアル バックツウバック、パラレル パワー スイッチの駆動をサポートしています。TPSI3052A-Q1 の統合絶縁保護は非常に堅牢で、従来の機械式リレーやフォトカプラに比べて高信頼性、低消費電力で、温度範囲が広がっています。

9.2 代表的なアプリケーション

図 9-1 の回路は、シリコン ベースの MOSFET を 3 線式モードで駆動するための代表的なアプリケーションを示しています。

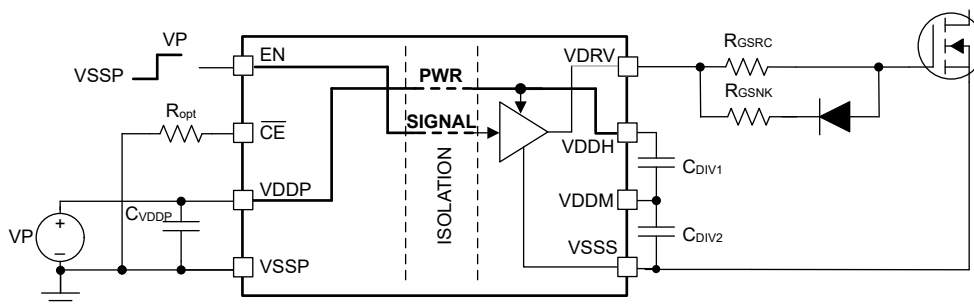


図 9-1. TPSI3052A-Q1 3 線式モード駆動 MOSFET

9.2.1 設計要件

表 9-1 に、TPSI3052A-Q1 ゲートドライバの設計要件を示します。

表 9-1. TPSI3052A-Q1 設計要件

設計パラメータ	
合計ゲート容量	100nC
FET ターンオン時間	1μs
伝搬遅延	4μs 未満
スイッチング周波数	10kHz
電源電圧 (VDDP)	5V ± 5%

9.2.2 詳細な設計手順

9.2.2.1 C_{DIV1}、C_{DIV2} 容量

必要な C_{DIV1} および C_{DIV2} 容量は、外部負荷のスイッチング中に VDDH レールで許容される降下の大きさによって異なります。C_{DIV1} および C_{DIV2} 容量に蓄積された電荷は、スイッチング中に電流を負荷に供給します。スイッチング中に充電共有が発生し、VDDH の電圧が低下します。C_{DIV1} と C_{DIV2} の直列の組み合わせにより形成される合計容量は、スイッチする合計ゲート容量の少なくとも 30 倍にすることを推奨します。このサイズにより、VDRV 信号への電力供給に使用する VDDH 電源レールが約 0.5V 降下します。式 1 と 式 2 を使用して、指定の電圧降下に必要な容量の大きさを計算します。

C_{DIV1} と C_{DIV2} は同じタイプおよび許容誤差である必要があります。

$$C_{DIV1} = \left(\frac{n+1}{n} \right) \times \frac{Q_{LOAD}}{\Delta V}, n \geq 3.0 \quad (1)$$

$$C_{DIV2} = n \times C_{DIV1}, n \geq 3.0 \quad (2)$$

ここで、

- n は 3.0 以上の実数です。
- C_{DIV1} は VDDH から VDDM への外部容量です。
- C_{DIV2} は VDDM から VSSS への外部容量です。
- Q_{LOAD} は VDRV から VSSS への負荷の総電荷量です。
- ΔV は、負荷のスイッチング時の VDDH での電圧降下です。

注

C_{DIV1} と C_{DIV2} は絶対容量を表し、許容誤差と要求される必要な容量を達成するために必要なディレーティングに応じて、選択した部品を調整する必要があります。

アプリケーションでは ΔV の値をより大きな値にすることもできますが、過度なドループにより、VDDH 低電圧誤動作防止立ち下がリスレッシュホールド (V_{VDDH_UVLO_F}) に到達し、VDRV が Low にアサートされる可能性があります。C_{DIV1} および C_{DIV2} 容量の直列の組み合わせが Q_{LOAD} に対して増加すると、VDDH 電源電圧は低下しますが、電源投入時には VDDH 電源電圧の初期充電が増加することに注意してください。

この設計では、n = 3 かつ ΔV ≅ 0.5V と仮定すると、次のようになります。

$$C_{DIV1} = \left(\frac{3+1}{3} \right) \times \frac{120 \text{ nC}}{0.5 \text{ V}} = 320 \text{ nF} \quad (3)$$

$$C_{DIV2} = 3 \times 320 \text{ nF} = 960 \text{ nF} \quad (4)$$

この設計では、C_{DIV1} = 330nF、C_{DIV2} = 1μF の標準コンデンサの値選が択されました。

9.2.2.2 C_{VDDP} 容量

この設計では、設計要件を満たすために 3 線式モードが必要です。3 線式モードでは、容量 C_{VDDP} を増加させると、VDDP 電源のリップルが改善されます。この設計では、1μF を 100nF と並列に使用しています。

9.2.2.3 ゲートドライバの出力抵抗

オプションの外部ゲートドライバ抵抗 R_{GSRC} および R_{GSKN} は以下の目的に使われます。

1. 寄生インダクタンスおよび容量に起因するリンギングの制限
2. 高電圧スイッチングの dv/dt、大電流スイッチングの di/dt、ボディダイオードの逆方向回復に起因するリンギングの制限
3. ソースおよびシンクのゲート駆動強度の微調整
4. 電磁干渉 (EMI) の低減

TPSI3052A-Q1 はプルアップ構造を採用しており、ピーク ソース電流 1.5A の P チャネル MOSFET となっています。したがって、ピーク ソース電流は次の式で予測できます。

$$I_{O+} \cong \min\left(1.5A, \frac{V_{DDH}}{R_{DS(on)} + R_{GSR} + R_{GFET_INT}}\right) \quad (5)$$

ここで、

- R_{GSR} : 外部ターンオン抵抗
- $R_{DS(on)}$: TPSI3052A-Q1 ドライバのオン抵抗 (High 状態) 電気的特性を参照してください。
- V_{DDH} : VDDH 電圧。この例では、15.1V と想定しています。
- R_{GFET_INT} : パワー トランジスタのデータシートに記載されている外部パワー トランジスタの内部ゲート抵抗。この例では 0Ω と想定しています。
- I_{O+} : ピーク ソース電流。1.5A (ゲートドライバのピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、 $R_{DS(on)} = 2.5\Omega$ 、 $R_{GSR} = 10\Omega$ 、 $R_{GFET_INT} = 0\Omega$ の結果が次のようになります。

$$I_{O+} \cong \min\left(1.5A, \frac{15.1V}{2.5\Omega + 10\Omega + 0\Omega}\right) = 1.21A \quad (6)$$

同様に、TPSI3052A-Q1 はプルダウン構造を採用しており、ピーク シンク電流 3.0A の N チャネル MOSFET となっています。したがって、 $R_{GFET_INT} = 0\Omega$ と仮定すると、ピーク シンク電流は次の式で予測できます。

$$I_{O-} \cong \min\left[3.0A, \frac{(V_{DDH} \times (R_{GSR} + R_{GSN}) - R_{GSR} \times V_F) \times 1}{R_{GSR} \times R_{GSN} + R_{DS(on)} \times (R_{GSR} + R_{GSN})}\right] \quad (7)$$

ここで、

- R_{GSR} : 外部ターンオン抵抗
- R_{GSN} : 外部ターンオフ抵抗
- $R_{DS(on)}$: TPSI3052A-Q1 ドライバのオン抵抗 (Low 状態) 電気的特性を参照してください。
- V_{DDH} : VDDH 電圧。この例では、15.1V と想定しています。
- V_F : ダイオードの順方向電圧降下。この例では 0.7V と想定しています。
- I_{O-} : ピーク シンク電流。3.0A (ゲートドライバのピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、 $R_{DS(on)} = 1.7\Omega$ 、 $R_{GSR} = 10\Omega$ 、 $R_{GSN} = 5.0\Omega$ 、 $R_{GFET_INT} = 0\Omega$ と仮定すると、以下のようになります。

$$I_{O-} \cong \min\left[3.0A, \frac{(15.1V \times (10\Omega + 5\Omega) - 10\Omega \times 0.7V) \times 1}{10\Omega \times 5\Omega + 1.7\Omega \times (10\Omega + 5\Omega)}\right] = 2.91A \quad (8)$$

推定ピーク電流は PCB レイアウトと負荷容量によっても影響されることに注意します。ゲートドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅らせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲートドライバのループを最小化することを強く推奨します。

9.2.2.4 起動時間と復帰時間

セクション 9.2.2.1 で説明されているように、完全に放電された VDDH レールの起動時間は、VDDH 電源に存在する容量に依存します。この容量が充電される速度は、1 次側から 2 次側に伝送される電力の量に依存します。2 次電源 (VDDH) に伝送される電力の量は自動的に調整されます。デバイスが最初に起動すると、最大電力を供給し、VDDH および VDDM 電圧が公称レベルに達すると低下し、全体の起動および復帰時間を最小化します。

9.2.2.5 補助電流の供給、VDDM からの I_{AUX}

TPSI3052A-Q1 は、図 9-2 に示すように、VDDM から電力を供給して外部補助回路をサポートできます。この場合、必要な伝送電力に、VDDM レール上の補助回路によって消費される追加の電力を含める必要があります。従来のデバイスとは異なり、電力伝送は自動的にレギュレートされ、 R_{PXFR} は不要です。

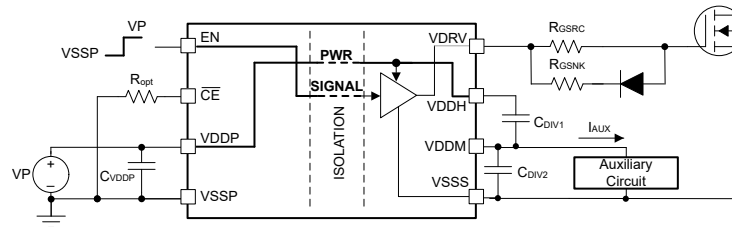


図 9-2. VDDM からの補助電源の供給

9.2.2.6 VDDM リップル電圧

VDDM から電力を供給する場合、つまり $I_{AUX} > 0mA$ のとき、VDDM レールに追加の電圧リップルが存在することに注意してください。このリップルは、VDDM から VSSS への追加の容量を印加することで低減できます。

9.2.3 アプリケーション曲線

9.2.4 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テストの構成については、図 9-3 を参照してください。この絶縁破壊データは、さまざまな高電圧について 60Hz の過熱でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 87.5% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、37.5 年の最小絶縁寿命が必要であることになります。

図 9-4 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は $1000V_{RMS}$ 、寿命は 1184 年です。

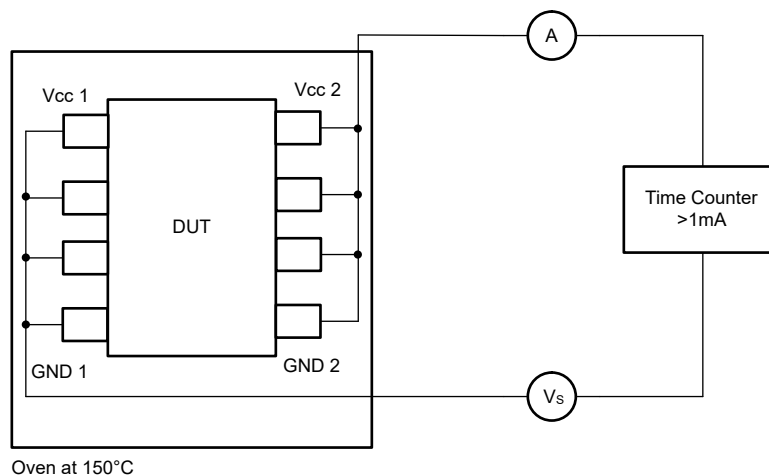


図 9-3. 絶縁寿命測定用のテスト構成

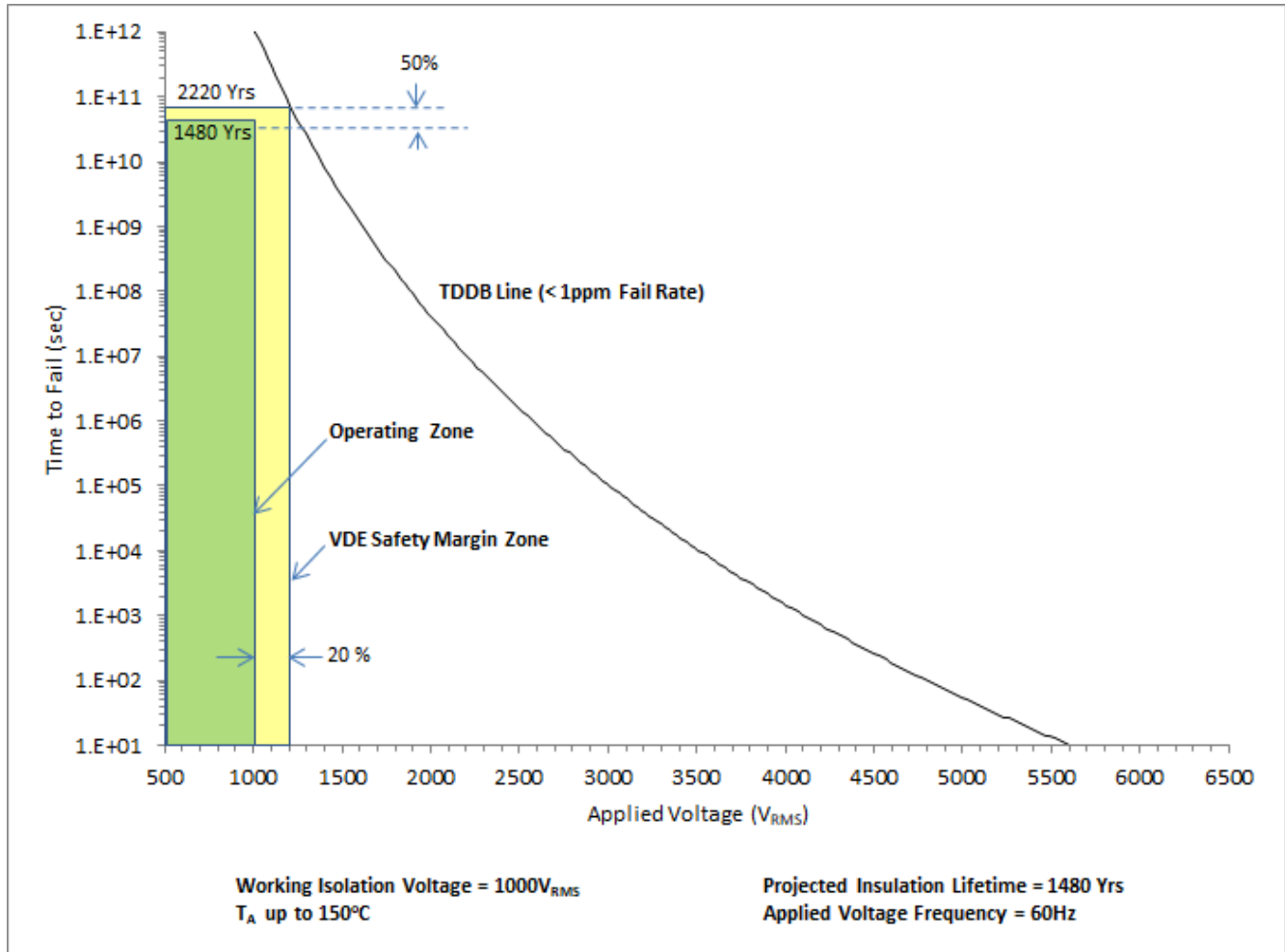


図 9-4. 絶縁寿命予測データ

9.3 電源に関する推奨事項

信頼性の高い電源電圧を確立するため、VDDP から VSSP までの C_{VDDP} 容量を、高周波デカップリング用の $0.1\mu\text{F}$ バイパス コンデンサと、低周波数デカップリング用の $1\mu\text{F}$ バイパス コンデンサの並列配置で構成することをお勧めします。低 ESR かつ低 ESL のコンデンサを、VDDP ピンと VSSP ピンの間に、本デバイスに近接して接続します。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

設計者が TPSI3052A-Q1 のピーク性能を引き出すには、PCB レイアウトに細心の注意を払う必要があります。主なガイドラインは次のとおりです。

- 部品の配置:
 - PCB パターン上のゲート ループの寄生インダクタンスが減少するように、ドライバはパワー半導体のできるだけ近くに配置します。
 - 外付けパワー トランジスタをターンオンさせる際のノイズをバイパスし、大きなピーク電流に対応するため、VDDH ピンと VDDM ピンの間と VDDM ピンと VSSS ピンの間に低 ESR かつ低 ESL のコンデンサを本デバイスに近接して接続します。
 - 低 ESR かつ低 ESL のコンデンサを、VDDP ピンと VSSP ピンの間に、本デバイスに近接して接続します。
- 接地に関する注意事項:

- トランジスタのゲートを充放電する大きいピーク電流が流れる領域を、最小の物理面積に制限します。これによりループのインダクタンスの減少が制限され、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲートドライバをトランジスタのできるだけ近くに配置します。
- ドライバ **VSSS** は、MOSFET ソースまたは IGBT エミッタのケルビン接続に接続します。電源デバイスに分割ケルビン ソースまたはエミッタがない場合は、**VSSS** ピンを電源デバイス パッケージのソースまたはエミッタ端子にできる限り近接して接続し、ゲートループを大電力スイッチング ループと分離します。
- 高電圧に関する注意事項:
 - 1 次側と 2 次側の間の絶縁性能を確立するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトや溝を使用することを推奨します。
- 熱に関する検討事項:
 - 適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
 - システムに複数の層がある場合は、**VDDH** ピンおよび **VSSS** ピンを、適切なサイズの複数のビアを経由して内部のグラウンドまたは電源プレーンに接続することも推奨します。熱伝導率を最大化するため、これらのビアを IC ピンの近くに配置します。ただし、異なる高電圧プレーンからのパターンや銅箔が重ならないように注意してください。

9.4.2 レイアウト例

PCB レイアウトの例を、図 9-5 に示します。この図では、信号と主要なコンポーネントにラベル付けされています。

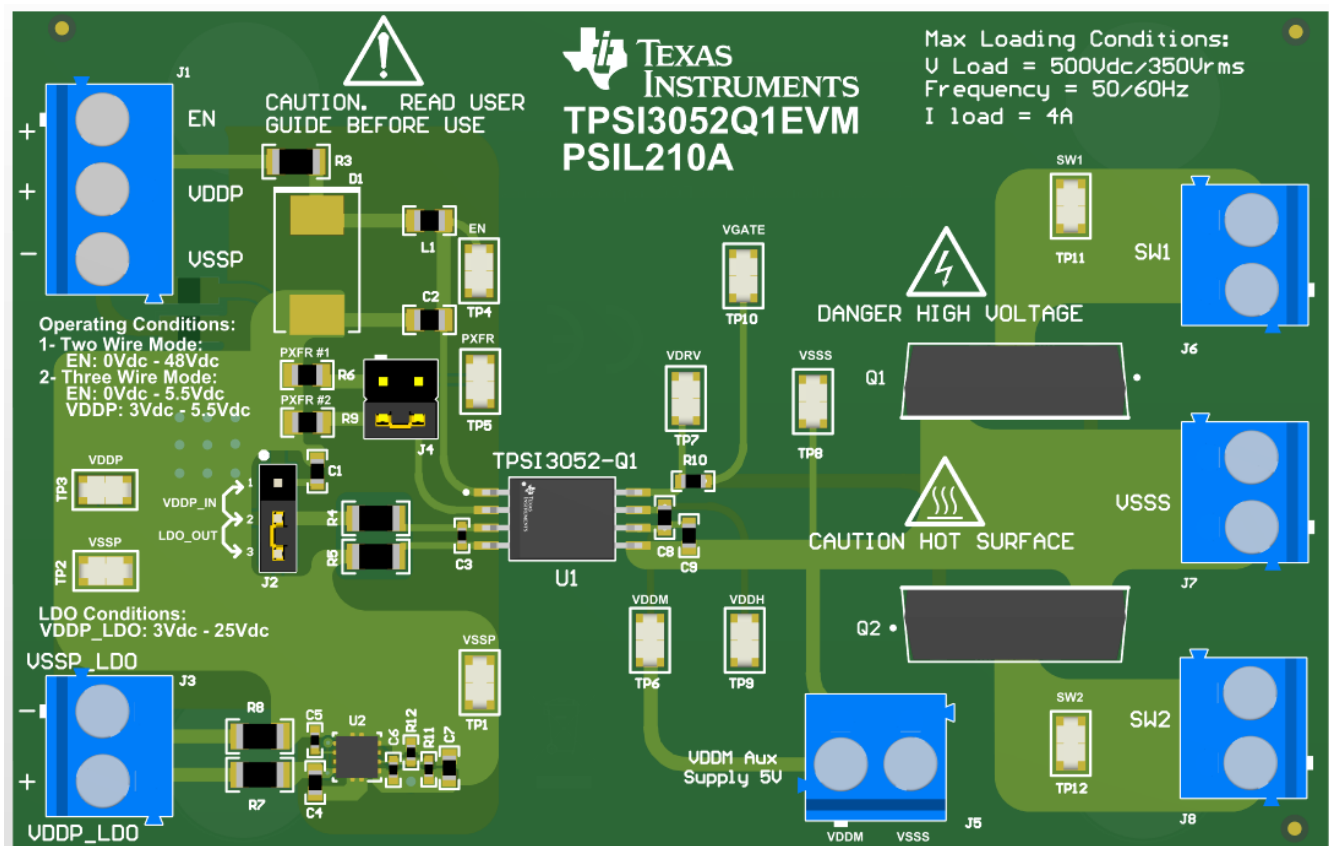


図 9-5. PCB の 3D 図

図 9-6 と図 9-7 に上層と下層のパターンと銅箔を示します。

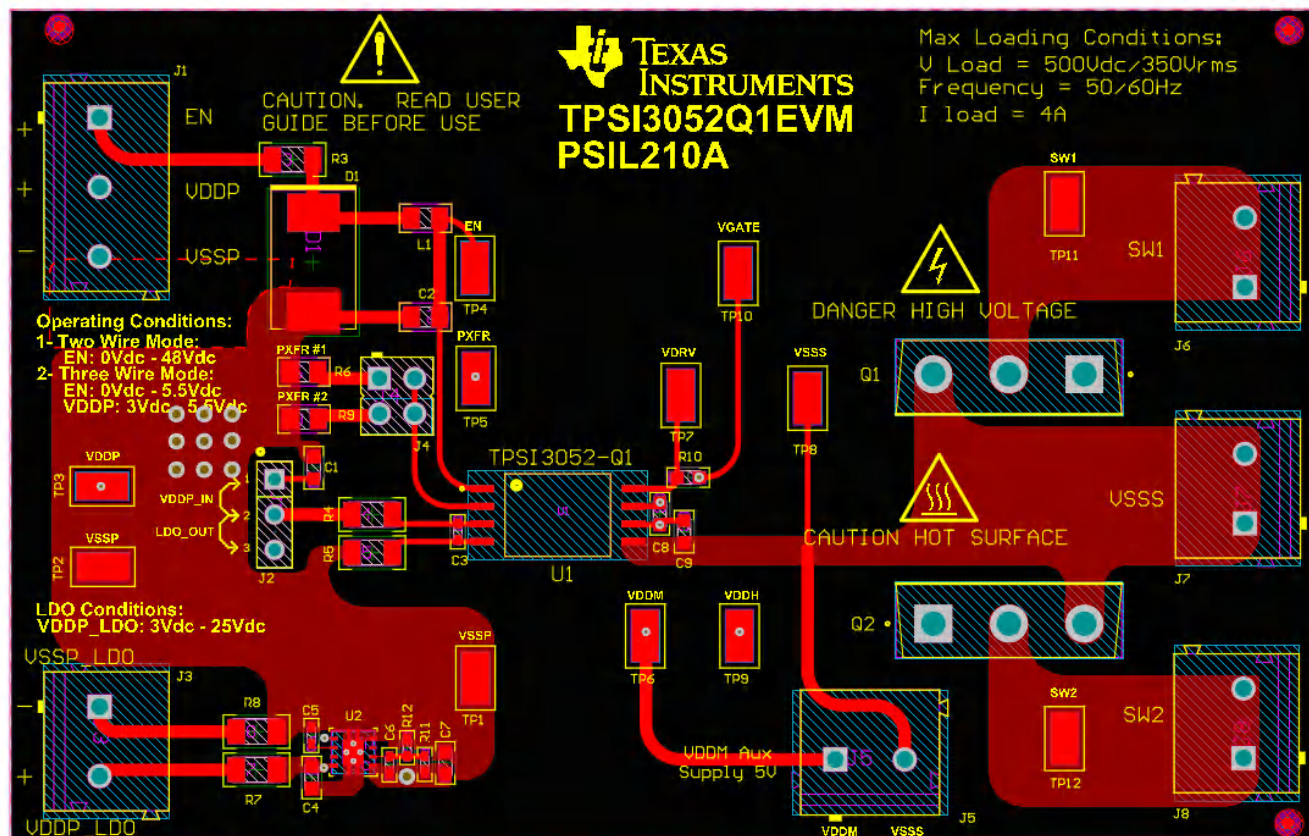


図 9-6. 上層

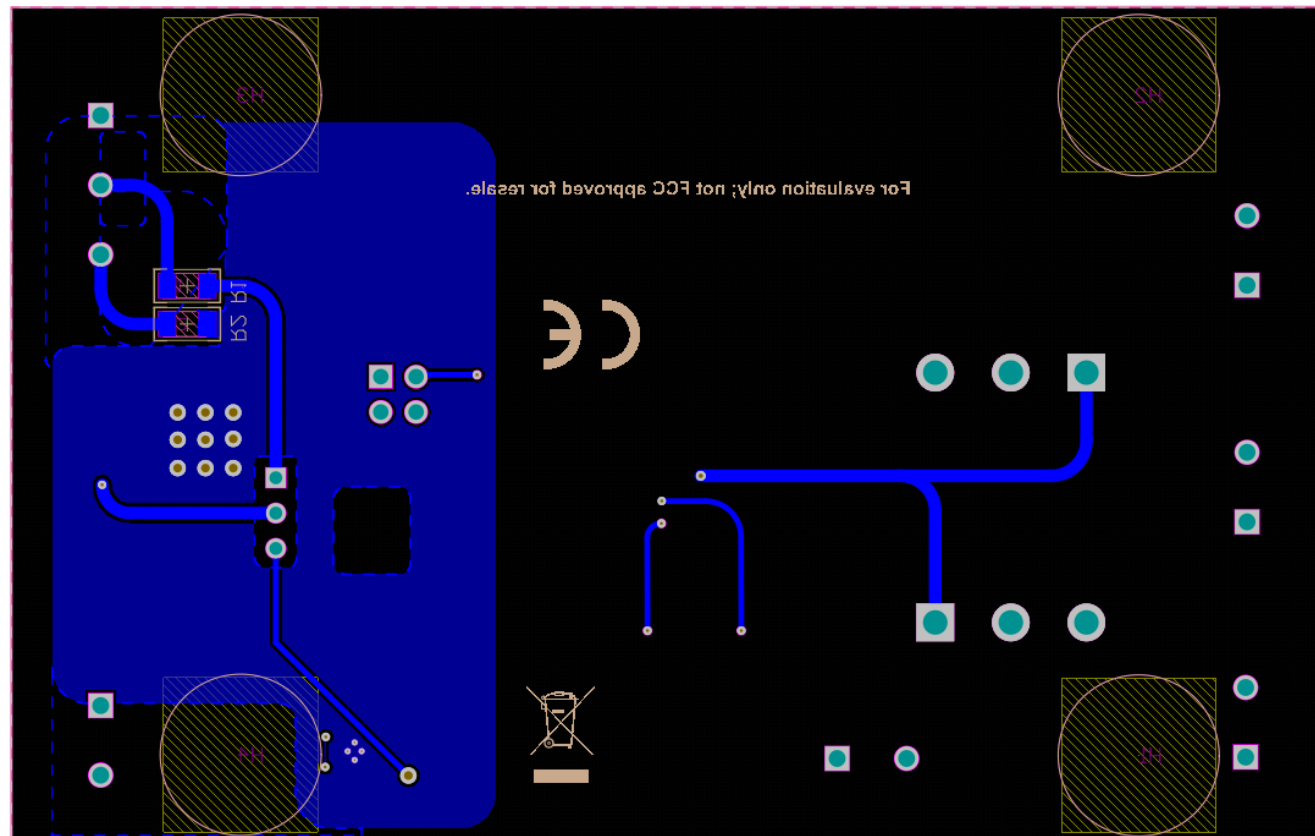


図 9-7. 下層

ADVANCE INFORMATION

10 デバイスおよびドキュメントのサポート

10.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートとコミュニティ リソース、ツールとソフトウェア、およびご注文へのクイック アクセスが含まれます。

表 10-1. 関連リンク

製品	プロダクト フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
TPSI3052A-Q1	ここをクリック	ここをクリック	ここをクリック	ここをクリック	ここをクリック
TPSI3052A-Q1	ここをクリック	ここをクリック	ここをクリック	ここをクリック	ここをクリック

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

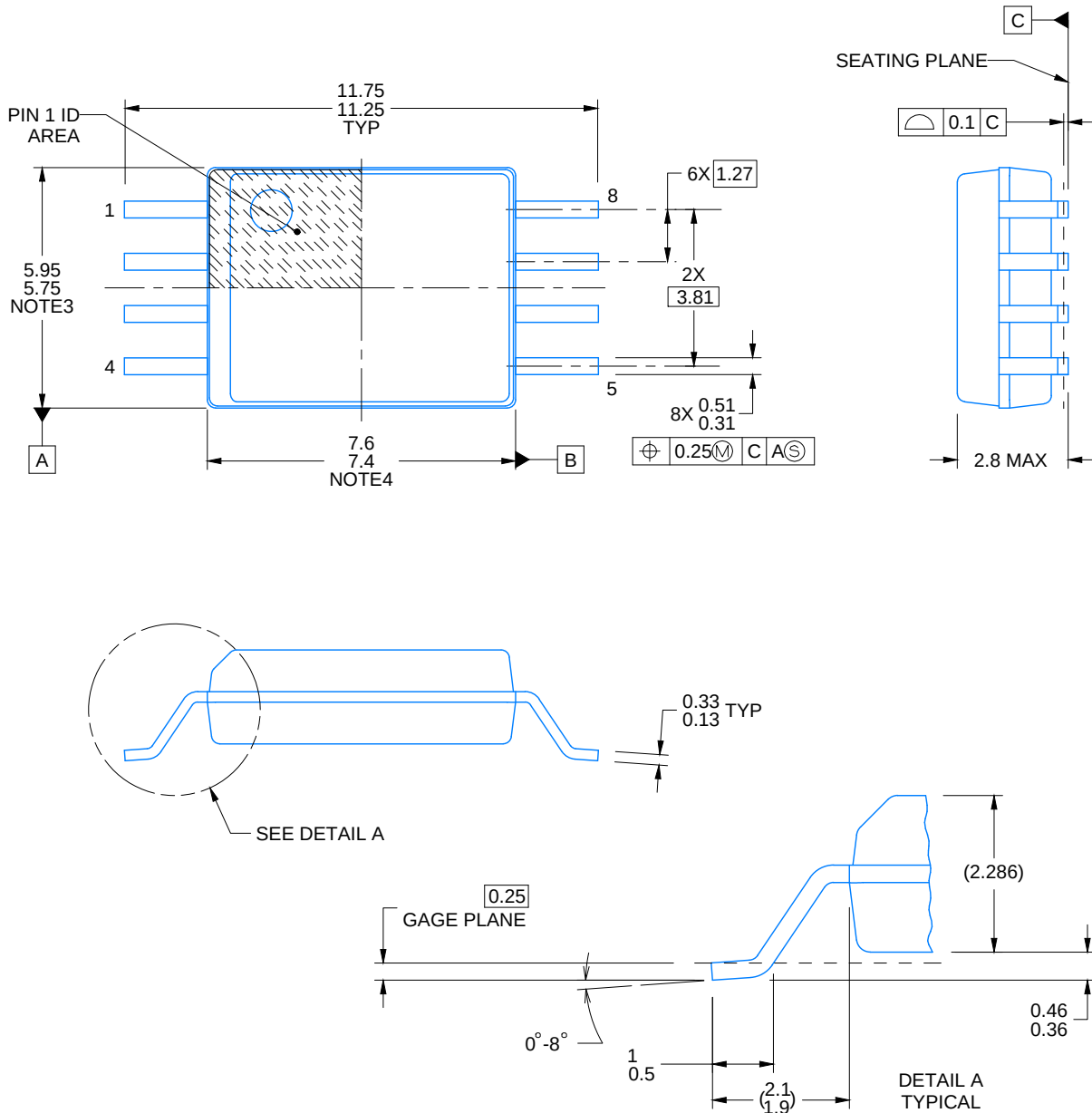
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPSI3052A3QDWZRQ1	Active	Preproduction	SO-MOD (DWZ) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPSI3052A5QDWZRQ1	Active	Preproduction	SO-MOD (DWZ) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

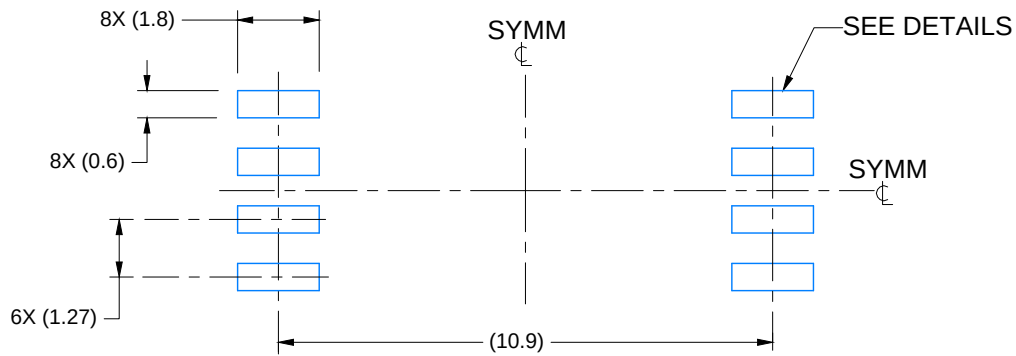
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



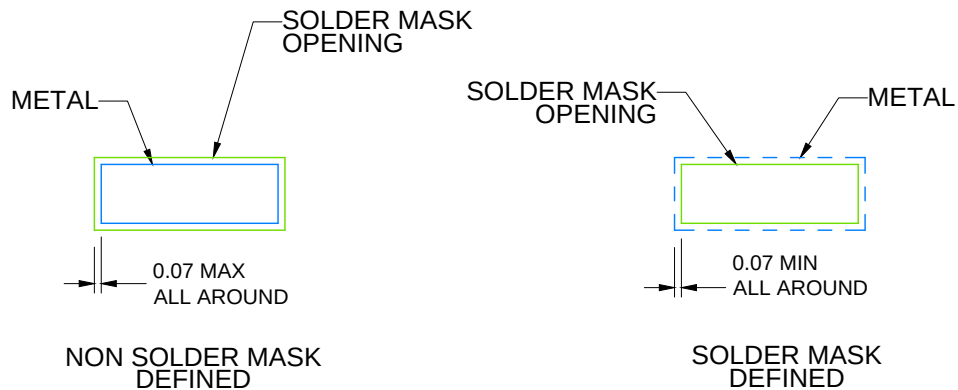
4226306/A 09/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE: 6X

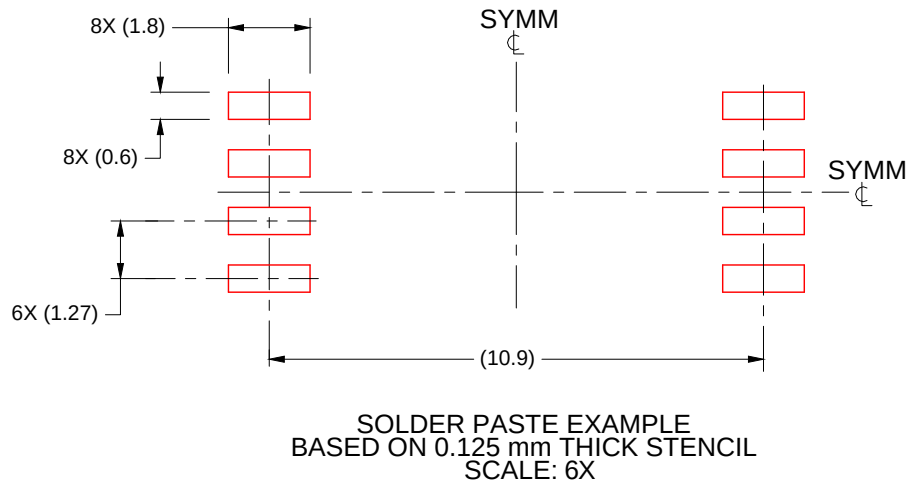


SOLDER MASK DETAILS

4226306/A 09/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4226306/A 09/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月