

TPSM336x5、3V ~ 36V 入力、1V ~ 15V 出力、1.5A、2.5A 同期整流 ZEN 1 降圧 コンバータ電源モジュール、HotRod™ QFN パッケージ

1 特長

- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 多用途な同期整流降圧 DC/DC モジュール:
 - MOSFET、インダクタ、 C_{BOOT} コンデンサ、コントローラを内蔵
 - 幅広い入力電圧範囲: 3V ~ 36V
 - 最大 40V の過渡入力に対する保護
 - 接合部温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 - 4.5mm × 3.5mm × 2mm のオーバーモールドパッケージ
 - RT ピンを使用して 200kHz ~ 2.2MHz の範囲で周波数を調整可能
- 全負荷範囲にわたって極めて高い効率を実現:
 - $V_{IN} = 12\text{V}$ 、 $V_{OUT} = 5\text{V}$ 、1MHz、 $I_{OUT} = 2.5\text{A}$ で 88% を上回る効率
 - $24V_{IN}$ 、 $5V_{OUT}$ 、1MHz、 $I_{OUT} = 2.5\text{A}$ で 87% を上回る効率
 - $V_{IN} = 13.5\text{V}$ で最小 1.5μA のスタンバイ I_Q
- ZEN 1 スイッチャ
 - デュアル ランダム スペクトラム拡散機能 - DRSS
 - フリップチップ オンリード パッケージ - FCOL
 - インダクタとブート コンデンサの統合
 - CISPR 11, Class B 準拠可能
- 出力電圧および電流オプション:
 - 出力電圧を 1V ~ 15V の範囲で調整可能
- スケーラブルな電源に対応した設計:
 - 次の製品とピン互換:
 - TPSM365R15 (65V、150mA)、TPSM365R6 (65V、600mA)
- WEBENCH® Power Designer により、TPSM336x5 を使用するカスタム設計を作成

2 アプリケーション

- ファクトリ・オートメーション
- 試験および測定機器
- グリッド・インフラ

3 説明

TPSM336x5 は、1.5A または 2.5A、36V 入力の同期整流降圧 DC/DC パワー モジュールで、フリップ チップ オンリード (FCOL) パッケージ、パワー MOSFET、内蔵インダクタ、ブート コンデンサをコンパクトで使いやすい 3.5mm × 4.5mm × 2mm の 11 ピン QFN パッケージに統合しています。小型 HotRod™ QFN パッケージテクノロジーにより、放熱性能が向上し、高い周囲温度での動作が確保できます。さらに、このデバイスはスペクトラム拡散との組み合わせにより、優れた EMI 性能を実現します。デバイスは、自動または強制 PWM モードでフィードバック デバイダを使用して 1V から 15V までの出力に構成でき、動作します。

TPSM336x5 は、特に常時オンの産業用アプリケーションの低スタンバイ電力要件を満たすように設計されています。自動モードでは、軽負荷動作時の周波数フォールドバックが可能であり、1.5μA ($V_{IN} = 13.5\text{V}$) の無負荷時消費電流と、軽負荷時の効率向上を実現できます。PWM モードと PFM モードの間のシームレスな移行と小さな MOSFET ON 抵抗により、負荷範囲全体にわたって非常に優れた効率が得られます。

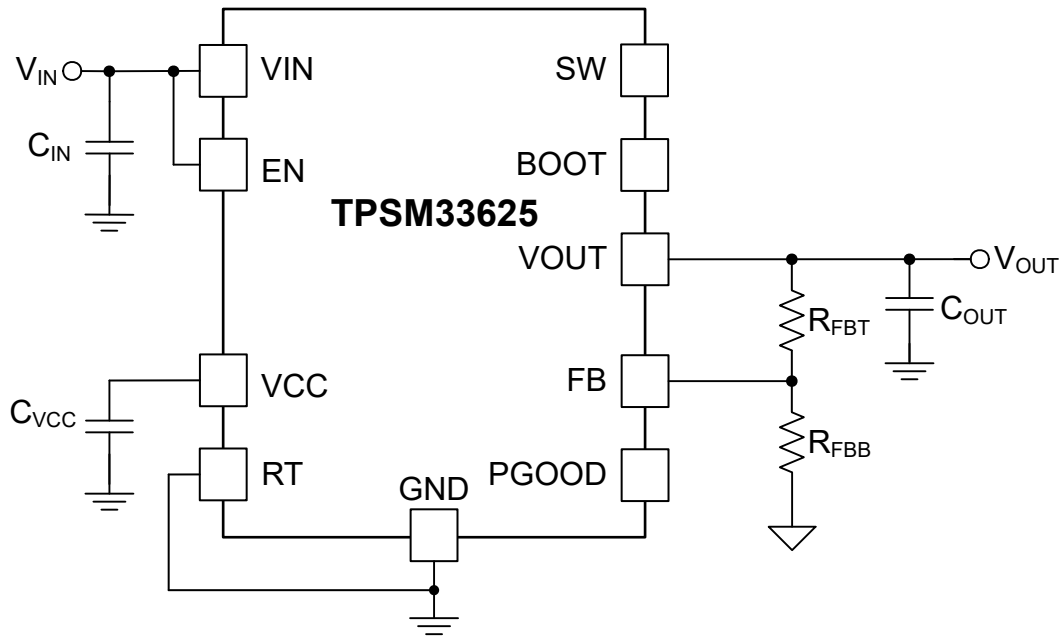
TPSM336x5 はピーク電流モード アーキテクチャと内部補償により、最小の出力キャパシタンスで安定した動作を維持します。DRSS を使用して、入力 EMI フィルタの外部部品を低減します。ZEN 1 スイッチャの機能により、本デバイスは低 EMI アプリケーションをサポートできます。MODE/SYNC および RT ピンのバリエーションを使用すると、200kHz ~ 2.2MHz の周波数に同期または設定して、ノイズの影響を受けやすい周波数帯域を回避できます。

製品情報

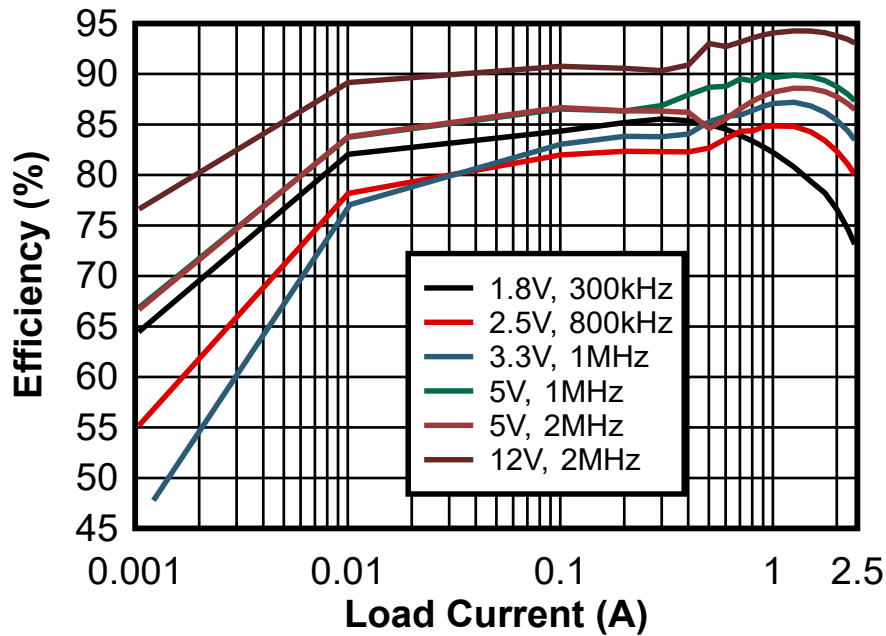
部品番号	パッケージ (1)	パッケージ サイズ(2)
TPSM33625	RDN (QFN-FCMOD, 11)	3.50mm × 4.50mm
TPSM33615		

- (1) 詳細については、セクション 11 を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





代表的な回路図



効率と出力電流との関係 ($V_{IN} = 24V$)

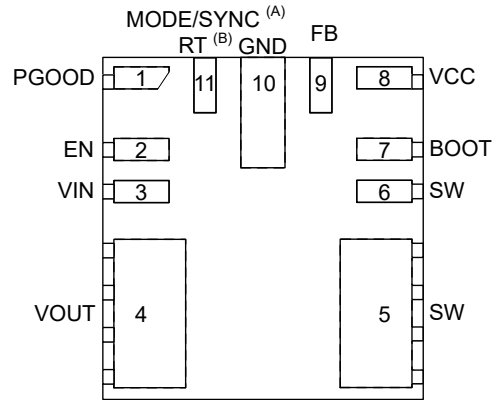
目次

1 特長.....	1	7.4 デバイスの機能モード.....	24
2 アプリケーション.....	1	8 アプリケーションと実装	30
3 説明.....	1	8.1 アプリケーション情報.....	30
4 デバイス比較表.....	4	8.2 代表的なアプリケーション.....	31
5 ピン構成および機能.....	5	8.3 設計のベスト プラクティス.....	40
6 仕様.....	6	8.4 電源に関する推奨事項.....	40
6.1 絶対最大定格.....	6	8.5 レイアウト.....	40
6.2 ESD 定格.....	6	9 デバイスおよびドキュメントのサポート	42
6.3 推奨動作条件.....	7	9.1 デバイス サポート.....	42
6.4 熱に関する情報.....	7	9.2 ドキュメントのサポート.....	43
6.5 電気的特性.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	43
6.6 システム特性.....	10	9.4 サポート・リソース.....	43
6.7 代表的特性.....	11	9.5 商標.....	43
7 詳細説明	12	9.6 静電気放電に関する注意事項.....	44
7.1 概要.....	12	9.7 用語集.....	44
7.2 機能ブロック図.....	13	10 改訂履歴	44
7.3 機能説明.....	14	11 メカニカル、パッケージ、および注文情報	45

4 デバイス比較表

デバイス	発注用製品型番 ⁽¹⁾	F _{sw}	出力電圧	出力電流	外部 SYNC (MODE 構成)	スペクトラム拡散
TPSM33625	TPSM33625RDNR	RT 抵抗で調整可能	可変 (1V~15V)	2.5A	なし (軽負荷時のデフォルトの PFM)	あり
TPSM33625	TPSM33625FRDNR	固定 1MHz	可変 (1V~15V)	2.5A	あり (PFM/PWM を選択可能)	あり
TPSM33615	TPSM33615RDNR	RT 抵抗で調整可能	可変 (1V~15V)	1.5A	なし (軽負荷時のデフォルトの PFM)	あり
TPSM33615	TPSM33615FRDNR	固定 1MHz	可変 (1V~15V)	1.5A	あり (PFM/PWM を選択可能)	あり

5 ピン構成および機能



- A. 固定スイッチング周波数 MODE/SYNC バリエーションの場合のみ、ピン 11 は出荷時設定済みです。
 B. 詳細については、「デバイスの比較」表をご覧ください。外部調整可能スイッチング周波数 RT バリエーションの場合のみ、ピン 11 は調整および出荷時設定済みです。

図 5-1. RDN パッケージ、11 ピン QFN-FCMOD、上面図 (すべてのバリエーション)

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	PGOOD	A	パワー グッド モニタ。帰還電圧が指定したウィンドウしきい値を超えた場合に Low にアサートするオープンドレイン出力。適切なプルアップ電圧には、10kΩ ~ 100kΩ のプルアップ抵抗が必要です。このピンを使用しない場合、オープンのままにするか、GND に接続できます。 High = パワー OK、Low = フォルト。EN = Low にすると、PGOOD ピンは Low になります。
2	EN	A	高精度イネーブル入力ピン。High = オン、Low = オフ。VIN に接続できます。高精度イネーブルを使うと、このピンを調整可能な UVLO として使用できます。VIN に直接接続できます。オープンドレインまたはオープンコレクタ デバイスを使用して、このピンを GND に接続することで、本モジュールをターンオフできます。このピン、GND、VIN の間に外付け分圧器を配置することで、外部 UVLO を構成できます。このピンをフローティングにしないでください。
3	VIN	P	入力電源電圧。入力電源をこれらのピンに接続します。このピンと GND の間に、高品質のバイパスコンデンサをモジュールにごく近付けて直接接続します。入力コンデンサの配置例については、セクション 8.5.2 を参照してください。
4	VOUT	P	出力電圧。このピンは、内部の出力インダクタに接続されています。このピンを出力負荷に接続し、このピンと GND の間に外部出力コンデンサを接続します。
5, 6	SW	P	電源モジュールのスイッチ ノード。このピンに外部部品を配置したり、信号に接続したりしないでください。ノイズや EMI の問題を防止するため、これらのピンに配置する銅の量は最小限に抑える必要があります。
7	BOOT	P	内部ハイサイドドライバ回路のブートストラップピン。このピンからモジュール内の SW に 100nF のブートストラップコンデンサが内部で接続され、ブートストラップ電圧が供給されています。
8	VCC	P	内部 LDO 出力。内部制御回路への電源として使用されます。外部負荷に接続しないでください。パワー グッド フラグのロジック電源として使用できます。このピンと GND との間に高品質の 1μF コンデンサを接続します。
9	FB	A	帰還入力。可変出力の場合、帰還抵抗分圧器の中間点をこのピンに接続します。帰還分圧器の上側抵抗 (R _{FBT}) を目的のレギュレーション点 (VOUT) に接続します。帰還分圧器の下側抵抗 (R _{FBB}) を GND に接続します。帰還抵抗分圧器に接続する場合、ノイズの結合を防止するため、この FB パターンをできるだけ短くかつ小さくします。帰還抵抗の配置については、セクション 8.5.2 を参照してください。
10	GND	G	電源グラウンドピン。システム グラウンドに接続。短くかつ広いパターンで C _{IN} に接続します。
11	RT または MODE/SYNC	A	本デバイスが RT ピンバリエーションとして構成されている場合、RT と GND との間に接続する抵抗値に基づいて、本デバイスのスイッチング周波数を 200kHz ~ 2.2MHz に調整できます。MODE/SYNC バリエーションとしてピンが調整されている場合、本デバイスはユーザーが選択可能な PFM/FPWM 動作で動作できます。FPWM では、本デバイスを外部クロックと同期させることができます。クロックは、印加された外部クロックの立ち上がりエッジでトリガされます。このピンをフローティングにしないでください。

A = アナログ、P = 電源、G = グラウンド

6 仕様

6.1 絶対最大定格

制限値は $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ までの範囲で適用されます (特に記述のない限り)。(1)

		最小値	最大値	単位
入力電圧	VIN から GND へ	-0.3	40	V
	SW に対する CBOOT	-0.3	5.5	V
	RT から GND へ	-0.3	5.5	V
	EN から GND へ	-0.3	40	V
	FB から GND へ	-0.3	16	V
	PG から GND へ	0	20	V
入力電圧	MODE/SYNC から GND へ	-0.3	5.5	V
出力電圧	VCC から GND へ	-0.3	5.5	V
	SW から GND へ(2)	-0.3	40	V
	VOUT から GND へ	-0.3	16	V
入力電流	PG	–	10	mA
T_J	接合部温度	-40	125	$^{\circ}\text{C}$
T_A	周辺温度	-40	105	$^{\circ}\text{C}$
T_{slg}	保管温度	-55	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) このピンには、PGND より 2V 低い値から VIN より 2V 高い値までの電圧を最大 200ns の間 (デューティサイクルは 0.01% 以下) 印加できません。

6.2 ESD 定格

			値	単位
$V_{\text{(ESD)}}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	± 2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	± 1000	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

制限値は $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ までの範囲で適用されます (特に記述のない限り)。

		最小値	公称値	最大値	単位
入力電圧	VIN (起動後の入力電圧範囲)	3		36	V
出力電圧	出力調整範囲 (1)	1		15	V
出力電流	TPSM33625 IOUT(2)	0		2.5	A
出力電流	TPSM33615 IOUT(2)	0		1.5	A
周波数	SYNC によって設定される F_{SW}	200		2500	kHz
周波数	RT によって設定される F_{SW}	200		2200	kHz
T_J	動作時の接合部温度	-40		125	$^{\circ}\text{C}$
T_A	動作時の周囲温度	-40		105	$^{\circ}\text{C}$

- (1) いかなる条件下でも、出力電圧は 0V を下回ることはできません。
- (2) 高いスイッチング周波数または高い周囲温度で動作している場合、最大連続 DC 電流はディレーティングされる場合があります。詳細については、「代表的特性」セクションを参照してください。

6.4 熱に関する情報

熱評価基準 (1)		TPSM33625 / TPSM33615		単位
		RDN		
		11 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗 (TPSM33625EVM)	22		$^{\circ}\text{C}/\text{W}$
$R_{\theta JA}$	接合部から周囲への熱抵抗 (JESD 51-7)	54.1		$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	52.1		$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	16.6		$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	接合部から上面への特性パラメータ	8.1		$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	接合部から基板への特性パラメータ	16.3		$^{\circ}\text{C}/\text{W}$

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。この値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これは、実際のアプリケーションで得られた性能を表すものではありません。

6.5 電気的特性

制限値は、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 24\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 1000\text{kHz}$ の範囲で適用されます (特に記述がない限り)。最小値および最大値の制限値は、量産テストを通して、または設計により規定されています。標準値は最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。

パラメータ		テスト条件	最小値	代表値	最大値	単位
電源電圧						
V_{IN}	入力電圧立ち上がりスレッシュホールド	起動前	3.2	3.35	3.5	V
		動作開始後	2.45	2.7	3	V
I_{Q_VIN}	入力動作静止電流 (スイッチングなし)	$T_A = 25^{\circ}\text{C}$ 、 $V_{EN} = 3.3\text{V}$ 、 $V_{FB} = 1.5\text{V}$		1.2		μA
I_{SDN_VIN}	VIN のシャットダウン時静止電流	$V_{EN} = 0\text{V}$ 、 $T_A = 25^{\circ}\text{C}$		0.3		μA
イネーブル						
V_{EN_RISE}	EN 電圧立ち上がりスレッシュホールド		1.16	1.23	1.3	V
V_{EN_HYS}	EN 電圧ヒステリシス		0.275	0.353	0.404	V
V_{EN_WAKE}	EN ウェークアップ スレッシュホールド		0.5	0.7	1	V
I_{LKG_EN}	イネーブル ピン入力リーク電流	$V_{EN} = V_{IN} = 24\text{V}$		10		nA
内部 LDO VCC						
V_{CC}	内部 LDO VCC 出力電圧	$V_{FB} = 0\text{V}$ 、 $I_{VCC} = 1\text{mA}$	3.1	3.3	3.5	V
FEEDBACK						
V_{FB}	帰還電圧	$T_A = 25^{\circ}\text{C}$ 、 $I_{OUT} = 0\text{A}$		1.0		V
V_{FB_ACC}	帰還電圧精度	V_{IN} 範囲、 $V_{OUT} = 1\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $F_{SW} = 200\text{kHz}$	-1		+1	%
I_{FB}	FB ピンへの入力電流	可変構成、 $V_{FB} = 1.0\text{V}$		10		nA
CURRENT						
I_{L_HS}	ハイサイド スイッチ電流制限値 (TPSM33625)	デューティ サイクルを 0% に近付ける	4.2	4.9	5.5	A
I_{L_LS}	ローサイド スイッチ電流制限値 (TPSM33625)		2.38	2.9	3.42	A
I_{L_NEG}	負の電流制限値 (TPSM33625)			-2		A
$I_{PEAKMIN}$	最小ピーク電流制限値 (TPSM33625)	自動モード		0.6		A
I_{L_HS}	ハイサイド スイッチ電流制限値 (TPSM33615)	デューティ サイクルを 0% に近付ける	2.58	3	3.42	A
I_{L_LS}	ローサイド スイッチ電流制限値 (TPSM33615)		1.44	1.75	2.06	A
I_{L_NEG}	負の電流制限値 (TPSM33615)			-2		A
$I_{PEAKMIN}$	最小ピーク電流制限値 (TPSM33615)	自動モード		0.4		A
I_{ZC}	ゼロクロス電流制限値	自動モード		80		mA
V_{HICCUP}	ヒックアップ モードに移行するためのレギュレートされる前の FB 電圧に対する FB 電圧の比率	ソフトスタート中以外		40		%
t_W	短絡待機時間 (ソフト スタートの前の「ヒックアップ」時間) ⁽¹⁾		30	50	75	ms
ソフト スタート						
t_{SS}	最初の SW パルスから V_{REF} が設定点の 90% に達するまでの時間	$V_{IN} \geq 4.2\text{V}$	2	3.5	4.6	ms

6.5 電気的特性 (続き)

制限値は、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 24\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 1000\text{kHz}$ の範囲で適用されます (特に記述がない限り)。最小値および最大値の制限値は、量産テストを通して、または設計により規定されています。標準値は最も一般的なパラメータ基準値を表しており、参考目的のみに提供されています。

パラメータ		テスト条件	最小値	代表値	最大値	単位
パワー グッド						
PG _{OV}	PG の上限 - 立ち上がり	V _{OUT} 設定の % (可変出力)	104	108	111	%
PG _{UV}	PG の下限 - 立ち下がり	V _{OUT} 設定の % (可変出力)	89	91	94.2	%
PG _{HYS}	OV の PG 上限スレッショルドヒステリシス	V _{OUT} 設定の %	2	2.4	2.8	%
	UV の PG 上限スレッショルドヒステリシス	V _{OUT} 設定の %	2	3.3	4.6	%
V _{IN_PG_VALID}	有効な PG 出力の入力電圧	R _{PGD_PU} = 10k Ω 、V _{EN} = 0V			1.5	V
V _{PG_LOW}	Low レベル PG 機能出力電圧	PG ピンに 2mA のプルアップを接続、V _{EN} = 3.3V			0.4	V
t _{PG_FLT_RISE}	PG High 信号までの遅延時間		1.35	2.5	4	ms
t _{RESET_FILTER}	立ち下がりエッジでの PGOOD グリッチ除去遅延		25	40	75	μs
R _{PGD}	PGOOD オン抵抗	V _{EN} = 3.3V、200 μA のプルアップ電流			100	Ω
R _{PGD}	PGOOD オン抵抗	V _{EN} = 0 V、200 μA のプルアップ電流			100	Ω
スイッチング周波数						
f _{SYNC_RANGE}	SYNC によるスイッチング周波数範囲 (モード / 同期バリエーション)		200		2500	kHz
f _{ADJ_RANGE}	R _T によるスイッチング周波数範囲 (R _T バリエーション)		200		2200	kHz
f _{SW_RT1}	R _T によりプログラムされる 2.2MHz のスイッチング周波数	R _{RT} = 0k Ω (RT ピンを GND に接続)	2000	2200	2300	kHz
DeltaFc	内部発振器のスペクトラム拡散による周波数の増加 / 減少	DRSS (デュアル ランダム スペクトラム拡散)		$\pm 4\%$		
同期						
V _{MODE_L}	SYNC/MODE 入力電圧の Low レベル スレッショルド				1	V
V _{MODE_H}	SYNC/MODE 入力電圧の High レベル スレッショルド		1.6			V
t _{PULSE_H}	パルスとして認識されるのに必要な High の継続時間		100			ns
t _{PULSE_L}	パルスとして認識されるのに必要な Low の継続時間		100			ns
t _B	立ち上がりまたは立ち下がりエッジの後の EN のブランキング (1)		4		28	μs
t _{SYNC}	有効なクロック信号として認識されるための HIGH/LOW レベル パルスの最大期間				6	μs
電力段						
V _{BOOT_UVLO}	ハイサイド スイッチがオフになる CBOOT ピンの電圧 (SW 基準)			2.1		V
t _{ON_MIN}	最小 ON パルス幅 (1)	FPWM モード、V _{OUT} = 1V、I _{OUT} = 1A		65	75	ns
t _{ON_MAX}	最大 ON パルス幅 (1)	ドロップアウト時の HS タイムアウト	6	9	13	μs
t _{OFF_MIN}	最小 OFF パルス幅	V _{IN} = 4V、I _{OUT} = 1A		60	85	ns

(1) パラメータは、設計、統計分析、関連パラメータの製造試験によって規定されています。実製品の検査は行っていません。

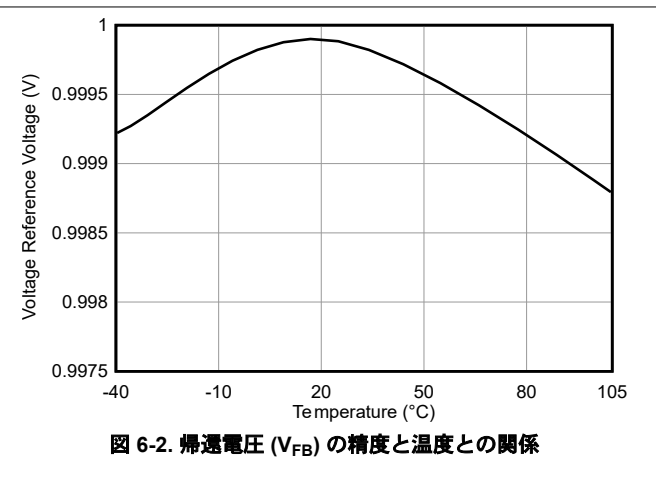
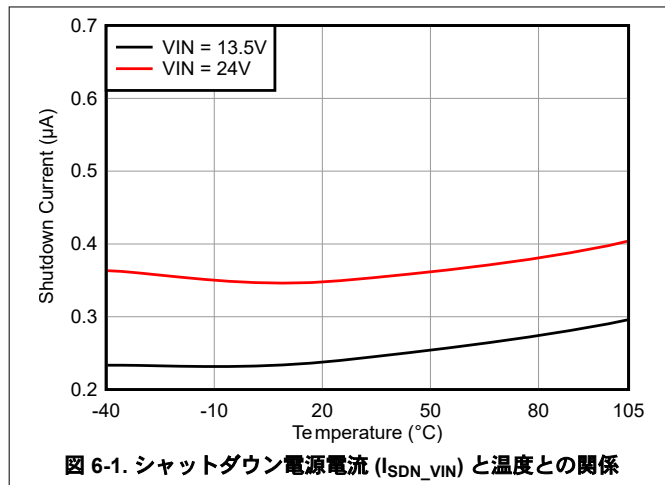
6.6 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^\circ\text{C}$ にのみ適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ		テスト条件	最小値	代表値	最大値	単位
電源						
I_{IN}	レギュレーション時の入力電源電流	$V_{IN} = 24\text{V}$, $V_{OUT} = 3.3\text{V}$ ($R_{FBT} = 23.2\text{k}\Omega$), $V_{EN} = V_{IN}$, $F_{SW} = 1000\text{kHz}$, $I_{OUT} = 0\text{A}$, PFM		6.9		μA
I_{IN}	レギュレーション時の入力電源電流	$V_{IN} = 24\text{V}$, $V_{OUT} = 5\text{V}$ ($R_{FBT} = 40.2\text{k}\Omega$), $V_{EN} = V_{IN}$, $F_{SW} = 1000\text{kHz}$, $I_{OUT} = 0\text{A}$, PFM		7		μA
出力電圧						
V_{FB}	負荷レギュレーション	$V_{OUT} = 3.3\text{V}$, $V_{IN} = 24\text{V}$, $I_{OUT} = 0.4\text{A}$ で全負荷に対応 (FPWM)		3		mV
V_{FB}	ラインレギュレーション	$V_{OUT} = 3.3\text{V}$, $V_{IN} = 4\text{V} \sim 36\text{V}$, $I_{OUT} = 2.5\text{A}$		10		mV
V_{OUT}	負荷過渡応答	$V_{OUT} = 3.3\text{V}$, $V_{IN} = 24\text{V}$, $I_{OUT} = 1\text{A} \sim 2.5\text{A}$ @ $2\text{A}/\mu\text{s}$, $C_{OUT(\text{derated})} = 32\mu\text{F}$		100		mV
効率						
η	効率	$V_{OUT} = 3.3\text{V}$, $V_{IN} = 12\text{V}$, $I_{OUT} = 2.5\text{A}$, $F_{SW} = 1\text{MHz}$		84		%
		$V_{OUT} = 3.3\text{V}$, $V_{IN} = 24\text{V}$, $I_{OUT} = 2.5\text{A}$, $F_{SW} = 1\text{MHz}$		83		%
		$V_{OUT} = 5\text{V}$, $V_{IN} = 24\text{V}$, $I_{OUT} = 2.5\text{A}$, $F_{SW} = 1\text{MHz}$		87		%
		$V_{OUT} = 5\text{V}$, $V_{IN} = 36\text{V}$, $I_{OUT} = 2.5\text{A}$, $F_{SW} = 1\text{MHz}$		86		%
η	効率	$V_{OUT} = 12\text{V}$, $V_{IN} = 24\text{V}$, $I_{OUT} = 1.5\text{A}$, $F_{SW} = 2\text{MHz}$		94		%
サーマルシャットダウン						
T_{SDN}	サーマルシャットダウンのスレッショルド	温度上昇	158	168	186	$^\circ\text{C}$
T_{HYST}	サーマルシャットダウンヒステリシス			15	20	$^\circ\text{C}$

6.7 代表的特性

特に記述のない限り、次の条件が適用されます。T_A = 25°C、V_{IN} = 13.5V。



7 詳細説明

7.1 概要

TPSM336x5 は、3V から 36V の電源電圧で動作する使いやすい同期整流降圧 DC/DC 電源モジュールです。このデバイスは、5V、12V、24V、36V などの電源レールからの降圧変換を想定しています。降圧コントローラ、インダクタ、ブートコンデンサ、MOSFET を内蔵することにより、TPSM336x5 は、非常に小さなソリューション サイズでありながら、最大 2.5A の DC 負荷電流を高効率、超低入力静止電流でご提供します。このデバイスは実装が簡単になるように設計されていますが、対象アプリケーションに応じて使用を最適化する柔軟性があります。制御ループ補償は不要で、設計時間の短縮と外部部品点数の減少につながります。

TPSM336x5 は、幅広いスイッチング周波数とデューティ比で動作可能です。最小オン時間またはオフ時間が目的のデューティ比をサポートできない場合は、スイッチング周波数が自動的に低下し、出力電圧レギュレーションが維持されます。さらに、遅延リリース機能を備えた PGOOD 出力機能により、多くのアプリケーションでリセット スーパーバイザを不要にできます。

TPSM336x5 は、RT ピンまたは外部クロック信号を使用して 200kHz ~ 2.2MHz のプログラマブルなスイッチング周波数を備えており、ノイズに影響されるアプリケーションで EMI 性能を向上させる特定の機能を内蔵しています。

- フリップ チップ オンリード (FCOL) 技術およびピン配置設計を採用した最適化されたパッケージは、放射 EMI を低減するシールド付きスイッチ ノード レイアウトを可能にします。
- デュアル ランダム スペクトラム拡散 (DRSS)により、ピーク放射を低減します。
- クロック同期と FPWM モードにより、負荷電流範囲全体にわたってスイッチング周波数を一定に維持できます。
- インダクタとブートコンデンサの統合

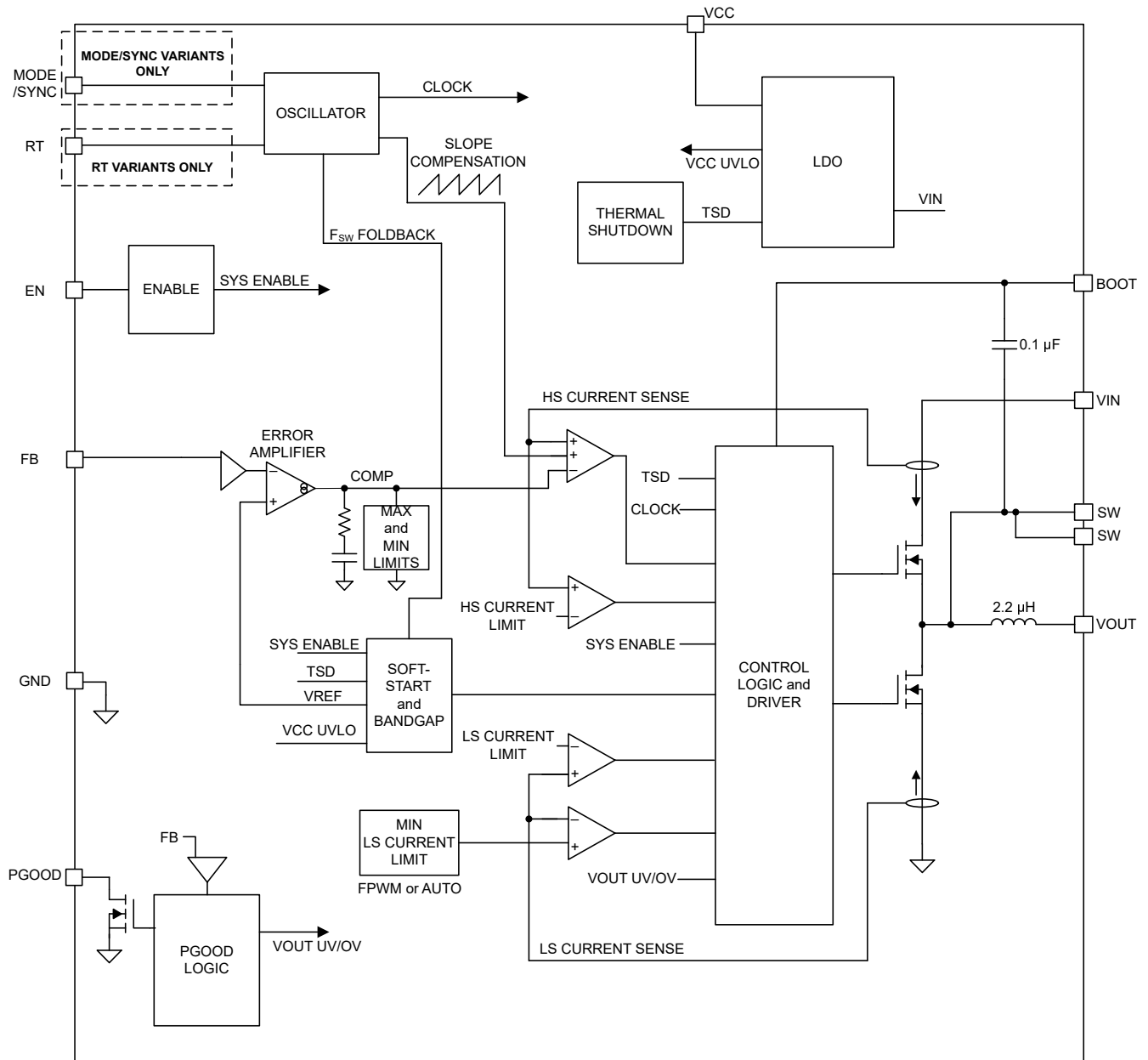
これらの機能を組み合わせることでコモンモードチョーク、シールド、入力フィルタインダクタが不要になり、EMI/EMC 低減対策の複雑さとコストを大幅に削減することができます。

TPSM336x5 モジュールには、堅牢なシステム要件に対応する固有の保護機能も内蔵されています。

- 電源レールのシーケンシングと障害報告用のオープンドレイン PGOOD インジケータ
- 以下の機能を提供するヒステリシス付き高精度イネーブル入力
 - プログラム可能なライン低電圧誤動作防止 (UVLO)
 - リモート オン / オフ特性
- プリバイアス負荷への単調起動を備えた内部固定出力電圧ソフト スタート
- サイクル単位のピーク電流制限とバレー電流制限によるヒカップ モード過電流保護
- 自動回復機能付きサーマル シャットダウン。

これらの機能により、幅広い範囲のアプリケーションに対応した柔軟で使いやすいプラットフォームを可能にします。ピン配置はレイアウトが単純になるよう設計されており、必要な外付け部品はほとんどありません。レイアウト例については、「[レイアウト](#)」を参照してください。

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力電圧範囲

TPSM336x5 モジュールは、3V ~ 36V の定常的な入力電圧範囲に対応しており、たとえば標準的な 12V ~ 36V の入力電源レールからの降圧変換を目的としています。図 7-1 の回路図に、単一の入力電源を使用して TPSM336x5 ベースの降圧レギュレータを実装するために必要なすべての部品を示します。

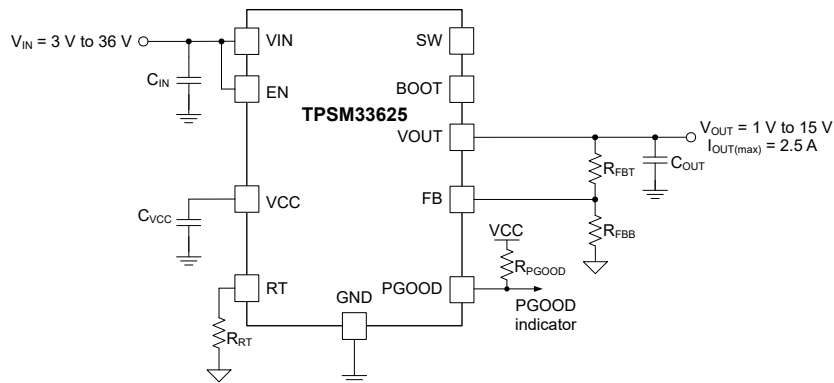


図 7-1. 入力電圧動作範囲が 3V~36V の場合の TPSM336x5 の回路図

ラインまたは負荷過渡イベントの間、VIN ピンの電圧が絶対最大定格 (40V) を超えないように特に注意してください。絶対最大定格を超える VIN ピンでの電圧リンギングは、IC に損傷を与える可能性があります。

7.3.2 出力電圧の選択

可変出力電圧バリエーション

TPSM336x5 の出力電圧を 2 つの外付け抵抗 (R_{FBT} 、 R_{FBB}) で設定できます。 R_{FBT} は、VOUT (レギュレーション点) と FB ピンの間に接続します。 R_{FBB} は、FB ピンと AGND の間に接続します。

TPSM336x5 は、出力電圧を 1.0V ~ 15V に調整できます。パワー モジュールが目的の出力電圧を確実にレギュレートするように、 R_{FBT} と R_{FBB} を並列接続した場合の抵抗値の標準最小値を 5k Ω 、標準最大値を 10k Ω とします (式 3 を参照)。式 2 と式 3 を、 R_{FBT} の値を決定するための出発点として使用できます。各種出力電圧に対応する抵抗値の一覧として、表 7-1 を参照してください。

$$5 \text{ k}\Omega < R_{FBT} \parallel R_{FBB} \leq 10 \text{ k}\Omega \quad (1)$$

$$R_{FBT}[\text{k}\Omega] = R_{FBB}[\text{k}\Omega] \times \left(\frac{V_{OUT}[\text{V}]}{1\text{V}} - 1 \right) \quad (2)$$

$$R_{FBT} \leq 10 \text{ k}\Omega \times \frac{V_{OUT}}{1\text{V}} \quad (3)$$

可変出力バリエーションの場合、過渡応答を最適化するため、 R_{FBT} と並列に追加のフィードフォワード コンデンサ C_{FF} が必要となる場合があります。詳細については、「[C_{FF} の選択](#)」を参照してください。

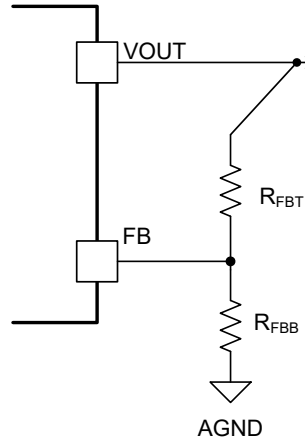


図 7-2. 可変出力バリエーションの出力電圧の設定

表 7-1. 標準 R_{FBT} 値、推奨 F_{SW}、最小 C_{OUT}

V _{OUT} (V)	R _{FBT} (kΩ) ⁽¹⁾	推奨 F _{SW} (kHz)	C _{OUT(MIN)} (μF) (実効値)	V _{OUT} (V)	R _{FBT} (kΩ) ⁽¹⁾	推奨 F _{SW} (kHz)	C _{OUT(MIN)} (μF) (実効値)
1.0	10	400	300	3.3	23.2	800	40
1.2	2	500	200	5.0	40.2	1000	25
1.5	4.99	500	160	7.5	64.9	1300	20
1.8	8.06	600	120	10	90.9	1500	15
2.0	10	600	100	12	110	2000	5
2.5	15	750	65	13	120	2200	5
3.0	20	750	50	15	140	2200	4

(1) R_{FBB} = 10kΩ

7.3.3 入力コンデンサ

入力コンデンサは、モジュールに印加される、スイッチング周波数の AC 電流に起因する入力リップル電圧を制限するために必要とされます。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現するセラミックコンデンサの使用を推奨しています。式 4 に、入力コンデンサの RMS 電流を示します。入力コンデンサの RMS 電流の最大値は D = 0.5 のときに発生します。この時点で、コンデンサの RMS 電流定格は出力電流の半分を超えています。

$$I_{CIN,rms} = \sqrt{D \times \left(I_{OUT}^2 \times (1 - D) + \frac{\Delta I_L^2}{12} \right)} \quad (4)$$

ここで、

- D = V_{OUT} / V_{IN} はモジュールのデューティサイクルです。

理想的には、降圧段への入力電流の DC 成分と AC 成分は、それぞれ入力電圧源と入力コンデンサによって供給されます。インダクタリップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 (I_{OUT} - I_{IN}) の電流をソースし、1 - D 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。結果として生じる AC リップル電圧の容量性成分は三角波になります。ESR 関連のリップル成分だけでなく、式 5 にピークツーピークリップル電圧の振幅を示します。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \quad (5)$$

式 6 に、特定の負荷電流に必要な入力容量を示します。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} \quad (6)$$

ここで、

- ΔV_{IN} は、入力電圧リップルの仕様です。

TPSM336x5 には、最低入力容量が $4.7\mu\text{F}$ のセラミック タイプが必要です。十分な電圧および温度定格を持つ高品質のセラミック タイプ コンデンサのみを使用します。セラミック入力コンデンサは、本パワー モジュールに低インピーダンスソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。負荷過渡要件を持つアプリケーションでは、追加の容量が必要となる場合があります。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。セラミック コンデンサの印加電圧に対するディレーティングを補償するために、最大入力電圧の 2 倍の電圧を定格とする、複数のコンデンサを並列に配置することを推奨します。表 7-2 に、メーカー毎に推奨されるコンデンサのリストを示します。

表 7-2. 推奨入力コンデンサ

メーカー (1)	誘電	部品番号	ケースサイズ	コンデンサ特性	
				定格電圧(V)	容量 (μF) (2)
TDK	X7R	C3225X7R1H475K2 50AB	1210	50	4.7
Wurth	X7R	885012209048	1210	50	4.7
Murata (村田製作所)	X5R	GRM155R61H104M E14D	0402	50	0.1
Chemi-Con	電解	EMVY500ADA101M HA0G	HA0	50	100

- (1) この表に記載されているコンデンサの入手可能性、材料組成、RoHS および鉛フリーのステータス、製造プロセスの要件については、コンデンサのサプライヤにお問い合わせください。「サードパーティ製品に関する免責事項」をご覧ください。
- (2) 銘板の容量値 (実効値は、印加された DC 電圧および温度に基づいて低いです)。

7.3.4 出力コンデンサ

表 7-1 に、TPSM336x5 に必要な最小出力キャパシタンスを示します。セラミック コンデンサを使用する場合は、DC バイアスと温度変動の影響を考慮する必要があります。セラミック コンデンサの場合、パッケージ サイズ、電圧定格、誘電体材料は、標準定格値と容量の実際の実効値の差に寄与します。

$C_{OUT(MIN)}$ を超える容量を追加する場合、容量にはセラミック タイプ、低 ESR ポリマー タイプ、またはこれら 2 つの組み合わせを使用できます。メーカーごとに推奨される出力コンデンサのリストについては、表 7-3 を参照してください。

表 7-3. 推奨出力コンデンサ

メーカー (1)	温度係数	部品番号	ケースサイズ	コンデンサ特性	
				電圧 (V)	容量 (μF) (2)
TDK	X7R	CNA6P1X7R1E226M250AE	1210	25	22
TDK	X7R	CGA6P1X7R1C226 M250AC	1210	16	22
Wurth	X7R	885012209028	1210	25	10
Wurth	X7R	885012209014	1210	16	10

- (1) この表に記載されているコンデンサの入手可能性、材料組成、RoHS および鉛フリーのステータス、製造プロセスの要件については、コンデンサのサプライヤにお問い合わせください。「サードパーティ製品に関する免責事項」をご覧ください。
- (2) 銘板の容量値 (実効値は、印加された DC 電圧および温度に基づいて低いです)。

7.3.5 イネーブル、起動、およびシャットダウン

EN ピンの電圧によって、TPSM336x5 の起動またはリモート シャットダウンを制御します。EN ピンの電圧が $V_{EN-WAKE}$ 未満である限り、本デバイスはシャットダウン状態を維持します。EN ピンの電圧が $V_{EN-WAKE}$ を上回ると、本デバイスはデバイススタンバイモードに移行し、VCC を生成するために内部 LDO が起動します。EN の電圧がさらに上昇し、 $V_{EN-RISE}$ に近づくと、本デバイスは最終的にスイッチングを開始し、ソフトスタートを使って起動モードに移行します。本デバイスのシャットダウンプロセス中に、EN 入力電圧の測定値が $(V_{EN-RISE} - V_{EN-HYST})$ を下回ると、レギュレータはスイッチングを停止し、デバイススタンバイモードに戻ります。EN ピンの電圧が $V_{EN-WAKE}$ を下回ると、本デバイスは確実にシャットダウンされます。リモート高精度制御が不要な場合、高電圧に対応した EN 入力ピンを VIN 入力ピンに直接接続できます。EN 入力ピンをフローティングにすることはできません。

各種の EN スレッシュホールドパラメータとそれらの値については、「電気的特性」に記載されています。図 7-3 に、高精度イネーブルの動作を示し、図 7-4 に、アプリケーションでの代表的なリモート EN の起動波形を示します。EN が High になってから約 1ms の遅延の後、出力電圧はソフトスタートで上がり始め、約 3.5ms (t_{SS}) 後にほぼ最終値に達します。約 2.5ms ($t_{PG_FLT_RISE}$) の遅延の後、PGOOD フラグが High になります。起動中、ソフトスタート時間が経過するまで、本デバイスは FPWM モードに移行できません。この時間は、EN の立ち上がりエッジから測定されます。

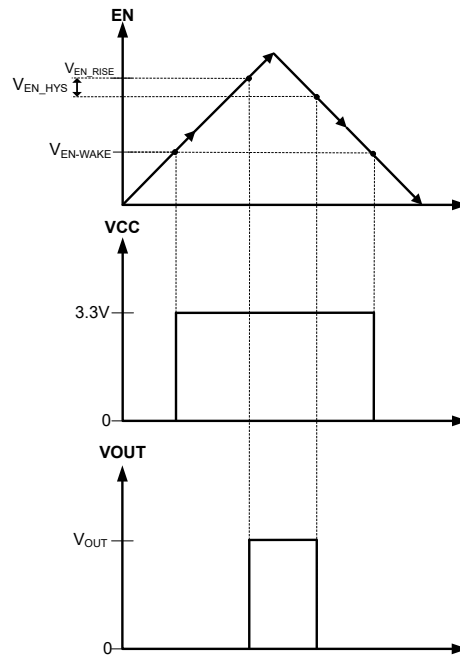


図 7-3. 高精度イネーブルの動作

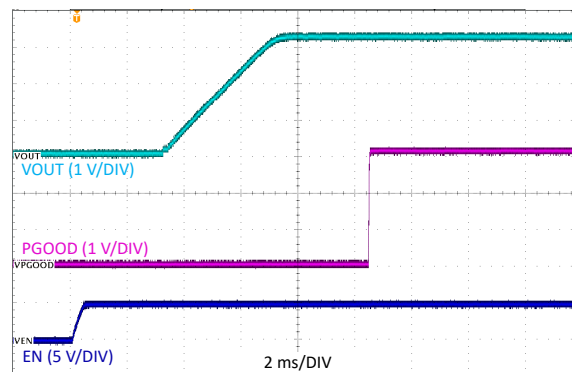


図 7-4. イネーブルによる起動、 $V_{IN} = 24V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 2.5A$ $I_{OUT} = 1.5A$

EN ピンによる外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。これは、[図 7-5](#) に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON} 、オフする入力電圧を V_{OFF} と表します。最初に、 R_{ENB} の値を $10k\Omega \sim 100k\Omega$ の範囲で選択し、次に、[式 8](#) と [式 7](#) を使って R_{ENT} と V_{OFF} をそれぞれ計算します。

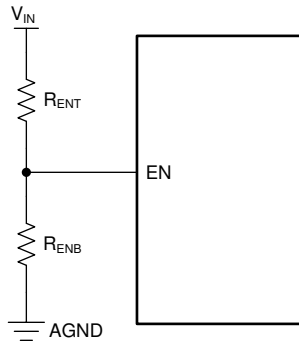


図 7-5. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN_RISE}} - 1 \right) \times R_{ENB} \quad (7)$$

$$V_{OFF} = V_{ON} \times \left(1 - \frac{V_{EN_HYS}}{V_{EN_RISE}} \right) \quad (8)$$

ここで、

- V_{ON} は V_{IN} のターンオン電圧、
- V_{OFF} は V_{IN} のターンオフ電圧です。
- その他の用語については、「電気的特性」表を参照してください。

7.3.6 外部 CLK SYNC (MODE/SYNC 付き)

1 つのシステムの中で複数のレギュレータの動作を同期させ、特定のシステム レベル性能を実現することは、魅力的な機能です。MODE/SYNC ピンを備えた TPSM336x5 の一部のバリエーションを使用すると、電源設計者は本デバイスを共通の外部クロックに同期させることができます。デバイスの同期によって、MODE/SYNC ピンに供給されるクロック信号はデバイスのスイッチングと同相になります。外部クロック同期は、すべての大きなグリッチを除去するフェーズ ロック ループ (PLL) を使用して実装されます。TPSM336x5 に流れ込んだ外部クロックは、内部のフリーランニング クロックに置き換わりますが、周波数フォールドバック動作には影響しません。出力電圧は引き続き適切にレギュレートされます。同期信号が入力されている場合、本デバイスは FPWM モードに維持され、軽負荷時には CCM で動作します。

TPSM336x5 の MODE/SYNC 入力ピンは次の選択可能な 3 つのモードのいずれかで動作できます：

- 自動モード: パルス周波数変調 (PFM) 動作は、軽負荷時に有効化され、ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。
- FPWM モード: FPWM モードでは、ダイオード エミュレーションは無効化され、電流はインダクタを逆方向に流れることができます。これにより、負荷電流が流れなくても最大周波数で動作できます。
- 同期モード: 内部クロックは、MODE/SYNC ピンに印加された外部信号にロックします。出力電圧を最大周波数で制御でき、最小オフ時間または最小オン時間によって制限されない限り、クロック周波数は、MODE/SYNC ピンに印加された信号の周波数に一致します。本デバイスは、同期モードに入っているにもかかわらず、FPWM モードであるかのように動作します (ダイオード エミュレーションが無効化され、無負荷でも、MODE/SYNC ピンに印加された周波数に一致できます)。

7.3.6.1 パルス依存 MODE/SYNC ピン制御

本デバイスによる 1 つ以上の動作モードを必要とするほとんどのシステムは、マイクロプロセッサなどのデジタル回路によって制御されます。これらのシステムは、動的な信号は簡単に生成できますが、マルチレベル信号を生成するのは不得意です。パルス依存 MODE/SYNC ピン制御は、これらのシステムに有効です。パルス依存 MODE/SYNC ピン制御を開始するには、有効な同期信号を印加する必要があります。表 7-4 に、パルス依存モード選択設定の概要を示します。

表 7-4. パルス依存モード選択の設定

MODE/SYNC 入力	モード
$> V_{MODE_H}$	FPWM (工場出荷時にスペクトラム拡散機能を設定)
$< V_{MODE_L}$	自動モード (工場出荷時にスペクトラム拡散機能を設定)
同期クロック	SYNC モード

図 7-6 に、パルス依存 MODE/SYNC 制御中の自動モードと FPWM モードとの間の遷移を示します。本デバイスは、 t_{MODE} の時間の後に新しい動作モードに遷移します。図 7-6 と図 7-7 に詳細を示します。

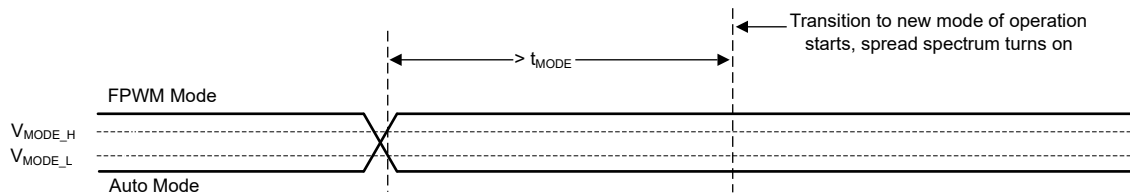


図 7-6. 自動モードと FPWM モードとの間の遷移

MODE/SYNC 電圧が一定のまま t_{MODE} より長い時間が経過すると、本デバイスは (工場出荷時の設定が有効化されている場合) スペクトラム拡散をオンにして、自動モードと FPWM モードのどちらかに移行し、MODE/SYNC はパルス依存方式で動作し続けます。

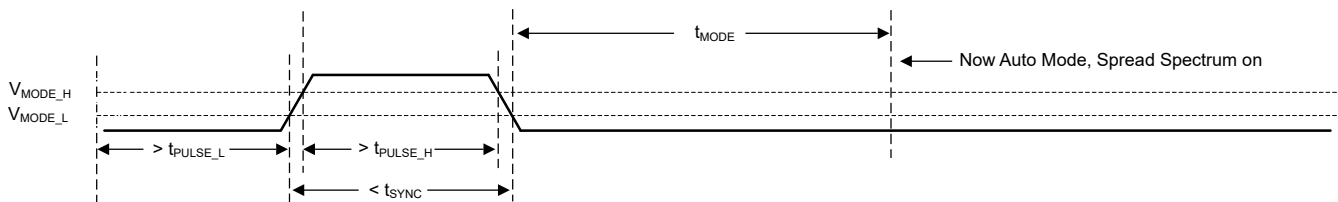


図 7-7. 同期モードから自動モードへの遷移

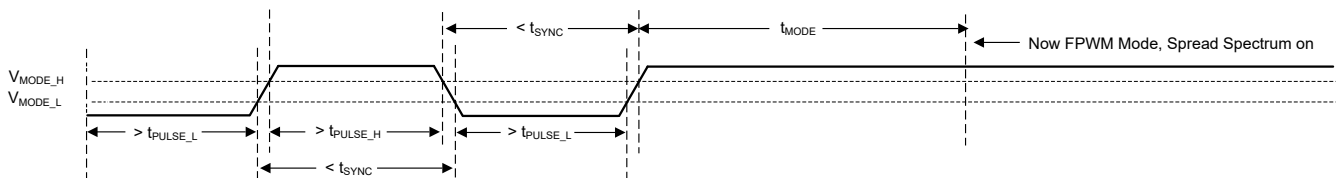


図 7-8. 同期モードから FPWM モードへの遷移

7.3.7 スイッチング周波数 (RT)

TPSM336x5 ファミリのうち、RT ピン付きの製品を使うと、電源設計者はアプリケーションで 200kHz ~ 2.2MHz の任意の目的の動作周波数を設定できます。目的のスイッチング周波数に必要な抵抗値を決定するには、図 7-9 を参照します。または簡単に表 7-6 から選択します。RT ピン バリエントと

MODE/SYNC ピン バリエントは、同じピン位置を共有しています。電源設計者は、RT ピン バリエントを使って、アプリケーションの必要性に応じて動作スイッチング周波数を調整することと、MODE/SYNC バリエントを使って、外部クロック信

号と同期させることのどちらかを行うことができます。RT ピンのプログラミングに関する選択については、表 7-5 を参照してください。

表 7-5. RT ピンの設定

RT 入力	スイッチング周波数
VCC	1MHz
GND	2.2MHz
RT から GND へ	図 7-9 に従って調整可能
フローティング (推奨しません。)	スイッチングしません。

$$RT = \frac{18286}{F_{SW}^{1.021}} \quad (9)$$

ここで、

- RT は周波数設定抵抗の値 (kΩ) です。
- F_{SW} はスイッチング周波数 (kHz) です。

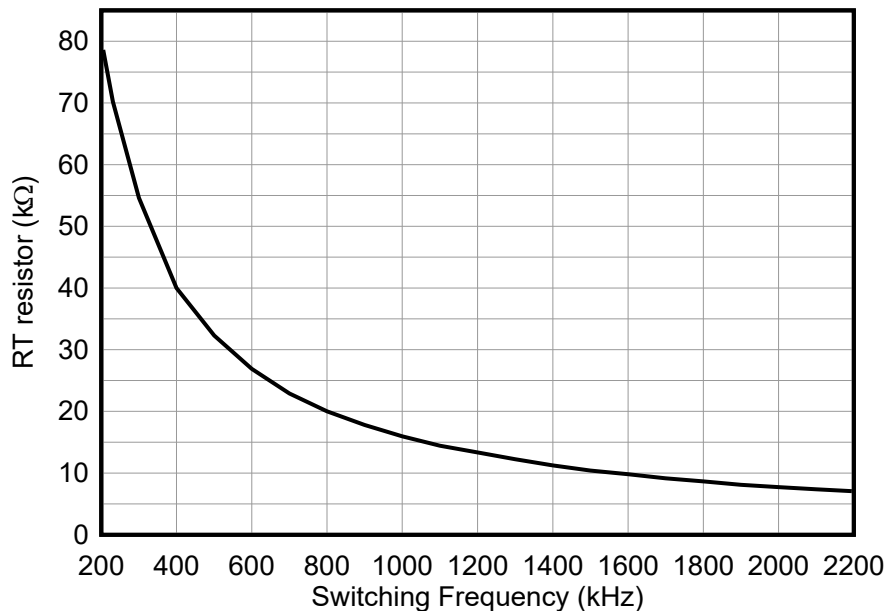


図 7-9. RT の値と周波数との関係

スイッチング周波数は、本デバイスの出力電圧の設定に基づいて選択する必要があります。一般的な入力電圧における、R_{RT} 抵抗の値と、それによって決まるスイッチング周波数での出力電圧の許容範囲については、表 7-6 を参照してください。

表 7-6. スイッチング周波数と出力電圧との関係 (I_{OUT} = 2.5A)

F _{SW} (kHz)	R _{RT} (kΩ)	V _{IN} = 5V		V _{IN} = 12V		V _{IN} = 24V		V _{IN} = 36V	
		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)	
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値
200	81.6	1	1.75	1	1.5	1	1.25	1	1.25
400	40.2	1	2	1	4	1	3	1.25	2.5
600	26.7	1	2.5	1	5	1.25	5	2	4
800	19.8	1	3	1	5.5	1.5	8	2.25	6
1000	15.8	1	3.5	1	6	2	11	2.5	8

表 7-6. スイッチング周波数と出力電圧との関係 ($I_{OUT} = 2.5A$) (続き)

F _{SW} (kHz)	R _{RT} (kΩ)	V _{IN} = 5V		V _{IN} = 12V		V _{IN} = 24V		V _{IN} = 36V	
		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)		V _{OUT} の範囲 (V)	
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値
1200	13.2	1	3.5	1.5	6.25	2.5	11	3	11
1400	11.3	1	3.5	1.5	6.5	3	11.5	3.5	15
1600	9.76	1	3.5	1.5	7	3	12	4	15
1800	8.66	1	3	1.5	7.5	3.5	12.5	5	15
2000	7.77	1	3	1.5	8	3.5	13	5.5	15
2200	7.06	1	3	1.5	8.5	4.5	14	6	15

7.3.8 パワー グッド出力動作

TPSM336x5 の PGOOD ピンを使ったパワー グッド機能は、出力電圧が安定化範囲を外れたときはすぐにシステム マイクロプロセッサをリセットするために使用できます。通常の起動中だけでなく、デバイスフォルト条件 (電流制限、サーマルシャットダウンなど) の際も、このオープンドレイン出力は Low に維持されます。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。t_{RESET_FILTER} よりも短い出力電圧変動では、パワー グッドフラグは立ちません。図 7-10 に、パワー グッド動作を分かりやすく図示します。表 7-7 に、PGOOD 動作の詳細な内訳を示します。ここで、V_{PGUV} は V_{OUT} (目的の安定化出力電圧) と PG_{UV} の積、V_{PGHYS} は V_{OUT} と PG_{HYS} の積として定義されます。ここで、PG_{UV} と PG_{HYS} はどちらも「電気的特性」に記載されています。最初の起動時に、V_{EN_RISE} がトリガされてからパワー グッドに High のフラグが立つまでに生じる総遅延時間は 6ms (標準値) です。この遅延は本デバイスの起動時にのみ発生し、パワー グッド機能のその他の通常動作中は発生しません。EN が Low にプルされると、パワー グッドフラグ出力も Low に強制されます。EN が Low の場合、入力電圧 (V_{IN_PG_VALID}) が 1.5V (最大値) 以上である限り、パワー グッドは有効です。

パワー グッド出力回路はオープンドレインの N チャンネル MOSFET で構成されており、適切なロジック電源に接続された外付けプルアップ抵抗を必要とします。パワー グッド出力は、必要に応じて適切な抵抗を介して V_{CC} または V_{OUT} にプルアップすることもできます。この機能が不要な場合、PGOOD ピンをオープンにし、またはグランドに接続できます。このピンに流れ込む電流は、4mA 以下に制限します。

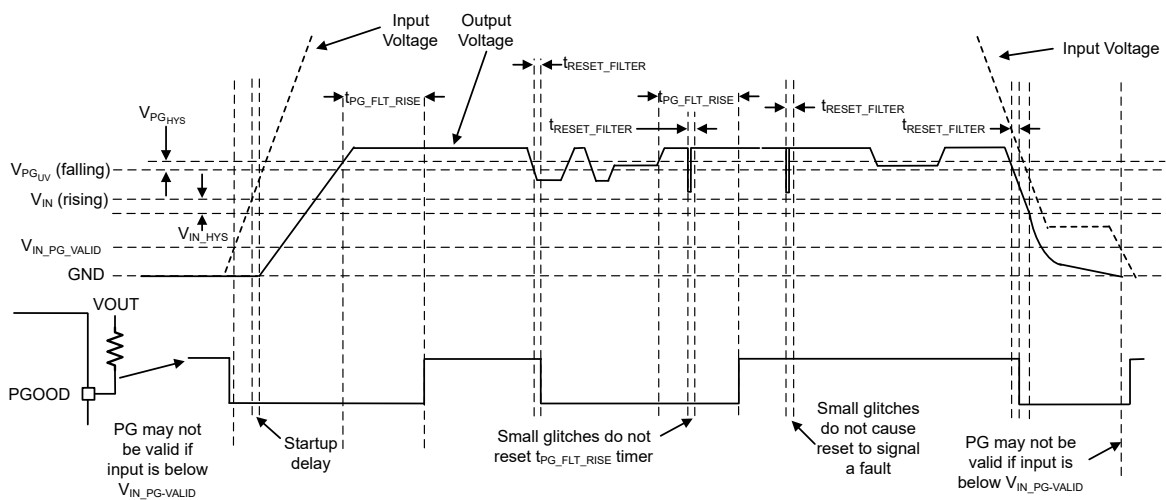


図 7-10. パワー グッド動作 (OV イベントは含まれません)

表 7-7. PGOOD のフォルト条件 (Low にプル)

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に t _{PGOOD_ACT} が経過する必要があります。)
「V _{OUT} < V _{PGUV} 」かつ「t > t _{RESET_FILTER} 」	出力電圧がレギュレートされている。 V _{PGUV} + V _{PGHYS} < V _{OUT} < V _{PGOV} - V _{PGHYS}

表 7-7. PGOOD のフォルト条件 (Low にプル) (続き)

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に t_{PGOOD_ACT} が経過する必要があります。)
$V_{OUT} > V_{PGOV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。
$T_J > T_{SDN}$	$T_J < T_{SDN} - T_{HYST}$ かつ出力電圧がレギュレートされている
$EN < V_{EN_RISE} - V_{EN_HYS}$	$EN > V_{EN_RISE}$ かつ出力電圧がレギュレートされている

7.3.9 内部 LDO、VCC、VOUT/FB 入力

TPSM336x5 では、内部 LDO 出力と VCC ピンを使用してすべての内部電源を供給しています。起動中、VCC は瞬間的に通常の動作電圧を超えた後、通常の動作電圧まで低下します。

7.3.10 ブートストラップ電圧および $V_{BOOT-UVLO}$ (BOOT 端子)

HS スイッチを確実にターンオンさせるため、ハイサイド スイッチ ドライバ回路は、VIN よりも高いバイアス電圧を必要とします。BOOT 端子の電圧を (SW + VCC) まで昇圧するためのチャージポンプとして機能する、BOOT と SW との間に接続された $0.1\mu F$ のコンデンサが内蔵されています。ソリューションの物理的なサイズを最小化するため、TPSM336x5 のダイにはブート ダイオードが内蔵されています。ブート レールには UVLO 設定が備わっています。この UVLO は $V_{BOOT-UVLO}$ のスレッシュホールドを持っており、通常は 2.1V に設定されています。ブート コンデンサが、SW ピンを基準として、この電圧を超えて充電されていない場合、本デバイスは充電シーケンスを開始し、ハイサイド素子をターンオンしようとする前にローサイド スイッチをターンオンします。

7.3.11 スペクトラム拡散

スペクトラム拡散は、固定周波数で動作する部品よりも広範囲の周波数帯域にピークを拡散することにより、特定の周波数によるピーク放射に対する影響を低減します。TPSM336x5 は、スイッチング周波数の最初のいくつかの高調波からの低周波伝導放射を低減するように設計された変調パターンを実装しています。このパターンは、FM 帯域に落ちる可能性があり、フィルタ処理が難しい高調波を低減させるのにも役立ちます。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。TPSM336x5 は $\pm 4\%$ の周波数拡散を採用しており、FM および TV 帯域全体にエネルギーをスムーズに拡散できます。このデバイスには、デュアル ランダム スペクトラム拡散 (DRSS) 機能が実装されています。DRSS は、三角波の周波数拡散パターンと疑似ランダム周波数ホッピングを組み合わせたものです。これらの組み合わせにより、スペクトラム拡散は、次のとおりエネルギー拡散に非常に効果的です：

- 低速三角波パターンによる基本スイッチング高調波
- スwitching周波数に疑似ランダムジャンプを付加した高周波ハーモニクス

DRSS の利点は、基本周波数偏差が小さく、高域の周波数で等価高調波減衰が得られることです。この利点により、変調周波数で生じる入力電流と出力電圧リップルの量が低減されます。また、TPSM336x5 では、ユーザーがスペクトラム拡散変調パターンに起因する出力電圧リップルをさらに低減できます。

スペクトラム拡散は、本デバイスのクロックが自然周波数で自走している間に限り利用できます。以下の条件はすべてスペクトラム拡散に優先し、スペクトラム拡散はオフになります。

- 低い入力電圧での動作 (ドロップアウトでの動作) により、クロック速度が低下している場合。
- 自動モードで軽負荷によりクロック速度が低下した場合。FPWM モードで動作している場合、無負荷であってもスペクトラム拡散が有効となっている可能性があるため、注意してください。
- 入出力電圧比が大きいため、クロック速度が低下した場合。オン時間が最小オン時間に達した場合にこの動作モードが想定されます。電気的特性を参照してください。
- クロックが外部クロックに同期している。

7.3.12 ソフトスタートとドロップアウトからの回復

TPSM336x5 を使用して設計する場合、[図 7-11](#) および [図 7-12](#) に示すように、ドロップアウトからの回復とソフトスタートに起因する出力電圧の上昇は、2 つの個別の動作条件と見なす必要があります。ソフトスタートは、以下のいずれかの条件によってトリガされます。

- デバイスの VIN ピンに電力が供給され、低電圧ロックアウトが解除される。
- 本デバイスをオンにするために EN が使われた。

- 過熱保護によるシャットダウンから回復した。

ソフトスタートがトリガされた後、パワー モジュールは以下の動作を実行します。

- 出力電圧を制御するためにパワー モジュールで使われる基準電圧が、ゆっくりと上昇します。その結果、出力電圧が(それまで 0V だった場合)、 t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動動作モードに設定され、ローサイド MOSFET のダイオード エミュレーション モードがアクティブになります。これにより、出力を Low にしなくても起動できます。これは、プリバイアス スタートアップ時に出力に電圧がすでに存在している場合でも同様です。

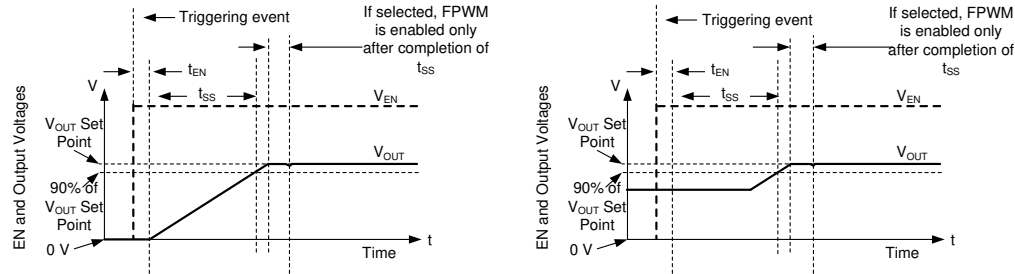


図 7-11. ソフト スタート、プリバイアス電圧あり / なし

7.3.12.1 ドロップアウトからの回復

出力電圧の低下が数 % を超えると常に、出力電圧はゆっくり上昇します。この条件は、本書ではドロップアウトからの正常な回復と呼ばれ、ソフトスタートとは以下の 2 つの重要な点で異なります。

- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定される。
- 本デバイスが FPWM に設定されている場合、ドロップアウトからの回復中はそのモードで動作し続ける。外部電源によって出力電圧が突然プルアップされた場合、TPSM336x5 は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグランドに短絡した場合の致命的な障害を防止していることに注意します。

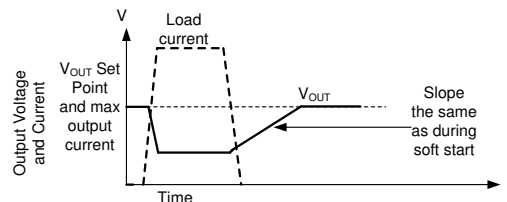


図 7-12. ドロップアウトからの回復

出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。図 7-12 に、この挙動の例を示します。

7.3.13 過電流保護 (ヒカップモード)

TPSM336x5 は、ハイサイド (HS) MOSFET とローサイド (LS) MOSFET の両方でサイクル バイ サイクル 電流制限回路を使うことで、過電流状態から保護されます。電流は、スイッチング サイクルごとに電流制限スレッシュホールドと比較されます。過電流状態の間、スイッチング周波数の低下に伴って出力電圧が低下します。

ハイサイド MOSFET 過電流保護機能は、代表的なピーク電流モード制御方式で実装されています。HS スイッチ電流は、短いブランキング時間の後に HS がオンになると検出されます。固定電流設定点と、内部誤差アンプ ループ出力からスロープ補償を引いた値のどちらか小さい方と HS スイッチ電流が、スイッチング サイクルごとに比較されます。内部誤差アンプ ループ出力には最大値があり、スロープ補償はデューティ サイクルに対応して大きくなるため、デューティ サイクルが 35% より大きい場合、デューティ サイクルが大きくなると HS 電流制限値は下がります。

LS スイッチがオンになると、LS スイッチを流れる電流もセンスされ、監視されます。ハイサイド デバイスと同様にローサイド デバイスは、内部誤差アンプ ループによって制御されるターンオフ限界値を持っています。ローサイド デバイスの場合、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流がこの値を超えるとターンオフは禁止されます。また、ハイサイド デバイスと同様に、ターンオフ電流に許容される高さに限界があります。これをローサイド電流制限と呼びます。LS 電流制限を超えた場合、LS MOSFET はオン状態を維持し、HS スイッチはターンオンしません。LS 電流がこの制限値を下回ると、LS スイッチはオフになり、HS 素子が最後にオンになってから 1 クロック周期以上が経過しさえすれば、HS スイッチは再度オンになります。

電流制限中に短絡が発生して FB 入力の電圧が約 0.4V (V_{hiccup}) を下回ると、本デバイスはヒックアップ モードに入ります。このモードでは、本デバイスは t_w または約 50ms の間スイッチングを停止し、その後、ソフトスタートを使って通常の再起動を行います。短絡状態が続く場合、本デバイスは電流制限内で約 5ms (標準値) 動作した後、再度シャットダウンします。短絡状態が持続する限り、このサイクルが繰り返されます。

7.3.14 サーマル シャットダウン

サーマル シャットダウンは、本デバイスの接合部温度が 168°C (標準値) を超えると内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは、158°C (最小値) 未満ではトリガされません。サーマル シャットダウンが発生した後、ヒステリシスにより、接合部温度が約 153°C (標準値) に低下するまで、本デバイスはスイッチングできません。接合部温度が 153°C (標準値) を下回ると、TPSM336x5 は再度ソフト スタートを試みます。

接合部温度が上昇して、TPSM336x5 がシャットダウンされても、電力は VCC に供給され続けます。高い接合部温度のせいで本デバイスが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン時の LDO の供給電流はわずか数ミリアンペアです。

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が 0.7V (標準値) を下回ると、パワーモジュールは電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が 250nA (標準値) まで低下します。

7.4.2 スタンバイ モード

内部 LDO の EN スレッシュホールドは、出力の EN スレッシュホールドよりも低い値です。EN ピンの電圧が 1V (最大値) より高く、かつ出力電圧の高精度イネーブル スレッシュホールドより低い場合、内部 LDO は VCC 電圧を 3.3V (標準値) にレギュレートします。EN ピンの電圧が高精度イネーブル スレッシュホールドを上回らない限り、SW ノードの内部パワー MOSFET はオフのままです。TPSM336x5 は UVLO 保護も採用しています。

7.4.3 アクティブ モード

EN ピンの電圧が V_{EN_RISE} を上回っており、かつ V_{IN} が $V_{IN}(\min)$ を上回っていて、なおかつその他のフォルト条件が存在しない場合、TPSM336x5 は必ずアクティブ モードになっています。この動作を可能にする最も簡単な方法は、EN ピンを V_{IN} に接続することです。これにより、印加された入力電圧が最小 $V_{IN}(\min)$ を超えると自動的に起動できます。

TPSM336x5 は、負荷電流、入力電圧、出力電圧に応じて次の 5 つのモードのいずれかになります：

- 連続導通モード (CCM)。負荷電流がインダクタリップル電流の 1/2 より大きいときには、固定周波数 (f_{sw}) の連続導通モードになります。
- 自動モード - 軽負荷動作時：パルス周波数変調 (PFM)。非常に軽い負荷で f_{sw} が低下した場合。
- FPWM モード - 軽負荷動作：不連続導通モード (CCM)。負荷電流がインダクタリップル電流の 1/2 未満である場合。
- 最小オン時間：入力電圧が高くかつ出力電圧が低い場合に、レギュレーションを維持するため、 f_{sw} が低下します。
- ドロップアウト モード：電圧低下を最小限に抑えるため、 f_{sw} が低下します。

7.4.3.1 CCM モード

以下の TPSM336x5 の動作説明については、「[機能ブロック図](#)」を参照してください。CCM では、TPSM336x5 は、各種デューティ サイクル (D) で内蔵ハイサイド (HS) およびローサイド (LS) スイッチをオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグラウンドの下まで強制的にスイングさせます。一定の出力電圧を維持するため、降圧モジュールのコンバータループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = T_{ON} / T_{SW} \quad (10)$$

損失が無視される理想的な降圧モジュール コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = V_{OUT} / V_{IN} \quad (11)$$

7.4.3.2 自動モード – 軽負荷動作

軽負荷時、TPSM336x5 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間を継ぎ目なく移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。TPSM336x5 がどのモードで動作するかは、このファミリから選定したバリエーションによって異なります。周波数を外部信号に同期させる場合、すべてのデバイスは FPWM モードで動作することに注意します。

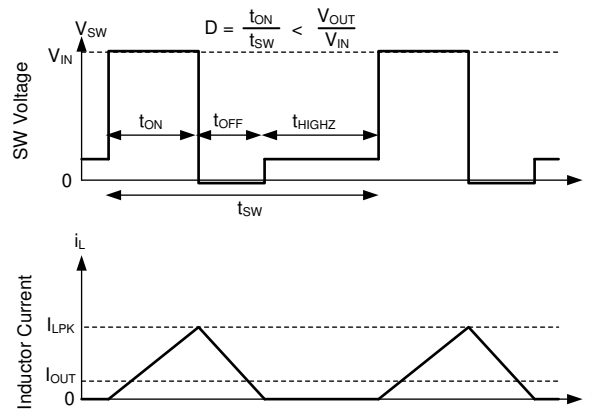
TPSM336x5 で軽負荷動作を採用しているのは自動モードのみです。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能なダイオード エミュレーション ([図 7-13](#) を参照)
- 周波数低減 ([図 7-14](#) を参照)

これら 2 つの機能は、同時に動作することで軽負荷時の効率を向上させますが、互いに独立して動作することに注意します。

7.4.3.2.1 ダイオード エミュレーション

ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。固定ピーク インダクタ電流の場合、レギュレートするために周波数をより低くする必要がある可能性があります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



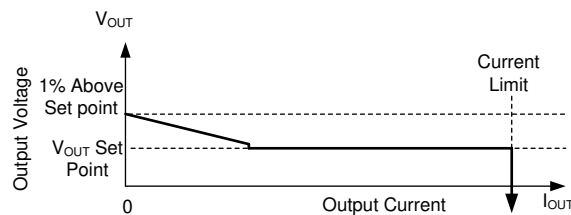
自動モードでは、SW ノード電流がゼロに近づくとローサイド素子はオフになります。その結果、出力電流が CCM で発生する可能性があるインダクタリップルの 1/2 未満になると、本デバイスは DCM で動作します。これは、ダイオード エミュレーションが機能しているということと等価です。

図 7-13. PFM 動作

TPSM336x5 には、自動モードの最小ピーク インダクタ電流設定があります (セクション 6.5 の $I_{PEAKMIN}$ を参照)。入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

7.4.3.2.2 周波数低減

TPSM336x5 は、出力電圧が高くなると常に周波数を下げます。この機能は、内部誤差アンプ補償出力 (内部信号 COMP) が Low でありかつ V_{OUT}/FB のレギュレーション設定点と V_{OUT}/FB に印加される電圧との間にオフセットが存在する場合、常に有効化されます。結果的に、自動モードでの軽負荷の間、通常動作の場合よりも出力インピーダンスが大きくなります。本デバイスが完全に無負荷である場合、出力電圧は約 1% 高くなるはずですが。



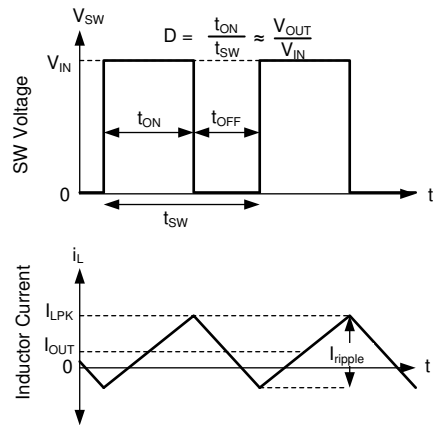
自動モードでは、本デバイスの出力電流が定格電流の約 1/10 を下回ると、降圧コンバータが完全に無負荷になった際に出力電圧が 1% 高くなるように出力抵抗が増大します。

図 7-14. 定常状態の出力電圧と自動モードの出力電流との関係

PFM 動作では、PFM 検出回路を動作させるために、出力電圧に小さな正の DC オフセットが必要となります。PFM の周波数が低いほど、 V_{OUT} に必要な DC オフセットは大きくなります。 V_{OUT} での DC オフセットが許容できない場合、 V_{OUT} に接続したダミー負荷または FPWM モードを使うことで、このオフセットを低減または除去できます。

7.4.3.3 FPWM モード - 軽負荷動作

FPWM モードでは、出力の負荷が軽い間、周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。負電流制限回路により、逆電流が制限されます。負電流制限値については、「電気的特性」を参照してください。



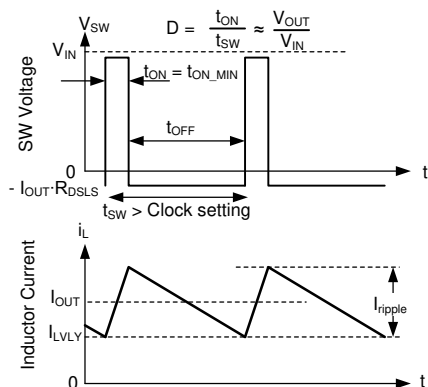
FPWM モードでは、 I_{OUT} が I_{ripple} の半分未満でも連続導通 (CCM) が可能です。

図 7-15. FPWM モード動作

デバイスの種類にかかわらず、FPWM モードでは、軽負荷時であっても最小オン時間を指示できるほど出力電圧が高ければ、依然として周波数を低減できるため、出力をプルアップする必要があるフォルト中も良好に動作できます。

7.4.3.4 最小オン時間 (高入力電圧) での動作

出力電圧に対する入力電圧の比が要求するオン時間が、与えられたクロック設定のチップの最小オン時間より短い場合でも、TPSM336x5 は出力電圧をレギュレートし続けます。これは、バレー電流制御を使用して実現されます。補償回路は常に最大ピーク インダクタ電流と最大バレー インダクタ電流の両方を指示します。何らかの理由でバレー電流を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロック サイクルは延長されます。本パワー モジュールが電流制限動作をしていない場合、最大バレー電流はピーク インダクタ電流よりも高く設定され、ピーク電流のみを使ったレギュレーションに失敗しない限りバレー制御が使われることがないようにしています。補償回路が指示したピークコマンドをインダクタピーク電流値が上回るほど、出力電圧に対する入力電圧の比が高すぎる場合、出力電圧をレギュレートするのに十分な速さではハイサイド素子をオフにすることはできません。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。補償回路によって十分小さい電流が選択されると、バレー電流は、補償回路が指示した電流に一致します。これらの条件では、ローサイド素子がオンに維持され、目的のバレー電流をインダクタ電流が下回るまで、次のクロック サイクルは開始されません。オン時間は最小値に固定されているため、このタイプの動作は、コンスタント オンタイム (COT) 制御方式を採用したデバイスの動作と似ています (図 7-16 を参照)。

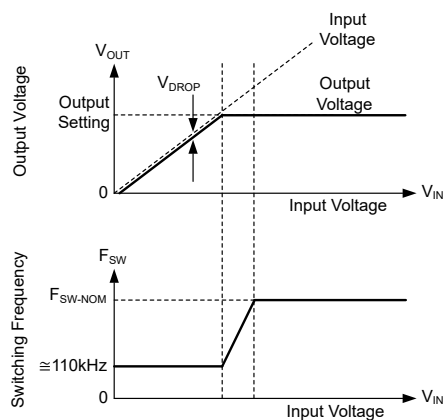


バレー制御モードでは、ピークインダクタ電流ではなく、最小インダクタ電流が制御されます。

図 7-16. バレー電流モード動作

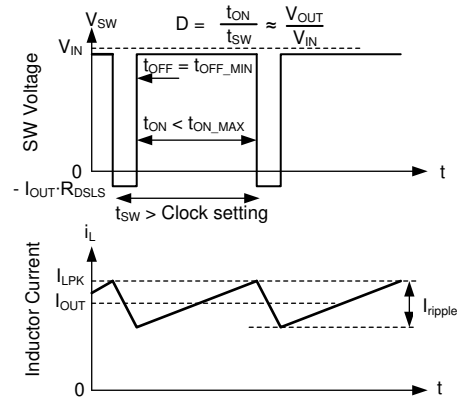
7.4.3.5 ドロップアウト

ドロップアウト動作とは、必要なデューティサイクルを達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティサイクルは最小オフ時間によって制限されます。クロック周波数が維持される場合、図 7-18 に示すように、この制限値に達した後、出力電圧が低下する可能性があります。TPSM336x5 は、出力電圧が下がるのを許容するのではなく、クロックサイクルが終わっても必要なピークインダクタ電流が達成されるまでハイサイドスイッチのオン時間を延長します。必要なピークインダクタ電流に達すると、または設定済みの最大オン時間 (t_{ON-MAX} 、約 $9\mu s$) が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティサイクルが達成できない場合、レギュレーションを維持するために周波数が低下します。図 7-17 に示すように、 t_{ON-MAX} のオン時間を使っても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに (V_{DROP}) 低い値に下がります。ドロップアウトからの回復の詳細については、セクション 7.3.12.1 を参照してください。



出力電圧および周波数と入力電圧との関係: 入力電圧と出力電圧設定値との差がほとんどない場合、本 IC はレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 110kHz で目的の出力電圧を供給できない場合、入力電圧は出力電圧に追従します。

図 7-17. ドロップアウト時の周波数と出力電圧



ドロップアウト中のスイッチング波形。インダクタ電流は、目的のピーク値に達するのに通常のクロックよりも長い時間を要します。その結果、周波数は低下します。この周波数の低下は t_{ON_MAX} によって制限されます。

図 7-18. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPSM336x5 では、わずか数個の外部部品を使用するだけで、幅広い範囲の電源電圧を固定出力電圧に変換できます。TPSM336x5 の設計プロセスを迅速化および効率化する場合、[WEBENCH](#) の回路設計と選定シミュレーション サービスのオンライン ソフトウェアを利用すれば、設計手順を繰り返し活用し包括的な部品データベースにアクセスして完全な設計を生成することができます。以下のセクションでは、TPSM336x5 パワー モジュールを設定するための設計手順について解説します。

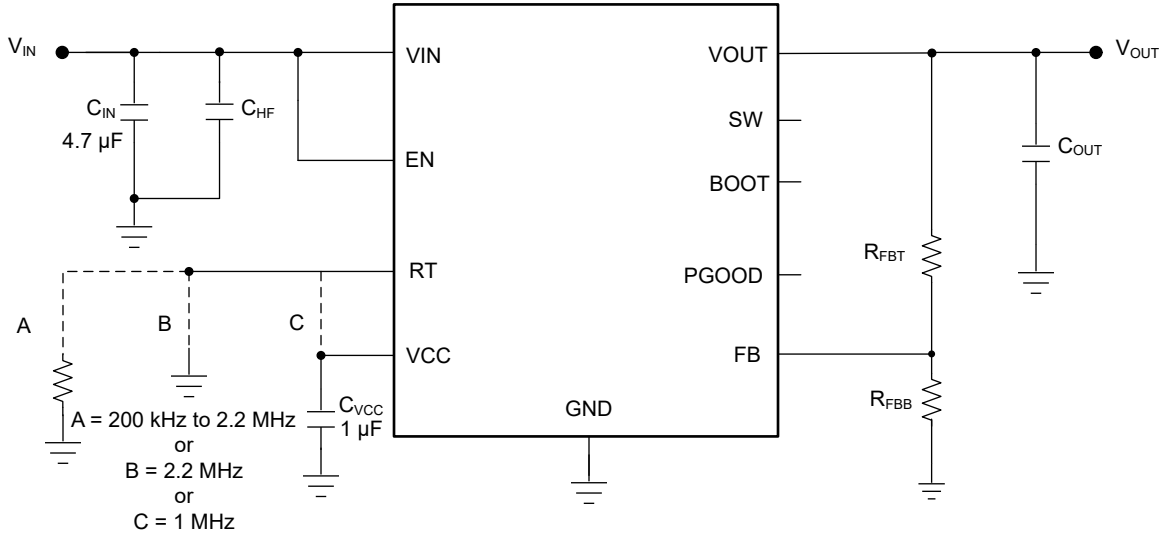
すでに説明したように、TPSM336x5 は、高精度イネーブル、UVLO、PGOOD インジケータなど、システム設計要件を満たすためのオプション機能もいくつか内蔵しています。以下に示すアプリケーション回路では、各種の使用事例に適した TPSM336x5 の構成方法を示しています。詳細については、『[TPSM33625EVM](#)、[TPSM3365FEVM ユーザー ガイド](#)』を参照してください。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り 実効 値を指しています。実効 値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。これにより、個別のコンデンサの RMS 電流要件も緩和されます。「実効」静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2 代表的なアプリケーション

図 8-1 に、TPSM336x5 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステムパラメータで機能するように設計されています。しかし内部補償は、特定の範囲のスイッチング周波数と出力容量に対して最適化されています。



- A. 外部調整可能スイッチング周波数 RT バリエーションの場合のみ、RT ピンは工場出荷時に設定済みです。詳しくは、[スイッチング周波数 \(RT\)](#) を参照してください。

図 8-1. アプリケーション回路例 (TPSM336x5)

8.2.1 設計要件

「[詳細な設計手順](#)」では、[表 8-1](#) に従って、部品を設計および選択する手順を説明します。

表 8-1. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	5.5V ~ 36V
出力電圧	5V
最大出力電流	0A ~ 2.5A
スイッチング周波数	1MHz

8.2.2 詳細な設計手順

設計手順に従えば、[図 8-2](#) に図示しているように部品を選定できます。

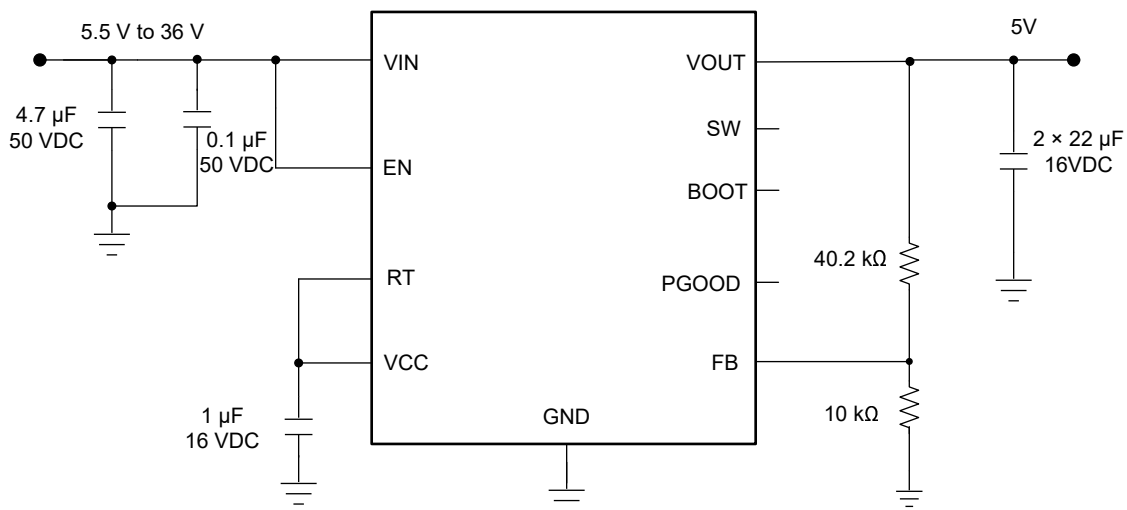


図 8-2. 5V VOUT の設計例

8.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPSM336x5 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (VIN)、出力電圧 (VOUT)、出力電流 (IOUT) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.2.2 スwitching 周波数の選択

標準的な出力電圧の推奨スイッチング周波数については、[表 7-1](#) を参照してください。5V 出力の場合、推奨スイッチング周波数は 1MHz です。スイッチング周波数を 1MHz に設定するには、RT ピンを VCC に接続します。

8.2.2.3 出力電圧の設定

調整可能な出力電圧は、抵抗分圧器で外部的に設定されます。帰還抵抗値の選択方法の詳細については、「[出力電圧の選択](#)」を参照してください。 R_{FBB} の推奨値は 10k Ω です。 R_{FBT} の値は、[表 7-1](#) から選択するか、[式 12](#) を使って計算できます。

$$R_{FBT}[\text{k}\Omega] = R_{FBB}[\text{k}\Omega] \times \left(\frac{V_{OUT}[\text{V}]}{1\text{V}} - 1 \right) \quad (12)$$

目的の出力電圧が 5V の場合、この式から 40.2k Ω の値が得られます。 R_{FBT} に対して利用可能な最も近い標準値である 40.2k Ω を選択します。

8.2.2.4 入力コンデンサの選択

TPSM336x5 では、最小入力容量として 4.7 μF が必要です。バイパス機能を向上させるため、並列に 0.1 μF コンデンサを追加することを推奨します。十分な電圧および温度定格を持つ高品質のセラミックタイプ コンデンサが必要です。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。この設計では、4.7 μF と 0.1 μF の 50V 定格のコンデンサを使用します。

多くの場合、入力に、セラミックと並列に電解コンデンサを配置することが望ましいです。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリングングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

考慮すべき入力コンデンサの部品番号の例については、[表 7-2](#) を参照してください。

8.2.2.5 出力コンデンサの選択

5V 出力の場合、TPSM336x5 が正常に動作するためには、25 μF 以上の実効的な出力キャパシタンスが必要です ([表 7-1](#) を参照)。十分な電圧および温度定格を持つ高品質のセラミックタイプ コンデンサが必要です。リップル電圧を低減するため、または過渡的な負荷要件を持つアプリケーションのために、出力容量を追加することもできます。

実際には、過渡応答とループ位相 マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。

合計出力容量の最大値は、設計値の約 10 倍、または 1000 μF のどちらか小さい方に制限します。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

この設計例では、22 μF 、16V、1210 ケース サイズのセラミック コンデンサ 2 個を選択します。これらのコンデンサの実効的な容量の合計値は 5V で約 40 μF です。出力コンデンサの選択例については、[表 7-3](#) を参照してください。

8.2.2.6 VCC

VCC ピンは、レギュレータの制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を正常に動作させるには、1 μF 、16V のセラミック コンデンサを VCC と GND との間に接続する必要があります。一般に、この出力に負荷として外部回路を接続できません。ただし、この出力は、パワー グッド機能のプルアップに電力を供給するために使えます ([「パワー グッド出力の動作」](#)を参照)。この場合、10k Ω ~100k Ω の範囲の値が適しています。VCC の公称出力電圧は 3.3V です。限界値については、「[電気的特性](#)」を参照してください。

8.2.2.7 C_{FF} の選択

場合によっては、 R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。『[内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化](#)』アプリケーション レポートは、フィードフォワード コンデンサの実験に役立ちます。

可変出力電圧向けに構成した際に、目的の出力電圧が確実に達成されるように、帰還検出回路の性質上、 C_{FF} の値を制限する必要があります。 C_{FF} が確実に最大値を下回るように、[式 13](#) に従う必要があります。

$$C_{FF} < C_{OUT} \times \frac{\sqrt{V_{OUT}}}{1.2 \times 10^6} \quad (13)$$

8.2.2.8 パワー グッド信号

出力電圧が存在し、かつレギュレートされていることを示すパワー グッド信号が必要なアプリケーションでは、PGOOD ピンと有効な電圧源との間に接続されたプルアップ抵抗を使用する必要があります。この電圧源として、たとえば VCC または VOUT を使用できます。

8.2.2.9 最大周囲温度

他の電力変換デバイスと同様に、TPSM336x5 は動作中に内部で電力を消費します。この消費電力の影響により、パワー モジュールの内部温度が周囲温度よりも高くなります。内部ダイおよびインダクタ温度 (T_J) は、周囲温度、電力損失、本モジュールと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。TPSM336x5 の最大接合部温度は、125°C に制限する必要があります。この制限により、本モジュールの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 14 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また $R_{\theta JA}$ 値が大きいほど、利用可能な最大出力電流は減少します。パワー モジュールの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。 $R_{\theta JA}$ の正確な値を推定するのは、より困難です。最後に、EVM でのベンチ解析によって得られた安全動作領域曲線とモジュールのサーマル画像から、出力電力能力に関する知見を得ることができます。これらの曲線は、本データシートの「アプリケーション曲線」セクションに記載されています。

『半導体および IC パッケージの熱評価基準』アプリケーション レポートで述べているように、「熱に関する情報」セクションに記載されている値は、設計目的には有効ではなく、アプリケーションの熱性能の推定には使用してはなりません。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。

$$I_{OUT, max} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1 - \eta)} \times \frac{1}{V_{OUT}} \quad (14)$$

ここで、

- η は効率です。

実効 $R_{\theta JA}$ (TPSM33625EVM = 22°C/W) は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度 / フロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマル ビアの数
- 隣接する部品の配置

上述の IC の電力損失は、全体の電力損失からインダクタの DC 抵抗に起因する損失を減算したものです。総合的な電力損失は、特定の動作条件と温度に対して WEBENCH を使用して概算できます。

最適な PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

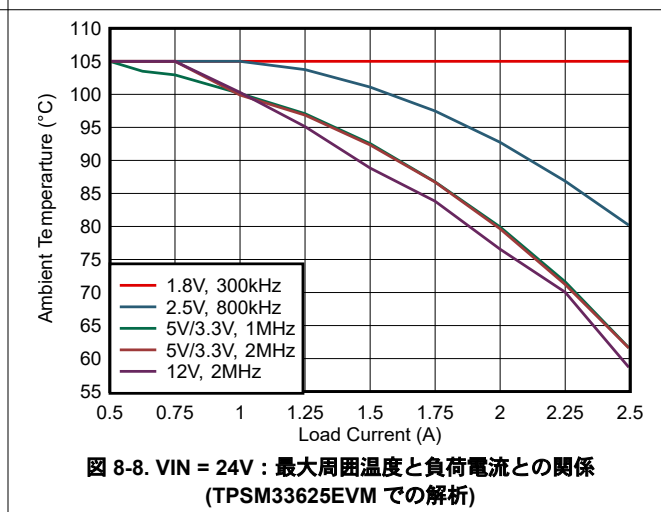
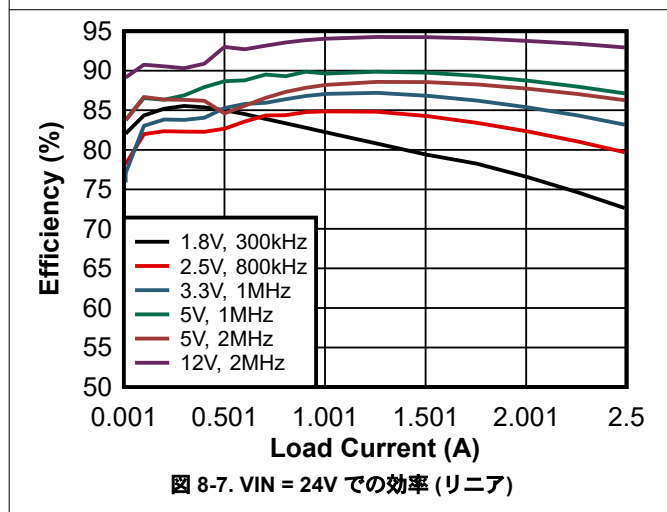
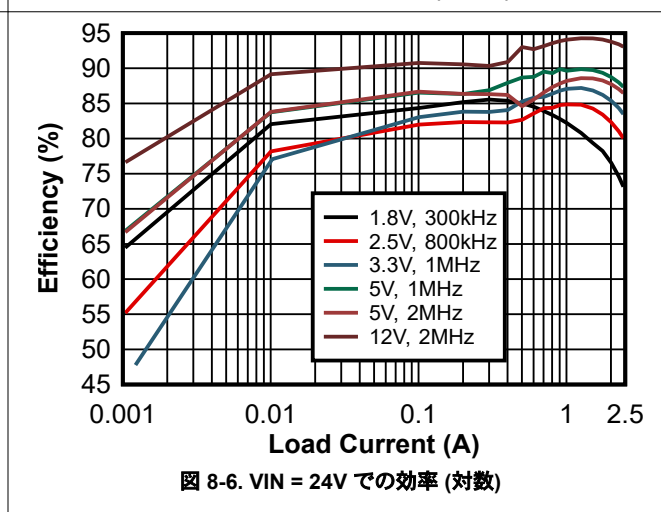
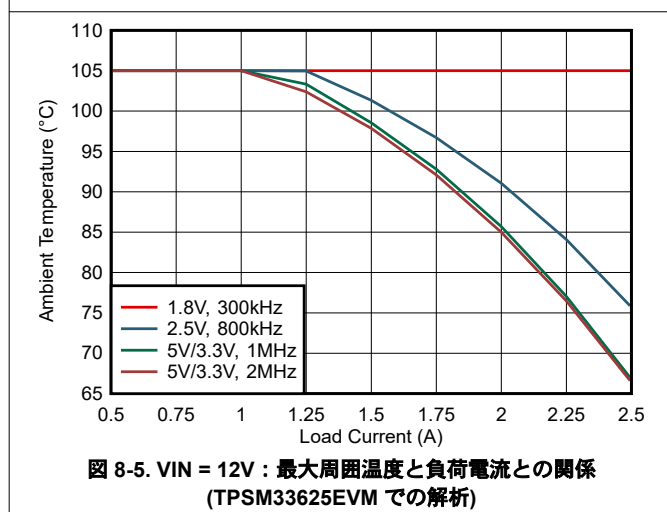
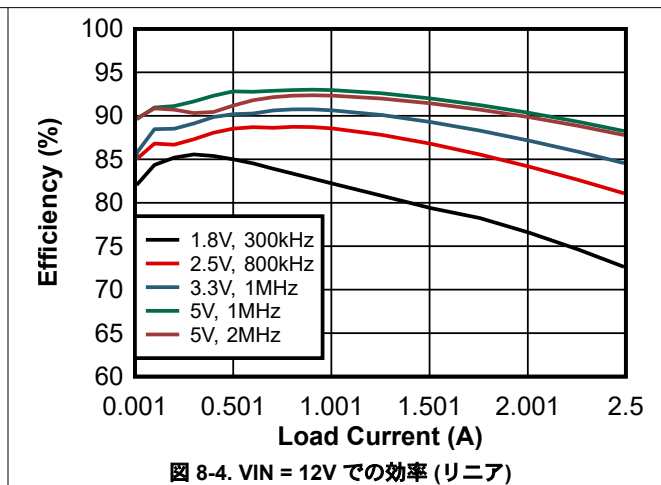
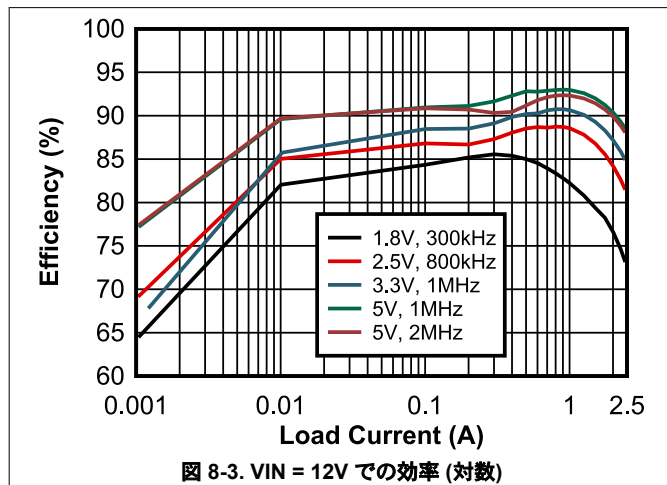
- 『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート
- 『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- 『LM43603 および LM43602 を使用した簡単な熱設計』アプリケーション レポート
- 『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート
- 『PowerPAD™ の簡単な使い方』アプリケーション レポート
- 『新しい熱評価基準の解説』アプリケーション レポート
- PCB 温度計算ツール

8.2.2.10 その他の接続

- RT ピンを AGND に接続すると、スイッチング周波数は 2.2MHz に設定され、VCC に接続すると、スイッチング周波数は 1MHz に設定されます。RT ピンと GND との間に接続する抵抗を使って、200kHz～2.2MHz の目標動作周波数を設定できます。
- MODE/SYNC ピンバリエーションの場合、このピンを外部クロックに接続すると、本デバイスは強制的に同期動作に入ります。MODE/SYNC ピンを Low に接続すると、本デバイスは軽負荷時に PFM モードで動作できます。MODE/SYNC ピンを High に接続すると、本デバイスは FPWM モードに移行し、負荷電流にかかわらず最大周波数で動作できます。
- EN ピンに抵抗分圧器回路を追加することで、高精度の入力低電圧誤動作防止 (UVLO) を実現できます。
- VCC ピンと PGND の間に、本デバイスに近付けて、1 μ F のコンデンサを配置します。
- パワー グッド信号を生成するため、PGOOD ピンと有効な電圧源との間にブルアップ抵抗を接続します。

8.2.3 アプリケーション曲線

COU_T = 2 × 22μF (1210, 16VDC)



8.2.3 アプリケーション曲線 (続き)

CO_{UT} = 2 × 22μF (1210, 16VDC)

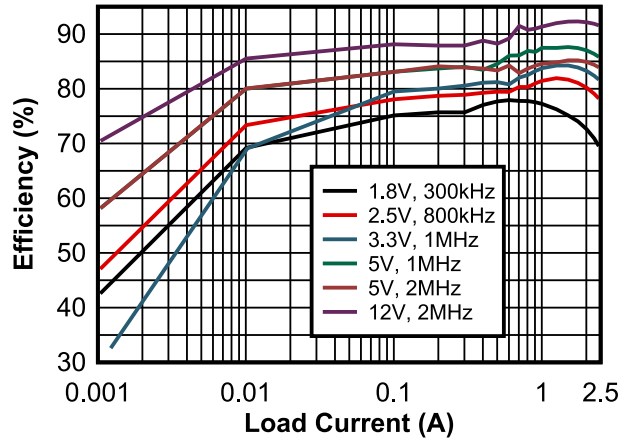


図 8-9. VIN = 36V での効率 (対数)

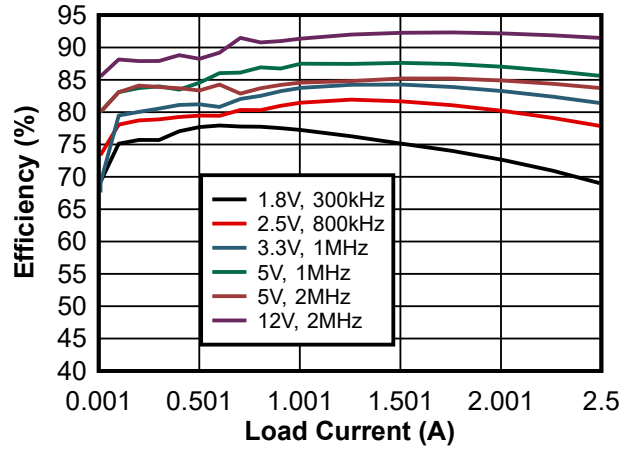


図 8-10. VIN = 36V での効率 (リニア)

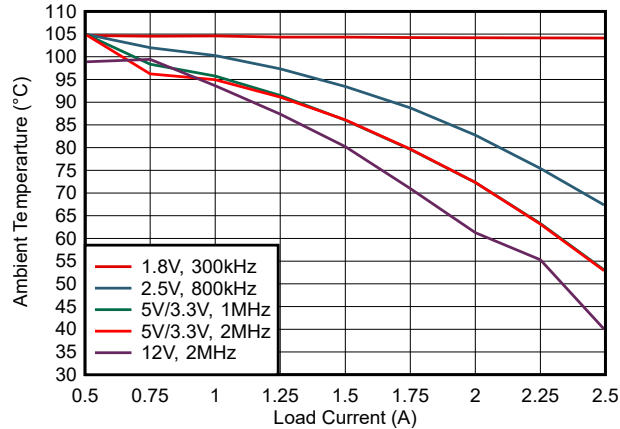
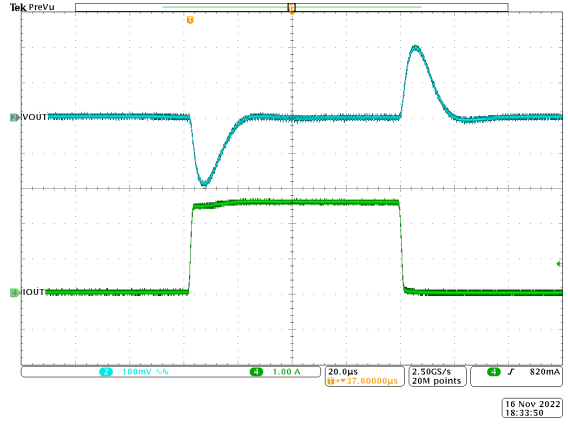
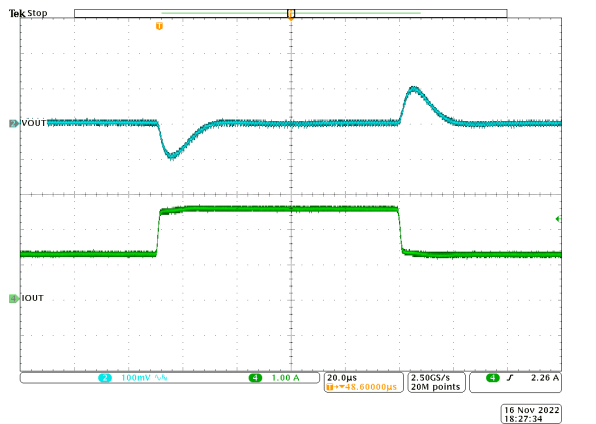


図 8-11. VIN = 36V : 最大周囲温度と負荷電流との関係 (TPSM33625EVM での解析)



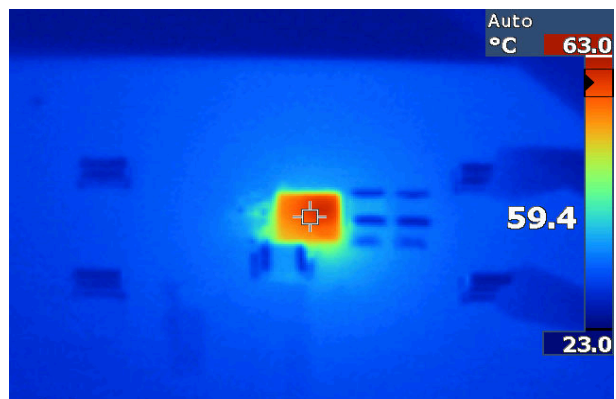
V_{IN} = 24V V_{OUT} = 5V 1MHz (FPWM)
0A~2.5A, 1A/μs CO_{UT} = 2 × 22μF (1210, 16VDC)

図 8-12. 負荷過渡



V_{IN} = 24V V_{OUT} = 5V 1MHz (FPWM)
1.25A~2.5A, 1A/μs

図 8-13. 負荷過渡

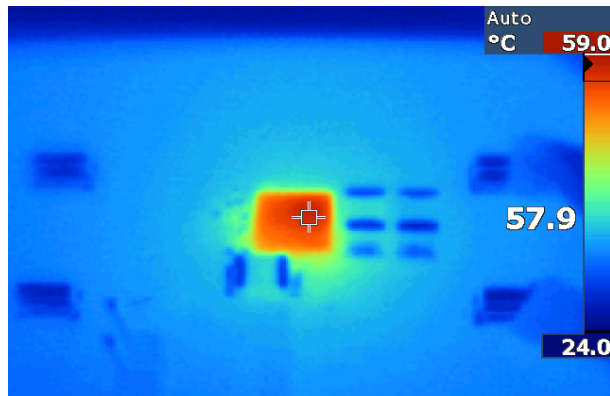


V_{IN} = 12V V_{OUT} = 3.3V 2A, 500kHz

図 8-14. EVM の放熱特性

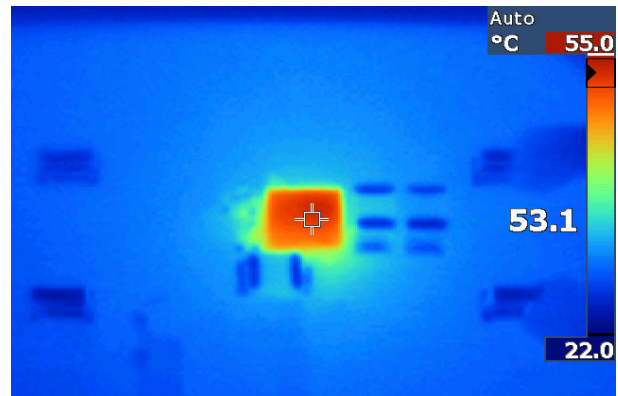
8.2.3 アプリケーション曲線 (続き)

CO_{UT} = 2 × 22μF (1210, 16VDC)



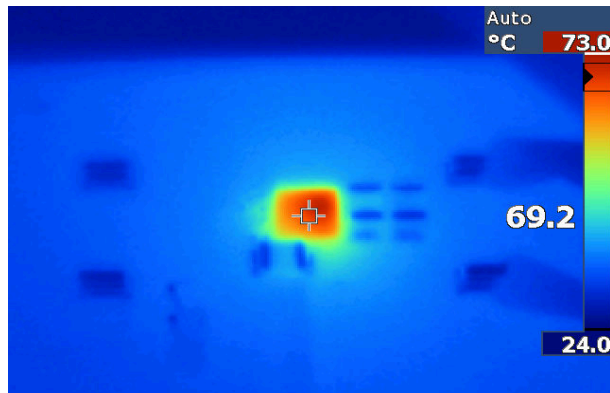
V_{IN} = 12V V_{OUT} = 3.3V 2A, 1MHz

図 8-15. EVM の放熱特性



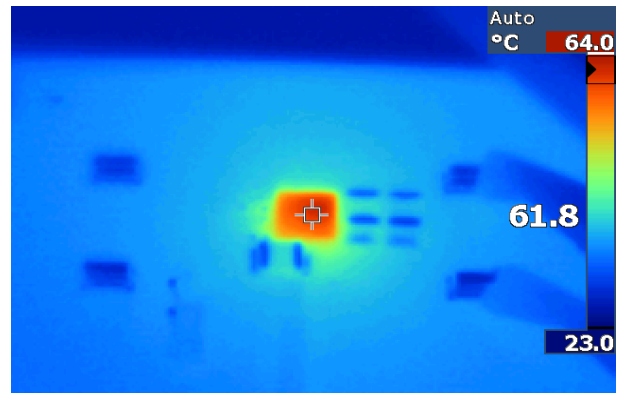
V_{IN} = 12V V_{OUT} = 3.3V 2A, 2.2MHz

図 8-16. EVM の放熱特性



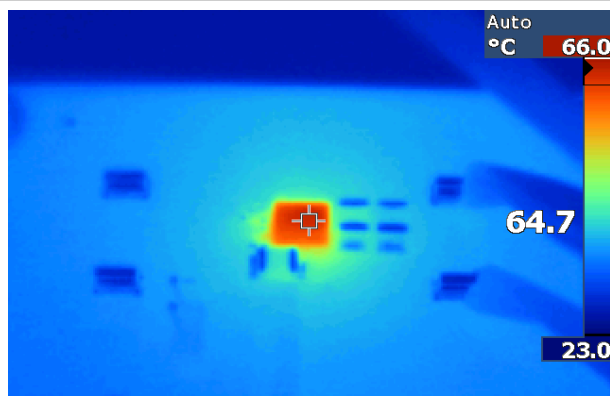
V_{IN} = 24V V_{OUT} = 3.3V 2A, 500kHz

図 8-17. EVM の放熱特性



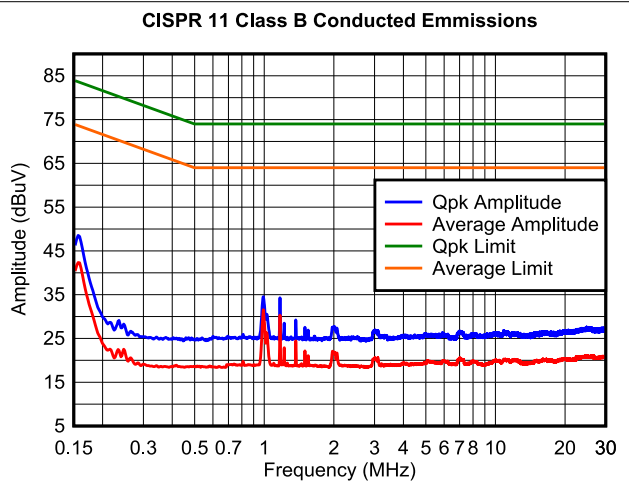
V_{IN} = 24V V_{OUT} = 3.3V 2A, 1MHz

図 8-18. EVM の放熱特性



V_{IN} = 24V V_{OUT} = 3.3V 2A, 2.2MHz

図 8-19. EVM の放熱特性



V_{IN} = 24V V_{OUT} = 5V F_{sw} = 1MHz
ボード = TPSM33625EVM 負荷 = 2.5A

図 8-20. CISPR 11, Class B, CE スキャン 150kHz~30MHz

8.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- 推奨動作条件を超過してはなりません。
- ESD 定格を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグラウンドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

TPSM336x5 降圧モジュールは、3V～36V の幅広い入力電圧範囲で動作するように設計されています。入力電源の特性は、このデータシートの絶対最大定格および推奨動作条件と互換性がある必要があります。また、入力電源は、負荷時レギュレータ回路に必要な入力電流を供給できる必要があります。式 15 を使用して平均入力電流を推定します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (15)$$

ここで、

- η は効率です。

モジュールが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、モジュールの動作に悪影響を及ぼすおそれがあります。具体的には、寄生インダクタンスと低 ESR のセラミック入力コンデンサの組み合わせにより、低減共振回路が形成され、入力電源のオン/オフが繰り返されるたびに不安定性と電圧過渡のどちらかまたは両方が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。モジュールが最小入力電圧に近い値で動作している場合、この低下によって UVLO が誤って起動され、システムがリセットされる可能性があります。

こうした問題を解決する最善策は、入力電源からモジュールまでの距離を短くして、電解入力コンデンサをセラミックと並列に使用することです。中程度の ESR を持つ電解コンデンサは、入力共振回路の振動を減衰させ、入力のすべてのオーバーシュートまたはアンダーシュートを低減するのに役立ちます。通常、47 μ F～100 μ F の容量は入力並列ダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。代表的な ESR は 0.1 Ω ～0.4 Ω であり、ほとんどの入力回路構成で十分な減衰を実現します。

8.5 レイアウト

スイッチング電源の性能は、部品の選択だけでなく PCB のレイアウトにも依存します。最高の電力変換性能と最適な熱性能を実現しながら、不要な EMI の生成を最小限に抑える PCB を設計するため、以下のガイドラインを使います。

8.5.1 レイアウトのガイドライン

DC/DC モジュールの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。モジュールが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトの影響を大きく受けます。降圧コンバータ モジュールにおける PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです (図 8-22 を参照)。このループには、パターンのインダクタンスに反応して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、パワー モジュールの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があり、ループの面積はできる限り小さくする必要があります。レイアウト例に、TPSM336x5 の重要部品の推奨レイアウトを示します。

1. 入力コンデンサは、VIN および GND ピンにできる限り近づけて配置してください。VIN および GND ピンは隣接しているため、入力コンデンサを簡単に配置できます。

2. VCC のバイパス コンデンサは、VCC ピンの近くに配置します。このコンデンサは、本デバイスの近くに配置し、短く広いパターンで VCC および GND ピンに配線する必要があります。
3. 帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。R_{FBB}、R_{FBT}、C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があります。かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
4. 内層の 1 つを使って、少なくとも 1 つのグランドプレーンを配置します。このプレーンは、ノイズシールドと放熱経路として機能します。
5. VIN、VOUT、GND には広いパターンを使います。パワー モジュールの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真つすぐにする必要があります。
6. 適切なヒートシンクのために十分な PCB 領域を確保します。最大負荷電流と周囲温度に見合った低 R_{θJA} を実現するため、十分な銅箔面積を確保してください。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。PCB 設計に複数の銅層を使用している場合は (推奨設計)、これらのサーマルビアも内部層の熱拡散グランドプレーンに接続することができます。
7. 複数のビアを使用して、パワープレーンを内部の層に接続します。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- 『スイッチング電源のレイアウトのガイドライン』アプリケーションレポート
- 『Simple Switcher PCB レイアウト ガイドライン』アプリケーションレポート
- 『独自電源の構築 - レイアウトの考慮事項』セミナー
- 『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーションレポート

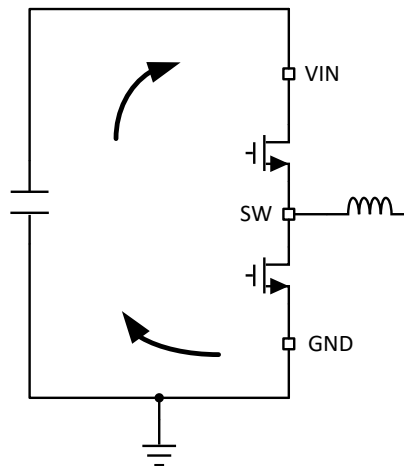


図 8-22. 高速エッジを持つ電流ループ

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。バイパス コンデンサの隣にあるビアを使用して、GND ピンをグランド プレーンに接続します。GND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

GND ピンの近くに十分な面積の銅箔を配置することで、適切なデバイス ヒートシンクを設けることを推奨します。レイアウト例については、

図 8-23 を参照してください。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を

使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

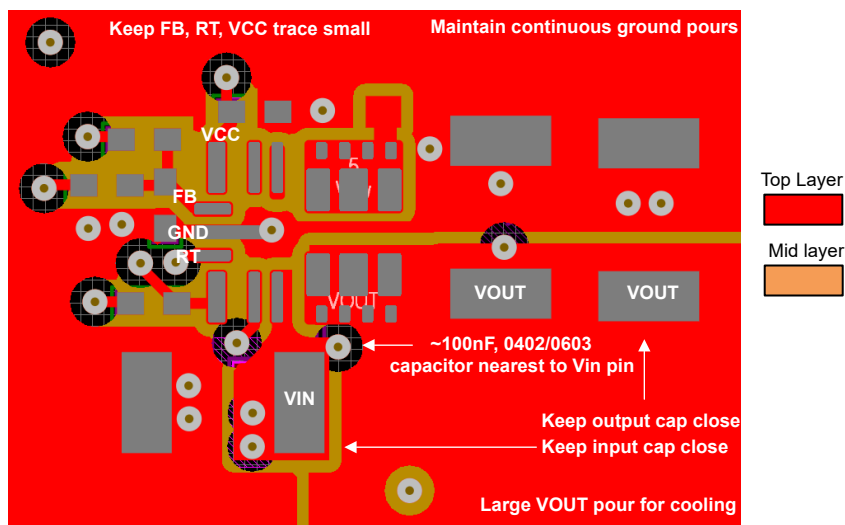


図 8-23. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

9.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPSM336x5 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (VIN)、出力電圧 (VOUT)、出力電流 (IOUT) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.1.3 デバイスの命名規則

図 9-1 に、TPSM336x5 のデバイス命名規則を示します。各バリエーションの特長については、[セクション 4](#) を参照してください。他のオプションの詳細と提供状況については、テキサス・インスツルメンツの販売代理店またはテキサス・インスツルメンツの [E2E フォーラム](#) にお問い合わせください。

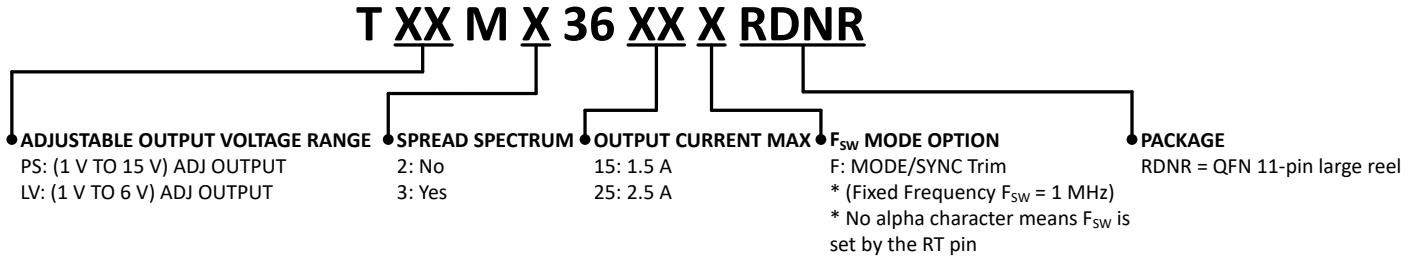


図 9-1. デバイスの命名規則

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーションレポート
- テキサス インスツルメンツ、『露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウトガイド』アプリケーションレポート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーションレポート
- テキサス・インスツルメンツ、『LM43603 および LM43602 を使用した簡単な熱設計』アプリケーションレポート
- テキサス インスツルメンツ、『放熱特性に優れた PowerPAD™ パッケージ』アプリケーションレポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーションレポート
- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーションレポート
- テキサス インスツルメンツ、『スイッチング電源のレイアウトのガイドライン』アプリケーションレポート
- テキサス インスツルメンツ、『Simple Switcher PCB レイアウト ガイドライン』アプリケーションレポート
- テキサス・インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』セミナー
- テキサス・インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーションレポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.5 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (February 2024) to Revision D (December 2025) Page

- ドキュメントの最初のページに、ZEN 1 スイッチャ技術のブランディングを追加.....1

Changes from Revision B (March 2023) to Revision C (February 2024) Page

- TPSM365R15 をピン互換デバイスとして追加..... 1
- 「[効率と出力電流との関係 \$V_{IN} = 24V\$](#) 」図の 1MHz データを更新..... 1
- MODE/SYNC ピンの定義を追加.....5
- MODE/SYNC の絶対最大定格を追加.....6
- 出力電流の仕様について、TPSM33625/ TPSM33615 の推奨動作条件のテスト条件を追加..... 6
- システム特性の効率仕様を「86%、84%、88%、86%、95%」から「84%、83%、87%、86%、94%。」に変更。 V_{LDOIN} のテスト条件を削除。..... 6
- [表 7-1](#) の $1V_{out}$ を短絡から $R_{FBT} = 10k\Omega$ に変更.....14
- WEBENCH デザインセンターの Web へのリンクを追加.....32
- [式 14](#) を h から V_{OUT} 条件に更新.....34
- [図 8-3](#)、[図 8-4](#)、[図 8-6](#)、[図 8-7](#)、[図 8-9](#)、[図 8-10](#) の 1MHz のデータを更新.....36
- WEBENCH デザインセンターの Web へのリンクを追加.....42

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM33615FRDNR	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33615F
TPSM33615FRDNR.A	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33615F
TPSM33615RDNR	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33615
TPSM33615RDNR.A	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33615
TPSM33625FRDNR	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33625F
TPSM33625FRDNR.A	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33625F
TPSM33625RDNR	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33625
TPSM33625RDNR.A	Active	Production	QFN-FCMOD (RDN) 11	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	33625

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM33615FRDNR	QFN-FCMOD	RDN	11	3000	330.0	17.6	3.8	4.8	2.3	8.0	12.0	Q1
TPSM33615RDNR	QFN-FCMOD	RDN	11	3000	330.0	17.6	3.8	4.8	2.3	8.0	12.0	Q1
TPSM33625FRDNR	QFN-FCMOD	RDN	11	3000	330.0	17.6	3.8	4.8	2.3	8.0	12.0	Q1
TPSM33625RDNR	QFN-FCMOD	RDN	11	3000	330.0	17.6	3.8	4.8	2.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM33615FRDNR	QFN-FCMOD	RDN	11	3000	336.0	336.0	48.0
TPSM33615RDNR	QFN-FCMOD	RDN	11	3000	336.0	336.0	48.0
TPSM33625FRDNR	QFN-FCMOD	RDN	11	3000	336.0	336.0	48.0
TPSM33625RDNR	QFN-FCMOD	RDN	11	3000	336.0	336.0	48.0

GENERIC PACKAGE VIEW

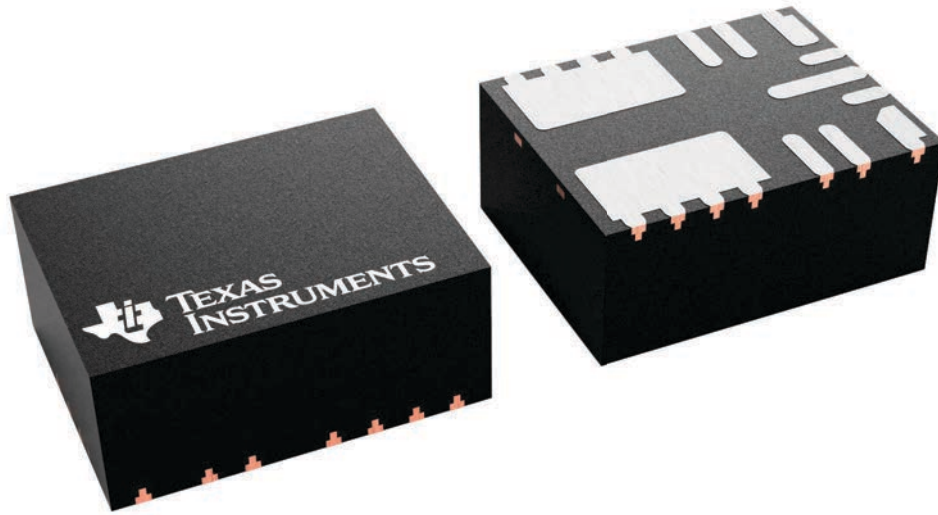
RDN 11

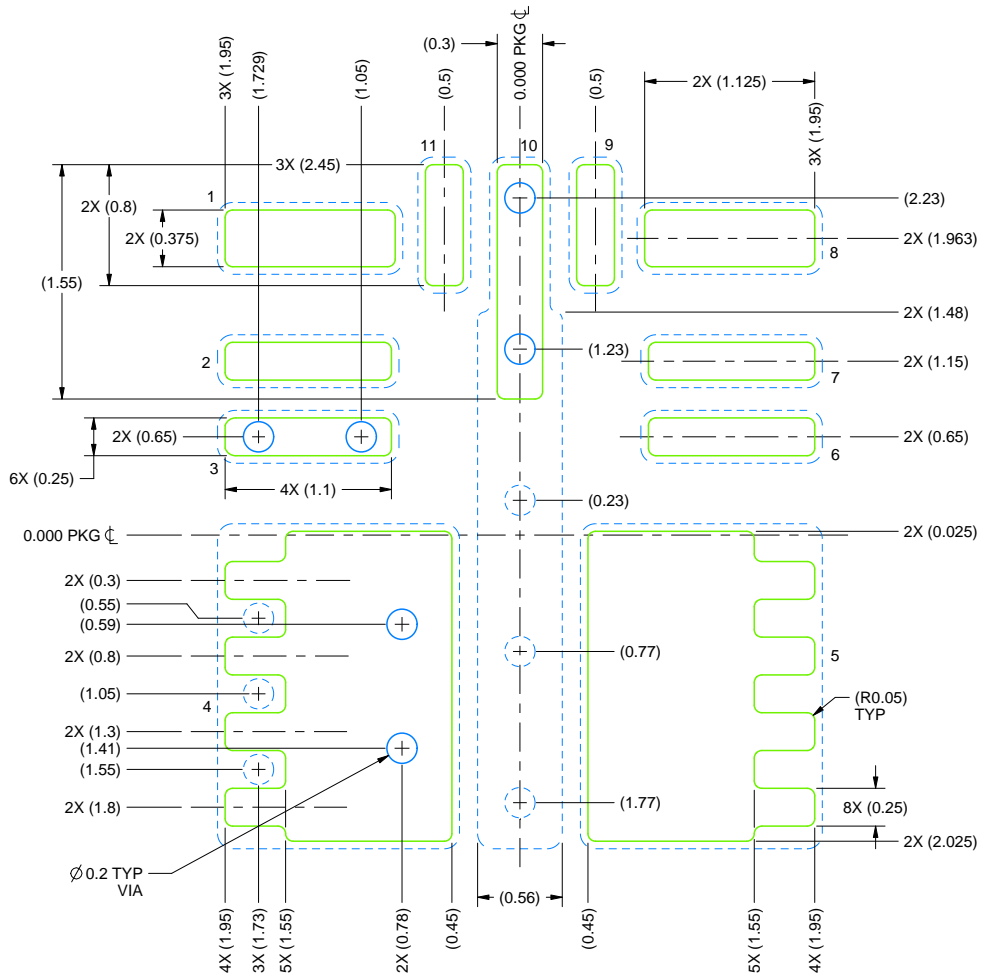
QFN-FCMOD - 2.1 mm max height

3.5 x 4.5, 0.5 mm pitch

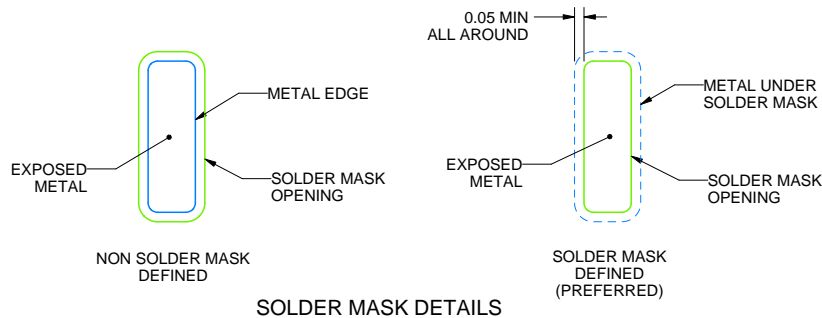
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 20X



4226623/F 09/2025

NOTES: (continued)

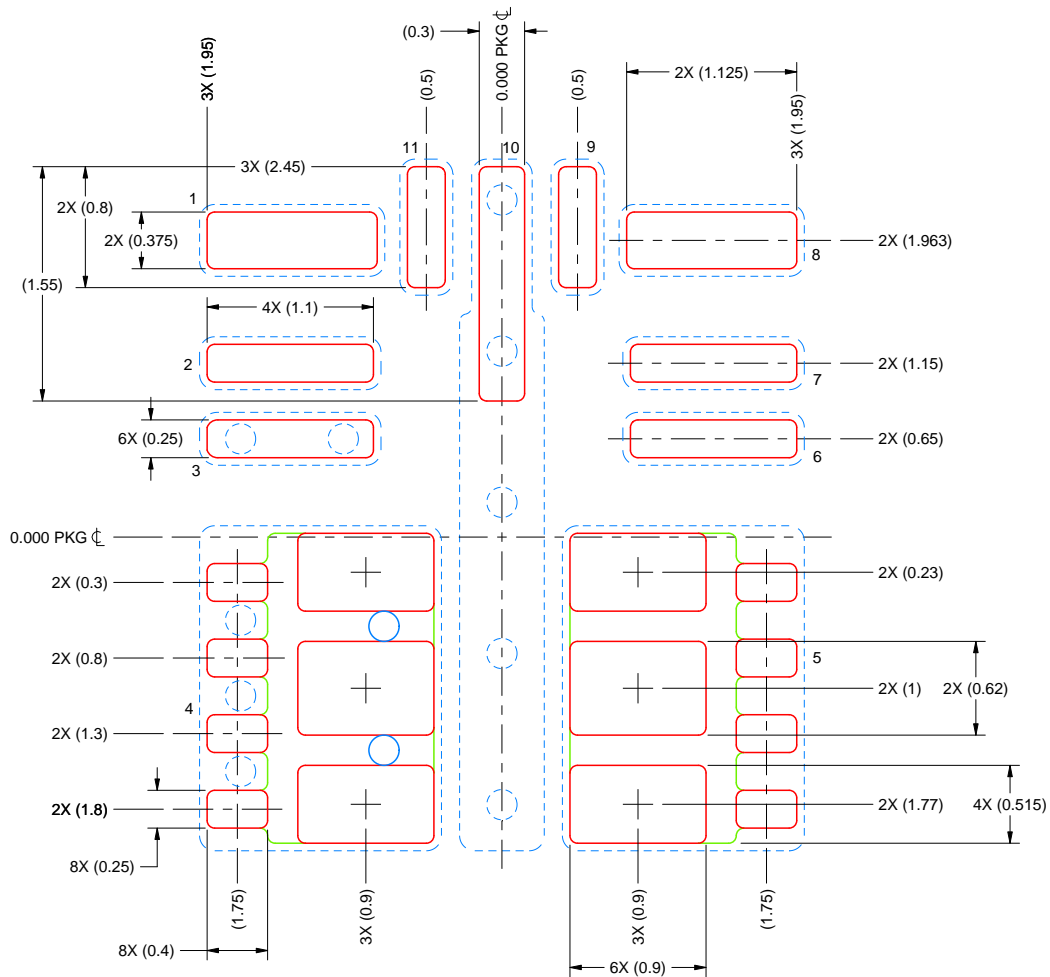
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RDN0011A

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 4 & 5: 72%

4226623/F 09/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月