

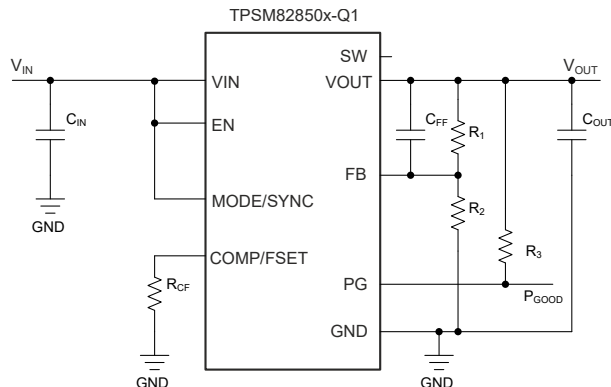
TPSM82850x-Q1 車載 2.7V ~ 6V 入力、1A および 2A 降圧パワー モジュール (インダクタ内蔵)

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ T_A
- 低 EMI 要件に対して最適化
 - ピン選択可能な疑似ランダム スペクトラム拡散 (SSC) により、ピーク放射が低減されます
- $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 入力電圧範囲: 2.7V ~ 6V
- 静止電流: 17 μA (代表値)
- 0.6V ~ 5.5V の出力電圧
- 出力電圧精度 $\pm 1\%$ (PWM 動作)
- 強制 PWM または PWM/PFM 動作
- 可変スイッチング周波数: 1.8MHz ~ 4MHz
- 高精度の ENABLE 入力で以下を実現:
 - ユーザー定義の低電圧誤動作防止機能
 - 正確なシーケンシング
- 100% デューティ サイクル モード
- アクティブ出力放電
- フォールドバック過電流保護 – オプション
- ウィンドウ コンパレータによるパワー グッド出力

2 アプリケーション

- 先進運転支援システム (ADAS) 用カメラ
- ADAS センサ フュージョンおよびサラウンド ビュー ECU
- ハイブリッドおよび再構成可能な計器クラスタ
- ヘッド ユニットおよびテレマティクス制御ユニット
- 外部オーディオ アンプ



概略回路図

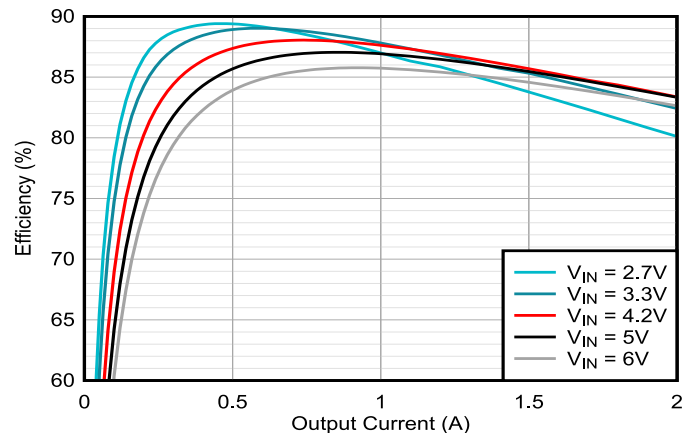
3 説明

TPSM82850x-Q1 はピン互換で、1A および 2A の車載高効率で使いやすいインダクタ内蔵の同期整流降圧型 DC/DC パワー モジュールのファミリーです。これらのデバイスは、固定周波数ピーク電流モード制御トポロジを使用しており、高電力密度と使いやすさが求められる車載アプリケーションに適しています。抵抗値の低いスイッチにより、高い周囲温度でも最大 2A の連続出力電流を供給できます。スイッチング周波数は、ピンストラップにより 2.25MHz に固定、または設定抵抗により 1.8MHz ~ 4MHz の範囲で選択できます。このモジュールは、1.8MHz ~ 4MHz の範囲の外部クロックに同期させることもできます。PFM/PWM モードでは、TPSM82850x-Q1 は負荷が軽いときに自動的にパワーセーブ モードへ移行するため、負荷範囲全体にわたって高い効率が維持されます。TPSM82850x-Q1 は PWM モードで 1% の帰還電圧精度を実現するため、出力電圧精度の高い電源の設計に役立ちます。COMP/FSET ピンは、スイッチング周波数、2つのループ補償設定のいずれか 1 つ、さまざまな負荷条件に対して SSC 機能を設定します

製品情報

部品番号 (2)	出力電流	パッケージ (1)	本体サイズ (公称)
TPSM828500-Q1 (3)	0.5A	RDY (QFN-FCMOD, 9)	2.7mm × 3.0mm
TPSM828501-Q1 (3)	1A		
TPSM828502-Q1	2A		

- 詳細については、[セクション 12](#) を参照してください。
- 「[デバイス比較表](#)」を参照してください。
- 開発中製品情報 (量産データではありません)。



効率と出力電流との関係、 $V_{OUT} = 1.1\text{V}$



目次

1 特長.....	1	8.4 デバイスの機能モード.....	14
2 アプリケーション.....	1	9 アプリケーションと実装.....	16
3 説明.....	1	9.1 アプリケーション情報.....	16
4 デバイス比較表.....	3	9.2 代表的なアプリケーション.....	16
5 ピン構成および機能.....	4	9.3 システム例.....	24
6 仕様.....	5	9.4 電源に関する推奨事項.....	24
6.1 絶対最大定格.....	5	9.5 レイアウト.....	25
6.2 ESD 定格.....	5	10 デバイスおよびドキュメントのサポート.....	27
6.3 推奨動作条件.....	5	10.1 デバイス サポート.....	27
6.4 熱に関する情報.....	6	10.2 ドキュメントのサポート.....	27
6.5 電気的特性.....	6	10.3 ドキュメントの更新通知を受け取る方法.....	27
6.6 代表的特性.....	9	10.4 サポート・リソース.....	27
7 パラメータ測定情報.....	10	10.5 商標.....	27
7.1 回路図.....	10	10.6 静電気放電に関する注意事項.....	27
8 詳細説明.....	11	10.7 用語集.....	27
8.1 概要.....	11	11 改訂履歴.....	28
8.2 機能ブロック図.....	11	12 メカニカル、パッケージ、および注文情報.....	28
8.3 機能説明.....	11		

4 デバイス比較表

部品番号	出力電流	出力電圧	標準的な入力コンデンサ	標準的な出力コンデンサ
TPSM828500WRDYRQ1 ⁽¹⁾	0.5A	可変	2 × 4.7μF	2 × 10μF
TPSM828501WRDYRQ1 ⁽¹⁾	1A			
TPSM828502WRDYRQ1	2A			

(1) 開発中製品情報 (量産データではありません)。

5 ピン構成および機能

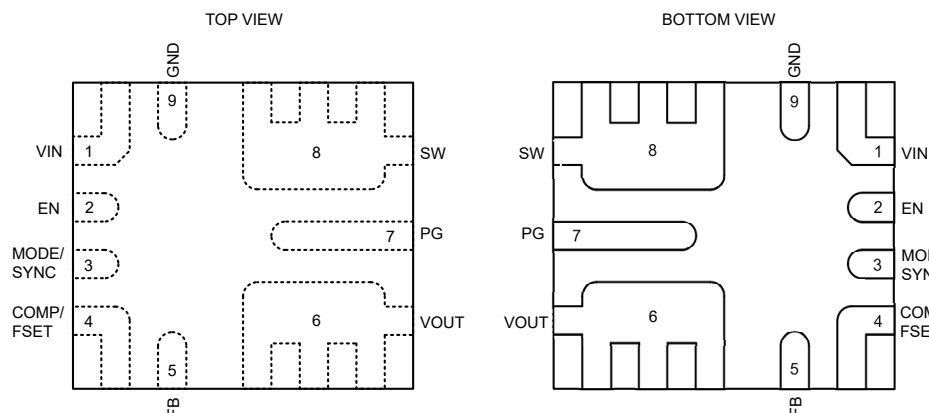


図 5-1. 9 ピン RDY QFN-FCMOD パッケージ

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VIN	1	PWR	電源入力。入力コンデンサを VIN と GND ピンの間に、できるだけ近づけて接続します。
EN	2	I	このピンはデバイスのイネーブルピンです。ロジック Low に接続すると、本デバイスは無効化されます。 High にプルすると、本デバイスは有効化されます。このピンを未接続のままにしないでください。
MODE/SYNC	3	I	このピンが low になると、デバイスは PFM/PWM モードで動作します。ピンが high にプルされる場合、デバイスは強制 PWM モードで動作します。このピンを未接続のままにしないでください。 MODE/SYNC ピンを使用して、デバイスを外部周波数に同期することもできます。「 外部クロックへの同期 」を参照してください。
COMP/FSET	4	I	デバイス補償および周波数設定入力。このピンから GND への抵抗は、外部同期されていない場合は制御ループの補償とスイッチング周波数を定義します。
FB	5	I	電圧フィードバック入力。出力電圧抵抗デバイダをこのピンに接続します。
VOUT	6	PWR	出力電圧ピン。このピンは、内蔵インダクタに内部接続されています。
PG	7	O	ウィンドウ コンパレータによるオープンドレインパワーグッド出力 VOUT がパワーグッド スレッシュホールドの範囲外である間、このピンは GND にプルされます。このピンはオープンのままにできます。使用しない場合は GND に接続できます。プルアップ抵抗は VIN を超えない任意の電圧に接続できます。
SW	8	O	このピンはコンバータのスイッチ ピンです。このピンは内部パワー MOSFET とインダクタに接続されています。 EMI を増加させる可能性があるため、このピンはより大きなパターンに接続しないでください。このピンは、未接続のままにすることも、熱性能を改善するために小さなパッドに半田付けすることもできます。
GND	9	PWR	グラウンド ピン

(1) I = 入力、O = 出力、PWR = パワー

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧 ⁽²⁾	VIN	-0.3	6.5	V
	SW (DC)	-0.3	V _{IN} + 0.3	V
	SW (AC、10ns 未満) ⁽³⁾	-3	10	V
	COMP/FSET、PG	-0.3	V _{IN} + 0.3	V
	EN、MODE/SYNC、FB	-0.3	6.5	V
保存温度	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランド端子 **GND** を基準としたものです
- (3) スイッチング動作時

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	入力電圧範囲	2.7		6	V
V _{OUT}	出力電圧範囲	0.6		5.5	V
C _{OUT}	実効出力キャパシタンス ⁽¹⁾	8	10	200	μF
C _{IN}	実効入力キャパシタンス ⁽¹⁾	5	10		μF
I _{SINK_PG}	PG ピンのシンク電流	0		2	mA
T _J	接合部温度	-40		150	°C

- (1) 表のすべてのコンデンサに記載されている値は実効容量で、DC バイアス効果も含まれています。セラミック コンデンサの DC バイアス効果により、電圧を印加したときの実効容量は公称値より小さくなります。実効静電容量と印加される DC 電圧との関係については、メーカーの DC バイアス曲線を確認してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPSM82850x-Q1	TPSM82850x-Q1	単位
		RDY (JEDEC) ⁽²⁾	RDY (EVM)	
		9 ピン	9 ピン	
R _{θJA}	接合部から周囲への熱抵抗	67.1	54.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	82.7	n/a	°C/W
R _{θJB}	接合部から基板への熱抵抗	27.7	n/a	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14.6	12.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	27.7	28.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

(2) 4 層、サーマルビアなしの JEDEC 標準 PCB

6.5 電気的特性

動作時接合部温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) と $V_{IN} = 2.7\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ および $T_J = 25^{\circ}\text{C}$ の場合の標準値 (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _Q	静止時電流	EN = V _{IN} 、無負荷、デバイスがスイッチングしない、MODE = GND、V _{OUT} = 0.6V		17	36	μA
I _{SD}	シャットダウン電流	T _J = 25°C での EN = GND、公称値、T _J = 150°C での最大値		1.5	48	μA
V _{UVLO}	低電圧誤動作防止スレッシュホールド	V _{IN} 立ち上がり	2.45	2.6	2.7	V
		V _{IN} 立ち下がり	2.1	2.5	2.6	V
T _{JSD}	サーマル シャットダウンのスレッシュホールド	T _J 立ち上がり		170		°C
	サーマル シャットダウン ヒステリシス	T _J 立ち下がり		15		°C
制御とインターフェイス						
V _{EN,IH}	EN の立ち上がりエッジにおける入力スレッシュホールド電圧		1.05	1.1	1.15	V
V _{EN,IL}	EN の入力スレッシュホールド電圧、立ち下がりエッジ		0.96	1.0	1.05	V
V _{IH}	MODE/SYNC の High レベル入力 — スレッシュホールド電圧		1.1			V
I _{EN, LKG}	EN への入力リーク電流	V _{IH} = V _{IN} または V _{IL} = GND			125	nA
V _{IL}	MODE/SYNC の Low レベル入力スレッシュホールド電圧				0.3	V
I _{LKG}	MODE/SYNC への入力リーク電流				100	nA
t _{Delay}	イネーブル遅延時間	EN が high になってからデバイスのスイッチングが始まるまでの時間。V _{IN} はすでに印加されている。	135	200	520	μs
t _{Delay}	イネーブル遅延時間	EN が High になってからデバイスのスイッチングが始まるまでの時間。V _{IN} はすでに印加されている、V _{IN} ≥ 3.3V			480	μs
t _{Ramp}	出力電圧ランブタイム	デバイスがスイッチングを開始してからパワーグッドまでの時間、デバイスが電流制限外にある	0.8	1.3	1.8	ms
f _{SYNC}	同期用の MODE/SYNC ピンの周波数範囲		1.8		4	MHz
	MODE/SYNC における同期信号のデューティサイクル		20		80	%

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) と $V_{IN} = 2.7\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ および $T_J = 25^{\circ}\text{C}$ の場合の標準値 (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	外部周波数にロックする時間			50		μs
	COMP/FSET から GND への抵抗 (ロジック low)	$f = 2.25\text{MHz}$ の内部周波数設定	0		2.5	$\text{k}\Omega$
	ロジック high の COMP/FSET の電圧	$f = 2.25\text{MHz}$ の内部周波数設定		V_{IN}		V
V_{TH_PG}	UVP パワーグッド スレッシュホールド電圧、DC レベル	立ち上がり ($\%V_{FB}$)	92	95	98	%
V_{TH_PG}	UVP パワーグッド スレッシュホールド電圧、DC レベル	立ち下がり ($\%V_{FB}$)	87	90	93	%
V_{TH_PG}	OVP パワーグッド スレッシュホールド電圧、DC レベル	立ち上がり ($\%V_{FB}$)	107	110	113	%
	OVP パワーグッド スレッシュホールド電圧、DC レベル	立ち下がり ($\%V_{FB}$)	104	107	111	%
V_{PG_OL}	PG での Low レベル出力電圧	$I_{SINK_PG} = 2\text{mA}$		0.07	0.3	V
I_{PG_LKG}	PG への入力リーク電流	$V_{PG} = 5\text{V}$			100	nA
t_{PG}	PG グリッチ除去時間	パワーグッド出力の high レベルから low レベルへの遷移		40		μs
出力						
V_{FB}	帰還電圧、調整可能バージョン			0.6		V
I_{FB_LKG}	FB への入力リーク電流、調整可能バージョン	$V_{FB} = 0.6\text{V}$		1	70	nA
I_{FB_LKG}	FB への入力電流、固定電圧バージョン			1		μA
V_{FB}	帰還電圧精度	PWM、 $V_{IN} \geq V_{OUT} + 1\text{V}$	-1		1	%
V_{FB}	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ 、 $V_{OUT} \geq 1.0\text{V}$ 、 $C_{out,eff} \geq 10\mu\text{F}$ 、 $L = 0.47\mu\text{H}$	-1		2	%
V_{FB}	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ 、 $V_{OUT} < 1.0\text{V}$ 、 $C_{out,eff} \geq 15\mu\text{F}$ 、 $L = 0.47\mu\text{H}$	-1		3	%
	ロードレギュレーション	PWM		0.05		%/A
	ラインレギュレーション	PWM、 $I_{OUT} = 1\text{A}$ 、 $V_{IN} \geq V_{OUT} + 1\text{V}$		0.02		%/V
R_{DIS}	出力放電抵抗				100	Ω
f_{SW}	PWM スイッチング周波数範囲	MODE = high、スイッチング周波数の設定については、FSET ピンの機能を参照してください	1.8	2.25	4	MHz
f_{SW}	PWM スイッチング周波数範囲	MODE = low、スイッチング周波数の設定については、FSET ピンの機能を参照してください	1.8		3.5	MHz
f_{SW}	PWM スイッチング周波数	COMP/FSET を GND または V_{IN} に接続した場合	2.025	2.25	2.475	MHz
f_{SW}	PWM スイッチング周波数許容値	COMP/FSET と GND の間に抵抗を使用します	-12		12	%
$t_{on,min}$	ハイスайд FET の最小オン時間	$V_{IN} = 3.3\text{V}$ 、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		35	50	ns
$t_{on,min}$	ローサイド FET の最小オン時間			10		ns
R_{DP}	ドロップアウト抵抗 ($R_{DS(on)}$ ハイスайд FET + インダクタの DCR)	$V_{IN} \geq 5\text{V}$		95	150	m Ω
	ハイスайд MOSFET リーク電流	$T_J = 85^{\circ}\text{C}$		2.5		μA
	ハイスайд MOSFET リーク電流			0.01	44	μA

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) と $V_{IN} = 2.7\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ および $T_J = 25^{\circ}\text{C}$ の場合の標準値 (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ローサイド MOSFET リーク電流	$T_J = 85^{\circ}\text{C}$		3.7		μA
	ローサイド MOSFET リーク電流			0.01	70	μA
	SW リークエージ	$V(\text{SW}) = 0.6\text{V}$ 、SW ピンへの電流		-0.01	11	μA
I_{LIMH}	ハイスайд FET スイッチ電流制限値	TPSM828502 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	2.85	3.4	3.9	A
I_{LIMH}	ハイスайд FET スイッチ電流制限値	TPSM828501 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	2.1	2.6	3.0	A
I_{LIMNEG}	ローサイド FET 負電流制限値	DC 値		-1.8		A

6.6 代表的特性

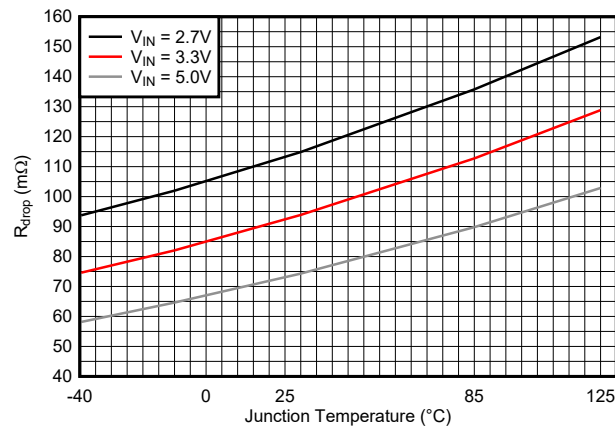


図 6-1. ドロップアウト抵抗

7 パラメータ測定情報

7.1 回路図

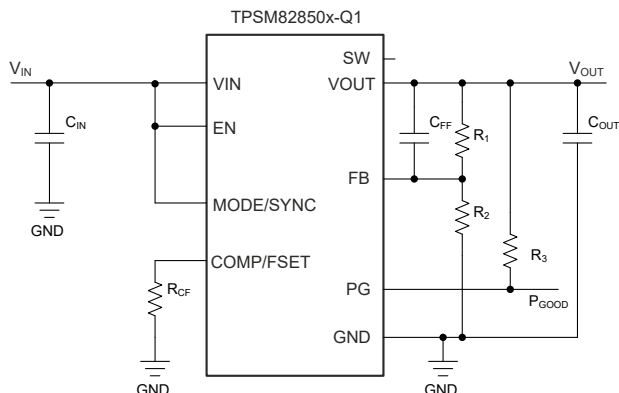


図 7-1. TPSM82850x-Q1 の測定設定

表 7-1. 部品のリスト

リファレンス	説明	メーカー ⁽¹⁾
IC	TPSM828510 / TPSM828511 / TPSM828512	テキサス・インスツルメンツ
C _{IN}	2 × 10μF / 6.3V / GRM188D70J106MA73	Murata (村田製作所)
C _{OUT}	2 × 10μF / 6.3V / GRM188D70J106MA73	Murata (村田製作所)
C _{FF}	10pF	任意
R ₁	VOUT による	任意
R ₂	VOUT による	任意
R ₃	100kΩ	任意

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

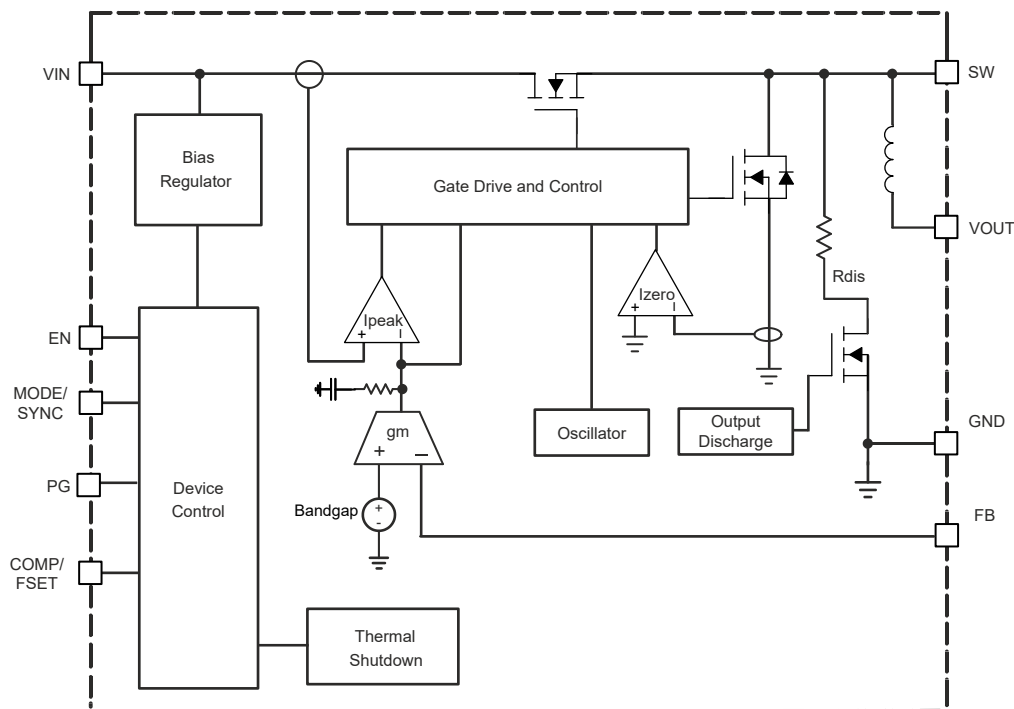
8 詳細説明

8.1 概要

TPSM82850x-Q1 同期スイッチ モード DC/DC コンバータ パワー モジュールは、固定周波数ピーク電流モード制御トポロジに基づいています。制御ループは内部的に補償されます。補償選択ピン **COMP/FSET** により、幅広い範囲の出力キャパシタンスに対して制御ループを最適化できます。調整ネットワークは、小型の外付け部品と低 ESR セラミック出力コンデンサを使用して、高速で安定した動作を実現します。

これらのデバイスは、**MODE/SYNC** ピンをロジック High レベルに接続する f ことで、強制固定周波数 PWM 動作をサポートします。**MODE/SYNC** ピンがロジック Low レベルに設定されている場合、デバイスは低出力電流でパワーセーブ モード (PFM) で動作し、高出力電流で自動的に固定周波数 PWM モードに遷移します。PFM モードでは、スイッチング周波数が負荷に基づいて直線的に減少し、非常に低い出力電流まで高い効率を維持します。デバイスは、**MODE/SYNC** ピンに印加される 1.8MHz ~ 4MHz の範囲の外部クロック信号に同期できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 高精度イネーブル (EN)

TPSM82850x-Q1 のイネーブル ピンに印加される電圧は、立ち上がり時に 1.1V のスレッショルドと比較されます。この比較により、ユーザーはゆっくり変化する電圧でもイネーブル ピンを駆動でき、また、外部 RC ネットワークを使ってパワーアップ遅延を実現することもできます。

高精度のイネーブル入力を使うと、イネーブル ピンの入力に抵抗デバイダを追加することで、低電圧誤動作防止機能を設定できます。

イネーブル入力の立ち下がりエッジに対するしきい値は、立ち上がりエッジのしきい値よりも通常 100mV 低く設定されています。イネーブル入力が立ち上がりスレッショルドを上回ると、TPSM82850x-Q1 は動作を開始します。正常に動作させるために、終了し、イネーブル (**EN**) ピンをフローティングのままにしないでください。イネーブル ピンを Low にすると、デバイスはシャットダウン状態になり、その際のシャットダウン電流は通常 1μA です。このモードでは、内部のハイサイドお

よびローサイド MOSFET がターンオフし、内部制御回路全体がオフになります。『[正確なイネーブルピンのスレッショルドを持つ DC/DC コンバータを使用して、クリーンなスタートアップを実現](#)』Analog Design Journal を参照してください。

8.3.2 COMP/FSET

このピンで、3 つの異なるパラメータを設定できます：

- ・ 制御ループの内部補償設定 (2 つの設定が利用可能)
- ・ PWM モードにおけるスイッチング周波数 (1.8MHz～4MHz)
- ・ スペクトラム拡散クロック (SSC) の有効化 / 無効化

COMP/FSET から GND への抵抗により、補償とスイッチング周波数を変更されます。補償を変更することで、ユーザーはデバイスをさまざまな出力容量値に適合させることができます。ピンの寄生容量を最小限に抑えるには、抵抗器をピンの近くに配置する必要があります。補償設定はコンバータの起動時にサンプリングされるため、動作中の抵抗器の変化はスイッチング周波数にのみ影響し、補償には影響しません。

外部コンポーネントを節約するために、ピンを VIN または GND に直接接続して、事前定義された設定を設定することもできます。ピンをフローティングのままにしないでください。

最小オン時間と最小オフ時間の仕様を満たすには、入力電圧と出力電圧に基づいてスイッチング周波数を選択する必要があります。

例: $V_{IN} = 5V$ 、 $V_{OUT} = 0.6V \rightarrow$ デューティ サイクル = $0.6V/5V = 0.12$

- ・ $\rightarrow t_{on,min} = 1/f_s \times 0.12$
- ・ $\rightarrow f_{sw,max} = 1/t_{on,min} \times 0.12 = 1/0.05\mu s \times 0.12 = 2.4MHz$

補償範囲は、使用する最小容量に基づいて選択する必要があります。静電容量は、[表 8-1](#) で指定されている最小値から、両方の補償範囲で最大 [セクション 6.3](#) まで増やせます。動作中に出力の静電容量が変化する場合、たとえば負荷スイッチを使用して回路の一部を接続または切断する場合、出力の最小静電容量に合わせて補償を選択する必要があります。出力容量が大きい場合、最適な負荷過渡応答を得るには、その大きな容量に基づいて補償を行う必要があります。大きな出力容量を補償するが、出力に少ない容量を配置すると、不安定になる可能性があります。

表 8-1. スwitchング周波数、補償、およびスペクトラム拡散クロック

R_{CF}	補償	スイッチング周波数	$V_{OUT} < 1V$ のときの最小出力容量	$1V \leq V_{OUT} < 3.3V$ のときの最小出力容量	$V_{OUT} < 3.3V$ のときの最小出力容量
10kΩ ..4.5kΩ	最小出力容量 (comp 設定 1) SSC 無効の場合	$R_{CF}(k\Omega) = \frac{18MHz \times k\Omega}{f_s(MHz)}$	15μF	10μF	8μF
33kΩ ..15kΩ	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 有効の場合	$R_{CF}(k\Omega) = \frac{60MHz \times k\Omega}{f_s(MHz)}$	30μF	18μF	15μF
100kΩ ..45kΩ	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 無効の場合	$R_{CF}(k\Omega) = \frac{180MHz \times k\Omega}{f_s(MHz)}$	30μF	18μF	15μF
GND に接続	最小出力容量 (comp 設定 1) SSC 無効の場合	2.25MHz は内部固定	15μF	10μF	8μF
V _{IN} に接続	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 有効の場合	2.25MHz は内部固定	30μF	18μF	15μF

また、出力電圧に応じた必要な出力容量の詳細については、[セクション 9.2.2.4](#) を参照してください。

R_{CF} に対して高すぎる抵抗値は「 V_{IN} に接続」とデコードされ、最低範囲を下回る値は「 GND に接続」とデコードされます。スイッチング周波数、補償、およびスペクトラム拡散クロックの最小出力容量は、デバイスの出力に近いコンデンサ用です。容量が分布している場合は、より小さな補償設定が必要になる可能性があります。

8.3.3 MODE/SYNC

MODE/SYNC が low に設定されている場合、デバイスは出力電流に応じて PWM モードまたは PFM モードで動作します。MODE/SYNC ピンは High に設定すると PWM モードを強制します。また、このピンを使用すると、外部同期の目的で 1.8MHz ~ 4MHz の周波数範囲にある外部クロックを印加することもできます。外部クロックが印加されると、デバイスは PWM モードで動作します。スイッチング周波数の選択と同様に、外部クロック信号を印加するときに最小オン時間の仕様を遵守する必要があります。外部クロックへの同期は、印加されたクロックの立ち下がりエッジから内部 SW ピンの立ち上がりエッジまでで行われます。MODE/SYNC ピンは動作中に変更できます。

8.3.4 スペクトラム拡散クロック処理 (SSC)

これらのデバイスはスペクトラム拡散クロック処理を提供し、内部クロックが使用されている場合、PWM モードでスイッチング周波数がランダムに変化します。周波数変動は通常、公称スイッチング周波数と公称スイッチング周波数を上回る最大 288kHz の間であり、デバイスが外部同期されている場合、TPSM82850x-Q1 は外部クロックに従い、内部のスペクトラム拡散ブロックはオフになります。ソフトスタート中は SSC も無効になります。

8.3.5 低電圧誤動作防止 (UVLO)

入力電圧が低下した場合、低電圧誤動作防止機能が両方の MOSFET をオフにすることで、デバイスの誤動作を防止します。デバイスは、立ち上がり UVLO スレッシュホールドを上回る電圧では完全に動作し、入力電圧が立ち下がりスレッシュホールドを下回るとオフになります。

8.3.6 パワー グッド出力 (PG)

パワーグッドは、推奨入力電圧レベルに合致する任意の電圧に接続されたプルアップ抵抗を必要とするオープン ドレイン出力です。パワー グッドはウィンドウ コンパレータによって駆動されます。デバイスが無効化されているときは PG は low に保持され、サーマル シャットダウン時は低電圧誤動作防止機能が作動して、ソフト スタートにはなりません。したがって、出力電圧が制御されている場合、電気的特性で定義されたウィンドウ内では、出力はハイ インピーダンスになります。

PG ピンが Low に維持されるには、 V_{IN} が印加され続けている必要があります。パワー グッド出力を使用しない場合、このピンを GND に接続するか、オープンのままにすることを推奨します。PG インジケータは、電気的特性で規定されているグリッチ除去機能を備えており、出力の「ハイ インピーダンス」から low への遷移に対応します。

表 8-2. PG のステータス

EN	デバイス ステータス	PG 状態
X	$V_{IN} < 2V$	未定義
低	$V_{IN} \geq 2V$	低
high	$2V \leq V_{IN} \leq UVLO$ またはサーマルシャットダウン中、または V_{OUT} が規定範囲外、またはデバイスがソフトスタート中	低
high	制御された V_{OUT}	ハイ インピーダンス

8.3.7 サーマル シャットダウン

本デバイスの接合部温度 T_J は内蔵の温度センサによって監視されています。 T_J が 170°C (標準) を超えると、デバイスはサーマル シャットダウン状態になります。ハイサイドとローサイドの両方のパワー FET がターンオフし、PG が Low に遷移します。 T_J がヒステリシスである標準がヒステリシスである標準 15°C 以下に低下すると、コンバータはソフトスタートを発端に、通常動作に復帰します。PFM 中は、サーマル シャットダウンはアクティブではありません。

8.4 デバイスの機能モード

8.4.1 パルス幅変調 (PWM) 動作

TPSM82850x-Q1 ファミリーには、強制 PWM モードと PFM/PWM モードの 2 つの動作モードがあります。

MODE/SYNC ピンが high に設定されているとき、TPSM82850x-Q1 ファミリーは連続導通モード (CCM) のパルス幅変調で動作します。スイッチング周波数は 2.25MHz、または MODE/SYNC ピンに印加される外部クロック信号によって定義されます。MODE/SYNC に外部クロックが印加されている場合、TPSM82850x-Q1 デバイスはピンに印加された周波数に追従します。一般に、強制 PWM モードでの周波数範囲は 1.8MHz ~ 4MHz です。しかし、最小オン時間を考慮して、周波数は TPSM82850x-Q1 が動作できる範囲内である必要があります。

8.4.2 パワーセーブモード動作 (PFM/PWM)

MODE/SYNC ピンが low の場合、省電力モードが許可されます。ピーク インダクタ電流が約 0.8A の PFM スレッシュホールドを上回っている限り、デバイスは PWM モードで動作します。ピーク インダクタ電流が PFM スレッシュホールドを下回ると、デバイスはスイッチング パルスをスキップし始めます。パワーセーブモードでは、スイッチング周波数は負荷電流に応じて低下し、高い効率を維持します。

8.4.3 100% デューティ サイクルでの動作

PWM モードで動作する降圧コンバータのデューティ サイクルは、 $D = V_{OUT} / V_{IN}$ で与えられます。入力電圧が出力電圧に近づき、オフ時間が短くなると、デューティ サイクルは増加します。10ns (標準値) の最小オフ時間に達すると、TPSM82850x-Q1 は、100% モードに近付きながら、スイッチング サイクルをスキップします。100% モードでは、ハイサイド スイッチが連続的にオン状態のままになります。出力電圧がターゲット値を下回っている限り、ハイサイド スイッチはターンオンされたままになります。この機能は、バッテリー駆動のアプリケーションにおいて、バッテリー電圧の範囲全体を最大限に活用して最長の動作時間を実現するために特に有用です。次の式に、最小出力電圧を維持するための最小入力電圧を示します。

$$V_{IN(min)} = V_{OUT(min)} + I_{OUT(min)} \times R_{DP} \quad (1)$$

ここで、

- R_{DP} は V_{IN} から V_{OUT} への抵抗 (これには、ハイサイド MOSFET オン抵抗とインダクタ DC 抵抗が含まれる)。
- $V_{OUT(min)}$ は負荷が許容できる最小出力電圧。

8.4.4 電流制限と短絡保護

TPSM82850x-Q1 デバイスは、過負荷および短絡イベントに対して保護されています。インダクタ電流が電流制限値 (I_{LIMH}) を上回ると、インダクタ電流を減少させるため、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。ローサイド MOSFET の電流がローサイドの電流制限スレッシュホールドを下回った場合にのみ、ハイサイド MOSFET は再度オンになります。内部伝搬遅延が原因で、実際の電流が静的電流制限値を上回ることがあります。次の式に、動的な電流制限を示します。

$$I_{peak} = I_{LIMH} + \frac{V_L}{L} \times t_{PD} \quad (2)$$

ここで、

- I_{LIMH} は、電気的特性に規定されている静的電流制限値です
- L は内部インダクタの実効インダクタンス (標準値 0.47μH)
- V_L は、インダクタの両端の電圧 ($V_{IN} - V_{OUT}$)
- t_{PD} は、50ns (標準値) の内部伝搬遅延

特に、入力電圧が高く、かつ使用しているインダクタンスが非常に小さい場合、電流が静的制限値を上回ることがあります。ハイサイド スイッチの動的ピーク電流は、次のように計算できます。

$$I_{peak} = I_{LIMH} + \frac{V_{IN} - V_{OUT}}{L} \times 50ns \quad (3)$$

8.4.5 出力放電

放電機能の目的は、デバイスが (イネーブル入力によって) 無効化されつつある際に出力電圧の設定されたダウンランプを確保することだけでなく、デバイスがターンオフした際に出力電圧を約 0V に維持することです。出力放電機能は、電源電圧が印加されてから、TPSM82850x-Q1 デバイスが少なくとも 1 回 (イネーブル入力によって) 有効化された後にのみ機能します。本デバイスが無効化された場合、サーマル シャットダウンが作動した場合、低電圧誤動作防止が作動した場合のいずれかに、放電機能は即座に有効化されます。放電機能の動作を維持するために必要な電源電圧の最小値は 2V (標準値) です。電流制限イベント中は、出力放電はアクティブになりません。

9 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の部品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPSM82850x-Q1 は、同期整流降圧コンバータのパワー モジュールです。必要なパワー インダクタは、TPSM82850x-Q1 内部のシールド付きバージョンに内蔵されています。TPSM82850x-Q1 ファミリの製品はピン互換および BOM 互換であり、定格出力電流のみが異なります。

9.2 代表的なアプリケーション

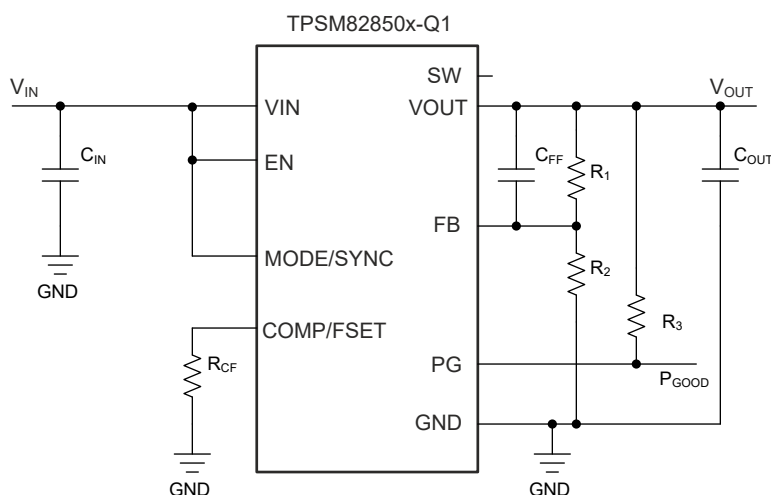


図 9-1. 代表的なアプリケーション回路図

9.2.1 設計要件

設計ガイドラインには、推奨動作条件内でデバイスを動作させるための部品の選択が記載されています。

9.2.2 詳細な設計手順

9.2.2.1 出力電圧の設定

TPSM82850x-Q1 デバイスの出力電圧は可変です。出力電圧を [式 4](#) に従って、0.6V ~ 5.5V の範囲内に設定するように、R1 および R2 の抵抗を選択します。フィードバック (FB) ネットがノイズの影響を受けにくくするには、R2 を 100kΩ 以下に設定して、電圧デバイダに少なくとも 6μA の電流が流れるようにします。『[DC/DC コンバータの抵抗性帰還分圧器の設計上の検討事項](#)』[Analog Design Journal](#) で説明されているように、FB 抵抗の値を小さくすると、ノイズ耐性が向上しますが、軽負荷効率は低下します。

$$R_1 = R_2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (4)$$

$V_{FB} = 0.6V$:

表 9-1. 出力電圧の設定

公称出力電圧 V_{OUT}	R_1	R_2	C_{FF}	出力電圧の正確な値
0.8V	16.9k Ω	51k Ω	10pF	0.7988V
1.0V	20k Ω	30k Ω	10pF	1.0V
1.1V	39.2k Ω	47k Ω	10pF	1.101V
1.2V	68k Ω	68k Ω	10pF	1.2V
1.5V	76.8k Ω	51k Ω	10pF	1.5V
1.8V	80.6k Ω	40.2k Ω	10pF	1.803V
2.5V	47.5k Ω	15k Ω	10pF	2.5V
3.3V	88.7k Ω	19.6k Ω	10pF	3.315V

9.2.2.2 フィードフォワード コンデンサ

過渡応答を改善するため、TI は R_1 と並列にフィードフォワード コンデンサ (C_{FF}) を配置することを推奨しています。FB 抵抗値に関係なく、 C_{FF} の値は常に 10pF でなければなりません。

9.2.2.3 入力コンデンサ

ほとんどのアプリケーションでは、公称 10 μ F で十分であり、推奨されます。入力コンデンサは、入力電圧の過渡イベントを和らげ、また、コンバータが電源の影響を受けないようにします。最良のフィルタ処理を行うため、TI では、低 ESR の積層セラミック コンデンサ (MLCC) を推奨します。また、このコンデンサは、VIN と GND との間に、これらのピンにできるだけ近づけて配置する必要があります。

9.2.2.4 出力コンデンサ

TPSM82850x-Q1 ファミリーは、等価直列抵抗 (ESR) の小さいセラミック コンデンサを出力コンデンサとして使用できるアーキテクチャを採用しています。出力電圧リップルを低減するため、TI はこれらのコンデンサを使うことを推奨します。高い周波数まで低抵抗を維持し、温度による静電容量の変動を小さくするために、TI は X7R または X5R 絶縁を使うことを推奨しています。大きな値を使うと、電圧リップルが小さくなりパワーセーブ モードでの DC 出力精度が向上するなどの利点があります。

9.2.3 アプリケーション曲線

$T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 1.8MHz 、PWM モード、BOM = 表 7-1 特に記述のない限り。

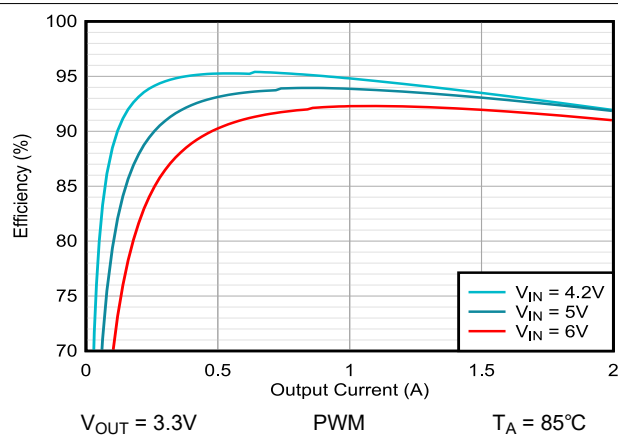


図 9-2. 効率と出力電流との関係

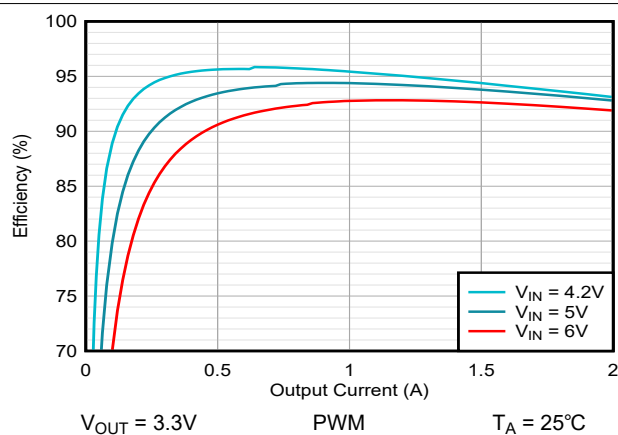


図 9-3. 効率と出力電流との関係

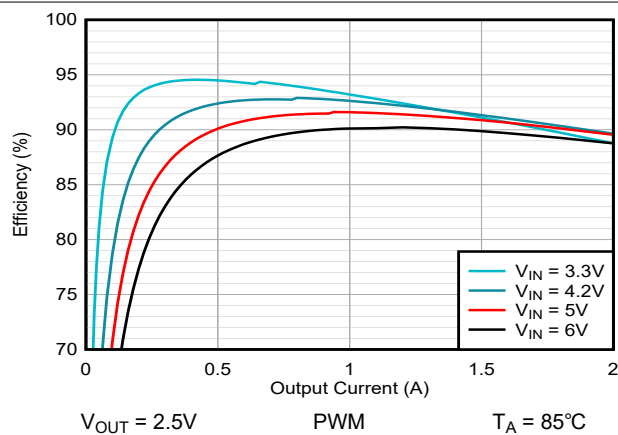


図 9-4. 効率と出力電流との関係

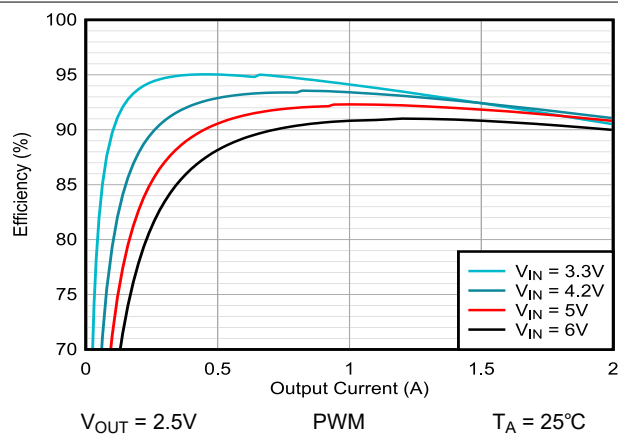


図 9-5. 効率と出力電流との関係

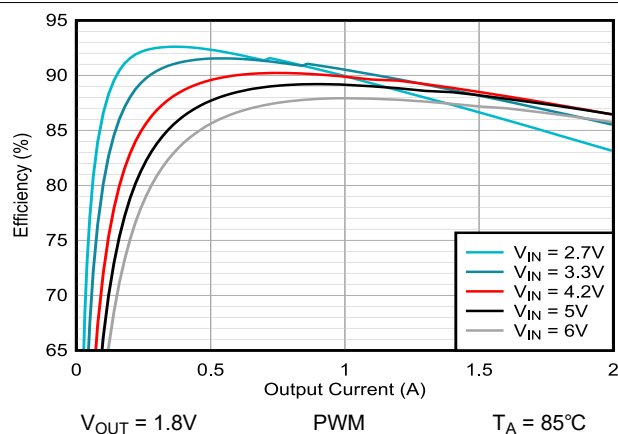


図 9-6. 効率と出力電流との関係

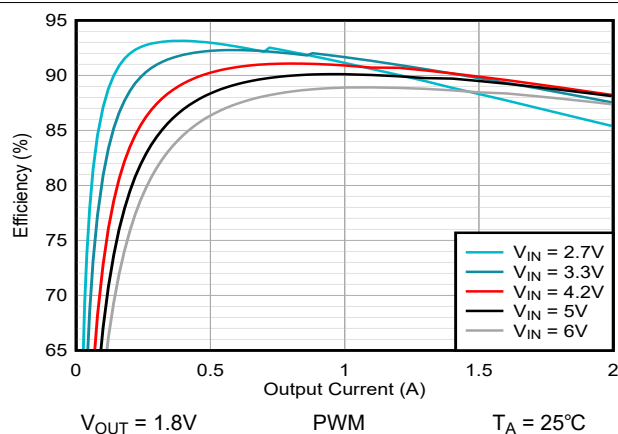


図 9-7. 効率と出力電流との関係

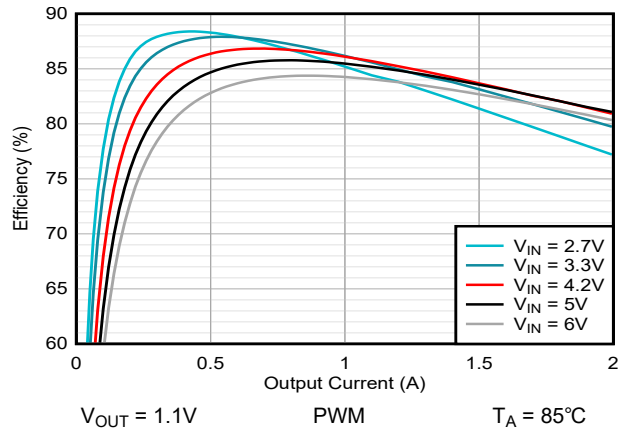


図 9-8. 効率と出力電流との関係

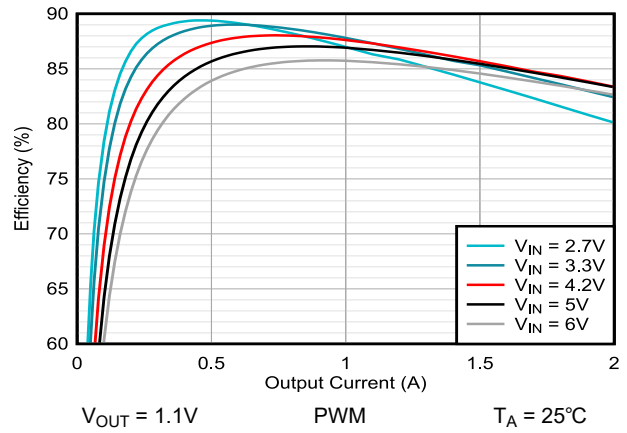


図 9-9. 効率と出力電流との関係

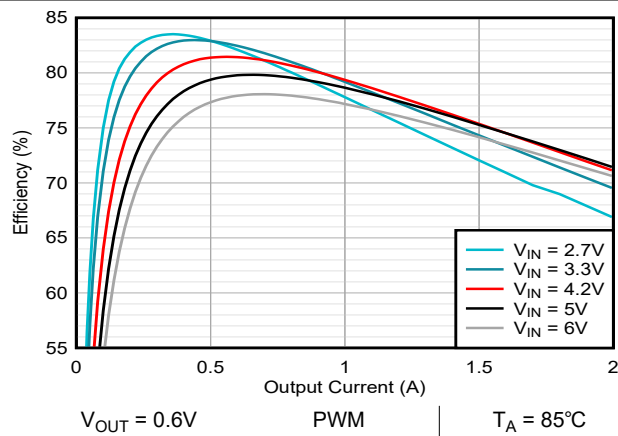


図 9-10. 効率と出力電流との関係

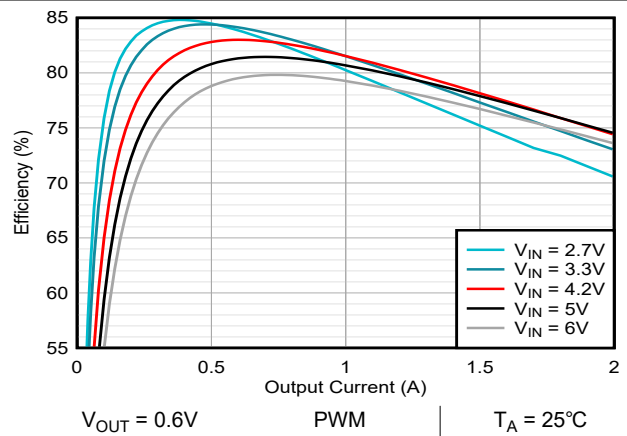


図 9-11. 効率と出力電流との関係

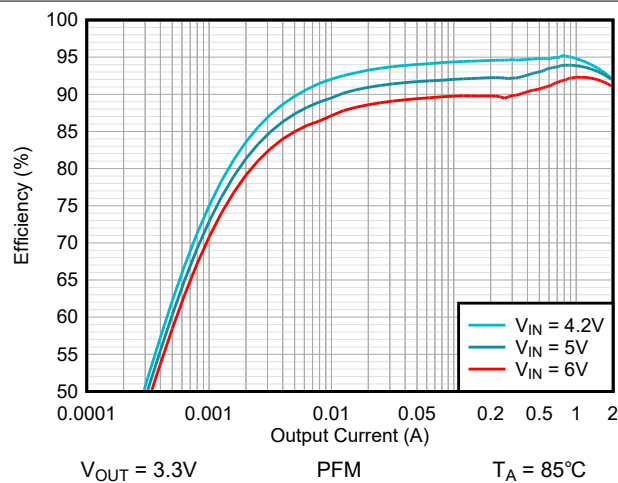


図 9-12. 効率と出力電流との関係

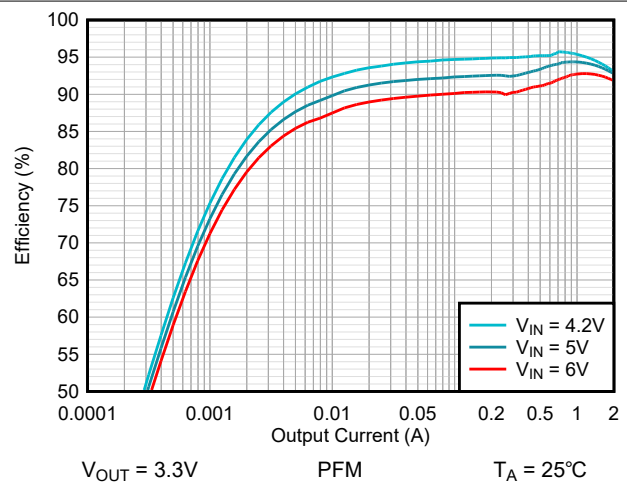


図 9-13. 効率と出力電流との関係

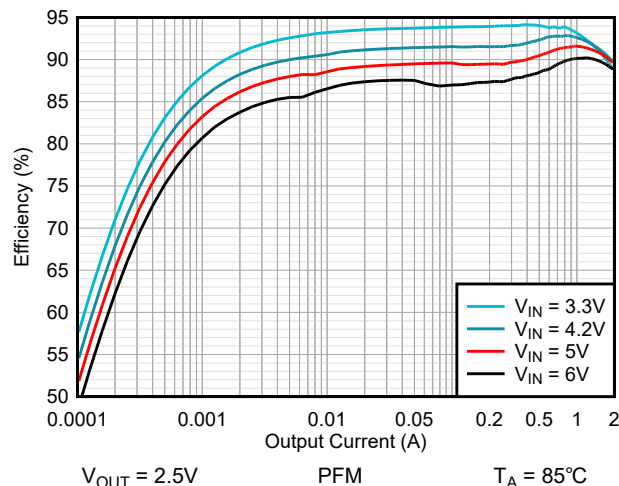


図 9-14. 効率と出力電流との関係

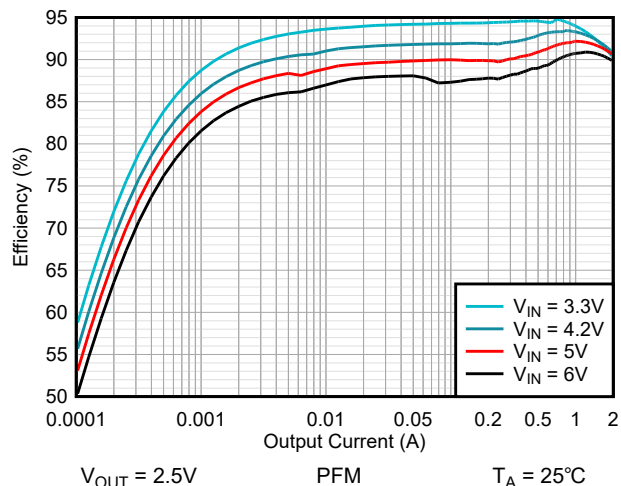


図 9-15. 効率と出力電流との関係

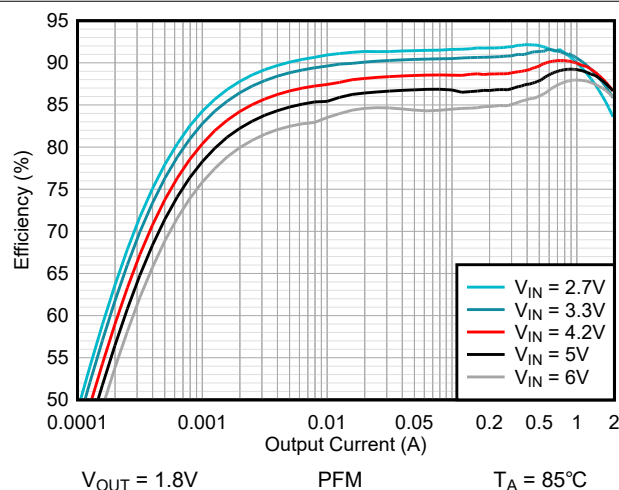


図 9-16. 効率と出力電流との関係

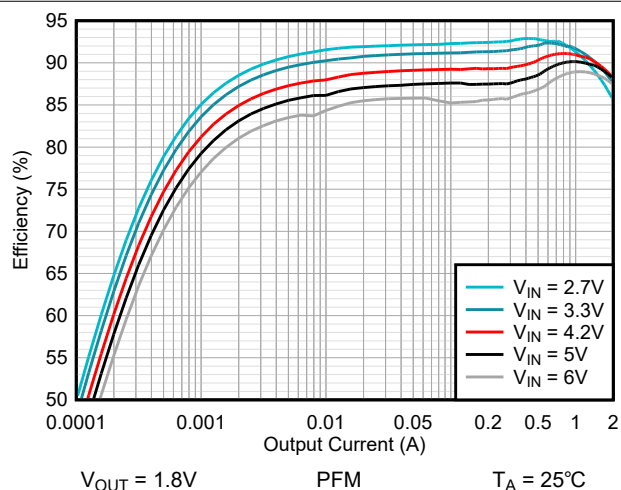


図 9-17. 効率と出力電流との関係

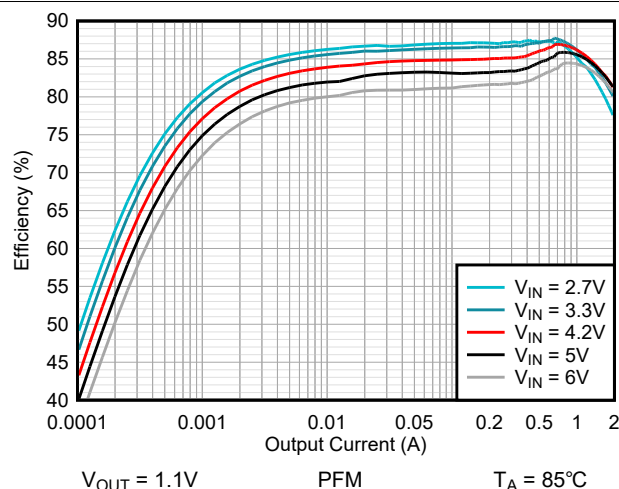


図 9-18. 効率と出力電流との関係

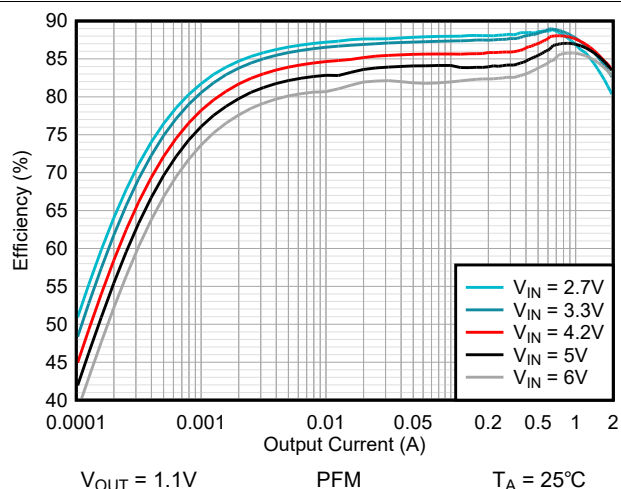


図 9-19. 効率と出力電流との関係

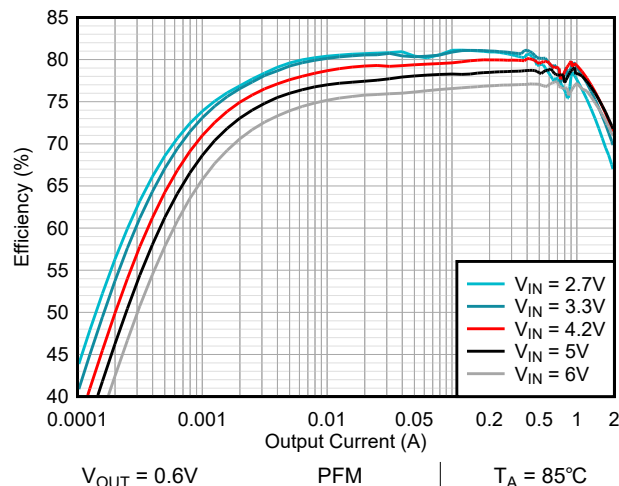


図 9-20. 効率と出力電流との関係

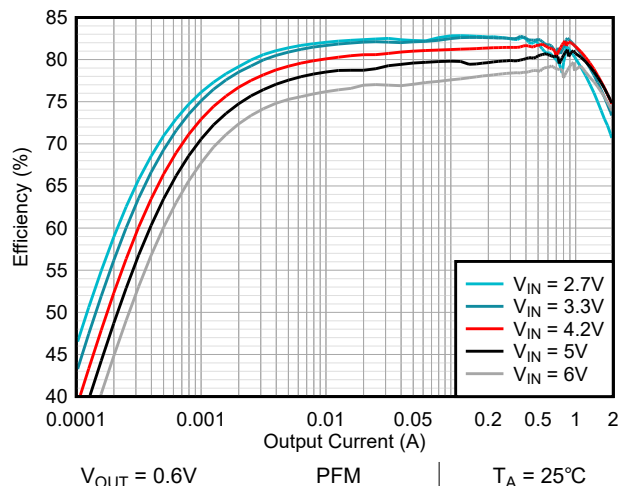


図 9-21. 効率と出力電流との関係

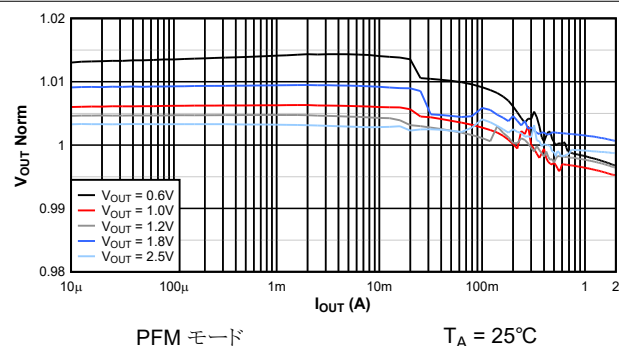


図 9-22. 負荷レギュレーション $V_{IN} = 3.3V$

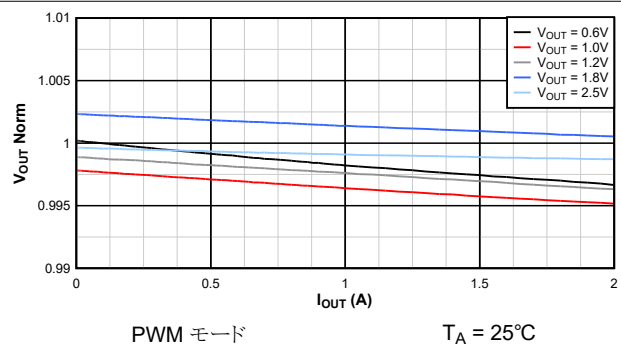


図 9-23. 負荷レギュレーション $V_{IN} = 3.3V$

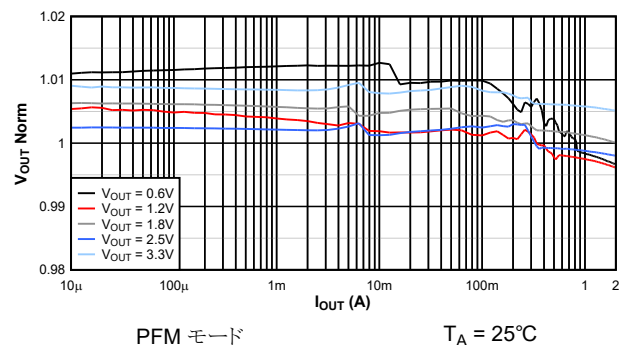


図 9-24. 負荷レギュレーション $V_{IN} = 5V$

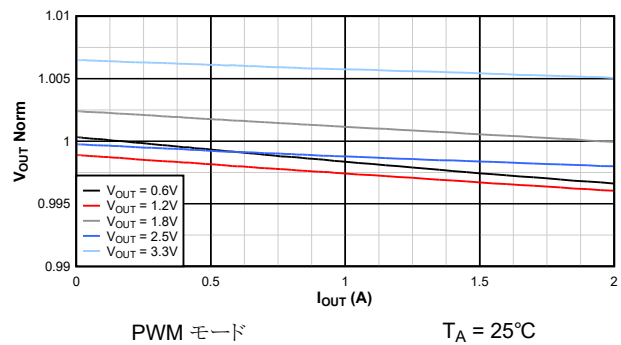
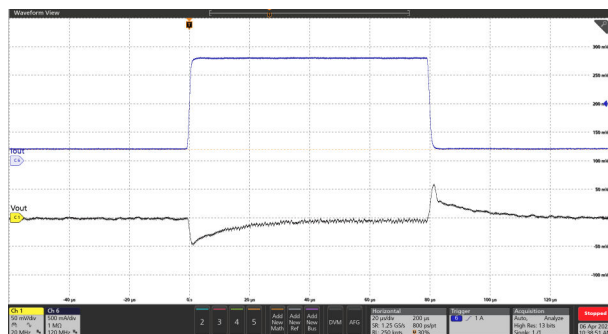
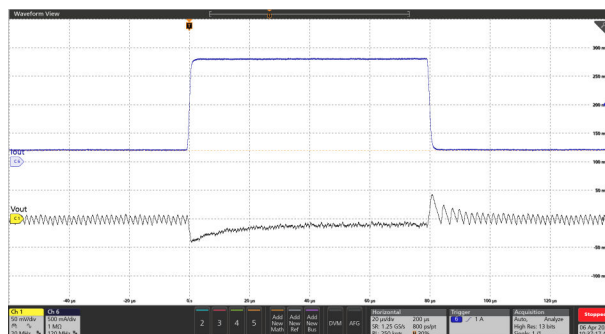


図 9-25. 負荷レギュレーション $V_{IN} = 5V$



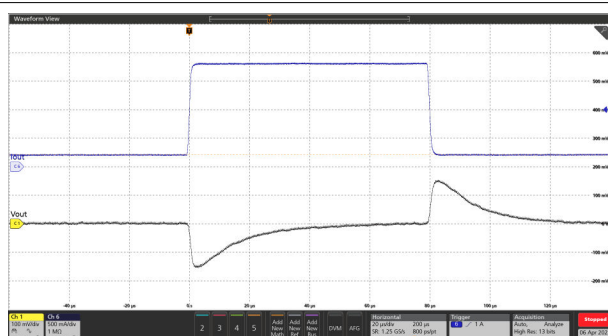
$V_{OUT} = 0.6V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 0.2A \sim 1.8A$

図 9-26. 負荷過渡応答



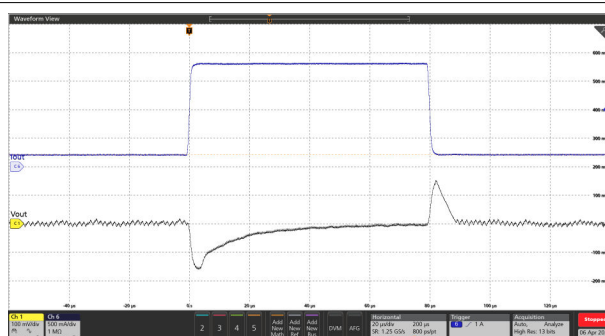
$V_{OUT} = 0.6V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 0.2A \sim 1.8A$

図 9-27. 負荷過渡応答



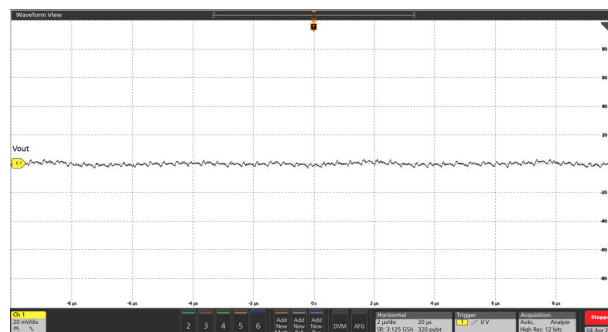
$V_{OUT} = 3.3V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \sim 1.8A$

図 9-28. 負荷過渡応答



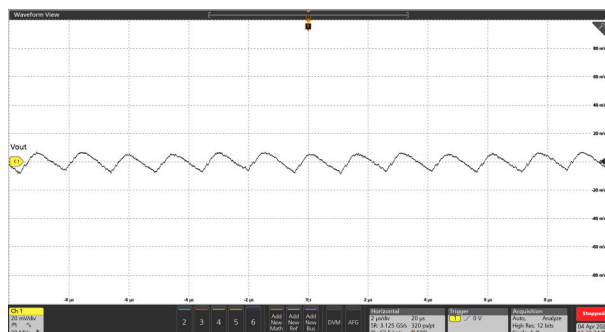
$V_{OUT} = 3.3V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \sim 1.8A$

図 9-29. 負荷過渡応答



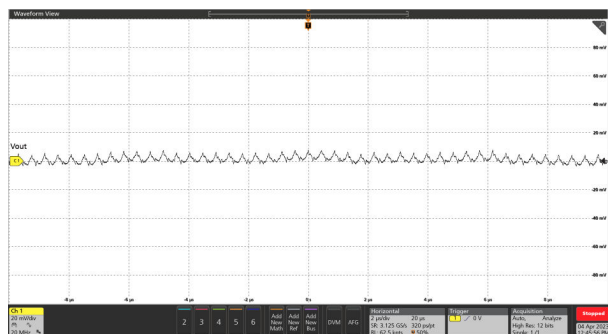
$V_{OUT} = 0.6V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 3.3V$ BW = 20MHz

図 9-30. 出力および入力電圧リップル



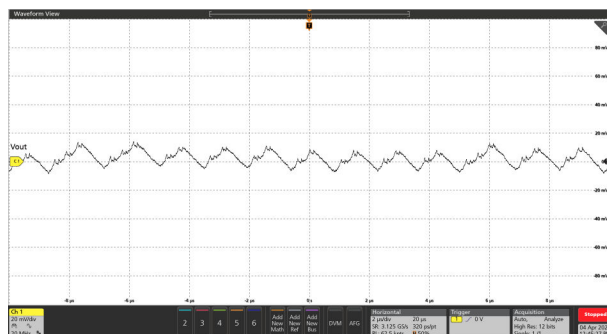
$V_{OUT} = 0.6V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 3.3V$ BW = 20MHz

図 9-31. 出力および入力電圧リップル



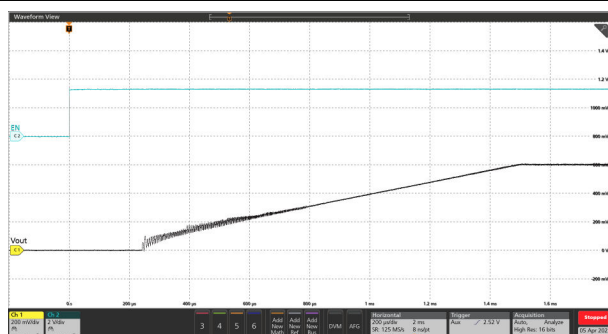
$V_{OUT} = 3.3V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 5.0V$ $BW = 20MHz$

図 9-32. 出力および入力電圧リップル



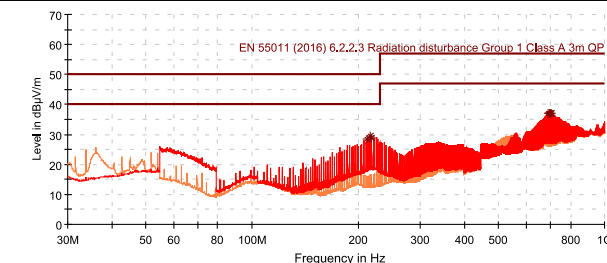
$V_{OUT} = 3.3V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 5.0V$ $BW = 20MHz$

図 9-33. 出力および入力電圧リップル



$V_{OUT} = 0.6V$ PWM/PFM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 3.3V$ $C_{SS} = 4.7nF$

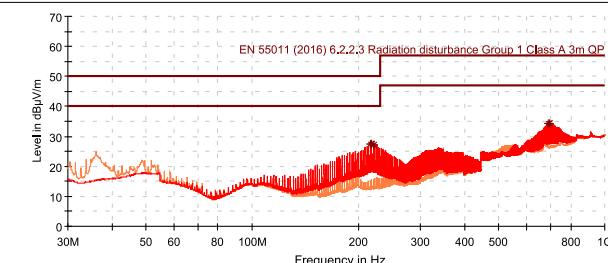
図 9-34. 起動タイミング



Preview Result 1V-QPK
Preview Result 1H-QPK
* QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class B 3m QP
* Final Result QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class A 3m QP

$V_{OUT} = 1.2V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 6V$ **TPSM828512EVM**
で測定

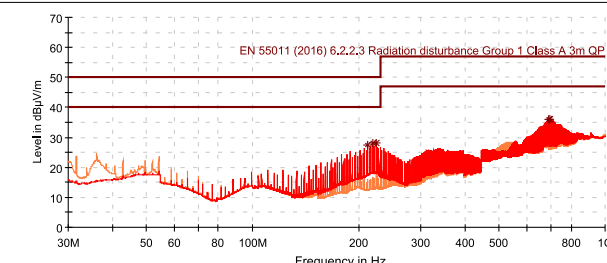
図 9-35. 放射放出



Preview Result 1V-QPK
Preview Result 1H-QPK
* QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class B 3m QP
* Final Result QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class A 3m QP

$V_{OUT} = 1.8V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 6V$ **TPSM828512EVM**
で測定

図 9-36. 放射放出



Preview Result 1V-QPK
Preview Result 1H-QPK
* QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class B 3m QP
* Final Result QPK
EN 55011 (2016) 6.2.2.3 Radiation disturbance Group 1 Class A 3m QP

$V_{OUT} = 3.3V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 6V$ **TPSM828512EVM**
で測定

図 9-37. 放射放出

9.3 システム例

9.3.1 外部クロックへの同期

TPSM82850x-Q1 デバイスは、MODE/SYNC ピンにクロックを印加することで同期できます。追加の回路は必要ありません。図 9-38 を参照してください。動作中に、クロックの印加、変更、削除を行うことができます。TI は、外部クロックへのセトリング時間を高速化するために、内部で定義される周波数と外部から印加される周波数が互いに近くなるように R_{CF} 抵抗の値を選択することを推奨します。COMP/FSET ピンが V_{IN} または GND に接続されている場合、クロックと同期することはできません。図 9-39 および 図 9-40 に、印加される外部クロックと除去される外部クロックを示します。外部クロックが印加されると、デバイスは PWM モードで動作します。

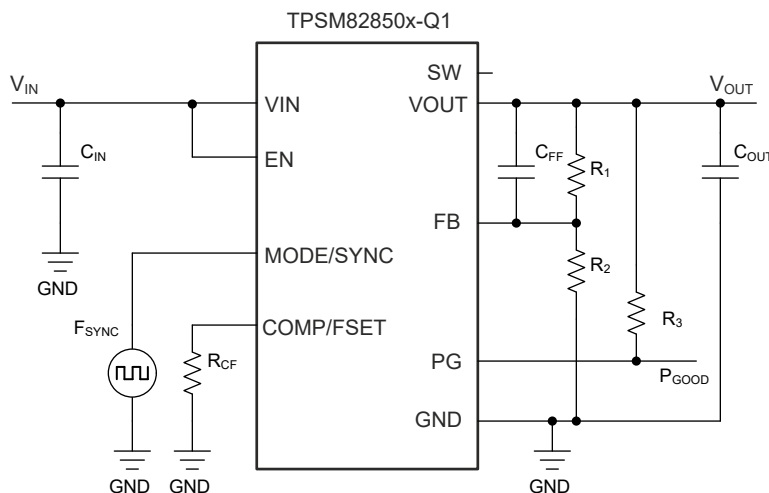


図 9-38. 周波数同期

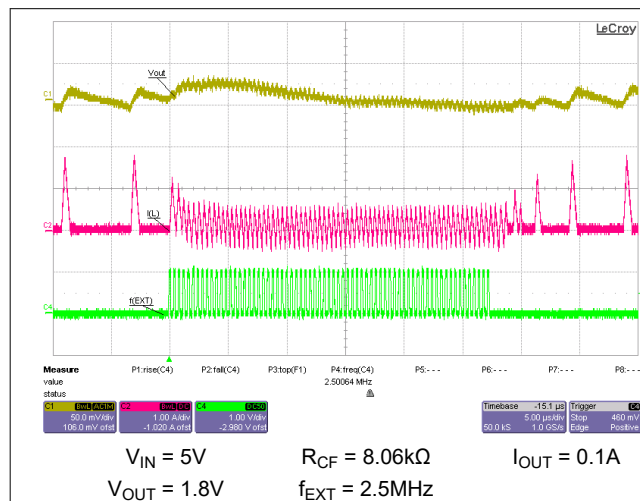


図 9-39. 同期信号 (PFM) の印加と除去

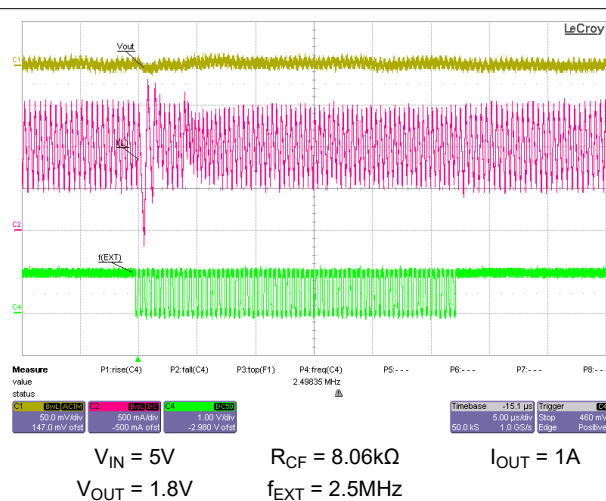


図 9-40. 同期信号 (FPM) の印加と除去

9.4 電源に関する推奨事項

TPSM82850x-Q1 デバイス ファミリーには、入力電源に対する特別な要件はありません。入力電源の出力電流は、TPSM82850x-Q1 の電源電圧、出力電圧、出力電流に応じた定格である必要があります。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

特に高いスイッチング周波数の場合、スイッチ モード電源を動作させるために、適切なレイアウトが非常に重要です。TPSM82850x-Q1 の PCB レイアウトでは、最高の性能を得るために細心の注意が必要です。レイアウトが不適切な場合、ラインと負荷のレギュレーションの不良、不安定、EMI 放射の増加、ノイズの増加などの問題につながる可能性があります。一般的なベスト プラクティスの詳細な説明については、『[降圧コンバータの優れた PCB レイアウトを行うための 5 つのステップ](#)』[Analog Design Journal](#) を参照してください。デバイスに固有の推奨事項を以下に示します。

- 入力コンデンサは、デバイスの VIN ピンと GND ピンにできる限り近づけて配置してください。この配置は、最も重要な部品配置です。入力コンデンサはビアを避けて VIN ピンと GND ピンに直接配線します。
- 出力コンデンサのグラウンドは VOUT および GND ピンの近くに配置し、ビアを避けて直接配線します。
- FB 抵抗 R1 と R2、およびフィードフォワード コンデンサ C_{FF} を FB ピンの近くに配置し、C_{SS} を SS/TR ピンの近くに配置して、ノイズのピックアップを最小限に抑えます。
- 推奨レイアウトは評価基板に実装されており、『[TPSM828502QEVM-159 評価基板ユーザズ ガイド](#)』および『[レイアウト例](#)』に記載されています。
- このデータシートの末尾に記載されている TPSM82850x-Q1 の推奨ランドパターンを参照してください。最良の製造結果を実現するには、一部のピン (VIN、VOUT、GND など) を大きな銅プレーンに接続するときに、SMD (はんだマスク定義) としてパッドを作成します。SMD パッドを使用すると、各パッドのサイズが同じに維持され、リフロー中にはんだによってデバイスが引っ張られるのを避けられます。

9.5.2 レイアウト例

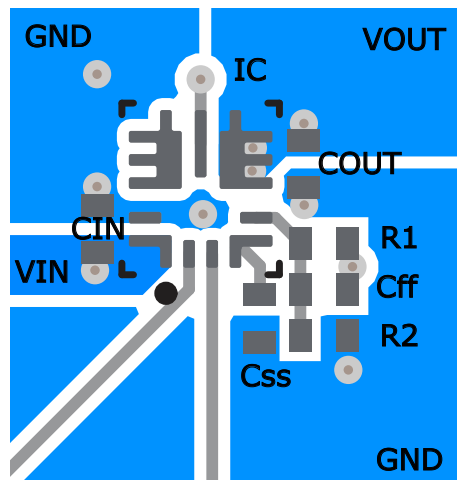


図 9-41. レイアウト例

9.5.2.1 熱に関する注意事項

TPSM82850x-Q1 モジュールの温度は、125°C の最大定格未満に維持する必要があります。放熱性能を向上させるための 3 つの基本的なアプローチを以下に示します。

- PCB 設計による消費電力性能の改善。
- 部品の PCB への熱結合の改善。
- システムへのエアフローの導入。

TPSM82850x-Q1 のモジュール温度の概算値を推定するには、このデータシートに記載されている標準的な効率を目的のアプリケーション条件に適用して、モジュールの消費電力を計算します。次に、消費電力に消費電力の熱抵抗を乗算して、モジュールの温度上昇を計算します。実際のアプリケーションにおける熱パラメータの使い方の詳細については、以下のアプリケーション ノートを参照してください。『[JEDEC PCB 設計を使用するリニアおよびロジック パッケージの熱特性](#)』および『[半導体および IC パッケージの熱評価基準](#)』。

「[熱に関する情報](#)」の熱の値には、図に示すように 18 ビアも含めて、このデータシートの末尾に記載されている推奨ランドパターンを使用しています。TPSM82850x-Q1 は、JEDEC 51-7 で定義された PCB 上でシミュレーションされたものです。GND ピンの 9 ビアは別の PCB 層の銅箔に接続されていますが、残りの 9 ビアは他の層に接続されていません。

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[TPSM828502QEVm-159 評価基板 EVM ユーザー ガイド](#)
- テキサス インスツルメンツ、[『降圧コンバータの優れた PCB レイアウトを実現する 5 つのステップ』Analog Design Journal](#)
- テキサス インスツルメンツ、[『DC/DC コンバータにおける抵抗性帰還デバイダの設計上の検討事項』Analog Design Journal](#)
- テキサス インスツルメンツ、[『正確なイネーブル ピンのスレッショルドを持つ DC/DC コンバータを使用して、クリーンなスタートアップを実現』Analog Design Journal](#)
- テキサス インスツルメンツ、[『JEDEC PCB 設計を使用するリニアおよびロジック パッケージの熱特性』アプリケーション ノート](#)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
November 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM828502WRDYRQ1	Active	Production	QFN-FCMOD (RDY) 9	3000 LARGE T&R	Yes	Call TI	Call TI	-40 to 125	88502

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

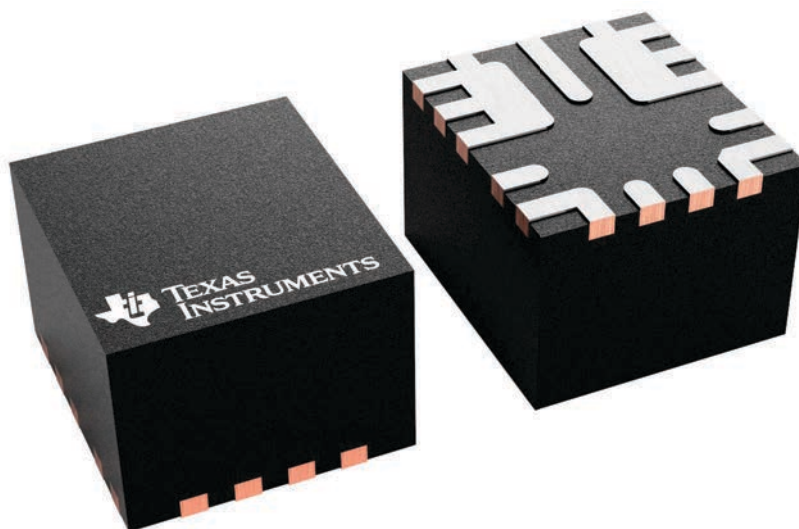
RDY 9

QFN-FCMOD - 2.05 mm max height

2 x 2.7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

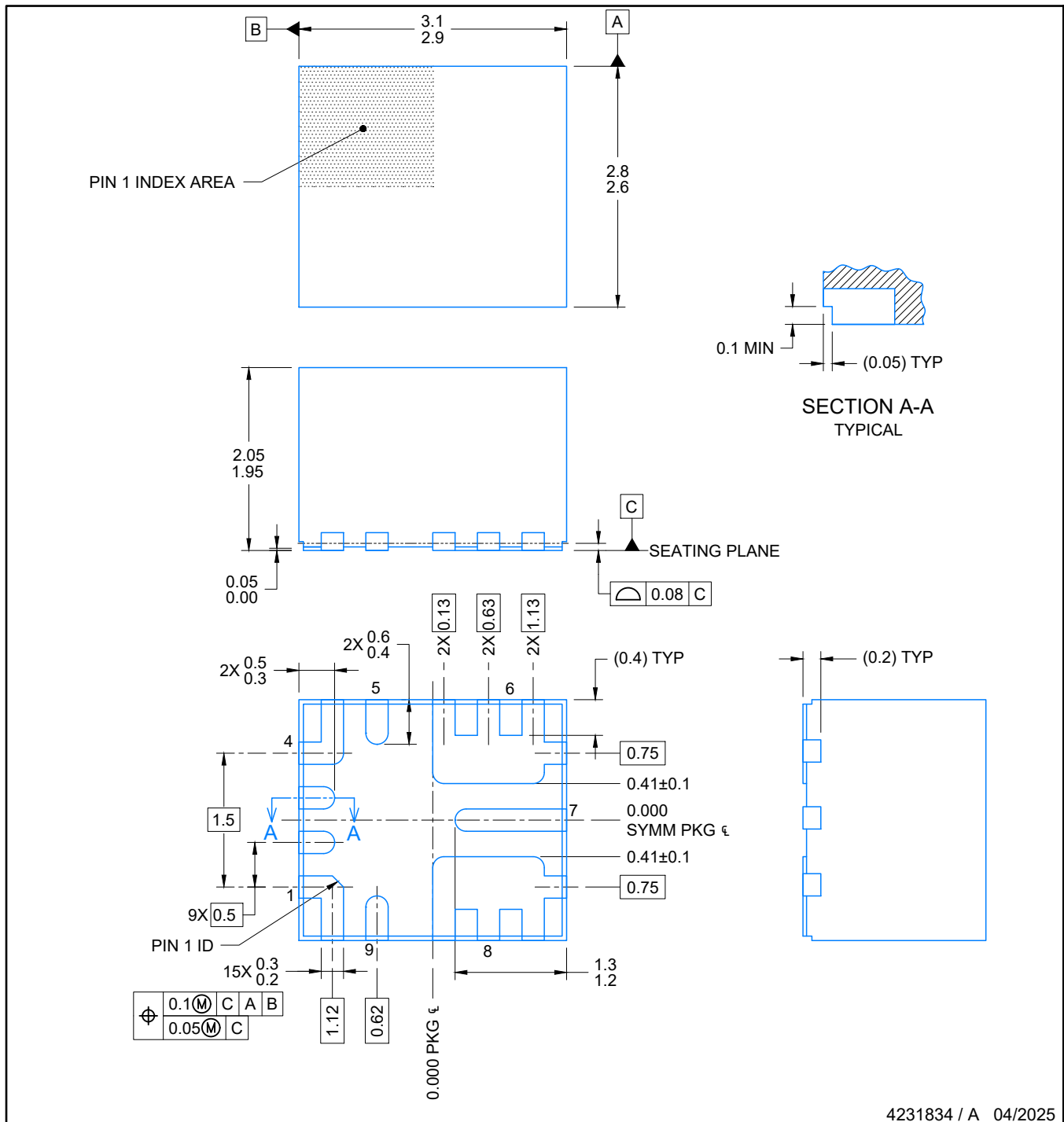


4231849/A

RDY0009B

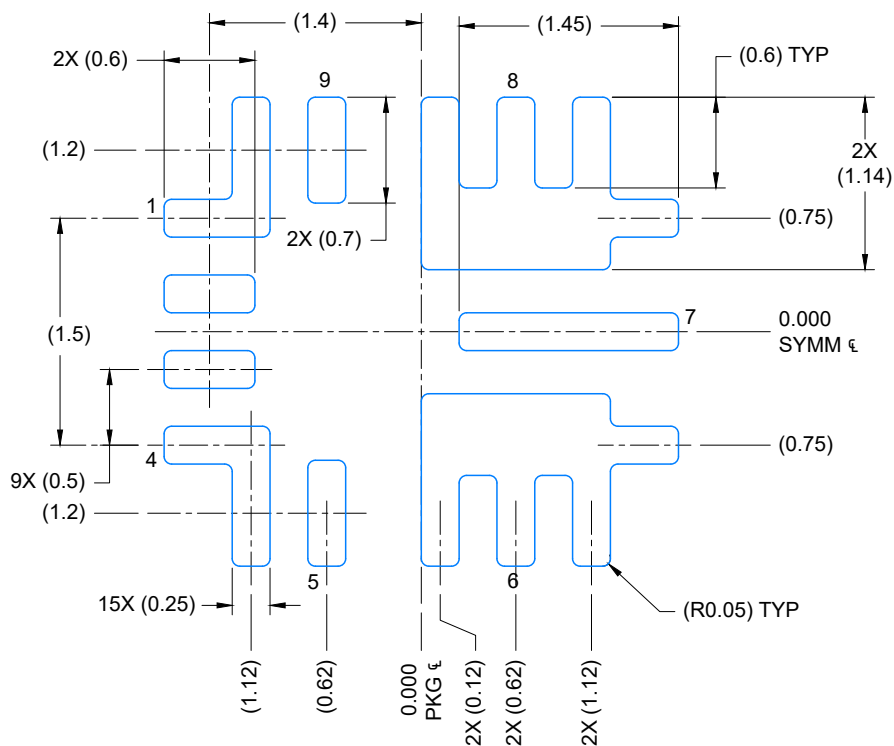
QFN - FCMOD - 2.05 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



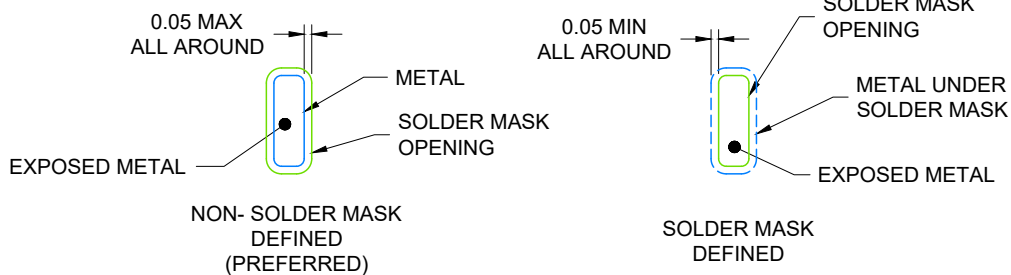
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 20X

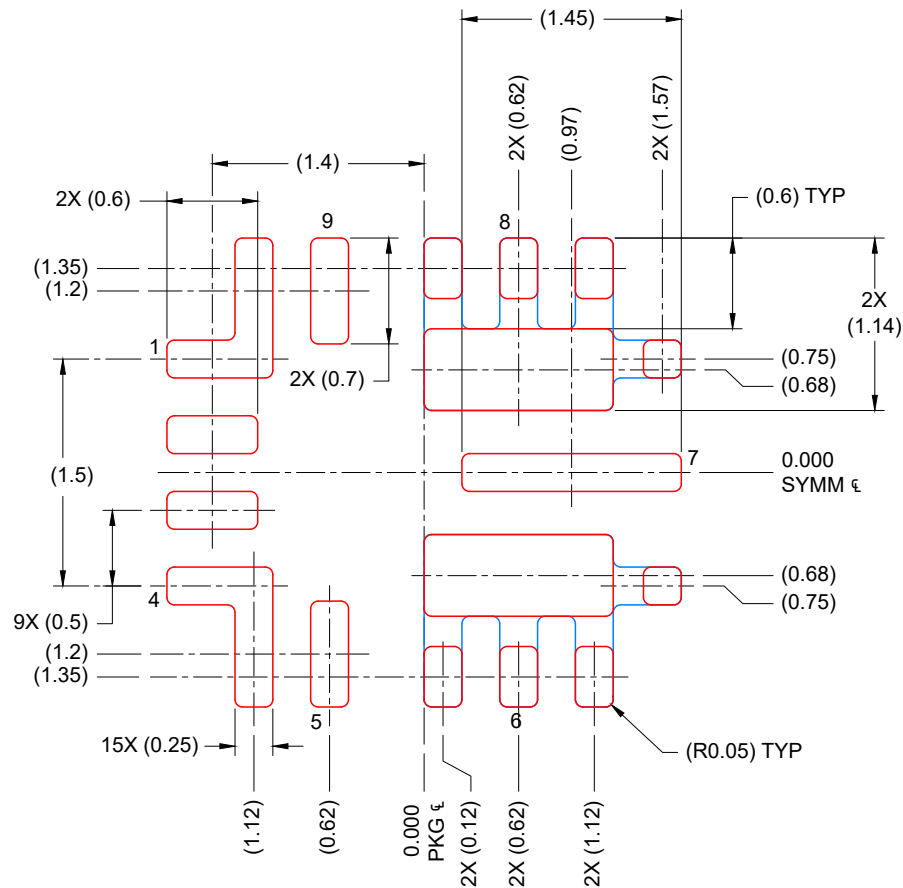


SOLDER MASK DETAILS

4231834 / A 04/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271) .
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE

BASED ON 0.1 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 6 & 8 = 84%
 SCALE: 20X

4231834 / A 04/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月