TPSM8286xx 2.4V ～5.5V 入力、4A/6A、降圧パワー モジュール、インダクタ内蔵、I²C インターフェイス搭載、MagPack™ パッケージ

1 特長

- 最大 96% の効率
- 優れた放熱対策
- I²C 互換インターフェイス：最高 3.4Mbps
- 出力電圧精度：1%
- DCS-Control トポロジにより、高速過渡応答を実現
- I²C プログラマブル：
  - 出力電圧
    - 0.2～0.8375V (2.5mV 刻み)
    - 0.4～1.675V (5mV 刻み)
    - 0.8～3.35V (10mV 刻み)
  - 強制 PWM またはパワー セーブ モード
  - 出力電圧放電
- I²C デバイス ステータス読み戻し：
  - 過熱警告
  - ヒカップ電流制限
  - Vin が UVLO 未満
- 抵抗を選択可能：
  - I²C アドレス
  - 17 のスタートアップ出力電圧オプション
- 低 EMI 要件向けの設計
  - ボンド ワイヤ パッケージなし
  - MagPack テクノロジーはインダクタと IC をシールド
  - 最適化されたピン配置によるレイアウトの簡素化
- 動作時の静止電流 4µA
- –40℃～125℃の動作温度範囲
- 2.3mm × 3.0mm × 1.95mm の QFN パッケージ
- 28mm² の設計サイズ
- I²C インターフェイスなしでも供給可能：TPSM82866A

2 アプリケーション

- FPGA、CPU、ASIC のコア電源
- 光学モジュール
- ファクトリ オートメーション / 制御
- 航空宇宙および防衛

3 概要

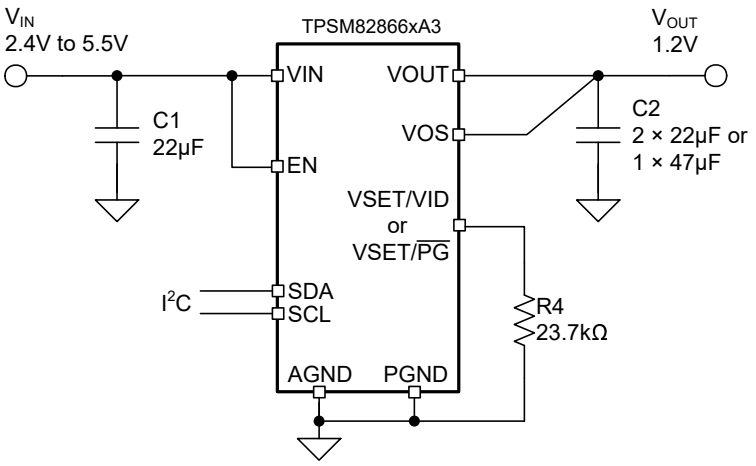
TPSM8286xx デバイス ファミリは、小さいデザイン サイズと高い効率を実現できるように設計された 4A および 6A 降圧コンバータ パワー モジュールで構成されています。このパワー モジュールにはテキサス・インスツルメンツの MagPack テクノロジーを使用して同期整流降圧コンバータとインダクタが組み込まれているため、設計の簡素化、外付け部品の低減、PCB 面積の削減が可能です。コンパクトな設計なので、標準的な表面実装機による自動組み立てに適しています。DCS-Control アーキテクチャと優れた負荷過渡性能を活用して、小さな出力コンデンサでも、厳密な出力電圧精度を実現しています。中負荷から重負荷では PWM モードで動作し、軽負荷時には自動的に省電力モードへ移行するため、負荷電流の全範囲にわたって高効率が維持されます。このデバイスは、強制的に PWM モードで動作させて、出力電圧リップルを最小化することもできます。I²C インターフェイスにより、出力電圧の調整、新しい設定ポイントへの遷移時の V_{OUT} ランプ レートの設定、熱警告や電流制限フラグなどのステータス情報の読み出しの効果的な方法が提供されます。内蔵のソフトスタートにより、入力電源からの突入電流が減少します。過熱保護およびヒカップ短絡保護機能により、堅牢で信頼性の高い設計を実現できます。

製品情報

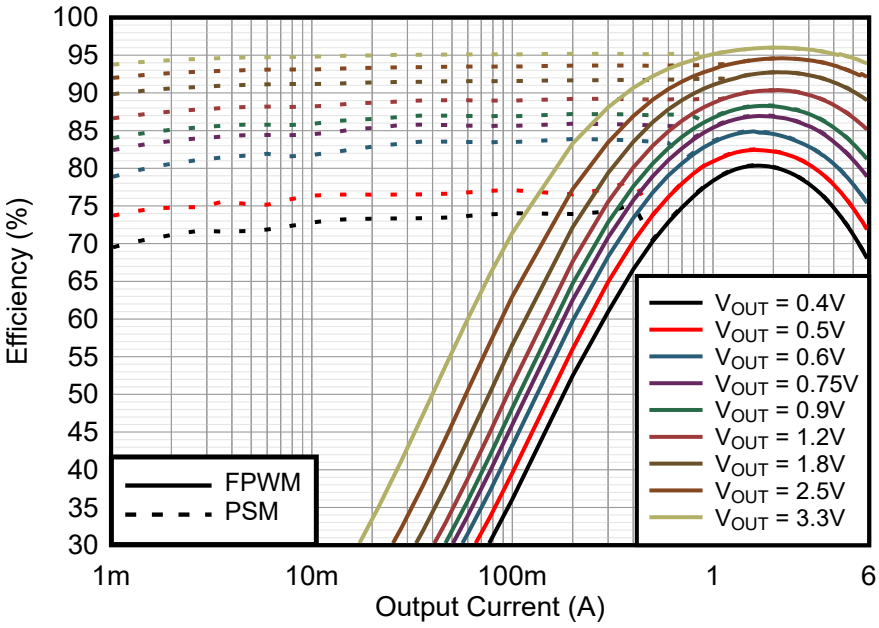
部品番号(3)	出力電流	パッケージ(1)	本体サイズ (公称)
TPSM82864xx(2)	4A	RCF (QFN-FCMOD、15)	2.30mm × 3.00mm
TPSM82866xx	6A		

(1) 詳細については、セクション 12 を参照してください。
(2) 開発中製品情報 (量産データではありません)。
(3) 「デバイスのオプション」表を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的なアプリケーション回路図



TPSM82866C の効率 (V_{IN} = 5.0V)

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 デバイスのオプション ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 8
6.6 I^2C インターフェイス タイミングの要件 ... 10
6.7 代表的特性 ... 12
7 詳細説明 ... 13
7.1 概要 ... 13
7.2 機能ブロック図 ... 13
7.3 機能説明 ... 13
7.4 デバイスの機能モード ... 17
7.5 プログラミング ... 19
8 レジスタ マップ ... 23
8.1 ターゲット アドレス バイト ... 23
8.2 レジスタ アドレス バイト ... 23
8.3 V_{OUT} レジスタ 1 ... 23
8.4 V_{OUT} レジスタ 2 ... 24
8.5 CONTROL レジスタ ... 25
8.6 STATUS レジスタ ... 25
9 アプリケーションと実装 ... 26
9.1 アプリケーション情報 ... 26
9.2 代表的なアプリケーション ... 26
9.3 電源に関する推奨事項 ... 32
9.4 レイアウト ... 32
10 デバイスおよびドキュメントのサポート ... 35
10.1 デバイス サポート ... 35
10.2 ドキュメントのサポート ... 35
10.3 ドキュメントの更新通知を受け取る方法 ... 35
10.4 サポート・リソース ... 35
10.5 商標 ... 35
10.6 静電気放電に関する注意事項 ... 35
10.7 用語集 ... 35
11 改訂履歴 ... 36
12 メカニカル、パッケージ、および注文情報 ... 36

Copyright © 2026 Texas Instruments Incorporated

4 デバイスのオプション

注文可能な型番 (1)	出力電流	VSET/VID または VSET/PG ピン	動作(5)をイネーブルする	動作周波数	出力電圧範囲	デバイスの高さ
TPSM82864CA2PRCFR(2)	4A	VSET / VID(3)	ソフトウェアイネーブルデバイス= 1（ハードウェア イネーブル）	2.4MHz	0.4V～1.675V	1.95mm
TPSM82864CA3PRCFR(2)					0.8V～3.35V	
TPSM82866CA1PRCFR	6A				0.2V～0.8375V	
TPSM82866CA2PRCFR					0.4V～1.675V	
TPSM82866CA3PRCFR					0.8V～3.35V	
TPSM82866CB2PRCFR			ソフトウェアイネーブルデバイス= 0（ソフトウェア イネーブル）		0.4V～1.675V	
TPSM82866CB3PRCFR					0.8V～3.35V	
TPSM82866EA2PRCFR	6A	VSET/$\overline{PG}$(4)	ソフトウェアイネーブルデバイス= 1（ハードウェア イネーブル）		0.4V～1.675V	
TPSM82866EA3PRCFR					0.8V～3.35V	

(1) 詳細については、セクション 12 を参照してください。
(2) プレビュー情報 (量産データではありません)。
(3) ピンの機能については、セクション 7.4.3 を参照してください。
(4) ピンの機能については、セクション 7.4.5 を参照してください。
(5) イネーブル動作については、セクション 7.4.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

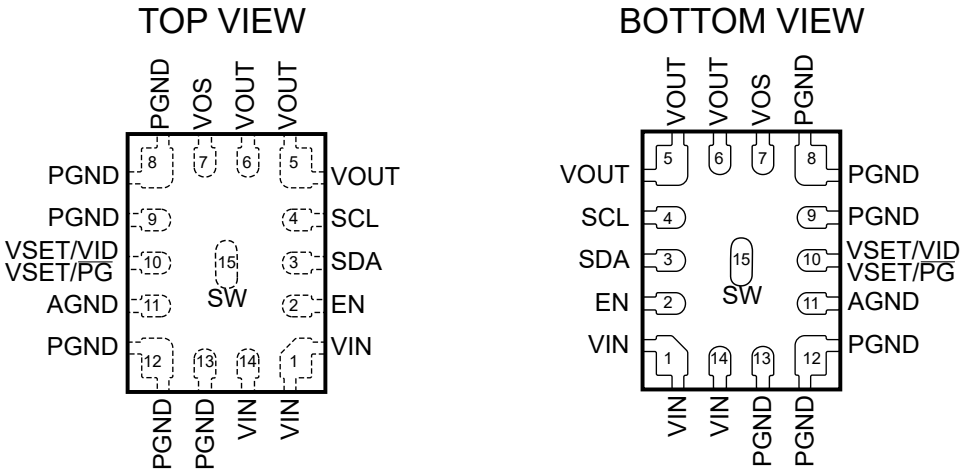


図 5-1. TPSM82864x、TPSM82866x - RCF（15 ピン）QFN-FCMOD

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
AGND	11	P	アナログ グランド ピン。共通 GND プレーンに接続する必要があります
EN	2	I	デバイス イネーブル ピン。デバイスをイネーブルするには、このピンを High にする必要があります。このピンを Low にすると、デバイスはディスエーブルになります。フローティングのままにしないでください。
SDA	3	I/O	I^2C シリアル データ ピン。フローティングのままにしないでください。プルアップ抵抗をロジック High レベルに接続します。I ^2C ピンを使用しない場合は、GND に接続します。
SCL	4	I	I^2C シリアル クロック ピン。このピンをフローティングのままにしないでください。プルアップ抵抗をロジック High レベルに接続します。I ^2C ピンを使用しない場合は、GND に接続します。
VSET/VID	10	I	TPSM8286xCxx にのみ適用されます。GND に抵抗を接続すると、スタートアップ出力電圧と I^2C デバイスアドレスのいずれかが選択されます。詳しくは、セクション 7.4.2 を参照してください。スタートアップ後、このピンを使用して V_{OUT} レジスタを切り替えることで、出力電圧を選択できます。（Low = V_{OUT} レジスタ 1、High = V_{OUT} レジスタ 2）。スタートアップ後にこのピン機能が利用可能かどうかは、選択したデバイスオプションによって異なります。
VSET / $\overline{PG}$	10	I/O	TPSM8286xExx にのみ適用されます。GND に抵抗を接続すると、スタートアップ出力電圧と I^2C デバイスアドレスのいずれかが選択されます。詳しくは、セクション 7.4.2 を参照してください。スタートアップ後、このピンはパワーグッドインジケータとして使用されます。出力電圧がパワーグッドのしきい値から外れた場合、またはフォルトが検出された場合、ピンが High（V_{in}）に駆動されます。出力電圧が調整されている場合、外部抵抗を介してピンが Low にプルダウンされます。バッテリ駆動アプリケーションのシャットダウン電流を低減するため、EN = Low になっている間 PG 機能はディスエーブルされます。詳しくは、セクション 7.4.5 を参照してください。スタートアップ後にこのピン機能が利用可能かどうかは、選択したデバイスオプションによって異なります。
PGND	8、9、12、13	P	電源グランド ピン。共通 GND プレーンに接続する必要があります
SW	15	O	電力段のスイッチ ピン。このピンはフローティング状態のままにできます。
VIN	1、14	P	電源入力電圧ピン
VOS	7	I	出力電圧検出ピン。このピンは、出力コンデンサに直接接続する必要があります。
VOUT	5、6	P	出力電圧ピン

(1) I = 入力、O = 出力、P = 電源

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲(特に注記のない限り)(1)

		最小値	最大値	単位
電圧 (2)	VIN、EN、VOS、FB、VSET/$\overline{PG}$、VSET/VID	-0.3	6	V
	SW(DC)、VOUT	-0.3	V_{IN} + 0.3	
	SW (AC、10ns 未満) (3)	-2.5	10	
I_{SINK_SDA}	SDA のシンク電流		2	mA
T_J	接合部温度	-40	125	℃
T_{stg}	保存温度	-40	125	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。
(3) スイッチング動作時。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{IN}	電源電圧範囲	2.4		5.5	V
V_{OUT}	出力電圧範囲、TPSM8286xxx1	0.2		0.8375	V
	出力電圧範囲、TPSM8286xxx2	0.4		1.675	
	出力電圧範囲、TPSM8286xxx3	0.8		V_{IN} または 3.35V	
t_{F_VIN}	VIN (1) の立ち下がり遷移時間			10	mV/µs
I_{OUT}	出力電流、TPSM82864xx			4	A
	出力電流、TPSM82866xx			6	
R_{VSET}	外部電圧選択抵抗(E96 直列抵抗シリーズ)の公称抵抗範囲	10		249	kΩ
	外部電圧選択抵抗の許容誤差			1%	
	外部電圧選択抵抗の温度係数			±200	ppm/℃
T_J	接合部温度	-40		125	℃

(1) V_{IN} が V_{UVLO} 未満になる場合、V_{IN} の立ち下がりスルーレートを制限する必要があります(*「電源に関する推奨事項」を参照*

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		TPSM8286x	TPSM8286x	単位
		15 ピン	15 ピン	
		RCF JEDEC 51-7	RCF EVM	
$R_{\theta JA}$	接合部から周囲への熱抵抗	66.4	29.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	31.8	該当なし (2)	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	19.5	該当なし (2)	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	(-2.2)(3)	(-4.2)(3)	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.8	15.5	℃/W

(1) 熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。
(2) EVM には適用されません。
(3) 接合部温度がインダクタの温度よりも低いと、パッケージ上部に向かって温度が上昇します。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

T_J = -40℃ ～ 125℃、V_{IN} = 2.4V ～ 5.5V。代表値は、T_J = 25℃ および V_{IN} = 5V です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{Q_VIN}	VIN ピンへの静止電流	EN = High、無負荷、デバイスがスイッチングしない		4	10	µA
I_{Q_VOS}	VOS ピンへの静止電流	EN = High、無負荷、デバイスがスイッチングしない、V_{VOS} = 1.8V		18		µA
I_{SD}	シャットダウン電流(1)	EN = Low、T_J = -40℃ ～ 85℃		0.24	1	µA
V_{UVLO}	低電圧誤動作防止のスレッショルド	V_{IN} 立ち上がり	2.2	2.3	2.4	V
		V_{IN} 立ち下がり	2.1	2.2	2.3	V
T_{JW}	過熱警告スレッショルド	T_J 立ち上がり		130		℃
	過熱警告ヒステリシス	T_J 立ち下がり		20		℃
T_{JSD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり		150		℃
	サーマル シャットダウン ヒステリシス	T_J 立ち下がり		20		℃
ロジック インターフェイス						
V_{IH}	EN、SCL、SDA、VSET/VID の High レベル入力スレッショルド電圧		0.84			V
V_{IL}	EN、SCL、SDA、VSET/VID の Low レベル入力スレッショルド電圧				0.4	V
$I_{SCL,LKG}$	SCL ピンへの入力リーク電流			0.01	0.8	µA
$I_{SDA,LKG}$	SDA ピンへの入力リーク電流			0.01	0.1	µA
$I_{EN、LKG}$	EN ピンへの入力リーク電流			0.01	0.1	µA
C_{SCL}	SCL の寄生容量			1		pF
C_{SDA}	SDA の寄生容量			2.4		pF
スタートアップ、パワーグッド						
t_{Delay}	イネーブル遅延時間	EN が High になってからデバイスがスイッチングを開始するまでの時間、VSET/VID と GND の間に 249kΩ 抵抗が接続されている場合	420	650	1100	µs
$V_{PG(low)}$	パワー グッドの下限スレッショルド	V_{OUT} は公称 V_{OUT} を基準とします。	85	91	96	%
$V_{PG(high)}$	パワー グッドの上限スレッショルド	V_{OUT} は公称 V_{OUT} を基準とします。	103	111	120	%
$V_{\overline{PG}、OH}$	High レベル出力電圧			Vin (入力電圧)		V
$t_{PG、DLY}$	パワーグッド遅延	立ち上がりエッジと立ち下がりエッジ		34		µs
出力						
V_{OUT}	出力電圧精度	FPWM、無負荷、T_A = 0℃～85℃	-1		1	%
		FPWM、無負荷	-2		2	%
$I_{VOS,LKG}$	VOS ピンへの入力リーク電流	EN = Low、出力放電ディセーブル、V_{VOS} = 1.8V		0.2	2.5	µA
R_{DIS}	VOS ピンの出力放電抵抗			3.5		Ω
	負荷レギュレーション	V_{OUT} = 0.9V、FPWM		0.04		%/A
パワー スイッチ						
R_{DP}	ドロップアウト抵抗	100% モード。V_{IN} = 3.3V、T_J = 25℃		26		mΩ

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃ ～ 125℃、V_{IN} = 2.4V ～ 5.5V。代表値は、T_J = 25℃ および V_{IN} = 5V です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{LIM}	ハイサイド FET 順方向電流制限値	TPSM82864xx	5	5.5	6	A
		TPSM82866xx	7	7.9	9	A
	ローサイド FET 順方向電流制限値	TPSM82864xx		4.5		A
		TPSM82866xx		6.5		A
	ローサイド FET 負電流制限値			-3		A
f_{SW}	PWM スイッチング周波数	I_{OUT} = 1A、V_{OUT} = 0.9V		2.4		MHz

(1) VSET/$\overline{PG}$ ピンから出る電流は含まれていません。 *パワーグッド (PG)* を参照してください。

6.6 I²C インターフェイス タイミングの要件

パラメータ		テスト条件	最小値	最大値	単位
$f_{(SCL)}$	SCL クロック周波数	スタンダード モード		100	kHz
		ファスト モード		400	kHz
		ファスト モード プラス		1	MHz
		高速モード (書き込み動作)、C_B – 最大 100pF		3.4	MHz
		高速モード (読み取り動作)、C_B – 最大 100pF		3.4	MHz
		高速モード (書き込み動作)、C_B – 最大 400pF		1.7	MHz
		高速モード (読み取り動作)、C_B – 最大 400pF		1.7	MHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7		µs
		ファスト モード	1.3		µs
		ファスト モード プラス	0.5		µs
t_{HD}、t_{STA}	(繰り返し) START 条件のホールド時間	スタンダード モード	4		µs
		ファスト モード	600		ns
		ファスト モード プラス	260		ns
		高速度モード	160		ns
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7		µs
		ファスト モード	1.3		µs
		ファスト モード プラス	0.5		µs
		高速モード、C_B – 最大 100pF	160		ns
		高速モード、C_B – 最大 400pF	320		ns
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4		µs
		ファスト モード	600		ns
		ファスト モード プラス	260		ns
		高速モード、C_B – 最大 100pF	60		ns
		高速モード、C_B – 最大 400pF	120		ns
t_{SU}、t_{STA}	反復開始条件のセットアップ時間	スタンダード モード	4.7		µs
		ファスト モード	600		ns
		ファスト モード プラス	260		ns
		高速度モード	160		ns
t_{SU}、t_{DAT}	データ セットアップ時間	スタンダード モード	250		ns
		ファスト モード	100		ns
		ファスト モード プラス	50		ns
		高速度モード	10		ns
t_{HD}、t_{DAT}	データ ホールド時間	スタンダード モード	0	3.45	µs
		ファスト モード	0	0.9	µs
		ファスト モード プラス	0		µs
		高速モード、C_B – 最大 100pF	0	70	ns
		高速モード、C_B – 最大 400pF	0	150	ns

Copyright © 2026 Texas Instruments Incorporated

6.6 I²C インターフェイス タイミングの要件 (続き)

パラメータ		テスト条件	最小値	最大値	単位
t_{RCL}	SCL 信号の立ち上がり時間	スタンダード モード		1000	ns
		ファスト モード	20 + 0.1 C_B	300	ns
		ファスト モード プラス		120	ns
		高速モード、C_B – 最大 100pF	10	40	ns
		高速モード、C_B – 最大 400pF	20	80	ns
t_{RCL1}	START 条件の繰り返し、およびアクノリッジ ビット後の SCL 信号の立ち上がり時間	スタンダード モード	20 + 0.1 C_B	1000	ns
		ファスト モード	20 + 0.1 C_B	300	ns
		ファスト モード プラス		120	ns
		高速モード、C_B – 最大 100pF	10	80	ns
		高速モード、C_B – 最大 400pF	20	160	ns
t_{FCL}	SCL 信号の立ち下がり時間	スタンダード モード	20 + 0.1 C_B	300	ns
		ファスト モード		300	ns
		ファスト モード プラス		120	ns
		高速モード、C_B – 最大 100pF	10	40	ns
		高速モード、C_B – 最大 400pF	20	80	ns
t_{RDA}	SDA 信号の立ち上がり時間	スタンダード モード		1000	ns
		ファスト モード	20 + 0.1 C_B	300	ns
		ファスト モード プラス		120	ns
		高速モード、C_B – 最大 100pF	10	80	ns
		高速モード、C_B – 最大 400pF	20	160	ns
t_{FDA}	SDA 信号の立ち下がり時間	スタンダード モード		300	ns
		ファスト モード	20 + 0.1 C_B	300	ns
		ファスト モード プラス		120	ns
		高速モード、C_B – 最大 100pF	10	80	ns
		高速モード、C_B – 最大 400pF	20	160	ns
t_{SU}、t_{STO}	STOP 条件のセットアップ時間	スタンダード モード	4		µs
		ファスト モード	600		ns
		ファスト モード プラス	260		ns
		高速モード	160		ns
C_B	SDA および SCL の容量性負荷	スタンダード モード		400	pF
		ファスト モード		400	pF
		ファスト モード プラス		550	pF
		高速モード		400	pF

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

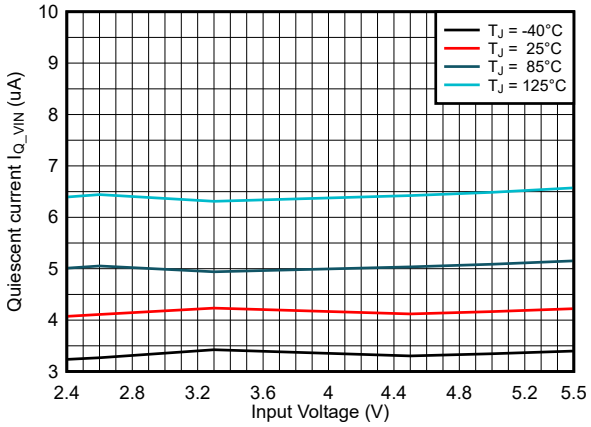


図 6-1. V_{IN} I_{Q_VIN} への静止電流

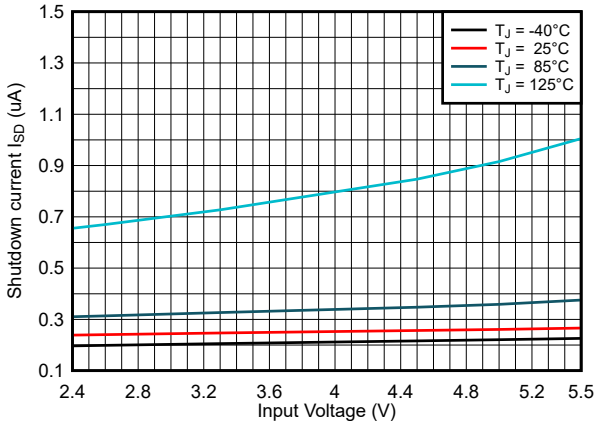


図 6-2. シャットダウン時の電流 I_{SD}

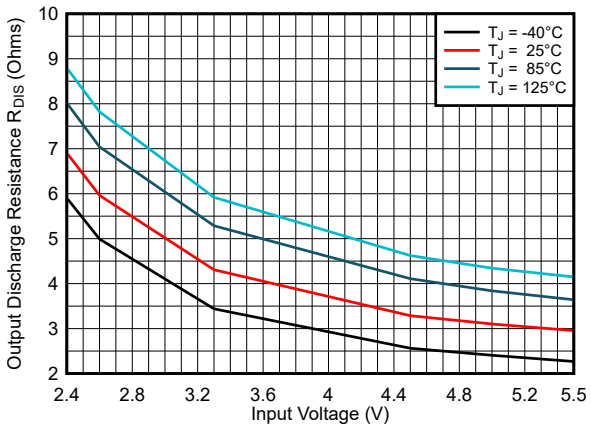


図 6-3. 出力放電抵抗 R_{DIS}

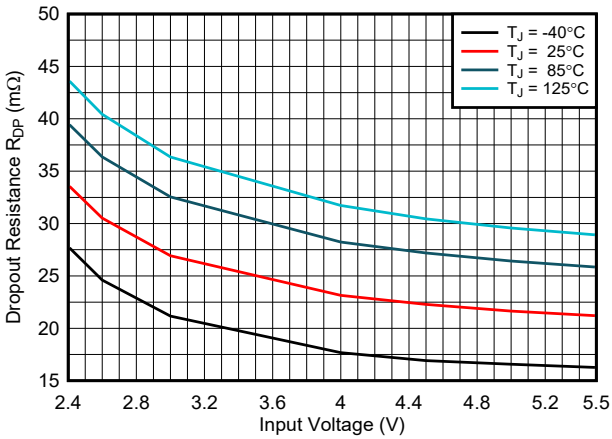


図 6-4. ドロップアウト抵抗 R_{DP}

Copyright © 2026 Texas Instruments Incorporated

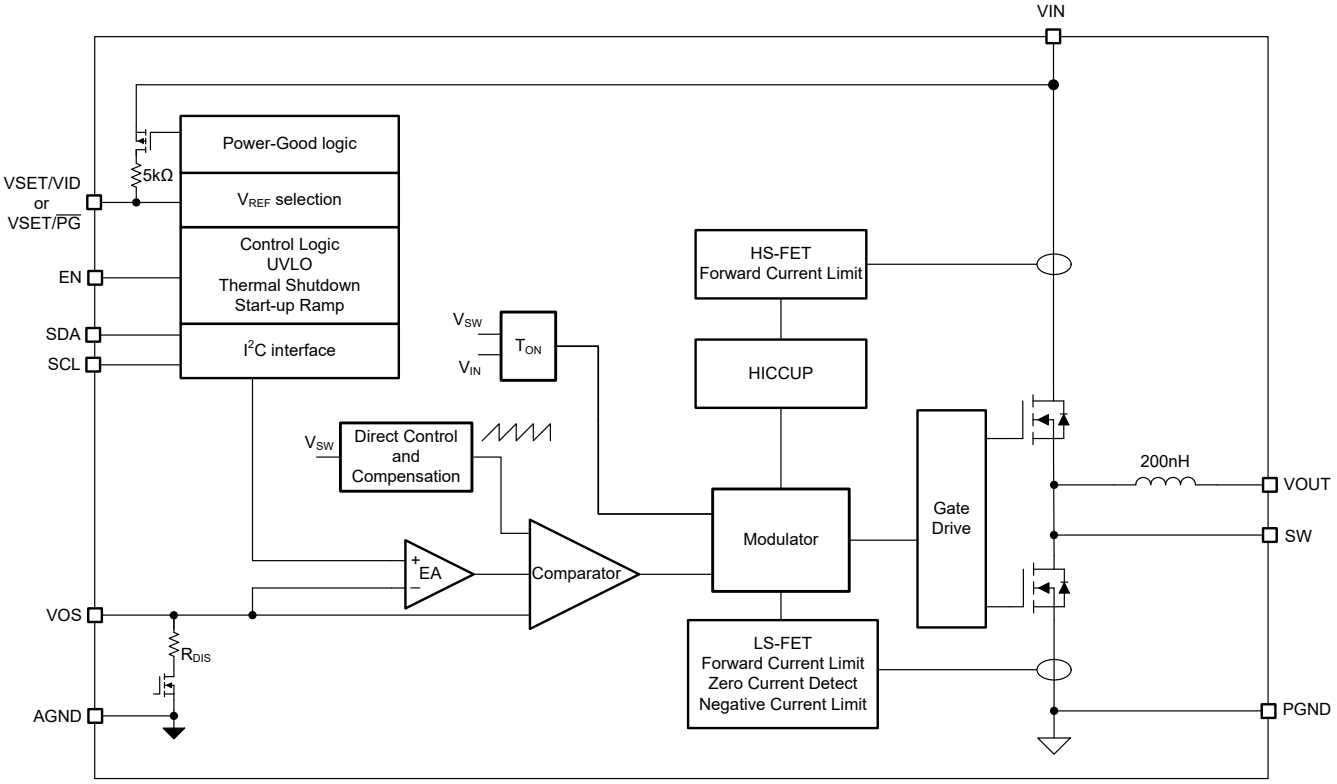
7 詳細説明

7.1 概要

TPSM8286xx 同期降圧コンバータ電源モジュールは、DCS-Control (省電力モードにシームレスに遷できる直接制御) トポロジを使用してします。このトポロジは、ヒステリシス、電圧モード、電流モード制御の利点を兼ね備えた先進のレギュレーション トポロジです。DCS-Control トポロジは、中負荷～重負荷条件では PWM (パルス幅変調) モードで動作し、軽負荷電流では PSM (省電力モード) で動作します。PWM モードでは、コンバータは 2.4MHz の公称スイッチング周波数で動作し、入力電圧範囲全体にわたって周波数変動をコントロールします。負荷電流が減少すると、コンバータは MODE/SYNC ピンに基づいて省電力モードに遷移し、スイッチング周波数を下げて IC に遷移することで、負荷電流の全範囲にわたって高効率を実現します。 DCS-Control は、単一のビルディングブロックを使用して両方の動作モードをサポートしているため、出力電圧に影響を及ぼさずに PWM から PSM へとシームレスに遷移できます。TPSM8286xx は、優れた DC 電圧レギュレーション機能と負荷過渡レギュレーションを提供し、低出力電圧リップルとともに、RF 回路への干渉を最小限に抑えています。

TPSM8286xxxxP の各バージョンは MagPack 技術を使用して、最高性能のパワー モジュール設計を提供しています。当社独自の磁気統合 MagPack パッケージング技術を活用したこれらのパワーモジュールは、業界をリードする電力密度、高効率、優れた熱性能、使いやすさ、および EMI エミッションの低減を実現します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 パワー セーブ モード

負荷電流が減少すると、デバイスはシームレスにパワーセーブ モード (PSM) 動作に移行します。PSM では、コンバータは低いスイッチング周波数と最小限の静止電流で動作し、高い効率を維持します。パワーセーブ モードは、式 1 に示すように、固定オンタイムアーキテクチャに基づいています。TPSM8286xx で使用されるインダクタンスは 200nH（標準値）です。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (1)$$

出力電圧が非常に小さい場合、スイッチング損失を制限するため、約 50ns の絶対最小オンタイムが維持されます。これにより動作周波数がその公称値から低減され、高い効率が維持されます。PSM のスイッチング周波数は次のように推定されます:

$$f_{PSM} = \frac{2 \times I_{OUT}}{t_{ON}^2 \times \frac{V_{IN}}{V_{OUT}} \times \frac{V_{IN} - V_{OUT}}{L}} \quad (2)$$

PSM に入る負荷電流は、インダクタのリップル電流の 1/2 の値であり、次のように推定できます:

$$I_{Load(PSM-entry)} = \frac{V_{IN} \times t_{ON}}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (3)$$

パワーセーブ モードでは、出力電圧が公称出力電圧をわずかに上回ります。この影響は、 出力コンデンサを大きくすることで最小限に抑えられます。

7.3.2 強制 PWM モード

制御レジスタの FPWM モード ビットを 1 に設定すると、デバイスは強制 PWM (FPWM) モードに移行し、負荷範囲全体にわたって一定のスイッチング周波数で動作します。負荷が非常に軽い場合でも同様です。この動作により、出力電圧リップルが低減し、ノイズの影響を受けやすいアプリケーションではスイッチング周波数のフィルタリングが容易になりますが、軽負荷時の効率は低下します。

7.3.3 PWM モードから PSM モードへの移行で最適化された過渡性能

ほとんどのコンバータでは、PSM モードに比べて PWM モードの負荷過渡応答が向上します。これは、コンバータが負荷ステップで高速に応答し、また、負荷解放時にアクティブにエネルギーを吸収するためです。追加機能として、TPSM8286xx は重負荷の解放後、128 サイクルの間、自動的に PWM モードを維持し、出力電圧をより迅速にレギュレーション レベルに戻します。PWM モードで はこの 128 サイクルの後、デバイスは自動的に PSM モードに戻ります (イネーブル FPWM モードビット = 0 の場合)。図 7-1 を参照してください。この最適化を行わないと、出力電圧のオーバーシュートは大きくなります。

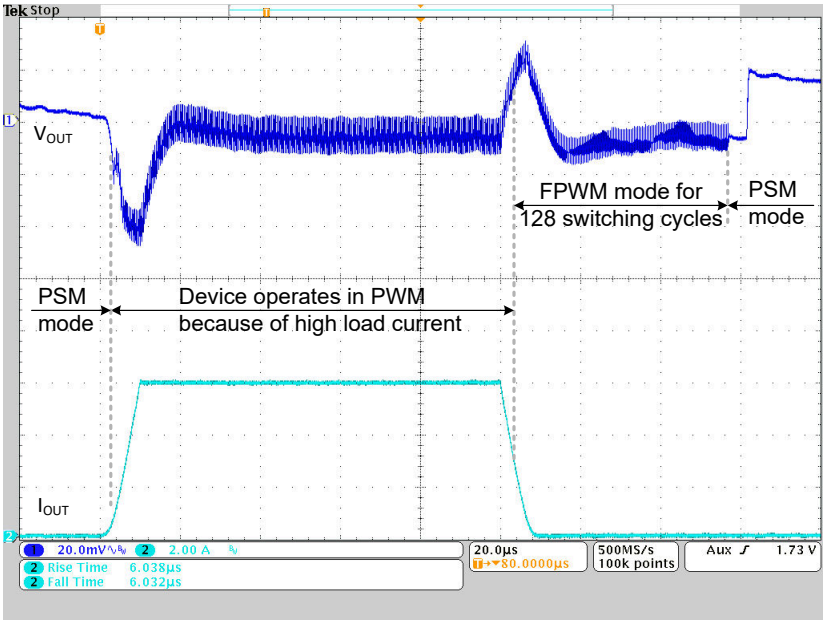


図 7-1. PWM から PSM への移行で最適化された過渡性能

Copyright © 2026 Texas Instruments Incorporated

7.3.4 低ドロップアウト動作 (100% デューティ サイクル)

このデバイスは、入力電圧が目標出力電圧に近付くと、100% デューティ サイクル モードに移行することで、低ドロップアウト動作を実現します。このモードでは、ハイサイド MOSFET スイッチが継続的にオンになります。この定数、バッテリ駆動のアプリケーションにおいて、バッテリ電圧の範囲全体を最大限に活用して最長の動作時間を実現するために特に有用です。最小出力電圧を維持するための入力電圧の最小値は、次の式で求められます。

$$V_{IN\,(min)} = V_{OUT\,(min)} + I_{OUT\,(max)} \times R_{DP} \quad (4)$$

ここで、

- $V_{OUT\,(min)}$= 負荷が許容できる最小出力電圧
- $I_{OUT\,(max)}$ = 最大出力電流
- VIN から VOUT への R_{DP} =抵抗（ハイサイド $R_{DS(ON)}$ +インダクタの R_{DC}）

7.3.5 イネーブルおよびソフトスタートランプ

デバイスがイネーブルになると、650µs のイネーブル遅延 (t_{delay})の後、I^2C インターフェースがアクティブになります。t_{Delay} 時間は、使用する VSET/MODE 抵抗によって変わりますが、249kΩ 抵抗のときに最長になります。イネーブル遅延の後、I 2 C インターフェイスによるすべてのレジスタの読み取りと書き込みが可能になります。制御レジスタの電圧上昇速度ビットは、出力電圧ソフトスタートランプの勾配を設定します（デフォルト= 1mV/µ s）。この動作により、過剰な突入電流を防ぎ、出力電圧の滑らかな上昇を実現します。また、この動作により、内部インピーダンスが高いバッテリや以前の電圧レギュレータの過剰な電圧降下も防止できます。

図 7-2 に、スタートアップシーケンスを示します。

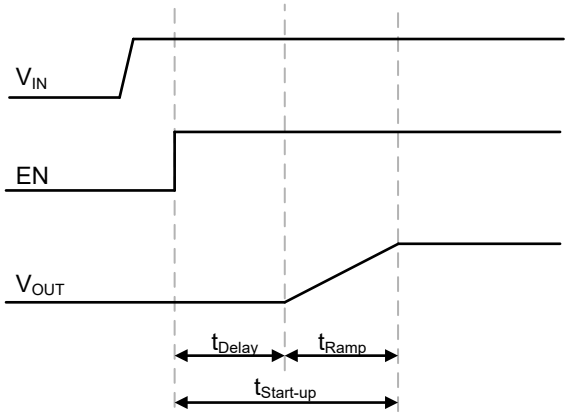


図 7-2. スタートアップ シーケンス

デバイスは、プリバイアス出力コンデンサで起動できます。デバイスは、印加されたバイアス電圧で起動し、出力電圧を公称値に上昇させます。

7.3.6 スイッチ電流制限と HICCUP 短絡保護回路

スイッチ電流制限により、デバイスを大きなインダクタ電流から保護して、バッテリや入力電圧レールから過剰な電流が流れるのを防ぎます。過電流は、高負荷または出力回路の短絡状態で発生する可能性があります。インダクタ電流がサイクルごとにしきい値 I_{LIM} に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになり、インダクタ電流はローサイド MOSFET の電流制限まで低下します。

ハイサイド MOSFET 電流制限が 32 回トリガされると、デバイスはスイッチングを停止します。その後、128µs の標準遅延時間が経過すると、本デバイスはソフト スタートにより自動的に再起動します。デバイスは、高負荷状態が解消されるまでこのモードを繰り返します。この HICCUP (ヒカップ) 短絡保護機能により、過負荷状態時に入力電源から消費する電流を低減します。図 9-25 に、ヒカップ短絡保護を示します。

Copyright © 2026 Texas Instruments Incorporated

ヒカップは、制御レジスタビットのイネーブルヒカップによってディセーブルにできます。HICCUP をディスエーブルにすると、過電流保護がラッチ保護に変更されます。ハイサイド MOSFET 電流制限が 32 回トリガされると、本デバイスはスイッチングを停止します。EN ピンをトグルする、入力電圧を削除して再印加する、または CONTROL レジスタ ビット ソフトウェア イネーブル デバイスへの書き込みを行うと、デバイスのラッチが解除されます。

ローサイド MOSFET には負の電流制限機能もあり、インダクタを通って入力に過剰な電流が流れ込むのを防止します。ローサイド シンク電流が制限を超えた場合、ローサイド MOSFET はオフになります。このシナリオでは、次のサイクルの開始まで両方の MOSFET がオフとなります。この負の電流制限は、強制 PWM モードでのみ有効です。

7.3.7 低電圧誤動作防止

低入力電圧時のデバイスの誤動作を防止するため、入力電圧が V_{UVLO} より低い場合、低電圧誤動作防止 (UVLO) がデバイスを無効にします。入力電圧が回復すると、デバイスは自動的にソフト スタートを使用して動作に戻ります。入力電圧が UVLO 立ち下がりしきい値よりも低い場合、STATUS レジスタの UVLO ビットが設定されます。

入力電圧が 1.8V（標準値）を下回った場合、すべてのレジスタがリセットされます。

7.3.8 熱警告およびシャットダウン

モジュールには、ステータスレジスタに過熱警告インジケータビットがあります。このビットは、接合部温度が上昇時の T_{JW} 温度を超えると 1 に設定され、接合部温度がしきい値をヒステリシス分下回るとリセットされます。デバイスは動作を継続します。

接合部温度が T_{JSD} を超えた場合、デバイスはサーマル シャットダウンに移行し、スイッチングを停止して、出力電圧の放電をアクティブにします。デバイス温度がヒステリシスによってしきい値を下回ると、デバイスはソフト スタートアップにより自動的に通常動作に戻ります。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 イネーブル / ディセーブル (EN)

EN ピンをロジック HIGH に設定すると、デバイスがイネーブルになります。そのため、EN ピンが low になるとシャットダウンモードが強制的に実行されます。シャットダウンモードでは、内部パワースイッチと制御回路全体がオフになり、すべてのレジスタがデフォルト値にリセットされます。ただし、イネーブル出力放電ビットは除きます。イネーブル出力放電ビットが 1 に設定されていると、内部スイッチは VOS ピンを通じて出力をスムーズに放電します。

シャットダウンモード（EN = Low）では、モジュールの消費電流を減らすため、I²C インターフェイスがディセーブルになります。したがって、レジスタにはアクセスできません。

EN ピンの標準的なイネーブルしきい値は、立ち上がり入力信号では 0.66V で、立ち下がり入力信号の標準的なシャットダウンしきい値は 0.52V です。EN ピンをフローティングのままにしないでください。

また、EN = High のとき、CONTROL レジスタのソフトウェアイネーブルデバイスビットの設定により、デバイスをイネーブルまたはディセーブルにすることができます。このビットによってディセーブルまたはイネーブルになると、デバイスはスイッチングを停止し、新しいスタートアップランプを開始します。追加の T_{DELAY} 時間はなく、レジスタはリセットされません。

TPSM8286xxAx の各バージョンは、標準ハードウェアのイネーブル機能のためソフトウェアイネーブルデバイスを 1 に設定します。TPSM8286xxBx の各バージョンは、ソフトウェアイネーブル機能のためソフトウェアイネーブルデバイスを 0 に設定します。

7.4.2 スタートアップ時の出力電圧と I²C ターゲットアドレスの選択（VSET）

イネーブル遅延 (t_{Delay}) 中、スタートアップ出力電圧とデバイス i²C ターゲットアドレスは、内部 R2D (抵抗/デジタル変換) コンバータを経由して VSET/VID または VSET/$\overline{PG}$ ピンに接続されている外部抵抗によって設定されます。また、デバイス V_{OUT} レジスタ 1 は、起動電圧に応じて設定されます。表 7-1 に、許容される抵抗値を示します。セクション 6.3 に、抵抗の許容公差を示します。

表 7-1. スタートアップ時の出力電圧と I²C ターゲットアドレスのオプション。

VSET/VID の抵抗（E96 シリーズ、精度±1%）	TPSM8286xxx1 のスタートアップ時の出力電圧	TPSM8286xxx2 のスタートアップ時の出力電圧	TPSM8286xxx3 のスタートアップ時の出力電圧	I²C ターゲット アドレス
249kΩ	0.575V	1.15V	2.30V	1000 110 (0x46)
205kΩ	0.550V	1.10V	2.20V	1000 101 (0x45)
162kΩ	0.525V	1.05V	2.10V	1000 100 (0x44)
133kΩ	0.500V	1.00V	2.00V	1000 011 (0x43)
105kΩ	0.475V	0.95V	1.90V	1000 010 (0x42)
86.6kΩ	0.450V	0.90V	1.80V	1000 001 (0x41)
68.1kΩ	0.425V	0.85V	1.70V	1001 000 (0x48)
56.2kΩ	0.400V	0.80V	1.60V	1001 001 (0x49)
44.2kΩ	0.375V	0.75V	1.50V	1001 010 (0x4A)
36.5kΩ	0.350V	0.70V	1.40V	1001 011 (0x4B)
28.7kΩ	0.325V	0.65V	1.30V	1001 100 (0x4C)
23.7kΩ	0.300V	0.60V	1.20V	1001 101 (0x4D)
18.7kΩ	0.275V	0.55V	1.10V	1001 110 (0x4E)
15.4kΩ	0.250V	0.50V	1.00V	1001 111 (0x4F)
12.1kΩ	0.225V	0.45V	0.90V	1000 000 (0x40)
10kΩ	0.200V	0.40V	0.80V	1000 111 (0x47)
GND または< 1kΩ	0.720V	0.90V	1.80V	1000 110 (0x46)

R2D コンバータには、外部抵抗を通して電流を印加する内部電流源と、結果として得られる電圧レベルを読み戻す内部 ADC があります。レベルに応じて、適切なスタートアップ出力電圧と I²C ターゲットアドレスを設定します。この R2D 変換

Copyright © 2026 Texas Instruments Incorporated

の完了後、電流源はオフになり、電流が外部抵抗を流れなくなります。R2D 変換時に、このピンと GND との間に 30pF を超える追加の電流パスまたは容量がないことを確認してください。そうでなければ、誤った値が設定されます。

詳細については、『*超低消費電力電源における抵抗/デジタル コンバータの利点*』と題したホワイト ペーパーをご覧ください。

ランプアップ時間（t_{Ramp}）の間、出力電圧は、最初に VSET で設定された目標値まで上昇し、その後、I^2C インターフェイスコマンドによって出力レジスタの値が変更されると、新しい値まで上昇または下降します。

7.4.3 出力電圧レジスタの選択（VID）

TPSM8286xCxx モジュールの各バージョンは、セクション 4 に示すように、VSET/$\overline{PG}$ ピンに代わる、VSET/VID ピンを備えたデバイスオプションです。

スタートアップ期間（$t_{STARTUP}$）の後、VID ピンにより 2 つの出力電圧レジスタの間で出力電圧を選択できます。VID が low にプルされると、出力電圧は表 8-2 によって設定されます。VID が high にプルされると、出力電圧は表 8-3 によって設定されます。これはダイナミック電圧スケーリング（DVS）とも呼ばれます。VID 機能を使用しない場合、VSET 抵抗は VSET/VID ピンを low に維持し、V_{OUT} レジスタ 1 は出力電圧を設定します。

I^2C または VSET/VID ピンによって出力電圧が変化したとき、制御レジスタの「出力電圧変化時の FPWM モード有効化」ビットを 1 に設定することで、デバイスを FPWM で動作するように設定できます。FPWM モードでは、上昇速度と下降速度はデバイスが制御します。PSM モードでは、上昇速度はデバイスが制御しますが、下降速度は負荷電流と出力容量によって決まります。出力電圧の変化速度は、電圧上昇速度ビットによって設定されます。

7.4.4 出力放電

出力放電機能の目的は、本デバイスが無効化されたときに出力電圧の設定されたダウンランプを確保し、出力電圧を約 0V に維持することです。出力放電は、イネーブル出力放電ビットが 1 に設定され、EN ピンが Low になったとき、入力電圧が UVLO しきい値を下回ったとき、またはサーマルシャットダウン中のとき、アクティブになります。この放電は、入力電圧が最低 1.6V (標準値) までアクティブです。イネーブル出力放電ビットは、EN ピンの立ち上がりエッジでリセットされます。

7.4.5 パワー グッド (PG)

TPSM8286xExx モジュールの各バージョンは、セクション 4 に示すとおり、VSET/VID ピンに代わる、VSET/$\overline{PG}$ ピンを備えたデバイス オプションです。

イネーブル遅延 (t_{Delay}) と、スタートアップ電圧とデバイスの I^2C アドレスを設定する外部抵抗のデコードの後 (セクション 7.4.2 を参照)、デバイスは出力電圧を VOUT レジスタ 1 内の設定値と比較し始めます。表 7-2 に、VSET/$\overline{PG}$ ピンのロジック レベルを示します。このピンは、ロジック High の入力電圧まで駆動されます。このピンは、ロジック Low の外部抵抗によって GND にプルされます。

VEST/$\overline{PG}$ オプションデバイスの場合、次の点に注意してください。

- VSET/$\overline{PG}$ ピンのソース電流は最大 1mA です。
- VOUT レジスタ 2 はディセーブルです。
- シャットダウン電流を低減するために、EN = Low で VSET/$\overline{PG}$ ピンは外付け抵抗によって Low にプルされている間は PG 機能が無効になります。

通常動作中に、信号が High または Low になる前に、VSET/$\overline{PG}$ には 34µs のデグリッチ時間があります。図 7-3 を参照してください。スタートアップの場合、、VSET/$\overline{PG}$ には、出力電圧が公称電圧に達した後に、200µs の遅延時間があります。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. VSET/$\overline{PG}$ ピン ロジック

デバイス条件		ロジック ステータス	
		High	Low
イネーブル	$0.91 \times V_{OUT_NOM} \le V_{VOUT} \le 1.11 \times V_{OUT_NOM}$		✓
	$V_{VOUT} < 0.91 \times V_{OUT_NOM}$ または $V_{VOUT} > 1.11 \times V_{OUT_NOM}$	✓	
シャットダウン	EN = Low		✓
サーマル シャットダウン	$T_J > T_{JSD}$	✓	
UVLO	$1.8V < V_{IN} < V_{UVLO}$	✓	
電源の取り外し	$V_{IN} < 1.8V$	未定義	

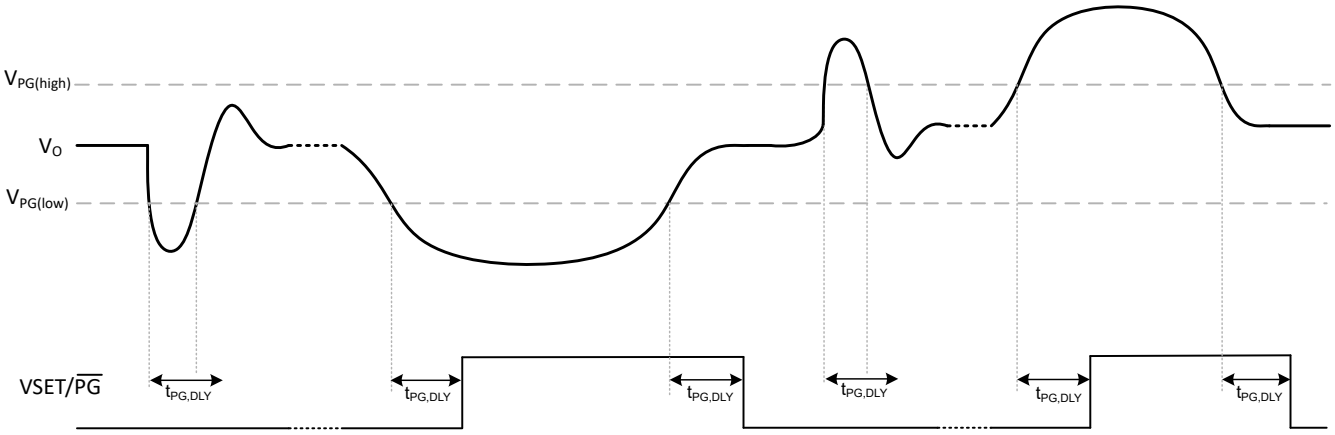


図 7-3. VSET/$\overline{PG}$ の過渡と遅延動作

7.5 プログラミング

7.5.1 シリアル インターフェイスの説明

I²C は、Philips Semiconductor (現 NXP Semiconductors) が開発した 2 線式シリアル インターフェースです。バスは、プルアップ構造を持つデータ ライン (SDA) とクロック ライン (SCL) で構成されます。バスが *アイドル* のときは、SDA ラインと SCL ラインの両方が High にプルされます。I²C 互換のデバイスはすべて、オープン ドレインの I/O ピンである SDA および SCL を介して I²C バスに接続します。*コントローラ* デバイス (通常はマイクロコントローラまたはデジタル信号プロセッサ) がバスを制御します。コントローラは SCL 信号とデバイス アドレスを生成します。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。*ターゲット* デバイスは、コントローラ デバイスの制御に従ってバス上、データを受信または送信、またはその両方を実行します。

この TPSM8286xx モジュールは *ターゲット* として動作し、I²C バス仕様で定義されているスタンダード モード(100kbps) とファスト モード (400kbps)、ファスト モード プラス (1Mbps)、および高速モード (3.4Mbps) のデータ転送 *モード* をサポートしています。このインターフェイスにより、電源設計の柔軟性が向上し、ほとんどの機能を瞬時のアプリケーション要件に応じて新しい値にプログラムできます。入力電圧が 1.8V を上回っている限り、レジスタの内容はそのまま維持されます。

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、このドキュメントではこれらのモードを F/S モードと呼びます。高速モードのプロトコルは F/S モードとは異なり、HS モードと呼ばれます。

TI では、I²C エンジンが確実にリセットされるように、I²C コントローラは、SDA および SCL プルアップ電圧の初期パワーアップ後に I²C バス上で STOP 条件を開始することを推奨しています。

Copyright © 2026 Texas Instruments Incorporated

7.5.2 Standard-Mode、Fast-Mode、Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することで、データ転送を開始します。スタート条件は、図 7-4 に示すように、SCL が High のときに SDA ラインで High から Low への遷移が発生するときです。すべての I²C 互換デバイスは、スタート条件を認識します。

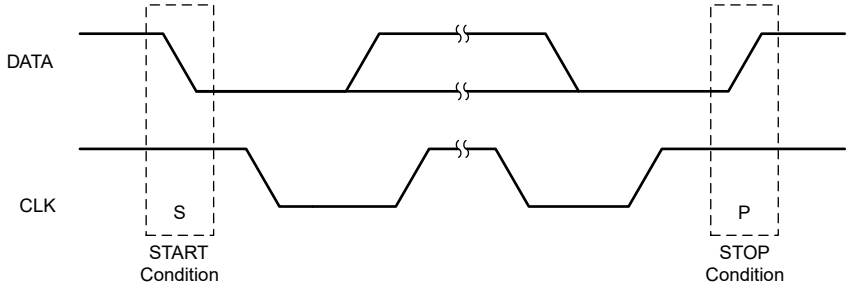


図 7-4. 開始条件と停止条件

次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り / 書き込み方向ビット R/$\overline{W}$ を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、クロック パルスの High 期間中、SDA ラインのデータが安定している必要があります (図 7-5 を参照)。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスを内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 回目の SCL サイクルの high 期間全体にわたって SDA ラインを low にすることで、アクノリッジ (図 7-6 参照)を生成します。このアクノリッジの検出時に、コントローラはターゲットとの通信リンクが確立されたことを認識します。

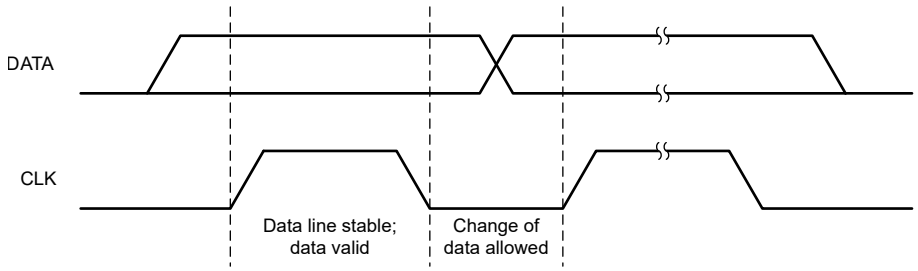


図 7-5. シリアル インターフェイスでのビット転送

コントローラは、データをターゲットへ送信するか (R/$\overline{W}$ ビット 0)、ターゲットからデータを受信するため (R/$\overline{W}$ ビット 1)、さらに SCL サイクルを生成します。どちらの場合も、送信側から送信されたデータに対して受信側がアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらが受信側かに応じて、コントローラが生成する場合とターゲットが生成する場合があります。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータ シーケンスを、必要なだけ続けることができます。

データ転送を伝達するために、コントローラは、SCL ラインが high のときに SDA ラインを low から high にして、ストップ条件を生成します (図 7-4 を参照)。このアクションによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I² C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、すべてのデバイスはバスが解放されたことを認識し、スタート条件および一致するアドレスが送信されるのを待ちます。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、0x00 が読み出されます。

Copyright © 2026 Texas Instruments Incorporated

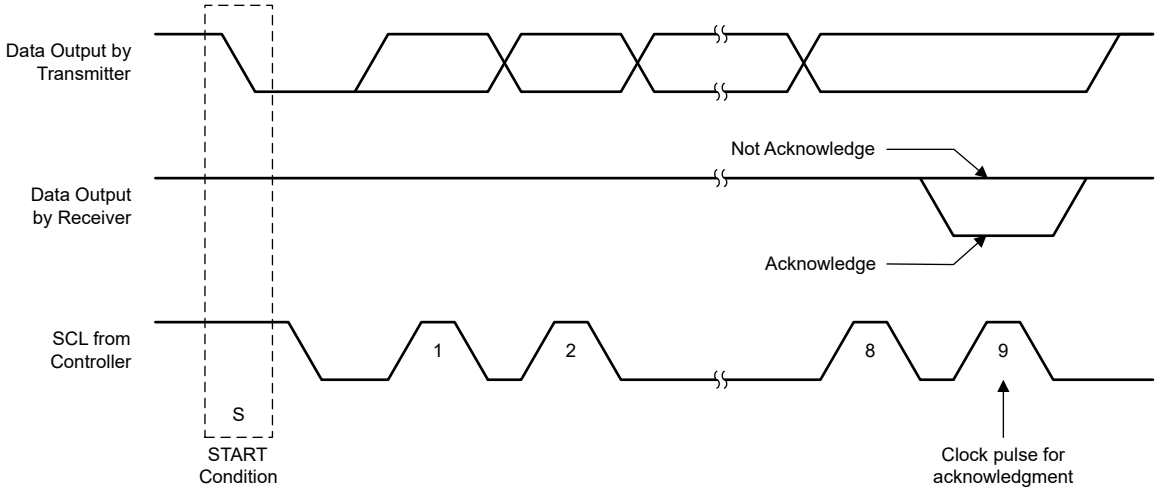


図 7-6. I²C バスのアクノリッジ

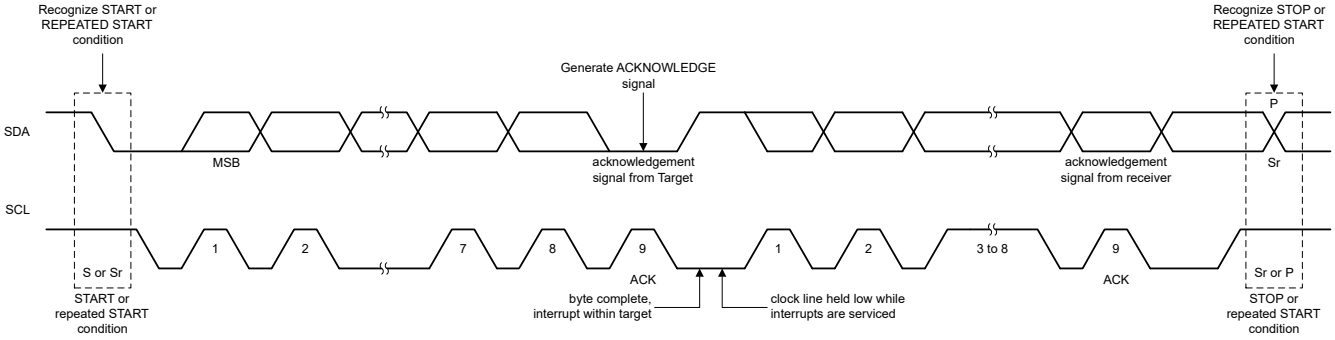


図 7-7. バス プロトコル

7.5.3 HS-Mode のプロトコル

コントローラはスタート条件を生成してから、HS コントローラ コードの 00001XXX を含む、有効なシリアル バイトを続けます。この送信は、F/S モードのときに、400kbps 以下の周波数で行われます。どのデバイスも、HS コントローラ コードをアクノリッジすることを許可されていませんが、すべてのデバイスが HS コントローラ コードを認識し、3.4Mbps での動作をサポートするよう内部設定を切り替える必要があります。

次に、コントローラは *再スタート条件* を生成します (再スタート条件のタイミングはスタート条件と同じです)。この再スタート条件の後、プロトコルは F/S モードと同じですが、許容転送速度は最高 3.4Mbps になります。終了条件を使用すると HS モードは終了し、ターゲット デバイスのすべての内部設定は F/S モードをサポートするよう切り換わります。バスを HS モードで保護するには、終了条件を使用する代わりに、再スタート条件を使用します。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、0x00 が読み出されます。

7.5.4 I²C 更新シーケンス

このシーケンスには、スタート条件、有効な I²C ターゲット アドレス、レジスタ アドレス バイト、単一の更新用のデータ バイトが必要です。各バイトを受信すると、デバイスは 1 つのクロック パルスの High 期間中に SDA ラインを Low にすることで、アクノリッジを行います。有効な I²C アドレスによって、デバイスが選択されます。デバイスは、LSB バイトに続くアクノリッジ信号の立ち下がりエッジで更新を実行します。

Copyright © 2026 Texas Instruments Incorporated



図 7-8. 標準、高速、高速プラスの各モードにおける「*書き込み*」データ転送フォーマット

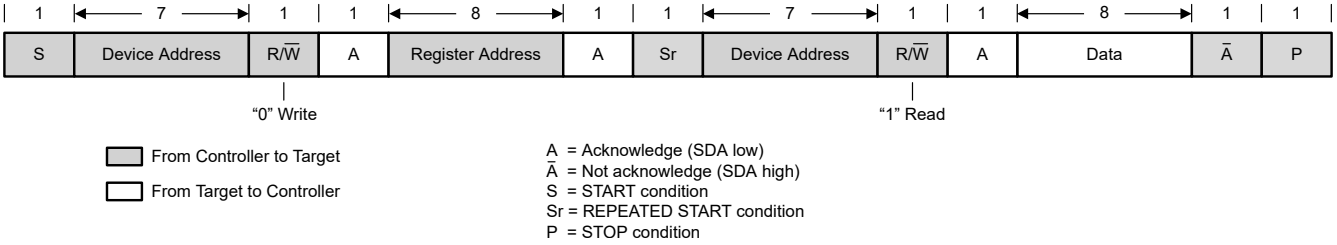


図 7-9. 標準、高速、高速プラスモードにおけるデータ転送フォーマットの「*読み取り*」

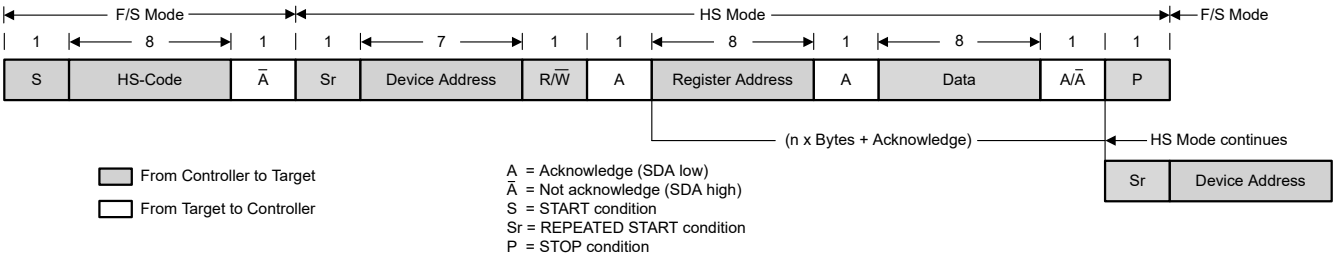


図 7-10. HS モードのデータ転送フォーマット

7.5.5 I²C レジスタ リセット

I²C レジスタは、次の方法でリセットできます。

- 入力電圧を 1.8V (標準値) 未満にする
- EN で High から Low に遷移
- CONTROL レジスタのリセット ビットをセットする。リセットが 1 に設定されると、すべてのレジスタがデフォルト値にリセットされ、直ちに新しいスタートアップが開始されます。t_{Delay} の経過後、I²C レジスタは再度プログラムできるようになります。

Copyright © 2026 Texas Instruments Incorporated

8 レジスタ マップ

表 8-1. レジスタ マップ

レジスタ アドレス (HEX)	レジスタ名	出荷時デフォルト (HEX)	説明
0x01(1)	V_{OUT} レジスタ 1	VSET/VID または VSET/$\overline{PG}$ ピンを通じて設定	ターゲット出力電圧を設定します VSET/VID が low の場合
0x02(2)	V_{OUT} レジスタ 2	0x64	ターゲット出力電圧を設定します VSET/VID が high の場合
0x03	CONTROL レジスタ	0xxF	その他の構成ビットを設定します
0x05	STATUS レジスタ	0xxx	ステータス フラグを返します

(1) VSET/$\overline{PG}$ 機能を備えたデバイスの出力電圧は、このレジスタでのみ設定できます
(2) VSET/VID 機能を備えたデバイスでのみアクセスできます

8.1 ターゲット アドレス バイト

7	6	5	4	3	2	1	0
1	x	x	x	x	x	x	R/$\overline{W}$

ターゲットアドレス バイトは、コントローラデバイスから START 条件に続いて受信する最初のバイトです。ターゲット I^2C アドレスは、VSET/VID または VSET/$\overline{PG}$ 抵抗によって割り当てられます。表 7-1 を参照。

8.2 レジスタ アドレス バイト

7	6	5	4	3	2	1	0
0	0	0	0	0	D2	D1	D0

ターゲット アドレスのアクノリッジが成功すると、バス コントローラはデバイスに 1 バイトを送信します。このバイトには、アクセスするレジスタのアドレスが含まれています。

8.3 V_{OUT} レジスタ 1

表 8-2. V_{OUT} レジスタ 1 の概要

レジスタ アドレス 0X01 読み取り / 書き込み					
ビット	フィールド	値(1)(Hex)	TPSM8286xxx1 出力電圧 (標準値)	TPSM8286xxx2 出力電圧 (標準値)	TPSM8286xxx3 出力電圧 (標準値)
7:0	VO1_SET	0x00	200.0mV	400mV	800mV
		0x01	202.5mV	405mV	810mV
		...			
		0x64	450.0mV	900mV	1800mV
		...			
		0xFE	835.0mV	1670mV	3340mV
		0xFF	837.5mV	1675mV	3350mV

(1) スタートアップ値は、VSET/VID または VSET/$\overline{PG}$ 抵抗により割り当てられます、表 7-1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.4 V_{OUT} レジスタ 2

表 8-3. V_{OUT} レジスタ 2 の説明

レジスタ アドレス 0X02 読み取り / 書き込み					
ビット	フィールド	値 (HEX)	TPSM8286xxx1 出力電圧（標準値）	TPSM8286xxx2 出力電圧（標準値）	TPSM8286xxx3 出力電圧（標準値）
7:0	VO2_SET	0x00	200.0mV	400mV	800mV
		0x01	202.5mV	405mV	810mV
		...			
		0x64	450.0mV（デフォルト値）	900mV（デフォルト値）	1800mV（デフォルト値）
		...			
		0xFE	835.0mV	1670mV	3340mV
		0xFF	837.5mV	1675mV	3350mV

Copyright © 2026 Texas Instruments Incorporated

8.5 CONTROL レジスタ

表 8-4. CONTROL レジスタの説明

レジスタ アドレス 0X03 読み取り / 書き込み				
ビット	フィールド	タイプ	デフォルト	説明
7	リセット	R/W	0b	1 - すべてのレジスタをデフォルト値にリセットします。
6	出力電圧変更時に FPWM モードを有効にします	R/W	1b	0 - 出力電圧変更時に電流モード ステータスを維持します 1 - 出力電圧変更時にデバイスを強制的に FPWM にします。
5	ソフトウェア イネーブル デバイス	R/W	x	0 - デバイスを無効にします。すべてのレジスタ値は引き続き保持されます。 1 - t_{Delay} 時間なしに新しいスタートアップでデバイスを再度イネーブルにします。
4	イネーブル FPWM モード	R/W	0b	0 - 軽負荷時にデバイスをパワー セーブ モードに設定します。 1 - 軽負荷時にデバイスを強制 PWM モードに設定します。
3	イネーブル出力放電	R/W	1b	0 - 出力放電をディセーブルにします 1 - 出力放電をイネーブルにします
2	HICCUP をイネーブルにします	R/W	1b	0 - HICCUP をディスエーブルにします。ラッチ保護をイネーブルにします。 1 - HICCUP をイネーブルにします。ラッチ保護をディスエーブルにします。
0:1	電圧ランプ速度	R/W	11b	00b - 20mV/µs (0.25µs/ステップ) 01b - 10mV/µs (0.5µs/ステップ) 10b - 5mV/µs (1µs/ステップ) 11b - 1mV/µs (5µs/ステップ)

8.6 STATUS レジスタ

表 8-5. STATUS レジスタの説明

レジスタ アドレス 0X05 読み取り専用(1)				
ビット	フィールド	タイプ	デフォルト	説明
7:5	予約済み	R	x	
4	過熱警告	R	0	1:接合部温度が 130°C を超えています。
3	HICCUP	R	0	1:デバイスは一度 HICCUP ステータスになっています。
2	予約済み	R	x	
1	予約済み	R	x	
0	UVLO	R	0	1:入力電圧が UVLO スレッショルド (立ち下がりエッジ) を下回っています。

(1) すべてのビット値は、デバイスがリセットされるまで、または STATUS レジスタが読み出されるまでラッチされます。その後、STATUS レジスタはデフォルト値にリセットされます。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPSM8286xx は、同期整流降圧コンバータのパワーモジュールファミリです。以下のセクションでは、電源設計を完成させるための外部部品の選定について解説します。必要なパワーインダクタは、TPSM8286xx に内蔵されています。RCF MagPack パッケージは、200 nH のシールド付きインダクタを採用しているだけでなく、最良の EMI 性能のため、IC もシールドしています。TPSM82864x と TPSM82866x は、ピン互換と BOM 互換です。4A および 6A のバージョンは同じ効率と性能を持ち、定格出力電流のみが異なります。

9.2 代表的なアプリケーション

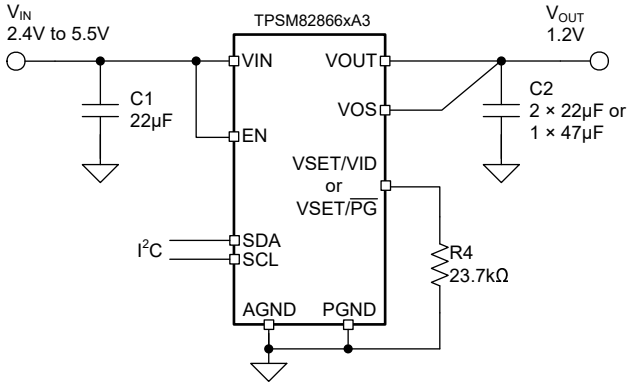


図 9-1. 代表的なアプリケーション

9.2.1 設計要件

この設計の例では、入力パラメータとして表 9-1 を使用しています。

表 9-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	2.4V ～ 5.5V
出力電圧	1.2V
最大出力電流	6A

この例で使用する部品のリストを 表 9-2 に示します。

表 9-2. 部品のリスト

リファレンス	説明	メーカー (1)
C1	22µF、セラミックコンデンサ、6.3V、X7R、サイズ 0805、GRM21BZ70J226ME44	Murata (村田製作所)
C2	47µF、セラミックコンデンサ、6.3V、X6S、サイズ 0805、GRM21BC80J476ME01L または 2×22µF、セラミックコンデンサ、6.3V、X6S、サイズ 0603、GRM188C80J226ME01D	Murata (村田製作所)
R4 (2)	出力電圧に応じた、チップ抵抗器 1/16W、1%	標準

(1) *サードパーティー製品に関する免責事項*をご覧ください。
(2) VSET/VID の抵抗値については、表 7-1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.2.2 詳細な設計手順

9.2.2.1 入力および出力コンデンサの選択

最良の出力と入力電圧フィルタリングを実現するには、低 ESR のセラミック コンデンサが必要です。入力コンデンサは、入力電圧リップルを最小化し、入力電圧スパイクを抑制し、このデバイスに安定したシステムレールを提供します。入力コンデンサは、VIN と PGND の間で、それぞれのピンにできるだけ近づけて配置する必要があります。ほとんどのアプリケーションでは、22µF で十分ですが、より大きな容量であれば入力電流リップルが低減されます。『電源モジュールを使用した低 EMI 設計の簡素化』ホワイト ペーパーで説明しているように、入力コンデンサは、システムの EMI 性能において重要な役割を果たしています。

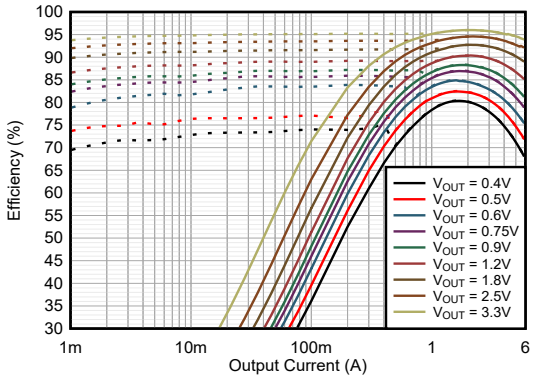
本デバイスは、等価直列抵抗 (ESR) の小さいセラミック コンデンサを出力コンデンサとして使用できるアーキテクチャを採用しています。出力電圧リップルを低減するため、これらのコンデンサを使うことを推奨します。コンデンサの容量は 2×22µF から 150µF までの範囲で変更可能です推奨する標準的な出力コンデンサは、X5R 以上の誘電体を使用した 2×22µF または 1×47µF のコンデンサです。値が 150µF を超えると、コンバータのループ安定性が低下する可能性があります。

高容量のセラミック コンデンサには DC バイアス効果による容量の減少が発生し、最終的な実効容量に大きな影響を与えます。パッケージ サイズと電圧定格を考慮しながら、適切なコンデンサを慎重に選択してください。有効入力容量が 10µF 以上であり、有効出力容量が 22µF 以上であることを確認してください。

Copyright © 2026 Texas Instruments Incorporated

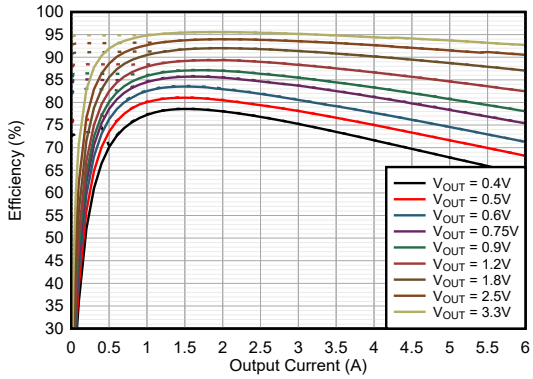
9.2.3 アプリケーション曲線

V_{IN} = 5.0V、V_{OUT} = 1.2V、T_A = 25°C、BOM = 表 9-2、特に注記の無い限り。実線は FPWM モードを示し、破線は PSM を示します。



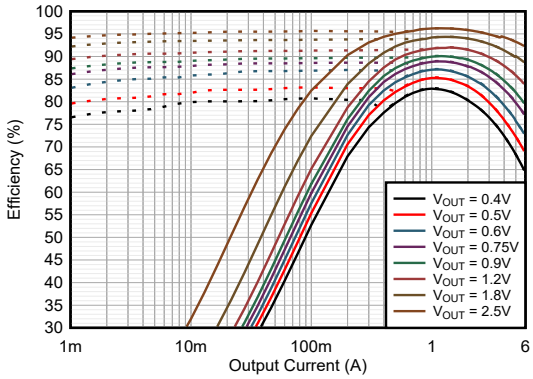
TPSM82866xxx PSM および FPWM

図 9-2. 効率 V_{IN} = 5.0V、T_A = 25℃。



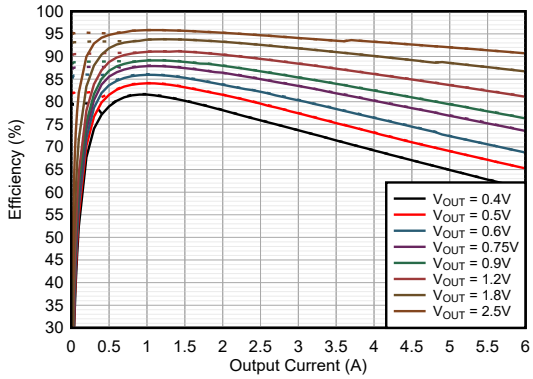
TPSM82866xxx PSM および FPWM

図 9-3. 効率 V_{IN} = 5.0V、T_A = 85℃。



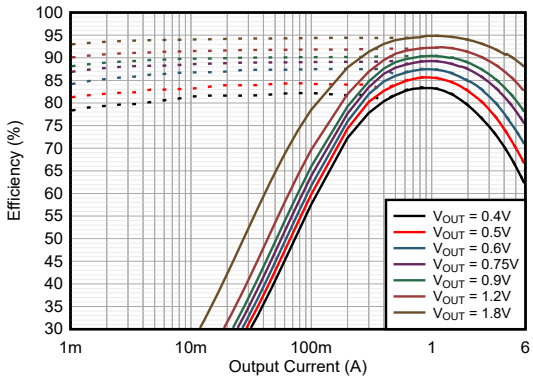
TPSM82866xxx PSM および FPWM

図 9-4. 効率 V_{IN} = 3.3V、T_A = 25℃。



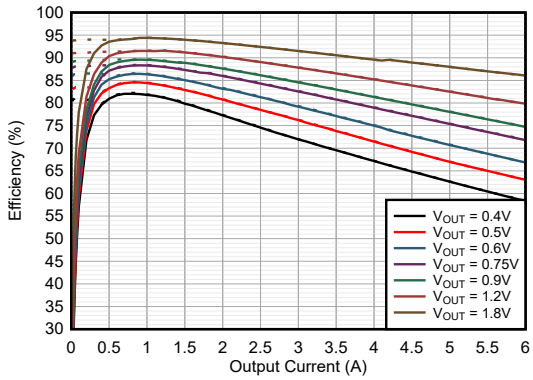
TPSM82866xxx PSM および FPWM

図 9-5. 効率 V_{IN} = 3.3V、T_A = 85℃。



TPSM82866xxx PSM および FPWM

図 9-6. 効率 V_{IN} = 2.8V、T_A = 25℃。



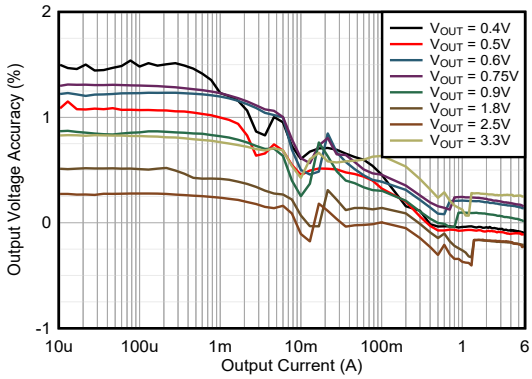
TPSM82866xxx PSM および FPWM

図 9-7. 効率 V_{IN} = 2.8V、T_A = 85℃。

Copyright © 2026 Texas Instruments Incorporated

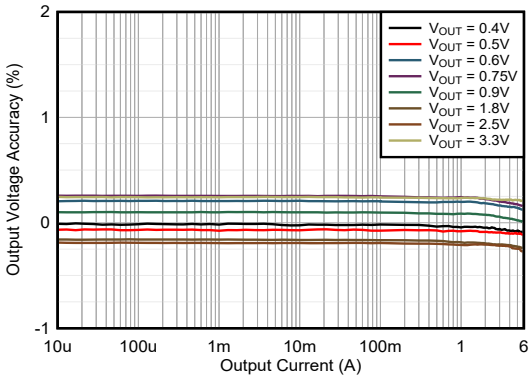
9.2.3 アプリケーション曲線 (続き)

V_{IN} = 5.0V、V_{OUT} = 1.2V、T_A = 25°C、BOM = 表 9-2、特に注記の無い限り。実線は FPWM モードを示し、破線は PSM を示します。



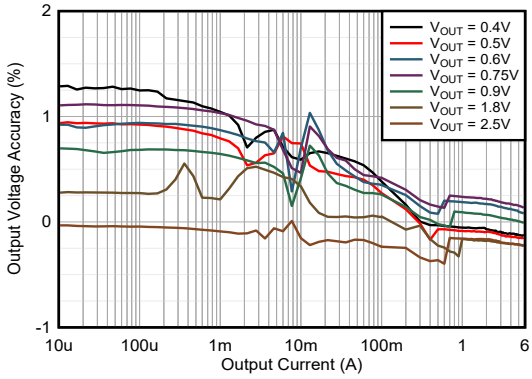
T_A = 25°C

図 9-8. 負荷レギュレーション V_{IN} = 5.0V および PSM



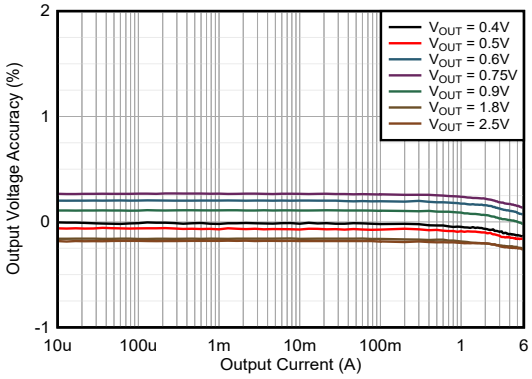
T_A = 25°C

図 9-9. 負荷レギュレーション V_{IN} = 5.0V および FPWM



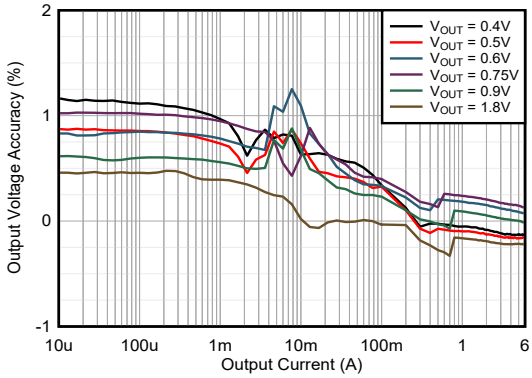
T_A = 25°C

図 9-10. 負荷レギュレーション V_{IN} = 3.3V および PSM



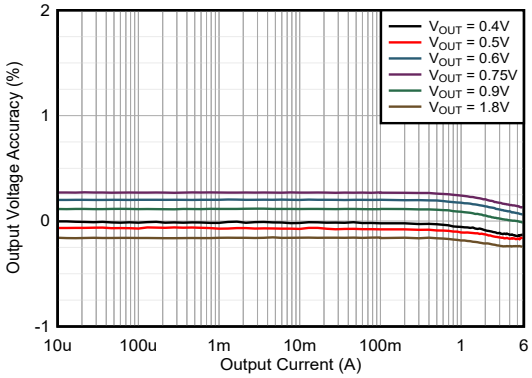
T_A = 25°C

図 9-11. 負荷レギュレーション V_{IN} = 3.3V および FPWM



T_A = 25°C

図 9-12. 負荷レギュレーション V_{IN} = 2.8V および PSM



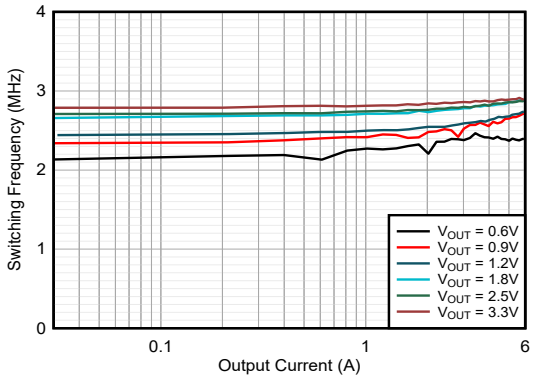
T_A = 25°C

図 9-13. 負荷レギュレーション V_{IN} = 2.8V および FPWM

Copyright © 2026 Texas Instruments Incorporated

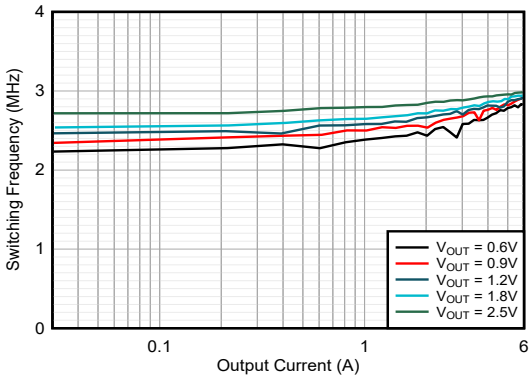
9.2.3 アプリケーション曲線 (続き)

V_{IN} = 5.0V、V_{OUT} = 1.2V、T_A = 25°C、BOM = 表 9-2、特に注記の無い限り。実線は FPWM モードを示し、破線は PSM を示します。



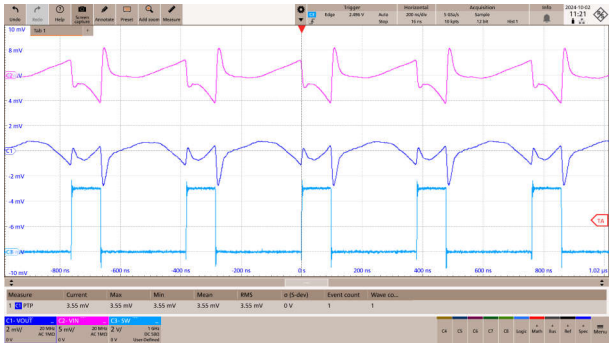
FPWM T_A = 25°C

図 9-14. スイッチング周波数 V_{IN} = 5.0V



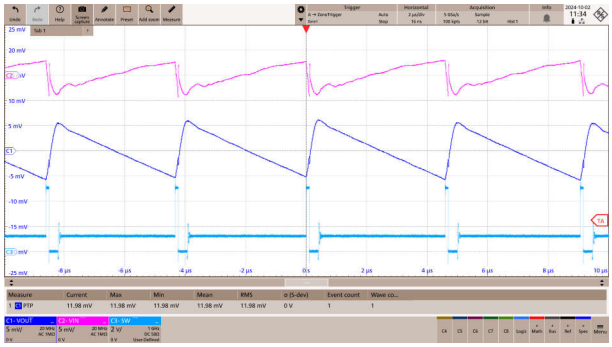
FPWM T_A = 25°C

図 9-15. スイッチング周波数 V_{IN} = 3.3V



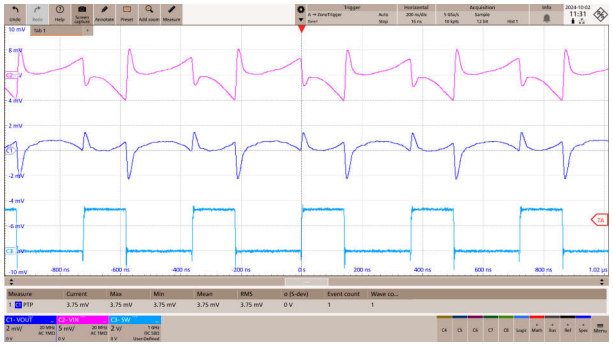
V_{IN} = 5.0V V_{OUT} = 1.2V C_{OUT} = 3 × 22uF

図 9-16. FPWM、I_{OUT} = 3A



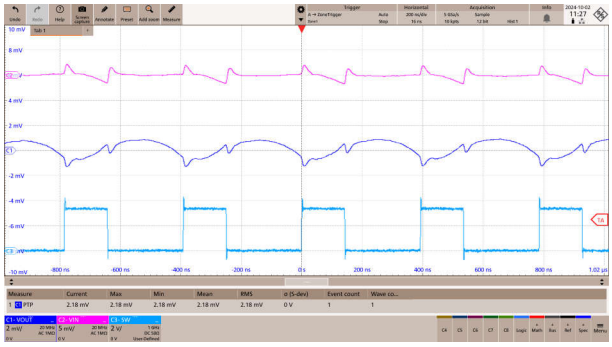
V_{IN} = 5.0V V_{OUT} = 1.2V C_{OUT} = 3 × 22uF

図 9-17. PSM 動作、I_{OUT} = 0.1A



V_{IN} = 3.3V V_{OUT} = 1.2V C_{OUT} = 3 × 22uF

図 9-18. FPWM、I_{OUT} = 3A



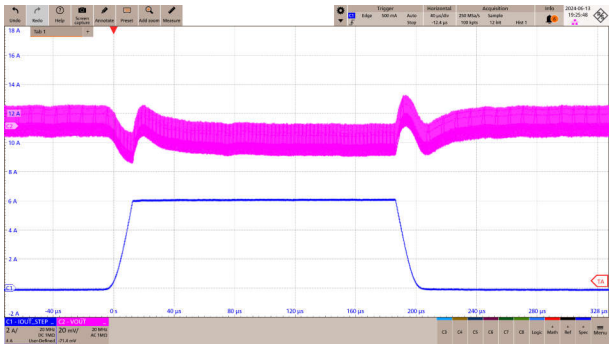
V_{IN} = 3.3V V_{OUT} = 1.2V C_{OUT} = 3 × 22uF

図 9-19. FPWM、I_{OUT} = 0.1A

Copyright © 2026 Texas Instruments Incorporated

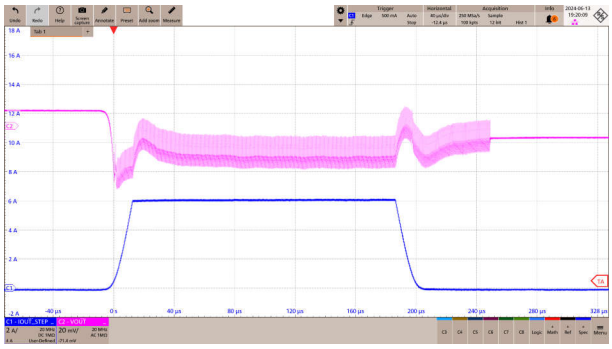
9.2.3 アプリケーション曲線 (続き)

V_{IN} = 5.0V、V_{OUT} = 1.2V、T_A = 25°C、BOM = 表 9-2、特に注記の無い限り。実線は FPWM モードを示し、破線は PSM を示します。



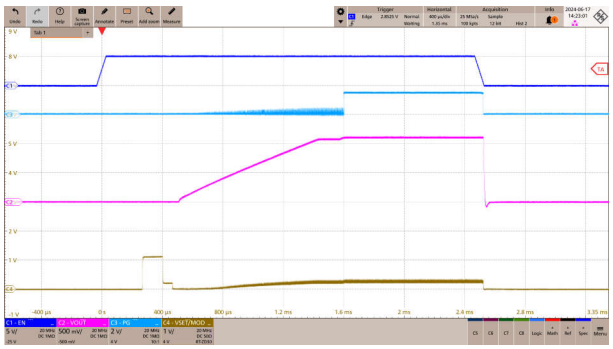
V_{IN} = 5.0V　V_{OUT} = 1.2V　C_{OUT} = 2 × 22uF

図 9-20. 負荷過渡 FPWM I_{OUT} = 0A→6A



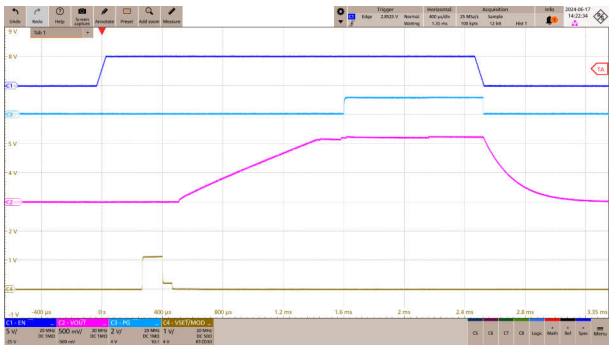
V_{IN} = 5.0V　V_{OUT} = 1.2V　C_{OUT} = 2 × 22uF

図 9-21. 負荷過渡 PSM I_{OUT} = 0A→6A



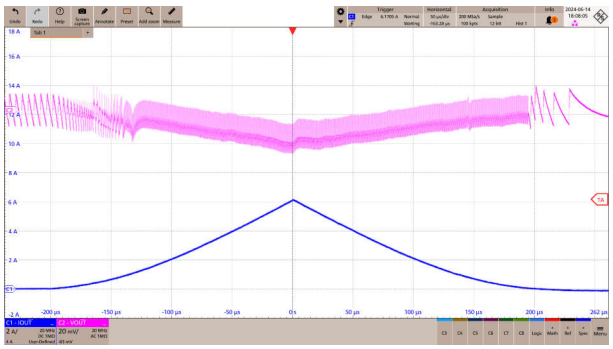
R_{VSET} = 56.2kΩ　I_{OUT} = 6.0A

図 9-22. 全負荷時の起動



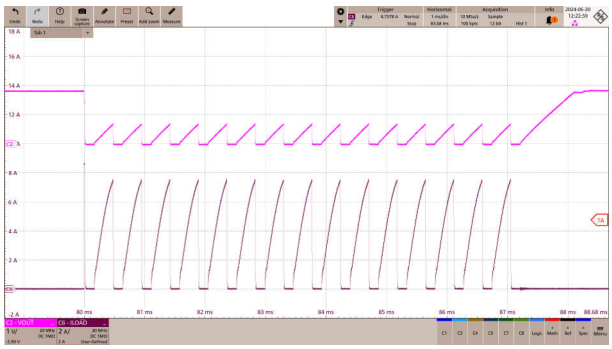
R_{VSET} = 56.2kΩ　I_{OUT} = 0A

図 9-23. 無負荷時の起動



V_{IN} = 5.0V　V_{OUT} = 1.2V　C_{OUT} = 2 × 22uF

図 9-24. 負荷掃引 I_{OUT} = 20mA→6A



R_{LOAD} = 100mΩ（過負荷時）

図 9-25. HICCUP 短絡保護機能

Copyright © 2026 Texas Instruments Incorporated

9.2.3 アプリケーション曲線 (続き)

V_{IN} = 5.0V、V_{OUT} = 1.2V、T_A = 25°C、BOM = 表 9-2、特に注記の無い限り。実線は FPWM モードを示し、破線は PSM を示します。

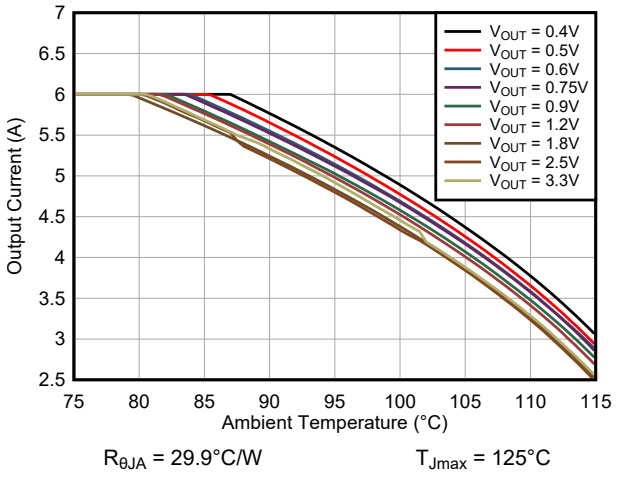


図 9-26. 安全動作領域 V_{IN} = 5.0V TPSM82866xxx

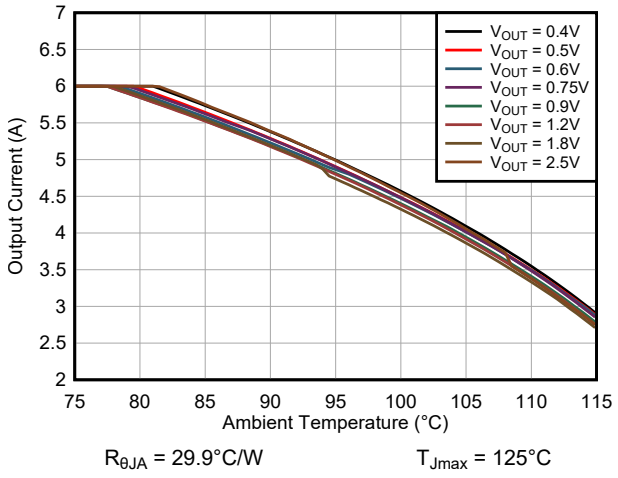


図 9-27. 安全動作領域 V_{IN} = 3.3V TPSM82866xxx

9.3 電源に関する推奨事項

このデバイスは、2.4V から 5.5V の入力電源電圧範囲で動作するように設計されています。TPSM8286xx の平均入力電流は、次のように算出されます:

$$I_{IN} = \frac{1}{\eta} \times \frac{V_{OUT} \times I_{OUT}}{V_{IN}} \quad (5)$$

アプリケーションに対して入力電源の定格電流が十分であることを確認してください。電源の急速な低下は、回避する必要があります。入力電圧が V_{UVLO} を下回った場合、立ち下がり降下速度は 10mV/μ s より遅くしなければなりません。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

特に高いスイッチング周波数の場合、スイッチ モード電源を動作させるために、適切なレイアウトが非常に重要です。TPSM8286xx デバイスの PCB レイアウトでは、最高の性能を得るために細心の注意が必要です。レイアウトが不適切な場合、以下のような問題が発生する可能性があります。

- 粗悪なラインおよびロード レギュレーション
- 不安定性
- EMI 放射の増加
- ノイズ感度

一般的なベスト プラクティスの詳細な説明については、『降圧コンバータの優れた PCB レイアウトを行うための 5 つのステップ』Analog Design Journal を参照してください。TPSM8286xx の具体的な推奨事項を以下に示します。

- 入力コンデンサは、デバイスの VIN ピンと PGND ピンにできる限り近づけて配置してください。この配置は、最も重要な部品配置です。入力コンデンサは ビアを避けて VIN ピンと PGND ピンに直接配線します。
- 出力コンデンサは VOUT および PGND ピンの近くに配置し、ビアを避けて直接配線します。
- ノイズのピックアップを最小限にするため、R4 は VSET/VID または VSET/$\overline{PG}$ ピンの近くに配置します。
- VOS ピンのパターンは、ノイズに敏感な信号パターンです。ノイズが誘発されないように特に注意してください。パターンは SW から離して配置します。
- AGND ピンと PGND ピンは共に PCB の最上層に直接接続します。

Copyright © 2026 Texas Instruments Incorporated

- 部品の配置、配線、熱設計の例については、図 9-28 も参照してください。
- このデータシートの末尾に記載されている TPSM8286xx の推奨ランド パターンをご覧ください。最良の製造結果を実現するには、一部のピン（VIN、VOUT、PGND など）を大きな銅プレーンに接続するときに、SMD（はんだマスク定義）としてパッドを作成します。SMD パッドを使用すると、各パッドのサイズが同じに維持され、リフロー中にはんだによってデバイスが引っ張られるのを避けられます。

9.4.2 レイアウト例

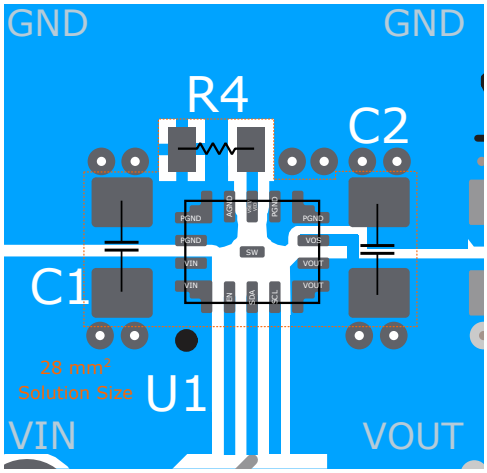


図 9-28. レイアウト例

9.4.2.1 熱に関する検討事項

TPSM8286xx パワーモジュールの温度は、125℃ の最大定格未満に維持する必要があります。放熱性能を向上させるための 3 つの基本的なアプローチを以下に示します。

- PCB 設計による消費電力性能を改善する
- PCB コンポーネントの熱結合を改善する
- システムにエアフローを導入する

TPSM8286xx のモジュール温度の概算値を推定するには、このデータシートに記載されている標準的な効率を目的のアプリケーション条件に適用して、モジュールの消費電力を計算します。次に、消費電力に熱抵抗を乗算して、モジュールの温度上昇を計算します。この方法を使用してデバイスの最大温度を計算すると、安全動作領域（SOA）グラフは、周囲温度が高い場合に最大出力電流に必要なディレーティングを示します。実際のアプリケーションで熱パラメータを使用する方法の詳細については、JEDEC PCB 設計を使用するリニアおよびロジックパッケージの熱特性アプリケーションノートと半導体および IC パッケージの熱指標アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*JEDEC PCB 設計を使用するリニアおよびロジック パッケージの熱特性*』アプリケーション ノート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス インスツルメンツ、『*超低消費電力電源における抵抗/デジタル コンバータの利点*』ホワイト ペーパー
- テキサス・インスツルメンツ、『電源モジュールによる低 EMI 設計の簡素化』ホワイト ペーパー
- テキサス インスツルメンツ、『*降圧コンバータの優れた PCB レイアウトを実現する 5 つのステップ*』Analog Design Journal

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

MagPack™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (June 2025) to Revision D (October 2026)	Page
• TPSM82866EA2PRCFR および TPSM82866EA3PRCFR をプレビューから量産データに変更	4

Changes from Revision B (April 2025) to Revision C (June 2025)	Page
• TPSM82866CA1PRCFR、TPSM82866CB2PRCFR、TPSM82866CB3PRCFR をプレビューから量産データに変更	4

Changes from Revision A (November 2024) to Revision B (April 2025)	Page
• TPSM82866CA1PRCF、TPSM82866CBxPRCF、TPSM82866EAxPRCF をデータシートに追加	4
• TPSM82866CA2PRCFR を「事前情報」から「量産データ」に変更	4

Changes from Revision * (June 2024) to Revision A (November 2024)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM82866CA1PRCFR	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	886CA1
TPSM82866CA2PRCFR	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	886CA2
TPSM82866CA2PRCFR.A	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	886CA2
TPSM82866CA3PRCFR	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	T8866C
TPSM82866CA3PRCFR.A	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	T8866C
TPSM82866CB2PRCFR	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	886CB2
TPSM82866CB3PRCFR	Active	Production	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	886CB3
XPSM82866CA3PRCFR	Active	Preproduction	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XPSM82866CA3PRCFR.A	Active	Preproduction	QFN-FCMOD (RCF) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

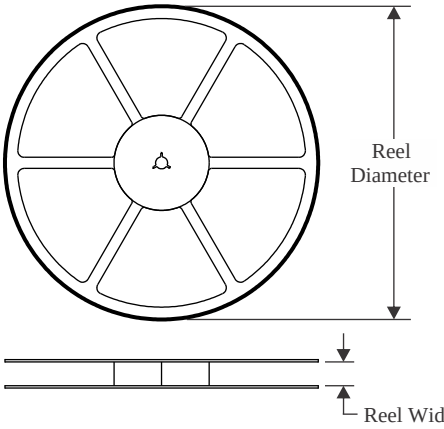
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

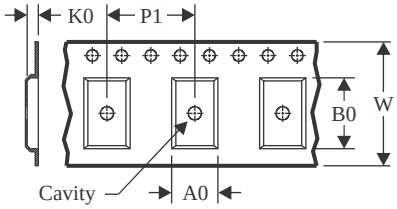
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

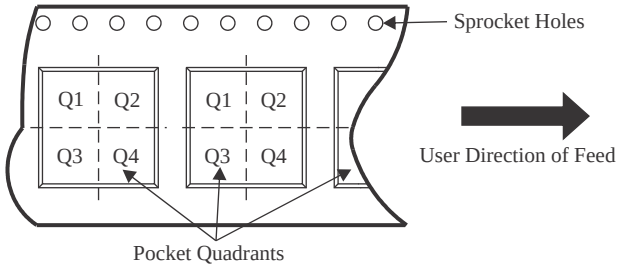


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

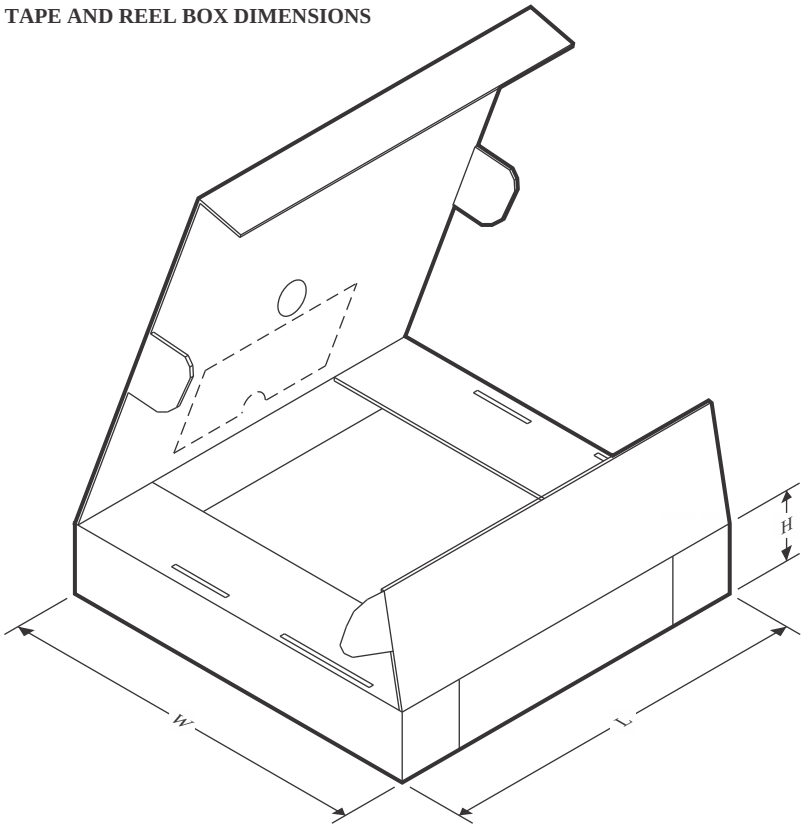
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM82866CA1PRCFR	QFN-FCMOD	RCF	15	2500	330.0	12.4	2.8	3.5	1.2	4.0	12.0	Q1
TPSM82866CA2PRCFR	QFN-FCMOD	RCF	15	2500	330.0	12.4	2.8	3.5	1.2	4.0	12.0	Q1
TPSM82866CA3PRCFR	QFN-FCMOD	RCF	15	2500	330.0	12.4	2.8	3.5	1.2	4.0	12.0	Q1
TPSM82866CB2PRCFR	QFN-FCMOD	RCF	15	2500	330.0	12.4	2.8	3.5	1.2	4.0	12.0	Q1
TPSM82866CB3PRCFR	QFN-FCMOD	RCF	15	2500	330.0	12.4	2.8	3.5	1.2	4.0	12.0	Q1

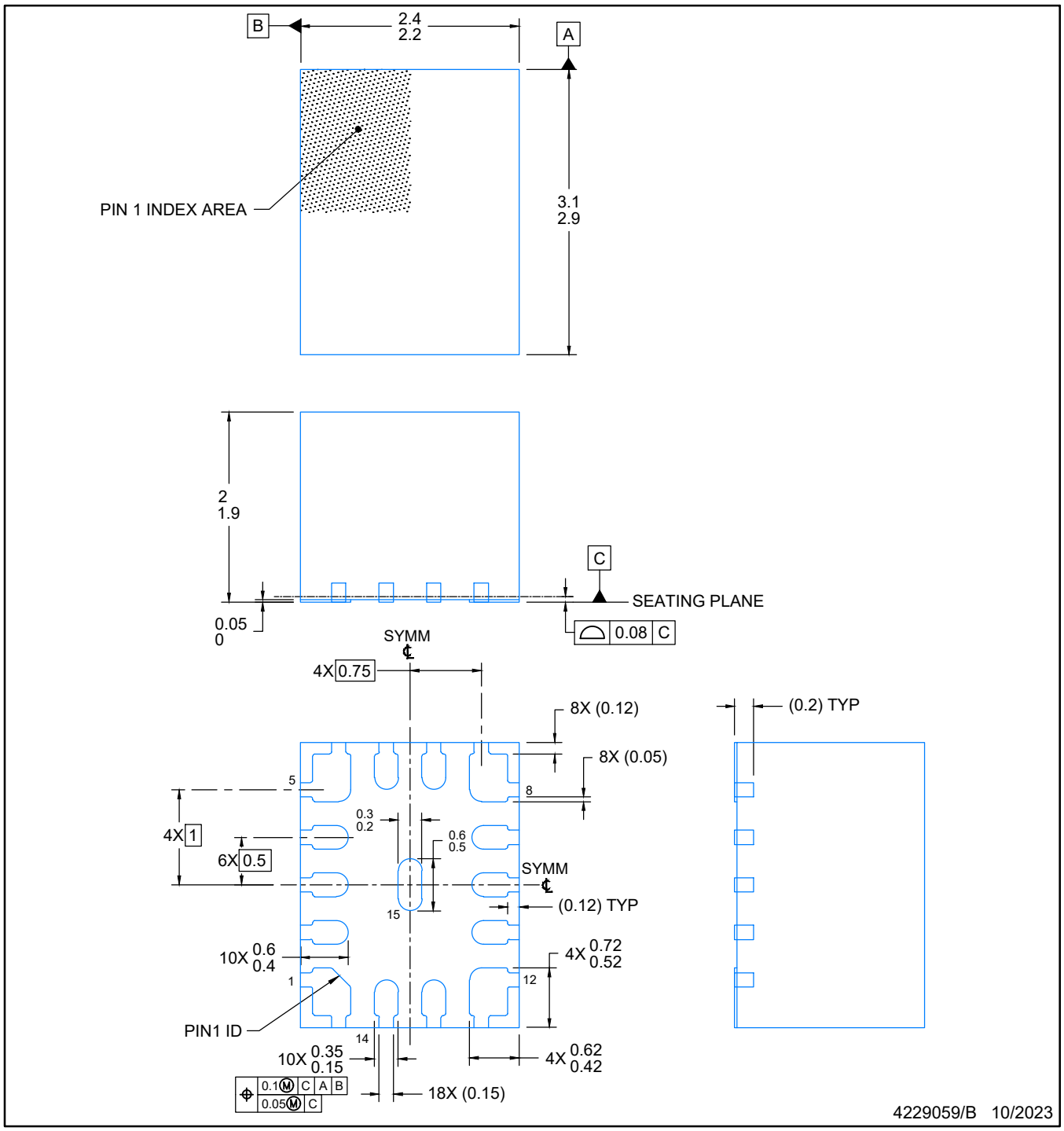
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

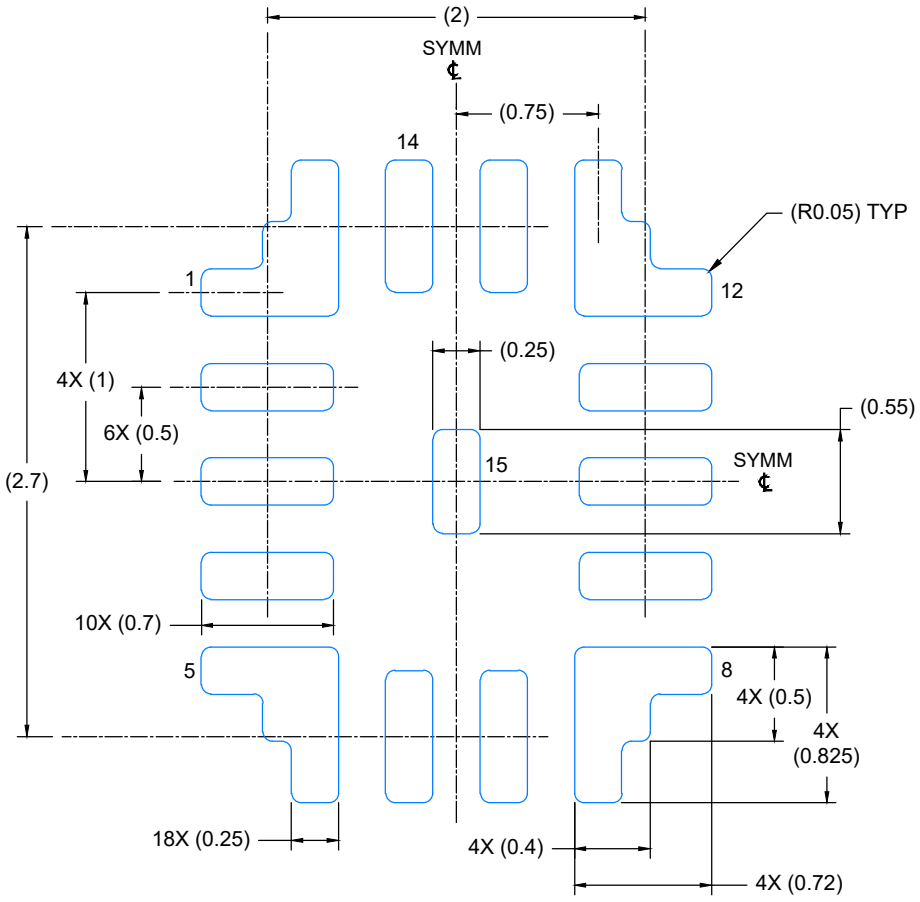
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM82866CA1PRCFR	QFN-FCMOD	RCF	15	2500	367.0	367.0	35.0
TPSM82866CA2PRCFR	QFN-FCMOD	RCF	15	2500	367.0	367.0	35.0
TPSM82866CA3PRCFR	QFN-FCMOD	RCF	15	2500	367.0	367.0	35.0
TPSM82866CB2PRCFR	QFN-FCMOD	RCF	15	2500	367.0	367.0	35.0
TPSM82866CB3PRCFR	QFN-FCMOD	RCF	15	2500	367.0	367.0	35.0

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES:

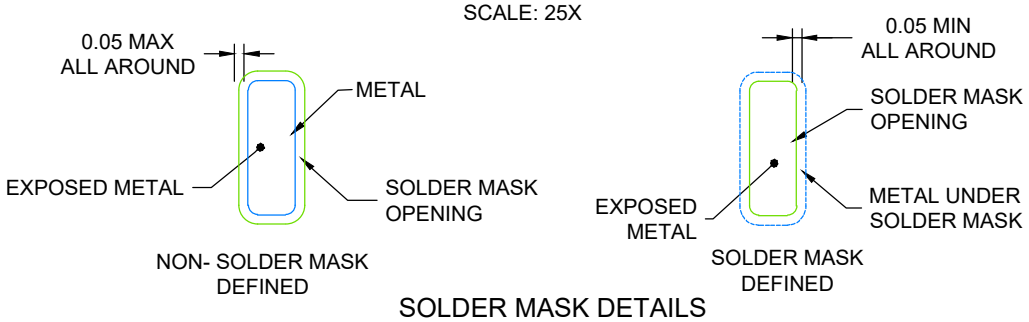
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 25X

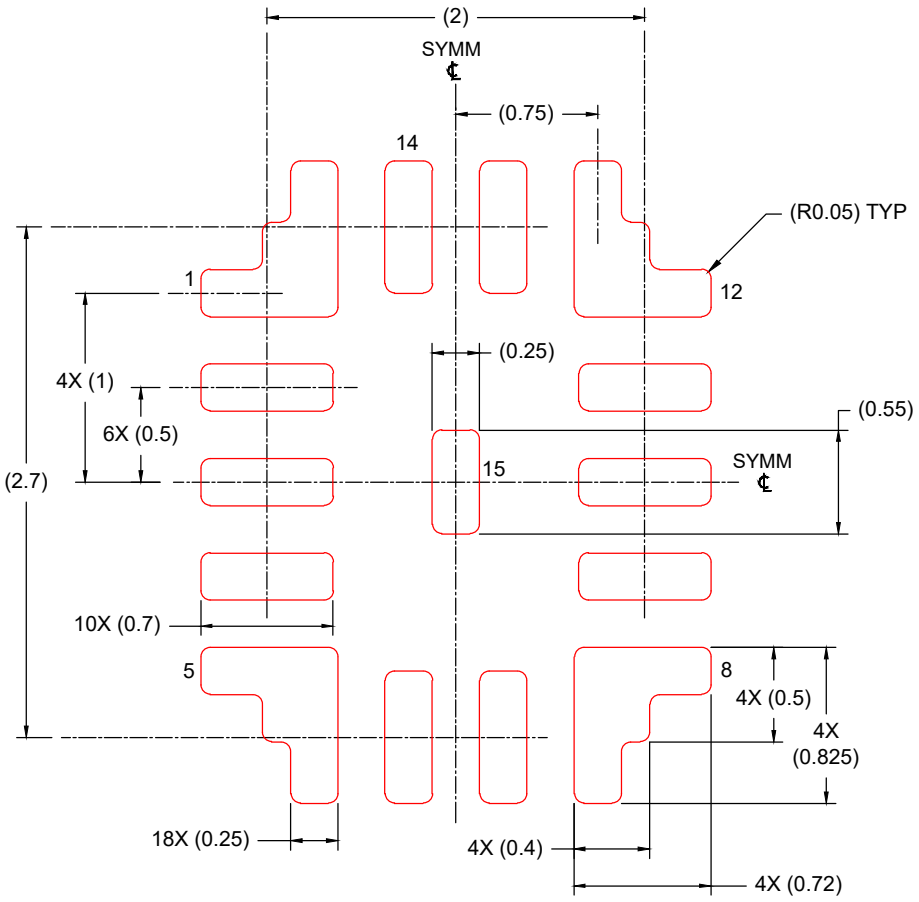


SOLDER MASK DETAILS

4229059/B 10/2023

NOTES: (continued)

3. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 25X

4229059/B 10/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月