TPSM8287Bxx 入力電圧 2.7V ～ 6V、15A、20A、25A、30A 対応、並列接続が可能な降圧型パワー モジュール。I²C インターフェイスリモート センス機能搭載、に対応する MagPack™ パッケージ

1 特長

- ±0.8% の出力電圧精度
- 差動リモート センシング
- マルチフェーズ動作での並列接続が可能です
- スタートアップ時の出力電圧と I²C アドレスを、VSETx ピンで選択可能。
  - 0.4V～0.775V (25mV 刻み)
  - 0.8V～1.55V (50mV 刻み)
- 出力電圧 I²C は 1.25mV 刻みで調整可能
- 可変外部補償により、広い出力コンデンサ範囲と最適化された過渡応答を実現
- 低 EMI 要件向けの設計
  - MagPack テクノロジーはインダクタと IC をシールド
  - ボンド ワイヤ パッケージなし
  - オプションの内部入力と出力コンデンサ
  - 並列入力パスによるレイアウトの簡略化
  - 外部クロックへの同期またはスペクトラム拡散動作を選択可能
- I²C によるドループ補償 (オプション)
- パワー セーブ モードまたは強制 PWM 動作
- 高精度のイネーブル入力スレッショルド
- ウィンドウ コンパレータによるパワー グッド出力
- アクティブ出力放電
- 優れた放熱対策
- –40℃～125℃の動作温度範囲
- 3.75mm × 8.0mm、0.5mm ピッチの小型 QFN パッケージ
- 66mm² の設計サイズ

2 アプリケーション

- FPGA、ASIC、SoC デジタル コア電源
- 光ネットワーク
- 試験および計測機器
- センサ、画像処理、レーダー

3 説明

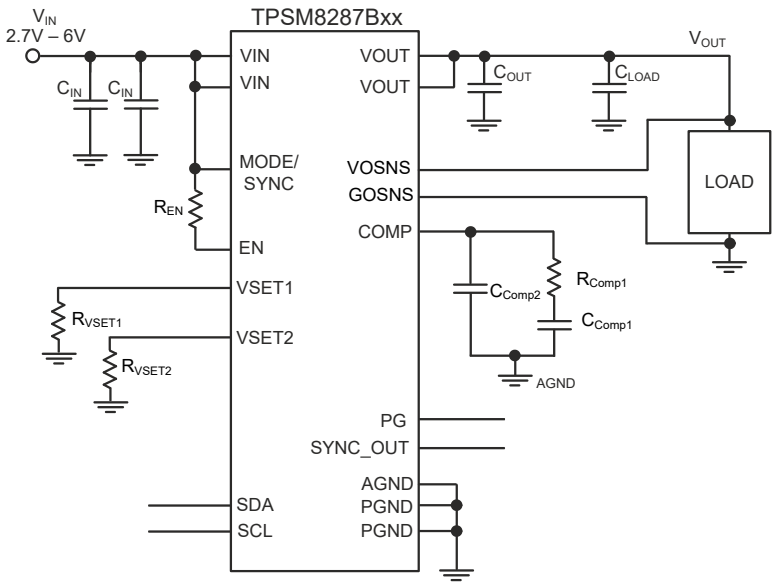
TPSM8287Bxx は、差動リモート センシングと I²C インターフェイスを搭載したピン互換の降圧 DC/DC パワー モジュールのファミリです。このパワー モジュールには TI の MagPack テクノロジーを使用して同期整流降圧コンバータ、インダクタ、入出力コンデンサが組み込まれているため、設計の簡素化、外付け部品の低減、PCB 面積の削減が可能です。薄く小型に設計されているので、標準的な表面実装機による組み立てが可能です。TPSM8287Bxx ファミリは、高速過渡をサポートする拡張制御方式を実装しています。TPSM8287Bxx は、固定周波数モードまたはパワー セーブ モードで動作可能です。リモート センシング機能により、ポイント オブ ロードでの電圧レギュレーションが最適化され、デバイスは温度範囲全体にわたって ±0.8% の DC 電圧精度を達成します。これらのデバイスをスタック モードまたは並列モードで動作させることで、大出力電流を供給することや、電力散逸を複数のデバイスに分散することが可能です。I²C 互換インターフェイスにより、複数の制御、監視、警告機能を備えています。VSETx ピンによりスタートアップ電圧を選択できるため、アクティブな I²C 通信がなくても起動できます。

製品情報

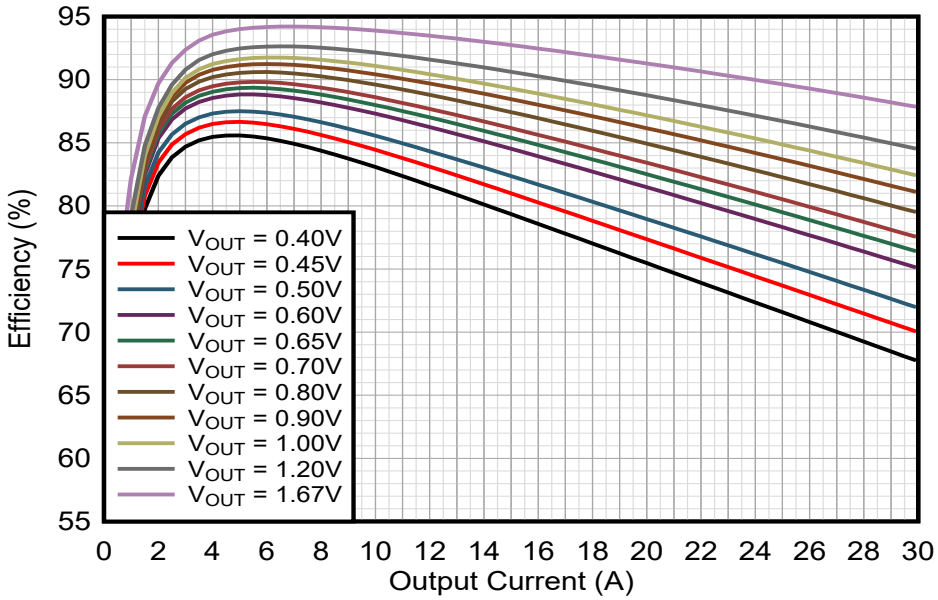
部品番号(2)	電流定格	パッケージ (1)	パッケージの高さ
TPSM8287B15x	15A	VCH (VQFN、37)	1.95Mm (最大 2.0mm)
TPSM8287B20x	20A		
TPSM8287B25x	25A		
TPSM8287B30x	30A		

(1) 詳細については、セクション 12 を参照してください。
(2) 利用可能なデバイスについては、「デバイス オプション」表をご覧ください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



TPSM8287Bxx の概略回路図



効率性 TPSM8287B30x (V_{IN} = 3.3V、FPWM)

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスのオプション ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 7
6.1 絶対最大定格 ... 7
6.2 ESD 定格 ... 7
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 8
6.5 電気的特性 ... 8
6.6 I²C インターフェイス タイミングの要件 ... 11
6.7 代表的特性 ... 13
7 詳細説明 ... 14
7.1 概要 ... 14
7.2 機能ブロック図 ... 14
7.3 機能説明 ... 15
7.4 デバイスの機能モード ... 31
7.5 プログラミング ... 32
8 デバイスのレジスタ ... 36
9 アプリケーションと実装 ... 42
9.1 使用上の注意 ... 42
9.2 代表的なアプリケーション ... 42
9.3 2 個の TPSM8287B30x を並列動作で使用する代表的なアプリケーション ... 54
9.4 電源に関する推奨事項 ... 61
9.5 レイアウト ... 61
10 デバイスおよびドキュメントのサポート ... 64
10.1 デバイス サポート ... 64
10.2 ドキュメントのサポート ... 64
10.3 ドキュメントの更新通知を受け取る方法 ... 64
10.4 サポート・リソース ... 64
10.5 商標 ... 64
10.6 静電気放電に関する注意事項 ... 64
10.7 用語集 ... 64
11 改訂履歴 ... 65
12 メカニカル、パッケージ、および注文情報 ... 66

Copyright © 2026 Texas Instruments Incorporated

4 デバイスのオプション

表 4-1. I²C インターフェイスを持つデバイス

発注用部品番号(1)	出力電流	VSETx ピンによるスタートアップ電圧の選択	内蔵コンデンサ	公称インダクタンス	デフォルトの動作周波数
TPSM8287B15LAPVCHR(2)	15A	0.4 ～ 0.775V (25mV 刻み)	C_{IN} = 4 × 22nF C_{OUT} = 2 × 22nF + 2 × 10µF	50nH ± 20%	1.5MHz
TPSM8287B15HAPVCHR(2)	15A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B20LAPVCHR(2)	20A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B20HAPVCHR(2)	20A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B25LAPVCHR(2)	25A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B25HAPVCHR(2)	25A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B30LAPVCHR(3)	30A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B30HAPVCHR(2)	30A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B15LANVCHR	15A	0.4 ～ 0.775V (25mV 刻み)	キャップなし		
TPSM8287B15HANVCHR	15A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B20LANVCHR	20A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B20HANVCHR	20A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B25LANVCHR	25A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B25HANVCHR	25A	0.8 ～ 1.55V (50mV 刻み)			
TPSM8287B30LANVCHR	30A	0.4 ～ 0.775V (25mV 刻み)			
TPSM8287B30HANVCHR	30A	0.8 ～ 1.55V (50mV 刻み)			

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) プレビュー情報 (量産データではありません)。
(3) 事前情報 (量産データではありません)。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

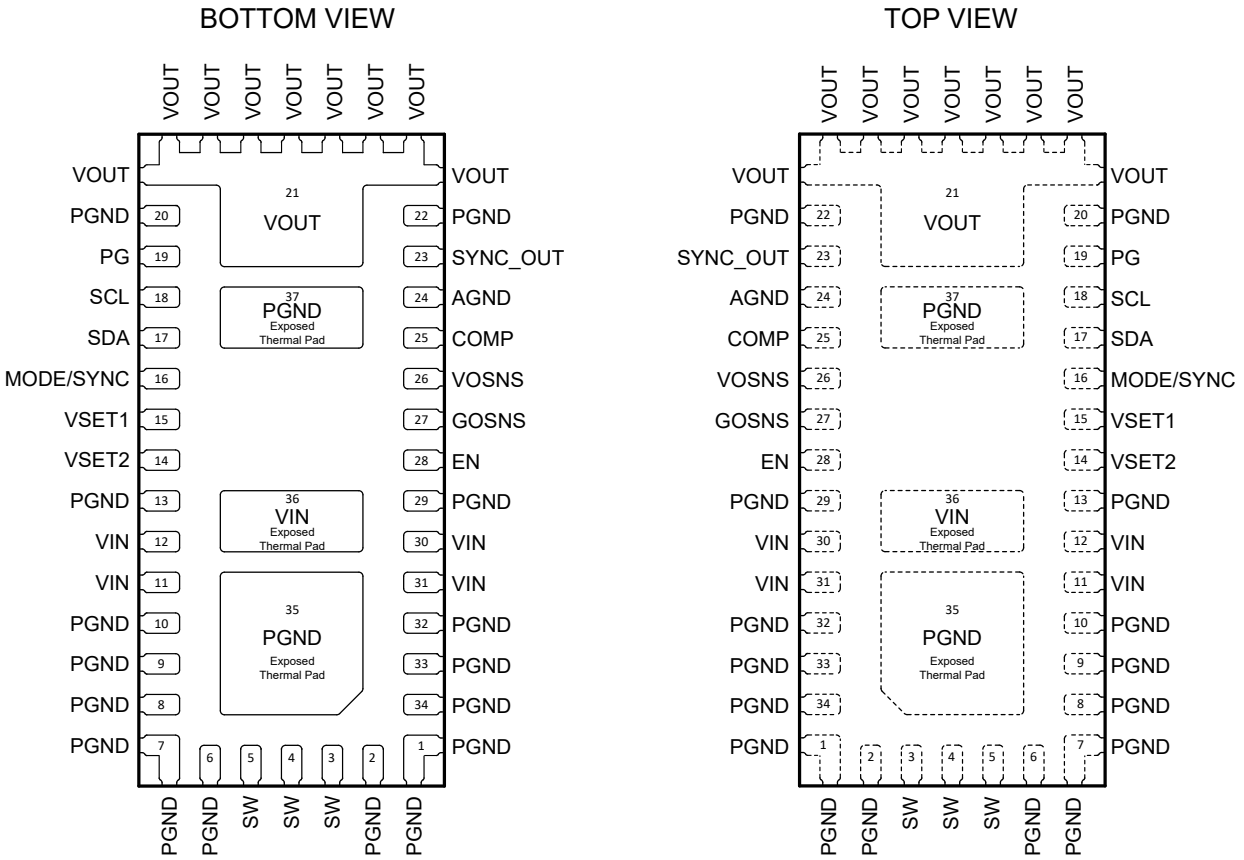


図 5-1. TPSM8287Bxx VCH パッケージ、VQFN 37 ピン

表 5-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
27	GOSNS	I	出力グランド検出 (差動出力電圧センシング)。負荷側に接続します。
26	VOSNS	I	出力電圧検出 (差動出力電圧センシング)。負荷側に接続します。
28	EN	I/O	このピンはデバイスのイネーブルピンです。ユーザーは、少なくとも 15kΩ の直列抵抗を使用してピンに接続する必要があります。このピンが Low ロジックレベルになるとデバイスは無効にされ、このピンが High ロジックレベルになるとデバイスが有効にされます。 スタック動作の場合、スタックされたすべてのデバイスの EN ピンを、電源電圧またはプロセッサの GPIO に抵抗とともに接続します。詳細については、「スタック動作」を参照してください。
11、12、30、31	VIN	P	電源入力。入力コンデンサは、デバイスの VIN ピンと PGND ピンの間 にできる限り近づけて (パッケージの両面) 配置してください。
1、2、6 ～ 10、13、20、22、29、32 ～ 34	PGND	GND	グランド ピン
21	VOUT	P	出力電圧ピン
3 – 5	SW	O	このピンはコンバータのスイッチ ピンであり、内部パワー MOSFET に接続されています。このピンはフローティング状態のままにできます。

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
19	PG	I/O	ウィンドウ コンパレータによるオープン ドレインパワーグッド出力 VOUT がパワーグッド スレッショルドの範囲外である間、このピンは GND にプルされます。このピンはオープンのままにするか、1 つのデバイス動作で使用しない場合は GND に接続できます。プルアップ抵抗は 6.5V を超えないどの電圧にも接続できます。 スタック動作では、スタックされたすべてのデバイスの PG ピンを互いに接続します。スタック動作のプライマリ コンバータの PG ピンのみがオープン ドレイン出力です。スタックモードでセカンダリ コンバータとして定義されたデバイスの場合、ピンは入力ピンです。詳細については、「スタック動作」を参照してください。
16	MODE/SYNC	I	このピンが Low になると、デバイスはパワーセーブモードで動作します。ピンが High にプルされる場合、デバイスは強制 PWM モードで動作します。このピンは、使用されない場合、フローティングのままにすることができ、内部のプルダウン抵抗によってピンが Low にプルされます。ピンを使用して、デバイスを外部クロックに同期することもできます。詳細については、セクション 7.3.7 を参照してください。
17	SDA	I/O	I^2C シリアル データ ピン。フローティングのままにしないでください。プルアップ抵抗をロジック High レベルに接続します。 スタック動作のセカンダリ デバイス用、または I^2C インターフェイスを使用しない場合には、このピンを GND に接続します。
18	SCL	I	I^2C シリアル クロック ピン。このピンをフローティングのままにしないでください。プルアップ抵抗をロジック High レベルに接続します。 スタック動作のセカンダリ デバイス用、または I^2C インターフェイスを使用しない場合には、このピンを GND に接続します。
23	SYNC_OUT	I/O	スタック モードでの同期用の内部クロック出力ピン。このピンはシングルデバイス動作用にフローティングのままにします。スタック動作では、このピンをデイジーチェーン内の次のデバイスの MODE/SYNC ピンに接続します。*このピンを TPSM8287Bxx 以外のデバイスの接続に使用しないでください。* スタートアップ時、このピンは、デバイスがスタック動作時にセカンダリ コンバータとして動作する必要があるかどうかを識別するのに使われます。このピンと GND との間に 47kΩ 抵抗を接続して、スタック動作でセカンダリ コンバータを定義します。詳細については、「スタック動作」を参照してください。
15	VSET1	I/O	スタートアップ時の出力電圧と I^2C アドレスの選択ピン。GND または V_{IN} への抵抗または短絡は、選択される出力電圧と I^2C アドレスを定義します。表 7-2 を参照してください。
14	VSET2	I/O	
25	COMP	I/O	デバイス補償入力。このピンと AGND との間に抵抗とコンデンサによって、制御ループの補償が定義されます。 スタック動作では、スタックされたすべてのデバイスの COMP ピンを互いに接続し、共通の COMP ノードと AGND との間に抵抗とコンデンサを接続します。
35、37	PGND 露出したサーマル パッド	GND	適切な熱抵抗と機械的安定性を実現するため、サーマル パッドは GND に半田付けする必要があります。
36	VIN 露出したサーマル パッド	P	適切な熱抵抗と機械的安定性を実現するため、サーマル パッドは VIN に半田付けする必要があります。
24	AGND	GND	アナログ グランド。GND に接続。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧 (2)	VSET1、VSET2、EN、MODE/SYNC、PG、VIN	-0.3	6.5	V
	SW (DC)	-0.3	V_{IN} + 0.3	
	SW (AC、10ns 未満) (3)	-3	10	
	COMP	-0.3	5.0V または V_{IN} (4)	
	VOUT	-0.3	2.5	
	VOSNS	-0.3	1.8	
	SCL、SDA	-0.3	5.5	
	SYNC_OUT	-0.3	2	
	GOSNS	-0.3	0.3	
電流	COMP	-1	1	mA
	SYNC_OUT	-1	1	
	EN		2.5	
	SDA		9	
	PG		10	
インダクタンス	寄生入力ループのインピーダンス		1.2	nH
T_J	接合部温度	-40	125	°C
T_{stg}	保存温度	-40	125	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。
(3) スイッチング動作時。
(4) 小さいほうの値

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲	2.7		6	V
V_{OUT}	出力電圧範囲	0.4		1.675V または (V_{IN} – 1.5V) (1)	V
V_{SCL}、V_{SDA}	ピン SDA および SCL の公称プルアップ電圧	1.2		5	V
C_{IN}	実効入力容量 (入力コンデンサの選択を参照)	20			µF

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

		最小値	公称値	最大値	単位
C_{OUT}	実効出力キャパシタンス	47		(2)	µF
C_{PAR}	VSET1、VSET2 ピンの寄生容量			100	pF
C_{PAR}	SYNC_OUT ピンの寄生容量			20	pF
R_{EN}	EN ピンに対するプルアップ抵抗	15			kΩ
R_{VSET1}、R_{VSET2}	GND または VIN に直接接続されていない場合、VSETx の抵抗	37.6	47	56.4	kΩ
R_{SYNC_OUT}	抵抗値	37.6	47	56.4	kΩ
I_{SINK_PG}	PG ピンのシンク電流	0		1	mA
T_J	動作時接合部温度	-40		125	°C

(1) V_{OUT} の値が小さい値でも。
(2) 推奨される最大出力キャパシタンスは、アプリケーションの特定の動作条件によって異なります。通常は、最大数ミリファラッドの出力キャパシタンス値が可能です。

6.4 熱に関する情報

熱評価基準(1)		TPSM8287Bxx		単位
		VCH (37 ピン)		
		JEDEC 51-5	EVM	
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.8	11.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.2	該当なし (2)	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	18.4	該当なし (2)	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.0	該当なし (2)	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.2	0.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.2	5.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) EVM には適用されません。

6.5 電気的特性

動作時接合部温度範囲全体 (T_J = –40°C ～ +125°C) と V_{IN} = 2.7V ～ 6V.V_{IN} = 5V および T_J = 25°C の場合の標準的な値 (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_Q	静止時電流	EN = High, I_{OUT} = 0mA、デバイスはスイッチングなし、MODE/SYNC = Low、FPWMEN = 0、SINGLE = 1		2	4.6	mA
I_{SD}	シャットダウン電流	EN = Low、V_{VOUT} = 0V		18	450	µA
$V_{IT+(UVLO)}$	正方向の UVLO スレッショルド電圧 (VIN)		2.5	2.6	2.7	V
$V_{IT-(UVLO)}$	負方向の UVLO スレッショルド電圧 (VIN)		2.4	2.5	2.6	V
$V_{hys(UVLO)}$	UVLO ヒステリシス電圧 (VIN)		80			mV
$V_{IT+(OVLO)}$	正方向の OVLO スレッショルド電圧 (VIN)		6.1	6.3	6.5	V
$V_{IT-(OVLO)}$	負方向の OVLO スレッショルド電圧 (VIN)		6.0	6.2	6.4	V
$V_{hys(OVLO)}$	OVLO ヒステリシス電圧 (VIN)		80			mV

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 (T_J = –40°C ～ +125°C) と V_{IN} = 2.7V ～ 6V.V_{IN} = 5V および T_J = 25°C の場合の標準的な値 (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IT-(POR)}$	負方向のパワーオン リセット スレッショルド電圧 (VIN)		1.4			V
T_{SD}	サーマル シャットダウン スレッショルド温度	T_J 立ち上がり		170		°C
	サーマル シャットダウン ヒステリシス			20		°C
T_W	過熱警告のスレッショルド温度	T_J 立ち上がり		150		°C
	過熱警告ヒステリシス			20		°C
制御とインターフェイス						
V_{IT+}	正方向の入力スレッショルド電圧 (EN)		0.97	1.0	1.03	V
V_{IT-}	負方向の入力スレッショルド電圧 (EN)		0.87	0.9	0.93	V
V_{hys}	ヒステリシス電圧 (EN)		95			mV
I_{IH}	High レベル入力電流 (EN)	SINGLE = 1			3	µA
I_{IL}	Low レベル入力電流 (EN)	SINGLE = 1	-200			nA
V_{IH}	High レベル入力電圧 (MODE/SYNC、VSET1、VSET2、SYNC_OUT、PG)		0.8			V
V_{IH}	High レベル入力電圧 (SDA、SCL)		0.95			V
V_{IL}	Low レベル入力電圧 (MODE/SYNC、VSET1、VSET2、SYNC_OUT、PG)				0.4	V
V_{IL}	Low レベル入力電圧 (SDA、SCL)				0.5	V
R_{IN}	ピン MODE/SYNC、EN、PG で GND との間の入力抵抗		2	3	4	MΩ
V_{OL}	Low レベル出力電圧 (SDA)	I_{OL} = 9mA			0.4	V
V_{OL}	Low レベル出力電圧 (SDA)	I_{OL} = 5mA			0.2	V
$C_{IO(SDA/SCL)}$	SDA/SCL ピン容量			10		pF
I_{LKG}	SDA、SCL への入力リーク電流	V_{OH} = 3.3V			200	nA
I_{IL}	Low レベル入力電圧 (MODE/SYNC)		-100		100	nA
I_{IH}	High レベル入力電圧 (MODE/SYNC)				3	µA
$t_{d(EN)1}$	EN を V_{IN} に接続したときのイネーブル遅延時間	EN が High になった時点からデバイスがスイッチングを開始する時点までを測定、SR_{VIN} = 1V/µs		200	600	µs
$t_{d(EN)2}$	V_{IN} がすでに印加されているときのイネーブル遅延時間	EN が High になった時点からデバイスがスイッチングを開始する時点までを測定		40	100	µs
$t_{d(Ramp_PG)}$	SSTIME = 00 の出力電圧ランプ時間	デバイスが PG の立ち上がりエッジにスイッチングを開始した時点から測定 ($t_{d(Ramp)}$ + $t_{d(PG)}$)	0.38	0.54	0.7	ms
	SSTIME = 01 の出力電圧ランプ時間		0.57	0.81	1.05	ms
	SSTIME = 10 の出力電圧ランプ時間、デフォルト		0.73	1.04	1.35	ms
	SSTIME = 11 の出力電圧ランプ時間		1.43	2.04	2.65	ms
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	$f_{(SW)nom}$ = 1.5MHz、$D_{(MODE/SYNC)}$ = 45%...55%	1.2		1.8	MHz
$D_{(MODE/SYNC)}$	同期クロック周波数のデューティ サイクル (MODE/SYNC)		45		55	%
	外部周波数にロックする時間			50		µs
	SYNC_OUT での位相シフト (内部 CLK または外部 CLK を基準とする)	SYNC_OUT_PHASE = 0		120		°

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 (T_J = –40°C ～ +125°C) と V_{IN} = 2.7V ～ 6V.V_{IN} = 5V および T_J = 25°C の場合の標準的な値 (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	SYNC_OUT での位相シフト (内部 CLK または外部 CLK を基準とする)	SYNC_OUT_PHASE = 1 (デフォルト)		180		°
$V_{T+(UVP)}$	正方向のパワーグッド スレッショルド電圧 (出力低電圧)		94	96	98	%
$V_{T-(UVP)}$	負方向 のパワーグッド スレッショルド電圧 (出力低電圧)		92	94	96	%
$V_{T+(OVP)}$	正方向のパワーグッド スレッショルド電圧 (出力過電圧)		104	106	108	%
$V_{T-(OVP)}$	負方向の パワーグッド スレッショルド電圧 (出力過電圧)		102	104	106	%
V_{OL}	Low レベル出力電圧 (PG)	I_{OL} = 1mA		0.012	0.3	V
I_{OH}	High レベル出力電流 (PG)	V_{OH} = 5V			3	µA
I_{IH}	High レベル入力電流 (PG)	スタック動作でセカンダリ デバイスとして構成されたデバイス			3	µA
I_{IL}	Low レベル入力電流 (PG)	スタック動作でセカンダリ デバイスとして構成されたデバイス	-1			µA
$t_{d(PG)}$	グリッチ除去時間 (PG)	PG ピンの High から Low、または Low から High への遷移	34	40	46	µs
出力						
ΔV_{OUT}	出力電圧精度	$V_{IN} \geq V_{OUT}$ + 1.6V、DROOPEN = 0	-0.8		0.8	%
ΔV_{OUT}	出力電圧の電流がない状態から定格電流への変化	DROOPEN = 1		±12		mV
	ドループ補償電圧の精度、TPSM8287B15xx	デバイスは強制 PWM モード	-3.75		3.75	mV
	ドループ補償電圧の精度、TPSM8287B20xx	デバイスは強制 PWM モード	-3.5		3.5	mV
	ドループ補償電圧の精度、TPSM8287B25xx、TPSM8287B30xx	デバイスは強制 PWM モード	-3		3	mV
I_{IB}	入力バイアス電流 (GOSNS)	EN = High; $V_{(GOSNS)}$ = –100mV to 100mV	-60		3	µA
I_{IB}	入力バイアス電流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V、V_{IN} = 6V、DROOPEN = 0	-5.5		5.5	µA
I_{IB}	入力バイアス電流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V、V_{IN} = 6V、DROOPEN = 1	-13.2		13.2	µA
V_{ICR}	同相入力範囲 (GOSNS)		-100		100	mV
R_{DIS}	出力放電抵抗	$V_{OUT} \leq$ 1V		2.7	9.2	Ω
f_{SW}	スイッチング周波数 (SW)	設定 = 1.5 MHz、PWM 動作	1.35	1.5	1.65	MHz
f_{SSC}	変調周波数	SSCEN = 1		fsw/2048		kHz
Δf_{SW}	スペクトラム拡散動作時のスイッチング周波数の変動	SSCEN = 1	f_{SW} – 10%		f_{SW} + 10%	
gm	COMP ピン上の OTA の相互コンダクタンス			1.5		mS
τ	エミュレート電流時定数		11.87	12.5	13.2	µs
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPSM8287B15xx	19	22.5	26	A
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPSM8287B20xx	24	28.5	32	A

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 (T_J = –40°C ～ +125°C) と V_{IN} = 2.7V ～ 6V.V_{IN} = 5V および T_J = 25℃ の場合の標準的な値 (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPSM8287B25xx	29	34	39	A
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPSM8287B30xx	34	39	44	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPSM8287B15xx	15	20	24	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPSM8287B20xx	20	24.5	29	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPSM8287B25xx	24.5	29	33	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPSM8287B30xx	29.5	33.5	38	A
ILIM	ローサイド FET 負電流制限、DC			-10	-7.5	A
$t_{on, min}$	HS FET の最小オン時間	V_{IN} = 3.3V		45		ns
$t_{on, min}$	HS FET の最小オン時間	V_{IN} = 5V		35		ns
	電力段の最大デューティ サイクル	TPSM8287B25xx のみの DC 動作 、T_J = 125℃		40		%
	電力段の最大デューティ サイクル	TPSM8287B30xx のみの DC 動作 、T_J = 125℃		25		%

6.6 I²C インターフェイス タイミングの要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード			100	kHz
		ファスト モード			400	kHz
		ファスト モード プラス			1	MHz
		高速モード (書き込み動作)、CB – 最大 100pF			3.4	MHz
		高速モード (読み取り動作)、CB – 最大 100pF			3.4	MHz
		高速モード (書き込み動作)、CB – 最大 400pF			1.7	MHz
		高速モード (読み取り動作)、CB – 最大 400pF			1.7	MHz
t_{HD}、t_{STA}	(繰り返し) START 条件のホールド時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速度モード	0.16			µs
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			µs
		ファスト モード	1.3			µs
		ファスト モード プラス	0.5			µs
		高速モード、CB – 最大 100pF	0.16			µs
		高速モード、CB – 最大 400pF	0.32			µs

Copyright © 2026 Texas Instruments Incorporated

6.6 I²C インターフェイス タイミングの要件 (続き)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速モード、CB – 最大 100pF	0.06			µs
		高速モード、CB – 最大 400pF	0.12			µs
t_{SU}、t_{STA}	反復開始条件のセットアップ時間	スタンダード モード	4.7			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速度モード	0.16			µs
t_{SU}、t_{DAT}	データ セットアップ時間	スタンダード モード	250			ns
		ファスト モード	100			ns
		ファスト モード プラス	50			ns
		高速モード、CB – 最大 100pF	10			ns
t_{HD}、t_{DAT}	データ ホールド時間	スタンダード モード	0		3.45	µs
		ファスト モード	0		0.9	µs
		ファスト モード プラス	0			µs
		高速モード、CB – 最大 100pF	0		70	ns
		高速モード、CB – 最大 400pF	0		150	ns
t_{RCL}	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	ns
		ファスト モード プラス			120	ns
		高速モード、CB – 最大 100pF	10		40	ns
		高速モード、CB – 最大 400pF	20		80	ns
t_{FCL}	SDA 信号と SCL 信号の両方の立ち下がり時間(1)	スタンダード モード			300	ns
		ファスト モード	20 × V_{DD}/5.5V		300	ns
		ファスト モード プラス	20 × V_{DD}/5.5V		120	ns
		高速モード、CB – 最大 100pF	10		40	ns
		高速モード、CB – 最大 400pF	20		80	ns
t_{SU}、t_{STO}	STOP 条件のセットアップ時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速モード	0.16			µs
CB	SDA および SCL の容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	pF
		ファスト モード プラス			550	pF
		高速モード			400	pF
t_{BUF}	停止条件と開始条件の間のバス フリー時間	スタンダード モード	4.7			µs
		ファスト モード	1.3			µs
		ファスト モード プラス	0.5			µs

(1) V_{DD} は SDA と SCL のプルアップ電圧。

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

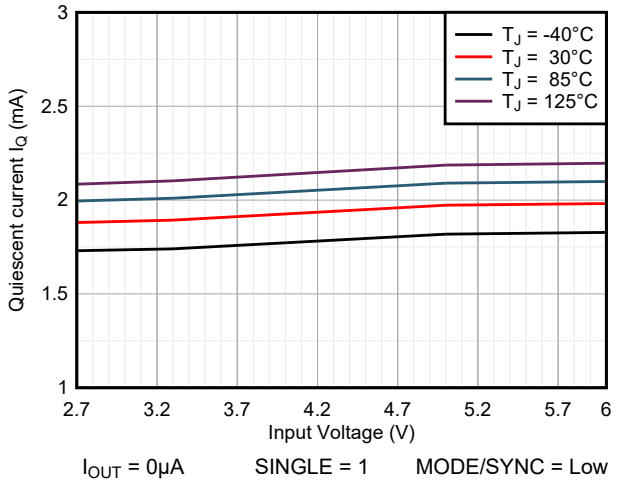


図 6-1. 動作時の電源電流 (パワーセーブ モード)

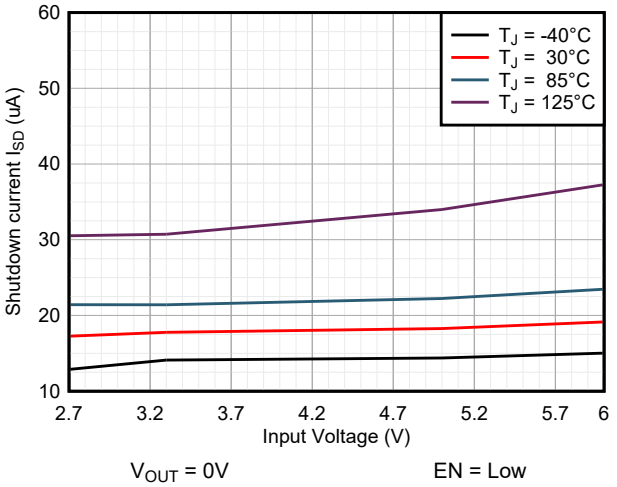


図 6-2. シャットダウン電流

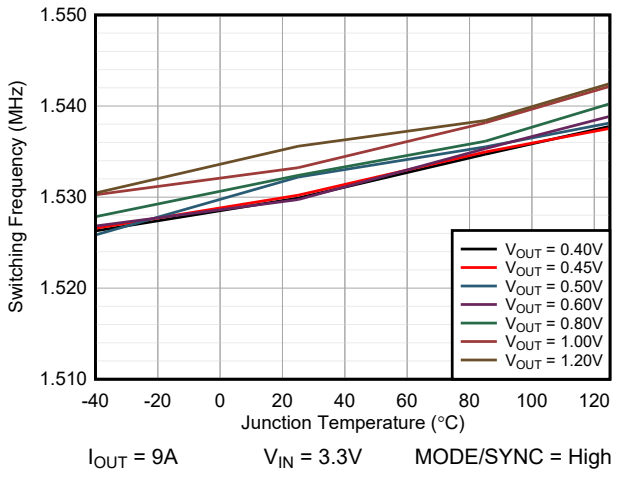


図 6-3. TPSM8287Bxx のスイッチング周波数と T_J との関係

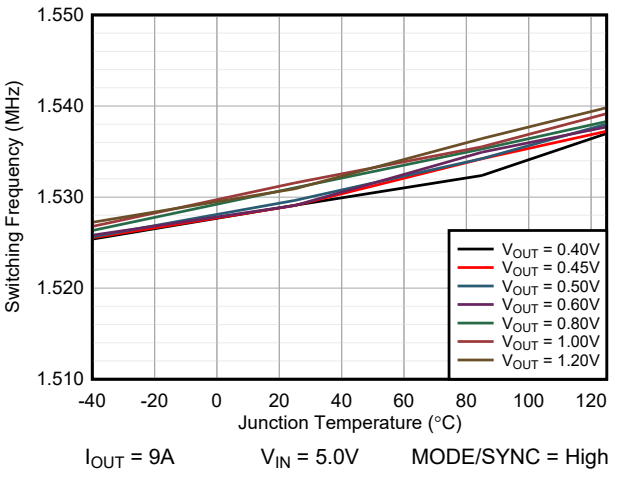


図 6-4. TPSM8287Bxx のスイッチング周波数と T_J との関係

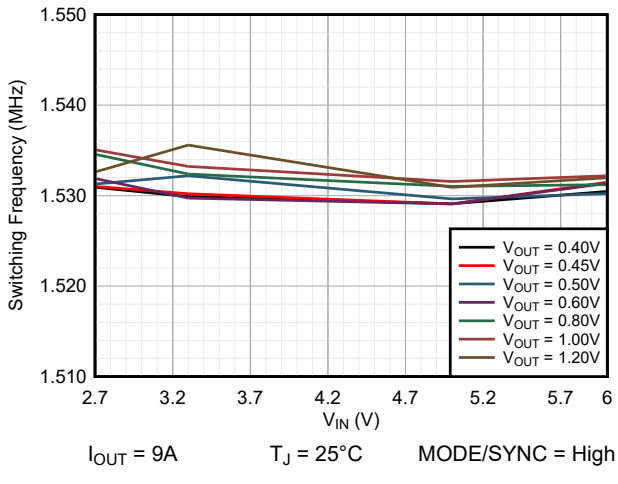


図 6-5. TPSM8287Bxx のスイッチング周波数と V_{IN} との関係

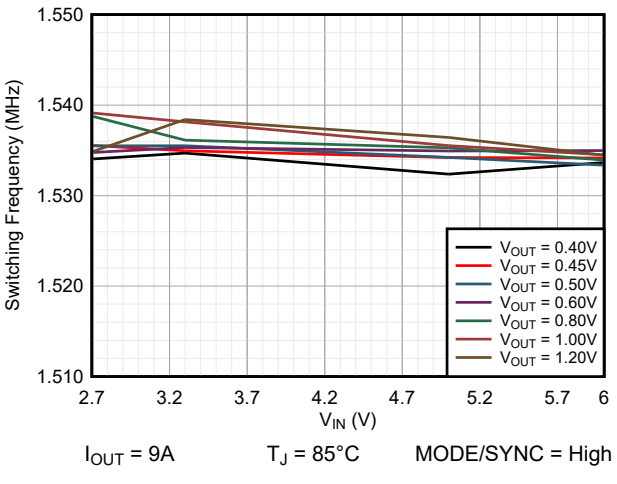


図 6-6. TPSM8287Bxx のスイッチング周波数と V_{IN} との関係

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

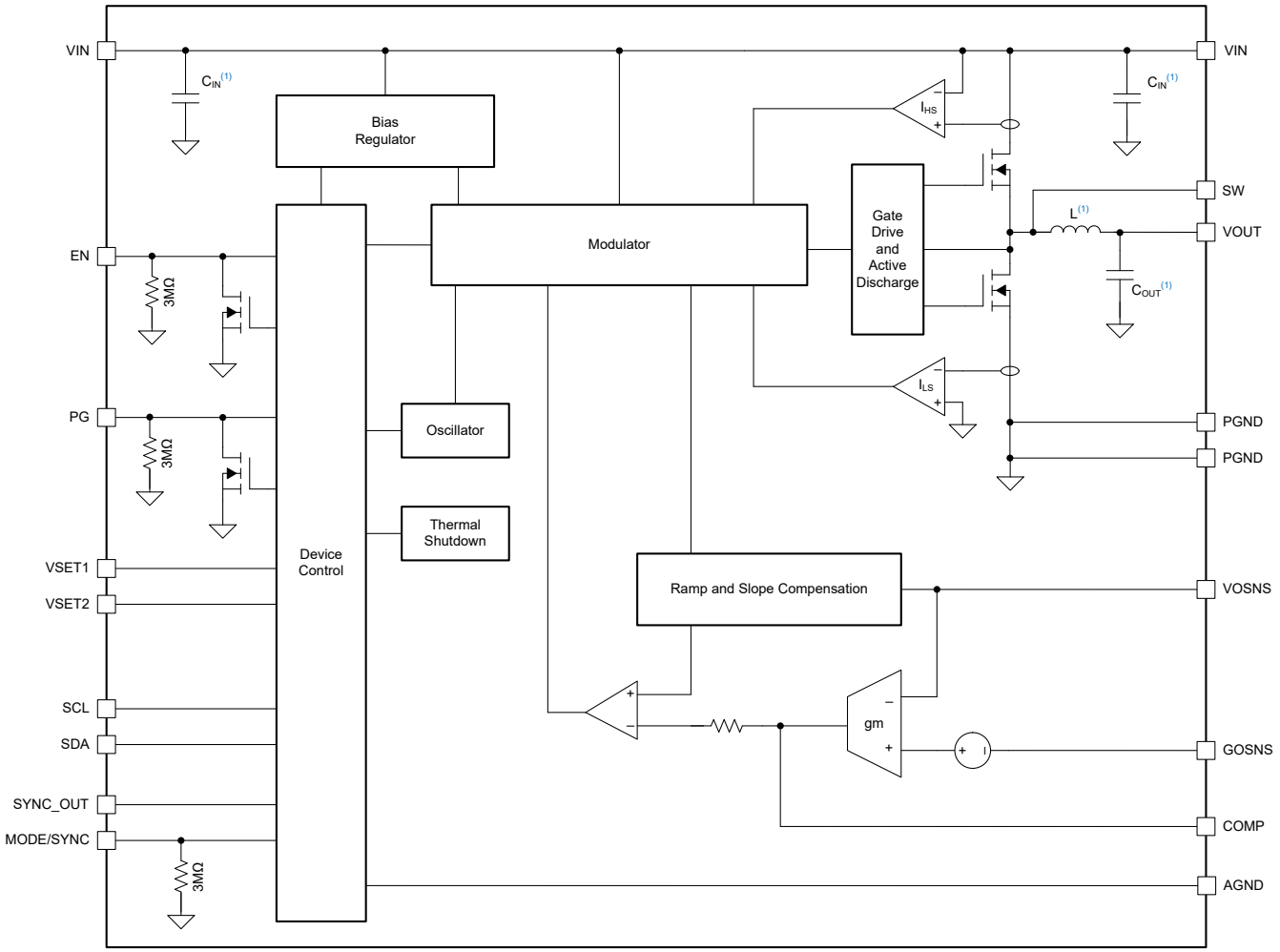
TPSM8287Bxx 同期整流降圧コンバータパワーモジュールは、固定周波数の DCS-Control トポロジを使用して、通常動作時に固定周波数でスイッチングを行うと同時に、負荷ステップの際の高速過渡応答を実現します。この制御トポロジと、低出力電圧リップル、高い DC 精度、差動リモートセンスにより、本デバイスは最新の高性能プロセッサや厳しいレギュレーション要件の他の電圧レールのコアを供給するよう設計されています。

負荷電流が減少すると、コンバータは MODE/SYNC ピンに基づいてパワーセーブモードに移行し、スイッチング周波数を下げて DCM に移行することで、負荷電流の全範囲にわたって高効率を実現できます。

このピン互換ファミリのモジュールには、15A、20A、25A、30A バリアントが含まれています。出力電流能力をさらに高めるには、スタック内に複数のデバイスを組み合わせてください。たとえば、4 つの 30A デバイスを並列接続すると、最大 120A の電流を供給できます。

TPSM8287Bxx は MagPack 技術を使用し、最高性能のパワー モジュール設計を実現しています。これらのパワー モジュールは、独自の磁気内蔵 MagPack パッケージング技術を活用しており、業界をリードする電力密度、高効率、優れた放熱性能、使いやすさ、EMI 放射の低減を実現しています。

7.2 機能ブロック図



(1) 統合パッシブの値については、セクション 4 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 固定周波数の DCS-Control トポロジ

図 7-1 に、TPSM8287Bxx デバイスで使用されている固定周波数 DCS-Control トポロジの簡略ブロック図を示します。このトポロジは、内部でエミュレートされた電流ループと外部の電圧調整ループで構成されています。差動リモート センスを使うと、負荷の電圧を精密に制御できます。外部補償により、広い範囲の出力キャパシタンスおよび負荷過渡要件に合わせて負荷過渡応答を微調整できます。

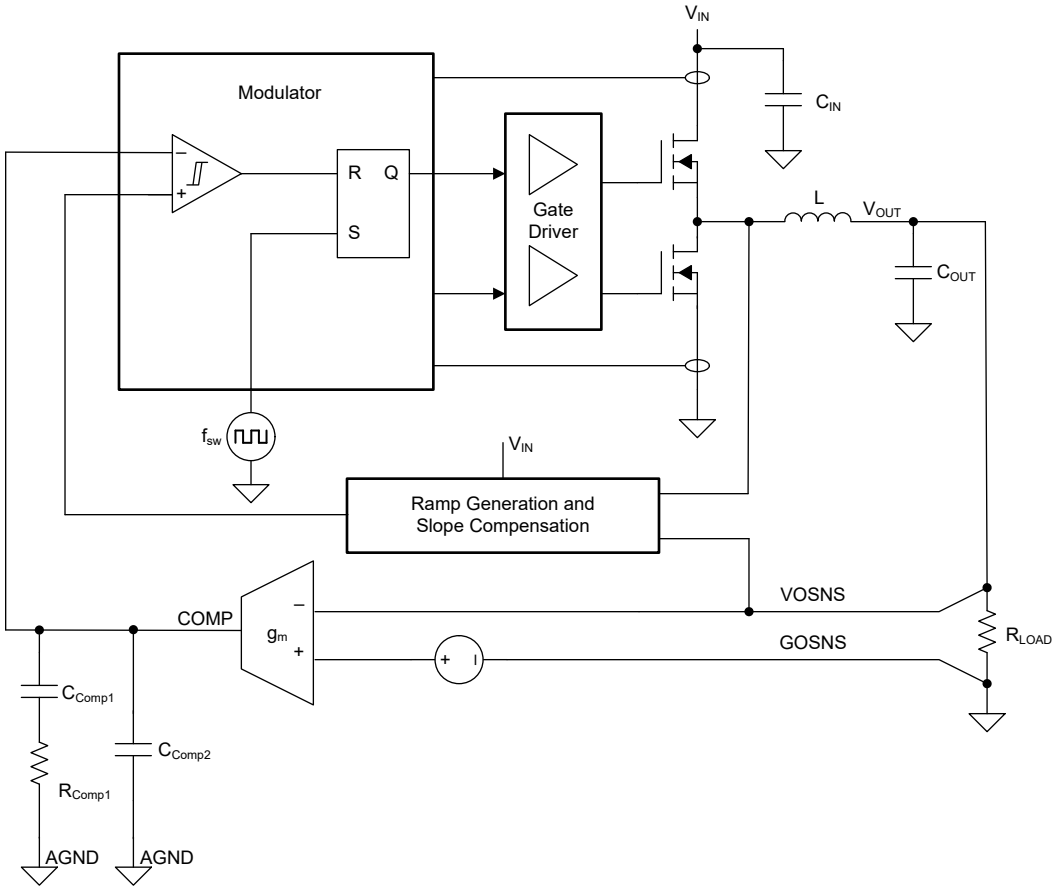


図 7-1. 固定周波数の DCS-Control トポロジ (簡略図)

7.3.2 強制 PWM モードとパワーセーブ モード

デバイスは、出力をレギュレートするための 3 つの方法でインダクタ電流を制御できます。

- 連続インダクタ電流を使用するパルス幅変調 (PWM-CCM)
- 不連続インダクタ電流によるパルス幅変調 (PWM-DCM)
- 不連続インダクタ電流およびパルススキップによるパルス周波数変調 (PFM - DCM)

PWM-CCM でのオン時間は 式 1 で設定されます。出力電圧が非常に小さい場合、最小オン時間 ($t_{on,\ min}$) により、スイッチング周波数が設定値から低下します。最小オン時間に達した場合でも、本デバイスはオフ時間を延長することで適切な出力電圧レギュレーションを維持します。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (1)$$

PWM-CCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は連続的です (図 7-2 を参照)。PWM 動作は、最小の出力電圧リップルと最高の過渡性能を達成します。

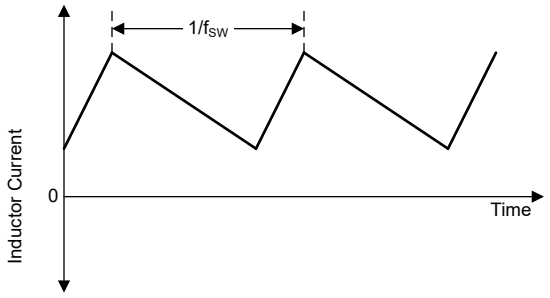


図 7-2. 連続導通モード (PWM-CCM) 電流波形

PWM-DCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は不連続です (図 7-3 を参照)。このモードでは、デバイスはピーク インダクタ電流を制御し、選択したスイッチング周波数を維持しながら、出力のレギュレーションを維持することができます。

式 2 は、デバイスが PWM-CCM から PWM-DCM に変化する出力電流スレッショルドを計算します。

$$I_{OUT(\mathrm{CCM-DCM})} = \frac{V_{IN} \times t_{ON}}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (2)$$

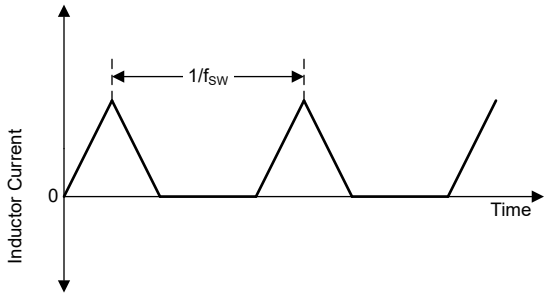


図 7-3. 不連続導通モード (PWM/DCM) 電流波形

PFM-DCM 動作中、デバイスはピーク インダクタ電流を一定に維持し (コンバータの最小オン時間 ($t_{on,\ min}$) に対応するレベル)、パルスをスキップして出力をレギュレートします (図 7-4 を参照)。PFM - DCM 動作中に発生するスイッチングパルスは、内部クロックに同期されます。

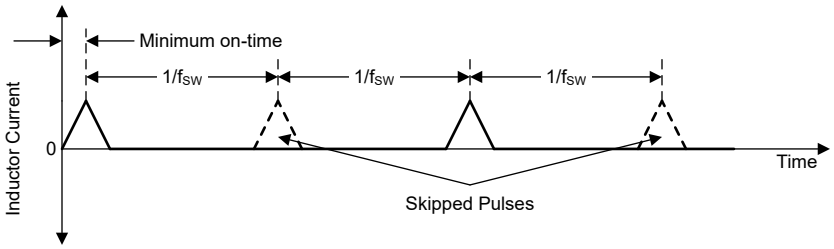


図 7-4. 不連続導通モード (PFM/DCM) 電流波形

式 3 は、デバイスが PWM-DCM から PFM-DCM に変化する出力電流スレッショルドを計算します。

$$I_{OUT(PFM-entry)} = \frac{V_{IN} \times \quad ton, \quad min}{2} \quad \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (3)$$

図 7-5 に、PWM-DCM から PFM-DCM スレッショルドが V_{IN} および V_{OUT} によって通常どのように変化するかを示します。

Copyright © 2026 Texas Instruments Incorporated

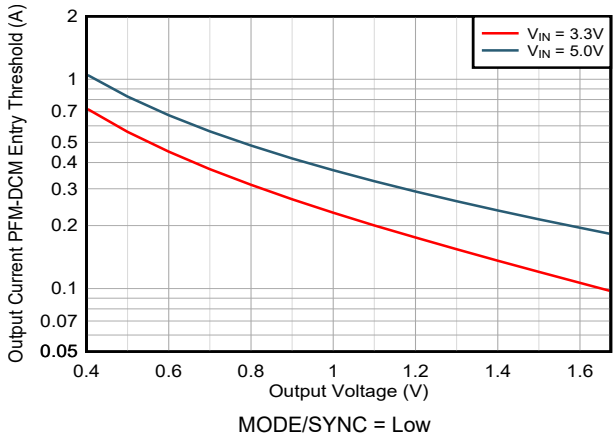


図 7-5. PFM-DCM エントリ スレッショルド TPSM8287Bxx

強制 PWM モード (FPWM) とパワーセーブモード (PSM) のどちらかを使用するようにデバイスを構成します。

- 強制 PWM モードでは、デバイスは常に PWM-CCM を使用します。
- パワーセーブモードでは、このデバイスは中負荷および高負荷で PWM-CCM、軽負荷で PWM-DCM、非常に軽負荷で PFM -DCM を使用します。各種動作モード間の遷移はシームレスに行われます。

以下の表に、本デバイスの動作モードを制御する MODE/SYNC ピンの機能表と CONTROL1 レジスタの FPWMEN ビットを示します。

表 7-1. FPWM モードとパワーセーブモードの選択

SSCEN ビット	FPWMEN ビット	MODE/SYNC ピン	動作モード	注記
0	0	低	PSM	スタック構成では使用しないでください
1	0	低	PSM	
0	1	X	FPWM	
0	X	高	FPWM	
X	X	同期クロック	FPWM	セクション 7.3.7 を参照してください。
1	1	X	FPWM	セクション 7.3.8 を参照してください。
1	X	高	FPWM	

7.3.3 高精度イネーブル

イネーブル (EN) ピンは双方向で、2 つの機能を持ちます。図 7-6 を参照してください。

- このピンは、入力として、デバイスの DC/DC コンバータを有効/無効にします。
- スタック構成では、ピンは出力であり、他のデバイスに SYSTEM_READY 信号を提供します。

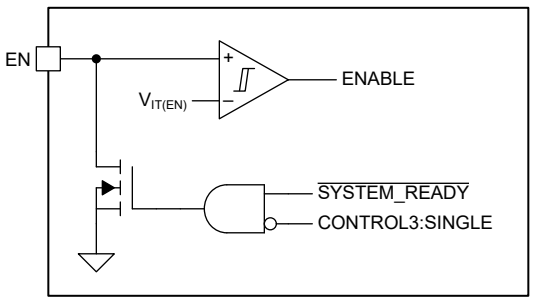


図 7-6. 機能ブロック図を有効にする

Copyright © 2026 Texas Instruments Incorporated

EN ピンに接続された内部オープン ドレイントランジスタがあるため、低インピーダンスのソースからこのピンを直接駆動しないでください。代わりに、15kΩ を超える抵抗を使用して、EN ピンに流れる電流を制限します。

VIN ピンに電源が最初に印加された時点で、デバイスは不揮発性メモリからのデフォルトのレジスタ設定がロードされ、VSETx ピンと SYNC_OUT ピンの状態が読み取られるまで、EN ピンを Low にプルします。入力電圧が POR (パワーオン・リセット) スレッショルドを下回った場合にのみ、デバイスは再初期化されます。また、サーマル シャットダウンや過電圧ロックアウトなどの故障が発生した場合も、デバイスは EN を Low にプルします。スタック構成では、すべてのデバイスが共通のイネーブル信号を共有します。これは、スタック内の *すべて*のデバイスが初期化を完了するまで、スタック内の DC/DC コンバータのスイッチングを開始できないことを意味します。同様に、スタック内の 1 つ以上のデバイスに故障が発生すると、スタック内の *すべて*のコンバータが無効化されます (セクション 7.3.16 を参照)。

スタンドアロン (非スタック) アプリケーションでは、CONTROL3 レジスタで SINGLE = 1 に設定して、EN ピンのアクティブ プルダウンを無効化します。SINGLE = 1 の場合、故障状態は EN ピンに影響を与えません。(デバイスの初期化中は、EN ピンは *常に*プルダウンされることに注意してください。)スタックアプリケーションでは、SINGLE = 0 であることを確認してください。SINGLE = 1 に設定すると、SYNC_OUT ピンも無効化されます。

内部の $\overline{\text{SYSTEM_READY}}$ 信号が Low になると (すなわち、初期化が完了し、故障状態がない場合)、内部のオープンドレイン トランジスタはハイ インピーダンスになり、EN ピンは標準入力と同様に機能します。EN ピンが High レベルになると、デバイスの DC/DC コンバータが有効になり、Low レベルになると DC/DC コンバータが無効になります。I^2C インターフェイスは、デバイスが初期化を完了するとすぐに有効になり、内部 ENABLE または $\overline{\text{SYSTEM_READY}}$ 信号の状態には影響されません。

EN ピンが Low レベルになると、デバイスは強制的にシャットダウンします。シャットダウン中、電力段の MOSFET がオフになり、内部制御回路が無効化され、デバイスの消費電流は 18µA (標準値)未満です。EN ピンをフローティングのままにしないでください。

高精度のイネーブル入力を使うと、EN ピンの入力に抵抗デバイダを追加することで、低電圧誤動作防止機能を設定できます。さらに高精度のイネーブル入力を使うと、ゆっくり変化する電圧でもイネーブルピンを駆動でき、また、外部 RC ネットワークを使って精密なパワーアップ遅延を実現することもできます。詳細については、『*高精度のイネーブルピンスレッショルドを備えた DC/DC コンバータの使用によるクリーンなスタートアップの実現*』Analog Design Journal を参照してください。

7.3.4 スタートアップ

VIN ピンの電圧が正方向の UVLO スレッショルドを超えると、デバイスは次のように初期化されます。

- デバイスは、EN ピンを Low にプルします
- デバイスは、内部リファレンス電圧を無効にします
- デバイスは、VSETx ピンと SYNC_OUT ピンの状態を読み取ります
- デバイスは、デフォルト値をデバイスのレジスタにロードします

初期化が完了すると、デバイスは I^2C 通信を有効にし、EN ピンを解放します。これで、EN ピンを制御する外部回路によってデバイスの動作が決定されます。

- EN ピンが Low になると、デバイスは無効化されます。
  - ユーザーは、デバイスのレジスタに対して書き込みと読み取りを行うことができます
  - 電力段が動作しない (高インピーダンス)。
- EN ピンが High の場合、デバイスは有効です。
  - ユーザーは、デバイスのレジスタに対して書き込みと読み取りを行うことができます
  - 短い遅延時間の後、電力段はスイッチングを開始します
  - コンバータは出力電圧を上昇させます

図 7-7 に、EN ピンが抵抗を経由して V_{IN} に にプルアップされたときのスタートアップ シーケンスを示します。

Copyright © 2026 Texas Instruments Incorporated

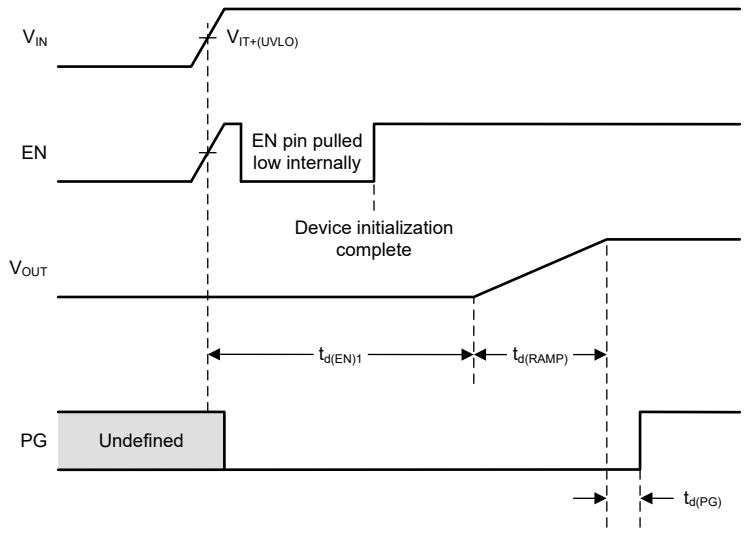


図 7-7. EN が V_{IN} にプルアップされたときのスタートアップタイミング

図 7-8 に、外部信号が EN ピンに接続されている場合のスタートアップ シーケンスを示します。

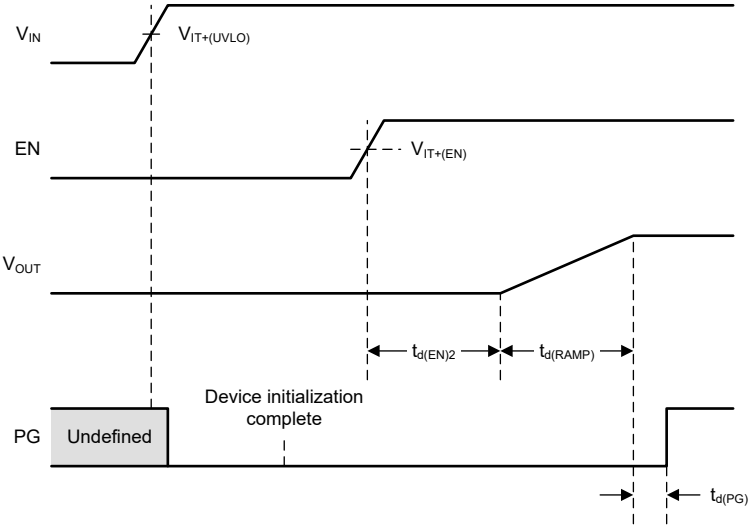


図 7-8. 外部信号が EN ピンに接続されている場合のスタートアップ タイミング

CONTROL2 レジスタの SSTIME[1:0] ビットを使用して、ソフトスタート ランプの持続時間を選択します。

- $t_{d(Ramp)}$ = 500µs
- $t_{d(Ramp)}$ = 0.77ms
- $t_{d(Ramp)}$ = 1ms (デフォルト)
- $t_{d(Ramp)}$ = 2ms

デバイスは、次のパラメータについて、ソフトスタート シーケンス中は新しい値を無視します。

- 出力電圧の設定ポイント (VSET[7:0])
- 出力電圧範囲 (VRANGE[1:0])
- ソフトスタート時間 (SSTIME[1:0])

ソフトスタート中に VSET[7:0] の値をユーザーが変更すると、デバイスは最初にソフトスタート シーケンスが開始した時点の VSET[7:0] の値に上昇します。ソフトスタートが完了すると、デバイスは新しい値まで上昇または下降します。

Copyright © 2026 Texas Instruments Incorporated

起動中、出力電圧が目標の出力電圧に対して構成されたランプレートに従うように、本デバイスは電流をシンクしません。これにより、デバイスはプリバイアス出力の起動ができます。この場合、内部電圧ランプの一部のみが外部から検出されます (図 7-9 を参照)。

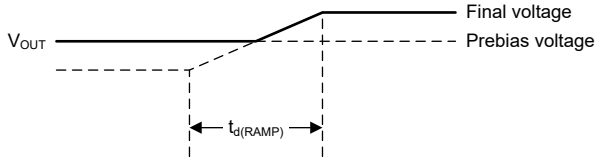


図 7-9. プリバイアス出力の起動

7.3.5 出力電圧設定

7.3.5.1 出力電圧の設定ポイント

初期化時、デバイスは VSETx ピンの状態を読み取り、表 7-2 に従ってデフォルトの出力電圧を選択します。VSETx ピンは、デバイスの I²C ターゲット アドレスと、レジスタ CONTROL2 にある VRANGE ビットの設定も選択することに注意してください。VSETx ピンは、VIN のパワーサイクル中、または I²C インターフェイスで RESET = 1 を設定することでのみ読み取られます。VIN が存在した後に構成を変更しても、レジスタの内容や I²C アドレスには影響しません。VSETx ピンに接続された浮遊電流パスが存在しないこと、および VSETx ピンと GND の間の寄生容量が 100pF 未満であることを確認します。正常に動作させるには、入力電圧は選択した出力電圧よりも 1.5V 以上高い必要があります。

表 7-2. スタートアップ時の出力電圧と I²C アドレス

VSET1	VSET2	I²C アドレス	TPSM8287BxxL の VOUT 電圧(1)	TPSM8287BxxH の VOUT 電圧(2)
GND	GND	0x45	400mV	800mV
GND	47kΩ から GND へ	0x44	425mV	850mV
GND	47kΩ から VIN へ	0x47	450mV	900mV
GND	VIN	0x46	475mV	950mV
47kΩ から GND へ	GND	0x45	500mV	1000mV
47kΩ から GND へ	47kΩ から GND へ	0x44	525mV	1050mV
47kΩ から GND へ	47kΩ から VIN へ	0x47	550mV	1100mV
47kΩ から GND へ	VIN	0x46	575mV	1150mV
47kΩ から VIN へ	GND	0x45	600mV	1200mV
47kΩ から VIN へ	47kΩ から GND へ	0x44	625mV	1250mV
47kΩ から VIN へ	47kΩ から VIN へ	0x47	650mV	1300mV
47kΩ から VIN へ	VIN	0x46	675mV	1350mV
VIN	GND	0x45	700mV	1400mV
VIN	47kΩ から GND へ	0x44	725mV	1450mV
VIN	47kΩ から VIN へ	0x47	750mV	1500mV
VIN	VIN	0x46	775mV	1550mV

(1) デバイスは VRANGE = 01b を設定します。
(2) デバイスは VRANGE = 10b を設定します。

デバイスがすでにソフトスタート シーケンスを開始しているときに、新しい出力電圧の設定ポイント (VOUT[7:0])、出力電圧範囲 (VRANGE[1:0])、またはソフトスタート時間 (SSTIME[1:0]) をプログラムする場合、デバイスはソフトスタート シーケンスが完了するまで新しい値を無視します。出力電圧は、VSETx ピンで設定された目標値まで上昇すると、I²C インターフェイス経由でデバイスにプログラムされた新しい値まで上昇または下降します。EN が Low のときに VOUT[7:0]、VRAMP[1:0]、SSTIME[1:0] を変更すると、デバイスは次回にデバイスが有効になった時に新しい値を使用します。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.2 出力電圧範囲

このデバイスは、4 つの出力電圧範囲に対応しています。CONTROL2 レジスタの VRANGE[1:0] ビットは、アクティブにする範囲を制御します (表 7-3 を参照)。デフォルトの出力電圧範囲は、VSETx ピンによって決定されます。

表 7-3. 電圧レンジ

VRANGE[1:0]	電圧レンジ
0b00	0.4V～0.71875V (1.25mV 刻み)
0b01	0.4V～1.0375V (2.5mV 刻み)
0b10	0.4V～1.675V (5mV 刻み)
0b11	0.4V～1.675V (5mV 刻み)

VRANGE[1:0] ビットの変更の後には、VSET[7:0] ビットの値が変化しない場合でも、VSET レジスタに書き込む必要があります。このシーケンスは、デバイスが新しい電圧範囲の使用を開始するために必要です。

7.3.5.3 デフォルト以外の出力電圧の設定ポイント

表 7-2 の出力電圧の設定ポイントがどれもアプリケーションにとって適切でない場合、デバイスを*有効にする前に*、I^2C によって出力電圧を変更できます。EN ピンが High になると、デバイスが起動し、VSET レジスタで設定された目的の出力電圧になるように上昇します。デバイスのランプ中に I^2C を使用してデバイス設定を変更すると、変更は最初のランプが完了した後でしか実行されません。これらの新しいデバイス設定をデバイスの不揮発性メモリに保存することはできません。

7.3.5.4 ダイナミック電圧スケーリング (DVS)

ユーザーがデバイスの動作中に出力電圧の設定ポイントを変更すると、デバイスは制御された方法で新しい電圧設定へと上昇または下降します。

CONTROL1 レジスタの VRAMP[1:0] ビットは、DVS 中にデバイスがある電圧から別の電圧に上昇するときのスルーレートを設定します (表 7-4 を参照)。ランプレートは、VRANGE[1:0] ビットの設定から独立しています。

表 7-4. 動的電圧 スケーリング スルーレート

VRAMP[1:0]	DVS スルーレート
0b00 (デフォルト)	10mV/µs
0b01	5mV/µs
0b10	1.25mV/µs
0b11	0.5mV/µs

MODE/SYNC ピンが Low で FPWMEN = 0 の場合、デバイスが出力コンデンサから入力へエネルギーをアクティブに伝達しないため、低出力電流時のスルーレートを小さくできる可能性があります。負荷電流が大きいとき、デバイスはエネルギーを出力に伝達することでスルーレートを制御します。

出力をより高い電圧に上げるには、追加の出力電流が必要になることに注意してください。そのため、DVS 中、コンバータは次の式で求められる合計出力電流を生成する必要があります。

$$I_{OUT} = I_{OUT(DC)} + C_{OUT} \times \frac{dV_{OUT}}{dt} \quad (4)$$

ここで

- I_{OUT} は、より高い電圧に上昇している間にコンバータが生成する必要がある合計電流です
- $I_{OUT(DC)}$ は DC 負荷電流
- C_{OUT} は合計出力キャパシタンス
- dV_{OUT}/dt は出力電圧のスルーレートです (0.5mV/µs ～ 10mV/µs の範囲でプログラマブル)

正常に動作させるには、DVS 中の合計出力電流がデバイスの定格電流を超えないことを確認してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.5 ドループ補償

ドループ補償により、出力電流に基づいて公称出力電圧がスケーリングされます。この動作は、出力電流がない場合は出力電圧がより高い値に設定され、最大出力電流で公称値よりも小さい値に設定されるようにします。そのためドループ補償によって、負荷過渡中にマージンが大きくなり、重負荷ステップが発生した場合でも出力電圧を一定の許容範囲内に維持したり、より小さい出力キャパシタンスを使用して同じ許容帯域を満たすことができます。電圧スケーリングと出力電流の関係は、デバイスの出力電流バージョンに依存します。図 7-10 に動作を示します。ドループ補償は、CONTROL3 レジスタの DROOPEN ビットで有効になります。ドループ補償を有効化するには、デバイスが無効化されている間に行う必要があります。有効にしないと、過渡出力電圧の偏差が発生する可能性があります。

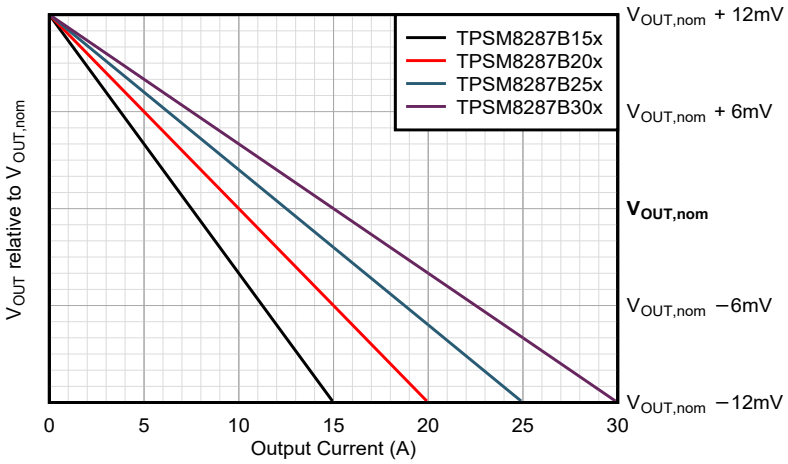


図 7-10. 出力電流による電圧スケーリング

7.3.6 補償 (COMP)

COMP ピンは、外部補償ネットワークの接続ポイントです。AGND との間に直列接続した抵抗とコンデンサは、標準的なアプリケーションで十分であり、広い範囲の動作条件に対してループ応答を最適化するのに十分な範囲を提供します。

複数のデバイスをスタック構成で使用する場合、すべてのデバイスは共通の補償回路を共有し、COMP ピンによってデバイス間の電流共有が等しくなります (セクション 7.3.16 を参照)。

7.3.7 モード選択 / クロック同期 (MODE/SYNC)

MODE/SYNC ピンに High レベルが印加されると、強制 PWM 動作が選択されます。MODE/SYNC ピンが Low レベルになると、パワーセーブ動作が選択され、デバイスは負荷条件に応じて PWM と PFM の間を自動的に遷移します。

MODE/SYNC ピンに有効なクロック信号を印加すると、デバイスはスイッチング サイクルを外部クロックに同期させ、強制 PWM 動作を自動的に選択します。MODE/SYNC ピンに周波数変調クロックを印加する場合、デバイスはこの動作にも追従します。この動作は、コンバータが外部のスペクトラム拡散変調に従う必要があるアプリケーションで役立ちます。

MODE/SYNC ピンは CONTROL1 レジスタの FPWMEN ビットと論理 OR されます。どちらかを High に設定すると FPWM が有効にされます (セクション 7.3.2 を参照)

複数のデバイスをスタック形式の並列構成で使用して出力電流を増加させる場合、プライマリ デバイスからのクロック信号は、デイジーチェーン構成ですべてのデバイスをカスケード接続する必要があります。前のデバイスの SYNC_OUT ピンは、チェーン内の次のデバイスの MODE/SYNC ピンに接続する必要があります (セクション 7.3.16 を参照)。

7.3.8 スペクトラム拡散クロック供給 (SSC)

このデバイスはスペクトラム拡散クロック処理機能を備え、電磁干渉 (EMI) を低減できます。SSC 機能がアクティブのとき、デバイスは公称値の約 ±10% までスイッチング周波数を変調します。周波数変調は三角波特性を持っています (図 7-11 を参照)。

Copyright © 2026 Texas Instruments Incorporated

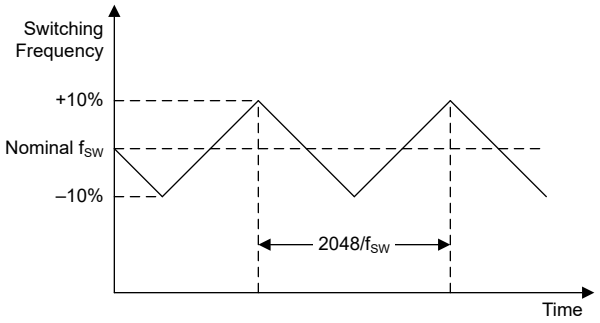


図 7-11. スペクトラム拡散クロック処理の動作

SSC 機能を使用するには、次のことを確認します。

- CONTROL1 レジスタの SSCEN = 1
- クロックが外部クロックに同期していない。

TI は、SSC を使用する場合は FPWM 動作を推奨しますが、PSM 動作で SSC を使用できます。SSC 機能を無効化するには、CONTROL1 レジスタで SCCEN = 0 であることを確認します。

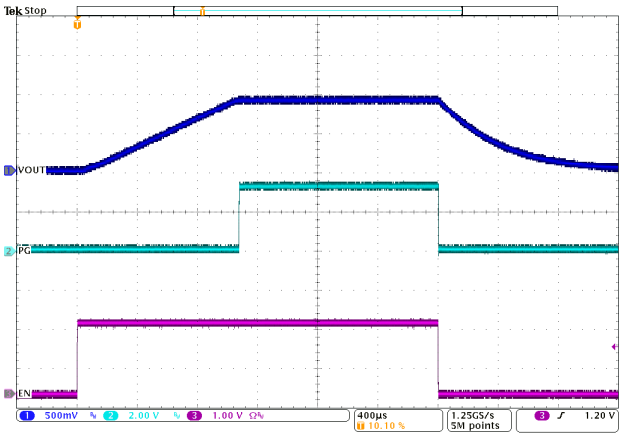
7.3.9 出力放電

このデバイスには出力放電機能があり、デバイスが無効担っている時に出力電圧の確実な低下を保証します。出力が放電されると、放電はオンのままとなります。CONTROL1 レジスタで DISCHEN = 1 のとき、出力放電機能は有効にされます。

出力放電が有効のとき、デバイスは次の条件で出力を放電します。

- EN ピンには low レベルが印加されている
- CONTROL1 レジスタの SWEN = 0
- サーマル シャットダウンイベントが発生する
- UVLO イベントが発生する
- OVLO イベントが発生する

放電抵抗は約 2.7Ω (標準値)です。図 7-12 に、標準的な放電動作の例を示します。



V_{IN} = 5.0V; R_{Load} = 9.1Ω; VOUT = 0.9V 0V まで放電

図 7-12. 出力放電

VIN の印加後に本デバイスが少なくとも 1 回有効になるまで、出力放電機能は利用できません。VIN が 1.8V 付近に低下するまで出力放電は機能します。

スタック構成では、セカンダリ デバイスで放電は常にアクティブです。表 7-6 を参照のこと。

7.3.10 低電圧誤動作防止 (UVLO)

デバイスには低電圧誤動作防止機能があり、電源電圧が低すぎて正常な動作ができない場合、デバイスはディスエーブルされます。UVLO 機能の負方向スレッショルドは 2.5V (標準値) です。電源電圧がこの値を下回ると、デバイスはスイッチングを停止します。CONTROL1 レジスタで DISCHEN = 1 の場合、出力放電をオンにします。また、EN ピンが Low になり、スタック内の他のすべてのデバイスが無効になります。

デバイスは自動的にスイッチングを再開します。電源電圧が 2.6V (標準値) を上回ると、デバイスは新しいソフトスタートシーケンスを開始します。

7.3.11 過電圧誤動作防止 (OVLO)

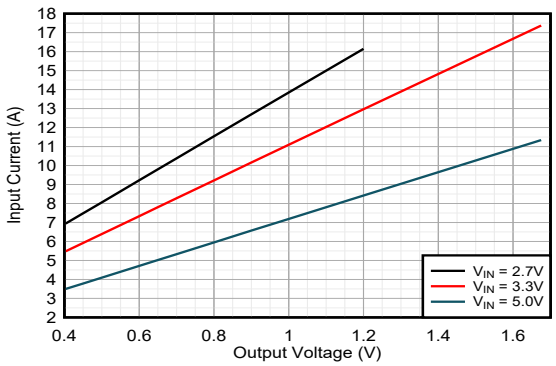
デバイスには過電圧ロックアウト機能があり、電源電圧が高すぎて正常な動作ができない場合、DC/DC コンバータが無効になります。OVLO 機能の正方向スレッショルドは 6.3V (標準値) です。電源電圧がこの値を上回ると、デバイスはスイッチングを停止し、STATUS レジスタの PBOV ビットを設定します。CONTROL1 レジスタで DISCHEN = 1 の場合、出力放電をオンにします。また、EN ピンが Low になり、スタック内の他のすべてのデバイスが無効になります。

デバイスは自動的にスイッチングを再開します。電源電圧が 6.2V (標準値) を下回ると、デバイスは新しいソフトスタートシーケンスを開始します。

7.3.12 過電流保護

7.3.12.1 サイクル単位の電流制限

TPSM8287Bxx モジュールは、過負荷および短絡イベントに対して保護されています。インダクタ電流がハイサイド電流制限値を上回ると、インダクタ電流を減少させるため、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。ローサイド MOSFET の電流がローサイドの電流制限スレッショルドを下回った場合にのみ、ハイサイド MOSFET は再度オンになります。これらの電流制限は、インダクタが飽和しないように設計されています。図 7-13 に、電流制限における標準的な入力電流を示します。



T_A = 25℃、HICCUP = 0

図 7-13. 電流制限における TPSM8287B30x 入力電流

ローサイド MOSFET には負の電流制限機能もあり、インダクタを通って入力に過剰な電流が流れ込むのを防止します。ローサイド シンク電流が制限を超えた場合、ローサイド MOSFET はオフになります。このシナリオでは、次のサイクルの開始まで両方の MOSFET がオフとなります。この負の電流制限は、強制 PWM モードでのみ有効です。

Copyright © 2026 Texas Instruments Incorporated

7.3.12.2 ヒカップ モード

ヒカップ モードにより、過負荷イベント時の消費電力が低減されます。ヒカップ動作を有効にするには、CONTROL1 レジスタで HICCUPEN = 1 であることを確認します。ヒカップ動作が有効になり、ハイサイドスイッチ電流が連続 32 スイッチングサイクルでハイサイド電流制限スレッショルドに達すると、デバイスは次の動作を行います。

- 128µs のスイッチングを停止する。その後、デバイスは自動的にスイッチングを再開する (新しいソフトスタート シーケンスを開始)
- STATUS レジスタの HICCUP ビットをセットする
- PG ピンを low にします過負荷状態が解消され、デバイスが起動して出力電圧をレギュレートできるまで、PG ピンは Low のまま維持されます。PG ピンには 40µs (標準値) グリッチ除去時間があり、パワーグッド信号の立ち上がりエッジを遅延させます。

ヒカップ動作は、出力過負荷状態が存在する限り、電流制限内の 32 サイクルで繰り返されます。その後、128µs の一時停止と、ソフトスタートが試みられます。

過負荷状態が解消されたときに STATUS レジスタを読み取ると、HICCUP ビットがクリアされます。図 7-14 に、3 サイクルのヒカップ動作を示します。この時点で過負荷が解消され、デバイスは通常動作を継続します。

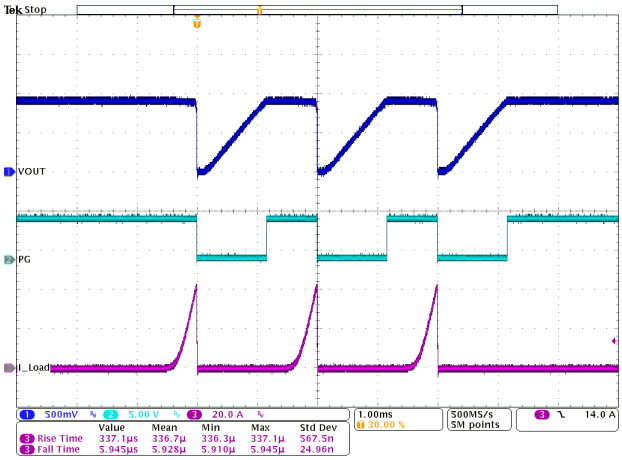


図 7-14. ヒカップ電流制限

7.3.12.3 電流制限モード

電流制限モードを有効にするには、CONTROL1 レジスタで HICCUPEN = 0 であることを確認します。

電流制限動作が有効になっているとき、過負荷状態が存在する間、デバイスはハイサイドスイッチの電流をサイクルごとに制限します。デバイスが連続 4 回以上のスイッチング サイクルにわたってハイサイド スイッチ電流を制限する場合、デバイスは STATUS レジスタで ILIM = 1 に設定します。

過負荷状態が解消されたときに STATUS レジスタを読み取ると、ILIM ビットがクリアされます。

7.3.13 パワー グッド (PG)

パワーグッド (PG) ピンは双方向で、次の 2 つの機能を備えています。

- スタンドアロン構成の場合、またスタック構成の主要デバイスでは、PG ピンはコンバータまたはスタックのステータスを示すオープン ドレイン出力です。
- スタック構成のセカンダリ デバイスでは、PG ピンはソフトスタート シーケンスが完了したことを検出する入力です。

Copyright © 2026 Texas Instruments Incorporated

7.3.13.1 パワーグッドのスタンドアロン、プライマリ デバイスの動作

PG ピンの主な目的は、出力電圧がレギュレート状態であるかどうかを示すことですが、PG ピンはデバイスがサーマル シャットダウン状態でも無効化状態でも示されます。次の表に、スタンドアロンまたはプライマリ デバイスにおける PG ピンの動作をまとめます。

表 7-5. パワーグッド機能表

V_{IN}	EN	V_{OUT}	ソフト スタート	PGBLNKDVS	T_J	PG
$V_{IN} < 2V$	X	X	X	X	X	未定義
$V_{IT-(UVLO)} \geq V_{IN} \geq 2V$	X	X	X	X	X	Low
$V_{IT-(OVLO)} > V_{IN} > V_{IT+(UVLO)}$	L	X	X	X	X	Low
	H	X	アクティブ	X	X	Low
		$V_{OUT} > V_{T+(OVP)}$ or $V_{OUT} < V_{T-(UVP)}$	非アクティブ	0	X	Low
				1 (DVS 非アクティブ)	X	Low
		X		1 (DVS アクティブ)	$T_J < T_{SD}$	ハイ インピーダンス
		$V_{T-(OVP)} > V_{OUT} > V_{T+(UVP)}$		X		ハイ インピーダンス
		X	X	X	$T_J > T_{SD}$	Low
$V_{IN} > V_{IT+(OVLO)}$	X	X	X	X	X	Low

図 7-16 に、スタンドアロンまたは 1 次側デバイスのパワーグッド機能の機能ブロック図を示します。ウィンドウ コンパレータは出力電圧を監視し、出力電圧が公称出力電圧の 94% 未満 (標準値) または 公称電圧の 106% を上回る場合、コンパレータの出力が High になります。ウィンドウ コンパレータの出力はグリッチ除去されます (標準のグリッチ除去時間は 40µs (図 7-15 を参照))。その後、オープンドレインの PG ピンの駆動に使用されます。

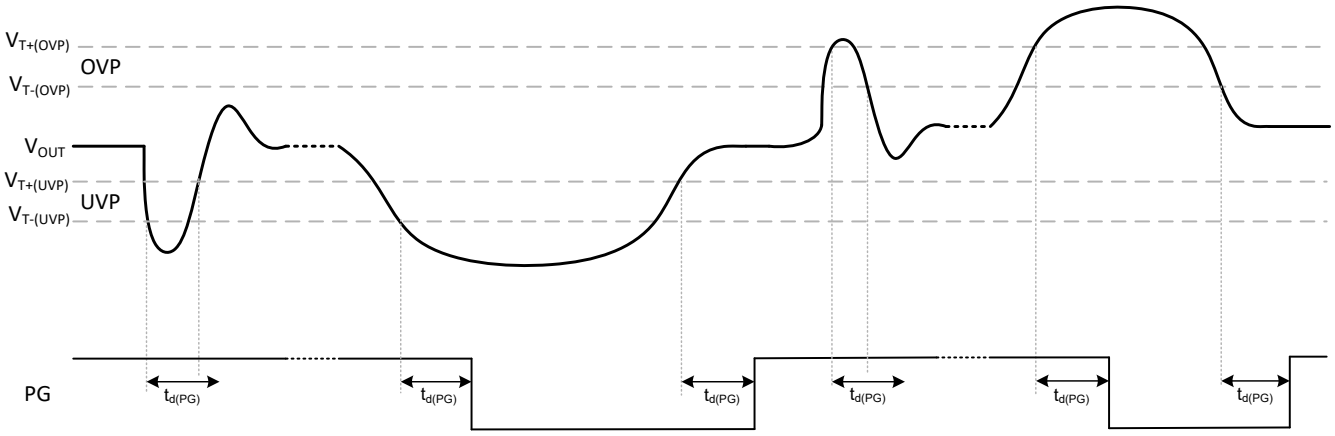


図 7-15. パワー グッドの過渡応答と遅延動作

低電圧または過電圧出力イベントが発生すると、デバイスはそれぞれ STATUS レジスタで PBUV ビットまたは PBOV ビットを設定します。パワーバッド状態が解消された後にユーザーが STATUS レジスタを読み取ると、デバイスは PBOV および PBUV ビットをクリアします。

Copyright © 2026 Texas Instruments Incorporated

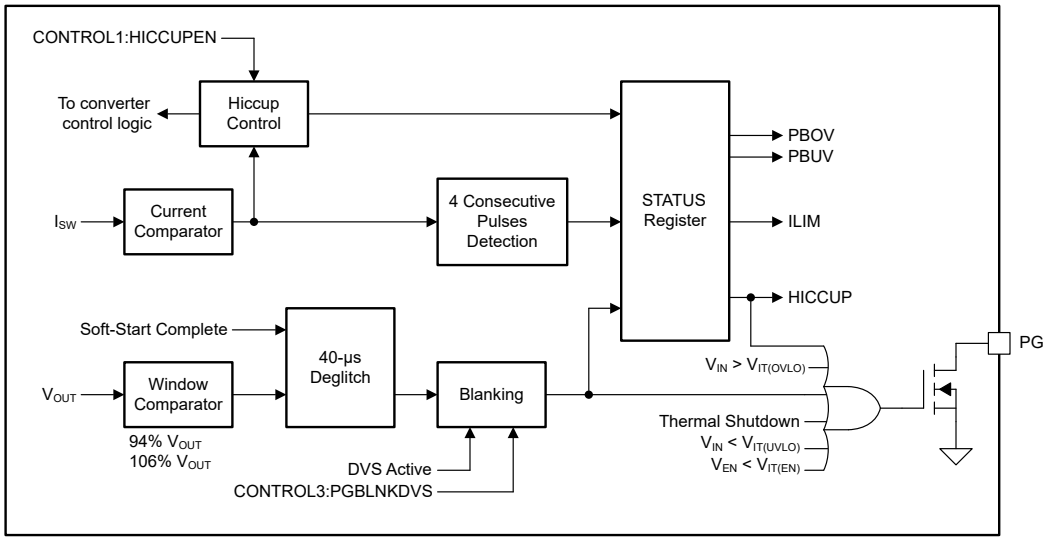


図 7-16. パワーグッド機能のブロック図 (スタンドアロン、プライマリ デバイス)

DVS 動作時は、ウィンドウ コンパレータの電圧リファレンスはランプ出力電圧の設定点に追従します。DVS が FPWM モードの間、PG は通常 low になりません。これは、DVS ランプに従って出力電圧をアクティブに上昇または下降させて駆動するためです。パワーセーブ モードでは、出力電圧を引き下げるほど十分な負荷がなく、それがウィンドウ コンパレータの制限内に留まるほど十分な速度でない場合、PG がランプダウン時に low になる可能性があります。FPWM モードとパワーセーブ モードの両方で、CONTROL3 レジスタに PGBLNKDVS = 1 を設定すると、デバイスは DVS ランプ時間中 (CONTROL1 レジスタに VRAMP[1:0] ビットで設定) パワーグッド ウィンドウ コンパレータの出力を無視し、PG ピンをハイインピーダンスに維持します。DVS 時間が経過すると、PG は再度ウィンドウ コンパレータの出力を反映します。

PG ピンは、以下の場合ウィンドウ コンパレータの出力に関係なく常に Low であることに注意してください。

- デバイスがサーマルシャットダウン中
- デバイスがヒカップ モード中
- デバイスが無効化されている
- デバイスは低電圧誤動作防止または過電圧誤動作防止 (UVLO または OVLO)状態にある
- デバイスがソフトスタート状態にある

7.3.13.2 パワー グッドのセカンダリ デバイスの動作

スタック構成の並列構成では、PG 信号を使用してデバイス間の通信が行われます。デバイスの初期化中は、スタック内のすべてのデバイスが PG 信号を Low にプルします。各デバイスの初期化が完了した後、プライマリ デバイスのみが PG 信号を制御し、ソフトスタートが完了するまで信号を Low に保持します。

セカンダリ デバイスは、PG 信号の電圧レベルを監視します。PG 信号が Low のとき、プライマリ デバイスが PG 信号を解放するまで、セカンダリ デバイスは電流をシンクできません。外部プルアップ抵抗により PG が High にプルされ、セカンダリ デバイスはその時点から FPWM で動作します。

故障状態が発生した場合、セカンダリ デバイスは PG 信号を駆動せず、EN ピンを使用してスタック全体を非アクティブにします。この場合、プライマリ コンバータが PG 信号を Low にします。詳細については、表 7-6 を参照してください。

7.3.14 リモート センス

このデバイスには VOSNS と GOSNS の 2 つのピンがあり、出力電圧をリモートで検出できます。リモートセンシングにより、コンバータはポイント・オブ・ロードで出力電圧を直接検出し、出力電圧レギュレーションの精度を向上できます。これらのセンス ラインは並行して配線し、ノイズの多い信号からは遠ざける必要があります。センス ラインを出力バス上の最小インピーダンス ポイントに接続します。このポイントは、負荷に最も近い出力コンデンサバンクの中心でなければなりません。

Copyright © 2026 Texas Instruments Incorporated

スタック構成では、すべてのセカンダリ デバイスの VOSNS および GOSNS は、ローカル出力コンデンサに、または AGND ピンに接続できます。さらなる詳細については、セクション 7.3.16 を参照してください。

7.3.15 熱警告およびシャットダウン

このデバイスは、2 レベルの過熱検出機能を備えています。

接合部温度が過熱警告スレッショルド 150℃ (標準値) を上回ると、デバイスは STATUS レジスタの TWARN ビットを設定します。接合部温度が 130℃ (標準値) の TWARN スレッショルドを下回った後に STATUS レジスタが読み出されると、デバイスは TWARN ビットをクリアします。

接合部温度が 170℃ (標準値) のサーマル シャットダウンのスレッショルドを上回ると、デバイスは次の動作を行います。

- スイッチングを停止する
- EN ピンをプルダウンする (CONTROL3 レジスタで SINGLE = 0 の場合)
- 出力放電を有効にする (CONTROL1 レジスタで DISCHEN = 1 の場合)
- STATUS レジスタの TSHUT ビットをセットする
- PG ピンを low にします

接合部温度が 150℃ (標準値) のサーマル シャットダウンのスレッショルドを下回ると、デバイスは次の動作を行います。

- 新しいソフトスタート シーケンスから開始して、再度スイッチングを開始する
- EN ピンを解放する (ハイ インピーダンス)
- PG ピンを解放する (ハイ インピーダンス)

接合部温度が 150℃ (標準値) の TSHUT スレッショルドを下回った後に STATUS レジスタを読み取ると、デバイスは TSHUT ビットをクリアします。

すべてのデバイスが共通のイネーブル信号を共有するスタック構成では、1 つのデバイスのサーマル シャットダウン条件により、スタック全体が無効化されます。熱いデバイスが冷却されると、スタック全体が自動的に再びスイッチングを開始します。

7.3.16 スタック動作

は複数のデバイスをいわゆる「スタック」に並列に接続して出力電流能力を高めることで、デバイスの接合部温度や出力電圧リップルを低減できます。たとえば、4 つの 30A デバイスを並列接続すると、最大 120A の電流を供給できます。PCB レイアウトがモジュール間の共有信号の整合性を維持していれば、より多くのデバイスをスタックできます。

スタックは、1 つのプライマリデバイスと 1 つ以上のセカンダリデバイスで構成されます。初期化時に、各デバイスは SYNC_OUT ピンを監視して、本デバイスがプライマリ デバイスまたはセカンダリ デバイスとして動作する必要があるかを判断します。

- SYNC_OUT ピンとグランドの間に 47kΩ の抵抗を接続すると、そのデバイスは セカンダリ デバイスとして動作します。
- SYNC_OUT ピンがハイ インピーダンス状態の場合、そのデバイスはプライマリ デバイスとして動作します。

以下の図に、2 個の TPSM8287Bxx デバイスを含むスタック内の推奨相互接続を示します。

Copyright © 2026 Texas Instruments Incorporated

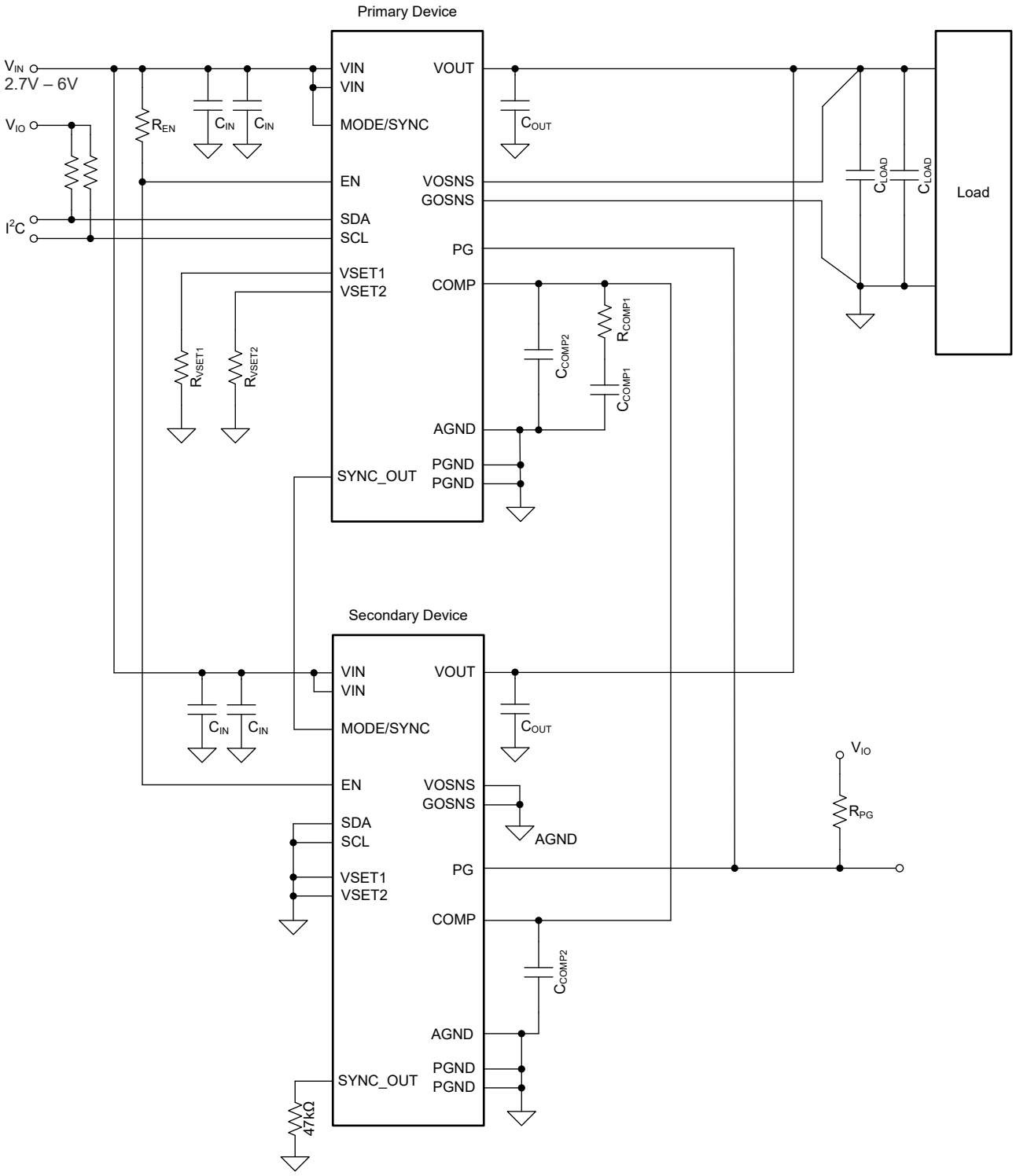


図 7-17. 2 個の TPSM8287Bxx デバイスをスタックした構成

注意すべき重要なポイントは次のとおりです。

- スタック内のすべてのデバイスは共通のイネーブル信号を共有しています。この信号は、15kΩ 以上の抵抗でプルアップする必要があります。
- すべてのセカンダリ デバイスは、SYNC_OUT ピンとグランドの間に 47kΩ 抵抗を接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

- スタック内のすべてのデバイスは、共通のパワーグッド信号を共有しており、抵抗でロジック High レベルにプルアップする必要があります。
- スタック内のすべてのデバイスは共通の補償信号を共有します。
- 多くのデバイスがスタックされている場合、COMP トレースの寄生容量がループ性能に影響を及ぼす可能性があります。このトレース容量をプライマリ デバイスと補償回路からデカップリングするために、プライマリ デバイスとセカンダリ デバイスすべての間にユニティ ゲイン バッファを使うことができます。
- プライマリ デバイスの VOSNS および GOSNS は、負荷のコンデンサに接続する必要があります
- セカンダリ デバイスの VOSNS と GOSNS は、デバイスの出力コンデンサに接続するか、または両方のピンを AGND に接続することもできます。これらのピンをフローティングのままにしないでください。
- 各デバイスの AGND ピンをローカル GND ネットに接続し、これらの各ローカル GND ネットを共通 GND プレーンに接続します。
- スタック内のすべてのデバイスで、同じデバイス型番 (出力電流は同じ) を使用する必要があります。
- プライマリ デバイスは強制 PWM 動作用に構成する必要があります (セカンダリ デバイスは自動的に強制 PWM 動作用に構成されます)。
- スタック構成は、外部クロックとの同期またはスペクトラム拡散クロック処理をサポートできます。
- デフォルトの出力電圧の設定には、プライマリ デバイスの VSETx ピンのみが使用されます。セカンダリ デバイスの VSETx ピンは使わず、グランドに接続する必要があります。
- セカンダリ デバイスの SDA および SCL ピンは使わず、グランドに接続する必要があります。
- スタック構成は、デイジーチェーン接続されたクロッキング信号を使用します。この信号では、各デバイスがデイジーチェーン内の前のデバイスに対して位相オフセットでスイッチングします。この位相オフセットは、CONTROL2 レジスタの SYNC_OUT_PHASE ビットにより、約 180° (デフォルト) または 120° に構成できます。クロック信号をデイジーチェーン接続するには、プライマリ デバイスの SYNC_OUT ピンを最初のセカンダリ デバイスの MODE/SYNC ピンに接続します。最初のセカンダリ デバイスの SYNC_OUT ピンを、2 番目のセカンダリ デバイスの MODE/SYNC ピンに接続します。スタック内のすべてのデバイスに対して、この接続方式を引き続きデイジーチェーン接続します。
- ヒカップ過電流保護は、スタック構成で使用しないでください。
- 出力電圧が 1.2V 以上の場合、電流バランスの誤差を考慮して、位相ごとの最大出力電流を 1A 減少させます。

スタック構成では、共通イネーブル信号は SYSTEM_READY 信号としても機能します (セクション 7.3.3 を参照)。デバイスの起動時またはフォルトの発生時に、スタック内の各デバイスが EN ピンを Low にすることができます。そのため、すべてのデバイスがスタートアップ シーケンスを完了し、フォルトがない場合のみ、スタックが有効になります。いずれか 1 つのデバイスに故障が発生した場合、その故障状態が存在している限り、スタック全体が無効化します。

起動中、イネーブル信号 (SYSTEM_READY) が Low になっている間、プライマリ コンバータは COMP ピンを Low にします。イネーブル信号が High になると、プライマリ デバイスは COMP ピンをアクティブに制御し、スタック内のすべてのコンバータが COMP 電圧に従います。スタートアップ時に、スタック内の各デバイスは、本デバイスが初期化される間、PG ピンを low にします。初期化が完了すると、スタック内の各セカンダリ デバイスは PG ピンを高インピーダンスに設定し、プライマリ デバイスのみが PG 信号の状態を制御します。スタックがスタートアップ ランプを完了し、出力電圧がパワーグッド ウィンドウ内にあるとき、PG ピンは High になります。スタックのセカンダリ コンバータは、パワーグッド信号の立ち上がりエッジを検出し、FPWM 動作へ切り替わります。スタックが正常に起動すると、プライマリ デバイスは通常の方法でパワーグッド信号を制御します。

スタック動作中の機能

デバイス機能の一部はスタック動作中は使用できないか、プライマリ コンバータでのみ使用できます。表 7-6 に、スタック動作時に使用できる機能をまとめます。

Copyright © 2026 Texas Instruments Incorporated

表 7-6. スタック動作中の機能

FUNCTION	1 次側デバイス	2 次側デバイス	注記
UVLO	あり	あり	共通のイネーブル信号
OVLO	あり	あり	共通のイネーブル信号
OCP -電流制限	あり	あり	個別のデバイス
OCP -ヒカップ OCP	なし	なし	スタック操作中は使用しないでください
サーマル シャットダウン	あり	あり	共通のイネーブル信号
パワーグッド (ウィンドウ コンパレータ)	あり	なし	プライマリ デバイスのみ
I^2C インターフェイス	あり	なし	プライマリ デバイスのみ
DVS	I^2C 経由で	なし	プライマリ デバイスのみで制御される電圧ループ
SSC	I^2C 経由で	はい、プライマリ デバイス経由で	プライマリ デバイスからセカンダリ デバイスへのデイジーチェーン接続
SYNC	あり	はい、プライマリ デバイス経由で	プライマリデバイスに同期クロックを印加し、プライマリ デバイスからセカンダリ デバイスへデイジーチェーン接続
高精度イネーブル	なし	なし	バイナリイネーブルのみ
出力放電	I^2C 経由で	あり	セカンダリ デバイスでは常に有効になっています

スタック動作中の故障処理

スタック構成では、個々のデバイスにのみ影響する故障と、すべてのデバイスに影響するその他の故障があります。たとえば、1 つのデバイスが電流制限に入った場合、そのデバイスのみが影響を受けます。しかし、1 つのデバイスにサーマル シャットダウンまたは低電圧誤動作防止イベントが発生すると、共有のイネーブル (SYSTEM_READY) 信号により、すべてのデバイスが無効化されます。表 7-7 に、スタック動作中の故障処理を示します。

表 7-7. スタック動作中の故障処理

フォルト条件	デバイスの応答	システムの応答
UVLO	イネーブル信号が Low にプルされる	新しいソフトスタート
OVLO		
サーマル シャットダウン		
電流制限	イネーブル信号は High に維持される	エラー アンプがクランプされる
MODE/SYNC に印加された外部 CLK が失敗する	SYNC_OUT と電力段が内部発振器に切り換わる	デフォルトのスイッチング周波数での通常動作。セカンダリ デバイスは適切な位相シフトを維持。

7.4 デバイスの機能モード

7.4.1 パワーオン リセット (POR)

電源電圧が POR スレッショルド ($V_{IT-(POR)}$) を下回ると、デバイスは POR モードで動作します。

POR モードでは、利用可能な機能はなく、デバイスはレジスタをデフォルト値にリセットします。

電源電圧が POR スレッショルドを上回ると、デバイスは POR モードを終了し、UVLO モードに移行します。

7.4.2 低電圧誤動作防止

電源電圧が POR スレッショルドと UVLO スレッショルドの間にあるとき、デバイスは UVLO モードで動作します。

Copyright © 2026 Texas Instruments Incorporated

デバイスが POR モードから UVLO モードに移行した場合、利用できる機能はありません。デバイスがスタンバイモードから UVLO モードに移行する場合は、出力放電機能が利用可能です。UVLO モードでは、I2 C インターフェイスは使用できません。

電源電圧が POR スレッショルドを下回ると、デバイスは UVLO モードを終了し、POR モードに移行します。電源電圧が UVLO スレッショルドを上回ると、デバイスは UVLO モードを終了し、スタンバイモードに移行します。

7.4.3 スタンバイ

デバイスは、電源電圧が UVLO スレッショルドよりも高い場合、スタンバイモードで動作します。デバイスは初期化を完了し、次のいずれかの条件が成立します。

- EN ピンには low レベルが印加されている
- CONTROL1 レジスタの SWEN = 0
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている
- 電源電圧が OVLO スレッショルドを超えている

スタンバイモードでは、以下の機能が使用できます。

- I2C インターフェイス
- 出力放電
- パワー グッド

電源電圧が UVLO スレッショルドを下回ると、デバイスはスタンバイモードから UVLO モードに移行します。次のすべての条件が満たされると、デバイスはスタンバイモードを終了し、オンモードに移行します。

- EN ピンには high レベルが印加されている
- CONTROL1 レジスタの SWEN = 1
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている
- 電源電圧が OVLO スレッショルドを下回っている

7.4.4 オン

電源電圧が UVLO スレッショルドより高く、次のすべての条件が成立する場合、デバイスはオンモードで動作します。

- EN ピンには high レベルが印加されている
- CONTROL1 レジスタの SWEN = 1
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている
- 電源電圧が OVLO スレッショルドを下回っている
- デバイスの初期化が完了している

すべての機能はオンモードで使用できます。

電源電圧が UVLO スレッショルドを下回ると、デバイスは pn モードを維持し、UVLO モードに移行します。次のいずれかの条件に該当する場合、デバイスはオンモードを終了し v

- EN ピンには low レベルが印加されている
- CONTROL1 レジスタの SWEN = 0
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている
- 電源電圧が OVLO スレッショルドを超えている

7.5 プログラミング

7.5.1 シリアル インターフェイスの説明

I2C は、Philips Semiconductor (現在の NXP Semiconductors)によって開発された 2 線式シリアル インターフェースです (2014 年 4 月 4 日付の I2 C-Bus 仕様とユーザーマニュアル改訂 6 を参照)。バスは、プルアップ構造を持つデータライン (SDA) とクロック ライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I2C 互換のデバイスはすべて、オープン ドレインの I/O ピンである SDA および SCL を介して I2C バスに接続します。コントローラ (通常はマイクロコントローラまたはデジタル信号プロセッサ) がバスを制御します。コントローラ

Copyright © 2026 Texas Instruments Incorporated

は SCL 信号とデバイス アドレスを生成します。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ターゲット はコントローラ デバイスの制御に従ってバス上、データを受信または送信します。

TPSM8287Bxx デバイスはターゲット として動作し、I²C バス仕様で定義されているスタンダード モード (100kbps) とファスト モード (400kbps)、ファスト モード プラス (1Mbps)、高速モード (3.4Mbps) のデータ転送モードをサポートしています。このインターフェイスにより、電源設計の柔軟性が向上し、ほとんどの機能を瞬時のアプリケーション要件に応じて新しい値にプログラムできます。入力電圧が $V_{IT-(POR)}$ を上回っている限り、レジスタの内容はそのまま維持されます。

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、このデータ シートではこれらのモードを F/S モードと呼びます。高速モードのプロトコルは F/S モードとは異なり、HS モードと呼ばれます。このデバイスは 7 ビットアドレッシングをサポートしています。ゼネラルコールアドレスはサポートされていません。

電源投入時の VSETx ピンの状態により、デバイスの I²C ターゲットアドレスが定義されます (表 7-2 を参照)。

TI では、I²C エンジンが確実にリセットされるように、I²C コントローラは、SDA および SCL プルアップ電圧の初期パワーアップ後に I²C バス上で STOP 条件を開始することをお勧めしています。

7.5.2 Standard-Mode、Fast-Mode、Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することで、データ転送を開始します。スタート条件は、図 7-18 に示すように、SCL が High のときに SDA ラインで High から Low への遷移が発生するときです。すべての I²C 互換デバイスは、スタート条件を認識する必要があります。

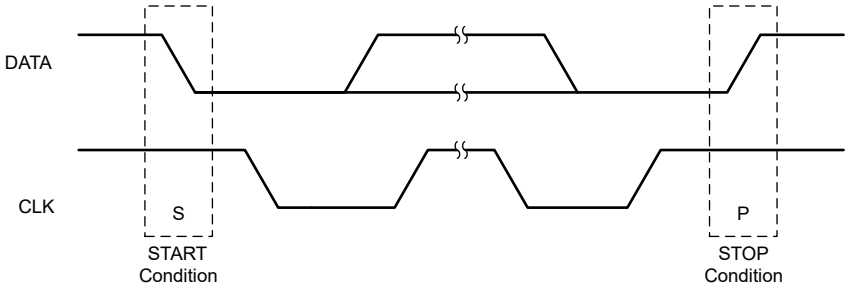


図 7-18. 開始条件と停止条件

次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り / 書き込み方向ビット R/$\overline{W}$ を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、クロック パルスの High 期間中、SDA ラインのデータが安定している必要があります (図 7-19 を参照)。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスを内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 回目の SCL サイクルの High 期間全体の間 SDA ラインを Low にすることで、アクノリッジを生成します (図 7-20 を参照)。このアクノリッジの検出時に、コントローラはターゲットとの通信リンクが確立されたことを認識します。

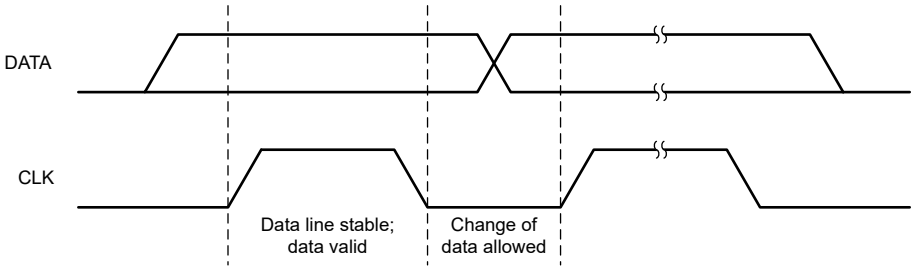


図 7-19. シリアル インターフェイスでのビット転送

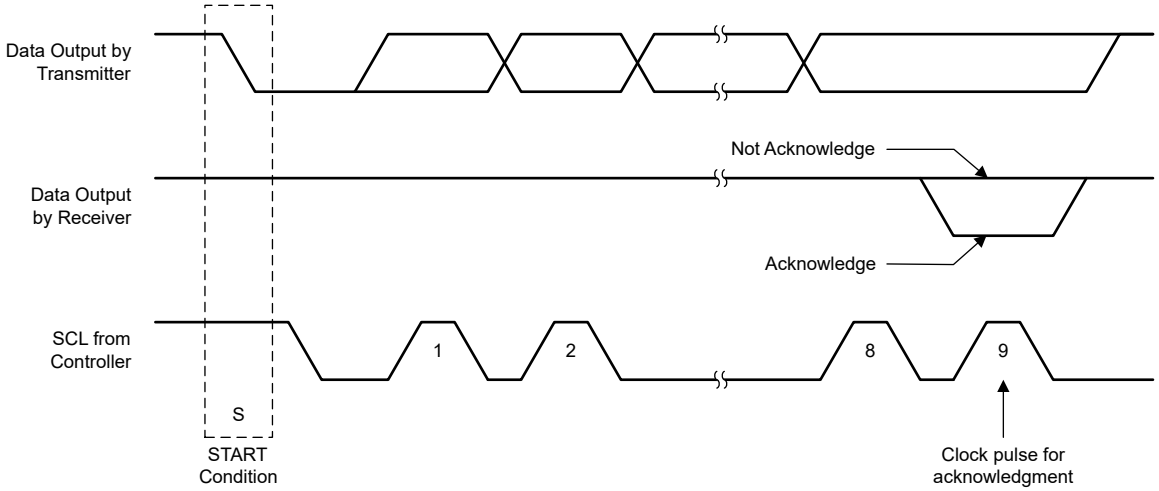


図 7-20. I²C バスのアクノリッジ

コントローラは、データをターゲットへ送信するか (R/$\overline{W}$ ビット 0)、ターゲットからデータを受信するため (R/$\overline{W}$ ビット 1)、さらに SCL サイクルを生成します。どちらの場合も、コントローラから送信されたデータに対してターゲットがアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらが受信側かに応じて、コントローラが生成する場合とターゲットが生成する場合があります。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータ シーケンスを、必要なだけ続けることができます。(図 7-21 を参照)

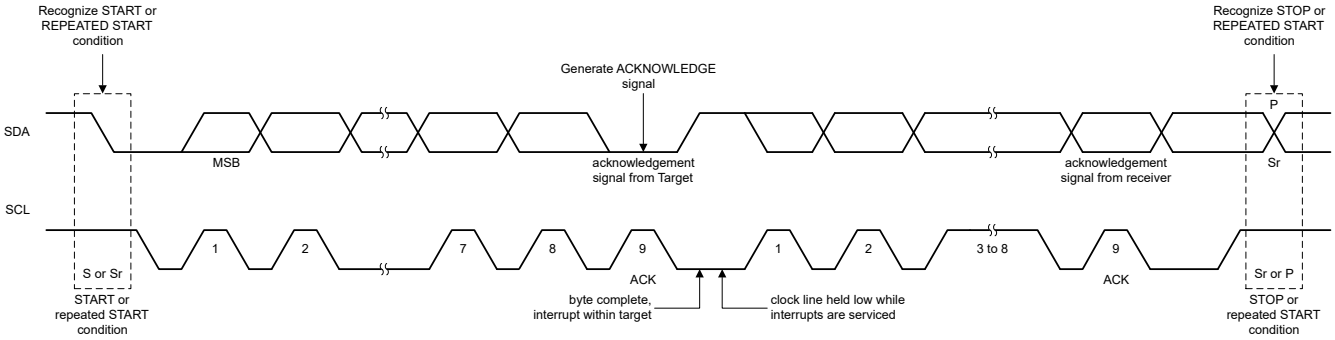


図 7-21. バス プロトコル

データ転送を伝達するために、コントローラは、SCL ラインが high のときに SDA ラインを low から high にして、ストップ条件を生成します (図 7-18 を参照)。このアクションによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I² C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、すべてのデバイスはバスが解放されたことを認識し、スタート条件および一致するアドレスが送信されるのを待ちます。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、0x00 が読み出されます。

7.5.3 I²C HS モードプロトコル

コントローラはスタート条件を生成してから、HS コントローラ コードの 00001XXX を含む、有効なシリアル バイトを続けます。この送信は、F/S モードのときに、400kbps 以下の周波数で行われます。どのデバイスも、HS コントローラ コードをアクノリッジすることを許可されていませんが、すべてのデバイスが HS コントローラ コードを認識し、3.4Mbps での動作をサポートするよう内部設定を切り替える必要があります。

次に、コントローラは再スタート条件を生成します (再スタート条件のタイミングはスタート条件と同じです)。この再スタート条件の後、プロトコルは F/S モードと同じですが、許容転送速度は最高 3.4Mbps になります。終了条件を使用すると HS モードは終了し、ターゲット デバイスのすべての内部設定は F/S モードをサポートするよう切り換わります。バスを HS モードで保護するには、終了条件を使用する代わりに、再スタート条件を使用します。

Copyright © 2026 Texas Instruments Incorporated

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、0x00 が読み出されます。

7.5.4 I²C 更新シーケンス

単一の更新には、スタート条件、有効な I²C ターゲット アドレス、レジスタ アドレス バイト、データ バイトが必要です。各バイトを受信すると、デバイスは 1 つのクロック パルスの High 期間中に SDA ラインを low にすることで、アクノリッジを行います。有効な I²C アドレスによって、ターゲットが選択されます。ターゲットは、LSB バイトに続くアクノリッジ信号の立ち下がりエッジで更新を実行します。



図 7-22. スタンダード、ファスト、ファスト プラスの各モードでの「*書き込み*」データ転送形式

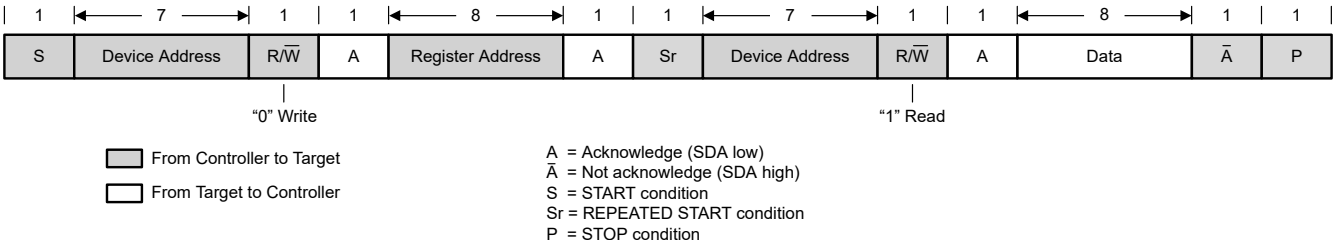


図 7-23. スタンダード、ファスト、ファスト プラスの各モードでの「*読み取り*」データ転送形式

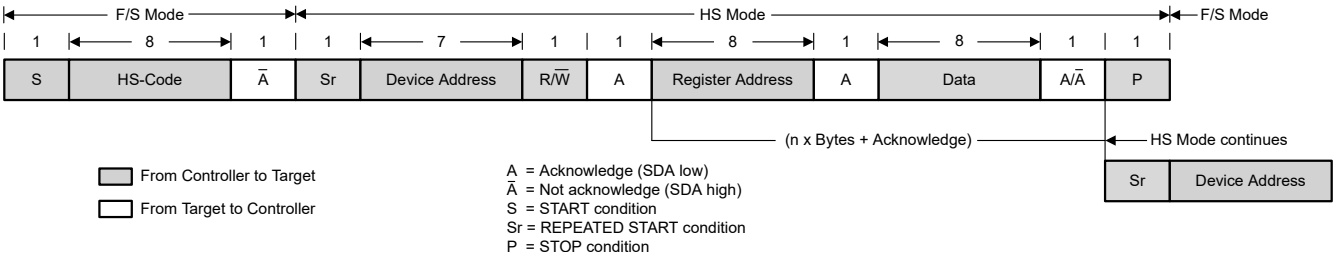


図 7-24. HS モードのデータ転送形式

7.5.5 I²C レジスタ リセット

I²C レジスタは、次の方法でリセットできます。

- 入力電圧を $V_{IT-(POR)}$ よりも低くプルする (セクション 7.4.1 を参照)。
- CONTROL レジスタの RESET ビットをセットする。RESET = 1 の場合、すべてのレジスタがデフォルト値にリセットされ、直ちに新しい起動が開始されます。$t_{d(EN)2}$ の後、すべての I²C レジスタに再度アクセスできます。

8 デバイスのレジスタ

表 8-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	VSET	出力電圧の設定ポイント	セクション 8.1
1h	CONTROL1	コントロール 1	セクション 8.2
2h	CONTROL2	コントロール 2	セクション 8.3
3h	CONTROL3	コントロール 3	セクション 8.4
4h	STATUS	ステータス	セクション 8.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.1 VSET レジスタ (オフセット = 0h) [リセット = XXh]

図 8-1 に、VSET を示し、表 8-3 に、その説明を示します。

概略表に戻ります。

このレジスタは出力電圧の設定ポイントを制御します

図 8-1. VSET レジスタ

7	6	5	4	3	2	1	0
VSET							
R/W-xxxxxxxxb							

表 8-3. VSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VSET	R/W	xxxxxxxxb	出力電圧の設定ポイント (CONTROL2 レジスタの範囲設定ビットも参照)。 範囲 1: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 1.25mV 範囲 2: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 2.5mV 範囲 3: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 5mV 電源投入時の VSETx ピンの状態によって、リセット値が決まります。

Copyright © 2026 Texas Instruments Incorporated

8.2 CONTROL1 レジスタ (オフセット = 1h) [リセット = 28h]

図 8-2 に、CONTROL1 を示し、表 8-4 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-2. CONTROL1 レジスタ

7	6	5	4	3	2	1	0
リセット	SSCEN	SWEN	FPWMEN	DISCHEN	HICCUPEN	VRAMP	
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-1b	R/W-0b	R/W-00b	

表 8-4. CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	リセット	R/W	0b	デバイスのリセット。 0b = 影響なし 1b = すべてのレジスタをデフォルト値にリセット。その上でデバイスは初期化をもう一度実行します。 このビットを読み取ると、常に 0 が返されます。
6	SSCEN	R/W	0b	スペクトラム拡散クロック処理イネーブル。 0b = SSC 動作が無効 1b = SSC 動作が有効
5	SWEN	R/W	1b	ソフトウェアイネーブル。 0b = スイッチングが無効 (レジスタ値は保持) 1b = スイッチングが有効 (イネーブル遅延なし)
4	FPWMEN	R/W	0b	強制 PWM イネーブル。 0b = 静止電力節約モードが有効 1b = 強制 PWM 動作が有効 このビットは MODE/SYNC ピンと論理 OR されます。MODE/SYNC ピンに High レベルまたは同期クロックが印加されると、デバイスはこのビットの状態に関係なく、強制 PWM で動作します。
3	DISCHEN	R/W	1b	出力放電イネーブル。 0b = 出力放電が無効。 1b = 出力放電が有効。
2	HICCUPEN	R/W	0b	ヒカップ動作イネーブル。 0b = ヒカップ動作が無効 1b = ヒカップ動作が有効。スタック動作中はヒカップ動作を有効にしないでください
1-0	VRAMP	R/W	00b	1 つの出力電圧設定から別の出力電圧設定に変更するときの出力電圧のランプ速度。 00b = 10mV/µs 01b = 5mV/µs 10b = 1.25mV/µs 11b = 0.5mV/µs

Copyright © 2026 Texas Instruments Incorporated

8.3 CONTROL2 レジスタ (オフセット = 2h) [リセット = 1Xh]

図 8-3 に、CONTROL2 を示し、表 8-5 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-3. CONTROL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			SYNC_OUT_PHASE	VRANGE		SSTIME	
R-0b			R/W-1b	R/W-xxb		R/W-10b	

表 8-5. CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	将来使用のため予約済み。将来のデバイスバリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
4	SYNC_OUT_PHASE	R/W	1b	SYNC_OUT の位相シフト (内部クロックを基準とする場合、または MODE/SYNC で外部クロックを印加した場合)。 0b = SYNC_OUT は 120° 位相シフト 1b = SYNC_OUT は 180° 位相シフト。180° の位相関係は、プライマリ側からセカンダリ側の最初のコンバータでのみ有効です。
3-2	VRANGE	R/W	xxb	出力電圧範囲。 00b = 0.4V ～0.71875V (1.25mV ステップ) 01b = 0.4V ～ 1.0375V (2.5mV ステップ) 10b = 0.4V to 1.675V (5mV ステップ) 11b = 0.4V ～ 1.675V (5 mV 刻み) 電源投入時の VSETx ピンの状態によって、リセット値が決まります。
1-0	SSTIME	R/W	10b	ソフトスタートランプ時間。 00b = 0.5ms 01b = 0.77ms 10b = 1ms 11b = 2ms

Copyright © 2026 Texas Instruments Incorporated

8.4 CONTROL3 レジスタ (オフセット = 3h) [リセット = 00h]

図 8-4 に、CONTROL3 を示し、表 8-6 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-4. CONTROL3 レジスタ

7	6	5	4	3	2	1	0
予約済み					DROOPEN	SINGLE	PGBLNKDVS
R-0b					R/W-0b	R/W-0b	R/W-0b

表 8-6. CONTROL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	将来使用のため予約済み。将来のデバイスバリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
2	DROOPEN	R/W	0b	ドループ補償イネーブル。 0b =ドループ補償が無効 1b =ドループ補償が有効
1	SINGLE	R/W	0b	単一動作。このビットは、内部 EN プルダウンと SYNCOUT の機能を制御します。 0b = EN ピンプルダウンで SYNC_OUT が有効。I_Q を 600µA (標準値) 増やします。 1b = EN ピンプルダウンで SYNC_OUT が無効。スタック動作中は設定しないでください
0	PGBLNKDVS	R/W	0b	DVS 中のパワーグッドブランキング。 0b = PG ピンはウィンドウ コンパレータの出力を反映します 1b = PG ピンは DVS 中ハイ インピーダンスになります

Copyright © 2026 Texas Instruments Incorporated

8.5 STATUS レジスタ (オフセット = 4h) [リセット = 02h]

図 8-5 に、STATUS を示し、表 8-7 に、その説明を示します。

概略表に戻ります。

このレジスタは、デバイス ステータス フラグを返します

図 8-5. ステータス レジスタ

7	6	5	4	3	2	1	0
予約済み		HICCUP	ILIM	TWARN	TSHUT	PBUV	PBOV
R-0b		R-0b	R-0b	R-0b	R-0b	R-1b	R-0b

表 8-7. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	将来使用のため予約済み。将来のデバイス バリエーションとの互換性を確保するため、これらのビットは無視してください。
5	HICCUP	R	0b	ヒカップ。このビットは、STATUS レジスタを最後に読み取ったとき以降にヒカップ イベントが発生したかどうかを報告します。 0b = ヒカップ イベントは発生していない 1b = ヒカップ イベントが発生した
4	ILIM	R	0b	電流制限。このビットは、STATUS レジスタを最後に読み取った後に電流制限イベントが発生したかどうかを報告します。 0b = 電流制限イベントは発生していない 1b = 電流制限イベントが発生した
3	TWARN	R	0b	過熱警告。このビットは、STATUS レジスタを最後に読み取った後に過熱警告イベントが発生したかどうかを報告します。 0b = 過熱警告イベントは発生していない 1b = 過熱警告イベントが発生した
2	TSHUT	R	0b	サーマル シャットダウン。このビットは、STATUS レジスタを最後に読み取った後にサーマル シャットダウン イベントが発生したかどうかを報告します。 0b = サーマル シャットダウン イベントは発生していない 1b = サーマル シャットダウン イベントが発生した
1	PBUV	R	1b	パワーバッド低電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が低すぎる) が発生したかどうかを示します。 0b = パワーバッド低電圧イベントは発生していない 1b = パワーバッド低電圧イベントが発生した
0	PBOV	R	0b	パワーバッド過電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が高すぎる) が発生したかどうかを示します。 0b = パワーバッド過電圧イベントは発生していない 1b = パワーバッド過電圧イベントが発生した

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

以下のセクションでは、代表的なアプリケーション向けの電源設計を完成させるための外付け部品の選択について説明します。このセクションは、過渡性能を向上させたり、アプリケーション要件に一致するように出力コンデンサを小さくしたりするために、設計をさらに調整する際の適切な出発点として活用できます。この最適化時には、寄生部品を使用した電力分配回路のシミュレーションを考慮する必要があります。以下のような計算ができる表計算用のコンポーネント計算機については、*TPSM8287B-COMPONENT-CALCULATOR* を参照してください。

ドループ補償機能を使用すると、必要な出力キャパシタンスをさらに低減したり、負荷ステップ中に出力電圧ウィンドウを狭くしたりできます。詳細については、セクション 7.3.5.5 を参照してください。

必要なパワー インダクタは TPSM8287Bxx 内に内蔵されています (ブロック図を参照)。内蔵のシールド付きインダクタのインダクタンスと許容誤差をセクション 4 に示します。すべての TPSM8287Bxx バージョンは、ピン互換および BOM 互換です。

9.2 代表的なアプリケーション

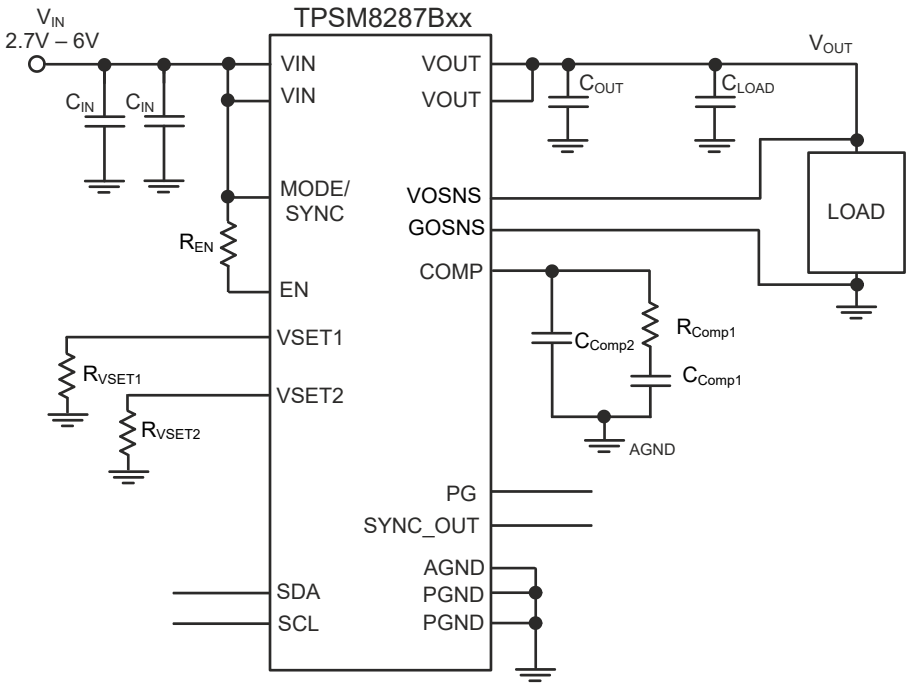


図 9-1. 代表的なアプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 部品のリスト

リファレンス	値	説明	部品番号	メーカー(1)
C_{Comp1}	15nF	セラミック コンデンサ、X7R	標準	標準
C_{OUT}	2 × 22µF	セラミックコンデンサ、6.3V、X6S、サイズ 0603	GRM188C80J226ME01D	Murata (村田製作所)
C_{LOAD}	2 × 10µF	セラミックコンデンサ、4V、X6S、サイズ 0402	GRM155C80G106ME18D	Murata (村田製作所)
C_{LOAD}	2 × 22µF	セラミックコンデンサ、6.3V、X6S、サイズ 0603	GRM188C80J226ME01D	Murata (村田製作所)
C_{LOAD}	47µF	セラミックコンデンサ、4V、X6S、サイズ 0603	GRM188C80G476ME01D	Murata (村田製作所)
C_{IN}	4 × 22µF	セラミックコンデンサ、10V、X6S、サイズ 0603	GRM188C81A226ME01D	Murata (村田製作所)
R_{Comp1}	301 Ω	抵抗 1%、0.1W	標準	標準
R_{VSET1}、R_{VSET2}	表 7-2 に従って設定します	抵抗 5%、0.1W	標準	標準
R_{EN}	15kΩ	抵抗 5%、0.1W	標準	標準

(1) *「サード パーティー製品に関する免責事項」*をご覧ください。

9.2.1 設計要件

次の表に、TPSM8287B30LAPx デバイスを使用したこのアプリケーション例の動作パラメータを示します。

表 9-2. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	2.7V～6.0V
V_{OUT}	出力電圧	0.60V
TOL_{VOUT}	アプリケーションで許容される出力電圧の許容誤差	±5.0%
TOL_{DC}	TPSM8287Bxx の出力電圧許容誤差 (DC 精度)	±0.8%
$\Delta I_{OUT(step)}$	出力電流負荷ステップ	±3.0A
t_t	負荷ステップ遷移時間	1µs
f_{SW}	スイッチング周波数	1.5MHz
L	インダクタ内蔵	50nH
TOL_{IND}	内蔵インダクタの許容誤差	±20%
g_m	エラー アンプの相互コンダクタンス	1.5mS
τ	エミュレート電流時定数	12.5µs
BW_T	ターゲットのループ帯域幅	200kHz
N_Φ	並列接続デバイス数 (相)	1

予備計算

電源の最大許容偏差は ±5.0% です。TPSM8287Bxx の DC 精度は ±0.8% と規定されているため、過渡時の最大出力電圧の変動は次の式で求められます。

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \quad (5)$$

$$\Delta V_{OUT} = \pm 0.6 \times (5.0\% - 0.8\%) = \pm 25.2mV \quad (6)$$

式 7 はインダクタのピーク ツー ピーク電流リップルを計算します。このリップルは、最大入力電圧で最大になります。

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN(max)}}\left(\frac{V_{IN(max)} - V_{OUT}}{L \times f_{sw} \times N\Phi}\right) \quad (7)$$

$$I_{L(PP)} = \frac{0.6}{6.0}\left(\frac{6.0 - 0.6}{50 \times 10^{-9} \times 1.5 \times 10^{6} \times 1}\right) = 7.2A \quad (8)$$

Copyright © 2026 Texas Instruments Incorporated

最大負荷ステップは、アプリケーションからの負荷ステップがインダクタリップル電流のピーク (トラフ) とまったく同時に発生した場合に発生し、次の式で求められます。

$$\Delta I_{OUT(max)} = \Delta I_{OUT(step)} + \frac{\Delta I_{L(PP)}}{2} \quad (9)$$

$$\Delta I_{OUT(max)} = 3.0 + \frac{7.2}{2} = 6.6A \quad (10)$$

9.2.2 詳細な設計手順

以下のサブセクションでは、特定のアプリケーションの規定過渡要件を満たすために必要な外部部品の計算方法について説明します。計算には部品のワーストケースの変動が含まれ、RMS 手法を使用して相関しないパラメータの変動を結合します。

以下のような計算ができる表計算用のコンポーネント計算機については、*TPSM8287B-COMPONENT-CALCULATOR* を参照してください。

9.2.2.1 入力コンデンサの選択

入力コンデンサは、入力電圧の過渡イベントを和らげ、また、コンバータが電源の影響を受けないようにします。最良のフィルタ処理を行うため、TI では、X7R マルチレイヤセラミック コンデンサ (MLCC) を推奨します。また、このコンデンサは、VIN と PGND との間に、これらのピンにできるだけ近づけて配置する必要があります。周囲温度が 85℃ を下回るアプリケーションでは、X5R 誘電体を持つコンデンサを使用できます。高容量のセラミック コンデンサには DC バイアス効果による容量の減少が発生し、最終的な実効容量に大きな影響を与えます。パッケージ サイズと電圧定格を考慮しながら、適切なコンデンサを慎重に選択してください。デバイス バージョンによっては、モジュール内に最大 4 個の高周波入力コンデンサが含まれており、EMI を低減し、設計全体のサイズを縮小し、基板レイアウトを簡素化できます。これらの内蔵コンデンサは高周波数をターゲットとしているため、それぞれ 5µF に最小実効容量を持つ 4 つの追加コンデンサが必要です。入力コンデンサを内蔵していないデバイス バージョンでは、入力ループの寄生インダクタンスを低減するため、高周波コンデンサをモジュールにできる限り近づけて配置することを推奨します。入力コンデンサが内蔵されたデバイス バージョンの詳細については、セクション 4 を参照してください。入力コンデンサを選択するときは、モジュールに向かって流れる合計入力ループ インピーダンスが 1.2nH 未満であることを確認してください。

TPSM8287Bxx デバイスは、パッケージの反対側に 2 組の VIN ピンと PGND ピンを持つバタフライまたは並列レイアウトを備えています。この機能により、入力コンデンサを PCB 上に対称に配置できるため、磁界が互いに打ち消し合い、EMI が低減されます。さらに、入力コンデンサと IC の間の寄生ループ インダクタンスは、このピン配置を使用すると低減できます。

コンバータのデューティ サイクルは次の式で求められます。

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \quad (11)$$

ここで

- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。
- η は効率です。

$$D = \frac{0.60}{0.75 \times 2.7} = 0.296 \quad (12)$$

システムレベルの入力電圧リップル要件を満たすために必要な入力容量の値を、式 13 に示します。この例では、最も低い入力電圧と最大の負荷電流を使用して、ワーストケースの 100mV の入力電圧リップルを生成します。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \quad (13)$$

Copyright © 2026 Texas Instruments Incorporated

ここで

- D はデューティ サイクル。
- f_{sw} はスイッチング周波数。
- I_{OUT} は出力電流。

$$C_{IN} = \frac{0.296 \times (1 - 0.296) \times 30.0}{0.1 \times 1.5 \times 10^{6}} = 42\mu F \quad (14)$$

式 13 で計算した C_{IN} の値は、すべてのディレーティング、許容誤差、経年劣化の影響を考慮した後の「実効」容量です。

9.2.2.2 ターゲット ループ帯域幅の選択

制御ループ帯域幅は、デバイスが出力電圧の変化に対してどれだけ迅速に応答するかを測定します。TPSM8287Bxx 外部補償を使用すると、高速応答と安定性およびリンギングの間のトレードオフのバランスを取るために、ループ帯域幅を調整できます。R_{Comp1} の抵抗と出力キャパシタンスが、ループ帯域幅を調整する主な方法です。

TI では、簡単な設計を実現するため、目標ループ帯域幅を 200kHz に設定することをお勧めしています。アプリケーションで大きな負荷過渡が予想される場合は、目標帯域幅をスイッチング周波数の約 1/4 に設定できます。この設計例では、200kHz の目標帯域幅が使用されています。

9.2.2.3 補償抵抗の選択

式 15 を使用して、補償抵抗 R_{Comp1} のの推奨値を計算します。

$$R_{Comp1} = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT(step)} \times L}{4 \times \tau \times \Delta V_{OUT} \times N\Phi}\right)(1 + TOL_{IND}) \quad (15)$$

$$R_{Comp1} = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 3.0 \times 50 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 25.2 \times 10^{-3} \times 1}\right)(1 + 20\%) = 299.2\Omega \quad (16)$$

計算された値より大きい標準部品を選択します。この例では 301Ω の抵抗が選択されています。選択した値を使用して、さらに計算する必要があります。

9.2.2.4 出力コンデンサの選択

実際には、合計出力キャパシタンスは通常、異なるコンデンサの組み合わせで構成されます。その中では、大容量のコンデンサは低い周波数で負荷電流を供給し、小さなコンデンサは負荷インピーダンス要件を満たすため高周波数で負荷電流を供給します。出力コンデンサの値、タイプ、位置は通常、負荷によって定義されます。最良のフィルタ処理を行うため、TI では、X7R マルチレイヤセラミック コンデンサ (MLCCs) を推奨します。また、このコンデンサは、VOUT と PGND 両方との間に、これらのピンにできるだけ近づけて配置する必要があります。周囲温度が 85°C を下回る用途では、X5R 誘電体を持つコンデンサを使用できます。高容量のセラミック コンデンサには DC バイアス効果による容量の減少が発生し、最終的な実効容量に大きな影響を与えます。パッケージ サイズと電圧定格を考慮しながら、適切なコンデンサを慎重に選択してください。以下の計算では、合計出力キャパシタンスの実効値を使用します。

TPSM8287Bxx デバイスには、VOUT ピンと PGND ピンをパッケージの反対側に配置したバタフライまたは並列レイアウト機能があります。この機能により、PCB 上に出力コンデンサを対称に配置し、磁界が互いに打ち消し合うようにすることで、EMI を低減できます。さらに、TPSM8287Bxx の一部のデバイス バリアントは 2 個の高周波出力コンデンサと 2 個のバルク出力コンデンサを内蔵しており、出力ループの面積をいっそう低減し、必要な外部静電容量も低減することができます。その 2 個の内蔵バルク コンデンサがそれぞれ 7µF の最小実効容量を持つと考えることができます。出力コンデンサが内蔵されたデバイス バージョンの詳細については、セクション 4 を参照してください。

TPSM8287Bxx デバイスは、過酷な負荷過渡に対応するよう最適化されています。デバイスの外部ループ補償は、与えられた出力キャパシタンスを使用して、目的の応答に合わせてループ応答を調整します。以下の計算では、表 9-2 で指定された負荷ステップを満たす設計を作成できます。これらの計算を実行すると、通常、合計出力キャパシタンスは数百 µF になります。

Copyright © 2026 Texas Instruments Incorporated

TPSM8287Bxx デバイス、出力コンデンサ、負荷を互いに非常に近くに配置した場合に最高の出力電圧レギュレーションが実現され、デバイスと負荷の間の距離と追加インダクタンスを絶対最小値に近づけることができます。

この配置を実現できない場合、合計容量の大部分を負荷に配置する必要があります。2 個のコンデンサのみを TPSM8287Bxx デバイスに配置します。TI では、負荷に配置される容量は、本デバイスに配置された容量の量以上とすることを推奨します。

アプリケーションに過酷な負荷過渡が含まれていない場合は、出力キャパシタンスの値を小さくすることができます。推奨動作条件で最小値未満の出力キャパシタンスを使用しないでください。

コンバータの過渡応答は、次の 2 つの条件のいずれかで定義されます。

- インダクタを流れる電流のスルーレート この場合、コンバータの帰還ループが飽和します。
- コンバータがレギュレーション状態を維持し、ループが飽和しないループ帯域幅 ($BW_\tau < f_{SW}/4$)

上記の基準が、特定のアプリケーションに適用されるのは、使用される動作条件と部品の値によって異なります。どちらの場合も出力キャパシタンスを計算し、2 つの値のうち大きい方を選択します。

コンバータがレギュレーション状態のままの場合、必要な最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_{Comp1}}{2 \times \pi \times \frac{L}{N\Phi} \times BW_\tau}\right)\left(1 + \sqrt{TOL_{IND}{}^2 + TOL_{fSW}{}^2}\right) \quad (17)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 301}{2 \times \pi \times \frac{50 \times 10^{-9}}{1} \times 200 \times 10^{3}}\right)\left(1 + \sqrt{20\%^2 + 10\%^2}\right) = 110\mu F \quad (18)$$

コンバータ ループが飽和する場合、最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{L \times \Delta I_{OUT(max)}{}^2}{2 \times V_{OUT} \times N\Phi} - \frac{\Delta I_{OUT(step)} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (19)$$

$$C_{OUT(min)(sat)} = \frac{1}{25 \times 10^{-3}}\left(\frac{50 \times 10^{-9} \times 6.6^2}{2 \times 0.6 \times 1} - \frac{3.0 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%) = 15\mu F \quad (20)$$

この場合は、出力キャパシタンスの 2 つの値のうち大きい方として、$C_{OUT(min)(reg)}$= 110µF を選択します。

表 9-1 に、選択した出力コンデンサの一覧を示します。2 個の 22µF コンデンサを IC の近くに配置しており、それぞれ 15µF の最小実効容量を実現します。2 個の 10µF、2 個の 22µF、および 1 個の 47µF コンデンサを負荷の近くに配置することで、負荷過渡に対して低インピーダンスと低い出力電圧リップルを実現しています。これらのコンデンサは、実効容量の 99µF とほぼ等しい値をもたらします。モジュール内のコンデンサを内蔵したデバイス バリアントでは、追加の 14µF が用意されています。これらを合わせて、実効容量の 113µF は、上記で計算される必要な最小値に非常に近くなります。以後の計算には、C_{OUT_eff} = 113µF を使用します。

式 21 は出力キャパシタンスの大部分が負荷に配置されていることを確認します。比率が 1 未満の場合は、負荷の容量を増やすか、デバイス、出力キャパシタンス、負荷を互いに隣接して配置します。これにより、出力キャパシタンス間に差が生じません。

$$\frac{C_{LOAD_eff}}{C_{Converter_eff} + C_{Integrated_eff}} > 1 \quad (21)$$

$$\frac{69 \times 10^{-6}}{2 \times 15 \times 10^{-6} + 14 \times 10^{-6}} > 1 = \text{True} \quad (22)$$

式 23 は、実効出力キャパシタンスの値に基づいて出力電圧リップルを計算します。

Copyright © 2026 Texas Instruments Incorporated

$$V_{OUT(p-p)} = \frac{I_{L(PP)}}{8 \times C_{OUT_eff} \times f_{sw}} \quad (23)$$

$$V_{OUT(p-p)} = \frac{7.2}{8 \times 113 \times 10^{-6} \times 1.5 \times 10^{6}} = 5.3mV \quad (24)$$

アプリケーションでは、出力コンデンサの ESR および ESL、アプリケーション基板の寄生素子によって、リップルが多少高くなる可能性があります。

9.2.2.5 補償コンデンサ C_{Comp1} の選択

最初に、式 25 を使用してループの帯域幅を計算します。

$$BW = \frac{\tau \times g_m \times R_{Comp1}}{2\pi \times \frac{L}{N\Phi} \times C_{OUT_eff}} \quad (25)$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 301}{2\pi \times \frac{50 \times 10^{-9}}{1} \times 113 \times 10^{-6}} = 159kHz \quad (26)$$

式 27 を使用して C_{Comp1} の推奨値を計算します。

$$C_{Comp1} = \frac{2}{\pi \times BW \times R_{Comp1}} \quad (27)$$

$$C_{Comp1} = \frac{2}{\pi \times 159 \times 10^{3} \times 301} = 13.3nF \quad (28)$$

最も近い標準値は 15nF です。

9.2.2.6 補償コンデンサ C_{Comp2} の選択

補償コンデンサ C_{Comp2} はオプションのコンデンサで、TI では COMP ピンから離して高周波ノイズをバイパスすることを推奨します。このコンデンサの値は重要ではありません。代表的なアプリケーションでは 10pF または 22pF のコンデンサを推奨します。

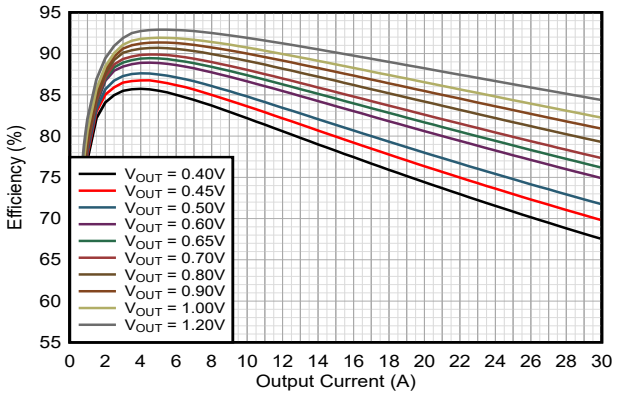
このコンデンサは、システム出力電圧の配線とデカップリングネットワークで発生する高周波のゼロまたは共振を抑制するために、より大きなものにすることができます。次の式は、C_{Comp2} によって生成される極を計算します。

$$f_{pole} = \frac{1}{2 \times \pi \times R_{Comp1} \times C_{Comp2}} \quad (29)$$

Copyright © 2026 Texas Instruments Incorporated

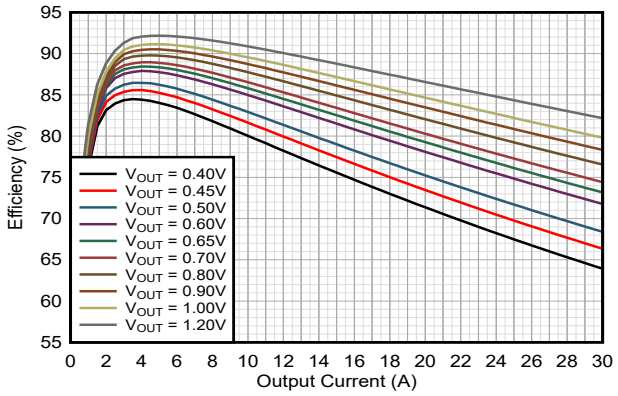
9.2.3 アプリケーション曲線

V_{IN} = 5.0V、V_{OUT} = 0.9V、T_A = 25°C、BOM = 表 9-1、特に注記の無い限り。



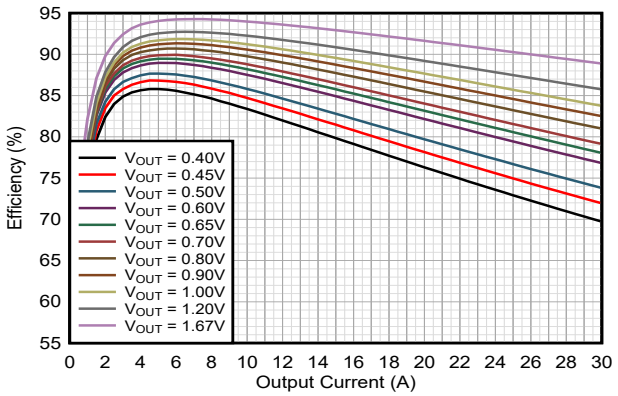
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 25°C

図 9-2. 効率 TPSM8287B30xx FPWM



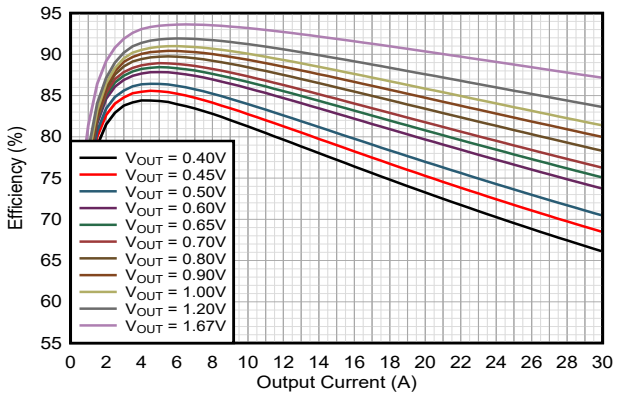
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 85°C

図 9-3. 効率 TPSM8287B30xx FPWM



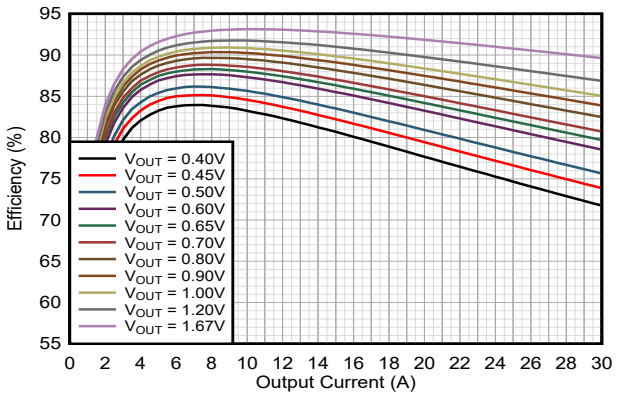
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 25°C

図 9-4. 効率 TPSM8287B30xx FPWM



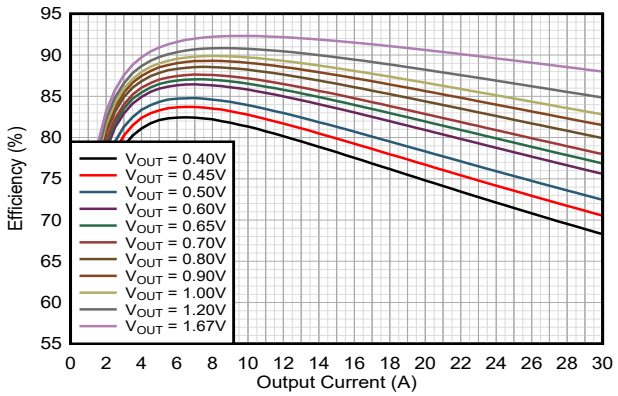
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 85°C

図 9-5. 効率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 25°C

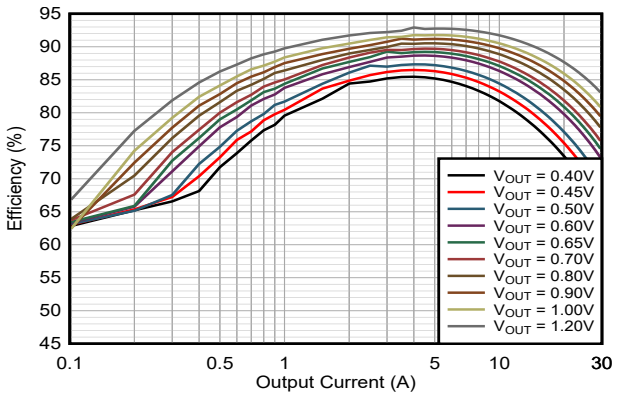
図 9-6. 効率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 85°C

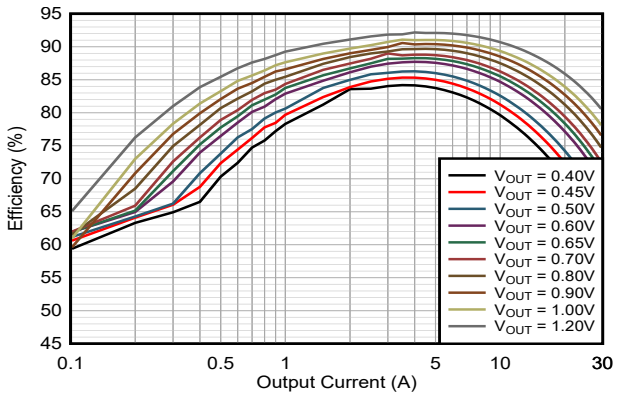
図 9-7. 効率 TPSM8287B30xx FPWM

Copyright © 2026 Texas Instruments Incorporated



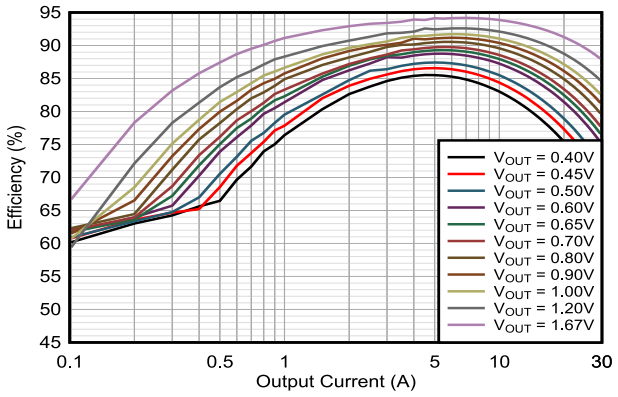
V_{IN} = 2.7V F_{SW} = 1.5MHz T_A = 25℃

図 9-8. 効率 TPSM8287B30xx PSM



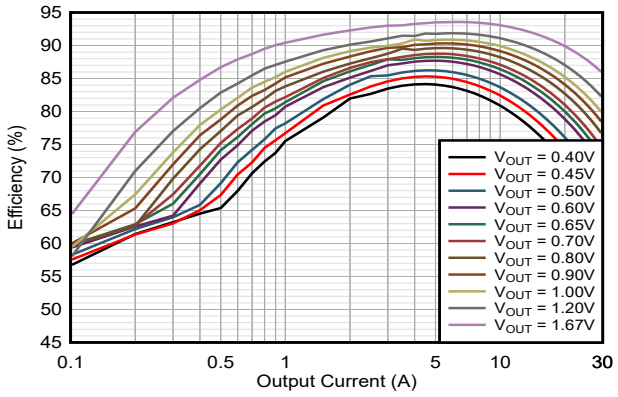
V_{IN} = 2.7V F_{SW} = 1.5MHz T_A = 85℃

図 9-9. 効率 TPSM8287B30xx PSM



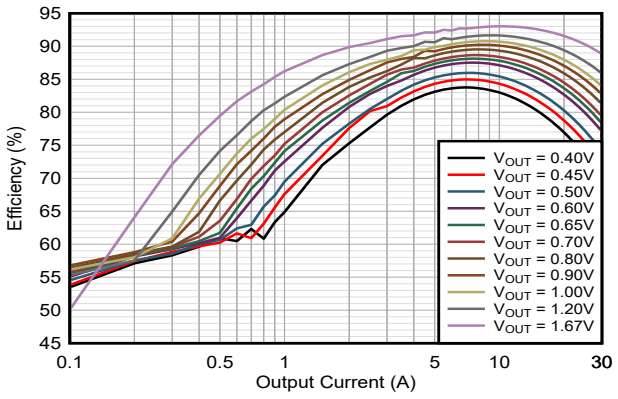
V_{IN} = 3.3V F_{SW} = 1.5MHz T_A = 25℃

図 9-10. 効率 TPSM8287B30xx PSM



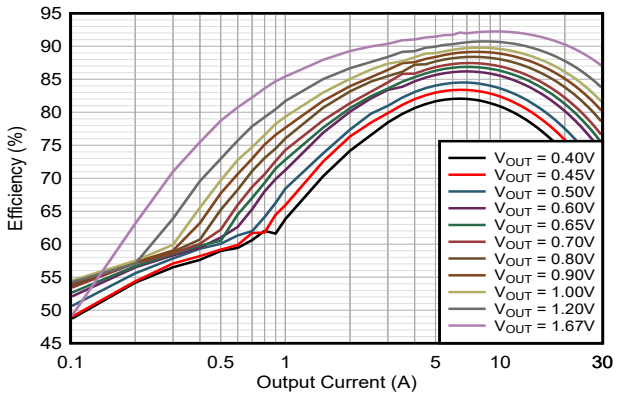
V_{IN} = 3.3V F_{SW} = 1.5MHz T_A = 85℃

図 9-11. 効率 TPSM8287B30xx PSM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_A = 25℃

図 9-12. 効率 TPSM8287B30xx PSM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_A = 85℃

図 9-13. 効率 TPSM8287B30xx PSM

Copyright © 2026 Texas Instruments Incorporated

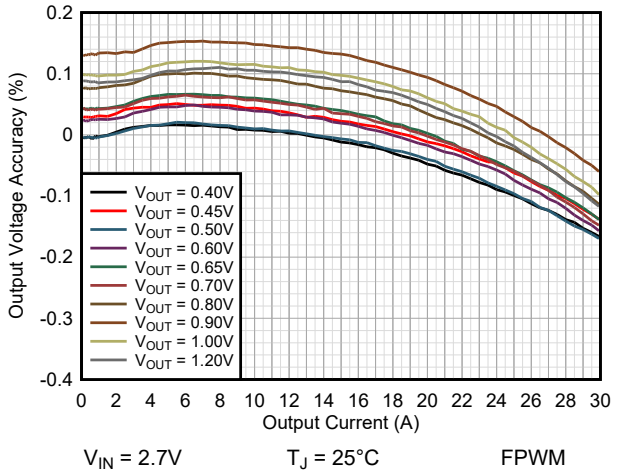


図 9-14. 負荷レギュレーション TPSM8287B30xx

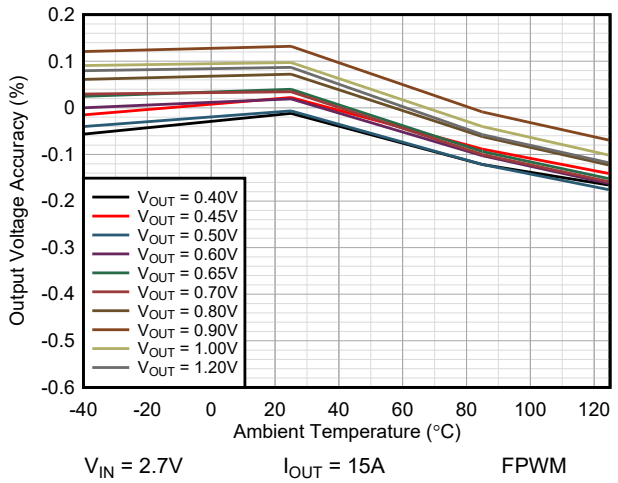


図 9-15. Vout の精度と温度との関係 TPSM8287B30xx

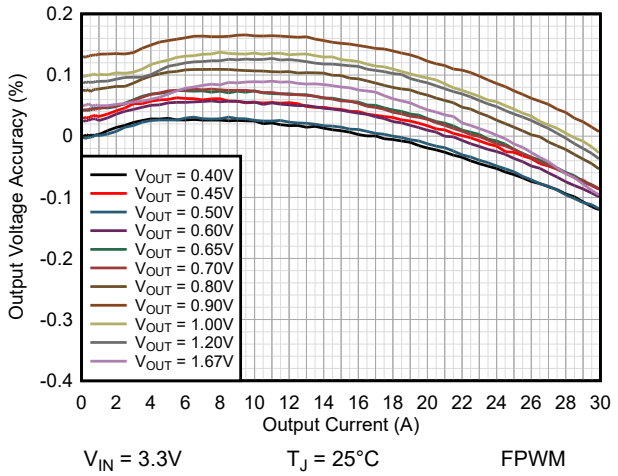


図 9-16. 負荷レギュレーション TPSM8287B30xx

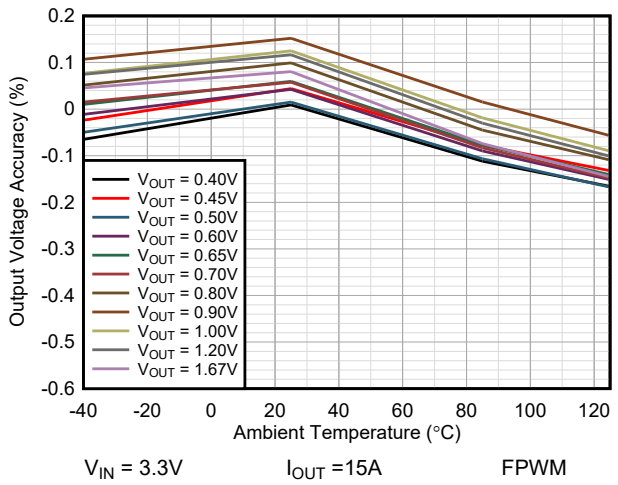
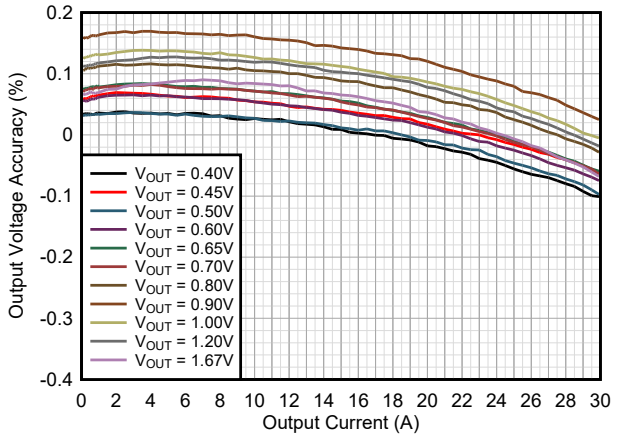


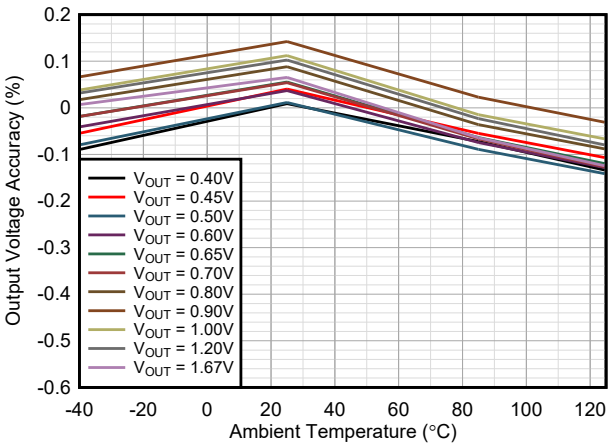
図 9-17. Vout の精度と温度との関係 TPSM8287B30xx

Copyright © 2026 Texas Instruments Incorporated



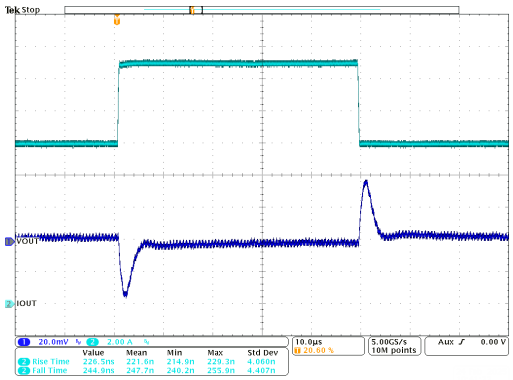
V_{IN} = 5.0V T_J = 25°C FPWM

図 9-18. 負荷レギュレーション TPSM8287B30xx



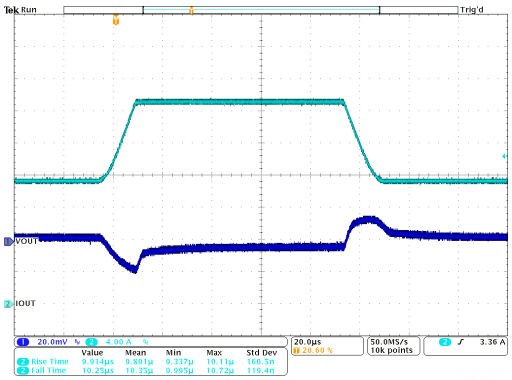
V_{IN} = 5.0V I_{OUT} = 15A FPWM

図 9-19. Vout の精度と温度との関係 TPSM8287B30xx



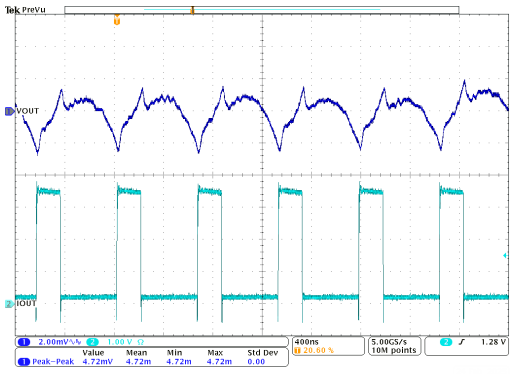
Vout=0.9V $C_{OUT(eff)}$=100µF Iout=10A→15A→10A (22A/µs)

図 9-20. 負荷過渡 TPSM8287B30HAPx



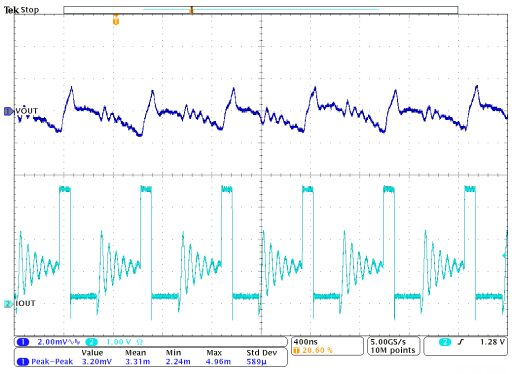
Vout=0.9V $C_{OUT(eff)}$=100µF Iout=15A→25A→15A (1A/µs)

図 9-21. 負荷過渡 TPSM8287B30HAPx



Vout = 0.9V I_{OUT} = 15A

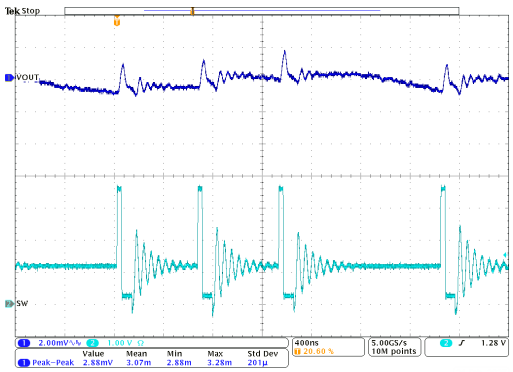
図 9-22. PWM-CCM 動作 TPSM8287B30HAPx



Vout = 0.9V I_{OUT} = 1A

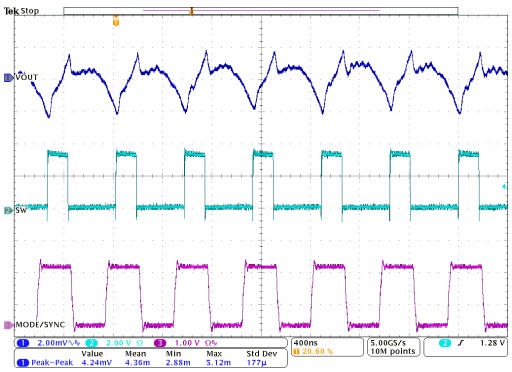
図 9-23. PWM-DCM 動作 TPSM8287B30HAPx

Copyright © 2026 Texas Instruments Incorporated



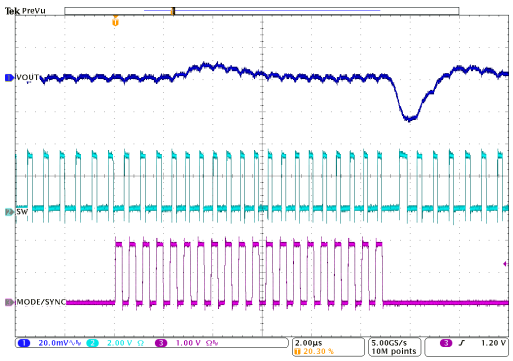
Vout = 0.9V　　I_{OUT} = 100mA

図 9-24. PFM-DCM 動作 TPSM8287B30HAPx



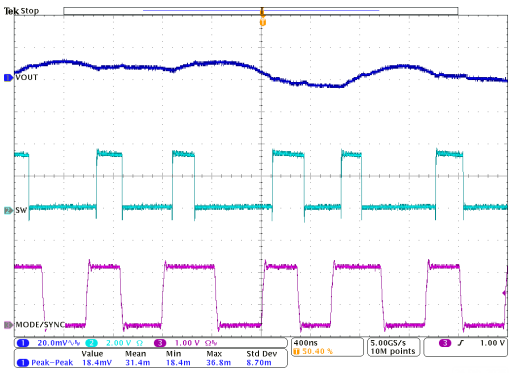
I_{OUT} = 15A　　$f_{(SYNC)}$ = 1.8MHz

図 9-25. 外部クロック TPSM8287B30HAPx への同期



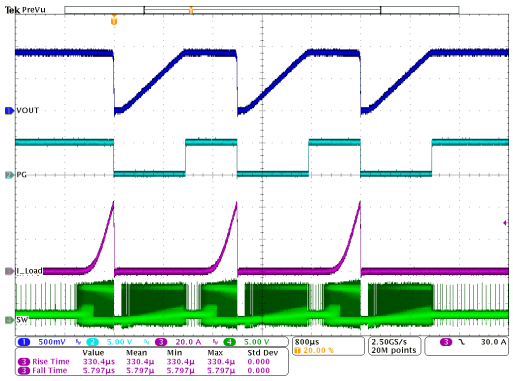
I_{OUT} = 15A　　V_{OUT} = 0.9V　　$f_{(SYNC)}$ = 1.8MHz

図 9-26. 外部クロック TPSM8287B30HAPx の追加と取り外し



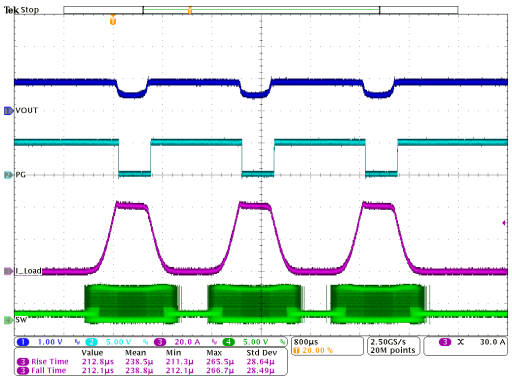
I_{OUT} = 15A　V_{OUT} = 0.9V　$f_{(SYNC)}$ = 1.2 to 1.8MHz (ランダム)

図 9-27. ランダムな外部クロック TPSM8287B30HAPx への同期



V_{IN} = 5.0V

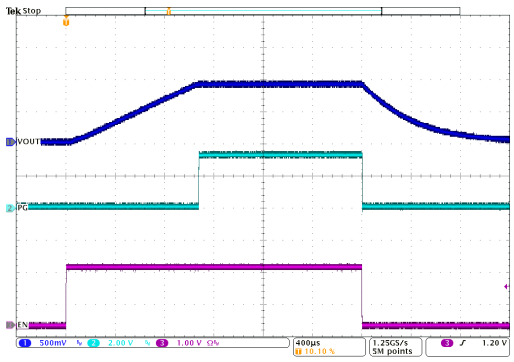
図 9-28. 電流制限 (ヒカップ = 1)



V_{IN} = 5.0V

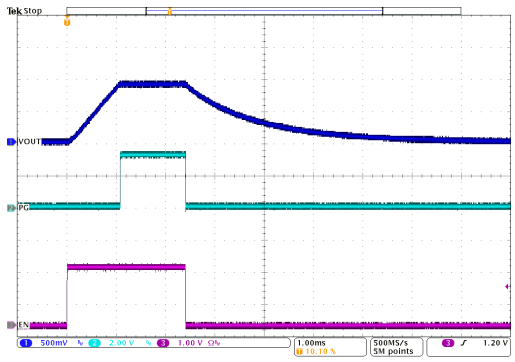
図 9-29. 電流制限 (ヒカップ = 0)

Copyright © 2026 Texas Instruments Incorporated



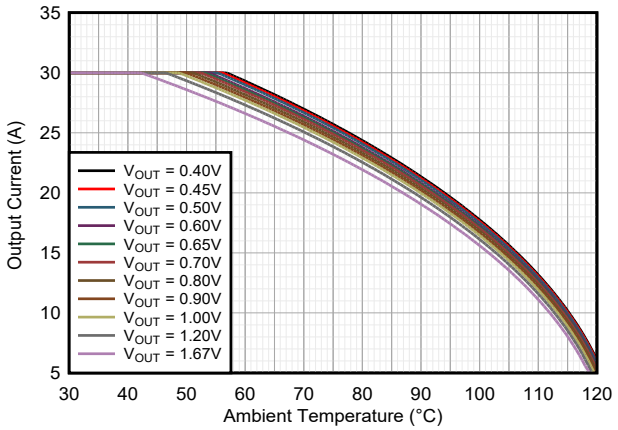
V_{OUT} = 0.9V　　負荷=9.1Ω

図 9-30. EN ピン (DISCHEN = 1) を使用したスタートアップとシャットダウン



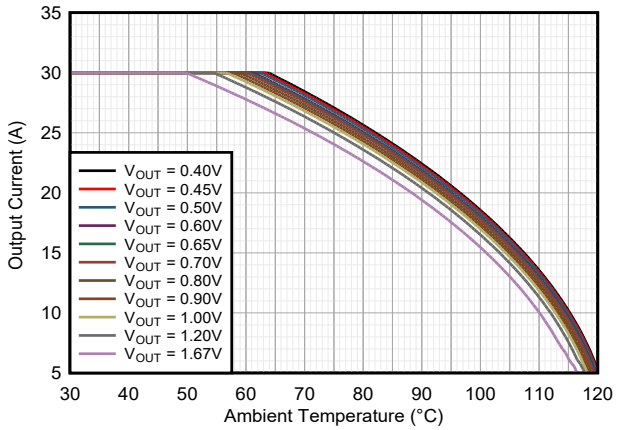
V_{OUT} = 0.9V　　負荷=9.1Ω

図 9-31. EN ピン (DISCHEN = 0) を使用したスタートアップとシャットダウン



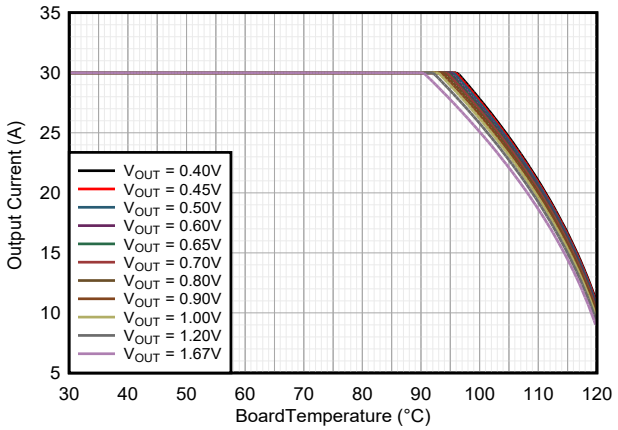
$R_{\Theta JA}$ =11.9°C/W　　nat. convection　　$T_{J(max)}$ = 125°C

図 9-32. 安全動作領域 TPSM8287B30xx V_{IN} = 3.3V



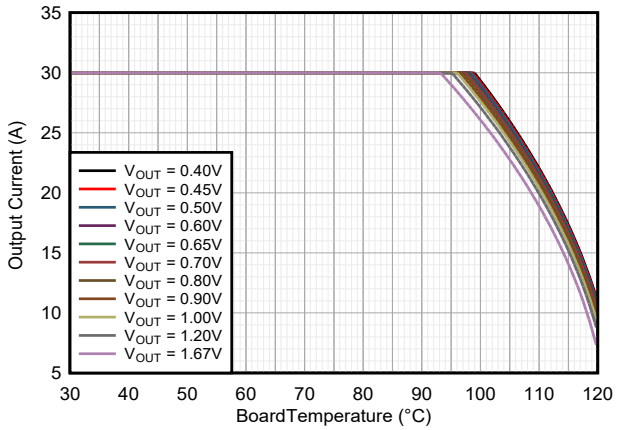
$R_{\Theta JA}$ = 11.9°C/W　　nat. convection　　$T_{J(max)}$ = 125°C

図 9-33. 安全動作領域 TPSM8287B30xx V_{IN} = 5.0V



Ψ_{JB} = 5.5°C/W　　nat. convection　　$T_{J(max)}$ = 125°C

図 9-34. 安全動作領域 TPSM8287B30xx V_{IN} = 3.3V



Ψ_{JB} = 5.5°C/W　　nat. convection　　$T_{J(max)}$ = 125°C

図 9-35. 安全動作領域 TPSM8287B30xx V_{IN} = 5.0V

Copyright © 2026 Texas Instruments Incorporated

9.3 2 個の TPSM8287B30x を並列動作で使用する代表的なアプリケーション

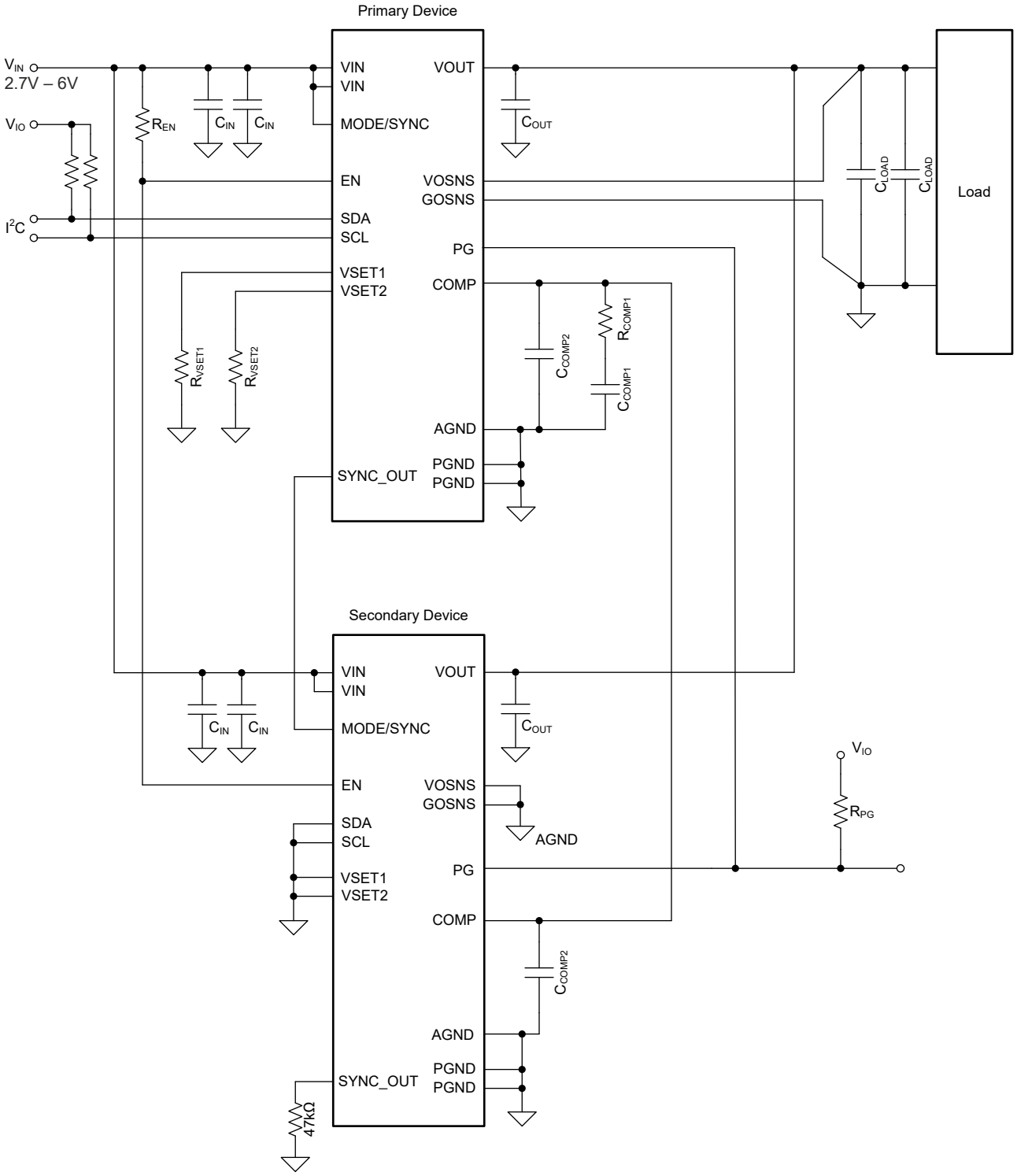


図 9-36. 代表的なアプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

表 9-3. 部品のリスト

リファレンス	値	説明	部品番号	メーカー (1)
C_{Comp1}	3.9nF	セラミック コンデンサ、X7R	標準	標準
C_{OUT}	4 × 22µF	セラミックコンデンサ、6.3V、X6S、サイズ 0603	GRM188C80J226ME01D	Murata (村田製作所)
C_{LOAD}	6 × 47µF	セラミックコンデンサ、4V、X6S、サイズ 0603	GRM188C80G476ME01D	Murata (村田製作所)
C_{LOAD}	4 × 10µF	セラミックコンデンサ、4V、X6S、サイズ 0402	GRM155C80G106ME18D	Murata (村田製作所)
C_{IN}	8 × 22µF	セラミックコンデンサ、10V、X6S、サイズ 0603	GRM188C81A226ME01D	Murata (村田製作所)
R_{Comp1}	604 Ω	抵抗 1%、0.1W	標準	標準
R_{VSET1}、R_{VSET2}	表 7-2 に従って設定します	抵抗 5%、0.1W	標準	標準
R_{EN}	15kΩ	抵抗 5%、0.1W	標準	標準
R_{SYNC_OUT}	47kΩ	抵抗 5%、0.1W	標準	標準

9.3.1 設計要件

次の表に、2 つの TPSM8287Bxx デバイスを並列に動作させて出力電流を大きくしたこのアプリケーション例の動作パラメータを示します。

表 9-4. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	2.7V～6.0V
V_{OUT}	出力電圧	0.60V
TOL_{VOUT}	アプリケーションで許容される出力電圧の許容誤差	±5.0%
TOL_{DC}	TPSM8287Bxx の出力電圧許容誤差 (DC 精度)	±0.8%
$\Delta I_{OUT(step)}$	出力電流負荷ステップ	±12.0A
t_t	負荷ステップ遷移時間	1µs
f_{SW}	スイッチング周波数	1.5MHz
L	インダクタ内蔵	50nH
TOL_{IND}	内蔵インダクタの許容誤差	±20%
g_m	エラー アンプの相互コンダクタンス	1.5mS
τ	エミュレート電流時定数	12.5µs
BW_T	ターゲットのループ帯域幅	375kHz
N_Φ	並列接続デバイス数 (相)	2

予備計算

電源の最大許容偏差は ±5.0% です。TPSM8287Bxx の DC 精度は ±0.8% と規定されているため、過渡時の最大出力電圧の変動は次の式で求められます。

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \quad (30)$$

$$\Delta V_{OUT} = \pm V_{OUT} \times (5.0\% - 0.8\%) = \pm 25.2mV \quad (31)$$

式 32 はインダクタのピーク ツー ピーク電流リップルを計算します。このリップルは、最大入力電圧で最大になります。

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN(max)}}\left(\frac{V_{IN(max)} - V_{OUT}}{L \times f_{SW} \times N\Phi}\right) \quad (32)$$

$$I_{L(PP)} = \frac{0.6}{6.0}\left(\frac{6.0 - 0.6}{50 \times 10^{-9} \times 1.5 \times 10^{6} \times 2}\right) = 3.6A \quad (33)$$

Copyright © 2026 Texas Instruments Incorporated

最大負荷ステップは、アプリケーションからの負荷ステップがインダクタリップル電流のピーク (トラフ) とまったく同時に発生した場合に発生し、次の式で求められます。

$$\Delta I_{OUT(max)} = \Delta I_{OUT(step)} + \frac{\Delta I_{L(PP)}}{2} \quad (34)$$

$$\Delta I_{OUT(max)} = 12.0 + \frac{3.6}{2} = 13.8A \quad (35)$$

9.3.2 詳細な設計手順

以下のサブセクションでは、特定のアプリケーションの規定過渡要件を満たすために必要な外部部品の計算方法について説明します。計算には部品のワーストケースの変動が含まれ、RMS 手法を使用して相関しないパラメータの変動を結合します。

9.3.2.1 入力コンデンサの選択

TPSM8287Bxx デバイスは、パッケージの反対側に 2 組の VIN ピンと PGND ピンを持つバタフライまたは並列レイアウトを備えています。

コンバータのデューティ サイクルは次の式で求められます。

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \quad (36)$$

$$D = \frac{0.60}{0.75 \times 2.7} = 0.296 \quad (37)$$

システムレベルの入力電圧リップル要件を満たすために必要な入力容量の値を、式 38 に示します。この例では、最も低い入力電圧と最大の負荷電流を使用して、ワーストケースの 100mV の入力電圧リップルを生成します。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \quad (38)$$

$$C_{IN} = \frac{0.296 \times (1 - 0.296) \times 60.0}{0.1 \times 1.5 \times 10^{6}} = 83.4\mu F \quad (39)$$

式 38 で計算した C_{IN} の値は、すべてのディレーティング、許容誤差、経年劣化の影響を考慮した後の「実効」容量です。この並列構成では、入力静電容量の計算値をすべての位相にわたって均等に分散することが重要です。

9.3.2.2 ターゲット ループ帯域幅の選択

制御ループ帯域幅は、デバイスが出力電圧の変化に対してどれだけ迅速に応答するかを測定します。TPSM8287Bxx 外部補償を使用すると、高速応答と安定性およびリンギングの間のトレードオフのバランスを取るために、ループ帯域幅を調整できます。R_{Comp1} の抵抗と出力キャパシタンスが、ループ帯域幅を調整する主な方法です。

TI では、簡単な設計を実現するため、目標ループ帯域幅を 200kHz に設定することをお勧めしています。アプリケーションで大きな負荷過渡が予想される場合は、目標帯域幅をスイッチング周波数の約 1/4 に設定できます。この設計例では、375kHz の目標帯域幅が使用されています。

9.3.2.3 補償抵抗の選択

式 40 を使用して、補償抵抗 R_{Comp1} のの推奨値を計算します。

$$R_{Comp1} = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT(step)} \times L}{4 \times \tau \times \Delta V_{OUT} \times N\phi} - 1\right)(1 + TOL_{IND}) \quad (40)$$

$$R_{Comp1} = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 12.0 \times 50 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 25.2 \times 10^{-3} \times 2} - 1\right)(1 + 20\%) = 598.4\Omega \quad (41)$$

Copyright © 2026 Texas Instruments Incorporated

計算値より大きい標準部品を選択します。この例では 604Ω の抵抗が選択されています。選択した値を使用して、さらに計算する必要があります。

9.3.2.4 出力コンデンサの選択

コンバータがレギュレーション状態のままの場合、必要な最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_{Comp1}}{2 \times \pi \times \frac{L}{N\Phi} \times BW_\tau}\right)\left(1 + \sqrt{TOL_{IND}{}^2 + TOL_{fSW}{}^2}\right) \quad (42)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 604}{2 \times \pi \times \frac{50 \times 10^{-9}}{2} \times 375 \times 10^{3}}\right)\left(1 + \sqrt{20\%^2 + 10\%^2}\right) = 235\mu F \quad (43)$$

コンバータ ループが飽和する場合、最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{L \times \Delta I_{OUT(max)}{}^2}{2 \times V_{OUT} \times N\Phi} - \frac{\Delta I_{OUT(step)} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (44)$$

$$C_{OUT(min)(sat)} = \frac{1}{25.2 \times 10^{-3}}\left(\frac{50 \times 10^{-9} \times 13.8^2}{2 \times 0.6 \times 2} - \frac{13.8 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%) = -97\mu F \quad (45)$$

$C_{OUT(min)(sat)}$ の負の結果は、与えられた負荷過渡に対してループが飽和しておらず、応答が帯域幅によって制限されることを示しています。この場合は、出力キャパシタンスの 2 つの値のうち大きい方として、$C_{OUT(min)(reg)}$= 235µF を選択します。

表 9-3 に、選択した出力コンデンサの一覧を示します。2 つのモジュールのそれぞれの近くに 2 つの 22µF コンデンサを配置しており、それぞれ 15µF の最小実効容量を生成できます。負荷の近くに 6 つの 47µF コンデンサと 4 つの 10µF を配置しており、標準的な負荷に必要な合計デカップリング容量に近くなります。各 47µF コンデンサは実効容量 27µF を生成し、各 10µF コンデンサは約 6µF を生成します。モジュールにコンデンサを内蔵したデバイス バリアントでは、追加で 2 × 14µF の実効容量が得られます。これらを合わせて、実効容量の 274µF は、上記で計算される必要な最小値より大きくなります。以後の計算には、C_{OUT_eff} = 274µF を使用します。

式 46 は出力キャパシタンスの大部分が負荷に配置されていることを確認します。比率が 1 未満の場合は、負荷の容量を増やすか、デバイス、出力キャパシタンス、負荷を互いに隣接して配置します。これにより、出力キャパシタンス間に差が生じません。

$$\frac{C_{LOAD_eff}}{C_{Converter_eff} + C_{Integrated_eff}} > 1 \quad (46)$$

$$\frac{6 \times 27 \times 10^{-6} + 4 \times 6 \times 10^{-6}}{4 \times 15 \times 10^{-6} + 4 \times 7 \times 10^{-6}} > 1 = \text{True} \quad (47)$$

式 48 は、実効出力キャパシタンスの値に基づいて出力電圧リップルを計算します。

$$V_{OUT(p-p)} = \frac{I_{L(PP)}}{8 \times C_{OUT_eff} \times f_{sw}} \quad (48)$$

$$V_{OUT(p-p)} = \frac{3.6}{8 \times 274 \times 10^{-6} \times 1.5 \times 10^{6}} = 1.1mV \quad (49)$$

出力コンデンサの ESR と ESL、およびアプリケーション基板の寄生容量により、アプリケーションではリップルがわずかに高くなります。

9.3.2.5 補償コンデンサ C_{Comp1} の選択

最初に、式 50 を使用してループの帯域幅を計算します。

$$BW = \frac{\tau \times g_m \times R_{Comp1}}{2\pi \times \frac{L}{N\Phi} \times C_{OUT_eff}} \tag{50}$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 604}{2\pi \times \frac{50 \times 10^{-9}}{2} \times 274 \times 10^{-6}} = 263.1\text{kHz} \tag{51}$$

式 52 を使用して C_{Comp1} の推奨値を計算します。

$$C_{Comp1} = \frac{2}{\pi \times BW \times R_{Comp1}} \tag{52}$$

$$C_{Comp1} = \frac{2}{\pi \times 263.1 \times 10^{3} \times 604} = 4\text{nF} \tag{53}$$

最も近い標準値は 3.9nF です。

9.3.2.6 補償コンデンサ C_{Comp2} の選択

補償コンデンサ C_{Comp2} はオプションのコンデンサで、TI では COMP ピンから離して高周波ノイズをバイパスすることを推奨します。このコンデンサの値は重要ではありません。代表的なアプリケーションでは 10pF または 22pF のコンデンサを推奨します。

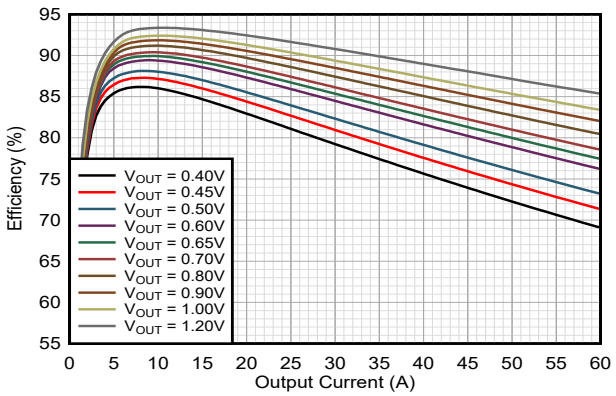
このコンデンサは、システム出力電圧の配線とデカップリングネットワークで発生する高周波のゼロまたは共振を抑制するために、より大きなものにすることができます。次の式は、C_{Comp2} によって生成される極を計算します。

$$f_{pole} = \frac{1}{2 \times \pi \times R_{Comp1} \times C_{Comp2}} \tag{54}$$

Copyright © 2026 Texas Instruments Incorporated

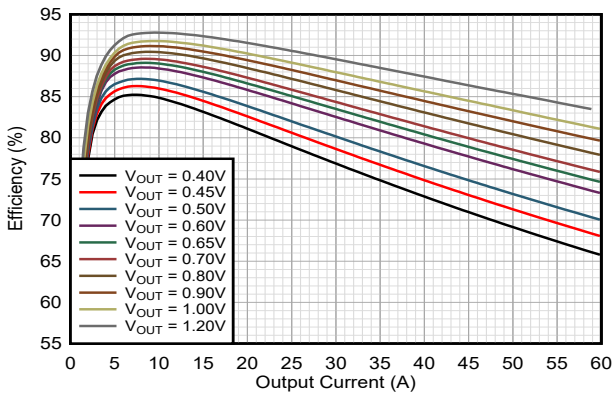
9.3.3 アプリケーション曲線

並列動作で V_{IN} = 5.0V、V_{OUT} = 0.6V、T_A = 25℃、BOM = 表 9-3、2 × TPSM8287B30Lx、特に記載のない限り。



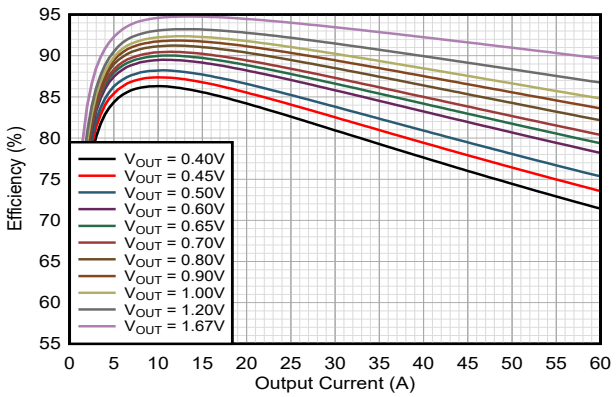
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 25°C

図 9-37. 効率 TPSM8287B30xx FPWM



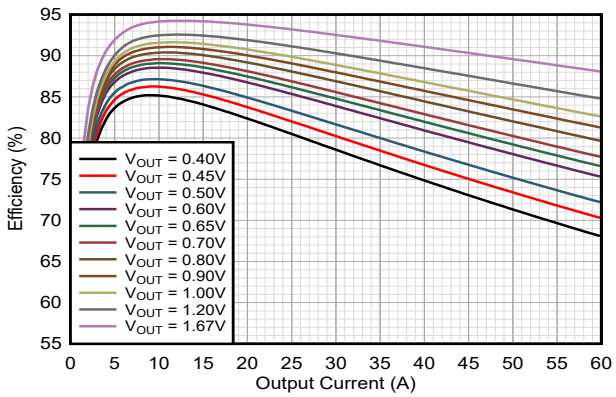
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 85°C

図 9-38. 効率 TPSM8287B30xx FPWM



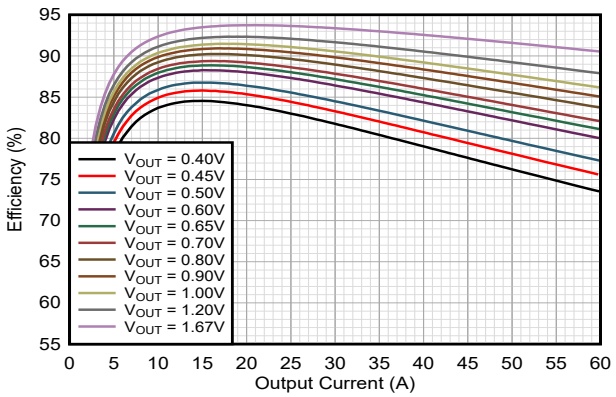
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 25°C

図 9-39. 効率 TPSM8287B30xx FPWM



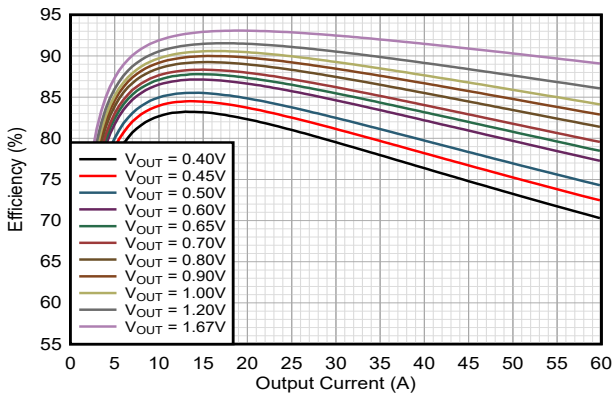
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 85°C

図 9-40. 効率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 25°C

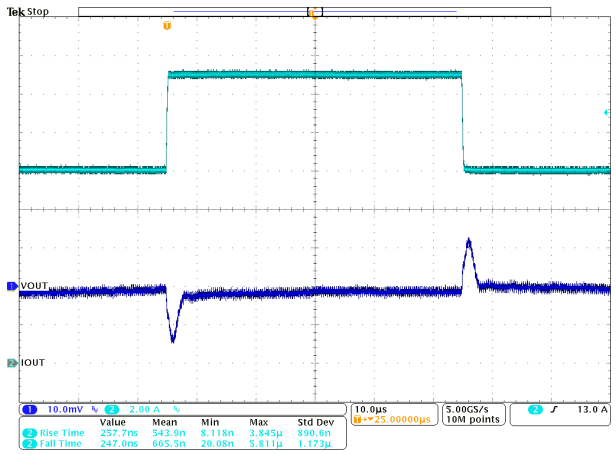
図 9-41. 効率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 85°C

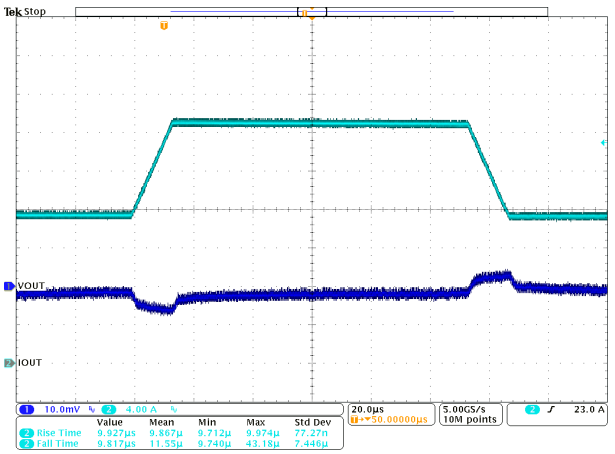
図 9-42. 効率 TPSM8287B30xx FPWM

Copyright © 2026 Texas Instruments Incorporated



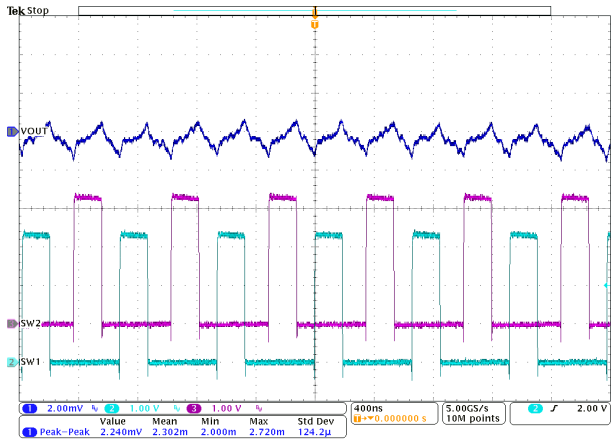
V_{OUT}=0.9V $C_{OUT(eff)}$=274µF I_{OUT}=10A→15A→10A

図 9-43. 負荷過渡 TPSM8287B30HAPx



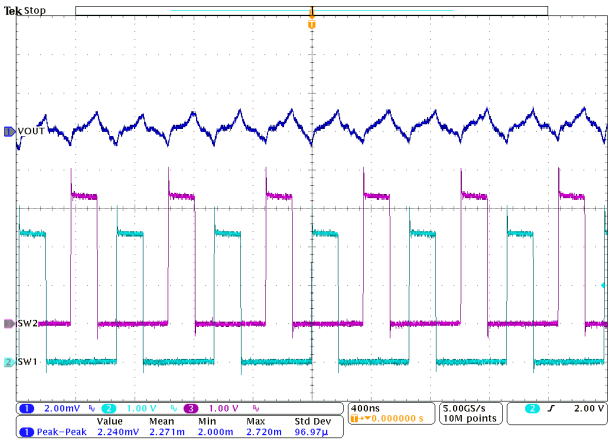
V_{OUT}=0.9V $C_{OUT(eff)}$=274µF I_{OUT}=15A→25A→15A

図 9-44. 負荷過渡 TPSM8287B30HAPx



V_{OUT} = 0.9V I_{OUT} = 15A

図 9-45. PWM-CCM 動作 TPSM8287B30HAPx



V_{OUT} = 0.9V I_{OUT} = 1A

図 9-46. PWM-CCM 動作 TPSM8287B30HAPx

Copyright © 2026 Texas Instruments Incorporated

9.4 電源に関する推奨事項

TPSM8287Bxx ファミリには、入力電源に対する特別な要件はありません。入力電源の出力電流定格は、TPSM8287Bxx の電源電圧と電流要件に応じた定格である必要があります。正常に動作させるには、入力電圧は、選択した出力電圧よりも 1.5V 以上高い必要があります。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

特に高いスイッチング周波数の場合、スイッチ モード電源を動作させるために、適切なレイアウトが非常に重要です。TPSM8287Bxx デバイスの PCB レイアウトでは、最高の性能を得るために細心の注意が必要です。レイアウトが不適切な場合、以下のような問題が発生する可能性があります。

- 粗悪なラインおよびロード レギュレーション
- 不安定性
- EMI 放射の増加
- ノイズ感度

一般的なベスト プラクティスの詳細な説明については、『降圧コンバータの優れた PCB レイアウトを行うための 5 つのステップ』Analog Design Journal を参照してください。TPSM8287Bxx の具体的な推奨事項を以下に示します。

- 入力コンデンサは、デバイスの VIN ピンと PGND ピンにできる限り近づけて配置してください。この配置は、最も重要な部品配置です。入力コンデンサは ビアを避けて VIN ピンと PGND ピンに直接配線します。
- 出力コンデンサは VOUT および PGND ピンの近くに配置し、ビアを避けて直接配線します。
- IC は負荷の近くに配置して、出力の電圧降下による電力損失を最小限に抑え、TPSM8287Bxx の出力コンデンサと負荷側の出力コンデンサの間の寄生インダクタンスを最小化します。
- 放熱性能を向上させるため、露出したサーマル パッドの下にビアを使用します。PGND ピンは、PCB 上層に銅箔を配置した露出したサーマル パッドに直接接続します。
- VOSNS と GOSNS のリモート センス ラインを差動ペアとして配線し、負荷の最小インピーダンス ポイントに接続します。VOSNS と GOSNS のトレースを、スイッチ ノード、入力コンデンサ、クロック信号、その他のアグレッサ信号の近くに配線しないでください。
- COMP と AGND との間に補償部品を接続します。補償部品は、電源グランドに直接接続しないでください。
- 寄生容量を最小限に抑えるため、VSETx 抵抗 (セカンダリ デバイスの SYNC_OUT 抵抗) は TPSM8287Bxx の近くに配置します。
- スタック構成では、COMP を直接配線して COMP を短くし、ノイズの多いアグレッサ信号を避けるようにします。
- 部品の配置、配線、熱設計の例については、図 9-47 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.5.2 レイアウト例

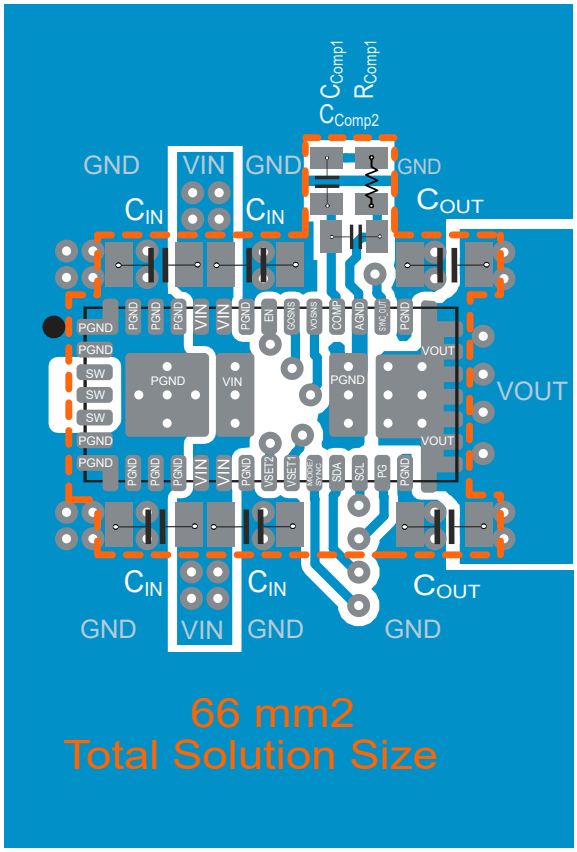


図 9-47. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

9.5.2.1 熱に関する検討事項

TPSM8287Bxx パワーモジュールの温度は、125℃ の最大定格未満に維持する必要があります。放熱性能を向上させるための 3 つの基本的なアプローチを以下に示します。

- PCB 設計による消費電力性能の改善。
- 部品の PCB への熱結合の改善。
- システムへのエアフローの導入。

TPSM8287Bxx のモジュール温度の概算値を推定するには、このデータシートに記載されている標準的な効率を目的のアプリケーション条件に適用して、モジュールの消費電力を計算します。次に、消費電力に熱抵抗を乗算して、モジュールの温度上昇を計算します。基板の温度が既知である場合は Ψ_{JB} を使用し、周囲温度が既知である場合は $R_{\Theta JA}$ を使用します。熱パラメータは PCB の構造、レイアウト、エアフローによって異なります。

この手法を使用してデバイスの最大温度を計算すると、安全動作領域 (SOA) グラフは、この評価基盤に対して周囲温度が高い場合に必要とされる最大出力電流のディレーティングを提示します。実際のアプリケーションで熱パラメータを使用する方法の詳細については、JEDEC PCB 設計を使用するリニアおよびロジックパッケージの熱特性アプリケーションノートと半導体および IC パッケージの熱指標アプリケーション ノートを参照してください。

熱に関する情報の熱の値には、図に示すようにビアも含めて、このデータシートの末尾に記載されている推奨ランドパターンを使用しています。TPSM8287Bxx は、JEDEC 51-7 で定義された PCB 上でシミュレーションされたものです。2 つの PGND 露出したサーマルパッドのビアは、別の PCB 層の銅箔に接続されましたが、残りのビアは他の層に接続されませんでした。

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*正確なイネーブル ピンのスレッショルドを持つ DC/DC コンバータを使用して、クリーンなスタートアップを実現*』Analog Design Journal
- テキサス インスツルメンツ、『*降圧コンバータの優れた PCB レイアウトを実現する 5 つのステップ*』Analog Design Journal
- テキサス インスツルメンツ、『*JEDEC PCB 設計を使用するリニアおよびロジック パッケージの熱特性*』アプリケーション ノート

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

MagPack™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

11 改訂履歴

Changes from Revision A (December 2025) to Revision B (October 2026)	Page
• TPSM8287BxxxANVCHR を「プレビュー」から「量産データ」に変更	4

Changes from Revision * (March 2025) to Revision A (December 2025)	Page
• *「特長」*、*「電気的特性」*表、*「機能説明」*、*「アプリケーション情報」*、*「設計要件」*表を、量産データの仕様に合わせて更新	4
• 「デバイスのオプション」表のデータ シートに新しいデバイス バージョンを追加	4

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM8287B15HANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B15HAN
TPSM8287B30HANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B30HAN
TPSM8287B30LANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B30LAN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

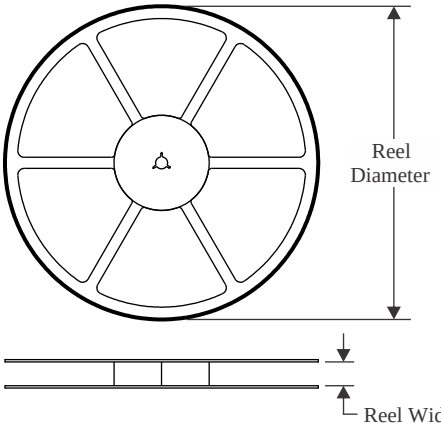
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

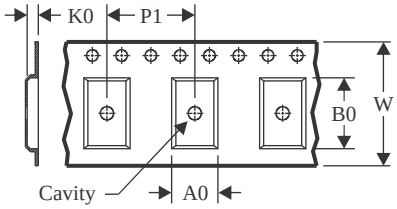
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

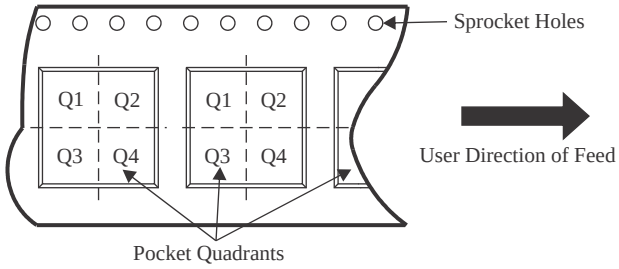


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

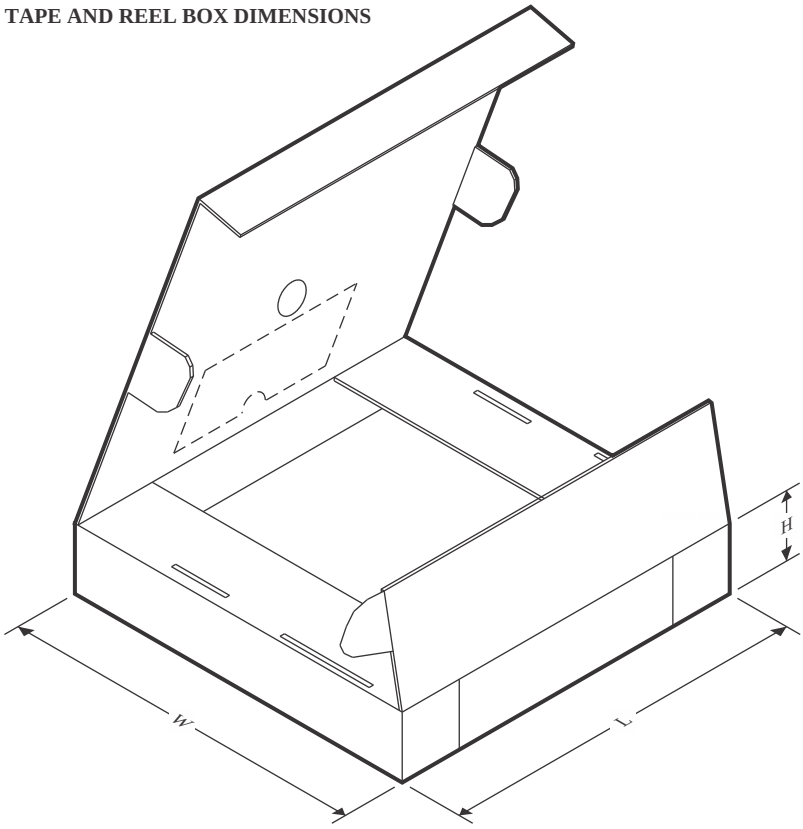
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM8287B15HANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2
TPSM8287B30HANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2
TPSM8287B30LANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM8287B15HANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0
TPSM8287B30HANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0
TPSM8287B30LANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0

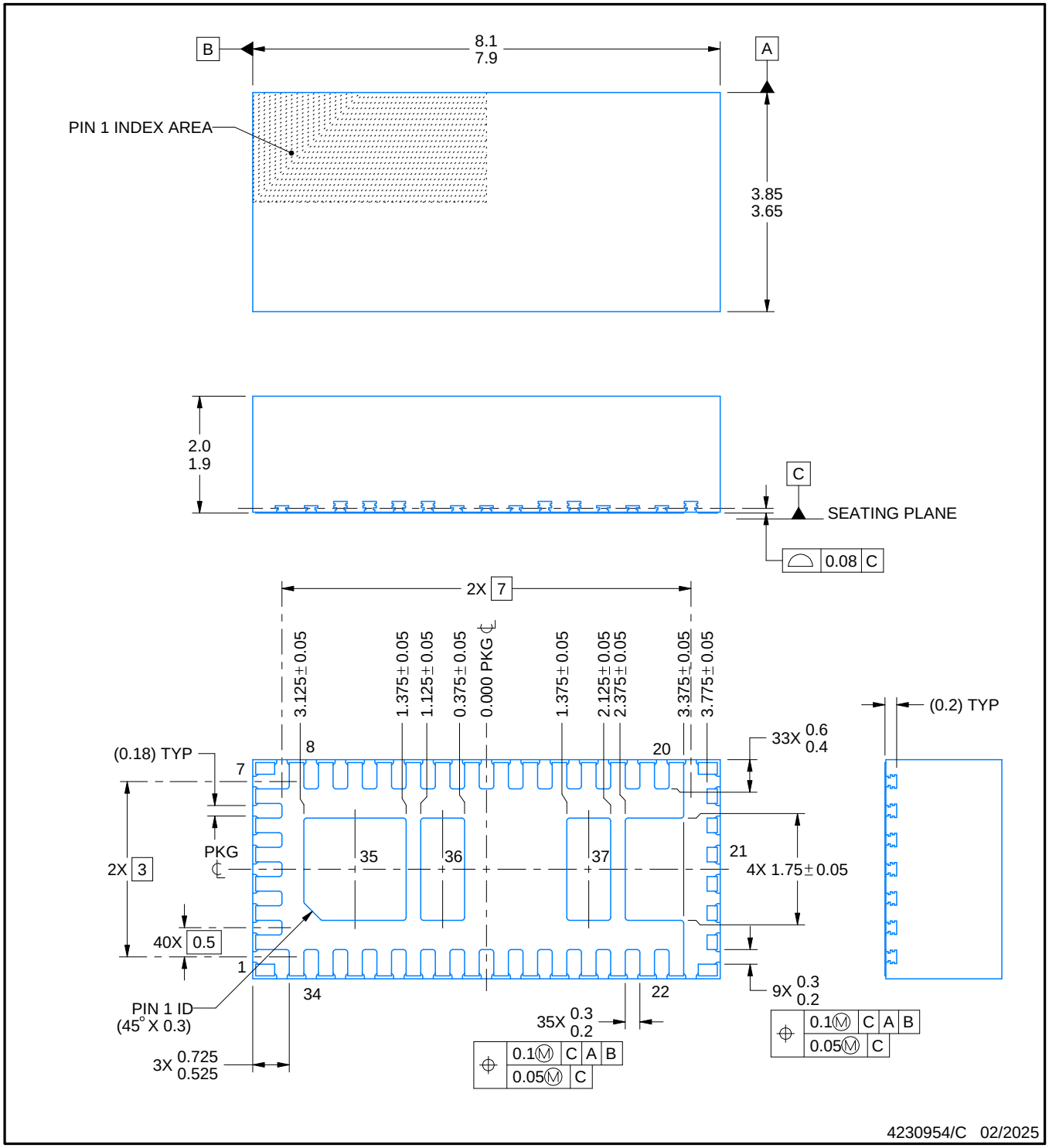
VCH0037A



PACKAGE OUTLINE

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

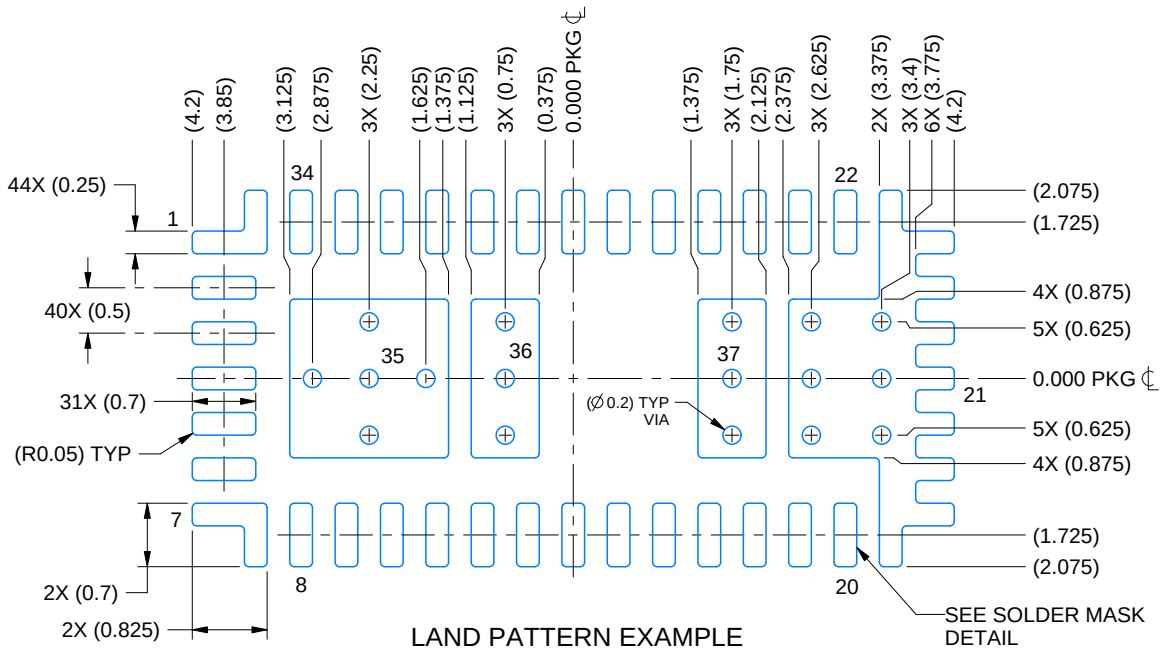
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

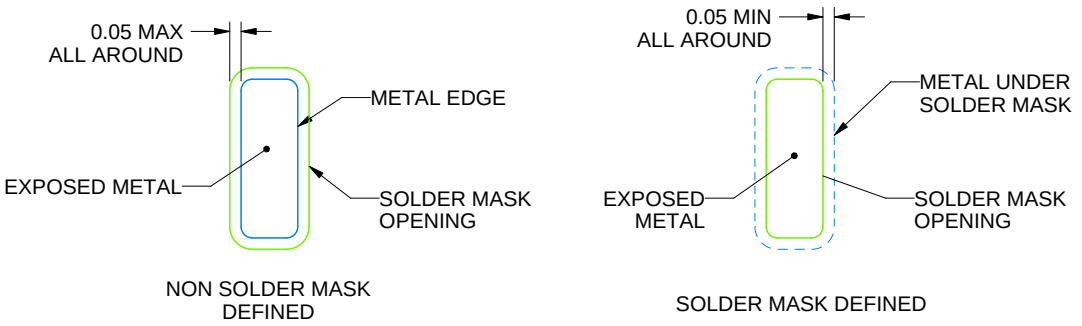
VCH0037A

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4230954/C 02/2025

NOTES: (continued)

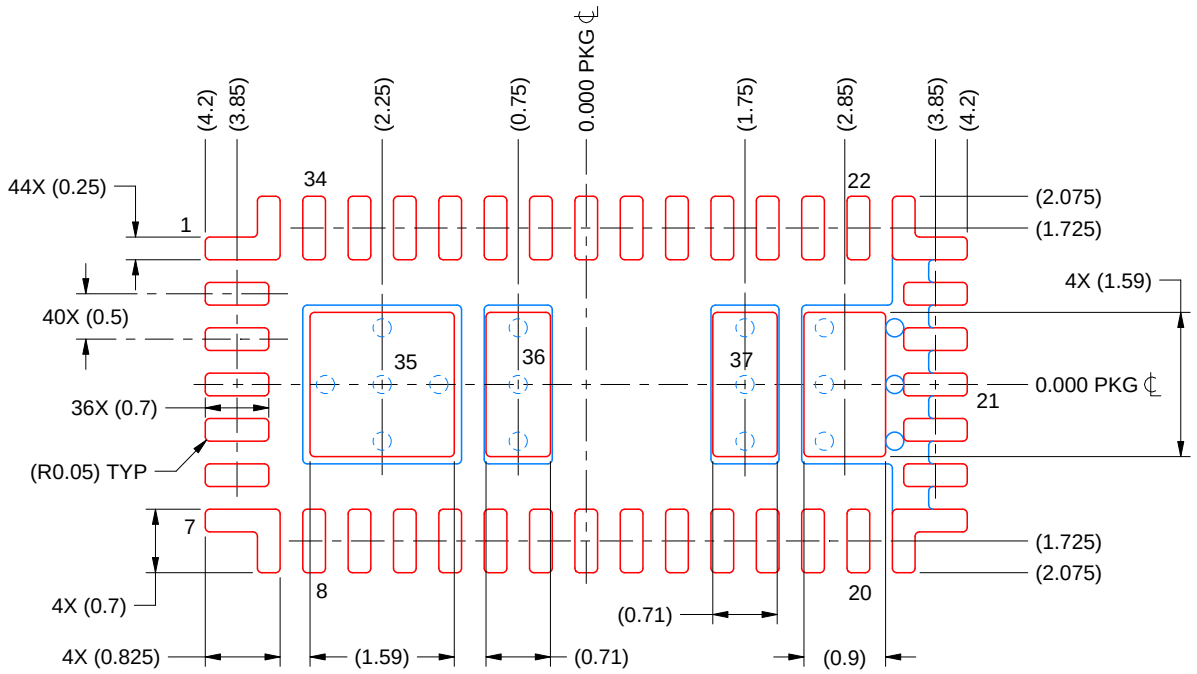
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VCH0037A

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 21: 77%
PAD 35: 83%
PADS 36 & 37: 86%

4230954/C 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月