TPSM84538 3.8V～28V、5A、同期整流降圧パワー モジュール、ユーザー選択が可能なモード搭載

1 特長

- 多様なアプリケーションに適した構成
  - 入力電圧範囲:3.8V～28V
  - 出力電圧範囲:0.6V ～ 5V
  - 最大 5A の連続出力電流
  - 基準電圧 (–40℃～125℃):0.6V ±1%
  - 低い静止電流:28uA (代表値)
  - 最小スイッチング オン / オフ時間:70ns / 114ns
  - 最大スイッチング オン時間:8us
  - 最大デューティ サイクル:98%
- 使いやすく小さい設計サイズ
  - 内部補償付きピーク電流制御モード
  - 選択可能な周波数:200kHz～2.2MHz
  - 外部クロックに同期可能 (位相シフトをサポート): ARM:200 kHz ～ 2.2 MHz
  - 軽負荷時に PFM/FCCM を選択可能
  - 選択可能な可変ソフト スタート時間、パワーグッド インジケータ機能
  - 周波数スペクトラム拡散と最適化されたピン配置による優れた EMI 性能
  - ハイサイドとローサイド両方の MOSFET のヒカップ過電流 (OC) 制限
  - ラッチ保護機能なしの過熱保護 (OTP)、過電流保護 (OCP)、過電圧保護 (OVP)、低電圧保護 (UVP)、低電圧誤動作防止 (UVLO)
  - 簡単な単層 PCB レイアウトをサポートする内蔵ブートストラップ コンデンサ
  - 動作時の接合部温度:-40℃～125℃
  - 3.3mm × 4.5mm × 2mm の QFN パッケージ
- WEBENCH® Power Designer により、TPSM84538 を使用するカスタム設計を作成

2 アプリケーション

- 医療 / ヘルスケア
- 試験および測定機器
- ビル オートメーション
- 有線ネットワーク、ワイヤレス インフラ
- 5V、12V 入力の分散型電源システム

3 概要

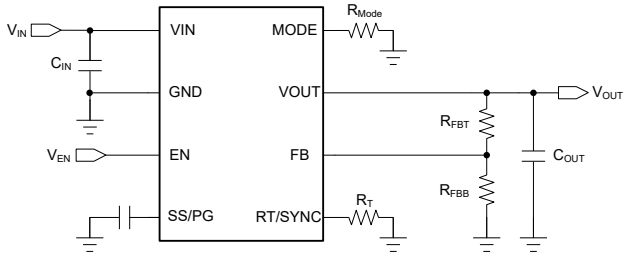
TPSM84538 は、設計の柔軟性が高い、高効率で高電力密度に対応した、使いやすい同期整流降圧パワー モジュールです。TPSM84538 は動作時入力電圧範囲が 3.8V ～ 28V で、5V、12V、24V の各電源バス レールからの電力供給で動作するシステム向けの設計を採用しています。このデバイスは、最大 5A の連続出力電流と最大 98% のデューティ サイクルをサポートします。

TPSM84538 は、固定周波数ピーク電流制御を採用し、内部補償によって高速過渡応答およびラインと負荷の優れたレギュレーションを実現しています。内部ループ補償が最適化されているため、幅広い出力電圧範囲とスイッチング周波数において、外付け補償を必要としません。

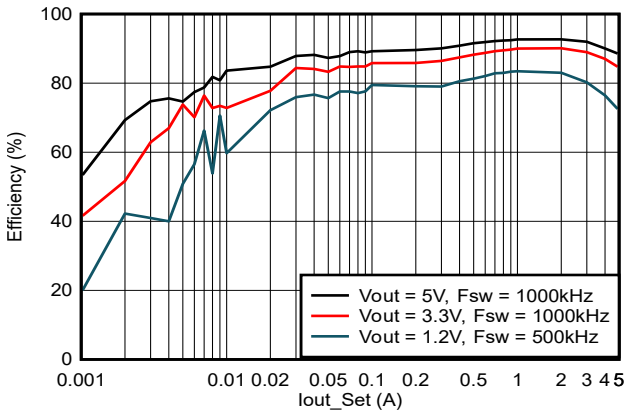
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPSM84538	RCJ (QFN-FCMOD、9)	3.3mm × 4.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



TPSM84538 の効率 (V_{IN} = 12V)PFM

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

TPSM84538 は、RT/SYNC ピンで設定される 200kHz～2.2MHz の幅広いスイッチング周波数によって、設計の高い柔軟性を実現しています。このデバイスでは、パルス周波数変調 (PFM)、軽負荷時の強制連続導通変調 (FCCM)、MODE ピンの異なる構成による可変ソフト スタート (SS) 時間 / パワーグッド (PG) インジケータのオプションを備えています。

TPSM84538 には、保護機能として、サーマル シャットダウン、入力低電圧誤動作防止、サイクル単位の電流制限、ヒカップ短絡保護などが搭載されています。TPSM84538 は 9 ピンの 3.3mm × 4.5mm QFN パッケージで供給され、単層 PCB レイアウトに対応したピン配置です。接合部温度の仕様は -40℃～125℃です。

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 代表的特性.....8
6 詳細説明.....10
6.1 概要.....10
6.2 機能ブロック図.....11
6.3 機能説明.....12
6.4 デバイスの機能モード.....20
7 アプリケーションと実装.....23
7.1 アプリケーション情報.....23
7.2 代表的なアプリケーション.....23
7.3 設計のベスト プラクティス.....30
7.4 電源に関する推奨事項.....30
7.5 レイアウト.....31
8 デバイスおよびドキュメントのサポート.....33
8.1 デバイス サポート.....33
8.2 ドキュメントのサポート.....33
8.3 ドキュメントの更新通知を受け取る方法.....33
8.4 サポート・リソース.....33
8.5 商標.....33
8.6 静電気放電に関する注意事項.....34
8.7 用語集.....34
9 改訂履歴.....34
10 メカニカル、パッケージ、および注文情報.....34

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

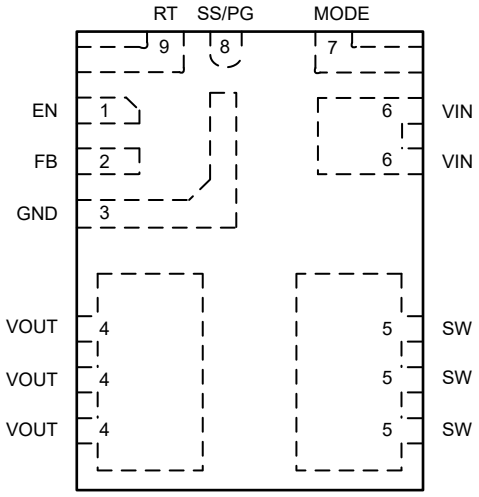


図 4-1. 9 ピン RCJ QFN-FCMOD、3.3mm×4.5mm パッケージ (上面図)

表 4-1. ピンの機能

ピン		種類(1)	説明
名称	番号		
EN	1	A	コンバータへの有効化入力。EN を High に駆動するか、このピンをフローティングにすると、コンバータが有効になります。外付け分圧抵抗を使用して、可変 V_{IN} UVLO 機能を実装できます。
FB	2	A	出力帰還入力。出力から GND への外部抵抗デバイダのタップに FB を接続して出力電圧を設定します。
GND	3	G	グランド ピン。ローサイド FET のソース、およびコントローラ回路の接地ピンに接続します。システム接地、および C_{IN} と C_{OUT} の接地側に接続します。C_{IN} へのパスは、できる限り短くしてください。
VOUT	4	P	出力電圧。このピンは、内部の降圧インダクタに接続されています。ピンを出力負荷に接続し、このピンと GND との間に外部出力コンデンサを接続します。
SW	5	P	*スイッチング ノード。このピンに外部部品を配置したり、信号に接続したりしないでください。*ノイズや EMI の問題を防止するため、このピンに配置する銅の量は最小限に抑える必要があります。
VIN	6	P	内部 LDO およびハイサイド FET への電源入力ピン。入力バイパスコンデンサは、このピンおよび GND に直接接続する必要があります。
モード	7	A	軽負荷条件下のモード選択ピンとパワーグッド/ソフトスタート機能。詳細については、「*モード選択*」を参照してください。
SS/PG	8	A	このピンは、MODE ピン構成に応じて、ソフトスタート機能またはパワー・グッド機能にできます。ソフトスタート機能が選択されている場合、このピンから GND に接続された外部コンデンサは、内部リファレンス電圧の立ち上がり時間を定義します。パワー・グッド機能が選択されている場合、このピンはオープン・ドレインのパワー・グッド・インジケータであり、出力電圧が PG スレッショルドや過電圧を下回っている場合、EN シャットダウン中、またはソフトスタート中に Low にアサートされます。
RT / SYNC	9	A	周波数選択と外部クロック同期。接地への抵抗により、デバイスのスイッチング周波数が設定されます。このピンに外部クロックを印加して、スイッチング周波数を同期することもできます。詳細については、「*スイッチング周波数の選択、同期*」を参照してください。

(1) A = アナログ、P = 電源、G = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

推奨される動作時の接合部温度範囲内 (–40℃ ～ +125℃) (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	V_{IN}	-0.3	30	V
	EN	-0.3	6	
	FB	-0.3	6	
出力電圧	VOUT	-0.3	6	
	SS/PG	-0.3	6	
	モード	-0.3	6	
	RT / SYNC	-0.3	6	
機械的衝撃	Mil-STD-883D、Method 2002.3、1msec、1/2 正弦波、取り付け		1500	G
機械振動	Mil-STD-883D、Method 2007.2、20～2000Hz		20	G
動作時接合部温度 (2)	T_J	-40	125	℃
保存温度	T_{stg}	-65	125	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「*絶対最大定格*」は、「*推奨動作条件*」に示された値を超える状態で本デバイスが正常に動作することを暗黙的に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 接合部温度が 125℃ を超える動作は可能ですが、デバイスの寿命が短くなります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±3000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部の動作時推奨温度である -40℃～+125℃において (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
入力電圧	V_{IN}	3.8		28	V
	EN	-0.1		5.5	
	FB	-0.1		5.5	
	SS/PG	-0.1		5.5	
	モード	-0.1		5.5	
出力電圧	V_{OUT}	0.8		5	
出力電流	I_{OUT}	0		5	A
温度	動作時の接合部温度、T_J	-40		125	℃

(1) *Recommended Operating Conditions 推奨動作条件*は本デバイスが機能する条件を示していますが、特定の性能限界を指定するものではありません。準拠する仕様については*「電気的特性」*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPSM84538 RCJ (QFN-FCMOD)、9 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	55.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	58.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	16	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	該当なし	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	15.7	℃/W
$R_{\theta JA_EVM}$	接合部から周囲への熱抵抗 (オフィシャル EVM ボード)	46	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。

5.5 電気的特性

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスの寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。標準値は T_J = 25℃、V_{IN} = 12V に対応します。特に記述がない限り、最小値と最大値の制限は、T_J = –40℃～+125℃、V_{IN} = 3.8V～28V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN ピン)						
V_{IN}	動作入力電圧		3.8		28	V
I_Q	非スイッチング時の静止電流	EN = 5V、V_{FB} = 0.65V、V_{IN} = 12V、PFM		28	34	μA
		EN = 5V、V_{FB} = 0.65V、V_{IN} = 12V、FCCM		40	47	
I_{SHDN}	シャットダウン時の電源電流	V_{EN} = 0V、V_{IN} = 12V		3	5.5	μA
V_{IN_UVLO}	入力低電圧誤動作防止スレッショルド	立ち上がりスレッショルド	3.4	3.6	3.8	V
		立ち下がりスレッショルド	3.2	3.4	3.6	V
		ヒステリシス		200		mV
イネーブル (EN ピン)						
V_{EN_RISE}	イネーブル スレッショルド	立ち上がりイネーブル・スレッショルド		1.15	1.22	V
V_{EN_FALL}	スレッショルドをディセーブル	立ち下がりディセーブル スレッショルド	0.9	1		V
I_p	EN プルアップ電流	V_{EN} = 1.0V		0.7		μA
I_h	EN プルアップヒステリシス電流			1.76		μA
電圧リファレンス (FB ピン)						
V_{FB}	FB 電圧	T_J = 25°C	596	600	604	mV
		T_J = 0°C～85°C	595	600	605	mV
		T_J = –40°C～125°C	594	600	606	mV
I_{FB}	入力リーク電流	V_{IN} = 12V、V_{FB} = 0.8V、T_J = 25°C			0.1	μA
電流制限						
I_{HS_LIMIT}	ハイサイド MOSFET 電流制限値	V_{IN} = 12V	7	8.1	9.4	A
I_{LS_LIMIT}	ローサイド MOSFET 電流制限値	V_{IN} = 12V	5	6	7	A
I_{LS_NOC}	逆電流制限	V_{IN} = 12V	2	3	4.5	A
I_{PEAK_MIN}	最小ピーク インダクタ電流	V_{IN} = 12V		1		A
ソフトスタート (SS ピン)						
I_{SS}	ソフトスタート充電電流		3.5	5.5	6.5	μA
T_{SS}	固定内部ソフトスタート時間	PG 機能付きモード。 0% の V_{out} ～ 90% の V_{out} までの時間		3.6		ms
パワー グッド (PG ピン)						

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスの寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。標準値は T_J = 25℃、V_{IN} = 12V に対応します。特に記述がない限り、最小値と最大値の制限は、T_J = –40℃～+125℃、V_{IN} = 3.8V～28V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{PGTH}	PG スレッショルド、V_{FB} のパーセンテージ	V_{FB} 立ち下り、PG High から Low		85%		
		V_{FB} 立ち上がり、PG Low から High		90%		
		V_{FB} 立ち下り、PG Low から High		107%		
		V_{FB} 立ち上がり、PG High から Low		115%		
T_{PG_R}	PG の遅延時間	PG を Low から High に		70		µs
T_{PG_F}	PG の遅延時間	PG を High から Low に		13		µs
$V_{IN_PG_VALID}$	有効な PG 出力の最小 V_{IN}	外部 5V へ 100kΩ プルアップして PG < 0.5V のときに測定		2	2.5	V
V_{PG_OL}	PG 出力 Low レベル電圧	I_{PG} = 0.5mA			0.3	V
I_{PG_LK}	オープン ドレインが High の PG リーク電流	V_{PG} = 5.5V	-1		1	µA
発信機周波数 (RT ピン)						
f_{SW}	スイッチング中心周波数	RT = フローティング	450	500	550	kHz
		RT = GND	870	1000	1130	
V_{SYNC_HI}	SYNC クロック High レベル スレッショルド		1.7			V
V_{SYNC_LO}	SYNC クロック Low レベル スレッショルド				0.9	V
t_{ON_MIN}(1)	最小 ON パルス幅			70		ns
t_{OFF_MIN}(1)	最小 OFF パルス幅			114		ns
t_{ON_MAX}(1)	最大 ON パルス幅			8		µs
出力過電圧および低電圧保護						
V_{OVP}	出力 OVP スレッショルド	OVP 検出 (L→H)	112%	115%	118%	
		ヒステリシス		8%		
V_{UVP}	出力 UVP スレッショルド	UVP 検出 (H→L)		65%		
		ヒステリシス		6%		
t_{hiccup_ON}	ソフトスタートの終了後ヒカップ モードに移行する前の UV ヒカップ オン時間			256		µs
t_{hiccup_OFF}	再起動前の UV ヒカップ オフ時間			9.8		サイクル
サーマル シャットダウン						
T_{SHDN}(1)	サーマル シャットダウンのスレッショルド	シャットダウン温度		165		℃
T_{HYS}(1)		ヒステリシス		30		℃
スペクトラム拡散周波数						
f_m(1)	変調周波数			10		kHz
f_{spread}	内部拡散発振器の周波数			±8%		

(1) 製造試験は行っておらず、設計による仕様です。

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

T_J = -40℃～125℃、V_{IN} = 12V（特に記述のない限り）。

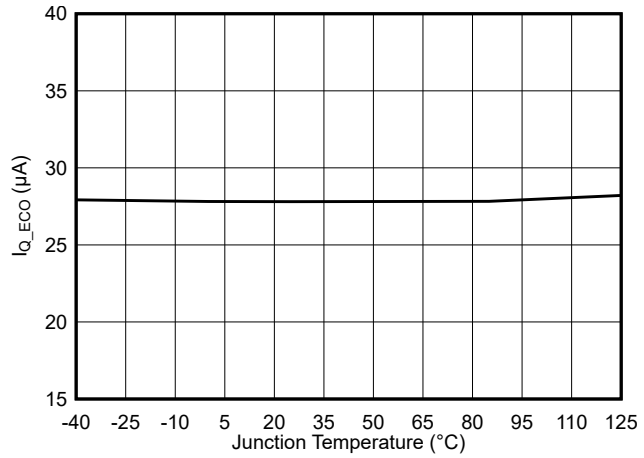


図 5-1. TPSM84538 の静止電流（PFM）と接合部温度との関係

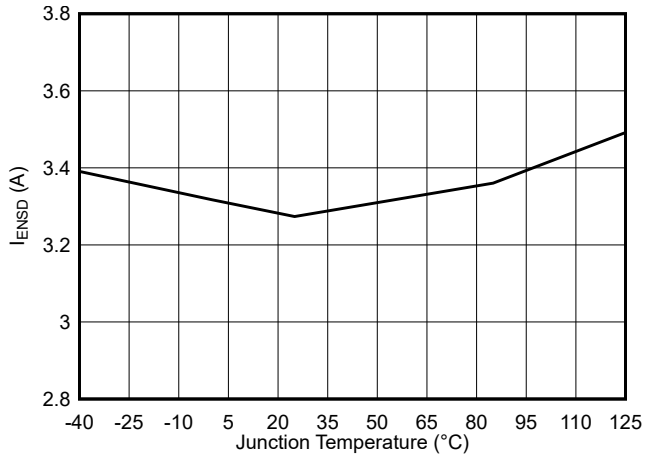


図 5-2. TPSM84538 シャットダウン電流と接合部温度との関係

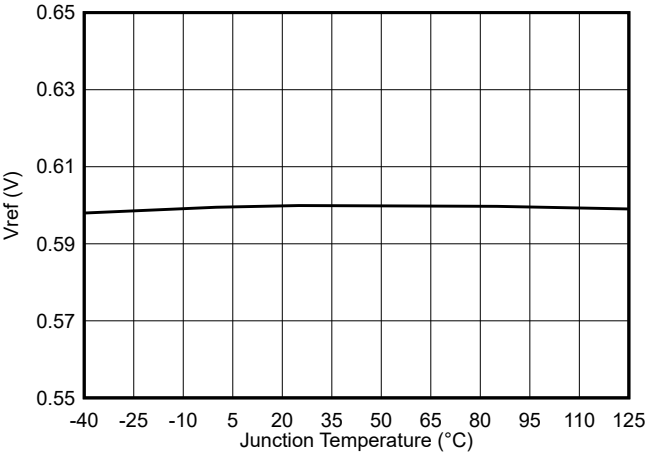


図 5-3. フィードバック電圧と接合部温度との関係

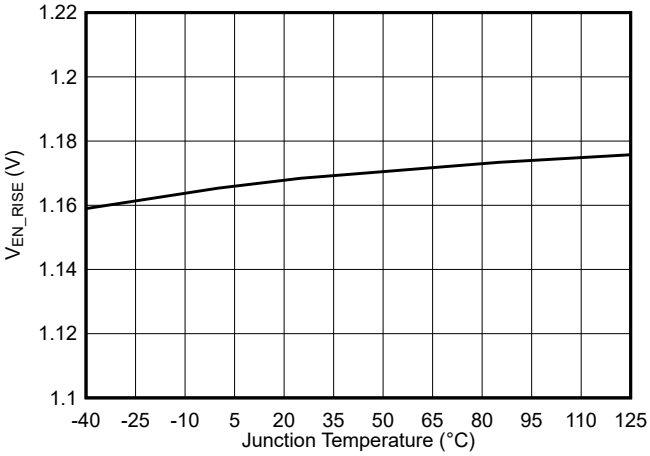


図 5-4. 有効スレッショルドと接合部温度との関係

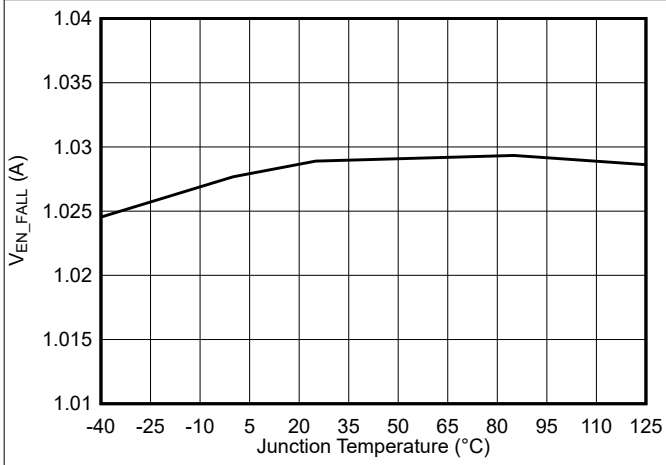


図 5-5. ディスエーブルスレッショルドと接合部温度との関係

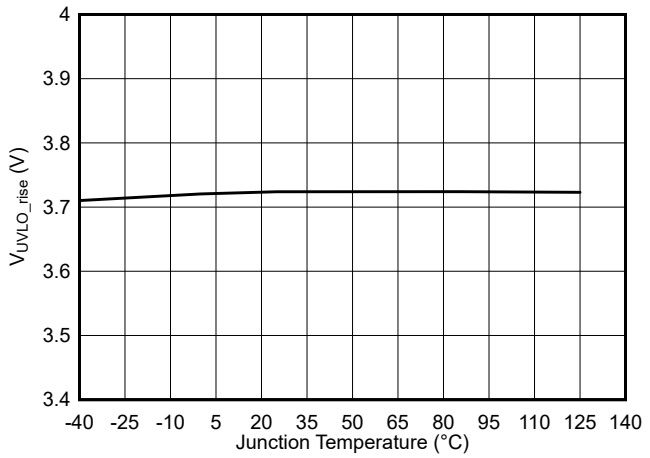


図 5-6. V_{IN}UVLO 立ち上がりスレッショルド対接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V（特に記述のない限り）。

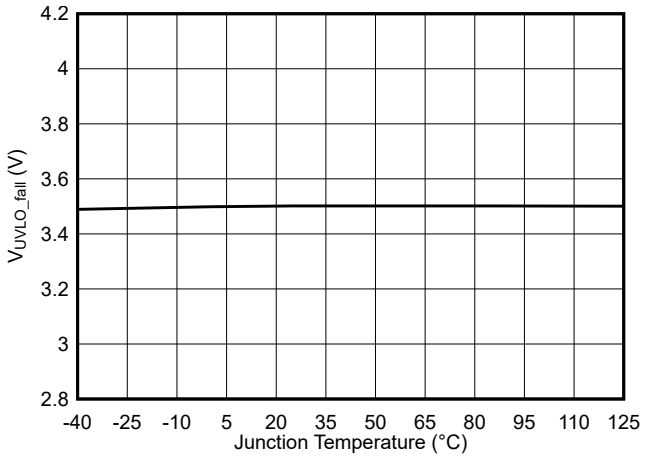


図 5-7. V_{IN} UVLO 立ち下がりスレッショルド対接合部温度との関係

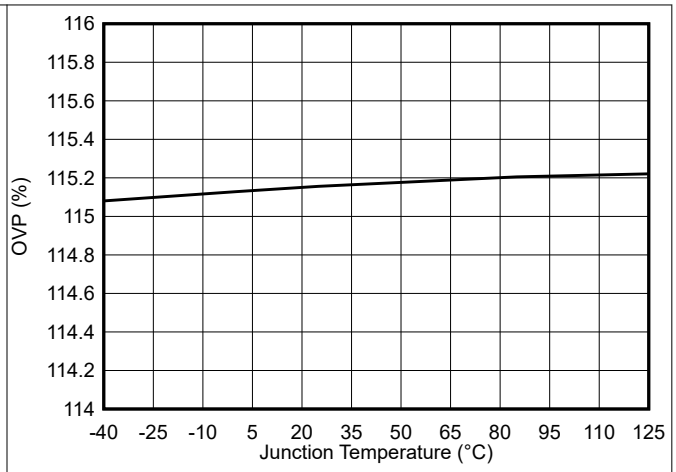


図 5-8. OVP スレッショルドと接合部温度との関係

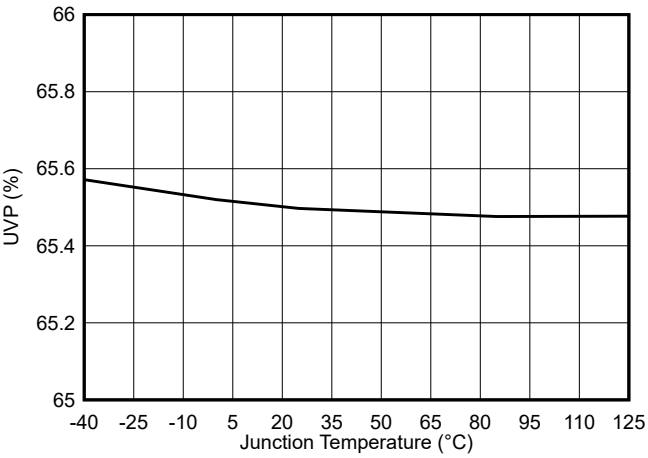


図 5-9. UVP スレッショルドと接合部温度との関係

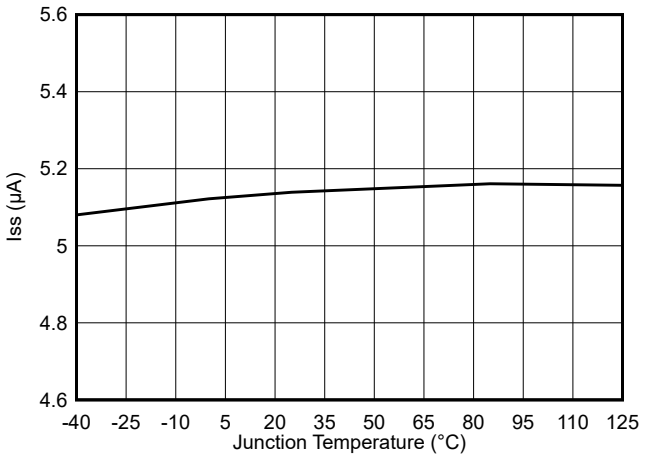


図 5-10. ソフト スタート充電電流と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPSM84538 は、設計の柔軟性が高い、高効率で高電圧入力に対応した、使いやすい同期整流降圧パワー モジュールです。TPSM84538 は動作時入力電圧範囲が 3.8V ～ 28V と広く、5V、12V、24V の各電源バス レールからの電力供給で動作するシステム向けの設計を採用しています。このデバイスは、最大 5A の連続出力電流と最大 98% のデューティ サイクルをサポートします。

TPSM84538 はピーク電流モード制御を採用し、内部補償によって高速過渡応答およびラインと負荷の優れたレギュレーションを実現しています。内部適応ループ調整により、広い出力電圧範囲とスイッチング周波数において、外付け補償を必要としません。内蔵のブーストキャップおよび関連回路を使用すると、単層 PCB (プリント基板) を作成でき、外付け部品点数をさらに低減するのに役立ちます。

MODE ピンの異なる構成により、本デバイスは、パルス周波数変調（PFM）、軽負荷時の強制連続電流変調（FCCM）、および調整可能なソフトスタート時間/パワーグッドインジケータのオプションを備えています。PFM モードで動作する場合、軽負荷時に高い効率を実現できます。FCCM モードは TPSM84538 がすべての負荷条件で出力リップルを低く抑えるために役立ちます。SS/PG ピンには、ソフトスタート時間の設定や、デバイスが SS 機能を持つように設定されたときの電圧トラッキングのために、小さな値のコンデンサまたは抵抗デバイダが接続されています。PG 機能を選択すると、デバイスは SS/PG ピンを介してパワー グッドを示すことができます。

EN ピンには内部プルアップ電流があり、それを使用すると入力低電圧誤動作防止 (UVLO) を 2 個の外付け抵抗により調整できます。また、EN ピンをフローティングにすることにより、内部プルアップ電流での動作も可能です。

RT/SYNC ピンの設定によりスイッチング周波数を 200kHz～2.2MHz の範囲で設定できるため、出力フィルタ部品を選択するときに効率と設計サイズを最適化できます。周波数スペクトラム拡散機能を使用すると、デバイスの EMI ノイズ低減に役立ちます。

TPSM84538 には、最大オン時間が 8µs (標準値)のオン時間延長機能があります。低ドロップアウト動作中、ハイサイド MOSFET は最大 8µs までオンにでき、最小オフ時間 114ns (標準値) でハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。デバイスは最大 98% のデューティ サイクルに対応しています。

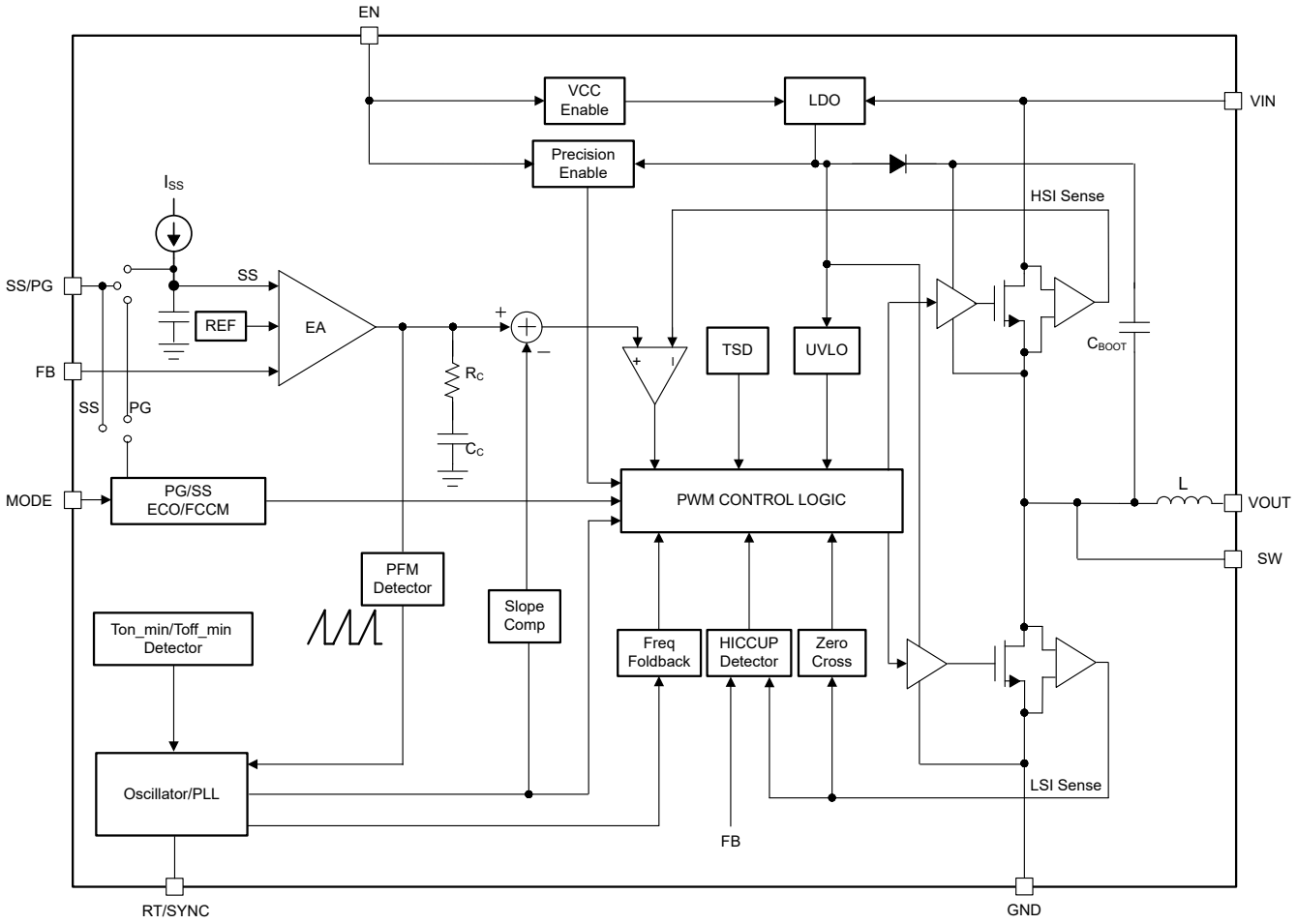
ハイサイド MOSFET にサイクル単位の電流制限を適用することで過負荷状況からデバイスを保護し、ローサイドのソース電流制限により電流暴走を防止します。TPSM84538 は、過電流がトリガされたために安定化出力電圧が公称電圧の 65% を下回ると、出力低電圧保護 (UVP) が作動します。約 256µs (標準値) のグリッチ除去時間が経過すると、ハイサイドとローサイドの両方の MOSFET がオフになり、デバイスはヒカップモードに移行します。

本デバイスは、過電圧コンパレータを利用して、過度の出力過電圧を最小限に抑えています。安定化された出力電圧が公称電圧の 115% を超えると、過電圧コンパレータが作動してハイサイド MOSFET がオフになり、出力電圧が 104% を下回るまでオフのままになります。

サーマル シャットダウンにより、ダイ温度 T_J が 165°C を超えるとデバイスが無効化され、T_J が 30°C のヒステリシス量を下回ると再び有効になります。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図


EN
VCC Enable
LDO
VIN
Precision Enable
HSI Sense
ISS
SS/PG
SS
REF
EA
FB
SS
PG
RC
CC
TSD
UVLO
CBOOT
MODE
PG/SS ECO/FCCM
PWM CONTROL LOGIC
L
VOUT
SW
PFM Detector
Slope Comp
Ton_min/Toff_min Detector
Freq Foldback
HICCUP Detector
Zero Cross
Oscillator/PLL
LSI Sense
FB
RT/SYNC
GND

6.3 機能説明

6.3.1 固定周波数のピーク電流モード

TPSM84538 の operation 説明は、機能ブロック図と図 6-1 の波形を参照しています。TPSM84538 は、ハイサイド（HS）およびローサイド（LS）MOSFET（同期整流器）を内蔵した同期整流式降圧コンバータです。TPSM84538 は、制御されたデューティ サイクルでハイサイドおよびローサイドの NMOS スイッチをオンにすることにより、出力電圧の安定化を実現します。ハイサイドスイッチがオンしている間、SW ピンの電圧は最大で VIN まで上昇し、インダクタ電流 iL は（VIN – VOUT）/ L の直線勾配で増加します。制御ロジックにより HS スイッチがオフされると、アンチシュートスルーのデッドタイムの後、LS スイッチがオンします。インダクタ電流は、ローサイド スイッチを通して -VOUT/L の割合で放電されます。降圧コンバータの制御パラメータは、デューティ サイクル $D = t_{ON}/T_{SW}$ と定義されます。ここで、t_{ON} はハイサイド スイッチのオン時間、t_{SW} はスイッチング周期です。コンバータ制御ループは、デューティ サイクル D を調整することにより、出力電圧を一定に維持します。損失を無視できるような理想的な降圧コンバータでは、次の式のように、D は出力電圧に比例し、入力電圧に反比例します。D = VOUT/VIN。

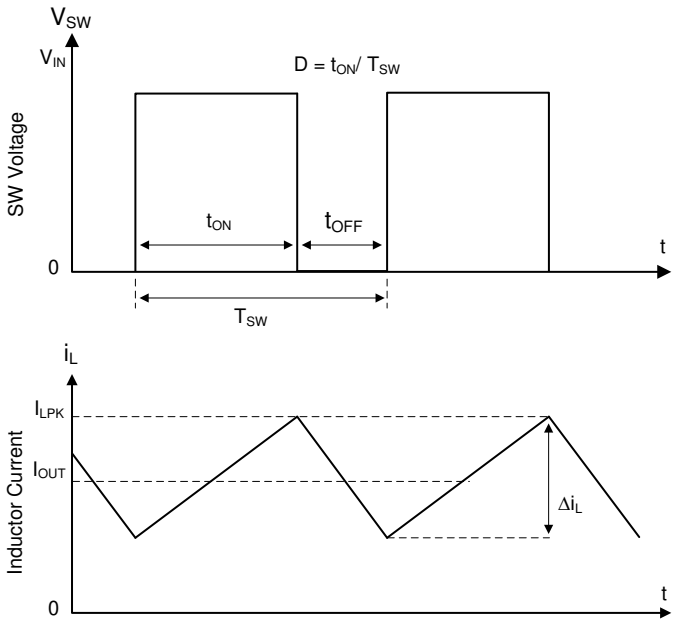


図 6-1. 連続導通モード (CCM) における SW ノードとインダクタ電流の波形

TPSM84538 は、固定周波数のピーク電流モード制御を採用しています。電圧帰還ループを使用して、電圧オフセットに基づいてピーク電流コマンドを調整することにより、DC 電圧を正確にレギュレートします。ピーク インダクタ電流を HS スイッチからセンスし、ピーク電流スレッショルドと比較することで、HS スイッチのオン時間を制御します。電圧帰還ループは内部補償されているため、外付け部品を減らすことができ、設計が容易になり、出力コンデンサの組み合わせをほとんど自由に選んでも安定した動作が得られます。

6.3.2 モード選択

MODE ピンの構成の変更による、軽負荷時の PFM と FCCM を選択でき、SS と PG ピンでは調整可能なソフトスタート時間機能とパワー グッド インジケータ機能を選択でき、EMI 強化のためにユーザーが選択できるスペクトラム拡散機能が用意されています。次の表は、MODE ピンの各種構成を示しています。TI では、MODE 選択のために精度 1% の低温度係数抵抗を使用することを推奨します。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. MODE ピンの構成表

推奨モード抵抗、kΩ	軽負荷時の operation	SS/PG ピンの機能	周波数スペクトラム拡散、Fss
4kΩ 未満のショート バージョン	PFM	SS	あり
18kΩ	PFM	PG	あり
180kΩ	FCCM	SS	あり
330kΩ	FCCM	PG	あり
680kΩ	FCCM	SS	なし
1.3MΩ を超える、フローティング	FCCM	PG	なし

6.3.3 電圧リファレンス

内部リファレンス電圧 V_{REF} は、0.6V (標準値) に設計されています。コンバータの負帰還システムは、温度に対し安定な内部バンドギャップ回路の出力をスケーリングすることで、全温度範囲にわたって正確な ±1% の帰還電圧 V_{FB} を生成します。

6.3.4 出力電圧設定

高精度の 0.6V 基準電圧 V_{REF} を使用して、動作温度範囲の全体にわたって正確に安定化された出力電圧を維持します。出力電圧は、出力電圧と FB ピンとの間の分圧抵抗回路によって設定されます。TI はテキサス・インスツルメンツでは、FB 分圧器に精度 1% の低温度係数抵抗を使用することを推奨します。目的の分圧器電流に対応する下側抵抗 R_{FBB} を選択し、式 1 を使って上側抵抗 R_{FBT} を計算します。R_{FBB} が小さいと、分圧器の電流が大きくなり、非常に軽い負荷での効率が低下します。R_{FBB} が大きいと、FB 電圧がノイズの影響を受けやすくなるため、R_{FBB} の値が大きいほど、PCB 上の帰還パスをより慎重に設計する必要があります。TI は、ほとんどのアプリケーションでは、R_{FBB} を 10kΩ、R_{FBT} を 10kΩ から 300kΩ の範囲で設定することを推奨しています。

分圧抵抗の公差や温度による変動は、出力電圧のレギュレーションに影響を与えます。

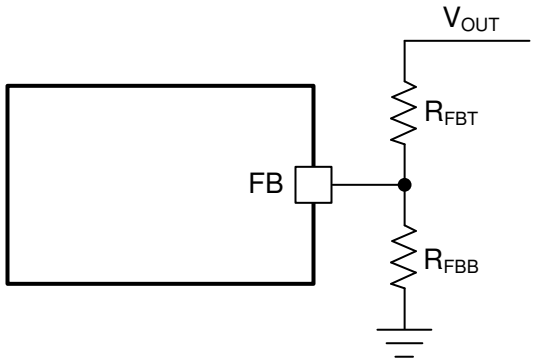


図 6-2. 出力電圧設定

$$R_{FBT} = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_{FBB} \quad (1)$$

ここで、

- V_{REF} は 0.6V（内部リファレンス電圧）です。
- R_{FBB} は 10kΩ（推奨）です。

6.3.5 スイッチング周波数の選択、同期

TPSM84538 は、RT/SYNC ピンのさまざまな構成により、RT モードおよび SYNC モードで動作できます。RT モードでは、TPSM84538 のスイッチング周波数は RT 選択のプログラミングにより設定できます。表 6-2 は、RT 選択のプログラミングを示しています。RT がフローティングまたは GND に接続されている場合、デバイスが最初にイネーブルになるときに、この入力の状態が検出されます。コンバータが実行された後は、スイッチング周波数の選択は固定され、次のパワー

オン サイクルまたは EN トグルまで変更できません。RT を抵抗に接続すると、次の式を使用してスイッチング周波数を 200kHz ～ 2200kHz の範囲で設定できます。

$$R_T = \frac{44500}{f_{SW}} - 2 \quad (2)$$

ここで、

- RT は、RT タイミング抵抗の値 (kΩ) です。
- f_{SW} はスイッチング周波数 (kHz) です。

表 6-2. RT/SYNC ピンの抵抗設定

RT/SYNC ピン	抵抗	スイッチング周波数
フローティング	85kΩ	500kHz
GND	40kΩ	1000kHz
抵抗	18kΩ～220kΩ	ARM：200 kHz ～ 2200 kHz

スイッチング周波数が RT/SYNC ピンで設定された条件に適合しない、次の 4 つのケースがあります：

- 軽負荷動作 (PFM モード)
- 低ドロップアウト動作
- 最小オン時間動作
- 電流制限が始動した

いずれの場合も、スイッチング周波数はフォールドバックし、スイッチング周波数は RT/SYNC ピンでプログラムされた周波数よりも低くなります。これらの条件下では、電流制限動作を除き、出力電圧は安定化したままになります。

内部のフェーズ ロック ループ (PLL) によって、200kHz ～ 2200kHz での同期が可能になり、RT モードから SYNC モードへと簡単に切り替えることができます。同期機能を実装するには、100ns 以上のオン時間で RT/SYNC ピンに方形波クロック信号を接続します。クロック信号の振幅は、0.9V より低く 1.7V より高く遷移する必要があります。

RT モードと SYNC モードの両方が必要なアプリケーションでは、図 6-3 に示す RC 回路を使用して RT/SYNC ピンとのインターフェイスを確立できますが、容量性負荷のために RT モードへの移行が遅くなります。RT/SYNC ピンは GND/ フローティングに接続したままにしないでください。また、TI は 100pF のコンデンサを推奨します。直列 RC 回路を使用するときは、RT/SYNC ピンの信号の振幅が 0.9V より低く 1.7V より高く遷移する必要があることを確認してください。

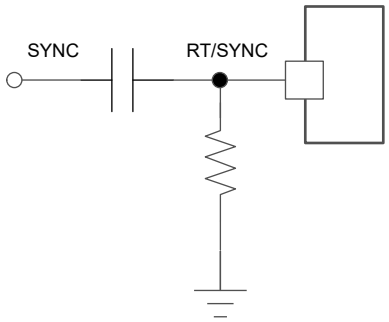


図 6-3. SYNC モードの構成

Copyright © 2026 Texas Instruments Incorporated

注

- 起動前に SYNC がアクティブである場合、TPSM84538 は SYNC クロックで動作します。
- 起動前に SYNC がアクティブでない場合、TPSM84538 はデフォルト クロックで動作します (RT 抵抗を基準)。SYNC クロックがアクティブなとき、TPSM84538 は SYNC モードで動作します。
  - SYNC クロックが範囲外 (200kHz ～ 約 2.2MHz) の場合、TPSM84538 は最終周波数 (200kHz、2.2MHz) で動作します。
  - 動作中、SYNC クロックはロックされていません。

スイッチング周波数は、本デバイスの出力電圧の設定に基づいて選択する必要があります。一般的な入力電圧における、指定されたスイッチング周波数での出力電圧の許容範囲については、「表 6-3」を参照してください

表 6-3. スイッチング周波数と出力電圧との関係

F_{SW} (kHz)	V_{IN} = 5V		V_{IN} = 12V	
	V_{OUT} の範囲 (V)		V_{OUT} の範囲 (V)	
	最小値	最大値	最小値	最大値
200	該当なし	該当なし	該当なし	該当なし
400	0.6 ～ 1.2 / 4 ～ 4.5		0.6	1
600	0.6	4.5	0.6	1.5
800	0.8	4	0.7	2
1000	1	4	0.9	3.3
1200	1.5	3.5	1.2	4.5
1400	1.8	3.3	1.5	5
1600	該当なし	該当なし	1.5	5
1800	該当なし	該当なし	1.8	5
2000	該当なし	該当なし	2	5
2200	該当なし	該当なし	2.5	5

6.3.6 位相シフト

TPSM84538 が外部クロックと同期しながら FCCM モードで動作するときは、図 6-4 に示すように、MODE ピンにコンデンサ接続を追加することで、位相シフト機能を有効にできます。位相シフト機能を無効にする場合は、コンデンサをフローティングにします。位相シフト機能は、降圧コンバータが同じ入力を共有するマルチレールにおいて、入力リップルを低減し、EMI 性能を向上させるように設計されています。図 6-5 は、位相シフトによって、同じ入力を共有している 3 つの降圧コンバータで入力リップルが低減する様子を示しています。式 3 を使用してコンデンサ値を計算します。C_{MODE} は MODE コンデンサ、θ は位相シフトの角度です。表 6-4 は位相シフト構成の標準的なコンデンサ値を示しています。

$$C_{MODE} = \frac{\theta - 28^\circ}{1.3585} \quad (3)$$

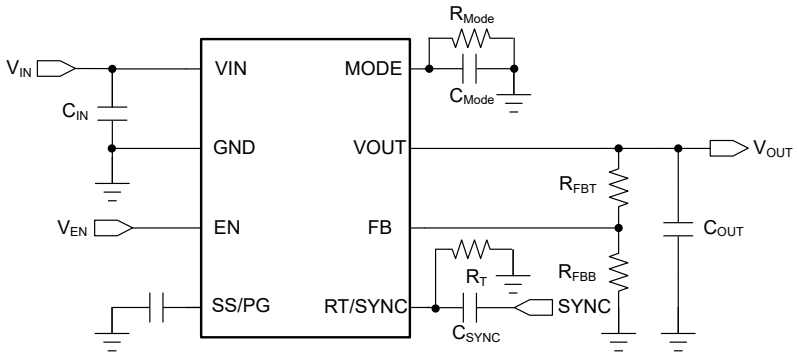


図 6-4. 位相シフト動作の回路図

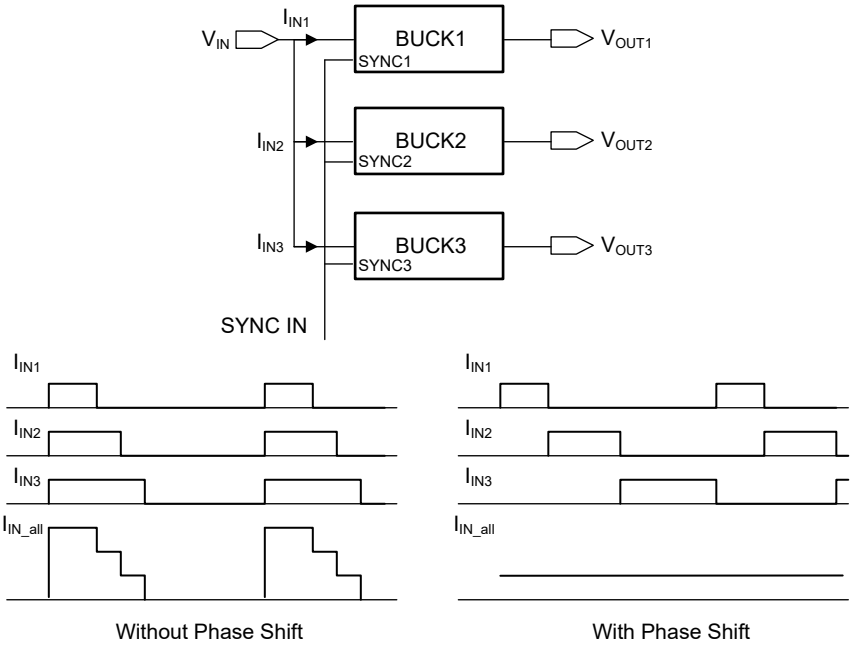


図 6-5. 位相シフト動作の適用

表 6-4. 位相シフトの構成

推奨モード コンデンサ、pF	位相シフト、度
47pF	90°
68pF	120°
120pF	180°
180pF	270°

6.3.7 イネーブルと低電圧誤動作防止の調整

EN ピンは、本デバイスの電気的オン / オフ制御に使用できます。EN ピンの電圧が有効スレッショルド電圧 V_{EN_RISE} を上回ると、TPSM84538 は動作を開始します。EN ピンの電圧がディスエーブル・スレッショルド電圧 V_{EN_FALL} を下回ると、コンバータはスイッチングを停止し、シャットダウン・モードに移行します。

EN ピンには内部プルアップ電流源があり、ユーザは EN ピンをフローティングにしてデバイスをイネーブルにできます。アプリケーションが EN ピンの制御を必要とする場合は、オープン・ドレインまたはオープン・コレクタ、または GPIO 出力ロジックを使用してピンとインターフェースしてください。

TPSM84538 には、VIN ピンに内部低電圧誤動作防止（UVLO）回路が実装されています。VIN ピンの電圧が内部の V_{IN_UVLO} スレッショルドを下回ると、デバイスはディセーブルになります。内部 V_{IN_UVLO} スレッショルドには、標準値 200mV のヒステリシスがあります。アプリケーションで VIN ピンに、より高い UVLO スレッショルドが必要である場合は、EN ピンを図 6-6 のように構成できます。外部 UVLO 機能を使用する際には、500mV 以上の値にヒステリシスを設定することを推奨します。

EN ピンでは小さなプルアップ電流 I_p により、外部部品を接続しないときの EN ピンのデフォルト状態が有効に設定されます。プルアップ・ヒステリシス電流 I_h は、EN ピンの電圧が有効スレッショルドを超えたときの UVLO 機能のヒステリシス電圧を制御するために使用されます。式 4 と 式 5 を使用して、指定された UVLO スレッショルドに対する R1 と R2 の値を計算します。R1 と R2 の値が安定した後、V_{EN} は式 6 で計算できます。この値は、V_{IN} の最大値で 5.5V 未満にする必要があります。

Copyright © 2026 Texas Instruments Incorporated

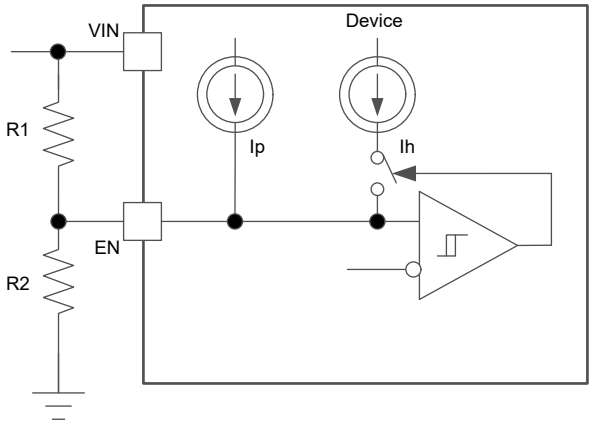


図 6-6. 調整可能な V_{IN} 低電圧ロックアウト

$$R_1 = \frac{V_{START} \times \frac{V_{EN_FALL}}{V_{EN_RISE}} - V_{STOP}}{I_p \times \left(1 - \frac{V_{EN_FALL}}{V_{EN_RISE}}\right) + I_h} \quad (4)$$

$$R_2 = \frac{R_1 \times V_{EN_FALL}}{V_{STOP} - V_{EN_FALL} + R_1 \times \left(I_p + I_h\right)} \quad (5)$$

$$V_{EN} = \frac{R_2 \times V_{IN} + R_1 \times R_2 \times \left(I_p + I_h\right)}{R_1 + R_2} \quad (6)$$

ここで、

- I_P は 0.7µA です。
- I_h は 1.76µA です。
- V_{EN_FALL} は 1V です。
- V_{EN_RISE} は 1.15V です。
- V_{START} はデバイスをイネーブルする入力電圧です。
- V_{STOP} は、デバイスをディスエーブルする入力電圧です。

6.3.8 外部ソフト スタートおよびプリバイアス付きソフト スタート

TPSM84538 が MODE ピンによって SS 機能に構成されている場合、TPSM84538 の SS/PG ピンを使用して、容量性負荷を駆動する際に突入電流を最小化します。本デバイスは、内部基準電圧 V_{REF} または SS/PG ピン電圧のいずれか低い方の電圧をリファレンス電圧として使用し、それに従って出力のレギュレーションを行います。SS/PG ピンとグランド間のコンデンサにより、ソフトスタート時間が設定されます。このデバイスには、外部ソフトスタートコンデンサを充電する内部プルアップ電流源が備わっています。次の式を使用して、ソフトスタート時間 (t_{SS}、0% ～ 100%) とソフトスタート コンデンサ (C_{SS}) を計算します。

$$t_{SS} = \frac{C_{SS} \times V_{REF}}{I_{SS}} \quad (7)$$

ここで、

- V_{REF} は 0.6V（内部リファレンス電圧）です。
- I_{SS} は 5.5µA（標準値）、内部プルアップ電流。

スタートアップ時に出力コンデンサがプリバイアスされている場合には、内部リファレンス電圧が帰還電圧 V_{FB} より大きくなるまで、スイッチングおよび電圧上昇は開始されません。この方式により、コンバータはレギュレーション点までスムーズに上昇します。SS/PG ピンに接続される抵抗デバイダを使用して、他の電源レールの電圧トラッキングを実装できます。

Copyright © 2026 Texas Instruments Incorporated

6.3.9 パワー グッド

TPSM84538 が PG 機能用に構成されている場合、出力電圧が適切なレベルに達したかどうかを示すために SS/PG ピンが使用されます。PG 信号は、スタートアップ時の複数のレールのシーケンシングに使用できます。PG ピンはオープンドレイン出力であり、5.5V 未満の電圧にプルアップ抵抗が必要です。TI は 10kΩ - 100kΩ のプルアップ抵抗を推奨します。このデバイスは、ほぼ 4mA の電流をシンクし、指定されたロジック Low レベルを維持できます。FB ピンの電圧が内部リファレンス電圧（V_{REF}）の 90%~ 107%の間にある後、70µs のグリッチ除去時間を経過すると、PG は高インピーダンス状態になります。PG ピンは、13µs のグリッチ除去時間の経過後に Low になります。このとき、FB ピンの電圧が内部リファレンス電圧の 85%を下回った場合、または内部リファレンス電圧の 115%を上回った場合、またサーマル・シャットダウン、EN シャットダウン、または UVLO の状態の場合には、Low になります。PG ピンが Low に維持されるには、VIN が印加され続けている必要があります。

表 6-5. PG のステータス

デバイスの状態		PG のロジック ステータス	
		高インピーダンス	Low
有効（EN = High）	V_{FB} は V_{PGTH} をトリガしません	✓	
	V_{FB} によって V_{PGTH} がトリガされます		✓
シャットダウン（EN = Low）			✓
UVLO	2.5V < V_{IN} < V_{UVLO}		✓
サーマル シャットダウン	T_J > T_{SD}		✓
電源の取り外し	V_{IN} < 2.5V	✓	

6.3.10 最小オン時間、最小オフ時間、および周波数フォールドバック

最小オン時間(t_{ON_MIN})は、ハイサイドスイッチがオンにできる最小の時間です。t_{ON_MIN} は、TPSM84538 では通常 70ns です。最小オフ時間（t_{OFF_MIN}）は、ハイサイドスイッチがオフにできる最小時間です。t_{OFF_MIN} は通常 114ns です。CCM 動作時には、t_{ON_MIN} および t_{OFF_MIN} によって、スイッチング周波数フォールドバックが発生しない電圧変換範囲が制限されます。

周波数フォールドバックが発生しない最小デューティ サイクルは次のとおりです。

$$D_{MIN} = t_{ON_MIN} \times f_{SW} \quad (8)$$

周波数フォールドバックが発生しない最大デューティ サイクルは次のとおりです。

$$D_{MAX} = 1 - t_{ON_MIN} \times f_{SW} \quad (9)$$

必要な出力電圧が与えられた場合、周波数フォールドバックなしでの最大 V_{IN} は次のとおりです。

$$V_{IN_MAX} = \frac{V_{OUT}}{t_{ON_MIN} \times f_{SW}} \quad (10)$$

周波数フォールドバックなしの最小 V_{IN} は次のとおりです。

$$V_{IN_MIN} = \frac{V_{OUT}}{1 - t_{ON_MIN} \times f_{SW}} \quad (11)$$

TPSM84538 では、t_{ON_MIN} または t_{OFF_MIN} がトリガされた後に周波数フォールドバック方式が動作するようになっています。これにより、最大デューティ サイクルを増加、または最小デューティ サイクルを低下させます。

V_{IN} 電圧が高くなるにつれて、オン時間は減少します。オン時間が t_{ON_MIN} まで減少すると、V_{IN} の増加に伴ってスイッチング周波数が低下し始め、式 8 に従ってデューティ サイクルがさらに低下して V_{OUT} の安定化状態が維持されます。

Copyright © 2026 Texas Instruments Incorporated

この周波数フォールドバック方式は、V_{IN} が低い状況で、より大きなデューティ サイクルが必要になった場合にも機能します。デバイスが t_{OFF_MIN} に達すると周波数が低下し、式 9 に従って最大デューティ サイクルが増加します。周波数フォールドバックの範囲が広いため、TPSM84538 の出力電圧は、電源電圧 V_{IN} がかなり低いときでも安定化状態を維持しており、実効ドロップアウトを低減できます。周波数フォールドバックにより V_{IN_MAX} が上昇し、f_{SW} の低下により V_{IN_MIN} が低下します。

6.3.11 周波数スペクトラム拡散

EMI を低減するために、TPSM84538 は周波数スペクトラム拡散を導入します。ジッタ・スパンは通常、変調周波数 10kHz で、スイッチング周波数の±8%です。スペクトラム拡散の目的は、一定の周波数で動作する代わりに、特定の周波数のピーク放射をより広い範囲の周波数に拡散することで、ピーク放射を除去することです。図 6-7 は周波数スペクトラム拡散変調を示しています。図 6-8 は中心周波数 f_c でエネルギーが拡散されることを示しています。

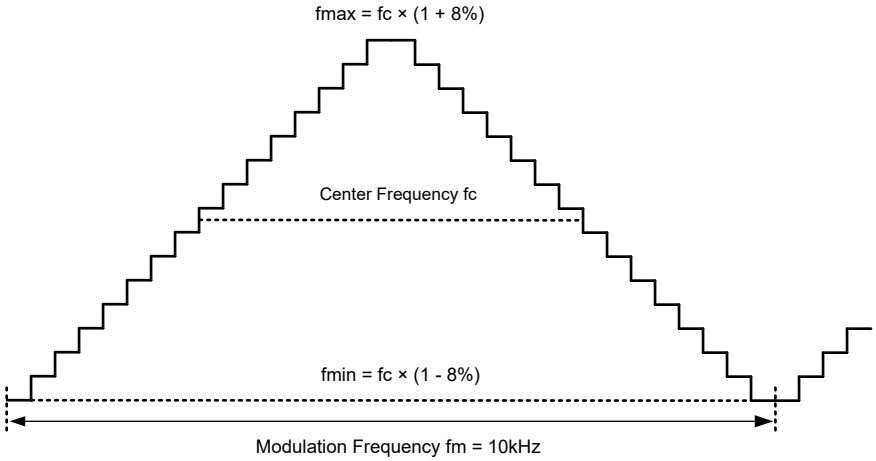


図 6-7. 周波数スペクトラム拡散図

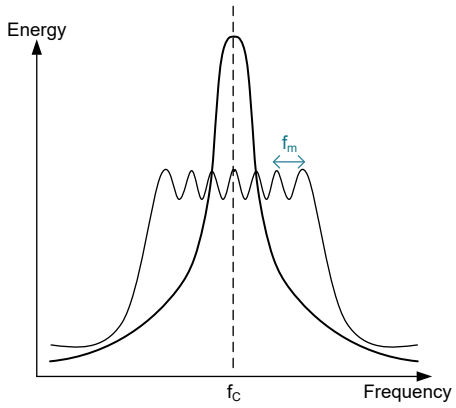


図 6-8. エネルギーと周波数との関係

6.3.12 過電圧保護

このデバイスは、出力電圧のオーバーシュートを最小限に抑えるための出力過電圧保護 (OVP) 回路を備えています。OVP 機能では、FB ピンの電圧を OVP スレッショルドと比較することで、このオーバーシュートを最小限に抑えます。FB ピンの電圧が OVP スレッショルドの 115%を超えると、ハイサイド MOSFET がオフになり、出力に電流が流れるのを防止し、出力オーバーシュートを最小限に抑えます。FB ピンの電圧が OVP スレッショルドからヒステリシスを差し引いた値よりも低くなると、次のクロックサイクルでハイサイド MOSFET がオンに切り替わります。この機能は、非ラッチ operation です。

6.3.13 過電流および低電圧保護

TPSM84538 にはピークおよびバレー・インダクタ電流制限が組み込まれており、過負荷や短絡からデバイスを保護し、最大出力電流を制限します。バレー電流制限は、出力短絡時のインダクタ電流暴走を防止します。また、ピーク制限とバレー制限は連携して、コンバータの最大出力電流を制限します。また、短絡が持続する場合には、ヒカップ・モードも組み込まれます。

ハイサイドスイッチ電流は、設定されたブランキング時間（t_{ON_MIN}）の後にオンになったときに検出されます。ハイサイドスイッチのピーク電流はピーク電流スレッショルド I_{HS_LIMIT} によって制限されます。ローサイドスイッチ を通過する電流も検出され、監視されます。ローサイド スイッチがオンになると、インダクタ電流は減少し始めます。

デバイスが過負荷になったため、次のクロック・サイクルよりも前にインダクタ電流のバレーが I_{LS_LIMIT} を下回ることができない点に達し、ローサイド・スイッチはオンに保持されます。インダクタ電流がバレー電流スレッショルド I_{LS_LIMIT} 以下になるまで、その後ローサイド・スイッチがオフとなり、デッドタイム経過後にハイサイド・スイッチがオンになります。この動作が発生すると、バレー電流制限制御がそのサイクルをスキップし、スイッチング周波数が低下します。さらに過負荷が発生すると、スイッチング周波数は低下を続けますが、出力電圧は安定化された状態に維持されます。過負荷が大きくなると、下限側電流制限 I_{HS_LIMIT} に達するまで、インダクタの電流リップルとピーク電流の両方が増加します。この制限値に達すると、スイッチのデューティサイクルが減少し、出力電圧が規定値から外れます。この動作は、コンバータからの最大出力電流を表し、式 12 で求められます。出力電流は約 I_{OMAX} で維持されながら、デバイスが過負荷に深く移行するにつれて、出力電圧とスイッチング周波数は引き続き低下します。別の状況として、インダクタのリップル電流が大きい場合、ローサイド制限に達する前にハイサイド電流制限がトリップされる可能性があります。この場合、式 13 に最大出力電流の概算値を示します。

$$I_{OMAX} \approx \frac{I_{HS_LIMIT} + I_{LS_LIMIT}}{2} \tag{12}$$

$$I_{OMAX} \approx I_{HS_LIMIT} - \frac{(V_{IN} - V_{OUT})}{2 \times L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}} \tag{13}$$

さらに、重大な過負荷または短絡により FB 電圧が V_{UVP} スレッショルド、V_{REF} の 65%を下回り、電流制限がトリガされる場合に、ヒカップ・オン時間（標準 256µs）より長くこの状態が発生した場合、コンバータはヒカップ・モードに移行します。このモードでは、デバイスはヒカップオフ時間 $10.5 \times t_{SS}$ のスイッチングを停止し、その後、ソフトスタート時間によって通常の再起動に移行します。過負荷または短絡状態が継続すると、デバイスは電流制限で動作し、その後再びシャットダウンします。このサイクルは、過負荷または短絡状態が続く限り繰り返されます。この動作モードでは、出力で持続的な過負荷または短絡状態が発生したときのデバイスの温度上昇が減少します。出力短絡が解消した後、出力電圧は通常はレギュレーション電圧に復帰します。

FCCM バージョンでは、インダクタ電流が負方向に流れることが許容されています。この電流が LS の負電流制限 I_{LS_NEG} を超えると、LS スイッチはオフになり、HS スイッチは直ちにオンになります。これにより、LS スイッチを過剰な負電流から保護するために使用されます。

6.3.14 サーマル シャットダウン

本デバイスの接合部温度 T_J は内蔵の温度センサによって監視されています。T_J が 165°C（標準値）を超える場合、デバイスはサーマルシャットダウンに移行し、ハイサイドとローサイドの両方のパワー FET がオフになります。T_J がヒステリシスである 30°C（標準）以下に低下すると、コンバータはソフトスタートを発端に、通常動作に復帰します。

6.4 デバイスの機能モード

6.4.1 モードの概要

TPSM84538 は、負荷の変化に応じて、CCM、DCM、PFM、FCCM の各モードに移行します。負荷電流に応じて、TPSM84538 は次のいずれかのモードになります：

- 連続導通モード (CCM)。負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より大きくなると、固定スイッチング周波数の連続導通モードになります

Copyright © 2026 Texas Instruments Incorporated

- 不連続導通モード (DCM)。CCM 動作で負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より小さくなると、固定スイッチング周波数の不連続導通モードになります
- 軽負荷時に切り替え周波数を減少させるパルス周波数変調モード（PFM）
- 強制連続導通モード（FCCM）。軽負荷時でも固定スイッチング周波数の強制連続導通モード（FCCM）

6.4.2 重負荷 Operation

TPSM84538 は、負荷電流がインダクタのピーク・ツー・ピーク電流の半分より大きい場合、連続伝導モード（CCM）で動作します。CCMoperation では、一定の周波数でスイッチングし、デューティ サイクルを変調して負荷への電力を制御することにより、出力電圧を安定化します。出力電圧を安定化させることで、優れたラインおよびロード レギュレーションと最小出力電圧リップルが得られ、TPSM84538 から最大連続電流出力 5A を供給できます。

6.4.3 パルス周波数変調

TPSM84538 は、MODE ピンが PFM モードに設定されているときは、軽負荷時の効率を向上させるため、軽負荷電流でパルス周波数変調 (PFM) モードで動作するよう設計されています。

負荷電流が CCM のピーク ツー ピーク インダクタ電流の 1/2 未満の場合、本デバイスは不連続導通モード (DCM) で動作します。DCM 動作時は、インダクタ電流が I_{LS_ZC} まで低下すると、効率を向上させるためにローサイド スイッチがオフになります。DCM 時は、軽負荷時の強制 CCM 動作に比べて、スイッチング損失も導通損失も減少します。

さらに軽い電流負荷では、パルス周波数変調（PFM）モードが起動し、高効率 operation を維持します。最小ハイサイド スイッチのオン時間 t_{ON_MIN}、または最小ピーク インダクタ電流 I_{PEAK_MIN} のいずれかが経過すると、スイッチング周波数が低下して、安定が維持されます。PFM モードでは、負荷電流が減少したときに出力電圧の安定を維持するために、制御ループによってスイッチング周波数が低下します。PFM 動作中は、スイッチング動作の頻度が低下するため、スイッチング損失がさらに減少します。内蔵の電流コンパレータはピーク インダクタ電流のみを捕捉するため、PFM モードに入るときの平均負荷電流は、アプリケーションおよび外部出力 LC フィルタによって異なります。

PFM モードでは、1 つ以上のパルスがバーストすると下限側 MOSFET がオンになり、負荷にエネルギーを供給します。バースト期間は、帰還電流が V_{REF} に達するまでに要する時間に依存します。これらのバーストの周期性は出力を安定化するように調整され、ゼロ交差電流が検出されるとローサイド MOSFET がオフになって効率が最大化されます。このモードでは、少しの負荷で出力電圧を制御するために必要な入力消費電流の総量を削減することにより、軽負荷の効率を高めることができます。

6.4.4 強制連続導通変調

TPSM84538 が軽負荷条件下で FCCM で動作するように設定されている場合、スイッチング周波数は負荷範囲全体にわたって一定に維持されます。これは、軽負荷条件下では効率が低下するものの、スイッチング周波数と出力電圧リップルの厳密な制御が必要なアプリケーションに最適な選択肢です。一部のオーディオ アプリケーションでは、このモードは、何らかの「ノイズ」が発生する可能性がある可聴範囲へのスイッチング周波数の低下を防止するために有効です。

6.4.5 ドロップアウト動作

降圧コンバータのドロップアウト性能は、パワー MOSFET の R_{DSON}、インダクタの DC 抵抗、コントローラが実現できる最大デューティ サイクルの影響を受けます。入力電圧レベルが出力電圧に近づくと、ハイサイド MOSFET のオフ時間が最小値に近づき始めます。このポイントを超えると、スイッチング周波数が不安定になり、出力電圧が規定値から外れる可能性があります。この問題を回避するために、TPSM84538 は自動的にスイッチング周波数 (オン時間拡張機能) を低下させて実効デューティ・サイクルを増加させ、スイッチング周波数が最小制限値に達するまでレギュレーションを維持します。

6.4.6 最小オン時間 operation

すべてのスイッチングコンバータには、制御回路に関連する固有の遅延とブランキング時間によって決まる、制御可能なオン時間の最小値があります。これにより、スイッチのデューティサイクルが最小になり、変換比も最小になります。この制約は、入力電圧が高く出力電圧が低いときに発生します。制御可能な最小デューティ サイクルを延長できるように、TPSM84538 は最小オン時間制限に達するとスイッチング周波数を自動的に低下させます。このようにして、コンバータは、最大入力電圧におけるプログラム可能な最小出力電圧を安定化できます。周波数フォールドバックが発生する前に、

Copyright © 2026 Texas Instruments Incorporated

指定の出力電圧に対するおおよその入力電圧の概算を見つけるには、式 14 を使用します。t_{ON_MIN} および f_{SW} の値は、に示されセクション 5.5 ています。

$$V_{IN} \leq \frac{V_{OUT}}{t_{ON_MIN} \times f_{SW}} \quad (14)$$

入力電圧が高くなると、出力電圧を安定化させるためにスイッチ オン時間（デューティ サイクル）が短くなります。オン時間が最小オン時間 t_{ON_MIN} に達すると、オン時間が固定されたままスイッチング周波数が低下します。

6.4.7 シャットダウンモード

EN ピンは、本デバイスの電気的オン / オフ制御に使用できます。V_{EN} が標準の 1.15V を下回ると、TPSM84538 はシャットダウンモードになります。本デバイスは VIN UVLO 保護も採用しています。V_{IN} 電圧がそれぞれの U UVLO レベルを下回ると、コンバータもオフになります。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPSM84538 デバイスは通常、5V ～ 28V の入力電圧を 5V の出力電圧に変換するための降圧モジュールとして使用されます。

7.2 代表的なアプリケーション

次の図のアプリケーション回路図は、デバイスの要件を満たすように開発されたものです。この回路は、TPSM84538EVM 評価モジュールとして入手可能です。このセクションでは、設計手順を示します。

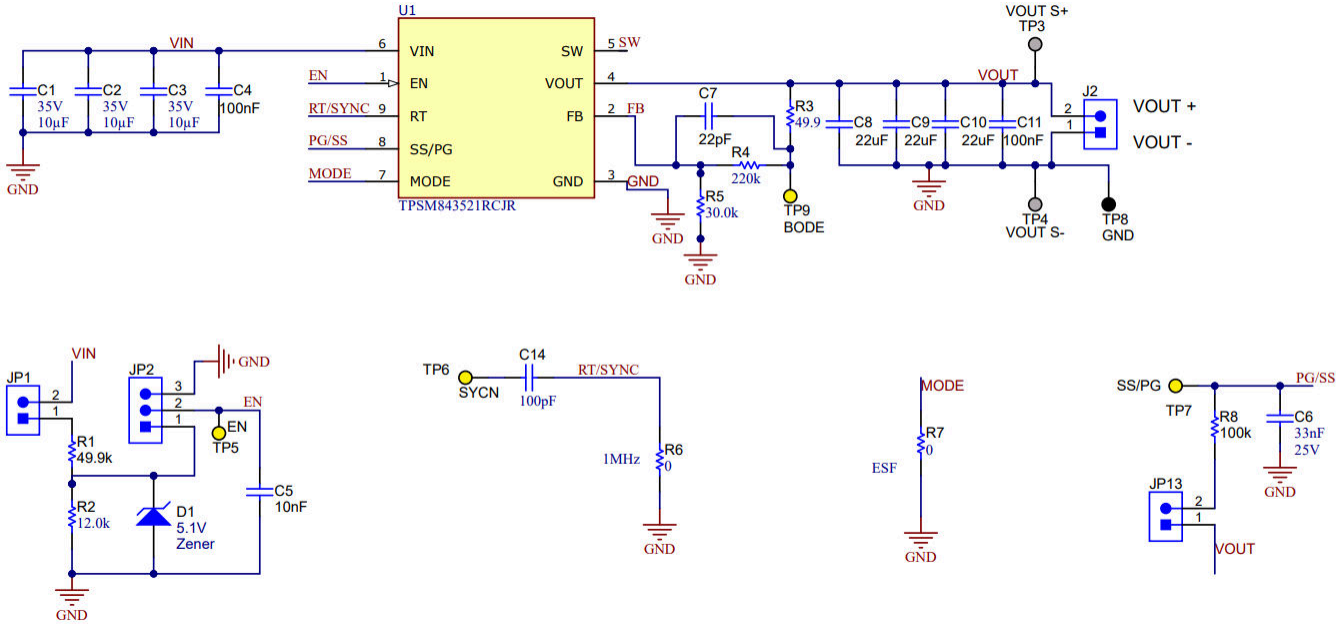


図 7-1. TPSM84538 は、5V 出力、5A のリファレンス・デザインです

7.2.1 設計要件

以下の表は、このアプリケーションの設計パラメータを表示しています。

表 7-1. 設計パラメータ

パラメータ		条件	最小値	標準値	最大値	単位
V_{IN}	入力電圧		5.5	12	28	V
V_{OUT}	出力電圧			5		V
I_{OUT}	出力電流定格			2		A
$V_{IN(ripple)}$	入力リップル電圧			400		mV
$V_{OUT(ripple)}$	出力リップル電圧			30		mV
F_{SW}	スイッチング周波数	RT = フローティング		1000		kHz
t_{SS}	ソフト スタート時間	C_{SS} = 33nF		3.6		mS
T_A	周囲温度			25		℃

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックして、WEBENCH Power Designer を使用して、TPSM84538 デバイスによりカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.2.2 出力電圧抵抗の選択

出力電圧は、出力ノードと FB ピンとの間の抵抗分圧回路によって設定されます。公差 1% 以内の分圧抵抗を使用することを推奨します。図 7-1 のアプリケーション回路図を参照し、R5 には 30kΩ から始めて、式 15 を使用して R4=220kΩ を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、コンバータがノイズの影響を受けやすくなり、FB 入力リーク電流からの電圧誤差が目立つようになります。

$$R_4 = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_5 \tag{15}$$

7.2.2.3 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を高くすると、より小型のインダクタや出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。ただし、スイッチング周波数を低くするとスイッチング損失が減少し、通常はシステム効率が向上するため、この例では R6 に 0Ω を使用して 1000kHz のスイッチング周波数にしました。

また、スイッチング周波数は、セクション 6.3.10 で説明しているように、以下の要因によって制限されることに注意してください。

- 内蔵パワー・スイッチの最小オン時間

Copyright © 2026 Texas Instruments Incorporated

- 入力電圧
- 出力電圧
- 周波数シフトの制約

7.2.2.4 ソフトスタート コンデンサの選択

大きな C_{SS} は、大きな容量性負荷を駆動するときの突入電流を低減することができます。ソフト スタート時間 t_{SS} を約 4ms に設定するために C6 を 33nF としております。

7.2.2.5 出力コンデンサの選択

このデバイスは、さまざまな LC フィルタと組み合わせて使用できるよう設計されており、コストとサイズを削減するため、可能な限り小さな出力容量を使用することが求められます。出力容量は次の仕様に直接影響するため、出力容量 C_{OUT} は注意して選択します:

- 定常状態の出力電圧リップル
- ループ安定性
- 負荷電流過渡時の出力電圧のオーバーシュートとアンダーシュート

出力リップルは基本的に 2 つの部分で構成されます。1 つは、出力コンデンサの等価直列抵抗（ESR）を流れるインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_ESR} = \Delta I_L \times ESR = K \times I_{OUT} \times ESR \tag{16}$$

もう 1 つは、出力コンデンサを充電および放電するインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_C} = \frac{\Delta I_L}{8 \times f_{SW} \times C_{OUT}} = \frac{K \times I_{OUT}}{8 \times f_{SW} \times C_{OUT}} \tag{17}$$

ここで、

K = インダクタ電流のリップル比 (ΔI_L / I_{OUT_MAX})。

電圧リップルの 2 つの成分は位相がずれているため、実際のピーク ツー ピーク リップルは 2 つのピークの合計よりも小さくなります。

通常、大きな電流ステップや高速スルーレートといった厳しい電圧レギュレーションが必要とされるシステムでは、出力コンデンサは出力電圧リップルではなく、負荷過渡要件によって制限されます。大きな負荷ステップが発生すると、出力コンデンサは、インダクタ電流が適切なレベルに増加できるまで必要な電荷を供給します。コンバータの制御ループは、インダクタ電流を新しい負荷レベルに等しく調整するため、通常は 8 クロック サイクル以上にする必要があります。出力容量は、8 クロック サイクルの電流差分を供給し、指定した範囲内での出力電圧を一定に保持するのに十分な大きさが必要です。式 18 に、指定の V_{OUT} オーバーシュートおよびアンダーシュートに必要な最小出力容量を示します。

$$C_{OUT} > \frac{1}{2} \times \frac{\Delta I_{OUT}}{\Delta V_{OUT_SHOOT}} \left(\frac{6}{f_{SW}} - \frac{1}{SR_{\Delta IOUT}} \right) \tag{18}$$

ここで、

- D は V_{OUT}/V_{IN}、定常状態のデューティ サイクルです。
- ΔV_{OUT_SHOOT} は出力電圧の変化です。
- ΔI_{OUT} は出力電流の変化です。
- $SR_{\Delta IOUT}$ は出力電流変化のスルーレートです

負荷過渡応答を向上させるためには、より大きなコンデンサ値を使用できます。セラミック コンデンサは、最小 ESR 要件を簡単に満たすことができます。場合によっては、セラミックと並列にアルミ電解コンデンサを配置して、必要な容量値を得ることができます。アルミニウムコンデンサとセラミックコンデンサを混合して使用する場合は、セラミックの最小推奨値を使用し、必要に応じてアルミニウム電解コンデンサを追加してください。

Copyright © 2026 Texas Instruments Incorporated

実際には、過渡応答とループ位相マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミック コンデンサを配置すると、高周波ノイズを低減するのに役立ちます。小さいケース サイズで 1nF～100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに役立ちます。

7.2.2.6 入力コンデンサの選択

TPSM84538 デバイスには入力デカップリング コンデンサが必要で、アプリケーションによってはバルク入力コンデンサも必要になります。デカップリング コンデンサの一般的な推奨値は 10µF です。テキサス・インスツルメンツでは、高周波フィルタリングを行うために VIN ピンとグランドの間に 0.1µF コンデンサを追加するよう推奨しています。

セラミック コンデンサの値は、温度およびコンデンサに印加される DC バイアスの大きさによって大きく変化します。X5R および X7R セラミック誘電体は容量/体積比が大きく、温度に対してかなり安定しているため、テキサス・インスツルメンツでは X5R および X7R セラミック誘電体を推奨しています。また、このコンデンサは DC バイアスも考慮して選択する必要があります。DC バイアスが増加すると実効静電容量値は減少します。

コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。コンデンサのリップル電流定格を最大入力電流リップルよりも大きくする必要があります。次の式を使用して、入力リップル電流を計算します。

$$I_{CIN_RMS} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN_MIN}} \times \frac{V_{IN_MIN} - V_{OUT}}{V_{IN_MIN}}} \tag{19}$$

次の式を使用して、入力電圧リップルを計算します。

$$\Delta V_{IN} = \frac{I_{OUT_MAX} \times 0.25}{f_{SW} \times C_{IN}} + \left(I_{OUT_MAX} \times R_{ESR_MAX}\right) \tag{20}$$

ここで、

R_{ESR_MAX} は入力コンデンサの最大直列抵抗で、並列に接続した 3 個のコンデンサの約 1mΩ です。

7.2.2.7 フィードフォワード コンデンサ C_{FF} の選択

場合によっては、R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。この方法は 100kΩ より大きい R_{FBT} を使用する場合に特に有効です。R_{FBT} の値が大きいと、FB ピンの寄生容量との組み合わせにより、小さな信号極が形成されてループの安定性に影響を与える可能性があります。C_{FF} は、この影響を緩和するのに役立ちます。C_{FF} コンデンサを使用することで、何らかの利点が得られるかどうかを判断するには、より低い値を使用します。

『*内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化*』アプリケーション ノートは、フィードフォワード コンデンサの実験に役立ちます。

この設計例では、負荷過渡性能を向上させるため、22pF のコンデンサ C7 を実装できます。

7.2.2.8 最大周囲温度

他の電力変換デバイスと同様に、TPSM84538 は動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部のダイ温度 (T_J) は、以下の関数になります。

- 周辺温度
- 電力損失
- デバイスの実効熱抵抗 $R_{\theta JA}$
- PCB の組み合わせ

ダイの内部温度は最大 150℃に制限する必要があります。この制限により、デバイスの最大電力損失と負荷電流が制限されます。式 21 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、$R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。これ

Copyright © 2026 Texas Instruments Incorporated

らの曲線にはインダクタ内の電力損失が含まれていることに注意してください。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。$R_{\theta JA}$ の正確な値を推定するのはより困難です。アプリケーションノート *Semiconductor and IC Package Thermal Metrics* に記載されているように、*熱特性表*に記載されている $R_{\theta JA}$ の値は設計目的には使用できず、アプリケーションの熱性能を推定するために使用してはなりません。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。$R_{\theta JC(bott)}$ と Ψ_{JT} のデータは、放熱性能を判定する際に役立ちます。詳細とリソースについては、*このセクションの末尾にある『半導体および IC パッケージの熱評価基準』アプリケーションノートを*参照してください。

$$I_{OUT_MAX} = \frac{\left(T_J - T_A\right)}{R_{\theta JA}} \times \frac{\eta}{1-\eta} \times \frac{1}{V_{OUT}} \tag{21}$$

ここで、

η（イータ）は効率です。

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度とフロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマル ビアの数
- 隣接する部品の配置

7.2.3 アプリケーション曲線

V_{IN} = 12V、V_{OUT} = 5V、C_{OUT} = 44µF、T_A = 25℃ (特に記述のない限り)

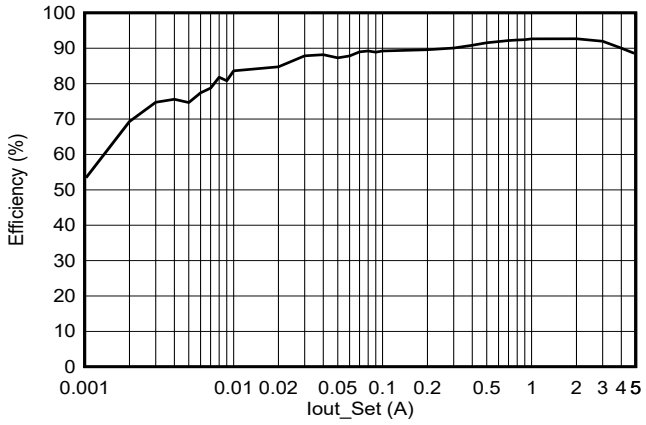


図 7-2. 効率 (PFM)

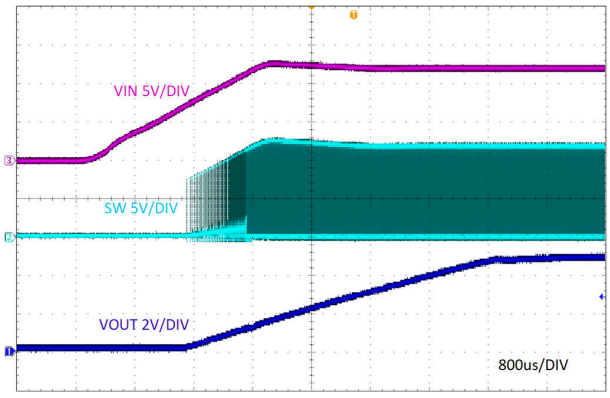


図 7-3. V_{IN} に関連するスタートアップ、I_{OUT} = 5A

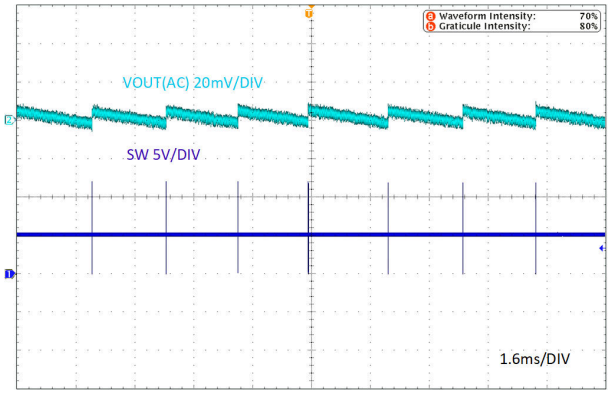


図 7-4. 定常状態、I_{OUT} = 0A

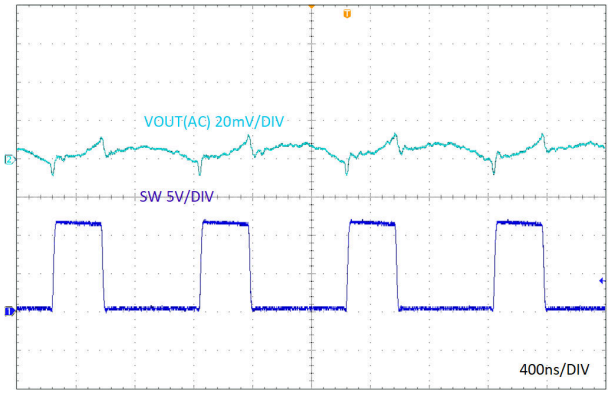


図 7-5. 定常状態、I_{OUT} = 5A

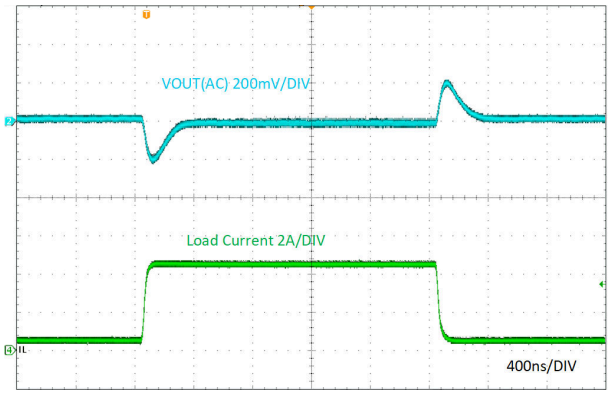


図 7-6. 負荷過渡応答、0.5A ～ 4.5A、スルーレート = 0.8A/µS

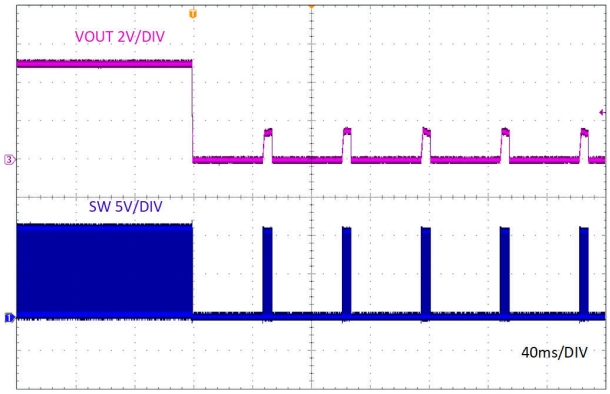


図 7-7. V_{OUT} ハード短絡保護

Copyright © 2026 Texas Instruments Incorporated

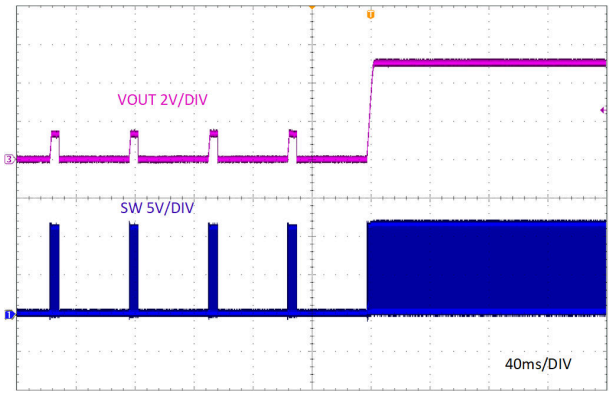


図 7-8. V_{OUT} ハード短絡回復

7.3 設計のベスト プラクティス

- *絶対最大定格*を超過してはなりません。
- *推奨動作条件*を超過してはなりません。
- *ESD 定格*を超過してはなりません。
- SS ピンをフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグランドを下回らないようにしてください。
- *熱に関する情報*の表に記載されている $R_{\theta JA}$ の値をアプリケーションの設計に使用しないでください。セクション 7.2.2.8 を参照してください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。
- 100nF のコンデンサを使用して、デバイスの VIN および GND ピンに直接接続します。詳しくは、セクション 7.2.2.6 を参照してください。

7.4 電源に関する推奨事項

デバイスは、3.8V～28V の入力電源電圧範囲で動作するように設計されています。この入力電源は適切に安定化され、このデータシートの仕様に記載されている制限と互換性がある必要があります。また、入力電源は、負荷時のコンバータに必要な入力電流を供給できる必要があります。平均入力電流は、式 22 を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \tag{22}$$

ここで、

η（イータ）は効率です。

コンバータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、コンバータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってコンバータが瞬間的にシャットダウンし、リセットされる可能性があります。この種の問題を解決する最善策は、入力電源からコンバータまでの距離を短くして、セラミック入力コンデンサと並列にアルミニウムまたはタンタルの入力コンデンサを使用することです。この種のコンデンサの ESR は比較的低いため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20µF ～ 100µF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

TI は入力電源は、出力電圧を 0.3V 以上下回ることはできないことを推奨します。このような状況では、出力コンデンサはハイサイド・パワー MOSFET のボディ・ダイオードを通して放電されます。結果として得られる電流は予測不能な動作を引き起こし、極端な場合にはデバイスの損傷が発生する可能性があります。アプリケーションでこの可能性がある場合は、VIN から VOUT へのショットキー・ダイオードを使用して、コンバータの周囲にこの電流を供給します。

一部の例では、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。このタイプの特性を持つデバイスの使用は推奨しません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がコンバータの出力電圧よりも低い場合、前述の通り、出力コンデンサはデバイスを通して放電します。

システムに関するその他の考慮事項として、コンバータの前に入力フィルタが使われる場合があります。注意深く設計しないと、これにより不安定な状態になったり、上述の現象の影響を受けたりする可能性があります。*AN-2162『DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーション ノート*では、スイッチング コンバータの入力フィルタを設計する際に役立つ提案を紹介しています。

Copyright © 2026 Texas Instruments Incorporated

7.5 レイアウト

7.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、優れた設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、コンバータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおいて、PCB の最も重要な機能は、入力コンデンサと電源グランドによって形成されるループです。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な動作を妨げます。このことから、このループ内のパターンは広く短くして、ループの面積はできる限り小さくし、寄生インダクタンスを低減する必要があります。

テキサス・インスツルメンツでは、上層および下層が 2 オンスの銅厚で、中間層が 1 オンスの銅厚の 4 層基板を推奨しています。適切なレイアウトにより、低電流伝導インピーダンス、適切なシールド効果、低熱抵抗を実現できます。図 7-9 および 図 7-10 に、TPSM84538 の重要な部品の推奨レイアウトを示します。

- 入力コンデンサ、出力コンデンサ、IC は同じ層に配置します。
- 入力コンデンサ、出力コンデンサは IC にできる限り近づけて配置します。VIN および GND のパターンは、パターンインピーダンスを最小限に抑えるために、できるだけ幅広くして十分なビアを確保する必要があります。面積を広くすることには、放熱の観点からも利点があります。
- 0.1µF のセラミック デカップリング コンデンサを VIN および GND ピンにできる限り近づけて配置することが、EMI 低減のために重要となります。
- 放射を最小限に抑えるために、SW のパターンは実用的な範囲でできるだけ短く、幅広くしてください。
- 帰還分圧器は FB ピンのできるだけ近くに配置します。テキサス・インスツルメンツでは、放熱のために 10mil (0.254mm) 幅 (1mil は 1/1000 インチ) を超えるパターンを推奨しています。個別の V_{OUT} パスを上側帰還抵抗に接続します。電圧帰還ループは、高電圧のスイッチング パターンから離して配置してください。電圧帰還ループは、できればグランド シールドを使用してください。
- SS コンデンサ抵抗は、最短のパターンで IC の近くに配置します。テキサス・インスツルメンツでは、放熱のために 10mil (0.254mm) 幅 (1mil は 1/1000 インチ) を超えるパターンを推奨しています。

7.5.2 レイアウト例

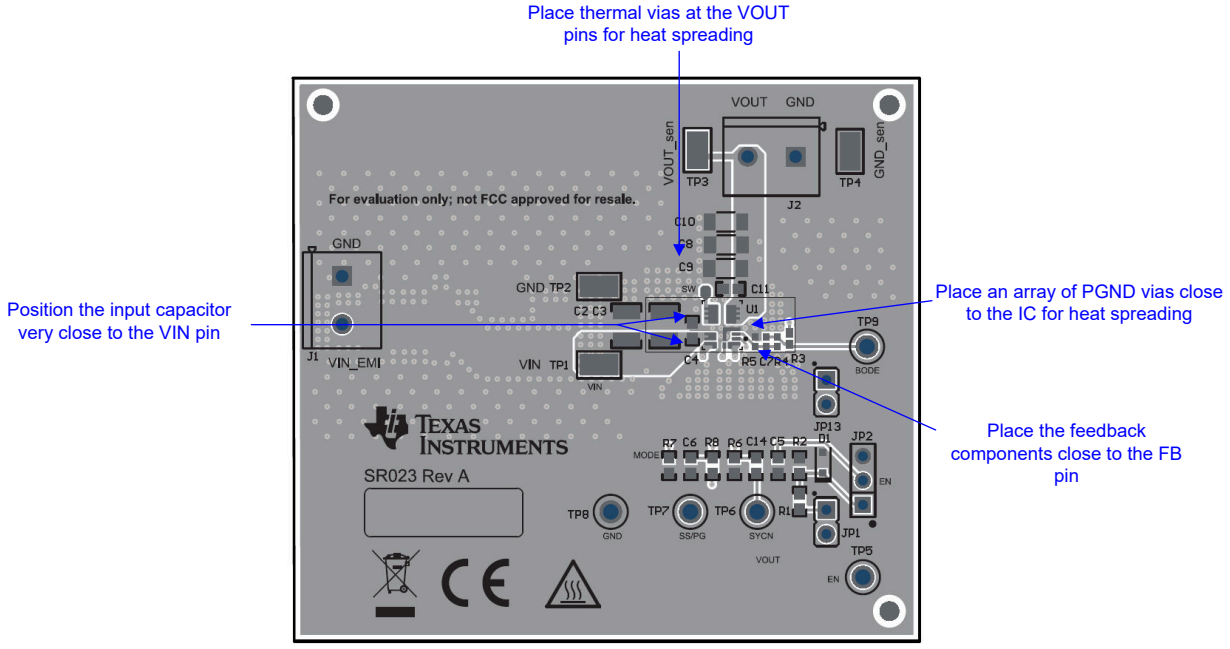


図 7-9. TPSM84538 トップレイアウト例

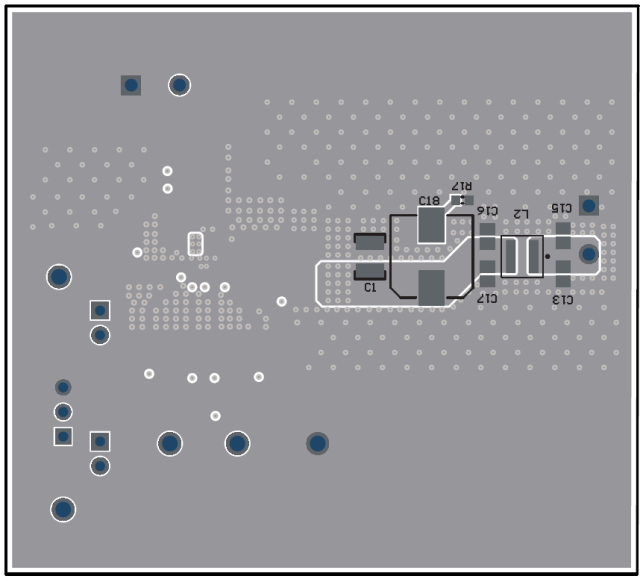


図 7-10. TPSM84538 ボトムレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

8.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックして、WEBENCH Power Designer を使用して、TPSM84538 デバイスによりカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

で、WEBENCH ツールの詳細をご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*AN-2162『DCDC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーション ノート*
- テキサス インスツルメンツ、*フィードフォワード コンデンサ付きの内部的に補正される DC-DC コンバータの過渡応答の最適化 アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.

Copyright © 2026 Texas Instruments Incorporated

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2025) to Revision A (October 2026)	Page
• 「絶対最大定格」表で、VOUT 最大値を 5V から 6V に変更	5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM84538RCJR	Active	Production	QFN-FCMOD (RCJ) | 9	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M84538
TPSM84538RCJR.A	Active	Production	QFN-FCMOD (RCJ) | 9	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M84538

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

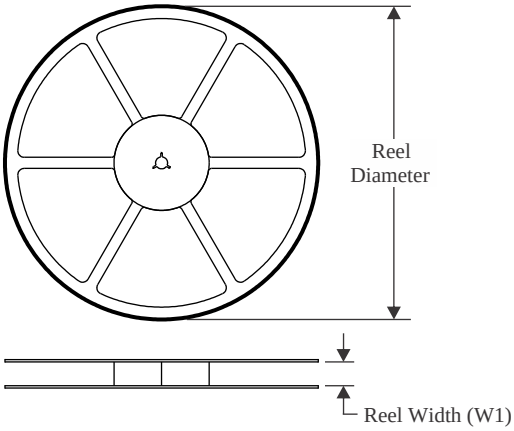
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

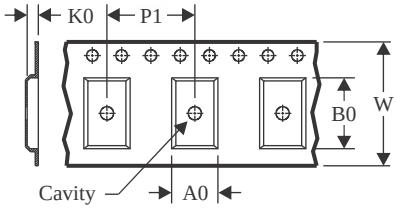
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

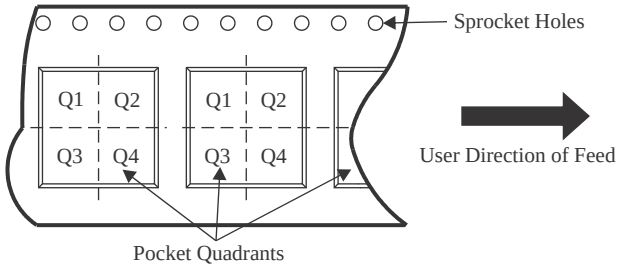


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

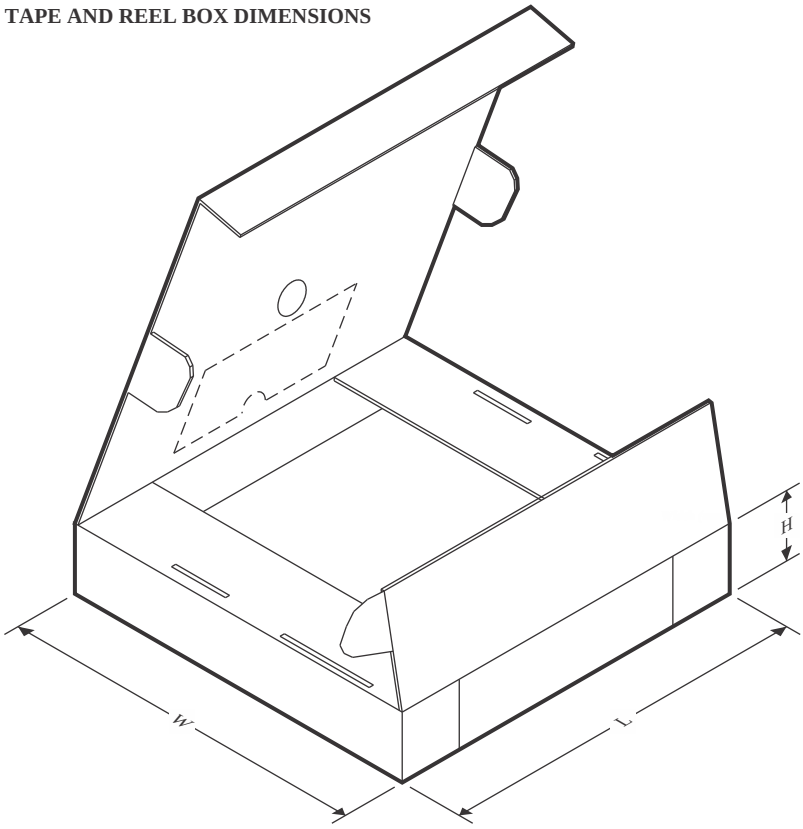
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM84538RCJR	QFN-FCMOD	RCJ	9	3000	330.0	12.4	3.6	4.8	2.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

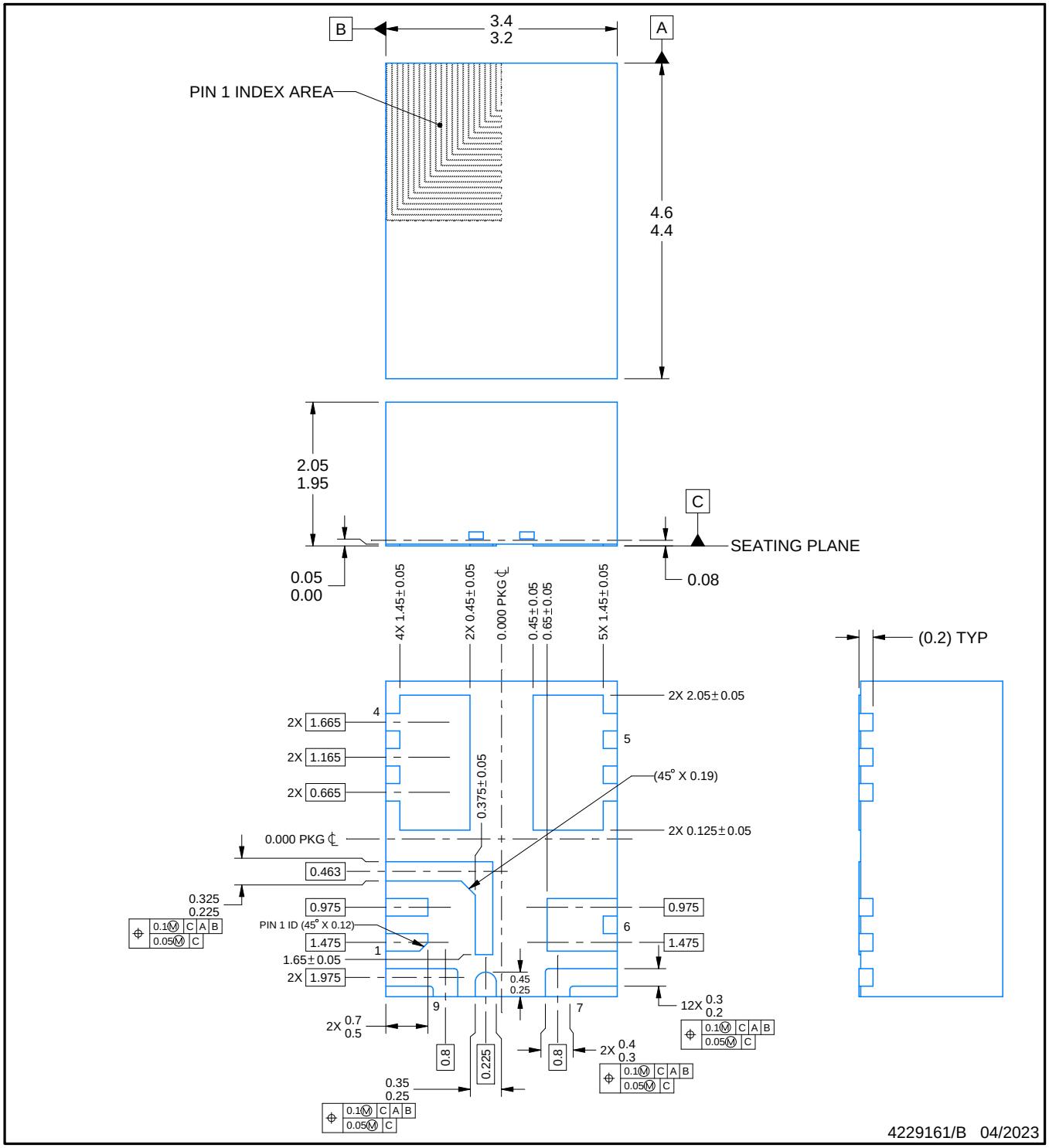
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM84538RCJR	QFN-FCMOD	RCJ	9	3000	367.0	367.0	38.0

PACKAGE OUTLINE

RCJ0009A

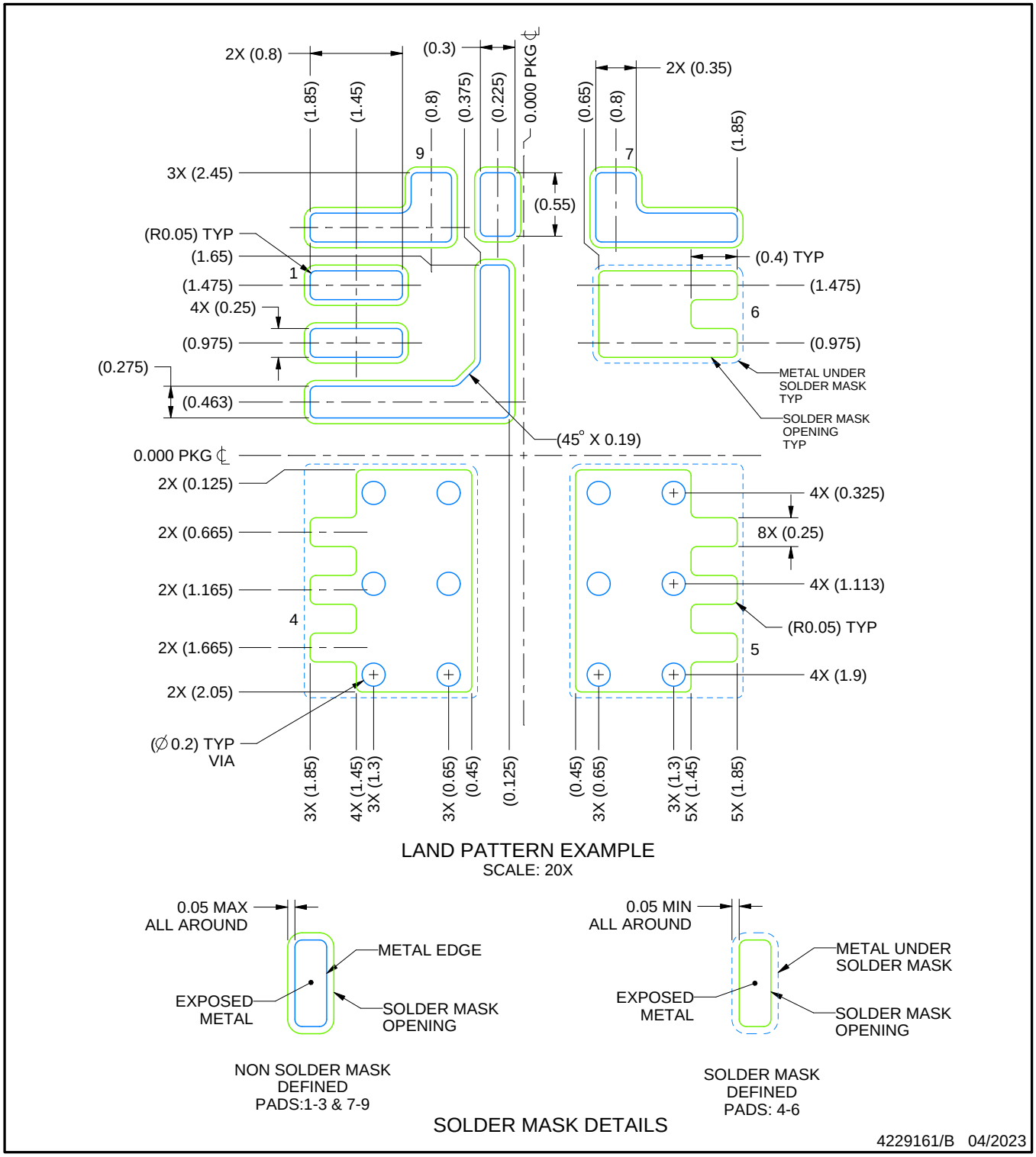
QFN-FCMOD - 2.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 20X

NON SOLDER MASK DEFINED PADS:1-3 & 7-9

SOLDER MASK DEFINED PADS: 4-6

SOLDER MASK DETAILS

4229161/B 04/2023

NOTES: (continued)

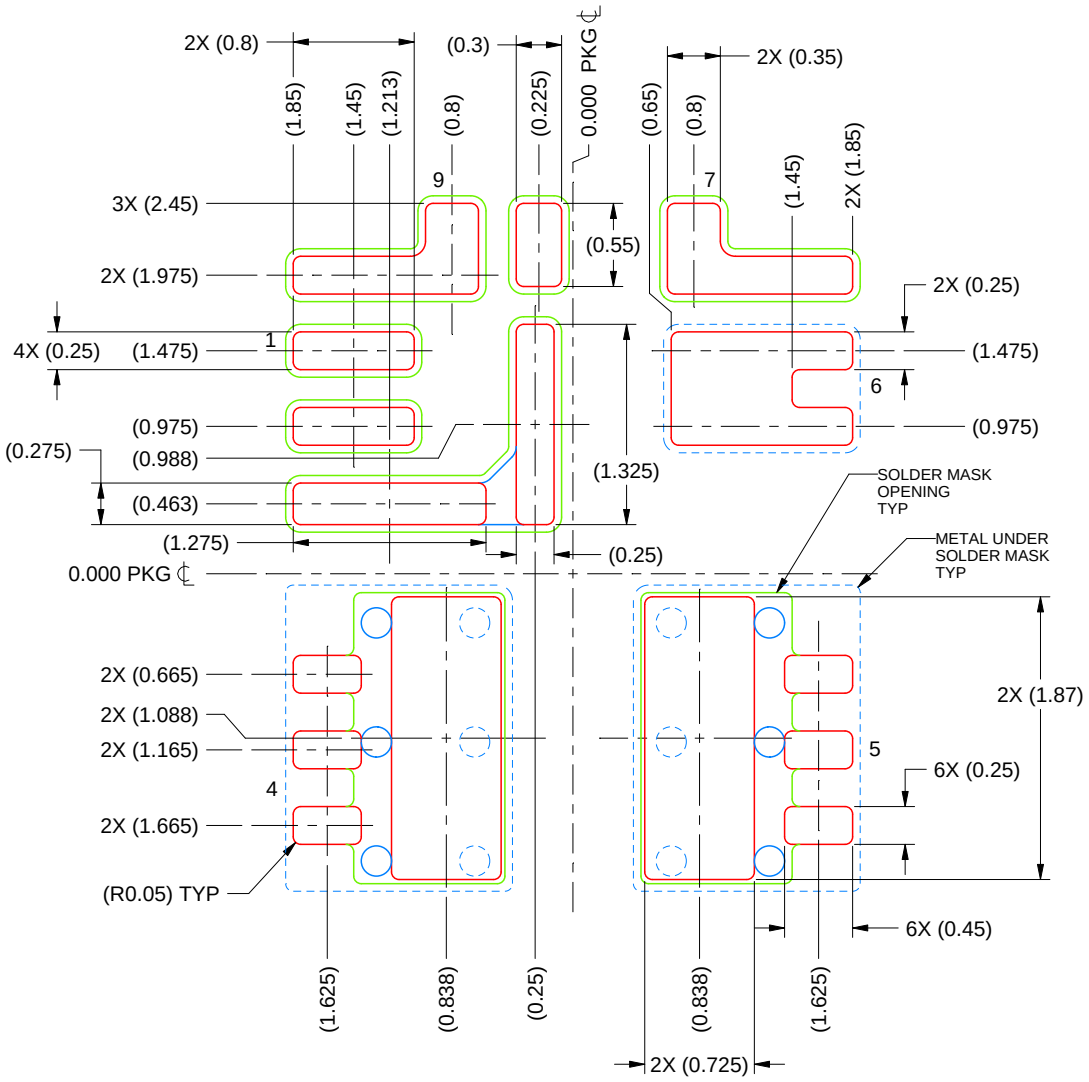
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RCJ0009A

QFN-FCMOD - 2.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 3: 91%
PADS 4 & 5: 76%

4229161/B 04/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月