TPSM8D6C24 2.95V ～ 16V、デュアル 35A またはシングル 70A、最大 4 相スタッカブル、PMBus® 降圧パワー モジュール

1 特長

- 4.25V～16V (PVIN を AVIN に接続、内部 LDO)
- 2.95V～16V (PVIN および AVIN 分割レール、または VDD5 に外部バイアスを印加)
- MOSFET、インダクタ、基本的なパッシブ部品を内蔵
- 選択可能な内部補償を備えた平均電流モード制御
- ピンストラップで設定可能な 0.5V～3.6V の出力電圧範囲
- 0.25V ～ 3.6V の PMBus® VOUT_COMMAND 範囲
- 豊富な PMBus コマンド セット、V_{OUT}、I_{OUT}、ダイ温度のテレメトリを含む
- 内部 FB デバイダ (分圧抵抗) を使った差動リモートセンシングにより、V_{OUT} 誤差を 1% 未満に低減
- 接合部温度範囲：-40℃～+125℃
- PMBus による AVS およびマージニング機能
- マルチファンクション選択 (MSEL) ピンによる PMBus デフォルト値のピンストラップ設定
- 275kHz～1.1MHz で 9 つのスイッチング周波数を選択可能
- 周波数同期入力 / 同期出力
- プリバイアス出力をサポート
- 16mm × 20mm × 4.3mm、59 ピン MOW パッケージ
- WEBENCH® Power Designer により、TPSM8D6C24 を使用するカスタム設計を作成

2 アプリケーション

- データ・センター・スイッチ、ラック・サーバー
- アクティブ・アンテナ・システム、リモート無線 / ベースバンド・ユニット
- 自動試験装置、CT、PET、MRI
- ASIC、SoC、FPGA、DSP コア、I/O 電圧

3 説明

TPSM8D6C24 は使いやすい高集積非絶縁型 DC/DC 降圧パワー モジュールです。TPSM8D6C24 を使うと、2 つの独立した 35A 出力、または 1 つのスタック 2 相 70A 出力を得ることができます。2 つのモジュールをスタック接続することで、1 つの 4 相 140A 出力を得ることもできます。本デバイスには、内部 5V LDO を外部 5V 電源でオーバードライブし、入力電圧を最低 2.95V まで低下させ、コンバータの効率を向上させるオプションがあります。

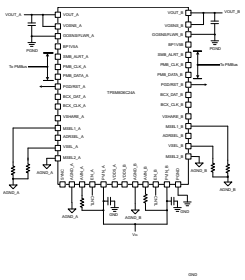
TPSM8D6C24 パワー モジュールは入力フィードフォワードによる独自の固定周波数電流モード制御を採用しており、内部補償部品を選択可能であるため、サイズを最小化し、幅広い出力容量で安定性を確保できます。

1MHz クロックをサポートする PMBus インターフェイスは、出力電圧、出力電流、内部ダイ温度などの主要パラメータを監視するためだけではなく、コンバータを設定するための便利な標準化されたデジタル インターフェイスを提供します。フォルト条件への応答は、システム要件に応じて、再起動、ラッチ オフ、無視のいずれかに設定できます。スタック デバイス間のバックチャネル通信により、1 つの出力レールに電力を供給するすべての TPSM8D6C24 コンバータが 1 つのアドレスを共有できるため、システム ソフトウェア、ファームウェア設計を簡素化できます。出力電圧、スイッチング周波数、ソフト スタート時間、過電流フォルト制限などの主要なパラメータは、プログラムなしでのパワー オンをサポートするため、PMBus 通信を使わないで BOM 選定を通して設定することもできます。

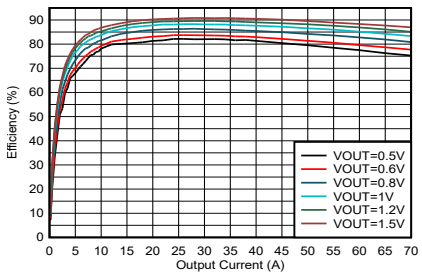
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPSM8D6C24	MOW (QFM、59)	16.00mm × 20.00mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



アプリケーション概略図



効率、12Vin、内部バイアス、Fsw = 550kHz

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 ... 7
5.5 電気的特性 ... 7
5.6 代表的特性 ... 15
6 詳細説明 ... 18
6.1 概要 ... 18
6.2 機能ブロック図 ... 18
6.3 機能説明 ... 19
6.4 デバイスの機能モード ... 34
6.5 プログラミング ... 35
7 レジスタ マップ ... 48
7.1 ブロック コマンドの文書化規則 ... 48
7.2 (01h) OPERATION ... 49
7.3 (02h) ON_OFF_CONFIG ... 51
7.4 (03h) CLEAR_FAULTS ... 52
7.5 (04h) PHASE ... 53
7.6 (10h) WRITE_PROTECT ... 54
7.7 (15h) STORE_USER_ALL ... 55
7.8 (16h) RESTORE_USER_ALL ... 56
7.9 (19h) CAPABILITY ... 57
7.10 (1Bh) SMBALERT_MASK ... 58
7.11 (1Bh) SMBALERT_MASK_VOUT ... 59
7.12 (1Bh) SMBALERT_MASK_IOUT ... 60
7.13 (1Bh) SMBALERT_MASK_INPUT ... 61
7.14 (1Bh) SMBALERT_MASK_TEMPERATURE ... 62
7.15 (1Bh) SMBALERT_MASK_CML ... 63
7.16 (1Bh) SMBALERT_MASK_OTHER ... 64
7.17 (1Bh) SMBALERT_MASK_MFR ... 65
7.18 (20h) VOUT_MODE ... 66
7.19 (21h) VOUT_COMMAND ... 67
7.20 (22h) VOUT_TRIM ... 69
7.21 (24h) VOUT_MAX ... 71
7.22 (25h) VOUT_MARGIN_HIGH ... 72
7.23 (26h) VOUT_MARGIN_LOW ... 73
7.24 (27h) VOUT_TRANSITION_RATE ... 74
7.25 (29h) VOUT_SCALE_LOOP ... 75
7.26 (2Bh) VOUT_MIN ... 77
7.27 (33h) FREQUENCY_SWITCH ... 78
7.28 (35h) VIN_ON ... 80
7.29 (36h) VIN_OFF ... 81
7.30 (37h) INTERLEAVE ... 82
7.31 (38h) IOUT_CAL_GAIN ... 84
7.32 (39h) IOUT_CAL_OFFSET ... 85
7.33 (40h) VOUT_OV_FAULT_LIMIT ... 86
7.34 (41h) VOUT_OV_FAULT_RESPONSE ... 87
7.35 (42h) VOUT_OV_WARN_LIMIT ... 88
7.36 (43h) VOUT_UV_WARN_LIMIT ... 89
7.37 (44h) VOUT_UV_FAULT_LIMIT ... 90
7.38 (45h) VOUT_UV_FAULT_RESPONSE ... 91
7.39 (46h) IOUT_OC_FAULT_LIMIT ... 92
7.40 (47h) IOUT_OC_FAULT_RESPONSE ... 94
7.41 (4Ah) IOUT_OC_WARN_LIMIT ... 95
7.42 (4Fh) OT_FAULT_LIMIT ... 96
7.43 (50h) OT_FAULT_RESPONSE ... 97
7.44 (51h) OT_WARN_LIMIT ... 99
7.45 (55h) VIN_OV_FAULT_LIMIT ... 100
7.46 (56h) VIN_OV_FAULT_RESPONSE ... 101
7.47 (58h) VIN_UV_WARN_LIMIT ... 103
7.48 (60h) TON_DELAY ... 104
7.49 (61h) TON_RISE ... 105
7.50 (62h) TON_MAX_FAULT_LIMIT ... 106
7.51 (63h) TON_MAX_FAULT_RESPONSE ... 107
7.52 (64h) TOFF_DELAY ... 108
7.53 (65h) TOFF_FALL ... 109
7.54 (78h) STATUS_BYTE ... 110
7.55 (79h) STATUS_WORD ... 111
7.56 (7Ah) STATUS_VOUT ... 113
7.57 (7Bh) STATUS_IOUT ... 114
7.58 (7Ch) STATUS_INPUT ... 115
7.59 (7Dh) STATUS_TEMPERATURE ... 116
7.60 (7Eh) STATUS_CML ... 117
7.61 (7Fh) STATUS_OTHER ... 118
7.62 (80h) STATUS_MFR_SPECIFIC ... 119
7.63 (88h) READ_VIN ... 120
7.64 (8Bh) READ_VOUT ... 121
7.65 (8Ch) READ_IOUT ... 122
7.66 (8Dh) READ_TEMPERATURE_1 ... 123
7.67 (98h) PMBUS_REVISION ... 124
7.68 (99h) MFR_ID ... 125
7.69 (9Ah) MFR_MODEL ... 126
7.70 (9Bh) MFR_REVISION ... 127
7.71 (9Eh) MFR_SERIAL ... 128
7.72 (ADh) IC_DEVICE_ID ... 129
7.73 (AEh) IC_DEVICE_REV ... 130
7.74 (B1h) USER_DATA_01 (COMPENSATION_CONFIG) ... 131
7.75 (B5h) USER_DATA_05 (POWER_STAGE_CONFIG) ... 133
7.76 (D0h) MFR_SPECIFIC_00 (TELEMETRY_CONFIG) ... 134
7.77 (DAh) MFR_SPECIFIC_10 (READ_ALL) ... 136
7.78 (DBh) MFR_SPECIFIC_11 (STATUS_ALL) ... 138
7.79 (DCh) MFR_SPECIFIC_12 (STATUS_PHASE) ... 140
7.80 (E4h) MFR_SPECIFIC_20 (SYNC_CONFIG) ... 141
7.81 (ECh) MFR_SPECIFIC_28 (STACK_CONFIG) ... 142
7.82 (EDh) MFR_SPECIFIC_29 (MISC_OPTIONS) ... 143
7.83 (EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE) ... 144
7.84 (EFh) MFR_SPECIFIC_31 (DEVICE_ADDRESS) ... 146
7.85 (F0h) MFR_SPECIFIC_32 (NVM_CHECKSUM) ... 147
7.86 (F1h) MFR_SPECIFIC_33 (SIMULATE_FAULT) ... 148
7.87 (FCh) MFR_SPECIFIC_44 (FUSION_ID0) ... 150
7.88 (FDh) MFR_SPECIFIC_45 (FUSION_ID1) ... 151
8 アプリケーションと実装 ... 152
8.1 アプリケーション情報 ... 152

Copyright © 2025 Texas Instruments Incorporated

8.2 代表的なアプリケーション....152
8.3 2 相アプリケーション....160
8.4 4 相アプリケーション....165
8.5 電源に関する推奨事項....167
8.6 レイアウト....167
9 デバイスおよびドキュメントのサポート....171
9.1 デバイス サポート....171
9.2 ドキュメントの更新通知を受け取る方法....171
9.3 サポート・リソース....171
9.4 商標....171
9.5 静電気放電に関する注意事項....172
9.6 用語集....172
10 改訂履歴....172
11 メカニカル、パッケージ、および注文情報....173

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

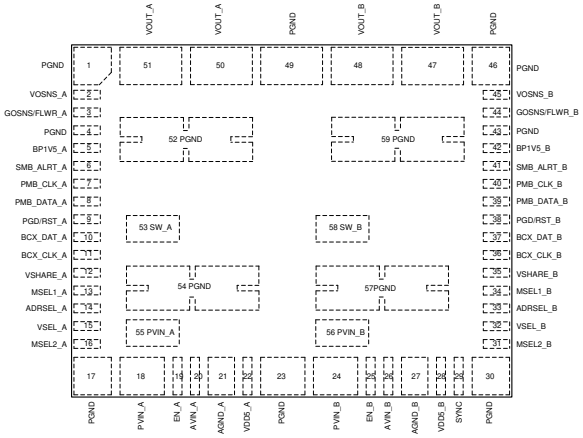


図 4-1. 59 ピン QFM-MOW パッケージ (上面図)

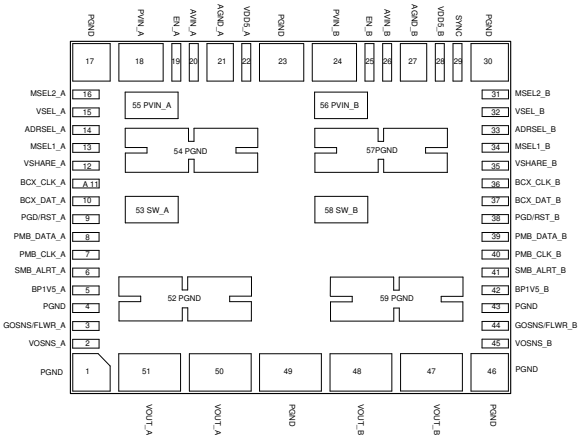


図 4-2. 59 ピン QFM-MOW パッケージ (底面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
PGND	1、4、17、23、30、43、46、49、52、54、57、59	—	電力段のグランド帰路。ピン 52、54、57、59 は、デバイスのサーマル パッドとしても機能します。
VOSNS_A	2	I	リモート センス アンプの正の入力。スタンドアロン デバイスまたは多相構成のループ コントローラ デバイスの場合、VOSNS ピンを負荷側の出力電圧に接続します。多相構成のループ フォロワー デバイスの場合、出力電圧検出やレギュレーションにリモート センス アンプは必要なく、このピンをフローティングのままにできます。位相的な *READ_VOUT* コマンドで別の電圧を監視する場合は、GOSNS への内部抵抗が BP1V5 に接続されているため、VOSNS を 1kΩ 未満の抵抗デバイダで 0V ～ 0.75V の範囲に維持する必要があります。
VOSNS_B	45		
GOSNS/FLWR_A	3	I	ループ コントローラ デバイスのリモート センス アンプの負入力、または High にプルアップしてループ フォロワーを示します。スタンドアロン デバイスまたは多相構成のループ コントローラ デバイスの場合、GOSNS ピンを負荷側のグランドに接続します。多相構成のループ フォロワー デバイスの場合、デバイスがループ フォロワーであることを示すために、GOSNS ピンを BP1V5 にプルアップする必要があります。
GOSNS/FLWR_B	44		
BP1V5_A	5	O	MSEL、VSEL、ADRSEL ピン用の 1.5V 内部レギュレータの出力。外部バイパス処理不要。他の回路への電力供給を目的として設計されていません
BP1V5_B	42		
SMB_ALRT_A	6	O	SMBus のアラート ピン。SMBus 仕様を参照してください
SMB_ALRT_B	41		
PMB_CLK_A	7	I	PMBus CLK ピン。*最新の PMBus 仕様*を参照してください。
PMB_CLK_B	40		
PMB_DATA_A	8	I/O	PMBus DATA ピン。*最新の PMBus 仕様*を参照してください。
PMB_DATA_B	39		
PGD/RST_A	9	I/O	オープン ドレインのパワー グッドまたは*(21h) VOUT_COMMAND* RESET#。*(EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)*のユーザープログラマブル RESET# ビットによって決定されます。デフォルトのピンの機能は、オープン ドレインのパワーグッド インジケータです。RESET# として構成した場合、*(EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)*の PULLUP# ビットによって内部プルアップをイネーブルまたはディスエーブルにできます。
PGD/RST_B	38		
BCX_DATA_A	10	I/O	スタックされたデバイス間のバックチャネル通信に使用するデータ
BCX_DATA_B	37		
BCX_CLK_A	11	I/O	スタックされたデバイス間のバックチャネル通信用のクロック
BCX_CLK_B	36		

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類(1)	説明
名称	番号		
VSHARE_A	12	I/O	多段階動作のための電圧共有信号。スタンドアロン デバイスの場合、VSHARE ピンをフローティングのままにする必要があります。VSHARE は、最大 50 pF の容量で AGND にバイパスできます。
VSHARE_B	35		
MSEL1_A	13	I	スイッチング周波数と内部補償パラメータの各種オプションについては、このピンを BP1V5 と AGND との間の抵抗デバイダに接続します。*MSEL1 のプログラミング* セクションを参照してください。
MSEL1_B	34		
ADRSEL_A	14	I	PMBus アドレスと周波数同期の各種オプション (SYNCIN または SYNCOUT 機能として SYNC ピンを決定することを含む) については、BP1V5 と AGND との間の抵抗デバイダにこのピンを接続します。*ADRSEL のプログラミング* セクションを参照してください。
ADRSEL_B	33		
VSEL_A	15	I	内部電圧帰還分圧器の各種オプションとデフォルトの出力電圧については、このピンを BP1V5 と AGND との間の抵抗デバイダに接続します。*VSEL のプログラミング* を参照してください。
VSEL_B	32		
MSEL2_A	16	I	ソフトスタート時間、過電流フォルト制限、マルチフェーズ情報の各種オプションについては、このピンを BP1V5 と AGND との間の抵抗デバイダに接続します。GOSNS が BP1V5 に接続されている場合、ループ フォロワー デバイス (BP1V5 に接続されている GOSNS) については、*MSEL2 のループ フォロワ デバイス用 プログラミング (GOSNS を BP1V5 に接続)*または *MSEL2 のプログラミング*のセクションを参照してください。
MSEL2_B	31		
EN/UVLO_A	19	I	PMBus CONTROL ピンとしてスイッチングを有効にします。EN/UVLO を抵抗デバイダに接続して、入力電圧 UVLO をプログラムすることもできます。
EN/UVLO_B	25		
PVIN_A	18、55	I	電力段への入力電力。これらのピンから PGND への低インピーダンスのバイパスが重要です。PVIN から PGND へは、X5R 以上の定格を持つ最大 PVIN 電圧の 1.5 倍以上のセラミック コンデンサを使用してバイパスする必要があります。
PVIN_B	24、56		
AVIN_A	20	I	コントローラへの入力電源
AVIN_B	26		
AGND_A	21	—	コントローラ用のアナログ グランド帰路。AGND ピンを PCB 基板のサーマル パッドに直接接続します。
AGND_B	27		
VDD5_A	22	O	5V 内部レギュレータの出力。バイパス コンデンサは内蔵されているため、外部バイパスは不要です。
VDD5_B	28		
SYNC	29	I/O	周波数同期のため、ADRSEL ピンまたは*(E4h) MFR_SPECIFIC_20 (SYNC_CONFIG)* PMBus コマンドを使用して、このピンを SYNC IN または SYNC OUT ピンとしてプログラムできます。位相 A と位相 B では、SYNC は内部で互いに接続されます。SYNC ピンは、単相構成でモジュールを使用する場合、フローティングのままにできます。
VOUT_A	50、51	O	各チャネルの出力。出力バイパス コンデンサをこのピンに接続します。
VOUT_B	47、48		
サーマル パッド	52、54、57、59	—	サーマル パッドは、PCB への熱伝導率を向上させるために広い面積の銅で作られた PGND ピンです。最高の放熱特性を得るには、サーマル パッドに十分な半田領域が必要です。
SW_A	53	I/O	デバイスのスイッチ電源出力。必要に応じて、出力平均化フィルタとブートストラップを、このピン グループに接続します。
SW_B	58		

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	AVIN	-0.3	18	V
	PVIN	-0.3	16	
	PVIN_A、PVIN_B、< 2ms 過渡	-0.3	19	
	EN/UVLO、VOSNS、SYNC、VSEL、MSEL1、MSEL2、ADRSEL	-0.3	5.5	
	VSHARE、GOSNS/LOOP FLWR	-0.3	1.98	
	PMB_CLK、PMB_DATA、BCX_CLK、BCX_DAT	-0.3	5.5	
	VDD5 外部バイアス範囲	4.25	5.25	
出力電圧	VOUT	0.5	3.6	V
	VDD5、SMB_ALRT、PGD/RST	-0.3	5.5	
	BP1V5	-0.3	1.65	
T_J 接合部動作温度		-40	150	°C
T_{stg} 保管温度		-55	150	°C

(1) 「*絶対最大定格*」外での動作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{AVIN}	内部 LDO によるコントローラ入力電圧	4.25	12	18	V
V_{AVIN}	VDD5 に有効な外部バイアスを印加するコントローラ入力電圧	2.95	12	18	V
V_{PVIN}	内部 LDO による電力段入力電圧	4.25	12	16	V
V_{PVIN}	VDD5 に有効な外部バイアスを印加する電力段入力電圧	2.95	12	16	V
V_{OUT}	出力電圧範囲	0.5		3.6	V
$IOUT_{MAX(1\ phase)}$	各相の最大連続出力電流			35	A
$IOUT_{MAX(Total)}$	モジュールごとの最大合計連続出力電流			70	A
位相	スタック可能な相の最大数			4	
T_J	接合部温度	-40		125	°C
T_A	周囲温度	-40		105	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		QFM (MOW)	単位
		59 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	12.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.78	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.8	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 電気的特性

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力電源電圧							
V_{AVIN}	入力電源電圧範囲	内部 LDO によるコントローラ入力電圧		4.25		18	V
V_{AVIN}	入力電源電圧範囲	有効な外部バイアスを印加するコントローラ入力電圧		2.95		18	
V_{PVIN}	電力段電圧範囲	内部 LDO による電力段入力電圧		4.25		16	
V_{PVIN}	電力段電圧範囲	有効な外部バイアスを印加する電力段入力電圧		2.95		16	
I_{AVIN}	入力動作電流	コンバータのスイッチングなし、各位相			12.5	17	mA
AVIN UVLO							
$V_{AVINuvlo}$	パワー オン リセット用アナログ入力電圧 UVLO (PMBus 通信)	イネーブル スレッショルド			2.5	2.7	V
	無効化用アナログ入力電圧 UVLO			2.09	2.3		V
	アナログ入力電圧 UVLO のヒステリシス				250		mV
$t_{delay(uvlo_PMBus)}$	AVIN UVLO から PMBus の準備完了までの遅延	AVIN = 3V			8		ms
PVIN UVLO							
VIN_ON	電源入力ターンオン電圧	工場出荷時のデフォルト設定			2.75		V
		プログラマブルな範囲		2.75		15.75	
		分解能			0.25		
		精度		-5%		5%	
VIN_OFF	電力入力ターンオフ電圧	工場出荷時のデフォルト設定			2.5		V
		プログラマブルな範囲		2.5		15.5	
		分解能			0.25		
		精度		-5%		5%	
イネーブルおよび UVLO							
V_{ENuvlo}	EN/UVLO 電圧立ち上がりスレッショルド				1.05	1.1	V
	EN/UVLO 電圧立ち下がりスレッショルド			0.9			
V_{ENhys}	EN/UVLO 電圧ヒステリシス	EN/UVLO に外部抵抗なし			70		mV
I_{ENhys}	EN/UVLO ヒステリシス電流	$V_{EN/UVLO}$ = 1.1V		4.5	5.5	6.5	µA
	EN/UVLO ヒステリシス電流	$V_{EN/UVLO}$ = 0.9V			-100	-5	nA
リモート センス アンプ							
Z_{RSA}	リモート センス入力インピーダンス	VOSNS – GOSNS = 1V	VOSNS から GOSNS へ	85	130	165	kΩ

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{IRNG(GOSNS)}$	レギュレーション精度のための GOSNS 入力範囲 (1)	VOSNS – GOSNS = 1V、VOUT_SCALE_LOOP ≤ 0.5		-0.05		0.05	V
$V_{IRNG(VOSNS)}$	レギュレーション精度のための VOSNS 入力範囲 (1)	GOSNS = AGND、VOUT_SCALE_LOOP ≤ 0.5		-0.1		5.5	V
リファレンス電圧とエラー アンプ							
V_{REF}	基準電圧(1)	デフォルト設定			0.4		V
		リファレンス電圧の範囲(1)		0.25		0.75	V
		リファレンス電圧分解能(1)			2^{-12}		V
$V_{OUT(ACC)}$	出力電圧精度	V_{OUT} = 1000mV	–40°C ≤ T_J ≤ 150°C(2)	0.992		1.008	V
		V_{OUT} = 500mV		0.492		0.508	V
		V_{OUT} = 1500mV		1.490		1.510	V
		V_{OUT} = 1000mV	0°C ≤ T_J ≤ 125°C(2)	0.994		1.006	V
		V_{OUT} = 500mV		0.494		0.506	V
		V_{OUT} = 1500mV		1.492		1.508	V
		V_{OUT} = 1000mV	0°C ≤ T_J ≤ 85°C(2)	0.995		1.005	V
		V_{OUT} = 500mV		0.495		0.505	V
		V_{OUT} = 1500mV		1.493		1.507	V
G_{mEA}	プログラム可能なエラー アンプの相互コンダクタンス			25		200	µs
	分解能 (1)	4 つの設定:25µS、50µS、100µS、200µS			25		
	無負荷帯域幅(1)				8		MHz
R_{pEA}	プログラム可能な並列抵抗の範囲			5		315	kΩ
	分解能 (1)				5		
C_{intEA}	プログラム可能な積分器コンデンサの範囲			1.25		18.75	pF
	分解能 (1)				1.25		pF
C_{pEA}	プログラム可能な並列コンデンサの範囲			6.25		193.75	pF
	分解能 (1)				6.25		
電流 GM アンプ							
G_{mBUF}	プログラム可能な電流エラー アンプの相互コンダクタンス			25		200	µs
	分解能 (1)	4 つの設定:25µS、50µS、100µS、200µS			25		
	無負荷帯域幅(1)				17		MHz
R_{pBUF}	プログラム可能な並列抵抗の範囲			5		315	kΩ
	分解能 (1)				5		
R_{intBUF}	プログラム可能な積分抵抗の範囲(1)			800		1600	kΩ
	分解能 (1)				800		
C_{intBUF}	プログラム可能な積分器コンデンサの範囲			0.3125		4.6875	pF
	分解能 (1)				0.3125		
C_{pBUF}	プログラム可能な並列コンデンサの範囲			3.125		96.875	pF
	分解能 (1)				3.125		

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
発振器							
f_{SW}	調整範囲(2)			275		1100	kHz
	スイッチング周波数(2)			500	550	600	
同期							
$V_{IH(sync)}$	High レベル入力電圧			1.35			V
$V_{IL(sync)}$	Low レベル入力電圧					0.8	
$t_{pw(sync)}$	同期入力の最小パルス幅					200	ns
Δf_{SYNC}	FREQUENCY_SWITCH 周波数からの SYNC ピン周波数範囲(1)			-20%		20%	
$V_{OH(sync)}$	同期高出力電圧	負荷 100µA		VDD5 – 0.85V		VDD5	V
$V_{OL(sync)}$	同期低出力電圧	負荷 2.4mA				0.4	V
t_{PLL}	PLL ロック時間	f_{sw} = 550kHz、SYNC クロック周波数 495kHz ～ 605kHz(1)				65	µs
PhaseErr	位相インターリーブ エラー(5)	f_{sw} < 1.1MHz				9	度
		f_{sw} ≥ 1.1MHz				23	ns
リセット							
$V_{IH(reset)}$	High レベル入力電圧 (1)			1.35			V
$V_{IL(reset)}$	Low レベル入力電圧					0.8	
$t_{pw(reset)}$	最小 RESET_B パルス幅					200	ns
$R_{pullup(reset)}$	内部プルアップ抵抗	V_{RESET} = 0.8V	RESET# = 1	25	34	55	kΩ
$V_{pullup(reset)}$	内部プルアップ電圧	I_{RESET} = 10µA	RESET# = 1			VDD5 - 0.5	V
VDD5 レギュレータ							
V_{VDD5}	レギュレータ出力電圧	デフォルト、I_{VDD5} = 10mA		4.5	4.7	4.9	V
	プログラマブルな範囲(1)			3.9		5.3	V
	分解能				200		mV
$V_{VDD5(do)}$	レギュレータ ドロップアウト電圧	V_{AVIN} – V_{VDD5}、V_{AVIN} = 4.5V、I_{VDD5} = 25mA			130	285	mV
I_{VDD5SC}	レギュレータ短絡電流(1)	V_{AVIN} = 4.5V		100			mA
$V_{VDD5ON(IF)}$	ピンストラップ用の VDD5 有効電圧				2.62	2.85	V
$V_{VDD5OFF(IF)}$	ピンストラップ用の VDD5 無効電圧			2.25	2.48		V
$V_{VDD5ON(SW)}$	VDD5 のスイッチング有効電圧					4.05	V
$V_{VDD5OFF(SW)}$	VDD5 のスイッチング無効電圧			3.10			V
$V_{VDD5UV(hyst)}$	レギュレータ UVLO 電圧ヒステリシス			400			mV
$V_{BOOT(drop)}$	ブートストラップ電圧降下	I_{BOOT} = 20mA、VDD5 = 4.5V				225	mV
BP1V5 レギュレータ							
V_{BP1V5}	1.5V レギュレータ出力電圧	V_{AVIN} ≥ 4.5V、I_{BP1V5} = 5mA		1.42	1.5	1.58	V
$I_{BP1V5SC}$	1.5V レギュレータ短絡電流(1)			30			mA
PWM							
$t_{ON(min)}$	コントロール可能な最小パルス幅(1)					20	ns
$t_{OFF(min)}$	PWM 最小オフ時間(1)				400	500	ns

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ソフト スタート						
t_{ON_RISE}	ソフト スタート時間	工場出荷時のデフォルト設定		3		ms
		プログラマブルな範囲(1) (3)	0		31.75	
		分解能		0.25		
		精度、TON_RISE = 3ms	-10%		15%	
$t_{ON_MAX_FLT_LT}$	出力パワー アップまでの時間の上限	工場出荷時のデフォルト設定(4)		0		ms
		プログラマブルな範囲(1) (4)	0		127.5	
		分解能		0.5		
		精度(1)	-10%		15%	
t_{ON_DELAY}	ターンオン遅延	工場出荷時のデフォルト設定		0		ms
		プログラマブルな範囲(1)	0		127.5	
		分解能		0.5		
		精度(1)	-10%		15%	
ソフト ストップ						
t_{OFF_FALL}	ソフトストップ時間	工場出荷時のデフォルト設定(3)		0.5		ms
		プログラマブルな範囲 (1) (3)	0		31.75	
		分解能		0.25		
		精度、t_{OFF_FALL} = 1ms	-10%		15%	
t_{OFF_DELAY}	ターンオフ遅延時間	工場出荷時のデフォルト設定		0		ms
		プログラマブルな範囲(1)	0		127.5	
		分解能		0.5		
		精度(1)	-10%		15%	
電源入力過電圧 / 低電圧						
$V_{PVINOVF}$	電源入力過電圧フォルト制限	工場出荷時のデフォルト設定		20		V
		プログラマブルな範囲	6		20	
		分解能		1		
$V_{PVINUVW}$	電源入力低電圧警告制限	工場出荷時のデフォルト設定		2.5		V
		プログラマブルな範囲	2.5		15.75	
		分解能		0.25		
電力段						
R_{HS}	ハイサイド電力供給デバイス オン抵抗	V_{BOOT} – V_{SW} = 4.5V、T_J = 25°C		4.5		mΩ
R_{LS}	ローサイド電力供給デバイス オン抵抗	V_{VDD5} = 4.5V、T_J = 25°C		0.9		mΩ
R_{swpd}	SW 内部プルダウン抵抗		3	30	35	kΩ
$V_{wkdr(on)}$	PVIN 立ち上がり時の、弱いハイサイド ゲート駆動トリガ スレッショルド			14.75		V
$V_{wkdr(off)}$	PVIN 立ち下がり時の、弱いハイサイド ゲート駆動回復スレッショルド			14.35		V
$t_{DEAD(LtoH)}$	ローサイド オフからハイサイド オンまでの電力段ドライバのデッドタイム	V_{VDD5} = 4.5V、T_J = 25°C(1)		6		ns

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{DEAD(HtoL)}$	ハイサイド オフからローサイド オンまでの電力段ドライバのデッドタイム	V_{VDD5} = 4.5V、T_J = 25°C(1)		6		ns
電流共有						
$I_{SHARE(acc)}$	2 つのデバイスの出力電流共有精度は、2 つのデバイス間の電流差を 2 つのデバイスの合計電流で割った比率として定義されます	デバイスあたり I_{OUT} ≥ 20A(5)	-10%		10%	
	2 つのデバイスの出力電流共有精度は、各デバイス間の電流差と全デバイスの平均値として定義されます	デバイスあたり I_{OUT} < 20A(5)	-2		2	A
2 つのデバイスの出力電流共有精度は、各デバイス間の電流差と全デバイスの平均値として定義されます	デバイスあたり I_{OUT} < 10A(5)		-1		1	A
V_{VSHARE}	VSHARE 故障トリップ スレッショルド			0.1		V
	VSHARE 故障リリース スレッショルド			0.2		
ローサイド電流制限保護						
$t_{OFF(OC)}$	再起動試行間隔のオフ時間(1)	工場出荷時のデフォルト設定		7 × t_{ON_RISE}		ms
	範囲		1 × t_{ON_RISE}		7 × t_{ON_RISE}	
IO_OC_FLT_LMT	出力電流過電流の故障スレッショルド	工場出荷時のデフォルト設定		52		A
		プログラマブルな範囲	8		62	
		分解能		2		
I_{NEGOC}	負の出力電流過電流の保護スレッショルド			-20		
IO_OC_WRN_LMT	出力電流過電流警告スレッショルド	工場出荷時のデフォルト設定		40		A
		プログラマブルな範囲	8		62	
		分解能		2		
$I_{OC(acc)}$	出力電流過電流の故障エラー	I_{OUT} = 20A	-2		4	A
		I_{OUT} = 35A (5)	-4		8	
I_{HSOC}	出力電流過電流の故障精度	I_{OUT} = 10A	-1		2	A
		I_{OUT} = 20A(5)	-2		4	
ハイサイド短絡保護						
I_{HSOC}	ローサイド過電流制限に対するハイサイド短絡保護の故障スレッショルドの比率	T_J = 25°C(5)	105%	150%	200%	
	ハイサイド電流センスのブランキング時間			100		ns
パワー グッド (PGOOD) と過電圧 / 低電圧警告						
R_{PGD}	PGD プルダウン抵抗	I_{PGD} = 5mA		30	50	Ω
$I_{PGD(OH)}$	PGD ピンへの出力 High オープン ドレイン リーク電流	V_{PGD} = 5V			15	µA

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{PGD(OL)}$	PGD ピン出力 Low レベル電圧、電源電圧なし	V_{AVIN} = 0、I_{PGD} = 80µA				0.8	V
V_{OVW}	過電圧警告スレッショルド (VOSNS 立ち上がり時の PGD スレッショルド)	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V		106%	110%	114%	VOC
	範囲			103%		116%	
	分解能				1%		
V_{UVW}	低電圧警告スレッショルド (VOSNS 立ち下がり時の PGD スレッショルド)	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V		86%	90%	94%	
	範囲			84%		97%	
	分解能				1%		
$V_{PGD(rise)}$	VOSNS 立ち上がり時の PGD リリース スレッショルドおよび低電圧警告デアサートのスレッショルド	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V			95%		
$V_{PGD(fall)}$	VOSNS 立ち下がり時の PGD スレッショルドおよび過電圧警告デアサートのスレッショルド	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V			105%		
出力過電圧および低電圧の故障保護							
V_{OVF}	過電圧の故障スレッショルド	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	111%	115%	119%	VOC
	範囲	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	105%		140%	
	分解能	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V		2.5%		
V_{UVF}	低電圧の故障スレッショルド	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	81%	85%	89%	
	範囲	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	60%		95%	
	分解能	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V		2.5%		
$V_{UVF(max)}$	低電圧の故障スレッショルドの最大設定			91%	95%	99%	VOC
$V_{OVF(fix)OFF}$	固定過電圧の故障スレッショルド	工場出荷時のデフォルト設定、VOUT_COMMAND (VOC) = 1V	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	1.15	1.2	1.25	V
	復帰スレッショルド(1)	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V	工場出荷時のデフォルト設定、VOUT_COMMAND = 1.00V		0.4		
出力電圧トリミング							

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUTRES}		VOUT_COMMAND のデフォルト分解能、トリミングおよびマージン、VOUT_SCALE_LOOP = 0.5		1.90	1.95	2.00	mV
		プログラマブルな範囲(1)		2^{-12}		2^{-5}	V
VOUT_TRAN_RT	出力電圧遷移レート	工場出荷時のデフォルト設定			1		mV/µs
		プログラマブルな範囲(1)		0.063		15.933	
		精度		-10%		10%	
VOUT_TRAN_RT	出力電圧遷移レート	16mV/µs プログラム レート		14.4	16	17.6	mV/µs
VOUT_SCL_LP	帰還ループのスケーリング係数(1)	工場出荷時のデフォルト設定			0.5		
		プログラマブルな範囲、4 つの個別設定		0.125		1	
VOUT_CMD	出力電圧のプログラマブル値	工場出荷時のデフォルト設定			0.8		V
		プログラマブルな範囲	VOUT_SCALE_LOOP = 1 (5)	0.25		0.75	V
			VOUT_SCALE_LOOP = 0.5	0.25		1.5	
			VOUT_SCALE_LOOP = 0.25(5)	0.25		3	
			VOUT_SCALE_LOOP = 0.125(5)	0.25		3.6	
VOUT_CMD	出力電圧精度	最大出力電圧	VOUT_SCALE_LOOP = 1	0.742	0.750	0.758	V
温度検出およびサーマル シャットダウン							
T_{SD}	バンドギャップ サーマル シャットダウンの温度(1)			150	170		°C
T_{HYST}	バンドギャップ サーマル シャットダウン ヒステリシス(1)					25	
OT_FLT_LMT	内部過熱フォルト制限(1)	工場出荷時のデフォルト設定			150		
		プログラマブルな範囲		0		160	
		分解能			1		
OT_WRN_LMT	内部過熱警告制限(1)	工場出荷時のデフォルト設定			125		
		プログラマブルな範囲		0		160	
		分解能			1		
$T_{OT(hys)}$	内部過熱故障、警告ヒステリシス(1)	工場出荷時のデフォルト設定				25	
測定システム							
$M_{VOUT(rng)}$	出力電圧の測定範囲(1)			0		6	V
$M_{VOUT(acc)}$	出力電圧の測定精度	250mV < V_{OUT} < 6V		-2%		2%	
$M_{VOUT(acc)}$	出力電圧の測定精度	0.5V < VOUT < 1.25V	VOUT_SCALE_LOOP = 0.5	-1%		1%	
$M_{VOUT(lsb)}$	出力電圧の測定ビットの分解能(1)				244		µV
$M_{IOUT(rng)}$	出力電流の測定範囲(1)			-10		60	A
$M_{IOUT(acc)}$	出力電流の測定精度(5)	I_{OUT} ≤ 10A、T_J = 25°C		-1.8	0	1.8	A
$M_{IOUT(acc)}$	出力電流の測定精度(5)	I_{OUT} = 20A、-40°C ≤ T_J ≤ 150°C		-3	0	3	A
$M_{IOUT(acc)}$	出力電流の測定精度(5)	I_{OUT} = 35A、-40°C ≤ T_J ≤ 150°C		-4	0	4	A
$M_{IOUT(acc)}$	出力電流の測定精度(5)	I_{OUT} = 20A、0°C ≤ T_J ≤ 85°C		-2.5	0	2.5	A
$M_{IOUT(acc)}$	出力電流の測定精度(5)	I_{OUT} = 35A、0°C ≤ T_J ≤ 85°C		-3	0	3	A
$M_{IOUT(acc)}$	出力電流の測定精度	I_{OUT} = 5A		-1	0	1	A
		I_{OUT} = 10A		-1.5	0	1.5	A
		I_{OUT} = 20A		-2	0	2	A

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C ～ 125°C、V_{PVIN} = V_{AVIN} = 12V、f_{SW} = 550kHz、ゼロ消費電力 (特に注記がない限り)

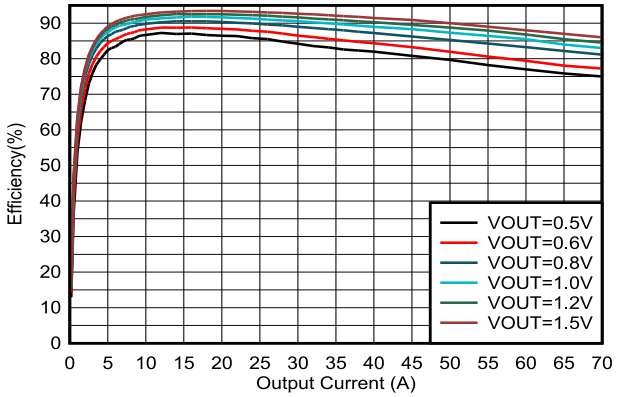
パラメータ		テスト条件	最小値	標準値	最大値	単位
$M_{IOUT(lsb)}$	出力電流の測定ビットの分解能 (1)			2^{-6}		A
$M_{PVIN(rng)}$	入力電圧の測定範囲(1)		0		20	V
$M_{PVIN(acc)}$	入力電圧の測定精度	4V < PVIN < 20V	-3%		3%	
$M_{PVIN(lsb)}$	入力電圧の測定ビットの分解能 (1)			2^{-6}		V
$M_{TSNS(acc)}$	内部温度のセンス精度(5)	-40℃ ≦ T_J ≦ 150℃	-3		3	℃
$M_{TSNS(lsb)}$	内部温度のセンス ビットの分解能(1)			0.25		
PMBUS インターフェイス + BCX						
$V_{IH(PMBUS)}$	PMB_CLK、PMB_DATA、BCX_CLK、BCX_DAT の High レベル入力電圧		1.35			V
$V_{IL(PMBUS)}$	PMB_CLK、PMB_DATA、BCX_CLK、BCX_DAT の Low レベル入力電圧				0.8	
$I_{IH(PMBUS)}$	PMB_CLK、PMB_DATA への入力 High レベル電流		-10		10	µA
$I_{IL(PMBUS)}$	PMB_CLK、PMB_DATA への入力 Low レベル電流		-10		10	µA
$V_{OL(PMBUS)}$	PMB_DATA、SMB_ALRT、BCX_DAT の出力 Low レベル電圧	V_{AVIN} > 4.5V、PMB_DATA、SMB_ALRT、BCX_DAT への入力電流 = 20mA			0.4	V
$I_{OH(PMBUS)}$	PMB_DATA、SMB_ALRT への出力 High レベル オープン ドレイン リーク電流	PMB_DATA、SMB_ALRT の電圧 = 5.5V			10	µA
$I_{OL(PMBUS)}$	PMB_DATA、SMB_ALRT、BCX_DAT の出力 Low レベル オープン ドレイン シンク電流	PMB_DATA、SMB_ALRT、BCX_DAT の電圧 = 0.4V	20			mA
f_{PMBUS_CLK}	PMBus の動作周波数範囲	GOSNS = AGND	10		1000	kHz
C_{PMBUS}	PMBUS_CLK および PMBUS_DATA ピンの入力容量(1)	V_{pin} = 0.1V ～ 1.35V			5	pF
N_{WR_NVM}	書き込み可能な NVM サイクル数(1)	–40°C ～ 150°C	1000			サイクル
$t_{CLK_STCH(max)}$	最大許容クロック ストレッチ(1)				6	ms

(1) 設計による仕様、製品テストは未実施
(2) このパラメータは、AVIN の 2.95V ～ 18V をカバーします。
(3) t_{ON_RISE} および t_{OFF_FALL} を 0ms に設定すると、ユニットが出力電圧を最速でプログラム済みのレギュレーション値である 0 まで低下させます。その結果、有効な t_{ON_RISE} および t_{OFF_FALL} の時間が 0.5ms になります (最速の時間がサポートされます)。
(4) $t_{ON_MAX_FAULT_LIMIT}$ および $t_{OFF_MAX_WARN_LIMIT}$ を 0 に設定すると、$t_{ON_MAX_FAULT}$ および $t_{OFF_MAX_WARN}$ の応答とレポートが完全に無効化されます。
(5) 量産では検査していません。

Copyright © 2025 Texas Instruments Incorporated

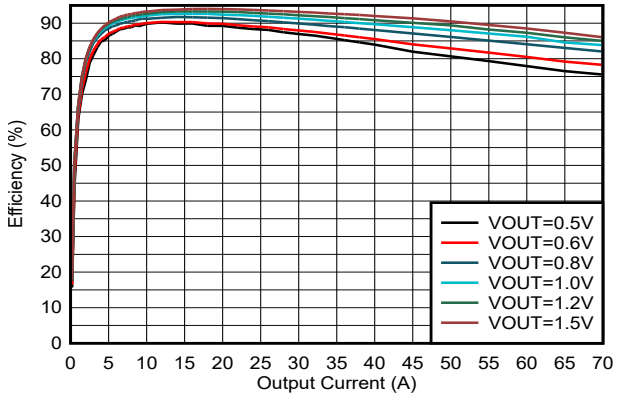
5.6 代表的特性

V_{PIN} = V_{AVIN} = 12V、T_A = 25°C、f_{sw} = 325kHz (V_{OUT} = 0.5V ～ 0.8V)、f_{sw} = 550kHz (V_{OUT} = 1.0V ～ 1.5V)



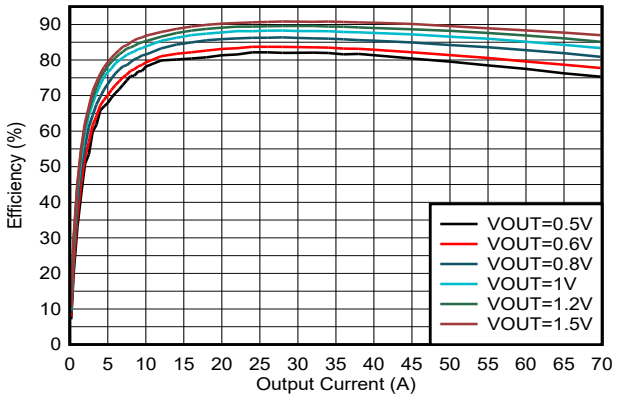
V_{IN} = 5V　　V_{CC} = Internal

図 5-1. TPSM8D6C24 の効率と出力電流との関係



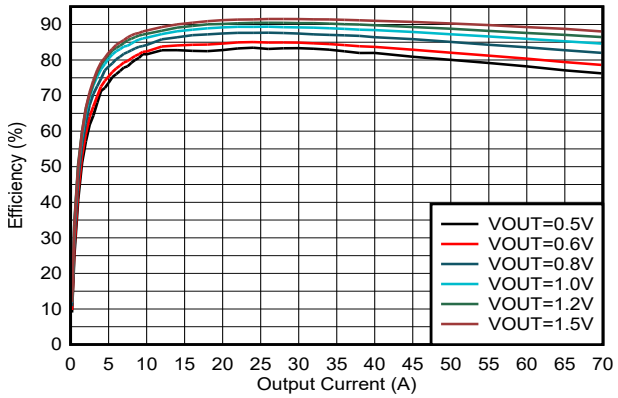
V_{IN} = 5V　　V_{CC} = 外部 5V

図 5-2. TPSM8D6C24 の効率と出力電流との関係



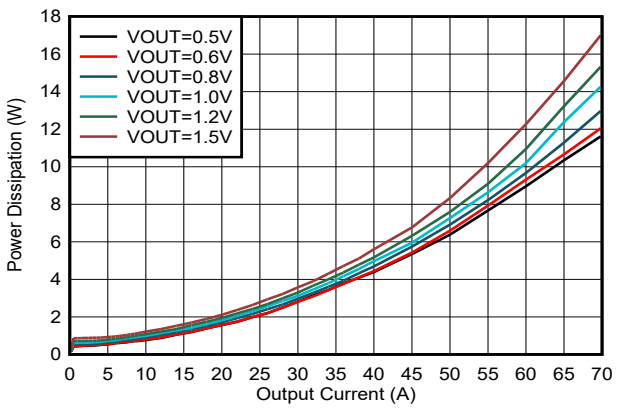
V_{IN} = 12V　　V_{CC} = Internal

図 5-3. TPSM8D6C24 の効率と出力電流との関係



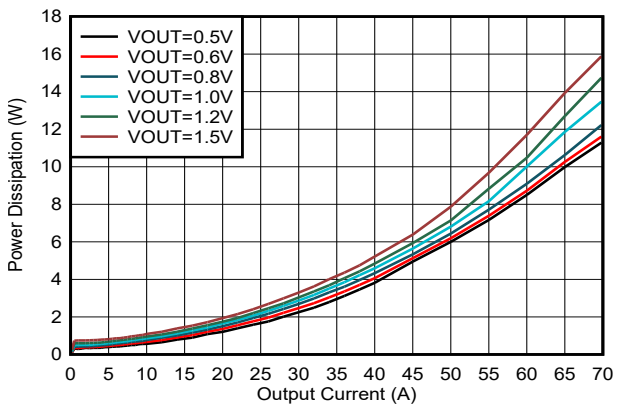
V_{IN} = 12V　　V_{CC} = 外部 5V

図 5-4. TPSM8D6C24 の効率と出力電流との関係



V_{IN} = 5V　　V_{CC} = Internal

図 5-5. TPSM8D6C24 の消費電力と出力電流との関係



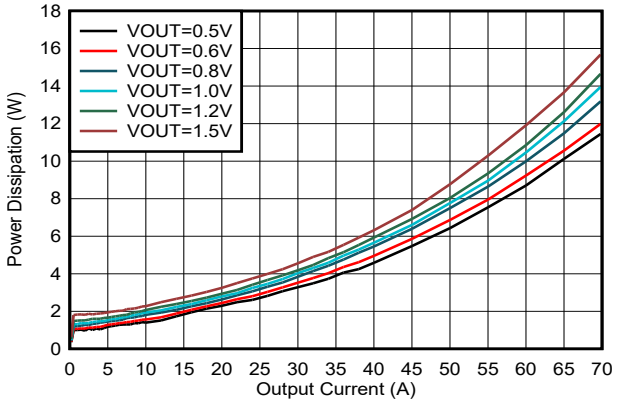
V_{IN} = 5V　　V_{CC} = 外部 5V

図 5-6. TPSM8D6C24 の消費電力と出力電流との関係

Copyright © 2025 Texas Instruments Incorporated

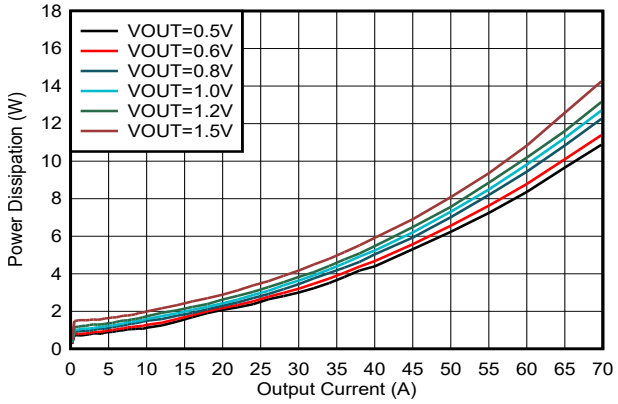
5.6 代表的特性 (続き)

V_{PIN} = V_{AVIN} = 12V、T_A = 25°C、f_{sw} = 325kHz (V_{OUT} = 0.5V ～ 0.8V)、f_{sw} = 550kHz (V_{OUT} = 1.0V ～ 1.5V)



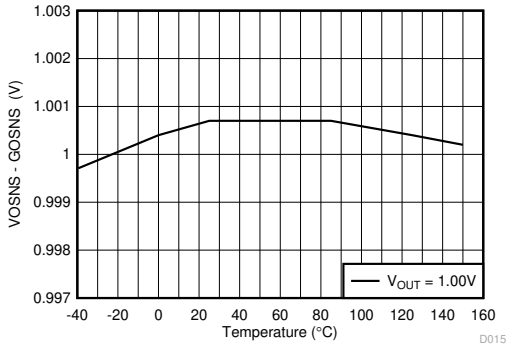
V_{IN} = 12V　　V_{CC} = Internal

図 5-7. TPSM8D6C24 の消費電力と出力電流との関係



V_{IN} = 12V　　V_{CC} = 外部 5V

図 5-8. TPSM8D6C24 の消費電力と出力電流との関係



VOUT_COMMAND = 1V

図 5-9. 出力電圧と接合部温度との関係

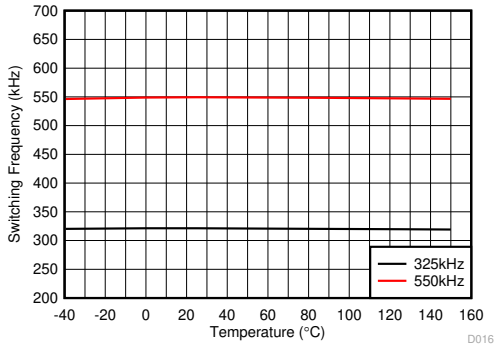


図 5-10. スイッチング周波数と接合部温度との関係

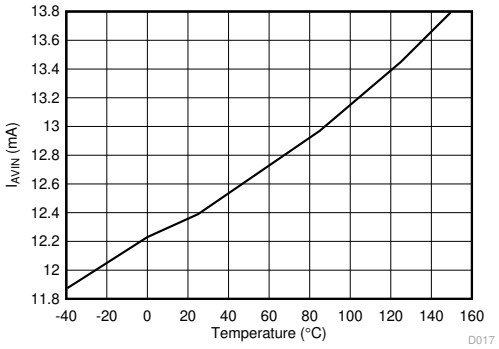
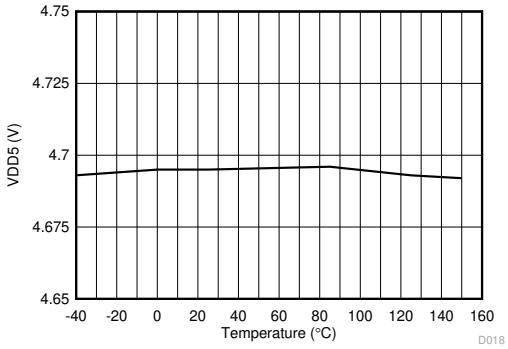


図 5-11. 非スイッチング入力電流 (I_{AVIN}) と接合部温度との関係



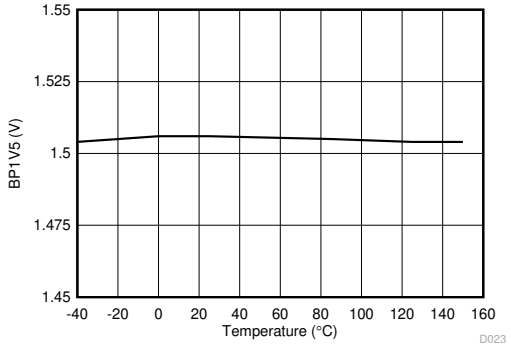
I_{VDD5} = 10mA　　V_{PVIN} = V_{AVIN}= 12V

図 5-12. VDD5 電圧と接合部温度との関係

Copyright © 2025 Texas Instruments Incorporated

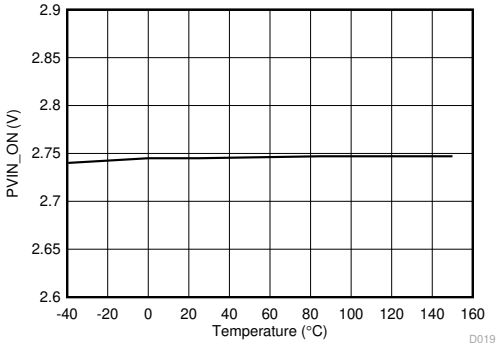
5.6 代表的特性 (続き)

V_{PIN} = V_{AVIN} = 12V、T_A = 25°C、f_{sw} = 325kHz (V_{OUT} = 0.5V ～ 0.8V)、f_{sw} = 550kHz (V_{OUT} = 1.0V ～ 1.5V)



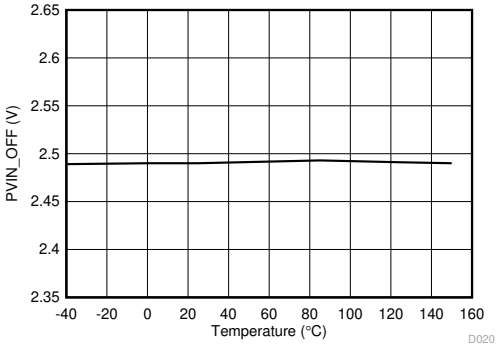
I_{BP1V5} = 2mA　　V_{PVIN} = V_{AVIN}= 12V

図 5-13. BP1V5 電圧と接合部温度との関係



(35h) VIN_ON = 2.75V

図 5-14. ターンオン電圧と接合部温度との関係



(36h) VIN_OFF = 2.5V

図 5-15. ターンオフ電圧と接合部温度との関係

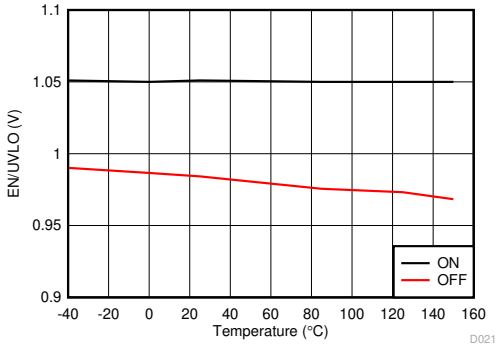


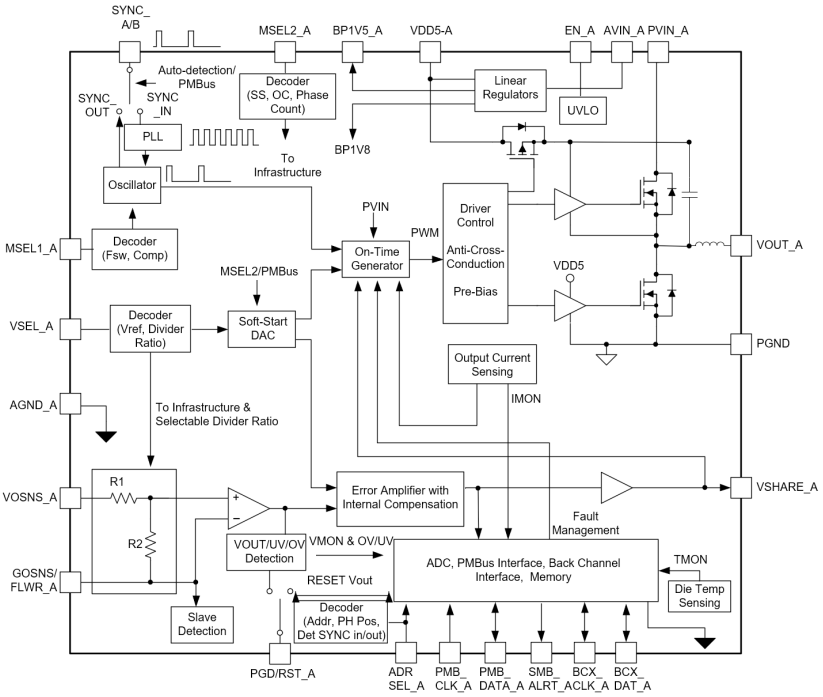
図 5-16. EN/UVLO スレッショルドと接合部温度との関係

6 詳細説明

6.1 概要

TPSM8D6C24 パワー モジュールは、は、独自の固定周波数電流モード制御を採用しています。スイッチング周波数は、ピンストラッピングまたは PMBus プログラミングにより、プリセット値から選択できます。出力電圧は真の差動リモートセンス アンプと内部抵抗分圧器で検出され、エラー アンプによって内部電圧リファレンスと比較されます。内部発振器により、ハイサイド パワー スイッチのオン動作が開始されます。エラー アンプの出力はバッファされ、スタックされたデバイス間で VSHARE を介して共有されます。この共有電圧は、検出されたスイッチ ノード電流と比較され、入力電圧、出力電圧、スイッチング周波数フィードフォワードを備えたリニア電圧ランプ変調器を駆動し、平均スイッチノード電流をレギュレートします。同期整流降圧コンバータとして、このデバイスは通常、あらゆる負荷状況下で連続導通モード (CCM) で動作します。補償部品は、PMBus コマンド *(B1h) USER_DATA_01 (COMPENSATION_CONFIG)* または外部ピン MSEL1 を使って統合し、スイッチング周波数と出力 LC フィルタに基づいてプリセット値を選択できます。

6.2 機能ブロック図



Channel A shown, Channel B is repeated except for Sync

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 平均電流モード制御

TPSM8D6C24 デバイスは、平均電流モード制御アーキテクチャを使用し、電流誤差積分ループと電圧誤差積分ループを個別にプログラム可能です。このアーキテクチャは、最小オン時間または最小オフ時間制御を制限することなく、ピーク電流モード制御と同様の性能を実現し、電流ループのゲインを選択して、勾配補償を効率的に設定できます。補償値の選択に役立つ *TPS546x24A 補償とピンストラップ抵抗カリキュレータ* 設計ツールを使用できます。

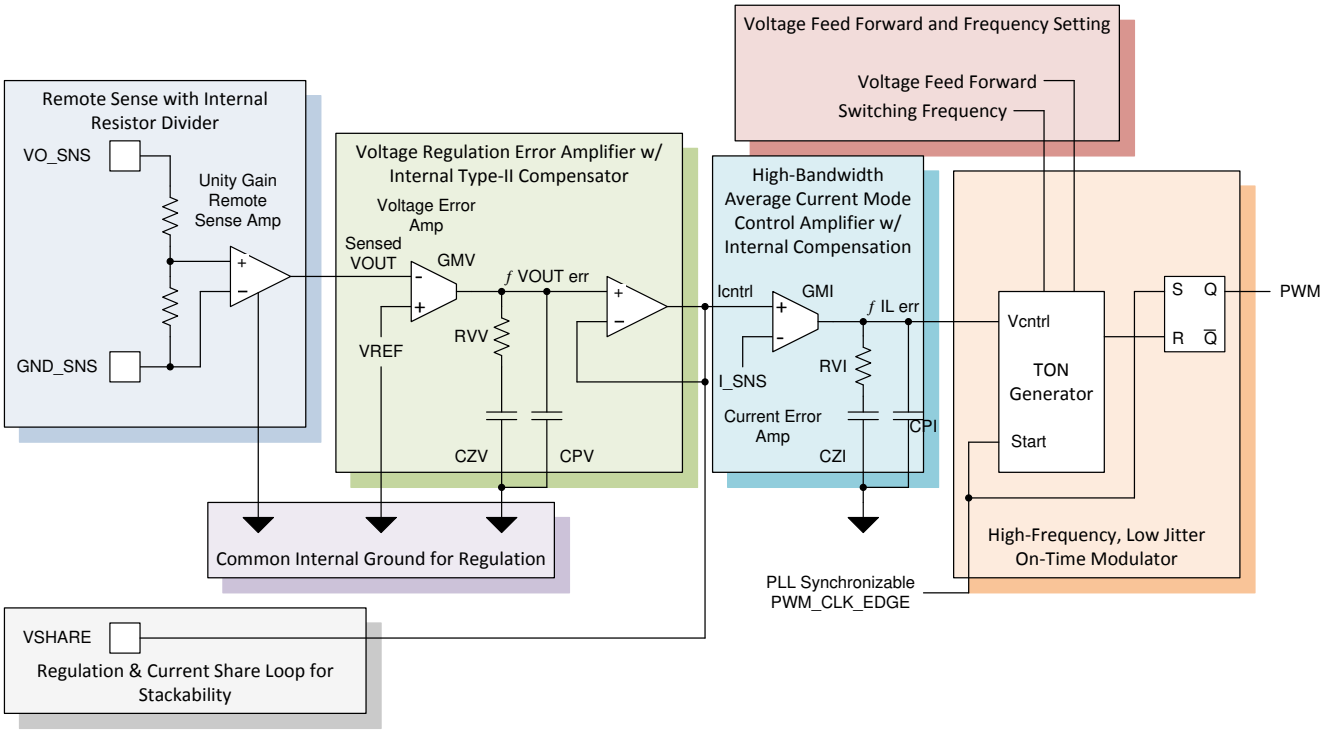


図 6-1. 平均電流モード制御のブロック図

6.3.1.1 オン時間変調器

入力電圧フィードフォワード変調器は、内蔵の電流誤差信号 I_{Lerr} をインダクタのオン時間に変換し、全スイッチング期間にわたってインダクタ間で制御されるボルト秒バランスを生成するため、電流誤差積分ループの設計を簡素化できます。この変調器は、次の式 1 式で与えられるフルサイクル平均化された小信号 V_{cntrl} から $dI_{L/dt}$ への伝達関数を生成します。

$$\frac{\frac{dI_L}{dt}}{dV_{cntrl}} = \frac{VIN}{Vramp} \times \frac{1}{L} = \frac{5.5}{L} \tag{1}$$

したがって、インダクタ電流変調器のゲインは次の式 2 式で求められます。

$$\frac{dI_L}{dV_{cntrl}}(f) = \frac{VIN}{Vramp} \times \frac{1}{L \times f} = \frac{5.5}{L \times f} \tag{2}$$

この自然積分 1/f 関数を使用することで、誤差電流積分器の中帯域ゲインで電流ループを補償できます。計算には、L = 0.22µH を使用します。

6.3.1.2 電流誤差積分器

電流誤差積分器は、検出されたインダクタ電流 I_{sns} と VSHARE ピンの電流電圧とが一致するように変調器の制御電圧を調整します。積分器は、*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)* の次のパラメータで調整されます。

- GMI
- RVI
- CZI
- CPI
- CZI_MUL

電流制御ゲインの 1/f 関数はそのまま統合されるため、電流制御ループの帯域幅は、積分器の中帯域ゲイン GMI×RVI で調整できます。

電流ループのクロスオーバーは、式 3 に従って、完全なループ ゲインが 1 に等しい周波数で発生します。

$$\left|ILOOP(f)\right| \times \frac{V_{PVIN}}{V_{ramp}} \times CSA \times \frac{1}{1.7 \times \pi \times f \times L} = 1 \tag{3}$$

電流ループの中帯域ゲインを求めると、式 4 が得られます。

$$ILOOP_{MB} = GMI \times RVI = \frac{V_{ramp}}{V_{PVIN}} \times \frac{1.7}{CSA} \times L \times \pi \times f_{coi} \tag{4}$$

ナイキスト定理では、1 / 2 f_{SW} の帯域幅が可能であることが示されていますが、電流センス、変調器、H ブリッジ電力 FET のインダクタ許容誤差と位相遅延により、現実的な目標は f_{SW} / 4 となります。この目標値により、ターゲット電流ループの中帯域ゲインが簡素化され、式 5 による f_{SW} / 4 の電流ループ帯域になります。

$$ILOOP_{MB} = GMI \times RVI = \frac{V_{ramp}}{V_{PVIN}} \times \frac{1.7}{CSA} \times L \times \pi \times \frac{f_{sw}}{4} = \frac{1.7 \times \pi}{4 \times 5.5 \times 6.155 \times 10^{-3}} \times L \times f_{sw} = 39.4 \times L \times f_{sw} \tag{5}$$

DC から低周波ゼロまでの積分器 RVI × CZI は、変調器ランプのバレー電圧と出力電圧の公称オフセットを補償します。高周波のフィルタ極 RVI × CPI を、スイッチング周波数の半分とスイッチング周波数の間に設定すると、VSHARE からの高周波ノイズが低減され、パルス幅ジッタが最小化されます。

ループの相互作用を回避するには、積分ゼロ周波数を電圧ループのクロスオーバー周波数を下回るようにする必要があります。一方で高周波の極は、電圧ループに追加の位相損失を発生させずに電流ループ内の高周波ノイズとジッタを制限するため、スイッチング周波数の半分とスイッチング周波数の間に設定する必要があります。

閉ループ平均電流モード制御により、電流センス アンプ、オン時間変調器、H ブリッジ電力 FET、インダクタを、フォワード ゲインが 1 / CSA または帯域幅が f_{COI} に等しい 162.5A/V の相互コンダクタンス アンプとして動作させることができます。

6.3.1.3 電圧誤差積分器

電圧誤差積分器は、電流モード制御アーキテクチャと同様に、電流制御電圧 V_{SHARE} を調整することで、出力電圧をレギュレートします。相互コンダクタンス アンプは、検出帰還電圧をプログラム済みのリファレンス電圧と比較して V_{SHARE} を設定し、目的の出力電圧を維持します。レギュレートされた電流ソースから出力容量を供給すると、自然で安定した積分器が実現しますが、多くの場合、ループ帯域幅と過渡応答を改善するために中帯域のゲインが要求されます。

電流センス ゲインで設定された相互コンダクタンスでは、式 6 のように完全ループ ゲインが 1 に等しくなると、電圧ループ クロスオーバーが発生します。

$$VOUT_SCALE_LOOP \times \left|VLOOP(f)\right| \times \frac{1}{CSA} \times \left|Z_{OUT}(f)\right| = 1 \tag{6}$$

Copyright © 2025 Texas Instruments Incorporated

電流積分ループ帯域幅が電圧ループの位相マージンに悪影響を与えないようにするには、電圧ループの目標帯域幅 f_{coi} / 2.5 を設定する必要があります。電流モード ループ f_{SW} / 4 の場合、電圧ループの中間帯域ゲインは 式 7 になります。

$$VLOOP_{MB} = GMV \times RVV = \frac{1}{VOUT_SCALE_LOOP} \times \frac{CSA}{Z_{OUT}\left(\frac{f_{SW}}{10}\right)} \quad (7)$$

正確な DC レギュレーションを維持するには、積分器の極が必要です。また、RVV × CZV で設定されるゼロ周波数は、出力サポート用の最大出力コンデンサを使用して、最低クロスオーバー周波数よりも低く設定する必要がありますが、目標電圧ループのクロスオーバー周波数 f_{cov} の 1 / 2 を超えないようにする必要があります。

スイッチング ノイズを電流ループから排除することを目的とした高周波ノイズ極も使用する必要があります。RVV × CPV で設定される高周波極は、f_{sw} / 4 と f_{sw} の間に設定する必要があります。

補償部品のピン プログラム オプションについては、表 6-9 を参照してください。

補償値の PMBus プログラミングについては、*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)* を参照してください。

6.3.2 リニア レギュレータ

TPSM8D6C24 デバイスには、AVIN から電力を受け取り、デバイスの内部回路に適切なバイアス (1.5V、1.8V、5V) を供給する 3 個の内部リニア レギュレータがあります。AVIN、1.5V、1.8V、5V がそれぞれの UVLO に達すると、デバイスはパワーオン リセットを開始します。その後、PMBus 経由でデバイスと通信し構成ができるようになるため、ユーザーはデフォルトを NVM に保存できます。

VDD5 は、3.9V (標準値) の内部固定低電圧誤動作防止機能を備えているため、電力段の変換ができます。VDD5 レギュレータは、4.75V ～ 5.25V の外部電源から電力を供給して、内部 LDO の損失を排除することで内部消費電力を低減し効率を向上させるか、AVIN を 4V 未満で動作させることができます。外部電源は、*(B5h) USER_DATA_05 (POWER_STAGE_CONFIG)* でプログラムされた LDO レギュレーション電圧を上回る必要があります。

レギュレータに負荷がかかるとコントローラの動作に悪影響を及ぼす可能性があるため、内部レギュレータを使用して他の回路に電力を供給することは推奨しません。

6.3.3 AVIN および PVIN ピン

TPSM8D6C24 を使用すると、AVIN ピンと PVIN ピンを互いに使用するか、または個別に使用することで、様々なアプリケーションを実現します。AVIN ピンの電圧は、デバイスの内部制御回路に電源を供給します。PVIN ピンの電圧は、スイッチング電力段に入力電圧を供給します。単一電源に接続した場合、AVIN と PVIN の入力電圧範囲は 4V ～ 16V です。PVIN が AVIN とは別の電源に接続されている場合、PVIN 電圧は 2.95V ～ 16V になります。PVIN が AVIN と同じ電源に接続されている場合、AVIN はコントローラとドライバを駆動するために、最小 4V と最大 16V を満たす必要があります。

Copyright © 2025 Texas Instruments Incorporated

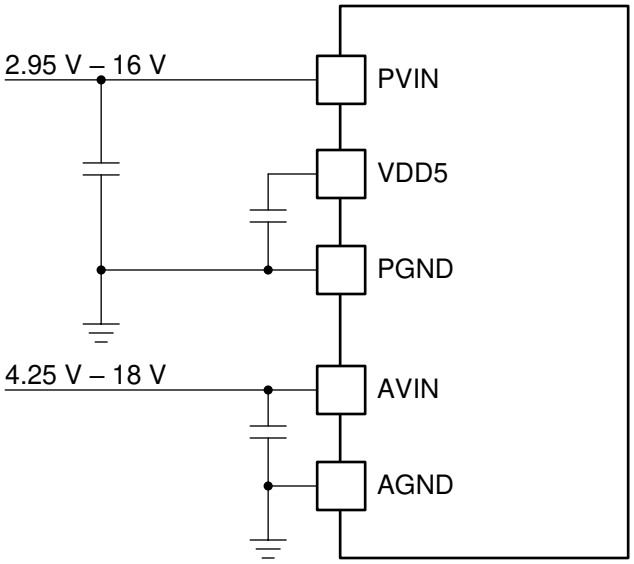


図 6-2. TPSM8D6C24 PVIN と AVIN の個別接続

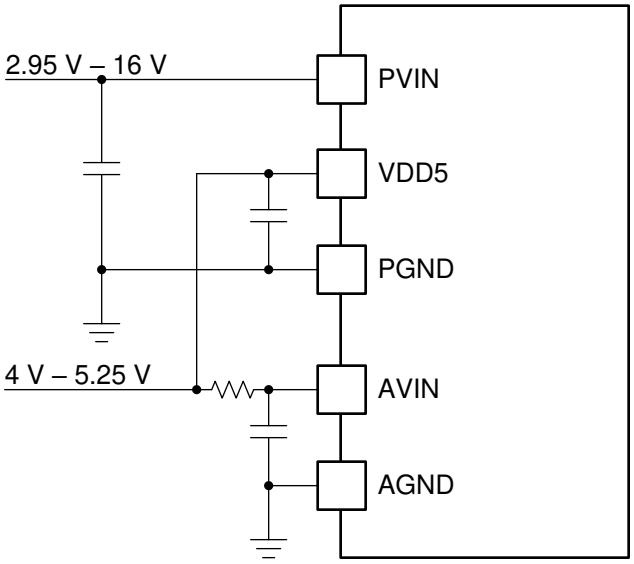


図 6-3. TPSM8D6C24 VDD5 との PVIN と AVIN の個別接続

Copyright © 2025 Texas Instruments Incorporated

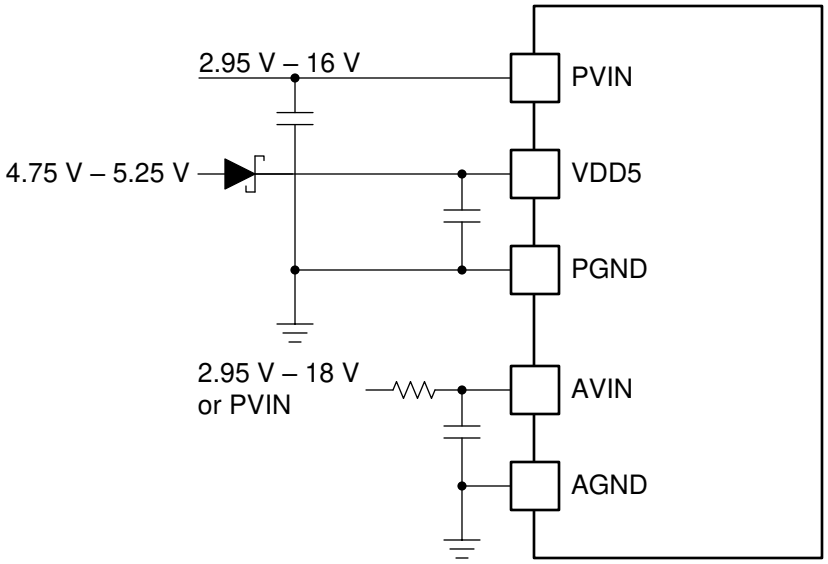


図 6-4. TPSM8D6C24 PVIN、AVIN、VDD5 の個別接続

6.3.4 入力低電圧誤動作防止 (UVLO)

TPSM8D6C24 には 4 つの独立した UVLO 機能があり、スタートアップ制御を非常に柔軟に行えます。PMBus 接続と VOUT および TEMPERATURE 監視の有効化に必要なのは固定 AVIN UVLO のみですが、スイッチングを有効にする前に 4 つの UVLO 機能要件をすべて満たす必要があります。

6.3.4.1 固定 AVIN UVLO

TPSM8D6C24 は AVIN に内部で 2.5V (標準値) の固定 UVLO を備えており、デジタル コアを有効化して、ピン検出を含むパワーオン リセットを開始できます。AVIN のオフスレッショルドは 2.3V (標準値) です。

6.3.4.2 固定 VDD5 UVLO

TPSM8D6C24 は、VDD5 に 3.9V (標準値) の UVLO を内部で固定しており、ドライバと出力電圧変換を有効にできます。VDD5 のオフスレッショルドは 3.5V です。

6.3.4.3 PVIN UVLO をプログラム可能

2 つの PMBus コマンド (*(35h) VIN_ON* および *(36h) VIN_OFF*) により、PVIN 電圧のターンオン / ターンオフ スレッショルド (分解能 0.25V) を、*(35h) VIN_ON* では 2.75V ～ 15.75V (6 ビット) の範囲で、*(36h) VIN_OFF* では 2.5V ～ 15.5V (6 ビット) の範囲で個別に設定できます。

注

(36h) VIN_OFF が *(35h) VIN_ON* よりも高い値にプログラムされている場合、PVIN が *(36h) VIN_OFF* を下回っている間、TPSM8D6C24 は有効と無効を高速に切り替えます。このような条件下では、有効と無効の間の伝搬遅延により、コンバータで *(61h) TON_RISE* および *(65h) TOFF_FALL* が起動する可能性があります。

6.3.4.4 EN/UVLO ピン

TPSM8D6C24 は EN/UVLO ピンに高精度のスレッショルドとヒステリシス電流ソースを提供しているため、AVIN、PVIN、VDD5 など、1.05V (標準) を超える任意の外部電圧に対して追加の UVLO をプログラムする目的で使用できます。さらに柔軟性を高めるには、EN/UVLO ピンを無効化するか、PMBus コマンド *(02h) ON_OFF_CONFIG* でロジックを反転し、PMBus プログラミングが完了するまで出力が有効化されないようにピンを AGND に接続することもできます。

Copyright © 2025 Texas Instruments Incorporated

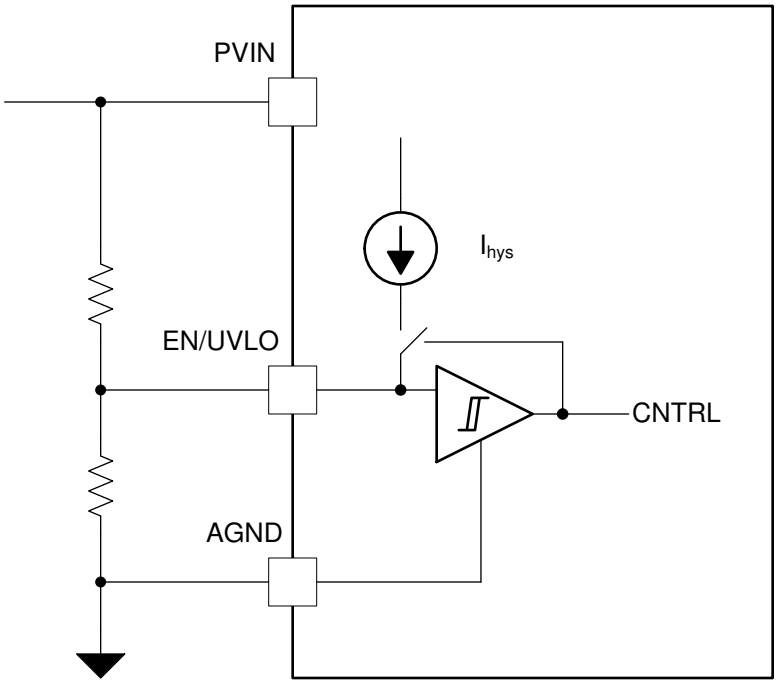


図 6-5. TPSM8D6C24 UVLO 分圧器

6.3.5 スタートアップとシャットダウン

デバイスのスタートアップとシャットダウンは、以下のような PMBus の複数のプログラマブル値で制御されます。

- *(01h) OPERATION*
- *(02h) ON_OFF_CONFIG*
- *(60h) TON_DELAY*
- *(61h) TON_RISE*
- *(64h) TOFF_DELAY*
- *(65h) TOFF_FALL*

デフォルトの *(02h) ON_OFF_CONFIG* 設定では、タイミングは 図 6-6 で示されているとおりになります。実装の詳細については、*サポートされている PMBus コマンド* セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

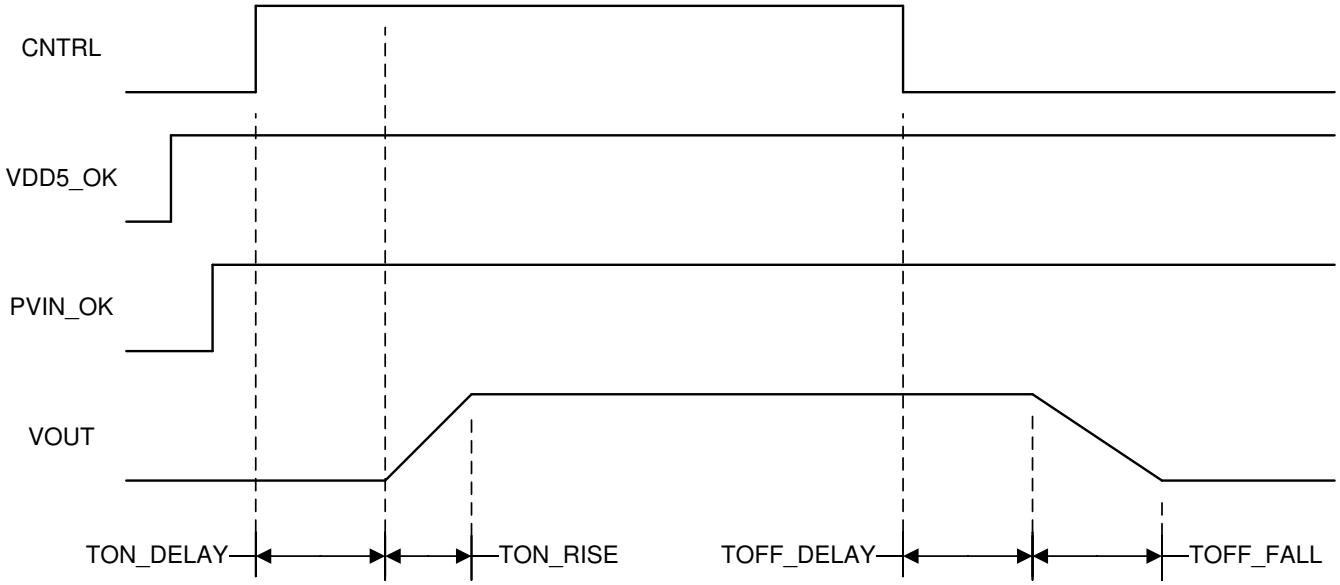


図 6-6. TPSM8D6C24 のスタートアップとシャットダウン

注

TPSM8D6C24 では、ピン検出、PMBus 通信、EN/UVLO および PVIN_OK の有効な検出のため、AVIN と VDD5 が UVLO レベルに到達する時間が必要です。AVIN と VDD5 がそれぞれの低い UVLO スレッショルド (標準 2.9V) を超えると、TPSM8D6C24 はパワーオン リセット、セルフ キャリブレーション、ピン検出を開始します。この時間遅延、$t_{delay(uvlo_PMBus)}$ (標準 6ms) は、PVIN_OK または EN/UVLO 検出が有効化される前に完了する必要があります。

$VDD5_{PS_ON}$、PVIN_OK、EN/UVLO が、$t_{delay(uvlo_PMBus)}$ の終了前にスレッショルドを上回っている場合は、$t_{delay(uvlo_PMBus)}$ が完了してから *(60h) TON_DELAY* が起動します。

$t_{delay(uvlo_PMBus)}$ の完了時に $VDD5_{PS_ON}$、PVIN_OK、EN/UVLO がスレッショルドを下回っている場合は、VDD5_OK、PVIN_OK、EN/UVLO がすべてのスレッショルドを上回ると *(60h) TON_DELAY* が起動します。

6.3.6 差動センス アンプと帰還分周器

TPSM8D6C24 には、完全統合型の内部高精度帰還分周器とリモート センス機能が搭載されています。選択可能な帰還分周器と高精度に調整可能な基準電圧の両方を使用すると、最大 6.0V の出力電圧が得られます。帰還分周器は、*(29h) VOUT_SCALE_LOOP* コマンドを使用して、1:1、1:2、1:4、または 1:8 の分圧比にプログラムできます。

(21h) VOUT_COMMAND の推奨動作範囲は、次のように*(29h) VOUT_SCALE_LOOP* を構成した帰還分圧比に依存します。

表 6-1. (29h) VOUT_SCALE_LOOP と (21h) VOUT_COMMAND の推奨範囲

(29h) VOUT_SCALE_LOOP	V_{OUT} の推奨範囲 (V)
1	0.5～0.75
0.5	0.5～1.5
0.25	1～3
0.125	2～6

推奨範囲より低い*(21h) VOUT_COMMAND* の設定は、V_{OUT} レギュレーション精度に悪影響を及ぼす恐れがあります。また、推奨範囲を超える*(21h) VOUT_COMMAND* の設定により、実際の出力電圧が制限される場合があります。

Copyright © 2025 Texas Instruments Incorporated

注

レギュレーション出力電圧が*(29h) VOUT_SCALE_LOOP* の電流値の推奨範囲によって制限される場合、リファレンス電圧の範囲が制限されているため、V_{OUT} は目的の値*(44h) VOUT_UV_FAULT_LIMIT* または *(43h) VOUT_UV_WARN_LIMIT* を、それぞれの警告または障害をトリガせずに下回ることがあります。

6.3.7 出力電圧と適応型電圧スケーリング (AVS) の設定

初期出力電圧は、AVIN 電源オンの *VSEL* ピンで設定できます。VSEL ピンは、パワーオン リセット (POR) の一部として、VSEL ピンと AGND の間の抵抗値と、B1V5 と AGND の間の VSEL ピンの分圧比を両方検出します。これらの値は、*(29h) VOUT_SCALE_LOOP*、*(21h) VOUT_COMMAND*、*(2Bh) VOUT_MIN*、*(24h) VOUT_MAX* をプログラムし、内部帰還分圧器と高精度可変リファレンス電圧に適切な設定を選択します。TPSM8D6C24 が POR を完了し、PMBus 通信を有効化すると、これらの初期値を PMBus 通信経由で変更できるようになります。

- *(20h) VOUT_MODE*
- *(21h) VOUT_COMMAND*
- *(29h) VOUT_SCALE_LOOP*
- *(22h) VOUT_TRIM*
- *(25h) VOUT_MARGIN_HIGH*
- *(26h) VOUT_MARGIN_LOW*
- *(01h) OPERATION*
- *(02h) ON_OFF_CONFIG*

出力電圧は PMBus 経由でプログラムできます。この値は以下のレジスタに関連しています。

- *(24h) VOUT_MAX*
- *(2Bh) VOUT_MIN*
- *(40h) VOUT_OV_FAULT_LIMIT*
- *(42h) VOUT_OV_WARN_LIMIT*
- *(43h) VOUT_UV_WARN_LIMIT*
- *(44h) VOUT_UV_FAULT_LIMIT*

TPSM8D6C24 は、次の相対フォーマットのデフォルト値になりますが、PMBus コマンド *(20h) VOUT_MODE* で絶対フォーマットを使用するように変更することもできます。

- *(25h) VOUT_MARGIN_HIGH*
- *(26h) VOUT_MARGIN_LOW*
- *(40h) VOUT_OV_FAULT_LIMIT*
- *(42h) VOUT_OV_WARN_LIMIT*
- *(43h) VOUT_UV_WARN_LIMIT*
- *(44h) VOUT_UV_FAULT_LIMIT*

詳細については、*(20h) VOUT_MODE* の説明を参照してください。

6.3.7.1 リセット出力電圧

(21h) VOUT_COMMAND 値および対応する出力電圧は、*VSEL* で設定された、前回選択したパワーオン リセット値か、*(EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)* コマンドで選択した EEPROM にリセットすることができます (*(EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)* PMBus コマンドで PGD/RST_B ピンの機能が RESET# に設定されている場合)。*(21h) VOUT_COMMAND* を前回のパワーオン リセット値にリセットするには、RESET# のオプション機能が有効化されているときに、PGD/RST_B ピンを外部で Low にアサートします。RESET# が Low にアサートされている間、PMBus 経由で受信される *(21h) VOUT_COMMAND* 値はアクノリッジされますが、*(21h) VOUT_COMMAND* は変更されません。*(EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)* で RESET# が選択されると、同じ PMBus コマンドの PULLUP# ビットで PGD/RST_B ピンの内部プルアップを選択できるため、RESET# 機能による外部プルアップが不要になります。

Copyright © 2025 Texas Instruments Incorporated

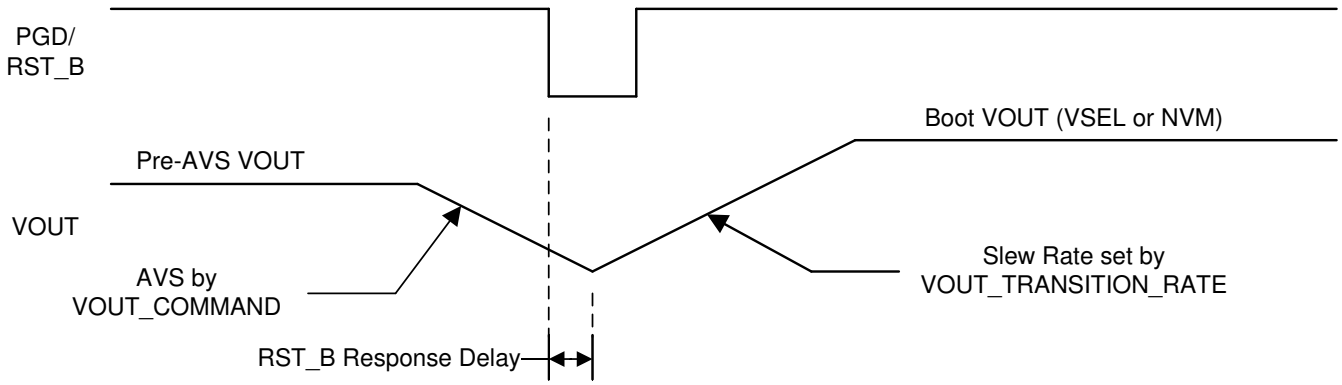


図 6-7. TPSM8D6C24 出力電圧のリセット

6.3.7.2 ソフト スタート

スタートアップ時に、出力コンデンサ バンクの充電に必要な突入電流を制御するため、TPSM8D6C24 は *(61h) TON_RISE* コマンドでプログラミングするソフト スタート時間を実装しています。デバイスが有効の場合、リファレンス電圧は、*(61h) TON_RISE* コマンドに定義されるスルーレートで、0V から以下に定義される最終レベルまで上昇します。

- *(21h) VOUT_COMMAND*
- *(29h) VOUT_SCALE_LOOP*
- *(22h) VOUT_TRIM*
- *(25h) VOUT_MARGIN_HIGH*
- *(26h) VOUT_MARGIN_LOW*
- *(01h) OPERATION*

TPSM8D6C24 デバイスは、*(61h) TON_RISE* コマンドで選択する 250µs ごと (7 ビット) のソフト スタート時間 (0ms ～ 31.75ms) に対応します。t_{ON_RISE} 時間は、*MSEL2* によるピン (オプション 8 種)、PMBus によるプログラミング、または両方を使用して選択できます。

ソフト スタート中、PWM パルス幅が最小の制御可能なオン時間より短い場合、パルス スキップが発生し、出力に通常動作よりも大きなリップル電圧が見られる可能性があります。

6.3.8 プリバイアスされた出力へのスタートアップ

TPSM8D6C24 は、最初の PWM パルスがハイサイド FET がオンにした後まで、ローサイド FET が SW ノードを強制的に Low にするのを防ぐことで、スタートアップ中にプリバイアス出力電圧から電流が放電されるのを制限します。VOSNS 電圧が上昇するリファレンス電圧を超え、ハイサイド SW パルスが開始すると、TPSM8D6C24 は、狭いオン時間で各 SW 周期における同期整流を制限します。最大ローサイド MOSFET オン時間は、128 のスイッチング周期が経過して、同期整流器がハイサイド MOSFET と完全相補で動作するまで、サイクルごとにゆっくりと増加します。これにより、プリバイアス出力からの電流のシンクが制限され、出力電圧のスタートアップおよび立ち上がりからレギュレーションまでのシーケンスが単調に増加することが保証されます。

プリバイアスされた出力電圧が *(40h) VOUT_OV_FAULT_LIMIT* より高い場合、TPSM8D6C24 は、EN/UVLO または PMBus の *(01h) OPERATION* コマンドによって変換が無効になっていても、POR が完了するとすぐに応答し、VDD5 は自身の 3.9V UVLO よりも増大します。

6.3.9 ソフト ストップおよび (65h) TOFF_FALL コマンド

(02h) ON_OFF_CONFIG または *(01h) OPERATION* で有効化されると、TPSM8D6C24 は、出力電圧をレギュレーションから 0 まで強制的に減少させる *(65h) TOFF_FALL* コマンドを実装します。*(65h) TOFF_FALL* 時間の間に、出力電圧を放電するために負のインダクタ電流が強制的に発生する可能性があります。*(65h) TOFF_FALL* を 0ms に設定すると、ユニットは出力電圧を最速で 0 に下げ、有効な *(65h) TOFF_FALL* 時間が 0.5ms になります。*(02h) ON_OFF_CONFIG* で無効化され、EN/UVLO ピン制御または *(01h) OPERATION* のビット 6 で電源オフになってお

Copyright © 2025 Texas Instruments Incorporated

り、レギュレータが *(01h) OPERATION* コマンドで電源オフになる場合、ハイサイドとローサイドの FET ドライバは両方とも直ちにオフになり、出力電圧スルーレートは外部負荷の放電で制御されます。

この機能は *(02h) ON_OFF_CONFIG* の EN/UVLO に対してデフォルトで無効になっています。

6.3.10 パワー グッド (PGOOD)

変換が有効で t_{ON_RISE} が完了すると、出力電圧が *(43h) VOUT_UV_WARN_LIMIT* から *(42h) VOUT_OV_WARN_LIMIT* の間の場合、PGOOD オープンドレイン出力がリリースされ、外部供給ロジック レベルに上昇させることができます。シャットダウン応答のあるいずれかのフォルト条件が発生すると、PGOOD オープンドレイン出力がアサートされ、デフォルトで PGOOD が強制的に Low に設定されます。PGOOD ピンをプルダウンする可能性のあるソースについては、表 6-4 を参照してください。

PGOOD 信号は、他のデバイスの EN/UVLO ピンに接続することで、追加の制御されたオン / オフのシーケンスを実現できます。

6.3.11 スイッチング周波数の設定

内部発振器は、プログラム可能な 16 の個別オプションと共に、PWM スイッチング用に 275kHz ～ 1.1MHz のクロックを生成します。スイッチング周波数は、*MSEL1* (オプション 7 種) の抵抗分圧器のピンストラッピング、PMBus プログラミング (オプション 9 種)、または両方で選択できます。使用する *(33h) FREQUENCY_SWITCH* コマンドは 表 6-2 の一覧で確認できます。

表 6-2. 発振器の f_{SW} オプション

プログラム可能な f_{SW} オプション (kHz)	f_{SW} ピンストラップ オプション (kHz)
275	275
325	325
375	—
450	450
550	550
650	650
750	—
900	900
1100	1100

6.3.12 周波数同期

発振器は、SYNC ピンを使用して、外部クロックに同期 (SYNC IN) するか、クロックを出力して他のデバイスを同期 (SYNC OUT) できます。マルチレール インターリーブと多相動作の両方で位相シフトされたクロックをサポートするため、内部発振器は 1、2、3、4 相の動作に対して 0、90、120、180、240、270 度で SYNC ピンから位相シフトできます。SYNC IN/SYNC OUT 機能と、単相またはスタンドアロン デバイスの位相位置は、*ADRSEL* ピンの抵抗分圧器を介してピンストラップするか、*MSEL2* ピンから AGND への抵抗 (マルチフェーズ ループ フォロワ デバイスの場合) により選択できます。

単一出力のマルチフェーズ スタック構成では、*MSEL2* ピンを使用して、同期位相オフセットとデバイス数および位相位置をプログラムします。マルチフェーズ スタックのループ フォロワ デバイスは常に SYNC_IN として構成されます。一方、ループ コントローラ デバイスは、ADRSEL ピンの抵抗分圧器を使って、自動検出、SYNC_IN、SYNC_OUT 用に構成できます。

表 6-3. ADRSEL 抵抗分圧器によりピンでプログラムされた位相位置 (単相スタンドアロン)

RDIV コード	位相位置 (度)	同期入力 / 出力
オープン (BP1V5 への抵抗なし)	0	入出力の自動検出
0、1	0	入力
2、3	90	入力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. ADRSEL 抵抗分圧器によりピンでプログラムされた位相位置 (単相スタンドアロン) (続き)

RDIV コード	位相位置 (度)	同期入力 / 出力
4、5	120	入力
6、7	180	入力
8、9	240	入力
10.11	270	入力
12、13	0	出力
14、15	180	出力

最初の電源投入およびピン検出の後、同期入力 / 出力が自動検出構成に設定されている場合、TPSM8D6C24 は SYNC ピンを検出して、外部同期クロックの有無を判定します。スイッチングまたは SYNC ピンの一貫したプルアップがある場合、デバイスは SYNC_IN に設定されます。また、SYNC の一貫したプルダウンがある場合、デバイスは SYNC_OUT に設定されます。ループ フォロワにプログラムされた TPSM8D6C24 デバイスは、常に SYNC_IN となるようプログラムされます。

SYNC_IN 用に構成した場合、同期入力パルスが 2 サイクルにわたって欠落した場合、または発振器の周波数がフリーランニング スイッチング周波数の 50% を下回った場合、デバイスは同期クロック喪失を判定します。TPSM8D6C24 がマルチフェーズ スタックの一部である場合、コンバータはシャットダウンされ、同期喪失による損傷を防止するため、同期信号が再確立されるまで無効のまま維持されます。単相スタンドアロン デバイスは、公称周波数の約 50% で動作を継続します。

6.3.13 ループ フォロワの検出

電源オン時に GOSNS/FLWR ピンの電圧が検出されます。BP1V5 で High にプルされると、デバイスはループ フォロワとして認識されます。GOSNS/FLWR ピンが出力グランドに接続されている場合、TPSM8D6C24 はループ コントローラとして構成されます。

6.3.14 電流検出と共有

ハイサイドとローサイドのどちらの FET も、電流検出に SenseFET アーキテクチャを採用し、高精度で温度補償された電流監視を実現しています。この SenseFET アーキテクチャでは、FET の寄生抵抗を使用して、外部部品なしでロスレスの電流検出を実現します。

複数のデバイス (2×、3×、4×) がマルチフェーズ アプリケーションで動作する場合、すべてのデバイスが VSHARE ピンを介して同じ内部制御電圧を共有します。各相で検出される電流は、内部の相互コンダクタンス アンプにより VSHARE 電圧で制御され、さまざまな相間でのループ補償と電流バランシングを実現します。アンプの出力電圧が内部 PWM ランプと比較され、PWM パルスが生成されます。

6.3.15 遠隔測定

コントローラ コアの遠隔測定サブシステムは、以下の直接測定をサポートします。

- 入力電圧
- 出力電圧
- 出力電流
- ダイ温度

この ADC は、これらの主要なシステム パラメータを正確に測定できるように、最大 16 回の過去測定値を含むローリング ウィンドウによる内部ローリング ウィンドウの平均化をサポートします。各 ADC 変換の所要時間は 500µs 未満であるため、各遠隔測定値は 2ms 以内に更新できます。

電流センス遠隔測定は、各ローサイド FET のオン時間の開始と終了時にローサイド FET の電流を検出し、2 つの測定値を平均化して、ローサイド FET のオン時間中にインダクタ電流が非線形である場合 (インダクタが飽和電流を超えて動作している場合など)、平均インダクタ電流のオーバーレポート電流を監視します。

Copyright © 2025 Texas Instruments Incorporated

6.3.16 過電流保護

ローサイド過電流 (OC) とハイサイド短絡保護回路の両方が実装されています。

ローサイド過電流の故障および警告スレッショルドは PMBus でプログラムし、ローサイド MOSFET のサイクル単位全体の平均電流を検出します。これは、ハイサイド パルスがサイクル単位で終端されており、ハイサイド MOSFET のピーク電流が、設定されたローサイド スレッショルドの 1.5 倍を超えた場合、設定された警告または故障スレッショルドと比較されます。

スイッチング サイクル中にローサイドの過電流またはハイサイドの短絡のスレッショルドを超えると、OCP フォルト カウンタが増加します。スイッチング サイクルで過電流状態が検出されない場合、カウンタは減少します。カウンタが *(47h) IOUT_OC_FAULT_RESPONSE* PMBus 値 (デフォルト = 3) で選択された遅延を上回ると、過電流フォルト条件が宣言され、出力はシャットダウンします。再起動とタイミングも、*(47h) IOUT_OC_FAULT_RESPONSE* の一部として定義されます。

出力 OC の故障スレッショルドとフォルト応答は PMBUS で設定されます。OC フォルト応答は、シャットダウン、再起動、無視に設定できます。

6.3.17 過電圧および低電圧保護

VOSNS ピンの電圧は監視され、出力電圧過電圧 (OV) および低電圧 (UV) 保護を提供します。VOSNS 電圧が OV フォルト スレッショルドより高い場合、OV フォルトが宣言され、ローサイド FET がオンになって出力電圧を放電し、OV 状態を除去します。ローサイド FET は、*(29h) VOUT_SCALE_LOOP* によってプログラムされた内部帰還デバイダによって VOSNS 電圧が 200mV 分周まで放電されるまでオンのままです。出力電圧が放電されると、出力は無効化され、コンバータがタイム アウトして、*(41h) VOUT_OV_FAULT_RESPONSE* PMBus コマンドに従って再起動します。VOSNS 電圧が UV フォルト スレッショルドを下回ると、UV フォルトが宣言されます。*(45h) VOUT_UV_FAULT_RESPONSE* PMBus コマンドによって初期遅延がプログラムされた後、出力は無効化され、*(45h) VOUT_UV_FAULT_RESPONSE* PMBus コマンドに従ってコンバータがタイム アウトして再起動します。

出力の UV と OV フォルト スレッショルドとフォルト応答は、PMBUS によって設定されます。UV と OV のフォルト応答は、シャットダウン、再起動、または中断なしで動作を継続できるように設定することができます。

6.3.18 過熱の管理

TPSM8D6C24 には、次の 2 つの過熱保護方式があります。

- 監視および過熱保護 (OTP) 用のオンチップ ダイ温度センサ
- バンドギャップ ベースのサーマル シャットダウン (TSD) 保護機能 TSD は、温度テレメトリ システムのフォルトが発生した場合に OT フェイルセーフ保護を提供しますが、高温テストの場合は、*(50h) OT_FAULT_RESPONSE* で無効にできます。

過熱保護 (OTP) スレッショルドは PMBus により設定され、*(8Dh) READ_TEMPERATURE_1* テレメトリを *(51h) OT_WARN_LIMIT* および *(4Fh) OT_FAULT_LIMIT* と比較します。過熱 (OT) フォルト応答は、シャットダウン、再起動、中断なしで動作を継続に設定することができます。

6.3.19 故障の管理

マルチフェーズ スタックの OC フォルト、OT フォルト、サーマル シャットダウンに対する応答では、シャットダウン応答が最優先され、その後再起動応答が続きます。中断応答なしでの連続動作の優先度が最も低くなっています。

複数の故障が急速に連続して発生する場合、最初の故障が発生した際に 2 番目の故障がマスクされる可能性があります。検出される最初の故障が、中断せずに動作を継続するように設定され、2 番目の故障がシャットダウンおよび再起動するように設定されている場合、2 番目の故障でシャットダウンが実行されますが、プログラム通りに再起動できない可能性があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-4. 故障保護の概要

故障または警告	プログラミング	フォルト応答の設定	FET の動作	t_{ON_RISE} の間アクティブ	SMB_ALRT	マスク可能	PGOOD ロジック
内部 OT フォルト	(4Fh) OT_FAULT_LIMIT	シャットダウン	両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	両方の FET がオフ、再起動				
		無視	FET は引き続き PWM で制御				High
内部 OT 警告	(51h) OT_WARN_LIMIT	故障発生時にシャットダウンまたは再起動	FET は引き続き PWM で制御	あり	Y	Y	High
		故障を無視					
TSD	スレッショルドは内部で固定	シャットダウン	両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	両方の FET がオフ、再起動				High
		無視	FET は引き続き PWM で制御				
Low サイド OC フォルト	(46h) IOUT_OC_FAULT_LIMIT	シャットダウン	PWM 3 カウントで、両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	PWM 3 カウントで、両方の FET がオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
Low サイド OC 警告	(4Ah) IOUT_OC_WARN_LIMIT	故障発生時にシャットダウンまたは再起動	FET は引き続き PWM で制御	あり	Y	Y	High
		故障を無視					
負の OC フォルト (OVF より優先度低)	該当なし	イネーブル	LS FET がオフ	あり	Y	Y	Low
		無効	FET は引き続き PWM で制御				High
High サイド OC フォルト	(46h) IOUT_OC_FAULT_LIMIT	シャットダウン	パルス単位の電流制限 3 サイクル後に、両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	パルス単位の電流制限 3 サイクル後、両方の FET がオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
Vout OV フォルト	(40h) VOUT_OV_FAULT_LIMIT	シャットダウン	LS FET がオンにラッチされるか、V_{OUT} が 200mV/VOUT_SCALE_LOOP に達するまでオン。HS FET はオフ	なし	Y	Y	Low
		最初からやり直します	LS FET がオンにラッチされるか、V_{OUT} が 200mV/VOUT_SCALE_LOOP に達するまでオン。HS FET はオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
V_{OUT} OVF 固定	(40h) VOUT_OV_FAULT_LIMIT	シャットダウン	LS FET がオンにラッチされるか、V_{OUT} が 200mV/VOUT_SCALE_LOOP に達するまでオン。HS FET はオフ	あり	Y	Y	Low
		最初からやり直します	LS FET がオンにラッチされるか、V_{OUT} が 200mV/VOUT_SCALE_LOOP に達するまでオン。HS FET はオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
Vout OV 警告	(42h) VOUT_OV_WARN_LIMIT	故障発生時にシャットダウンまたは再起動	FET は引き続き PWM で制御	なし	Y	Y	High
		故障を無視					
Vout UV フォルト	(44h) VOUT_UV_FAULT_LIMIT	シャットダウン	両方の FET がオフ	なし	Y	Y	Low
		最初からやり直します	両方の FET がオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
Vout UV 警告	(43h) VOUT_UV_WARN_LIMIT	故障発生時にシャットダウンまたは再起動	FET は引き続き PWM で制御	なし	Y	Y	Low
		故障を無視					
$t_{ON\ MAX}$ フォルト	(62h) TON_MAX_FAULT_LIMIT	シャットダウン	両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	両方の FET がオフ、[遅延] × t_{ON_RISE} 後に再起動				
		無視	FET は引き続き PWM で制御				High
PVin UVLO	(35h) VIN_ON、(36h) VIN_OFF	シャットダウン	両方の FET がオフ	あり	Y	Y	Low

Copyright © 2025 Texas Instruments Incorporated

表 6-4. 故障保護の概要 (続き)

故障または警告	プログラミング	フォルト応答の設定	FET の動作	t_{ON_RISE} の間アクティブ	SMB_ALRT	マスク可能	PGOOD ロジック
PVIN OV フォルト	(55h) VIN_OV_FAULT_LIMIT	シャットダウン	両方の FET がオフ	あり	Y	Y	Low
		最初からやり直します	両方の FET がオフ、再起動				
		無視	FET は引き続き PWM で制御				High
BCX_fault	該当なし	該当なし	FET は引き続き PWM で制御	あり	Y	Y	High
Pin_Strap_NonConverge	該当なし	VSEL	両方の FET がオフ、VSHARE を Low にプル	なし (t_{ON_RISE} の前にアクティブ)	N	該当なし	Low
		MSEL1					
		MSEL2					
		ADRSEL					
SYNC_Fault	該当なし	ループ コントローラ、またはスタンドアロン デバイス	FET は引き続き PWM で制御	あり	N	該当なし	High
		ループ フォロワ デバイス	両方の FET がオフ、VSHARE を Low にプル				Low
SYNC_High/Low	該当なし	ループ コントローラ、またはスタンドアロン デバイス	FET は引き続き PWM で制御	あり	N	該当なし	High
		ループ フォロワ デバイス	両方の FET がオフ、VSHARE を Low にプル				Low

6.3.20 バックチャネル通信

TPSM8D6C24 は、出力を共有した複数のデバイスが、単一の PMBus アドレスおよび単一の PMBus ループ フォロワで通信できるように、BCX_CLK と BCX_DAT ピンで実装されたバックチャネル通信を使用しています。POR 中は、VSHARE に接続されているすべてのデバイスは BCX_CLK および BCX_DAT にも接続し、適切に *(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)* を設定する必要があります。スタックのデバイス間でプログラミング エラーが発生すると、POR 故障が発生し、変換の有効化が妨げられます。

POR 中、ループ コントローラはプログラムされた値をループ フォロワから読み取り、期待されるすべてのループ フォロワが存在し、正しく位相シフトされていることを確認します。次にループ コントローラは、スタックが正しく動作するように、以下のような重要な動作パラメータをループ フォロワ デバイスにロードします。

- *(B1h) USER_DATA_01 (COMPENSATION_CONFIG)*
- *(33h) FREQUENCY_SWITCH*
- *(61h) TON_RISE*
- *(21h) VOUT_COMMAND*

動作中、ループ コントローラ デバイスはすべての PMBus 通信を受信して応答します。ループ フォロワ デバイスは PMBus に接続する必要はありません。ループ フォロワの PMBus レジスタ更新を要求するコマンドをループ コントローラが受信した場合、ループ コントローラはこれらのコマンドをループ フォロワにリレーします。さらにループ コントローラは、ループ フォロワ デバイスのステータスおよび遠隔測定情報を定期的にポーリングし、デバイスの完全なスタックに関する遠隔測定情報とステータス情報の正確な記録を保持します。

ほとんどの PMBus 通信では、*(04h) PHASE* PMBus コマンドをパワーオン リセットのデフォルト値 FFh のままにして、すべての位相に対応する必要があります。特定のデバイスと通信する必要がある場合は、*(04h) PHASE* コマンドを変更し、POR 中にプログラムされた *(37h) INTERLEAVE* コマンドの順序値設定に従って、スタック内の特定のデバイスに対応できます。

コマンドが個々のループ フォロワに送られると、他の BCX 通信が進行中の場合、ループ コントローラにより書き込みコマンドがキューに登録され、BCX を介してループ フォロワに送信されます。キューに登録された書き込みコマンドは、ループ コントローラが受信した順序でループ フォロワに書き込まれます。PMBus での不要な遅延や過剰なクロック ストレッチングを防止するため、個別のループ フォロワを対象とした読み出しトランザクションはキューに格納せず、BCX バスが利用可能になった直後に処理します。そのため、書き込みコマンドの直後に個々のループ フォロワを対象とした読み出しコマンドが、前の書き込みコマンドより先に処理される可能性があります。正確な読み出しを保証するためには、個別のルー

Copyright © 2025 Texas Instruments Incorporated

プ フォロワへの値の書き込みと、同じ値の同じループ フォロワからの読み出しの間に少なくとも 4ms の間隔を確保する必要があります。

6.3.21 スイッチング ノード (SW)

SW ピンは電力変換段のスイッチング ノードに接続されます。SW ピンはハイサイド ゲート ドライバのリターン パスとして機能します。同期整流降圧段として構成された場合、SW の電圧スイングは通常、グランドより低い電位から入力電圧を大きく上回る値まで変化します。ハイサイド FET の寄生インダクタンスと両方のパワー FET の 出力キャパシタンス (COSS) が共振回路を形成し、このノードで高周波 (> 100MHz) リンギングが発生する可能性があります。このリンギングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。ピーク リンギング振幅がこのピンの絶対最大定格制限を超えないことを確認してください。

たいていの場合、スイッチング ノードから PGND に接続された直列抵抗とコンデンサのスナバ回路は、リンギングの減衰とピーク振幅の低減に有効です。プリント基板のレイアウトにスナバ回路の部品を利用できるように準備します。SW ピンにおけるリンギング振幅が制限より過剰なことが試験で明らかになった場合は、スナバ部品を入れてください。

6.3.22 PMBus の一般的な説明

PMBus インターフェイス仕様のタイミングおよび電気的特性については、http://pmbus.org で入手可能な『*PMB Power Management Protocol Specification Part 1*、*revision 1.3*』を参照してください。TPSM8D6C24 デバイスは、100kHz、400kHz、1MHz のバス タイミング要件をサポートしています。

TPSM8D6C24 は、PMBus 通信中にクロック ストレッチを使用しますが、トランザクションの特定ビット中のクロックのみストレッチします。

- TPSM8D6C24 は、トランザクションのアドレス バイト中のクロックをストレッチしません。
- TPSM8D6C24 は、コマンド バイトのビット 0 とそのアクノリッジ応答との間でクロックをストレッチできます。
- TPSM8D6C24 は、読み出しトランザクションの読み出しアドレスのビット 0 の後にクロックをストレッチします。
- TPSM8D6C24 は、データの最終バイトのビット 0 とそのアクノリッジ応答との間でクロックをストレッチします。
- TPSM8D6C24 は、データが 4 バイト以上のブロックの場合、データの 4 バイトごとに、ビット 1 とビット 0 の間でクロックをストレッチできます。

PMBus インターフェイスを介した通信は、パケット エラー チェック (PEC) 方式をサポートする場合とサポートしない場合のいずれかになります。ループ コントローラが PEC バイトにクロック (CLK) パルスを供給する場合、PEC が使用されています。停止の前に CLK パルスが存在しない場合、PEC は使用されていません。PEC を常時使用する場合、*(EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)* で「PEC が必要です」を有効化し、TPSM8D6C24 が PEC バイトの CLK パルスを含まない書き込みトランザクションをすべて拒否するよう構成します。

このデバイスは、*PMBus 1.3 パワー マネージメント プロトコル仕様* のコマンドのサブセットをサポートしています。詳細については *サポートされている PMBus コマンド* を参照してください

TPSM8D6C24 は、SMB_ALERT 応答プロトコルもサポートしています。SMB_ALERT 応答プロトコルは、TPSM8D6C24 が、アラートが発生したことと、ホストにとって重要な情報を保持していることをバス コントローラに通知できるメカニズムです。ホストはこのイベントを処理し、同時にアラート応答アドレスを使用して、このプロトコルをサポートするバス上のすべてのターゲット デバイスにアクセスする必要があります。SMB_ALERT をアサートしているすべてのターゲット デバイスは、PMBus アドレスを使用してこの要求をアクノリッジする必要があります。ホストは、受信バイト変更オペレーションを実行して、ターゲット デバイスのアドレスを取得します。この時点で、ループ コントローラは PMBus ステータス コマンドを使用して、アラートを発生させたターゲット デバイスにクエリを送信できます。SMBus のアラート応答プロトコルの詳細については、システム管理バス (SMBus) の仕様を参照してください。ホストのアラート応答アドレスに応答した後、*(7Eh) STATUS_CML* 以外のステータス レジスタがある永続的な故障が SMB_ALERT を再アサートします。

TPSM8D6C24 には不揮発性メモリが含まれています。このメモリは、構成設定とスケーリング ファクタを保存するために使用されます。デバイスにプログラムされた設定が、この不揮発性メモリに自動的に保存されることはありません。デバイスのデフォルトとして現在の PMBus 設定を不揮発性メモリにコミットするよう、*(15h) STORE_USER_ALL* コマンドを使用する必要があります。不揮発性メモリに保存できる設定は、詳細な説明に記載されています。

Copyright © 2025 Texas Instruments Incorporated

ピンでプログラム可能な値はすべて不揮発性メモリにコミットできます。ピンでプログラム可能な値と不揮発性メモリの間の POR デフォルト選択は、メーカー固有の *(EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)* コマンドで選択できます。

6.3.23 PMBus アドレス

PMBus 仕様では、PMBus に接続された各デバイスがバス上に固有のアドレスを持つことが必要です。TPSM8D6C24 PMBus アドレスは、*ADRSEL* と AGND との間に接続された抵抗の値によって決定され、0x10 ～ 0x2F の範囲でプログラム可能で、32 種類の固有 PMBus アドレスが得られます。

6.3.24 PMBus の接続

TPSM8D6C24 は、100kHz、400kHz、1MHz のバス速度をサポートしています。PMBus インターフェイスの接続は、400kHz バス速度については SMBus 仕様 V2.0 のセクション 3.1.3 に記載されている高電力 DC 仕様、またはセクション 3.1.2 の低消費電力 DC 仕様に従う必要があります。SMBus の完全な仕様は、SMBus のウェブ サイト smiforum.org で入手できます。

PMBus インターフェイス ピン PMB_CLK、PMB_DATA、SMB_ALRT では、1.8V ～ 5.5V 間の終端への外部プルアップ抵抗が必要です。目的の PMBus クロック速度に必要な立ち上がり時間を最小限に抑えるようプルアップ抵抗のサイズを設定しますが、バス電圧が強制的に 0.4V になると、バス上の最小定格の CLK、DATA、または SMB_ALRT ピンよりも多くの電流を供給しないようにする必要があります。TPSM8D6C24 は、PMB_CLK、PMB_DATA、SMB_ALRT の最小 20mA シンク電流をサポートします。

6.4 デバイスの機能モード

6.4.1 プログラミング モード

TPSM8D6C24 デバイスは、低い UVLO よりも高い電力が AVIN と VDD5 に供給されているが、VDD5 と PVIN に UVLO を上回る電力が供給されていない場合、プログラミング モードで動作して、変換を有効にできます。プログラミング モードでの TPSM8D6C24 は、PMBus コマンドの受け付けと応答を実行しますが、スイッチングや変換は有効化しません。PMBus コマンドは 3V 未満の VDD5 で受け付けと処理を実行できますが、VDD5 が 3V 未満の場合、*(15h) STORE_USER_ALL* コマンドによる NVM プログラミングは使用できません。

プログラミング モードを使用すると、TPSM8D6C24 は POR を完了し、PVIN が存在しない状態で 3.3V 電源から PMBus 経由で構成することができます。

6.4.2 スタンドアロン、ループ コントローラ、ループ フォロワ 各モードのピン接続

TPSM8D6C24 は、スタンドアロン デバイス (単一出力、単相)、単一出力のループ コントローラ デバイス、多相デバイス スタック、多相スタック ループ コントローラのループ フォロワ デバイスとしてプログラムできます。各構成での推奨ピン接続の詳細については、表 6-5 を参照してください。

表 6-5. スタンドアロン、ループ コントローラ、ループ フォロワのピン接続

ピン	スタンドアロン	ループ コントローラ	ループ フォロワ
GOSNS	出力レギュレーション点でのグランド	出力レギュレーション点でのグランド	BP1V5
VOSNS	出力レギュレーション点での V_{OUT}	出力レギュレーション点での V_{OUT}	フローティングか、分圧器に接続して他の電圧を監視
EN/UVLO	有効化 / 制御、または PVIN の抵抗分圧器	有効化 / 制御、または PVIN の抵抗分圧器	ループ コントローラの EN/UVLO に接続
MSEL1	*MSEL1 のプログラミング*	*MSEL1 のプログラミング*	PGND (サーマル パッド) に短絡
MSEL2	*MSEL2 のプログラミング*	*MSEL2 のプログラミング*	*MSEL2 のループ フォロワ デバイス用 プログラミング (GOSNS を BP1V5 に接続)*
VSEL	*VSEL のプログラミング*	*VSEL のプログラミング*	PGND (サーマル パッド) に短絡
ADRSEL	*ADRSEL のプログラミング*	*ADRSEL のプログラミング*	PGND (サーマル パッド) に短絡
VSHARE	フローティングにするか、コンデンサで AGND にバイパス	ループ フォロワの VSHARE に接続	ループ コントローラの VSHARE に接続

Copyright © 2025 Texas Instruments Incorporated

表 6-5. スタンドアロン、ループ コントローラ、ループ フォロワのピン接続 (続き)

ピン	スタンドアロン	ループ コントローラ	ループ フォロワ
SYNC	フローティングまたは外部同期	外部同期またはループ フォロワの SYNC	ループ コントローラの SYNC に接続
PMB_CLK	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	PGND (サーマル パッド) に短絡
PMB_DATA	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	PGND (サーマル パッド) に短絡
SMB_ALRT	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	未使用時は、システムの PMBus または PGND (サーマル パッド) に接続	PGND (サーマル パッド) に短絡
BCX_CLK	PGND (サーマル パッド) に短絡	ループ フォロワ BCX_CLK に接続	ループ コントローラの BCX_CLK に接続
BCX_DAT	PGND (サーマル パッド) に短絡	ループ フォロワの BCX_DAT に接続	ループ コントローラの BCX_DAT に接続
PGOOD/RST_B	未使用時は、システムの PGD または RESET# または PGND (サーマル パッド) に接続	未使用時は、システムの PGD または RESET# または PGND (サーマル パッド) に接続	PGND (サーマル パッド) に短絡

6.4.3 連続導通モード

TPSM8D6C24 デバイスは、出力電流に関係なく、固定周波数で連続導通モード (CCM) で動作します。ソフト スタート中は、一部のローサイド MOSFET オン時間が制限され、プリバイアス出力でデバイスが起動した場合、過剰な電流シンクを防止します。最初の PWM パルスの後、かつ連続する PWM パルスごとに、この制限値を増やしてローサイド FET のオン時間を増やし、CCM に遷移できるようにします。この遷移が完了すると、ローサイド MOSFET とハイサイド MOSFET のオン時間が完全に相補的になります。

6.4.4 CNTL 信号 (EN/UVLO) による動作

(02h) ON_OFF_CONFIG レジスタの値に応じて、TPSM8D6C24 デバイスは、*(01h) OPERATION* コマンドの状態に関係なく、EN/UVLO ピンを使用するように設定でき、レギュレーションを有効化または無効化します。EN/UVLO ピンは、アクティブ High ロジックまたはアクティブ Low (反転) ロジックとして構成できます。EN/UVLO ピンをプログラマブル UVLO として使用するには、*(02h) ON_OFF_CONFIG* で設定される極性を正のロジックにする必要があります。

6.4.5 (01h) 動作制御による動作

(02h) ON_OFF_CONFIG レジスタの値に応じて、TPSM8D6C24 デバイスは、CNTL 信号の状態にかかわらず、*(01h) OPERATION* コマンドを使用するように設定でき、レギュレーションを有効化または無効化します。

6.4.6 CNTL および (01h) 動作制御による動作

(02h) ON_OFF_CONFIG コマンドの値に応じて、TPSM8D6C24 デバイスは、EN/UVLO ピンからの CNTRL 信号と *(01h) OPERATION* コマンドの両方を要求するように設定でき、レギュレーションを有効化または無効化します。

6.5 プログラミング

6.5.1 サポートされている PMBus コマンド

表 6-6 に一覧で示すコマンドは、説明されているように、PMBus 1.3 仕様に準拠して実装されています。また 表 6-6 に、ビット動作とレジスタ値のデフォルトを一覧で示します。

表 6-6. 対応している PMBus コマンドとデフォルト値

CMD コード (16 進数)	コマンド名 (PMBus 1.3 仕様)	デフォルト値
01h	OPERATION	04h
02h	ON_OFF_CONFIG	17h
03h	CLEAR_FAULTS	該当なし
04h	PHASE	FFh
10h	WRITE_PROTECT	00h
15h	STORE_USER_ALL	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 6-6. 対応している PMBus コマンドとデフォルト値 (続き)

CMD コード (16 進数)	コマンド名 (PMBus 1.3 仕様)	デフォルト値
16h	RESTORE_USER_ALL	該当なし
19h	CAPABILITY	D0h
1Bh	SMBALERT_MASK	該当なし
20h	VOUT_MODE	97h
21h	VOUT_COMMAND	019Ah
22h	VOUT_TRIM	0000h
24h	VOUT_MAX	0C00h
25h	VOUT_MARGIN_HIGH	021Ah
26h	VOUT_MARGIN_LOW	01E6h
27h	VOUT_TRANSITION_RATE	E010h
29h	VOUT_SCALE_LOOP	C840h
2Bh	VOUT_MIN	0100h
33h	FREQUENCY_SWITCH	01C2h
35h	VIN_ON	F00Bh
36h	VIN_OFF	F00Ah
37h	INTERLEAVE	0020h
38h	IOUT_CAL_GAIN	C880h
39h	IOUT_CAL_OFFSET	E000h
40h	VOUT_OV_FAULT_LIMIT	024Dh
41h	VOUT_OV_FAULT_RESPONSE	BDh
42h	VOUT_OV_WARN_LIMIT	022Eh
43h	VOUT_UV_WARN_LIMIT	01CCh
44h	VOUT_UV_FAULT_LIMIT	01B2h
45h	VOUT_UV_FAULT_RESPONSE	BEh
46h	IOUT_OC_FAULT_LIMIT	F0D0h
47h	IOUT_OC_FAULT_RESPONSE	FFh
4Ah	IOUT_OC_WARN_LIMIT	F0A0h
4Fh	OT_FAULT_LIMIT	0096h
50h	OT_FAULT_RESPONSE	BCh
51h	OT_WARN_LIMIT	007Dh
55h	VIN_OV_FAULT_LIMIT	0015
56h	VIN_OV_FAULT_RESPONSE	3Ch
58h	VIN_UV_WARN_LIMIT	F00Ah
60h	TON_DELAY	F800h
61h	TON_RISE	F00Ch
62h	TON_MAX_FAULIT_LIMIT	F800h
63h	TON_MAX_FAULT_RESPONSE	3Bh
64h	TOFF_DELAY	F800h
65h	TOFF_FALL	F002h
78h	STATUS_BYTE	00h
79h	STATUS_WORD	00h
7Ah	STATUS_VOUT	00h
7Bh	STATUS_IOUT	00h
7Ch	STATUS_INPUT	00h

Copyright © 2025 Texas Instruments Incorporated

表 6-6. 対応している PMBus コマンドとデフォルト値 (続き)

CMD コード (16 進数)	コマンド名 (PMBus 1.3 仕様)	デフォルト値
7Dh	STATUS_TEMPERATURE	00h
7Eh	STATUS_CML	00h
7Fh	STATUS_OTHER	00h
80h	STATUS_MFR_SPECIFIC	00h
88h	READ_VIN	該当なし
8Bh	READ_VOUT	該当なし
8Ch	READ_IOUT	該当なし
8Dh	READ_TEMPERATURE_1	該当なし
98h	PMBUS_REVISION	33h
99h	MFR_ID	00 00 00h
9Ah	MFR_MODEL	00 00 00h
9Bh	MFR_REVISION	00 00 00h
9Eh	MFR_SERIAL	00 00 00h
ADh	IC_DEVICE_ID	54 49 54 6D 24 41h
AEh	IC_DEVICE_REV	40 00h
B1h	USER_DATA_01 (COMPENSATION_CONFIG)	22 18 C2 1D 06h
B5h	USER_DATA_05 (POWER_STAGE_CONFIG)	70h
D0h	MFR_SPECIFIC_00 (TELEMETRY_CONFIG)	03 03 03 03 03 00h
DAh	MFR_SPECIFIC_10 (READ_ALL)	該当なし
DBh	MFR_SPECIFIC_11 (STATUS_ALL)	該当なし
E4h	MFR_SPECIFIC_20 (SYNC_CONFIG)	F0h
ECh	MFR_SPECIFIC_28 (STACK_CONFIG)	0000h
EDh	MFR_SPECIFIC_29 (MISC_OPTIONS)	0000h
EEh	MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)	1F2Fh
EFh	MFR_SPECIFIC_31 (Loop Follower_ADDRESS)	24h
F0h	MFR_SPECIFIC_32 (NVM_CHECKSUM)	E9E0h
F1h	MFR_SPECIFIC_33 (SIMULATE FAULTS)	0000h
FCh	MFR_SPECIFIC_44 (FUSION_ID0)	02C0h
FDh	MFR_SPECIFIC_45 (FUSION_ID1)	54 49 4C 4F 43 4Bh

6.5.2 ピン ストラップ

TPSM8D6C24 には 4 本の IC ピンがあり、PMBus 通信を必要とせずに、そのピンに接続されている抵抗によって、重要な PMBus コマンドの PMBus プログラミング初期値を選択できます。特定の PMBus コマンドが、検出された抵抗値または保存された NVM メモリによって選択された値に初期化されるかどうかは、PIN_DETECT_OVERRIDE PMBus コマンドのコマンド ビットで決まります。ループ コントローラとスタンドアロン デバイス (GOSNS がグランドに接続) 用の 4 つのピンと、ピンでプログラムするコマンドは 表 6-7 で確認できます。

各ピンは、次の 4 つの方法のいずれかでプログラムできます。

- ピンを 20Ω 未満で AGND に短絡する
- ピンをフローティングにするか、1MΩ 以上で BP1V5 に接続する
- R2G コードのみに従い、抵抗を介して AGND にピンをバイパスする (16 種の抵抗オプション)
- R2G コードに従って抵抗を経由し、分圧器コードに従って BP1V5 にピンをバイパスする (16 種の抵抗 × 16 種の抵抗分圧器オプション)

Copyright © 2025 Texas Instruments Incorporated

ピンごとに最大 274 種類の構成を使用した柔軟なプログラミング オプションにより、設計者は、適切なプログラミング抵抗の選択をサポートする *TPS546x24A 補償およびピン ストラップ抵抗カリキュレータ* など、利用可能な設計ツール の 1 つを活用することが推奨されます。

表 6-7. TPSM8D6C24 ピンのプログラミングの概要

ピン	抵抗	PMBus レジスタ
MSEL1	抵抗を AGND に	COMPENSATION_CONFIG
	抵抗分圧器	COMPENSATION_CONFIG、FREQUENCY_SWITCH
MSEL2	抵抗を AGND に	IOUT_OC_WARN_LIMIT、IOUT_OC_FAULT_LIMIT、STACK_CONFIG
	抵抗分圧器	TON_RISE
VSEL	両方	VOUT_COMMAND、VOUT_SCALE_LOOP、VOUT_MAX、VOUT_MIN
ADRSEL	抵抗を AGND に	loop follower_ADDRESS
	抵抗分圧器	loop follower_ADDRESS、SYNC_CONFIG、INTERLEAVE

注

抵抗分圧器の値が「none」の場合、BP1V5 への抵抗なしで実装するか、BP1V5 との間に 1MΩ の抵抗を使用して、信頼性とノイズ耐性を向上させることができます。

GOSNS が BP1V5 に接続されたループ フォロワ デバイスでは、*MSEL2* から AGND への抵抗のみを使用して、以下をプログラムします。

- *(4Ah) IOUT_OC_WARN_LIMIT*
- *(46h) IOUT_OC_FAULT_LIMIT*
- *(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)*
- *(37h) INTERLEAVE*

ループ フォロワは、パワーオン リセット機能の一部として、ループ コントローラから BCX を介して、ピンでプログラムされた他のすべての値を受信します。

注

高精度のピン検出プログラミングは、TPSM8D6C24 の各ピンに 8 ビットの分解能を提供しますが、PCB 上のフラックス、水分、ごみによる汚れに敏感です。そのためユーザーは、ピンでプログラムされた値をユーザーの不揮発性メモリにコミットし、製品フローの一部として、将来的にピン ストラップの値の使用を無効化することを検討する必要があります。ピンでプログラムされた PMBus レジスタの値を NVM にコミットし、将来的にピン ストラップによるプログラミングの使用を無効化するためのプログラミング手順は、次のようになります。

- 目的の PMBus レジスタ値をプログラムするには、*MSEL1*、*MSEL2*、*VSEL*、*ADRSEL* プログラミング抵抗を選択します。
- AVIN と VDD5 に UVLO よりも高い電力を供給すると、ピン検出が開始され、PMBus 通信が有効になります。
- ピン検出により、最終値にプログラムされていない PMBus レジスタ値を更新します。
- 書き込みワード プロトコルを使用して、*(EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)* に値 0000h を書き込みます。
- 送信バイト プロトコルを使用してコマンド コード 15h を送信し、*(15h) STORE_USER_ALL* 機能を初期化します。
- デバイスが NVM ユーザー ストアの書き込みを完了するまで、最低 100ms の待機時間を確保してください。この 100ms の間に AVIN または VDD5 電力が喪失すると、NVM の整合性が損なわれる可能性があります。NVM 書き込みが完了しないと、以後のパワー オン リセット時に NVM が破損し、POR 故障が発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

6.5.2.1 MSEL1 のプログラミング

MSEL1 ピンは*(33h) FREQUENCY_SWITCH* と*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)*をプログラムします。MSEL1 の抵抗デバイダの比は、表 6-8 を使って公称スイッチング周波数を選択します。

表 6-8. プログラミング用 MSEL1 デバイダ コード

抵抗デバイダ コード	COMPENSATION_CONFIG (CONFIG #)	FREQUENCY_SWITCH の値 (kHz)
なし (BP1V5 への抵抗なし)	7 ～ 25 (値の選択)	550
0	0-15	275
1	16-31	
2	0-15	325
3	16-31	
4	0-15	450
5	16-31	
6	0-15	550
7	16-31	
8	0-15	650
9	16-31	
10	0-15	900
11	16-31	
12	0-15	1100
13	16-31	
14	0-15	1500
15	16-31	

MSEL1 のグランドへの抵抗は、以下に示す電圧ループおよび電流ループ ゲインをプログラムする*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)*の値を選択します。EEPROM コード以外のオプション (MSEL1 を AGND に短絡、または MSEL1 から AGND 抵抗コード 0 に短絡) では、電流および電圧ループのゼロおよび極周波数は、プログラムされたスイッチング周波数でスケーリングされます。電流ループの極周波数は、およそのスイッチング周波数に基づいてスケーリングされ、電流ループのゼロはスイッチング周波数の約 1/20 に位置されます。電圧ループの極はスイッチング周波数の約 1/2 にあり、電圧ループのゼロはスイッチング周波数の約 1/100 に位置します。

表 6-9. AGND への MSEL1 抵抗コード、デバイダのプログラミングなし

抵抗 コード	補償 (デバイダなし)			補償 (偶数デバイダ)			補償 (奇数デバイダ)		
	構成 #	I ループ ゲイン	V ループ ゲイン	構成 #	I ループ ゲイン	V ループ ゲイン	構成 #	I ループ ゲイン	V ループ ゲイン
短絡	3	2	2	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
浮動	EEPROM	EEPROM	EEPROM	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
0	7	3	1	0	EEPROM	EEPROM	16	5	0.5
1	8	3	2	1	2	0.5	17	5	1
2	9	3	4	2	2	1	18	5	2
3	10	3	8	3	2	2	19	5	4
4	12	4	1	4	2	4	20	5	8
5	13	4	2	5	2	8	21	6	0.5
6	14	4	4	6	3	0.5	22	6	1
7	15	4	8	7	3	1	23	6	2
8	17	5	1	8	3	2	24	6	4
9	18	5	2	9	3	4	25	6	8

Copyright © 2025 Texas Instruments Incorporated

表 6-9. AGND への MSEL1 抵抗コード、デバイダのプログラミングなし (続き)

抵抗 コード	補償 (デバイダなし)			補償 (偶数デバイダ)			補償 (奇数デバイダ)		
	構成 #	I ループ ゲイン	V ループ ゲイン	構成 #	I ループ ゲイン	V ループ ゲイン	構成 #	I ループ ゲイン	V ループ ゲイン
10	19	5	4	10	3	8	26	7	0.5
11	20	5	8	11	4	0.5	27	7	1
12	22	6	1	12	4	1	28	7	2
13	23	6	2	13	4	2	20	7	4
14	24	6	4	14	4	4	30	7	8
15	25	6	8	15	4	8	21	10	2

グランドへの抵抗コードと抵抗デバイダ コードの両方から、参照テーブルを使用して適切な抵抗を選択します。

Copyright © 2025 Texas Instruments Incorporated

6.5.2.2 MSEL2 のプログラミング

MSEL2 ピンの抵抗デバイダは、TPSM8D6C24 が使用するソフトスタート時間を選択するように*(61h) TON_RISE* の値をプログラムします。

表 6-10. プログラミング用 MSEL2 デバイダ コード

抵抗デバイダ コード	TON_RISE 値 (ms)
なし (BP1V5 への抵抗なし)	3
AGND への短絡	
浮動	
0	0.5
1	1
2	3
3	5
4	7
5	10
6	20
7	31.75

MSEL2 のグランドへの抵抗は、表 6-11 を使用して、*(4Ah) IOUT_OC_WARN_LIMIT*、*(46h) IOUT_OC_FAULT_LIMIT*、および*(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)*の値を選択します。

表 6-11. IOUT_OC_WARN/FAULT_LIMIT および STACK プログラミングのための AGND コードへの MSEL2 抵抗

AGND への抵抗コード	STACK_CONFIG (ループ フォロワー数 / 位相数)	OC_WARN (A)/OC_FAULT (A)
短絡	0000h (ループ フォロワー 0、スタンドアロン)	40/52
浮動	0001h (ループ フォロワー 1、2 相)	40/52
0	0000h (ループ フォロワー 0、スタンドアロン)	40/52
1	0001h (ループ フォロワー 1、2 相)	
2	0002h (ループ フォロワー 2、3 相)	
3	0003h (ループ フォロワー 3、4 相)	
4	0000h (ループ フォロワー 0、スタンドアロン)	30/39
5	0001h (ループ フォロワー 1、2 相)	
6	0002h (ループ フォロワー 2、3 相)	
7	0003h (ループ フォロワー 3、4 相)	
8	0000h (ループ フォロワー 0、スタンドアロン)	20/26
9	0001h (ループ フォロワー 1、2 相)	
10	0002h (ループ フォロワー 2、3 相)	
11	0003h (ループ フォロワー 3、4 相)	

Copyright © 2025 Texas Instruments Incorporated

表 6-11. IOUT_OC_WARN/FAULT_LIMIT および STACK プログラミングのための AGND コードへの MSEL2 抵抗 (続き)

AGND への抵抗コード	STACK_CONFIG (ループ フォロワー数 / 位相数)	OC_WARN (A)/OC_FAULT (A)
12	0000h (ループ フォロワー 0、スタンドアロン)	10/14
13	0001h (ループ フォロワー 1、2 相)	
14	0002h (ループ フォロワー 2、3 相)	
15	0003h (ループ フォロワー 3、4 相)	

6.5.2.3 VSEL のプログラミング

VSEL 用の抵抗分圧比は、次の表に従い、*(21h) VOUT_COMMAND* 範囲、*(29h) VOUT_SCALE_LOOP* 分圧器、*(2Bh) VOUT_MIN*、*(24h) VOUT_MAX* レベルをプログラムします。

最小 V_{OUT} と最大 V_{OUT} の間の V_{OUT} の範囲内で、目的の公称ブート電圧を含む抵抗分圧器コードを選択します。0.5V ～ 1.25V の電圧の場合は、1 つの抵抗とグランド間、または 1 つの分圧抵抗を使用できます。

表 6-12. プログラミング用の VSEL 抵抗分圧器コード

公称ブート電圧範囲			抵抗分圧器コード
最小 V_{OUT}	最大 V_{OUT}	分解能	
EEPROM (0.8V)	EEPROM (0.8V)	該当なし	浮動
0.5	1.25	0.050	オープン (下側抵抗のみ)
0.6	0.75	0.010	0
0.75	0.9	0.010	1
0.9	1.05	0.010	2
1.05	1.2	0.010	3
1.2	1.5	0.020	4
1.5	1.8	0.020	5
1.8	2.1	0.020	6
2.1	2.4	0.020	7
2.4	3.0	0.040	8
3.0	3.6	0.040	9
3.6	4.2	0.040	10
4.2	4.8	0.040	11
3.6	4.2	0.040	12
4.2	4.8	0.040	13
4.8	5.4	0.040	14
5.4	6.0	0.040	15

VOUT の範囲に対して選択された抵抗分圧器コードで、*VSEL のプログラミング* の *(21h) VOUT_COMMAND* オフセットと *(21h) VOUT_COMMAND* ステップを使用して、下側の抵抗コードを選択します。

表 6-13. VSEL 抵抗から AGND コードの選択 (プログラミング用)

抵抗分圧器コード	VOUT_SCALE_LOOP	VOUT_MIN	VOUT_MAX	VOUT_COMMAND オフセット (V)	VOUT_COMMAND ステップ (V)
AGND への短絡	0.5	EEPROM (0.5)	EEPROM (1.5)	EEPROM (0.80)	該当なし
浮動	0.5	0.5	1.5	1.0	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 6-13. VSEL 抵抗から AGND コードの選択 (プログラミング用) (続き)

抵抗分圧器コード	VOUT_SCALE_LOOP	VOUT_MIN	VOUT_MAX	VOUT_COMMAND オフセット (V)	VOUT_COMMAND ステップ (V)
なし	0.5	0.5	1.5	0.50	0.050
0	0.5	0.5	1.5	0.6	0.010
1	0.5	0.5	1.5	0.75	0.010
2	0.5	0.5	1.5	0.9	0.010
3	0.5	0.5	1.5	1.05	0.010
4	0.25	1	3	1.2	0.020
5	0.25	1	3	1.5	0.020
6	0.25	1	3	1.8	0.020
7	0.25	1	3	2.1	0.020
8	0.125	2	6	2.4	0.040
9	0.125	2	6	3.0	0.040
10	0.125	2	6	3.6	0.040
11	0.125	2	6	4.2	0.040
12	0.125	2	6	3.6	0.040
13	0.125	2	6	4.2	0.040
14	0.125	2	6	4.8	0.040
15	0.125	2	6	5.4	0.040

AGND コードへの抵抗を計算するには、目標出力電圧から *(21h) VOUT_COMMAND* オフセットを差し引き、*(21h) VOUT_COMMAND* ステップで除算します。

$$\text{Code} = \frac{V_{OUT} - \text{VOUT_COMMAND(Offset)}}{\text{VOUT_COMMAND(Step)}} \quad (8)$$

6.5.2.4 ADRSEL のプログラミング

ADRSEL ピンの抵抗分圧器で、TPSM8D6C24 の PMBus アドレスの範囲と SYNC 方向を選択します。単一の出力電圧をサポートするデバイスがスタンドアロン デバイス 1 つのみの場合、ADRSEL 分圧器は SYNC とスイッチ ノードとの間の位相シフトも選択します。

表 6-14. ADRSEL 抵抗分圧器コードと SYNC_IN プログラミング

抵抗分圧器コード	DEVICE_ADDRESS	同期入力 / 同期出力	STACK_CONFIG = 0x0000 (スタンドアロンのみ)	
—	範囲	—	位相シフト	INTERLEAVE
AGND への短絡	0x7F (127d)	自動検出	0	0x0020
浮動	EEPROM (0x24h / 36d)	自動検出	0	0x0020
なし	16d-31d	自動検出	0	0x0020
0	16d-31d	同期入力	0	0x0040
1	32d-47d	同期入力	0	0x0040
2	16d-31d	同期入力	90	0x0041
3	32d-47d	同期入力	90	0x0041
4	16d-31d	同期入力	120	0x0031
5	32d-47d	同期入力	120	0x0031
6	16d-31d	同期入力	180	0x0042
7	32d-47d	同期入力	180	0x0042
8	16d-31d	同期入力	240	0x0032
9	32d-47d	同期入力	240	0x0032

Copyright © 2025 Texas Instruments Incorporated

表 6-14. ADRSEL 抵抗分圧器コードと SYNC_IN プログラミング (続き)

抵抗分圧器コード	DEVICE_ADDRESS	同期入力 / 同期出力	STACK_CONFIG = 0x0000 (スタンドアロンのみ)	
10	16d-31d	同期入力	270	0x0043
11	32d-47d	同期入力	270	0x0043
12	16d-31d	同期出力	0	0x0020
13	32d-47d	同期出力	0	0x0020
14	16d-31d	同期出力	180	0x0042
15	32d-47d	同期出力	180	0x0042

ADRSEL の AGND への抵抗は、表 6-15 に従って、デバイスの PMBus ターゲット デバイス アドレスをプログラムします。

表 6-15. ADRSEL 抵抗から AGND コードの選択 (プログラミング用)

抵抗から AGND コード	ターゲット デバイス アドレス (16 ～ 31 の範囲)	ターゲット デバイス アドレス (32 ～ 47 の範囲)
0	0x10h (16d)	0x20h (32d)
1	0x11h (17d)	0x21h (33d)
2	0x12h (18d)	0x22h (34d)
3	0x13h (19d)	0x23h (35d)
4	0x14h (20d)	0x24h (36d)
5	0x15h (21d)	0x25h (37d)
6	0x16h (22d)	0x26h (38d)
7	0x17h (23d)	0x27h (39d)
8	0x18h (24d)	0x48h (72d)
9	0x19h (25d)	0x29h (41d)
10	0x1Ah (26d)	0x2Ah (42d)
11	0x1Bh (27d)	0x2Bh (43d)
12	0x1Ch (28d)	0x2Ch (44d)
13	0x1Dh (29d)	0x2Dh (45d)
14	0x1Eh (30d)	0x2Eh (46d)
15	0x1Fh (31d)	0x2Fh (47d)

注

TPSM8D6C24 デバイスがマルチフェーズ スタックのループ コントローラとして構成されている場合、*(37h) INTERLEAVE* では常に 0 度の位置を占めますが、ADRSEL 抵抗分圧器を使用して、自動検出、強制 SYNC_IN、強制 SYNC_OUT を選択することもできます。マルチフェーズ スタックのループ コントローラが SYNC_IN に構成されている場合、有効な外部同期信号が供給されるまで、スタックのすべてのデバイスは無効のままになります。

6.5.2.5 MSEL2 のループ フォロワ デバイス用 プログラミング (GOSNS を BP1V5 に接続)

TPSM8D6C24 デバイスをループ フォロワとして構成すると、MSEL2 を除くすべてのピンストラップが無効化されます。MSEL2 はスタッキング用 *(37h) INTERLEAVE* と、*(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)*、*(4Ah) IOUT_OC_WARN_LIMIT*、*(46h) IOUT_OC_FAULT_LIMIT* を、AGND の単一抵抗でプログラムします。ループ コントローラは常にデバイス 0 であることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

表 6-16. AGND コードへのループ フォロワ MSEL2 抵抗およびプログラミング

抵抗から AGND コード	デバイスの番号、位相数	IOUT_OC_WARN_LIMIT (A)/ IOUT_OC_FAULT_LIMIT (A)
短絡	デバイス 1、2 相	40/52
浮動	デバイス 1、2 相	30/39
6	デバイス 1、2 相	40/52
7	デバイス 1、2 相	30/39
4	デバイス 1、3 相	40/52
5	デバイス 1、3 相	30/39
8	デバイス 2、3 相	40/52
9	デバイス 2、3 相	30/39
2	デバイス 1、4 相	40/52
3	デバイス 1、4 相	30/39
14	デバイス 2、4 相	40/52
15	デバイス 2、4 相	30/39
10	デバイス 3、4 相	40/52
11	デバイス 3、4 相	30/39

注

パワーオン シーケンス中、デバイス 0 (スタック ループ コントローラ) は、接続されているすべてのループ フォロワから位相情報を読み取ります。ループ フォロワの位相応答がループ コントローラの *(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)* 結果と一致しない場合、コンバータは *(80h) STATUS_MFR_SPECIFIC* に POR 故障ビットを設定しますが、変換は許可しません。接続されているすべてのデバイスがデバイス 0 に応答すると、デバイス 0 は残りのピンストラップ情報をループ フォロワに渡して、動作中の一致するプログラミングを確保します。位相を追加するには、ループ コントローラ デバイス上の MSEL2 抵抗と、他のすべてのループ フォロワ デバイスのグランドに合わせて MSEL2 抵抗を調整する必要があります。

6.5.2.6 ピンストラッピング抵抗の構成

表 6-17 および表 6-18 に、下側の抵抗 (ピンから AGND へ) 値を Ω 単位で、上側の抵抗 (ピンから BP1V5 へ) 値を Ω 単位で示します。一番上の行に目的の R2G コードがある列、左端の列に目的の抵抗デバイダ コードがある行を選択します。ピンから AGND への抵抗値は、目的の R2G コードの下にある最初の列で強調表示されている行の抵抗値です。ピンから BP1V5 への抵抗値は、使用する場合は、目的の R2G コードと抵抗の下の左端の列にある目的のデバイダ コードから始まる行の抵抗値です。動作温度範囲および製品寿命全体にわたって高精度のピン検出を確実に行うには、許容誤差 1% 以内の抵抗を使用する必要があります。

表 6-17. R2G コード 0 ～ 7 のピンストラッピング抵抗 (Ω) 表

R2G コード	0	1	2	3	4	5	6	7
Rbot →	4640	5620	6810	8250	10000	12100	14700	17800
デバイダ コード (↓)	BP1V5 への抵抗値 (Ω)							
0	21500	26100	31600	38300	46400	56200	68100	82500
1	15400	18700	22600	27400	33200	40200	48700	59000
2	11500	14000	16900	20500	24900	30100	36500	44200
3	9090	11000	13300	16200	19600	23700	28700	34800
4	7150	8660	10500	12700	15400	18700	22600	27400
5	5620	6810	8250	10000	12100	14700	17800	21500

Copyright © 2025 Texas Instruments Incorporated

表 6-17. R2G コード 0 ～ 7 のピンストラッピング抵抗 (Ω) 表 (続き)

6	4640	5620	6810	8250	10000	12100	14700	17800
7	3830	4640	5620	6810	8250	10000	12100	14700
8	3160	3830	4640	5620	6810	8250	10000	12100
9	2610	3160	3830	4640	5620	6810	8250	10000
10	2050	2490	3010	3650	4420	5360	6490	7870
11	1620	1960	2370	2870	3480	4220	5110	6190
12	1270	1540	1870	2260	2740	3320	4020	4870
13	953	1150	1400	1690	2050	2490	3010	3650
14	715	866	1050	1270	1540	1870	2260	2740
15	511	619	750	909	1100	1330	1620	1960

Copyright © 2025 Texas Instruments Incorporated

表 6-18. R2G コード 8 ～ 15 のピンストラッピング抵抗 (Ω) 表

R2G コード	8	9	10	11	12	13	14	15
Rbot →	21500	26100	31600	38300	46400	56200	68100	82500
デバイダ コード (↓)	BP1V5 への抵抗値 (Ω)							
0	100000	121000	147000	178000	215000	261000	316000	402000
1	71500	86600	105000	127000	154000	187000	226000	274000
2	53600	64900	78700	95300	115000	140000	169000	205000
3	42200	51100	61900	75000	90900	110000	133000	162000
4	33200	40200	48700	59000	71500	86600	105000	127000
5	26100	31600	38300	46400	56200	68100	82500	100000
6	21500	26100	31600	38300	46400	56200	68100	82500
7	17800	21500	26100	31600	38300	46400	56200	68100
8	14700	17800	21500	26100	31600	38300	46400	56200
9	12100	14700	17800	21500	26100	31600	38300	46400
10	9530	11500	14000	16900	20500	24900	30100	26500
11	7500	9090	11000	13300	16200	19600	23700	28700
12	5900	7150	8660	10500	12700	15400	18700	22600
13	4420	5360	6490	7870	9530	11500	14000	16900
14	3320	4020	4870	5900	7150	8660	10500	12700
15	2370	2870	3480	4220	5110	6190	1500	9090

Copyright © 2025 Texas Instruments Incorporated

7 レジスタ マップ

7.1 ブロック コマンドの文書化規則

SMBus 仕様に従い、ブロック コマンドは PMBus インターフェイス経由で昇順に送信されます。以下の説明は、ブロック コマンドを文書化する際の表記法を示しています。

このドキュメントでは、ブロック コマンドのバイト順序に関する以下の規則に従います。

ブロック値がレジスタ マップ テーブルとしてリストされている場合、ブロック値はバイト N からバイト 0 までの上から下へのバイト順でリストされます。

- バイト 0 (最初に送信されるバイト) はビット 7:0 に対応します。
- バイト 1 (2 番目に送信されるバイト) はビット 15:8 に対応します。
- バイト 2 (3 番目に送信されるバイト) はビット 23:16 に対応します。
- など

ブロック値が 16 進数のテキストとしてリストされている場合、ブロック値はバイト 0 からバイト N までの左から右へのバイト順でリストされます (値の各バイト間にはスペースが入ります)。ブロック 54 49 54 6D 24 41h では、バイト順序は次のとおりです。

- バイト 0、ビット 7:0 = 54h
- バイト 1、ビット 15:8 = 49h
- バイト 2、ビット 23:16 = 6Dh
- バイト 3、ビット 31:24 = 24h
- バイト 4、ビット 39:32 = 41h

図 7-1. ブロック コマンド バイトの順序付け

47	46	45	44	43	42	41	40
RW	RW	RW	RW	RW	RW	RW	RW
バイト N							
39	38	37	36	35	34	33	32
RW	RW	RW	RW	RW	RW	RW	RW
バイト …							
31	30	29	28	27	26	25	24
RW	RW	RW	RW	RW	RW	RW	RW
バイト 3							
23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
バイト 2							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
バイト 1							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
バイト 0							

凡例：R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.2 (01h) OPERATION

CMD アドレス	01h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	オンザフライ

(01h) OPERATION コマンドは、(02h) ON_OFF_CONFIG コマンドの構成に応じて、イネーブル ピンからの入力とともに電力変換をイネーブルまたはディスエーブルにするために使用されます。また、このコマンドは、出力電圧を上側または下側の MARGIN レベルに設定し、ソフト ストップを選択するためにも使用されます。

図 7-2. (01h) OPERATION レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	R
ON_OFF	SOFT_OFF	MARGIN				遷移	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-1. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	ON_ OFF	RW	0b	出力制御のために CMD ビットからの入力を必要とする (02h) ON_OFF_CONFIG コマンドが構成されている場合、電力変換のイネーブルまたはディスエーブルを切り替えます。電力変換を開始する前に満たす必要がある他の要件がいくつかある場合があります (たとえば、UVLO スレッショルドを超える入力電圧や、(02h) ON_OFF_CONFIG で要求される場合はイネーブル ピンなど)。 0b: 電力変換を無効にします。 1b: 電力変換を有効にし、MARGIN のフォルトを無視することを有効にします。
6	SOFT_ OFF	RW	0b	このビットは、(02h) ON_OFF_CONFIG が出力電圧制御のために CMD ビットからの入力を必要とするように構成されている場合、ターンオフ プロファイルを制御します。また、OPERATION ビット 7 の 1b から 0b への遷移は、ビット 7 が 1b の場合に無視されます。 0b: 即時オフ。電力変換は直ちに停止し、電力段は強制的にハイ インピーダンス状態になります。 1b: ソフト オフ。電力変換が t_{OFF_DELAY} 時間にわたって続行されると、t_{OFF_FALL} に応じてスルーレートで出力電圧が 0V に降下します。出力電圧が 0V に達すると、電力変換は停止します。
5:2	MARGIN	RW	0000b	マージン状態を設定します。 0000b、0001b、0010b: マージン オフ。出力電圧ターゲットは(21h) VOUT_COMMAND です。OV および UV フォルトは、それぞれの故障応答設定 0 に従って正常に動作します。 0101b: マージン Low (ビット 7 が 1b の場合はフォルトを無視)。出力電圧ターゲットは VOUT_MARGIN_LOW です。OV および UV フォルトは無視され、シャットダウンや STATUS の更新はトリガされません。 0110b: マージン Low (フォルト時の動作)。出力電圧ターゲットは(26h) VOUT_MARGIN_LOW です。OV/UV 故障は、故障応答設定ごとにトリガします。 1001b: マージン High (フォルトを無視)。出力電圧ターゲットは VOUT_MARGIN_HIGH です。OV および UV トリガは無視され、シャットダウンや STATUS の更新はトリガされません。 1010b: マージン High (フォルト時の動作)。出力電圧ターゲットは(25h) VOUT_MARGIN_HIGH です。OV/UV は、故障応答設定ごとにトリガします。 その他: 無効 / サポートされていないデータ
1	遷移	R	0b	使用されず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
0	予約済み	R	0b	使用されず、常に 0 に設定されます。

(01h) OPERATION を上記に記載された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.3 (02h) ON_OFF_CONFIG

CMD アドレス	02h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(02h) ON_OFF_CONFIG コマンドは、電力変換をイネーブルまたはディスエーブルにするために必要なイネーブル ピン入力コマンドとシリアル バス コマンドの組み合わせを設定します。その際、PVIN に電力が供給されたときのユニットの応答方法も指定します。

図 7-3. (02h) ON_OFF_CONFIG レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	RW	RW	RW	RW	RW
0	0	0	PU	CMD	CP	POLARITY	DELAY

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-2. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:5	予約済み	R	000b	使用されず、常に 0 に設定されます。
4	PU	RW	NVM	0b: CONTROL ピンの状態に関係なく、入力電力が存在すると、ユニットは常に電力変換を開始します。 1b: CONTROL に従って動作します。(01h) OPERATION コマンドを使用して、電力変換を開始または停止するか、またはその両方を実行します。
3	CMD	RW	NVM	0b: 電力変換を開始または停止するための (01h) OPERATION コマンドを無視します。 1b: 電力変換を開始または停止する (01h) OPERATION コマンド (および CP によって設定されている場合は CONTROL ピン) で動作します。
2	CP	RW	NVM	0b: 電力変換を開始または停止するための CONTROL ピンを無視します。CONTROL ピンが無視されると、EN/UVLO ピンの UVLO 機能はアクティブになりません。 1b: 電力変換を開始または停止する CONTROL ピン (およびビット [3] で設定されている場合は (01h) OPERATION コマンド) で動作します。
1	POLARITY	RW	NVM	0b: CONTROL ピンはアクティブ Low 極性です。CONTROL がアクティブな負荷極性である場合、EN/UVLO ピンの UVLO 機能を使用できません。 1b: CONTROL ピンはアクティブ High 極性です。
0	DELAY	RW	NVM	0b: CONTROL ピンによって電力変換が OFF にコマンドされた場合 (上記のように CONTROL ピンを基準に構成する必要があります)、(64h) TOFF_DELAY 時間のレギュレーションを継続し、その後(65h) TOFF_FALL で定義された時間内に出力電圧を 0V にします。 1b: CONTROL ピンによって電力変換がオフにコマンドされた場合 (上記のように CONTROL ピンを基準に構成する必要があります)、電力変換を直ちに停止します。

(02h) ON_OFF_CONFIG の目的上、デバイス ピン EN/UVLO は CONTROL ピンです。

(02h) ON_OFF_CONFIG を上記に明示的に記載された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.4 (03h) CLEAR_FAULTS

CMD アドレス	03h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

CLEAR_FAULTS は、設定された故障ビットをクリアするために使用される段階的なコマンドです。このコマンドは、選択された位相のすべてのステータス レジスタにあるすべてのビット、または PHASE = FFh の場合は、すべての位相を同時にクリアします。同時に、SMB_ALERT# がアサートされた場合、デバイスは SMB_ALERT# 信号出力を解放します。CLEAR_FAULTS は、データを含まない書き込み専用のコマンドです。

CLEAR_FAULTS コマンドでは、フォルト状態のためにオフにラッチされたユニットは再起動されません。ビットがクリアされても故障がまだ存在している場合は、故障 ビットが再び即座にセットされ、通常の方法でホストに通知されます。

デバイスがホストからアラート応答アドレス (ARA) へ応答する場合、SMB_ALERT# はクリアされますが、問題を引き起こしているステータス ビットやその他のビットはクリアされません (ホストへの通知に成功し、その後、ホストが割り込みを適切に処理することを予測しているため)。SMB_ALERT# の初期アサートからデバイスが ARA に正常応答するまでの間に発生した元の故障およびその他の原因による故障は、これらの原因が SMB_ALERT# を再トリガする前に (CLEAR_FAULTS、OFF-ON トグル、または電源リセットによって) クリアされます。ただし、ARA 後にのみアクティブになる故障原因は SMB_ALERT# をトリガします。

図 7-4. (03h) CLEAR_FAULTS レジスタ マップ

7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
CLEAR_FAULTS							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.5 (04h) PHASE

CMD アドレス	04h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	オンザフライ

PHASE コマンドを使用すると、各位相の構成、制御、監視ができます。各 PHASE には、オペレーティング メモリとユーザー ストア、および各フェーズ出力のデフォルト ストアが含まれています。PHASE コマンドで選択された位相は、それ以降のすべての位相依存コマンドに使用されます。任意の位相依存コマンドを正常に実行するには、位相構成をあらかじめ確立する必要があります。

TPSM8D6C24 において、各 PHASE は個別のデバイスです。ループおよび PMBus ループコ ントローラ デバイス、グランドに接続された GOSNS/FLWR は、常に PHASE = 00h です。ループ フォロワー デバイス、BP1V5 に接続された GOSNS/FLWR には、INTERLEAVE または MSEL2 で定義された位相位置によって位相割り当てが定義されています。

図 7-5. (04h) PHASE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
PHASE							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-3. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:0	PHASE	RW	FFh	00h: すべてのコマンドは位相 1 を対象とします。 01h: すべてのコマンドは位相 2 を対象とします。 02h: すべてのコマンドは位相 3 を対象とします。 03h: すべてのコマンドは位相 4 を対象とします。 04h-FEh サポートされていないまたは無効なデータ FFh: コマンドは、すべての位相に対して単一のエンティティとして発行されます。詳細については、以下のテキストを参照してください。

PHASE の有効データの範囲は、位相構成にも依存します。(04h) PHASE を現在の位相構成でサポートされていない値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.6 (10h) WRITE_PROTECT

CMD アドレス	10h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

WRITE_PROTECT コマンドは、PMBus デバイスへの書き込みを制御します。このコマンドの目的は、偶発的な変更に対する保護を提供することです。このコマンドには、以下で説明する 1 バイトのデータがあります。このコマンドは、デバイスの構成または動作に対する意図的または悪意のある変更から保護するものでは*ありません*。WRITE_PROTECT の設定に関係なく、サポートされているすべてのコマンドはパラメータを読み取ることができます。

図 7-6. (10h) WRITE_PROTECT レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
WRITE_PROTECT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-4. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:0	WRITE_ PROTECT	RW	NVM	00h: すべてのコマンドへの書き込みを有効にします。 20h: WRITE_PROTECT、OPERATION、ON_ OFF_ CONFIG、STORE_USER_ALL、VOUT_ COMMAND コマンド以外のすべての書き込みアクセスを無効化します。 40h: WRITE_ PROTECT、OPERATION、STORE_USER_ALL コマンド以外のすべての書き込みを無効化します。 80h: WRITE_ PROTECT、STORE_USER_ALL コマンド以外のすべての書き込みを無効化します。 その他: 無効 / サポートされていないデータ

(10h) WRITE_PROTECT を上記で指定された任意の無効な値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.7 (15h) STORE_USER_ALL

CMD アドレス	15h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
位相:	いいえ、PHASE = FFh のみ
NVM バックアップ:	なし
更新内容:	オンザフライでの使用は推奨されませんが、明示的にブロックされていません

STORE_USER_ALL コマンドは、動作メモリの内容全体を不揮発性ユーザー ストア メモリ内の一致する場所にコピーするように PMBus デバイスに指示します。ユーザー ストア内の一致する位置を持たない動作メモリ内のアイテムは無視されます。

出力電圧がレギュレーション中の間は、NVM ストア操作を推奨しません。ただし、ユーザーに対してこれを明示的に禁止はしていません。中断すると NVM の破損が発生する可能性があるためです。この時間中に発行された PMBus コマンドは、長いクロック ストレッチ時間を発生させるか、単に無視される可能性があります。TI では、レギュレーションを無効化し、NVM ストア動作を発行した後、続行する前に少なくとも 100ms 待機することを推奨しています。

不一致のレジスタ値が NVM に格納されないように、PHASE = FFh でない限り、STORE_USER_ALL を使用しないでください。

図 7-7. (15h) STORE_USER_ALL レジスタ マップ

7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
STORE_USER_ALL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

7.8 (16h) RESTORE_USER_ALL

CMD アドレス	16h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
位相:	いいえ、PHASE = FFh のみ
NVM バックアップ:	なし
更新内容:	復元中のレギュレーションを無効にします

RESTORE_USER_ALL コマンドは、PMBus デバイスに対して、動作を無効化し、不揮発性ユーザー保存メモリの内容全体を動作メモリ内の一致する位置にコピーしてから、PIN_DETECT_OVERRIDE で選択されたコマンドの動作メモリを、最後に読み取りピンで検出された値で上書きするよう指示します。動作メモリ内の値は、ユーザー ストアとピン検出から取得した値によって上書きされます。動作メモリ内の一致する位置を持たないユーザー ストア内のアイテムは無視されます。

不一致のレジスタ値が NVM に格納されないように、PHASE = FFh でない限り、RESTORE_USER_ALL を使用しないでください。

図 7-8. (16h) RESTORE_USER_ALL レジスタ マップ

7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
RESTORE_USER_ALL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.9 (19h) CAPABILITY

CMD アドレス	19h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	該当なし

CAPABILITY コマンドを使用すると、ホストはこの PMBus デバイスの機能を判断できます。このコマンドは読み取り専用で、以下のようにフォーマットされた 1 データ バイトがあります。

図 7-9. (19h) CAPABILITY レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
PEC	SPEED		ALERT	フォーマット	AVSBUS	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-5. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	PEC	R	1b	1b: パケット エラー チェックがサポートされています。
6:5	SPEED	R	10b	10b: サポートされている最大バス速度は 1MHz です。
4	ALERT	R	1b	1b: このデバイスには SMB_ALERT# ピンがあり、SMBus アラート応答プロトコルをサポートしています。
3	フォーマット	R	0b	0b: 数値形式は線形または直接です。
2	AVSBUS	R	0b	0b: AVSBus はサポートされていません。
1:0	予約済み	R	00b	予約済み。常に 0 に設定。

(19h) CAPABILITY を任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

7.10 (1Bh) SMBALERT_MASK

CMD アドレス	1Bh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	書き込み:符号なしバイナリ (2 バイト) 読み取り:符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

SMBALERT_MASK コマンドを使用すると、警告または故障状態によって SMBALERT# 信号がアサートされないようにできます。MASK ビットを設定しても、STATUS_CMD の関連ビットが設定されるのを防ぐことはできませんが、STATUS_CMD の関連ビットが SMB_ALERT# をアサートするのは防ぎます。コマンド形式の詳細については、リファレンス [3] を参照してください。以下のレジスタの説明では、利用可能な個別のマスク ビットについて説明します。

SMBALERT_MASK 書き込みトランザクション = 書き込みワード。CMD = 1Bh、Low = STATUS_CMD、High = MASK

SMBALERT_MASK 読み取りトランザクション = ブロック読み取りプロセス呼び出し。STATUS_CMD で 1 バイト ブロックを書き込み、1 バイト ブロックを読み取ります。

Copyright © 2025 Texas Instruments Incorporated

7.11 (1Bh) SMBALERT_MASK_VOUT

CMD アドレス	1Bh (CMD バイト = 7Ah の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_VOUT コマンドの SMBALERT_MASK ビット

図 7-10. (1Bh) SMBALERT_MASK_VOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	R	R
mVOUT_OVF	mVOUT_OVW	mVOUT_UVW	mVOUT_UVF	mVOUT_MINMAX	mTON_MAX	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-6. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	mVOUT_OVF	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
6	mVOUT_OVW	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
5	mVOUT_UVW	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
4	mVOUT_UVF	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
3	mVOUT_MINMAX	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
2	mTON_MAX	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
1:0	非対応	R	00b	サポートされておらず、常に 00b に設定されています。

Copyright © 2025 Texas Instruments Incorporated

7.12 (1Bh) SMBALERT_MASK_IOUT

CMD アドレス	1Bh (CMD バイト = 7Bh の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_IOUT の SMBALERT_MASK ビット

図 7-11. (1Bh) SMBALERT_MASK_IOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	RW	R	R	R	R	R
mIOUT_OCF	0	mIOUT_OCW	mIOUT_UCF	0	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-7. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	mIOUT_OCF	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
6	非対応	R	0b	非対応
5	mIOUT_OCW	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
4	mIOUT_UCF	RW	NVM	1b: この条件により、SMBALERT がアサートされないことがあります。
3	非対応	R	0b	非対応
2:0	非対応	RW	0b	非対応

Copyright © 2025 Texas Instruments Incorporated

7.13 (1Bh) SMBALERT_MASK_INPUT

CMD アドレス	1Bh (CMD バイト = 7Ch の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_INPUT の SMBALERT_MASK ビット

図 7-12. (1Bh) SMBALERT_MASK_INPUT レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	RW	R	R	R
0	0	0	0	mLOW_VIN	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-8. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	非対応	R	0b	非対応
6	非対応	R	0b	非対応
5	非対応	R	0b	非対応
4	非対応	R	0b	非対応
3	mLOW_ VIN	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない*ことがあります。
2	非対応	R	0b	非対応
1	非対応	R	0b	非対応
0	非対応	R	0b	非対応

Copyright © 2025 Texas Instruments Incorporated

7.14 (1Bh) SMBALERT_MASK_TEMPERATURE

CMD アドレス	1Bh (CMD バイト = 7Dh の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_TEMPERATURE の SMBALERT_MASK ビット

図 7-13. (1Bh) SMBALERT_MASK_TEMPERATURE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	R	R	R	R	R	R
mOTF	mOTW	0	0	0	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-9. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	mOTF	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。
6	mOTW	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。
5:0	非対応	R	0d	サポートされておらず、常に 000000b に設定されています。

Copyright © 2025 Texas Instruments Incorporated

7.15 (1Bh) SMBALERT_MASK_CML

CMD アドレス	1Bh (CMD バイト = 7Eh の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	いいえ。PHASE = FFh のみがサポートされています
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_CML の SMBALERT_MASK ビット

図 7-14. (1Bh) SMBALERT_MASK_CML レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	R	R	RW	R
mIVC	mIVD	mPEC	mMEM	0	0	mCOMM	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-10. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	mIVC	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
6	mIVD	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
5	mPEC	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
4	mMEM	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
3:2	非対応	R	00b	非対応
1	mCOMM	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサートされないことがあります。
0	非対応	R	0b	非対応

Copyright © 2025 Texas Instruments Incorporated

7.16 (1Bh) SMBALERT_MASK_OTHER

CMD アドレス	1Bh (CMD バイト = 7Fh の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_OTHER の SMBALERT_MASK ビット

図 7-15. (1Bh) SMBALERT_MASK_OTHER レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
0	0	0	0	0	0	0	mFIRST_ TO_ALERT

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-11. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:1	非対応	R	0h	非対応
0	mFIRST_ TO_ ALERT	R	1b	FIRST_ TO_ ALERT ビット自体は SMBALERT アサートを生成しないため、このビットは 1b にハードコードされます (ソースがマスクされます)。

Copyright © 2025 Texas Instruments Incorporated

7.17 (1Bh) SMBALERT_MASK_MFR

CMD アドレス	1Bh (CMD バイト = 80h の場合)
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STATUS_MFR の SMBALERT_MASK ビット

図 7-16. (1Bh) SMBALERT_MASK_MFR レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	R	R	RW	RW	RW	R
mPOR	mSELF	0	0	mRESET	mBCX	mSYNC	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-12. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	mPOR	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。
6	mSELF	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。 AVIN UVLO の変動により、このビットのマスクを解除すると、電源オン時に SMBALERT がアサートされる可能性があります。
5	非対応	R	0b	非対応
4	非対応	R	0b	非対応
3	mRESET	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。
2	mBCX	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。
1	mSYNC	RW	NVM	0b: この条件により、SMBALERT がアサートされることがあります。 1b: この条件により、SMBALERT がアサート*されない* ことがあります。 マルチフェーズ スタックのループ コントローラ デバイスが Auto Detect SYNC 用にプログラムされている場合、このビットをマスク解除すると、マルチフェーズ スタックが有効なときに SMBALERT が瞬間的にアサートされる可能性があります。
0	非対応	R	0b	非対応

Copyright © 2025 Texas Instruments Incorporated

7.18 (20h) VOUT_MODE

CMD アドレス	20h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	変換の無効化:オンザフライ、変換の有効化:読み出し専用

VOUT_MODE コマンドのデータ バイトは、図 7-17 に示すように、3 ビット モードと 5 ビット パラメータで構成される 1 バイトです。3 ビットのモードは、出力電圧関連のコマンドに対して、デバイスが ULINEAR16、ハーフ精度 IEEE 754 浮動小数点、VID、または DIRECT モードのどちらを使用するかを設定します。5 ビットのパラメータは、ULINEAR16 指数や、どのメーカーの VID コードが使用されているかなど、選択されたモードに関する詳細情報を提供します。

図 7-17. (20h) VOUT_MODE レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	R	RW	RW	RW	RW	RW
REL	モード		パラメータ				

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-13. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	REL	RW	NVM	0b:絶対データ フォーマット 1b:相対データ フォーマット
6:5	モード	R	00b	00b:線形形式 (ULINEAR16、SLINEAR16) その他:サポートされていないか無効
4:0	パラメータ	RW	NVM	MODE = 00b (線形形式) :出力電圧関連コマンドで使用する指数「N」を 2 の補数形式で指定します。リニア モードでサポートされている指数値は、–4 (62.5mV/LSB) から –12 (0.244mV/LSB) までです。詳細については、以下のテキストを参照してください。

VOUT_MODE の変更

VOUT_MODE を変更すると、相対モードと絶対モード、および線形指数値を含む、更新された VOUT_MODE の値に合わせて、多くの VOUT 関連コマンドの値が強制的に更新されます。VOUT_MODE を他の VOUT 関連コマンドと組み合わせてプログラミングする場合、VOUT 関連のコマンドは現在の VOUT_MODE 値で解釈され、VOUT_MODE が後で変更された場合、変換されます。

Copyright © 2025 Texas Instruments Incorporated

7.19 (21h) VOUT_COMMAND

CMD アドレス	21h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE 別の絶対値のみ
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

VOUT_COMMAND は、2 つのデータ バイトを用いて、デバイスの出力電圧をコマンドされた値に設定します。VOUT_COMMAND による出力電圧の変化は、VOUT_TRANSITION_RATE で指定されたレートで発生します。

PGD/RST_B が MISC_OPTIONS で RESET# ピンとして構成されている場合、PGD/RST_B ピンがアサートされると、出力電圧が VBOOT 値に戻り、それに応じて VOUT_COMMAND 値が更新されます。

図 7-18. (21h) VOUT_COMMAND レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_COMMAND (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_COMMAND (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-14. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_COMMAND	RW	NVM	PMBus インターフェイス経由で出力電圧のターゲットを設定します。

電源オン時に、VOUT_COMMAND のリセット値は、VSEL ピンでのピン検出、または PIN_DETECT_OVERRIDE の VOUT_COMMAND ビットに応じて NVM のいずれかから取得されます。

PIN_DETECT_OVERRIDE = 0b の VOUT_COMMAND ビットの場合、VOUT_COMMAND のデフォルト値は、電源オン リセット時または RESTORE_USER_ALL 時に NVM から復元されます。

PIN_DETECT_OVERRIDE = 1b の VOUT_COMMAND ビットの場合、VOUT_COMMAND のデフォルト値は、電源オン リセット時または RESTORE_USER_ALL 時に、VSEL のピン検出から取得されます。

このデフォルト値は、ピン検出から取得されるか、NVM が「デフォルト」出力電圧 (「VBOOT」とも呼ばれます) になり、VOUT_COMMAND の現在の値とは別に RAM に格納されます。

BOOT 電圧の動作

MISC_OPTIONS の RESET_FLT ビットは、フォルト関連のシャットダウン後の VOUT_COMMAND 動作を選択します。RESET_FLT = 0b の場合、デバイスはフォルト後の HICCUP 中に VOUT_COMMAND の現在の値を保持します。RESET_FLT = 1b の場合、VOUT_COMMAND は最後に検出された VSEL 電圧、または MISC_OPTIONS の VOUT_COMMAND ビットで選択された NVM STORED 値にリセットされます。

データの有効性

VOUT_TRIM からの任意のオフセットが現在の VOUT_MAX より大きい、または現在の VOUT_MIN より小さい場合を含む値が結果として得られる場合に VOUT_COMMAND に書き込むと、リファレンス DAC が VOUT_MIN または

Copyright © 2025 Texas Instruments Incorporated

VOUT_MAX で指定された値へ移動し、VOUT_MAX_MIN_WARNING フォルト状態が発生し、STATUS_WORD と STATUS_VOUT の適切なビットを設定して、PMBus 1.3.1 Part II 仕様のセクション 10.2 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.20 (22h) VOUT_TRIM

CMD アドレス	22h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR16、(20h) VOUT_MODE ごとに絶対値のみ有効。
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_TRIM を使用して、出力電圧コマンド値に固定オフセット電圧を印加します。VOUT_TRIM による出力電圧の変化は、(27h) VOUT_TRANSITION_RATE で指定されたレートで発生します。

図 7-19. (22h) VOUT_TRIM レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_TRIM (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_TRIM (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-15. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_TRIM	RW	以下を参照してください	出力電圧オフセット。SLINEAR16 (2 の補数) 形式

制限付き NVM バックアップ

このコマンドには、8 ビットの NVM バックアップのみが提供されています。VOUT_TRIM コマンドは(20h) VOUT_MODE 指数に従いますが、NVM バックアップは指数 –12 で保存され、保存された値は、(20h) VOUT_MODE に関係なく指数 –12 で +127 ～ –128 に制限されます。

データの有効性

(21h) VOUT_COMMAND のデータ有効性表を参照すると (以下に複製)、出力電圧の値 (VOUT_TRIM、VOUT_COMMAND、VOUT_MARGIN などからのオフセットを含む) は、DAC ハードウェアでサポートされている値を超えない場合があります。

(21h) VOUT_COMMAND + (22h) VOUT_TRIM 値を DAC ハードウェアでサポートされている最大値よりも大きい、かつ(24h) VOUT_MAX より小さい値にプログラムすると、(7Ah) STATUS_VOUT の VOUT_MAX_MIN ビットの設定なしに、DAC ハードウェアでサポートされている最大値でレギュレートされた出力電圧がクランプされます。

表 7-16. VOUT_COMMAND/VOUT_MARGIN + VOUT_TRIM データの有効性 (線形形式)

VOUT_SCALE_LOOP	内部デバイダ	有効な VOUT_COMMAND / マージン + VOUT_TRIM 値
1.0	なし	0.000V ～ 0.700V
0.5	1:1	0.000V ～ 1.400V
0.25	1:3	0.000V ～ 2.800V
0.125	1:7	0.000V ～ 6.000V

Copyright © 2025 Texas Instruments Incorporated

VOUT_TRIM の最小および最大有効データ値は、(21h) VOUT_COMMAND の説明に従います。VOUT_TRIM を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

結果として得られる出力電圧が現在の(24h) VOUT_MAX より大きい、または現在の(2Bh) VOUT_MIN より小さい場合に VOUT_TRIM に書き込むと、リファレンス DAC が(24h) VOUT_MAX または(2Bh) VOUT_MIN で指定された値へ移動し、VOUT_MAX_MIN_WARNING フォルト状態が発生し、(79h) STATUS_WORD と(7Ah) STATUS_VOUT の適切なビットを設定して、PMBus 1.3.1 Part II 仕様のセクション 10.2 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.21 (24h) VOUT_MAX

CMD アドレス	24h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE 別の絶対値のみ
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

VOUT_MAX コマンドは、ユニットの出力電圧の上限を設定し、他のコマンドや組み合わせに関係なく、コマンドを発行できます。このコマンドの目的は、誤って出力電圧を破壊的なレベルに設定してしまう事態を防止することです。

図 7-20. (24h) VOUT_MAX レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MAX (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MAX (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-17. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_MAX	RW	NVM	最大出力電圧。VOUT_MODE の設定ごとの ULINEAR16 絶対値。データの有効性については、次の説明を参照してください。

変換がイネーブルのとき、新しいターゲット電圧が VOUT_MAX の電流値よりも大きくなるような出力電圧の変化 (VOUT_COMMAND、VOUT_TRIM、マージン動作を含む) により、VOUT_MAX_MIN_WARNING の故障状態が発生します。この結果により、TPSM8D6C24 は次のことを実行します。

- VOUT_TRANSITION_RATE で定義されたスルーレートで、出力電圧を VOUT_MAX の電流値に対して設定します。
- STATUS_BYTE に上記以外のビットを設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT の VOUT_MIN_MAX 警告ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

このシナリオは一般的ではありませんが、ユーザーが VOUT_MAX を現在の出力電圧のターゲットよりも低くプログラムしようとした場合、同じ応答が得られることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

7.22 (25h) VOUT_MARGIN_HIGH

CMD アドレス	25h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_MARGIN_HIGH コマンドは、OPERATION コマンドが「マージン High」に設定されているときに出力の変更先となる電圧をユニットにロードします。マージン動作中の出力電圧の遷移は、VOUT_TRANSITION_RATE で定義されたスルーレートで発生します。

OPERATION コマンドの MARGIN ビットが「マージン High」と示されている場合、出力電圧は VOUT_MARGIN_HIGH + VOUT_TRIM の値に更新されます。

図 7-21. (25h) VOUT_MARGIN_HIGH レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGH (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGH (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-18. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_MARGH	RW	NVM	マージン High 出力電圧。VOUT_ MODE の設定ごとの ULINEAR16 相対値または絶対値

VOUT_MARGIN_HIGH の最小および最大有効データ値は、VOUT_COMMAND の説明に従います。つまり、VOUT_MARGIN_HIGH および VOUT_TRIM を含む合計出力電圧は、現在の VOUT_MAX 設定で許容される値に従います。

(25h) VOUT_MARGIN_HIGH を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.23 (26h) VOUT_MARGIN_LOW

CMD アドレス	26h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE ごと
位相:	なし
NVM バックアップ:	EEPROM

VOUT_MARGIN_LOW コマンドは、OPERATION コマンドが「マージン Low」に設定されているときに出力の変更先となる電圧をユニットにロードします。マージン動作中の出力電圧の遷移は、VOUT_TRANSITION_RATE で定義されたスルーレートで発生します。

OPERATION コマンドの MARGIN ビットが「マージン Low」と示されている場合、出力電圧は VOUT_MARGIN_LOW + VOUT_TRIM の値に更新されます。

図 7-22. (26h) VOUT_MARGIN_LOW レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGIN_LOW (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGIN_LOW (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-19. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_ MARGL	RW	NVM	マージン Low 出力電圧。VOUT_ MODE の設定ごとの ULINEAR16 相対値または絶対値

VOUT_MARGIN_LOW の最小および最大有効データ値は、VOUT_COMMAND の説明に従います。(26h) VOUT_MARGIN_LOW を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.24 (27h) VOUT_TRANSITION_RATE

CMD アドレス	27h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_TRANSITION_RATE コマンドは、通常の電力変換発生時に出力電圧が変化するスルーレートを設定します。このコマンドされたレートは、ユニットがオンまたはオフにするようにコマンドされた場合には適用されません。単位は mV/µs です。

図 7-23. (27h) VOUT_TRANSITION_RATE レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOTR_EXP					VOTR_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOTR_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-20. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VOTR_ EXP	RW	11100b	線形形式の 2 の補数指数。指数 = –4、LSB = 0.0625mV/µs
10:0	VOTR_ MAN	RW	NVM	線形形式の 2 の補数仮数部

最小値と最大値の間の各バイナリ値は書き込みも読み取りも可能ですが、実際の出力電圧スルーレートはサポートされている最も近い値に設定されます。

VOUT_TRANSITION レートは、0.067mV/µs ～ 15.933mV/µs の範囲でプログラムできます。

(27h) VOUT_TRANSITION_RATE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.25 (29h) VOUT_SCALE_LOOP

CMD アドレス	29h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
更新内容:	変換の無効化:オンザフライ。変換の有効化:ハードウェア更新がブロックされています。有効状態で書き込み後にハードウェアを更新するには、STORE_USER_ALL および RESTORE_USER_ALL で NVM に保存するか、AVIN を UVLO 未満まで下げてから再度上げて電源を入れ直します。
NVM バックアップ:	EEPROM またはピン検出

VOUT_SCALE_LOOP コマンドを使用すると、PMBus デバイスは、コマンドされた電圧と制御回路入力の電圧間をマッピングできます。また、TPSM8D6C24 において、VOUT_SCALE_LOOP は、内部の高精度抵抗デバイダもプログラミングするため、外部分周器は不要です。

図 7-24. (29h) VOUT_SCALE_LOOP レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOSL_EXP					VOSL_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOSL_MAN							

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-21. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VOSL_ EXP	RW	11001b	線形形式の 2 の補数指数
10:0	VOSL_ MAN	RW	NVM	線形形式の 2 の補数仮数部

データの有効性

サポートされている最小値と最大値の間のバイナリ値はすべて、書き込み可能で読み取り可能です。ただし、すべての組み合わせがハードウェアでサポートされているわけではありません。表 7-22 を参照してください。

表 7-22. 許容値

VOUT_SCALE_LOOP (デコード済み)	内部デバイダのスケーリング係数
0.125 以下	0.125
0.125 < VOSL ≤ 0.25	0.25
0.25 < VOSL ≤ 0.5	0.5
0.5 より大きい	1.0

(29h) VOUT_SCALE_LOOP を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

サポートされている内部デバイダのスケーリング係数以外の (29h) VOUT_SCALE_LOOP 値が (21h) VOUT_COMMAND および (29h) VOUT_SCALE_LOOP に設定された場合、VREF のスケール係数は実際の (29h)

Copyright © 2025 Texas Instruments Incorporated

VOUT_SCALE_LOOP 値に基づいて計算されます。サポートされている内部デバイダのスケーリング係数以外の (29h) VOUT_SCALE_LOOP 値は、(21h) VOUT_COMMAND と実際に命令された出力電圧との間にミスマッチが発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.26 (2Bh) VOUT_MIN

CMD アドレス	2Bh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE 別の絶対値のみ
位相:	なし
更新内容:	オンザフライ
NVM バックアップ:	EEPROM またはピン検出

VOUT_MIN コマンドは、他のコマンドや組み合わせに関係なく、ユニットがコマンドできる出力電圧の下限を設定します。このコマンドの目的は、誤って出力電圧を特定のレベルに設定して、負荷が動作不能になる事態を防止することです。

図 7-25. (2Bh) VOUT_MIN レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MIN (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MIN (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-23. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_ MIN	RW	NVM	最小出力電圧。VOUT_MODE の設定ごとの ULINEAR16 絶対値。

電力変換中に、新しいターゲット電圧が VOUT_MIN の電流値よりも低くなるような出力電圧の変化 (VOUT_COMMAND、VOUT_TRIM、マージン動作を含む) により、VOUT_MAX_MIN_WARNING の故障状態が発生します。これらの結果により、TPSM8D6C24 は次のことを実行します。

- VOUT_TRANSITION_RATE で定義されたスルーレートで、出力電圧を VOUT_MIN の電流値に対して設定します。
- STATUS_BYTE に上記以外を設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT の VOUT_MIN_MAX 警告ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

このシナリオは一般的ではありませんが、ユーザーが VOUT_MAX を現在の出力電圧のターゲットよりも高くプログラムしようとした場合、同じ応答が得られることに注意してください。

データの有効性

VOUT_MIN の最小および最大有効データ値は、VOUT_MAX の値に従います。(2Bh) VOUT_MIN を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.27 (33h) FREQUENCY_SWITCH

CMD アドレス	33h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
更新内容:	変換の無効化:オンザフライ。変換の有効化:ハードウェア更新がブロックされています。有効状態で書き込み後にハードウェアを更新するには、STORE_USER_ALL および RESTORE_USER_ALL で NVM に保存するか、AVIN を UVLO 未満まで下げてから再度上げて電源を入れ直します。
NVM バックアップ:	EEPROM またはピン検出

FREQUENCY_SWITCH は、アクティブ チャネルのスイッチング周波数を kHz で設定します。

図 7-26. (33h) FREQUENCY_SWITCH レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
FSW_EXP					FSW_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
FSW_MAN							

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-24. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	FSW_ EXP	RW	NVM	線形形式 2 の補数 リセット時に、FSW_EXP は NVM に格納されているスイッチング周波数に基づいて自動生成されます。
10:0	FSW_ MAN	RW	NVM	線形形式の 2 の補数仮数部。表 7-25 を参照してください。

表 7-25. サポートされているスイッチング周波数の設定

FREQUENCY_SWITCH (デコード済み)	実効スイッチング周波数 (kHz)
250kHz 未満	225
251 ≤ FSW < 300 kHz	275
301 ≤ FSW < 350 kHz	325
351 ≤ FSW < 410 kHz	375
411 ≤ FSW < 500 kHz	450
501 ≤ FSW < 600 kHz	550
601 ≤ FSW < 700 kHz	650
701 ≤ FSW < 820 kHz	750
821 ≤ FSW < 1000 kHz	900
1001 ≤ FSW < 1200 kHz	1100
1201 ≤ FSW < 1400 kHz	1300
1401 ≤ FSW < 1650 kHz	1500

FREQUENCY_SWITCH の値が 1100kHz を超える場合は、内部 AVIN から VDD5 リニア レギュレータで供給される電流よりも大きい VDD5 電流が必要な場合があります。外部ソースを VDD5 に接続せずに FREQUENCY_SWITCH の値

Copyright © 2025 Texas Instruments Incorporated

を 1100kHz を超える値に設定すると、起動とシャットダウンを繰り返し試行する可能性があります。スタックされたマルチフェーズ動作には、1100kHz を超える FRQUENCY_SWITCH 値は推奨されません。

Copyright © 2025 Texas Instruments Incorporated

7.28 (35h) VIN_ON

CMD アドレス	35h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VIN_ON コマンドは、ユニットが電力変換を開始する入力電圧の値 (ボルト単位) を設定します。

図 7-27. (35h) VIN_ON レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VON_EXP					VON_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VON_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-26. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VON_ EXP	RW	11110b	線形形式の 2 の補数指数、–2
10:0	VON_ MAN	RW	NVM	線形形式の 2 の補数仮数部。詳細については、以下のテキストを参照してください。

(35h) VIN_ON を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(35h) VIN_ON および(36h) VIN_OFF はハードウェア範囲と解像度が限られており、NVM のアロケーションは制限されています。このコマンドは有効な範囲内の任意のバイナリ値を受け入れますが、ハードウェア解像度に正確に表されない値は、実装時またはパワーオン リセットや(16h) RESTORE_USER_ALL 中に NVM から復元する場合にサポートされる次の下限スレッショルドに切り捨てられます。(35h) VIN_ON ハードウェアは、2.50V ～ 18.25 のすべての値を 0.25V 刻みでサポートしています。

LOW_VIN フォルト条件は、検出された入力電圧がパワーオン リセット後、初めて VIN_ON スレッショルドを超えるまでマスクされることに注意してください。制御 / イネーブル ピンのトグル、EEPROM の保存と復元動作では、このマスキングはリセットされません。

Copyright © 2025 Texas Instruments Incorporated

7.29 (36h) VIN_OFF

CMD アドレス	36h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(36h) VIN_OFF コマンドは、ユニットが電力変換を停止する必要がある場合の PVIN 入力電圧の値 (ボルト単位) を設定します。(02h) ON_OFF_CONFIG で定義される電力変換イネーブル条件が満たされ、PVIN が(36h) VIN_OFF 未満の場合、(7Ch) STATUS_INPUT の低 VIN ビットによる出力オフが設定されます。

図 7-28. (36h) VIN_OFF レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	R	RW	RW	RW
VOFF_EXP					VOFF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOFF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-27. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VOFF_ EXP	RW	11110b	線形形式の 2 の補数指数
10:0	VOFF_ MAN	RW	NVM	線形形式の 2 の補数仮数部。次のテキストを参照してください。

(36h) VIN_OFF を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(35h) VIN_ON および(36h) VIN_OFF はハードウェア範囲と解像度が限られており、NVM のアロケーションは制限されています。このコマンドは有効な範囲内の任意のバイナリ値を受け入れますが、ハードウェア解像度に正確に表されない値は、実装時またはパワーオン リセットや(16h) RESTORE_USER_ALL 中に NVM から復元する場合にサポートされる次の下限スレッショルドに切り捨てられます。(36h) VIN_OFF ハードウェアは、2.25V ～ 18.25 のすべての値を 0.25V 刻みでサポートしています。

(36h) VIN_OFF を(35h) VIN_ON 以上に設定することはできますが、推奨されません。変換と望ましくない動作を迅速にイネーブルとディスエーブルにする可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.30 (37h) INTERLEAVE

CMD アドレス	37h
書き込みトランザクション:	書き込みワード (単相のみ)
読み取りトランザクション:	読み出しワード
フォーマット:	4 つの 16 進数の値
位相:	なし、マルチフェーズ スタックでは読み取り専用です
更新内容:	オンザフライ
NVM バックアップ:	EEPROM またはピン検出

INTERLEAVE コマンドは、外部 SYNC (IN または OUT) と内部 PMW オシレータとの間の位相遅延を設定します。

図 7-29. (37h) INTERLEAVE レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	RW	RW	RW	RW
未使用				GROUPID			
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
NUM_GROUP				ORDER			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-28. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:12	未使用	R	0h	未使用。b'0000 に設定します。
11:8	GROUPID	RW	NVM	グループ ID 番号。0h ～ Fh に設定します。
7:4	NUM_GROUP	RW	NVM	グループ内の番号。ORDER の各値の位相位置と位相シフトの数を設定します。値 1h ～ 4h に設定します。
3:0	ORDER	RW	NVM	グループ内の順序。ORDER の各値により、360°/ NUM_GROUP に等しい位相シフトを加算します。値 0h ～ NUM_GROUP – 1 に設定します。

表 7-29. サポートされている INTERLEAVE 設定

グループ内の番号	のご注文	位相位置 (°)
1	0	0
2	0	0
2	1	180
3	0	0
3	1	120
3	2	240
4	0	0
4	1	90
4	2	180
4	3	270

(37h) INTERLEAVE コマンドは、複数のデバイスを時間内に共通の SYNC 信号を共有するように配置するために使用されます。各デバイスに加算される位相遅延は、360°/ グループ内のデバイス数 × 順序に等しくなります。マルチフェーズ スタックの位相のずれを防止するため、TPSM8D6C24 がマルチフェーズ スタックの一部として構成されている場合にのみ、(37h) INTERLEAVE が読み取られます。コマンドの読み取り / 書き込みステータス(37h) INTERLEAVE は、電源投

Copyright © 2025 Texas Instruments Incorporated

入時の (ECh) MFR_SPECIFIC_28 (STACK_CONFIG) コマンドの状態に基づいて設定され、(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)が後で変更された場合は更新されません。(37h) INTERLEAVE を使用してスタンドアロン デバイスの位相位置をプログラムする場合は、電源オン時に TPSM8D6C24 をスタンドアロン デバイスとして構成し、(37h) INTERLEAVE コマンドの書き込み機能を確保する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.31 (38h) IOUT_CAL_GAIN

CMD アドレス	38h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(38h) IOUT_CAL_GAIN は、READ_IOUT コマンドによって報告される出力電流のゲインを調整するために使用されます。この値は、内部で検出される電流測定に適用されるユニットレス ゲイン係数です。このレジスタのデフォルト値は 1 に設定されています。

図 7-30. (38h) IOUT_CAL_GAIN レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
IOCG_EXP					IOCG_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
IOCG_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-30. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	IOCG_ EXP	RW	11001b	線形形式、2 の補数指数
10:0	IOCG_ MAN	RW	NVM	線形形式、2 の補数仮数部

(38h) IOUT_CAL_GAIN を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(38h) IOUT_CAL_GAIN コマンドは、TPSM8D6C24 内部テレメトリ システムを使用して実装されています。その結果、線形形式を使用して、このコマンドの値を非常に高分解能でプログラムできます。ただし、TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。パワー サイクルまたは NVM の保存または復元動作の後、値は最も近い 1/64 に丸められ、サポートされる最大値は 1.984 (1 63/64) です。

Copyright © 2025 Texas Instruments Incorporated

7.32 (39h) IOUT_CAL_OFFSET

CMD アドレス	39h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

IOUT_CAL_OFFSET は、READ_IOUT コマンドのオフセット エラーを補償するために使用されます。スタック内の各位相は、独立した IOUT_CAL_OFFSET 値を適用できます。スタックの実効 IOUT_CAL_OFFSET 値は、スタック内のすべてのデバイスからの IOUT_CAL_OFFSET 値の合計と等しくなります。

図 7-31. (39h) IOUT_CAL_OFFSET レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
IOCOS_EXP					IOCOS_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
IOCOS_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-31. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	IOCOS_EXP	RW	11100b	線形形式、2 の補数指数
10:0	IOCOS_MAN	RW	NVM	線形形式、2 の補数仮数部

(39h) IOUT_CAL_OFFSET を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(39h) IOUT_CAL_OFFSET コマンドは、TPSM8D6C24 内部テレメトリ システムを使用して実装されています。その結果、線形形式を使用して、このコマンドの値を非常に高分解能でプログラムできます。ただし、TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。電源サイクルまたは NVM の保存および復元動作の後、最後の NVM の保存動作中に存在する値に応じて、値はサポートされているいずれかの値に復元されます。動作中に、より高い分解能でこのコマンドに対する更新がサポートされ、指定されている最小値と最大値の間にある限り、更新が受け入れられます。

段階的なコマンドの動作

PHASE = 00h ～ 03h: (39h) IOUT_CAL_OFFSET に書き込むと、個々の位相の電流センス オフセットが変更されます。(39h) IOUT_CAL_OFFSET を読み取ると、個々の位相に対して設定された電流センス オフセットが返されます。

PHASE = FFh: (39h) IOUT_CAL_OFFSET に書き込むと、個々の位相すべての合計電流センス オフセットが変更されます。個々の位相には、書き込まれた値を位相数で除算した値と等しい IOUT_CAL_OFFSET 値が割り当てられます。(39h) IOUT_CAL_OFFSET を読み取ると、PHASE = 00h に対して設定された電流センス オフセットの位相数倍が返されます。

Copyright © 2025 Texas Instruments Incorporated

7.33 (40h) VOUT_OV_FAULT_LIMIT

CMD アドレス	40h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16 VOUT_MODE ごとに相対または絶対
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_FAULT_LIMIT コマンドは、出力過電圧故障の原因となる検出ピンまたは出力ピンで測定される出力電圧の値を設定します。VOUT_OV_FAULT_LIMIT は、現在の VOUT_COMMAND に相対的な過電圧スレッショルドを設定します。VOUT_COMMAND に更新しても、絶対フォーマットを使用するとき、VOUT_OV_FAULT_LIMIT の値は更新されません。VOUT_MODE が絶対フォーマットに構成されていても、真の過電圧フォルト制限は現在の VOUT_COMMAND に対して維持されることに注意してください。TPSM8D6C24 がパワーオン リセットを完了するとすぐに、出力変換が無効化されていても、VOUT_OV_FAULT_LIMIT はアクティブになります。

過電圧故障状態の後、TPSM8D6C24 は VOUT_OV_FAULT_RESPONSE に従って応答します。

図 7-32. (40h) VOUT_OV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OVF (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OVF (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-32. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_ OVF	RW	以下を参照してください	過電圧故障限界を設定します。フォーマットは VOUT_ MODE ごとに設定します。

ハードウェアのサポートと値のマッピング

VOUT_OV_FAULT_LIMIT のハードウェアは、電流出力電圧目標の固定パーセンテージとして実装されています。VOUT_MODE 設定に応じて、VOUT_OV_FAULT_LIMIT に書き込まれた値はハードウェア パーセンテージにマッピングする必要があります。

プログラムされた値がハードウェアの相対値の 1 つと正確に等しくない場合は、ハードウェアでサポートされている次に利用可能な相対値に切り上げられます。ハードウェアは、VOUT_COMMAND の 105% ～ 140% 値に 2.5% 刻みで対応しています。出力変換が無効の場合、ハードウェアは VOUT_COMMAND の 110% ～ 140% 値に 10% 刻みで対応しています。

VOUT_OV_FAULT_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.34 (41h) VOUT_OV_FAULT_RESPONSE

CMD アドレス	41h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_FAULT_RESPONSE コマンドは、出力過電圧故障に応答してどのアクションを実行するかをデバイスに指示します。過電圧フォルトがトリガされると、TPSM8D6C24 コントローラは次のデータ バイトに応じて応答し、以下の動作が実行されます。

- STATUS_BYTE の VOUT_OV_FAULT ビットを設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT レジスタの VOUT_OVF ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-33. (41h) VOUT_OV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VO_OV_RESP		VO_OV_RETRY			VO_ OV_ DELAY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-33. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	VO_OV_RESP	RW	NVM	出力過電圧時の応答 00b: 無視。中断せずに動作を継続します。 01b: シャットダウン。シャットダウンし、VO_OV_RETRY に従って再試行します。 10b: シャットダウン。シャットダウンし、VO_ OV_ RETRY に従って再試行します。 11b: 無効またはサポートされていません
5:3	VO_OV_RETRY	RW	NVM	0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。再起動の試行に 1～6 回失敗した後は、再起動しないでください (ラッチオフ)。 7d: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	VO_OV_DELAY	RW	NVM	0d: VO_OV ヒカップ期間は TON_RISE に等しくなります。 1d ～ 7d: VO_OV のヒカップ期間は、TON_RISE の 1 ～ 7 倍に相当します。

VOUT_OV_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

(61h) TON_RISE 完了後に(61h) TON_RISE 時間が経過した時点、または(62h) TON_MAX_FAULT_LIMIT が 0ms (無効) に設定されていない場合は(62h) TON_MAX_FAULT_LIMIT の後に、シャットダウン応答を伴うフォルトが観測されなければ、再起動試行は成功であり、再起動制限カウンタは 0 にリセットされます。

(41h) VOUT_OV_FAULT_RESPONSE が VOUT_OV_FAULT を無視するように構成されており、デバイスを有効にしたときに VOUT_OV_FAULT が存在する場合、デバイスは起動しません。起動時に部品が VOUT_OV_FAULT の電位を無視するように、起動時に印加される可能性のある最大入力電圧よりも高い値(40h) VOUT_OV_FAULT_LIMIT を設定します。

Copyright © 2025 Texas Instruments Incorporated

7.35 (42h) VOUT_OV_WARN_LIMIT

CMD アドレス	42h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16 VOUT_MODE ごとに相対または絶対
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_WARN_LIMIT コマンドは、高出力電圧時の警告の原因となる検出ピンまたは出力ピンの出力電圧の値を設定します。この値は通常、出力過電圧スレッショルドよりも低くなっています。OV_WARN_LIMIT は、現在の VOUT_COMMAND に相対的な過電圧スレッショルドを設定します。VOUT_COMMAND に更新しても、絶対フォーマットを使用するとき、VOUT_OV_FAULT_LIMIT の値は更新されません。

検出された出力電圧が VOUT_OV_WARN_LIMIT スレッショルドを超えると、以下の動作が実行されます。

- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT レジスタの VOUT_OVW ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-34. (42h) VOUT_OV_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OVW (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OVW (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-34. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_OVW	RW	NVM	過電圧警告制限を設定します。フォーマットは VOUT_ MODE ごとに設定します。

ハードウェアのサポートと値のマッピング

VOUT_OV_WARN_LIMIT のハードウェアは、電流出力電圧目標の固定パーセンテージとして実装されています。VOUT_MODE 設定に応じて、VOUT_OV_WARN_LIMIT に書き込まれた値はハードウェア パーセンテージにマッピングする必要があります。

プログラムされた値がハードウェアの相対値の 1 つと正確に等しくない場合は、ハードウェアでサポートされている次に利用可能な相対値に切り上げられます。ハードウェアは、VOUT_COMMAND の 103% ～ 116% 値に 1% 刻みで対応しています。

(42h) VOUT_OV_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.36 (43h) VOUT_UV_WARN_LIMIT

CMD アドレス	43h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16 VOUT_MODE ごとに相対または絶対
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_WARN_LIMIT コマンドは、低出力電圧時の警告の原因となる検出ピンまたは出力ピンの出力電圧の値を設定します。VOUT_UV_WARN_LIMIT は、現在の VOUT_COMMAND に相対的な低電圧スレッショルドを設定します。VOUT_COMMAND に更新しても、絶対フォーマットを使用するとき、VOUT_UV_WARN_LIMIT の値は更新されません。

検出された出力電圧が VOUT_UV_WARN_LIMIT スレッショルドを超えると、以下の動作が実行されます。

- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT レジスタの VOUT_UVW ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-35. (43h) VOUT_UV_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UVW (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UVW (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-35. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_UVW	RW	NVM	低電圧警告制限を設定します。フォーマットは VOUT_ MODE ごとに設定します。

ハードウェア マッピングとサポートされる値

VOUT_UV_WARN_LIMIT のハードウェアは、電流出力電圧目標に関連する固定パーセンテージとして実装されています。VOUT_MODE 設定に応じて、VOUT_UV_WARN_LIMIT に書き込まれた値はハードウェア パーセンテージにマッピングする必要があります。

プログラムされた値がハードウェアの相対値の 1 つと正確に等しくない場合は、ハードウェアでサポートされている次に利用可能な相対値に切り下げられます。ハードウェアは、VOUT_COMMAND の 84% ～ 97% 値に 1% 刻みで対応しています。

(43h) VOUT_UV_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.37 (44h) VOUT_UV_FAULT_LIMIT

CMD アドレス	44h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE 別の絶対値
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_FAULT_LIMIT コマンドは、出力電圧フォルトの原因となる検出ピンまたは出力ピンの出力電圧の値を設定します。VOUT_UV_FAULT_LIMIT は、現在の VOUT_COMMAND に対して低電圧スレッショルドを設定します。VOUT_COMMAND に更新しても、絶対フォーマットを使用するとき、VOUT_UV_FAULT_LIMIT の値は更新されません。

低電圧故障条件がトリガされると、TPSM8D6C24 は VOUT_UV_FAULT_RESPONSE に従って応答します。

図 7-36. (44h) VOUT_UV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UVF (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UVF (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-36. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	VOUT_UVW	RW	NVM	低電圧故障制限を設定します。フォーマットは VOUT_ MODE ごとに設定します。

ハードウェア マッピングとサポートされる値

VOUT_UV_FAULT_LIMIT のハードウェアは、電流出力電圧目標に対する固定パーセンテージとして実装されています。VOUT_MODE 設定に応じて、VOUT_UV_FAULT_LIMIT に書き込まれた値はハードウェア パーセンテージにマッピングする必要があります。

プログラムされた値がハードウェアの相対値の 1 つと正確に等しくない場合は、ハードウェアでサポートされている次に利用可能な相対値に切り下げられます。ハードウェアは、VOUT_COMMAND の 60% ～ 95% 値に 2.5% 刻みで対応しています。

(44h) VOUT_UV_FAULT_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.38 (45h) VOUT_UV_FAULT_RESPONSE

CMD アドレス	45h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_FAULT_RESPONSE コマンドは、出力低電圧故障に応答してどのアクションを実行するかをデバイスに指示します。過電圧フォルトがトリガされると、TPSM8D6C24 は次のデータ バイトに応じて応答し、以下の動作が実行されます。

- STATUS_BYTE に上記以外のビットを設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT レジスタの VOUT_UVF ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-37. (45h) VOUT_UV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VO_UV_RESP		VO_UV_RETRY			VO_UV_DLY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-37. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	VO_ UV_ RESP	RW	NVM	出力低電圧時の応答 00b: 無視。中断せずに動作を継続します。 01b: VO_UV_DELY で設定される遅延後のシャットダウン 10b: 直ちにシャットダウン その他: 無効またはサポートされていません
5:3	VO_ UV_ RETRY	RW	NVM	出力低電圧時のリトライ 0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。再起動の試行に 1～6 回失敗した後は、再起動しないでください (ラッチオフ)。 7d: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	VO_ UV_ DLY	RW	NVM	遅延およびヒカップ後の応答の出力低電圧遅延時間 0d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 1d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 2d ～ 4d: シャットダウン遅延 3 PWM_CLK、ヒカップは TON_RISE の 2 ～ 6 倍に等しい 5d ～ 7d: シャットダウン遅延 7 PWM_CLK、ヒカップは TON_RISE の 5 ～ 7 倍に等しい

(45h) VOUT_UV_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.39 (46h) IOUT_OC_FAULT_LIMIT

CMD アドレス	46h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

IOUT_OC_FAULT_LIMIT コマンドは、過電流検出器が過電流故障状態を通知する出力電流の値を設定します。マルチフェーズ スタック内の各 TPSM8D6C24 デバイスには独自の IOUT_OC_FAULT_LIMIT とコンパレータがありますが、マルチフェーズ スタックの実効電流制限は、最小の IOUT_OC_FAULT_LIMIT の設定に、スタック内の位相数を乗算した値に等しくなります。

過電流フォルトがトリガされると、TPSM8D6C24 は IOUT_OC_FAULT_RESPONSE に従って応答します。

図 7-38. (46h) IOUT_OC_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
IO_OCF_EXP					IO_OCF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
IO_OCF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-38. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	IO_OCF_EXP	RW	11110b	線形形式の 2 の補数指数
10:0	IO_OCF_MAN	RW	NVM	線形形式の 2 の補数仮数部。次の表を参照してください。 多相スタック電流制限は最大 62A × 位相数 (PHASE = FFh) OCL 位相ごとに最大 62A (PHASE ! = FFh)

(46h) IOUT_OC_FAULT_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

位相ごとの (PHASE ! = FFh) IOUT_OC_FAULT_LIMIT は、アナログ ハードウェアに実装されています。このアナログ ハードウェアは、2A 刻みで 8A ～ 62A の電流制限に対応しています。プログラムされた値がハードウェアでサポートされている値と正確に等しくない場合は、次に利用可能なサポートされている値に切り上げられます。IOUT_OC_FAULT_LIMIT にはデバイスごとに 8A 未満の値を書き込むことができますが、デバイスごとに 8A 未満の値はハードウェアで 8A として実装されています。TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。パワー サイクルまたは NVM の保存または復元動作後、その値は最も近い NVM でサポートされている値に丸められます。NVM は、0.25A 刻みで最大 62A の値に対応しています。

段階的なコマンドの動作

PHASE = FFh の場合の書き込み: 各相の IOUT_OC_FAULT_LIMIT を、書き込まれた値を位相数で除算した値に設定します。

Copyright © 2025 Texas Instruments Incorporated

PHASE = FFh の場合の読み取り：PHASE = 00h (ループ コントローラ) に位相数を掛けた IOUT_OC_FAULT_LIMIT 値を通知します。

PHASE ！= FFh の場合の書き込み：現在の位相に対する IOUT_OC_FAUL_LIMIT を、書き込まれた値に設定します。

PHASE ！= FFh の場合の読み取り：現在の位相の IOUT_OC_FAULT_LIMIT 値を通知します。

Copyright © 2025 Texas Instruments Incorporated

7.40 (47h) IOUT_OC_FAULT_RESPONSE

CMD アドレス	47h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

IOUT_OC_FAULT_RESPONSE コマンドは、過電流故障に応答してどのアクションを実行するかをデバイスに指示します。過電流フォルトがトリガされると、TPSM8D6C24 は次のデータ バイトに応じて応答し、以下の動作が実行されます。

- STATUS_BYTE の IOUT_OC ビットを設定します。
- STATUS_WORD の IOUT ビットを設定します。
- STATUS_IOUT レジスタの IOUT_OCF ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-39. (47h) IOUT_OC_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	R	R	R
IO_OC_RESP		IO_OC_RETRY			IO_OC_DELAY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-39. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	IO_OC_RESP	RW	NVM	出力過電流時の応答 00b: 無視。中断せずに動作を継続します。 01b: 無視。中断せずに動作を継続します。 10b: IO_OC_DELAY で設定された遅延後にシャットダウンします。 11b: 直ちにシャットダウンします。
5:3	IO_OC_RETRY	RW	NVM	出力過電流時のリトライ 0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。再起動の試行に 1～6 回失敗した後は、再起動しないでください (ラッチオフ)。 7d: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	IO_OC_DELAY	RW	NVM	遅延およびヒカップ後の応答の出力過電流遅延時間 0d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 1d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 2d ～ 4d: シャットダウン遅延 3 PWM_CLK、ヒカップは TON_RISE の 2 ～ 4 倍に等しい 5d ～ 7d: シャットダウン遅延 7 PWM_CLK、ヒカップは TON_RISE の 5 ～ 7 倍に等しい

(47h) IOUT_OC_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.41 (4Ah) IOUT_OC_WARN_LIMIT

CMD アドレス	4Ah
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

IOUT_OC_WARN_LIMIT コマンドは、過電流検出器が過電流警告状態を通知する出力電流の値を設定します。単位はアンペアです。

IOUT_OC_WARN_LIMIT は段階的なコマンドです。各位相は、出力電流過電流警告を独立して通知します。

過電流警告状態に応答して、TPSM8D6C24 は以下のアクションを実行します。

- STATUS_BYTE に上記以外のビットを設定します。
- STATUS_WORD の IOUT ビットを設定します。
- STATUS_IOUT レジスタの IOUT_OCW ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-40. (4Ah) IOUT_OC_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
IOOCW_EXP					IOOCW_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
IOOCW_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-40. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	IOOCW_EXP	RW	11110b	線形形式の 2 の補数指数
10:0	IOOCW_MAN	RW	NVM	線形形式の 2 の補数仮数部 サポートされる値は、位相数の 62A 倍までです。

(4Ah) IOUT_OC_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

位相ごとの (PHASE ! = FFh) IOUT_OC_WARN_LIMIT は、アナログ ハードウェアに実装されています。このアナログ ハードウェアは、2A 刻みで 8A ～ 62A の電流制限に対応しています。プログラムされた値がハードウェアでサポートされている値と正確に等しくない場合は、次に利用可能なサポートされている値に切り上げられます。IOUT_OC_FAULT_LIMIT にはデバイスごとに 8A 未満の値を書き込むことができますが、デバイスごとに 8A 未満の値はハードウェアで 8A として実装されています。TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。パワー サイクルまたは NVM の保存または復元動作後、その値は最も近い NVM でサポートされている値に丸められます。NVM は、0.25A 刻みで最大 62A の値に対応しています。

Copyright © 2025 Texas Instruments Incorporated

7.42 (4Fh) OT_FAULT_LIMIT

CMD アドレス	4Fh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

OT_FAULT_LIMIT コマンドは、過熱フォルト状態を引き起こす温度制限値を摂氏で設定します。

過熱イベントに対するコンバータの応答を OT_FAULT_RESPONSE で説明します。

図 7-41. (4Fh) OT_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
OTF_EXP					OTF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OTF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-41. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	OTF_ EXP	RW	00000b	線形形式の 2 の補数指数
10:0	OTF_ MAN	RW	NVM	線形形式の 2 の補数仮数部。次のテキストを参照してください。

(4Fh) OT_FAULT_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(4Fh) OT_FAULT_LIMIT コマンドは、TPSM8D6C24 内部テレメトリ システムを使用して実装されています。その結果、線形形式を使用して、このコマンドの値を非常に高分解能でプログラムできます。ただし、TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。パワー サイクルまたは NVM の保存または復元動作後、その値は最も近い NVM でサポートされている値に復元されます。NVM は、1°C 刻みで 0°C から 160°C までの値をサポートしています。255°C の値をプログラミングすると、オンダイのバンドギャップ サーマル シャットダウンを無効化せずに、プログラマブルな過熱フォルト制限値が無効化されます。

Copyright © 2025 Texas Instruments Incorporated

7.43 (50h) OT_FAULT_RESPONSE

CMD アドレス	50h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

OT_FAULT_RESPONSE コマンドは、過熱故障に応答してどのアクションを実行するかをデバイスに指示します。過熱故障がトリガされると、コンバータは次のデータ バイトに従って応答し、以下の動作が実行されます。

- STATUS_BYTE の TEMP ビットを設定します。
- STATUS_TEMPERATY レジスタの OTF ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

OT フォルト ヒステリシスを(51h) OT_WARN_LIMIT によって設定します。(8Dh) READ_TEMPERATURE_1 が(51h) OT_WARN_LIMIT を下回る場合、過熱故障状態は解除され、(50h) OT_FAULT_RESPONSE で選択した場合、再起動が許可されます。(51h) OT_WARN_LIMIT が(4Fh) OT_FAULT_LIMIT より高い値にプログラムされている場合は、代わりにデフォルトの 20°C ヒステリシスが使用されます。

図 7-42. (50h) OT_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OTF_RESP		OT_RETRY			OT_DELAY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-42. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	OTF_RESP	RW	NVM	過熱故障応答 00b: 無視。中断せずに動作を継続します。 01b: 遅延シャットダウンは 10ms × OT_DELAY の間、動作を継続します。OT_FAULT が引き続き存在する場合は、OT_RETRY に従ってシャットダウンして再起動します。 10b: 即時シャットダウン。OT_RETRY に従って、シャットダウンして再起動します。 11b: 温度が OT_WARN_LIMIT を下回るまでデバイスをシャットダウンし、その後 OT_RETRY* に従って再起動します。
5:3	OT_RETRY	RW	NVM	過熱リトライ 0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。再起動の試行に 1～6 回失敗した後は、再起動しないでください (ラッチオフ)。温度が OT_WARN_LIMIT を上回っているときに発生した再起動試行は観測できませんが、カウントされます。 7d: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	OT_DELAY	RW	NVM	遅延およびヒカップ後の応答の過熱遅延時間 0d: 10ms のシャットダウン遅延、ヒカップは TON_RISE に等しく、ヒカップ遅延は TON_RISE に相当します 1d ～ 7d: シャットダウン遅延は 1 ～ 7ms、HICCUP は TON_RISE の 2 倍 ～ 4 倍に相当します

Copyright © 2025 Texas Instruments Incorporated

(50h) OT_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

*(50h) OT_FAULT_RESPONSE OTF_RESP (ビット 7:6) が 11b に設定されている場合、温度が(51h) OT_WARN_LIMIT を下回るまでシャットダウンします。温度が(4Fh) OT_FAULT_LIMIT から(03h) CLEAR_FAULTS の範囲内で(51h) OT_WARN_LIMIT コマンドを発行すると、(02h) ON_OFF_CONFIG に従って温度が(4Fh) OT_FAULT_LIMIT を超えて上昇するかディスエーブルまたはイネーブルになるまで、TPSM8D6C24 は OT FAULT 状態にとどまる可能性があります。

(50h) OT_FAULT_RESPONSE が OT_FAULT を無視するように構成されており、デバイスを有効にしたときに OT_FAULT が存在する場合、デバイスは起動しません。起動時に部品が OT_FAULT の電位を無視できるように、起動時に考えられる最大温度よりも高い値(4Fh) OT_FAULT_LIMIT を設定することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

7.44 (51h) OT_WARN_LIMIT

CMD アドレス	51h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

OT_WARN_LIMIT コマンドは、過熱警告アラームを示すユニットの温度を摂氏で設定します。単位は °C です。

過熱故障がトリガされると、コンバータは次のデータ バイトに従って応答し、以下の動作が実行されます。

- STATUS_BYTE の TEMP ビットを設定します。
- STATUS_TEMPERATY レジスタの OTW ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-43. (51h) OT_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
OTW_EXP					OTW_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OTW_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-43. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	OTW_ EXP	RW	00000b	線形形式の 2 の補数指数
10:0	OTW_ MAN	RW	NVM	線形形式の 2 の補数仮数部。次のテキストを参照してください。

(51h) OT_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

コマンド解決と NVM の保存または復元動作

(51h) OT_WARN_LIMIT コマンドは、TPSM8D6C24 内部テレメトリシステムを使用して実装されています。その結果、線形形式を使用して、このコマンドの値を非常に高分解能でプログラムできます。ただし、TPSM8D6C24 では、このコマンドに対して NVM でバックアップされたオプションは限定的です。パワー サイクルまたは NVM の保存または復元動作後、その値は最も近い NVM でサポートされている値に復元されます。NVM は、1°C 刻みで 0°C から 160°C までの値をサポートしています。OT_WARN_LIMIT を 255°C の値に設定すると、OT_WARN_LIMIT 関数は無効化されます。

OT_WARN_LIMIT は、OT_FAULT_LIMIT フォルトにヒステリシスを提供するために使われます。OT_WARN_LIMIT が OT_FAULT_LIMIT よりも大きくプログラムされている場合 (値 255°C を使って OT_WARN_LIMIT を無効にすることを含む)、代わりにデフォルトのヒステリシス 20°C が使われます。

Copyright © 2025 Texas Instruments Incorporated

7.45 (55h) VIN_OV_FAULT_LIMIT

CMD アドレス	55h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(55h) VIN_OV_FAULT_LIMIT コマンドは、VIN_OV_FAULT が宣言されたときの PVIN 電圧 (ボルト単位) を設定します。検出された VIN_OV_FAULT に対する応答は、(56h) VIN_OV_FAULT_RESPONSE の設定によって決まります。(55h) VIN_OV_FAULT_LIMIT は、通常、入力電圧が過剰な事象でスイッチングを停止するために使用されます。その結果、SW ノードのリンギングによってパワー FET に過大なストレスがかかり、損傷する可能性があります。

図 7-44. (55h) VIN_OV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VINOVF_EXP					VINOVF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VINOVF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-44. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VINOVF_EXP	RW	11110b	線形形式の 2 の補数指数
10:0	VINOVF_MAN	RW	NVM	線形形式の 2 の補数仮数部

(55h) VIN_OV_FAULT_LIMIT を対応している範囲外に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。(55h) VIN_OV_FAULT_LIMIT は、4V ～ 20V の値に 0.25V 刻みで対応しています。電源を入れ直したり、保存 / 復元したりすると、(55h) VIN_OV_FAULT_LIMIT は対応している最も近い値に復元されます。

Copyright © 2025 Texas Instruments Incorporated

7.46 (56h) VIN_OV_FAULT_RESPONSE

CMD アドレス	56h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VIN_OV_FAULT_RESPONSE コマンドは、PVIN 過電圧故障に応答してどのアクションを実行するかをデバイスに指示します。PVIN 過電圧フォルトがトリガされると、コンバータは次のデータバイトに従って応答し、以下の動作が実行されます。

- STATUS_BYTE レジスタに上記以外を設定します。
- STATUS_WORD レジスタの上位バイト内の INPUT ビットを設定します。
- STATUS_INPUT レジスタの VIN_OV ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-45. (56h) VIN_OV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VINOVF_RESP		VINOVF_RETRY			VIN_OVF_DLY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-45. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	VIN_OVF_RESP	RW	NVM	PVIN 過電圧フォルト応答 00b: 無視。中断せずに動作を継続します。 01b: 遅延シャットダウンは、VIN_OVF_DLY で定義された数のスイッチング サイクルにわたって動作を継続します。フォルトが解消されない場合は、VIN_OV_RETRY に従ってシャットダウンし、再起動します。 10b: 即時シャットダウン。VIN_OV_RETRY に従って、シャットダウンして再起動します。 11b: 無効またはサポートされていません
5:3	VIN_OVF_RETRY	RW	NVM	PVIN 過電圧リトライ 0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。再起動の試行に 1～6 回失敗した後は、再起動しないでください (ラッチオフ)。PVIN 電圧が VIN_OV_FAULT_LIMIT を上回っているときに発生する再起動試行は観測できませんが、カウントされます。 7d: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	VIN_OVF_DLY	RW	NVM	遅延およびヒカップ後の応答に対する PVIN 過電圧遅延時間 0d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 1d: シャットダウン遅延 1 PWM_CLK、ヒカップは TON_RISE に等しい 2d ～ 4d: シャットダウン遅延 3 PWM_CLK、ヒカップは TON_RISE の 2 ～ 4 倍に等しい 5d ～ 7d: シャットダウン遅延 7 PWM_CLK、ヒカップは TON_RISE の 5 ～ 7 倍に等しい

(56h) VIN_OV_FAULT_RESPONSE が VIN_OV_FAULT を無視するように構成されており、デバイスを有効にしたときに VIN_OV_FAULT が存在する場合、デバイスは起動しません。起動時に部品が VIN_OV_FAULT の電位を無視するように、起動時に印加される可能性のある最大入力電圧よりも高い値(55h) VIN_OV_FAULT_LIMIT を設定します。

Copyright © 2025 Texas Instruments Incorporated

(56h) VIN_OV_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.47 (58h) VIN_UV_WARN_LIMIT

CMD アドレス	58h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(58h) VIN_UV_WARN_LIMIT コマンドは、入力電圧検出器が入力低電圧警告を示す原因となる PVIN ピン電圧の値をボルト単位で設定します。

(58h) VIN_UV_WARN_LIMIT は位相コマンドであり、スタック内の各相が独立して入力低電圧警告を検出して報告します。

入力低電圧警告状態に応答して、TPSM8D6C24 は以下のアクションを実行します。

- STATUS_BYTE に上記以外のビットを設定します。
- STATUS_WORD の INPUT ビットを設定します。
- STATUS_INPUT レジスタの VIN_UVW ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-46. (58h) VIN_UV_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
VINUVW_EXP					VINUVW_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VINUVW_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-46. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	VINUVW_EXP	RW	11110b	線形形式の 2 の補数指数
10:0	VINUVW_MAN	RW	NVM	線形形式の 2 の補数仮数部 サポートされる値は 2.5V ～ 15.5V

(58h) VIN_UV_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.48 (60h) TON_DELAY

CMD アドレス	60h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TON_DELAY コマンドは、スタート状態を受信した時点から (ON_OFF_CONFIG コマンドでプログラムされた状態で) 出力電圧の上昇を開始するまでの時間をミリ秒単位で設定します。

図 7-47. (60h) TON_DELAY レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
TONDLY_EXP					TONDLY_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TONDLY_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-47. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	TONDLY_EXP	RW	11111b	線形形式の 2 の補数指数。
10:0	TONDLY_MAN	RW	NVM	線形形式 2 の補数仮数部。 TON_DELAY の場合でも、約 100µs の最小ターンオン遅延が観測されます。この間、デバイスは電源オンごとに自らを初期化します。

(60h) TON_DELAY を対応している範囲外に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。TON_DELAY は、0ms ～ 127.5ms (0.5ms 刻み) の値に対応しています。電源を入れ直したり、保存 / 復元したりすると、TON_DELAY は対応している最も近い値に復元されます。

中断された TON_DELAY、TON_RISE、TOFF_FALL、TOFF_DELAY 時間に対するコーナー ケースの処理については、*スタートアップとシャットダウン*動作セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.49 (61h) TON_RISE

CMD アドレス	61h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

TON_RISE コマンドは、出力の上昇開始から、電圧がレギュレーション帯域に入るまでの時間をミリ秒単位で設定します。これにより、ソフトスタート期間中のリファレンス DAC のスルーレートを実質的に設定できます。目標出力電圧または VOUT_SCALE_LOOP の値に関係なく、立ち上がり時間は TON_RISE と等しいことに注意してください。

リファレンス DAC のスルーレート制御の分解能にハードウェアの制限があるため、VOUT_COMMAND 電圧が高い場合に TON_RISE 時間を長くすると、プログラムされた TON_RISE 時間にいくつかの量子化誤差が生じることがあります。その結果、複数の TON_RISE 時間が同じ VOUT スロープや TON_RISE 時間を発生させる場合があり、TON_RISE 設定が異なっていても同一の動作となる、または同じ TON_RISE 設定でも VOUT_COMMAND 電圧が異なると、異なる TON_RISE 時間が得られる場合があります。

図 7-48. (61h) TON_RISE レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
TONR_EXP					TONR_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TONR_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-48. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	TONR_ EXP	RW	11110b	線形形式の 2 の補数指数
10:0	TONR_ MAN	RW	NVM	線形形式の 2 の補数仮数部

(61h) TON_RISE を対応している範囲外に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。TON_RISE は、0ms ～ 31.75ms (0.25ms 刻み) の範囲に対応しています。0.5 ms 未満の値は 0.5 ms として対応されます。

Copyright © 2025 Texas Instruments Incorporated

7.50 (62h) TON_MAX_FAULT_LIMIT

CMD アドレス	62h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TON_MAX_FAULT_LIMIT コマンドは、ユニットが目標電圧に達しずに出力の電源オンを試みることができる時間の上限をミリ秒単位で設定します。

TON_MAX 時間は、VOSNS ～ GOSNS の READ_VOUT テレメトリによって検出される、TON_DELAY の終了からプログラムされた出力電圧の 85% に達するまでの最大許容時間として定義されます。

TPSM8D6C24 低電圧フォルト制限は、TON_RISE の終了時に有効にされます。その結果、VOUT_UV_FAULT_RESPONSE が無視に設定されていない限り、「実数」TON_MAX フォルト (出力電圧が十分に急上昇しなかったなど) の場合、UV フォルトと関連する応答は常に TON_MAX より前になります。

TON_MAX フォルト イベントに対するコンバータの応答を TON_MAX_FAULT_RESPONSE で説明します。

図 7-49. (62h) TON_MAX_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
TONMAXF_EXP					TONMAXF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TONMAXF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-49. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	TONMAXF_EXP	RW	11111b	線形形式の 2 の補数指数
10:0	TONMAXF_MAN	RW	NVM	線形形式の 2 の補数仮数部

(62h) TON_MAX_FAULT_LIMIT を書き込もうとすると、無効またはサポートされていないコマンドと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。TON_MAX_FAULT_LIMIT は、0ms ～ 127ms (0.5ms 刻み) の値に対応しています。

*注: TON_MAX_FAULT を 0ms に設定すると、TON_MAX 機能が無効になります。

Copyright © 2025 Texas Instruments Incorporated

7.51 (63h) TON_MAX_FAULT_RESPONSE

CMD アドレス	63h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TON_MAX_FAULT_RESPONSE コマンドは、TON_MAX フォルトに応答してどのアクションを実行するかをデバイスに指示します。入力 TON_MAX フォルトがトリガされると、コンバータは次のバイトごとに応答し、以下の動作が実行されます。

- STATUS_BYTE に上記以外のビットを設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT に TON_MAX ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

図 7-50. (63h) TON_MAX_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TONMAX_RESP		TONMAX_RETRY			TONMAX_DELAY		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-50. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	TONMAX_RESP	RW	NVM	TON_MAX フォルト応答 00b: 無視。中断せずに動作を継続します。 01b: TONMAX_DELAY で指定された遅延時間にわたって動作を継続します。フォルトが解消しない場合は、TONMAX_RETRY に従ってシャットダウンして再起動します。 10b: TONMAX_RETRY に従ってすぐにシャットダウンして再起動します。その他: 無効またはサポートされていません
5:3	TONMAX_RETRY	RW	NVM	TON_MAX フォルト リトライ 0d: 再起動しないでください (ラッチオフ)。 1d ～ 6d: シャットダウン後、1 ヒカップ期間待機し、最大 1 ～ 6 回再起動を試みます。 7D: シャットダウン後、1 ヒカップ期間待機し、オフがコマンドされるか、起動が成功するまで、無制限に再起動を試みます。
2:0	TONMAX_DELAY	RW	NVM	遅延およびヒカップの後の応答の TON_MAX 遅延時間 0d: シャットダウン遅延 1ms、ヒカップは TON_RISE に等しい 1d ～ 7d: シャットダウン遅延 1 ～ 7ms。ヒカップは TON_RISE の 2 ～ 7 倍に相当します。

(63h) TON_MAX_FAULT_RESPONSE を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

Copyright © 2025 Texas Instruments Incorporated

7.52 (64h) TOFF_DELAY

CMD アドレス	64h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TOFF_DELAY コマンドは、停止状態が受信されたとき (ON_OFF_CONFIG コマンドでプログラムされたもの)、ユニットが出力へのエネルギー伝達を停止するまでの時間をミリ秒単位で設定します。

図 7-51. (64h) TOFF_DELAY レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
TOFFDLY_EXP					TOFFDLY_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TOFFDLY_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-51. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	TOFFDLY_EXP	RW	11111b	線形形式の 2 の補数指数
10:0	TOFFDLY_MAN	RW	NVM	線形形式の 2 の補数仮数部

(64h) TOFF_DELAY を対応している範囲外に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。TOFF_DELAY は、0ms ～ 127.5ms (0.5ms 刻み) の値に対応しています。TOFF_DELAY が 0ms であっても、TOFF_DELAY に最大 50µs の内部遅延が追加されます。

Copyright © 2025 Texas Instruments Incorporated

7.53 (65h) TOFF_FALL

CMD アドレス	65h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TOFF_FALL コマンドは、ターンオフ遅延時間の終了から電圧が 0 にコマンドされるまでの時間をミリ秒単位で設定します。このコマンドは、制御された速度で出力電圧を低下させるのに十分な電流を吸収できる出力を持つデバイスでのみ使用できます。これにより、ソフト オフ期間中のリファレンス DAC のスルーレートが実質的に設定されます。立ち下がり時間は、目標出力電圧に基づくスルーレートの選択のために、目標出力電圧の値または VOUT_SCALE_LOOP に関係なく、TOFF_FALL と等しくなります。

図 7-52. (65h) TOFF_FALL レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
TOFFF_EXP					TOFFF_MAN		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
TOFFF_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-52. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	TOFFF_EXP	RW	11110b	線形形式の 2 の補数指数。指数 = –2、LSB = 0.25ms
10:0	TOFFF_MAN	RW	NVM	線形形式の 2 の補数仮数部

(65h) TOFF_FALL を対応している範囲外に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。(65h) TOFF_FALL は、0.5ms ～ 31.75ms (0.25ms 刻み) の値に対応しています。0.5ms 未満の値は 0.5ms として実装されます。

リファレンス DAC のスルーレート制御の分解能にハードウェアの制限があるため、(21h) VOUT_COMMAND 電圧が高い場合に TOFF_FALL 時間を長くすると、プログラムされた TOFF_FALL 時間にいくつかの量子化誤差が生じることがあります。その結果、複数の TOFF_FALL 時間が同じ VOUT スロープや TOFF_FALL 時間を発生させる場合があり、TOFF_FALL 設定が異なっていても同一の動作となる、または同じ TOFF_FALL 設定でも (21h) VOUT_COMMAND 電圧が異なると、異なる TOFF_FALL 時間が得られる場合があります。

Copyright © 2025 Texas Instruments Incorporated

7.54 (78h) STATUS_BYTE

CMD アドレス	78h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_BYTE コマンドは 1 バイトの情報を返し、過電圧、過電流、過熱などの最も重要な故障の概要も記載しています。次の表に、サポートされている STATUS_BYTE メッセージの内容を示します。STATUS_BYTE は、STATUS_WORD の下位バイトと同じです。STATUS_BYTE の条件は要約情報のみです。故障が発生した場合、他のどの STATUS レジスタをチェックする必要があるかをホストに通知するためにアサートされます。これらのビットの設定とクリアは、各ステータスレジスタで行う必要があります。たとえば、STATUS_VOUT の VOUT_OVF をクリアすると、STATUS_BYTE の VOUT_OV もクリアされます。

図 7-53. (78h) STATUS_BYTE レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	R	R	R	R	R	R
BUSY	OFF	VOUT_OV	IOUT_OC	VIN_UV	TEMP	CML	上記に当てはまらない

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-53. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	BUSY	RW	0b	0b: デバイスがビジーで応答できないため、フォルトが宣言されませんでした。 1b.デバイスがビジーで応答できないため、フォルトが宣言されました。
6	OFF	R	0b	LIVE (ラッチなし) ステータス ビット 0b.ユニットは有効であり、電力を変換しています。 1b: このユニットは、単に有効になっていないなど、何らかの理由により電力変換を実行していません。
5	VOUT_ OV	R	0b	0b: 出力過電圧に関する故障は発生していません。 1b: 出力過電圧に関する故障が発生しました。
4	IOUT_ OC	R	0b	0b: 出力過電流に関する故障は発生していません。 1b: 出力過電流に関する故障が発生しました。
3	VIN_ UV	R	0b	0b: 入力低電圧に関する故障は発生していません。 1b: 入力低電圧フォルトが発生しました。
2	TEMP	R	0b	0b: 温度に関する故障 / 警告は発生していません。 1b: 温度に関する故障 / 警告が発生した場合、ホストは詳細に関して STATUS_TEMPERATURE を確認する必要があります。
1	CML	R	0b	0b: 通信、メモリ、ロジックに関する故障は発生していません。 1b: 通信、メモリ、ロジックに関する故障が発生した場合、ホストは詳細に関して STATUS_ CML を確認する必要があります。
0	上記に当てはまらない	R	0b	0b: 上記以外の故障は発生していません。 1b: 上記以外の故障が発生しました。詳細について、ホストは STATUS_ WORD をチェックする必要があります。

STATUS_BYTE に 80h を書き込むと、BUSY ビットがクリアされます。

Copyright © 2025 Texas Instruments Incorporated

7.55 (79h) STATUS_WORD

CMD アドレス	79h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_WORD コマンドは 2 バイトの情報を返し、過電圧、過電流、過熱などの最も重要な故障の概要も記載しています。STATUS_WORD の下位バイトは、STATUS_BYTE と同じレジスタです。次の表に、サポートされている STATUS_WORD メッセージの内容を示します。STATUS_BYTE の条件は要約情報のみです。

図 7-54. (79h) STATUS_WORD レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
VOUT	IOUT	入力	メーカー	PGOOD	0	その他	0
7	6	5	4	3	2	1	0
RW	R	R	R	R	R	R	R
STATUS_BYTE							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-54. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	VOUT	R	0b	0b: 出力電圧関連の故障は発生*していません*。 1b: 出力電圧に関する故障が発生しました。詳細について、ホストは STATUS_ VOUT をチェックする必要があります。
14	IOUT	R	0b	0b: 出力電流関連の故障は発生*していません*。 1b: 出力電流に関する故障が発生しました。詳細について、ホストは STATUS_ IOUT をチェックする必要があります。
13	入力	R	0b	0b: 入力に関連する故障は発生*していません*。 1b: 入力に関する故障が発生しました。詳細について、ホストは STATUS_ INPUT をチェックする必要があります。
12	メーカー	R	0b	0b: メーカー定義の故障は発生*していません*。 1b: メーカー定義の故障が発生しました。詳細について、ホストは STATUS_ MFR_ SPECIFIC をチェックする必要があります。
11	PGOOD	R	0b	LIVE (ラッチなし) ステータス ビット。PGOOD/RESET_B ピンがアサートされる値を常に追従します。 0b: 出力電圧はレギュレーション ウィンドウ内にあります。PGOOD ピンはデアサートされます。 1b: 出力電圧がレギュレーション ウィンドウの範囲*外*です。PGOOD ピンはアサートされます。
10	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
9	その他	R	0b	0b: 他の故障は発生していません。 1b: 他の故障が発生した場合、ホストは詳細に関して STATUS_ OTHER を確認する必要があります。
8	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
7:0	STATUS_ BYTE	RW	00h	常に STATUS_ BYTE の値と同じです。

Copyright © 2025 Texas Instruments Incorporated

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

STATUS_WORD に 0080h を書き込むと、設定されている場合は BUSY ビットがクリアされます。STATUS_WORD に 0180h を書き込むと、設定されている場合は BUSY ビットと UNKNOWN ビットの両方がクリアされます。

Copyright © 2025 Texas Instruments Incorporated

7.56 (7Ah) STATUS_VOUT

CMD アドレス	7Ah
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_VOUT コマンドは、次のような 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (7Ah) STATUS_VOUT レジスタに 1b を書き込むことで個別にクリアできます。

図 7-55. (7Ah) STATUS_VOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	R	R
VOUT_OVF	VOUT_OVW	VOUT_UVW	VOUT_UVF	VOUT_MIN_MAX	TON_MAX	0	0

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-55. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	VOUT_ OVF	RW	0b	0b:VOUT OV フォルトが発生していないことを示すラッチ フラグ。 1b:VOUT OV フォルトが発生したことを示すラッチ フラグ。 注:VOUT_ OVF のマスク ビットは、固定、トラッキング、およびプリバイアス OVP をマスクします。これらは、SMBALERT_ MASK_ EXTENDED で個別に制御できます。
6	VOUT_ OVW	RW	0b	0b:VOUT OV 警告が発生していないことを示すラッチ フラグ。 1b:VOUT OV 警告が発生したことを示すラッチフラグ。 注:VOUT_ OVF のマスク ビットは、固定およびトラッキング過電圧保護をマスクします。
5	VOUT_ UVW	RW	0b	0b:VOUT UV 警告が発生していないことを示すラッチ フラグ。 1b:VOUT UV 警告が発生したことを示すラッチ フラグ。
4	VOUT_ UVF	RW	0b	0b:VOUT UV フォルトが発生していないことを示すラッチ フラグ。 1b:VOUT UV フォルトが発生したことを示すラッチ フラグ。
3	VOUT_ MIN_MAX	RW	0b	0b:VOUT_ MIN_MAX が発生していないことを示すラッチ フラグ。 1b:VOUT_ MIN_MAX が発生したことを示すラッチ フラグ。
2	TON_ MAX	RW	0b	0b:TON_ MAX が発生していないことを示すラッチ フラグ。 1b:TON_ MAX が発生したことを示すラッチ フラグ。
1:0	非対応	R	00b	サポートされておらず、常に 00b に設定されています。

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

7.57 (7Bh) STATUS_IOUT

CMD アドレス	7Bh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_IOUT コマンドは、次のような 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (7Bh) STATUS_IOUT レジスタに 1b を書き込むことで個別にクリアできます。

図 7-56. (7Bh) STATUS_IOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	RW	RW	R	R	R	R
IOUT_OCF	0	IOUT_OCW	0	0	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-56. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	IOUT_ OCF	RW	0b	0b: IOUT OC フォルトが発生していないことを示すラッチ フラグ。 1b: IOUT OC フォルトが発生したことを示すラッチ フラグ。
6	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
5	IOUT_ OCW	RW	0b	0b: IOUT OC 警告が発生していないことを示すラッチ フラグ。 1b: IOUT OC 警告が発生したことを示すラッチ フラグ。
4:0	非対応	R	0b	サポートされておらず、常に 00000b に設定されています。

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

Copyright © 2025 Texas Instruments Incorporated

7.58 (7Ch) STATUS_INPUT

CMD アドレス	7Ch
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_INPUT コマンドは、次のような 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (7Ch) STATUS_INPUT レジスタに 1b を書き込むことで個別にクリアできます。

図 7-57. (7Ch) STATUS_INPUT レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	RW	R	RW	R	R	R
VIN_OVF	0	VIN_UVW	0	LOW_VIN	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-57. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	VIN_OVF	RW	0b	0b: PVIN OV フォルトが発生していないことを示すラッチ フラグ。 1b: PVIN OV フォルトが発生したことを示すラッチ フラグ。
6	VIN_OVW	RW	0b	サポートされておらず、常に 0b に設定されています。
5	VIN_UVW		0b	0b: PVIN UV 警告が発生したことを示すラッチ フラグ。 1b: PVIN UV 警告が発生したことを示すラッチ フラグ。
4	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
3	LOW_ VIN	RW	0b	LIVE (ラッチなし) ステータス ビット。VIN_ON と VIN_OFF に対する PVIN の値を示します。 0b: PVIN はオン。 1b: PVIN はオフ。
2:0	非対応	R	000b	サポートされておらず、常に 000b に設定されています。

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

LOW_VIN 対 VIN_UVW

LOW_VIN ビットは情報のみ (SMBALERT をアサートしない) フラグであり、変換を可能にするために、PVIN 電圧が VIN_ON より低いか、または VDD5 電圧が UVLO よりも低いため、デバイスが電力を変換していないことを示しています。LOW_VIN は、リセット時に最初にアサートされますが、SMBALERT をアサートしません。

VIN_UVW ビットはラッチ ステータス ビットで、入力電圧の問題をホストにアラート送信するようにトリガされると、SMBALERT をアサートすることがあります。VIN_UVW は、検出された入力電圧が VIN_ON スレッショルドを最初に超えるまでマスクされます。

Copyright © 2025 Texas Instruments Incorporated

7.59 (7Dh) STATUS_TEMPERATURE

CMD アドレス	7Dh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_TEMPERATURE コマンドは、次のような 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (7Dh) STATUS_TEMPERATURE レジスタに 1b を書き込むことで個別にクリアできます。

図 7-58. (7Dh) STATUS_TEMPERATURE レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	R	R	R	R	R	R
OTF	OTW	0	0	0	0	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-58. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	OTF	RW	0b	0b: OT フォルトが発生していないことを示すラッチ フラグ。 1b: OT フォルトが発生したことを示すラッチ フラグ。
6	OTW	RW	0b	0b: OT 警告が発生していないことを示すラッチ フラグ。 1b: OT 警告が発生したことを示すラッチ フラグ。
5:0	非対応	R	0d	サポートされておらず、常に 000000b に設定されています。

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

Copyright © 2025 Texas Instruments Incorporated

7.60 (7Eh) STATUS_CML

CMD アドレス	7Eh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_CML コマンドは、次のように、通信、ロジック、メモリに関連する内容を含む 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (7Eh) STATUS_CML レジスタに 1b を書き込むことで個別にクリアできます。

図 7-59. (7Eh) STATUS_CML レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	R	RW	R
IVC	IVD	PEC	MEM	PROC_FLT	0	COMM	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-59. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	IVC	RW	0b	0b: 無効またはサポートされていないコマンドが受信*されなかった*ことを示すラッチ フラグ。 1b: 無効またはサポートされていないコマンドが受信されたことを示すラッチ フラグ。
6	IVD	RW	0b	0b: 無効またはサポートされていないデータが受信*されなかった*ことを示すラッチ フラグ。 1b: 無効またはサポートされていないデータが受信されたことを示すラッチ フラグ。
5	PEC	RW	0b	0b: パケット エラー チェックに失敗*がない*ことを示すラッチ フラグ。 1b: パケット エラー チェックに失敗したことを示すラッチ フラグ。
4	MEM	RW	0b	0b: メモリ エラーが検出*されなかった*ことを示すラッチ フラグ。 1b: メモリ エラーが検出されたことを示すラッチ フラグ。
3	PROC_FLT	RW	0b	0b: ロジック コア エラーが検出*されなかった*ことを示すラッチ フラグ。 1b: ロジック コア エラーが検出されたことを示すラッチ フラグ。
2	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
1	COMM	RW	0b	0b: 通信エラーが検出*されなかった*ことを示すラッチ フラグ。 1b: 通信エラーの検出を示すラッチ フラグ。
0	非対応	R	0b	サポートされておらず、常に 0b に設定されています。

これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

ループ フォロワーは、バックチャネル通信の問題を、位相の CML 故障として報告します。

対応するビット STATUS_BYTE は、このコマンドでサポートされているビットの論理和です。このコマンドのフォルト条件が発生すると、STATUS_BYTE の対応するビットが更新されます。同様に、このバイトが個別にクリアされると (たとえば、ラッチ状態に 1b を書き込むことで)、STATUS_BYTE の対応するビットがクリアされます。

Copyright © 2025 Texas Instruments Incorporated

7.61 (7Fh) STATUS_OTHER

CMD アドレス	7Fh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_OTHER コマンドは、他の STATUS バイトに指定されていない情報を含む、1 つのデータバイトを返します。

図 7-60. (7Fh) STATUS_OTHER レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	RW
0	0	0	0	0	0	0	FIRST_ TO_ALERT

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-60. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:1	予約済み	R	0h	予約済み
0	FIRST_ TO_ ALERT	RW	0b	0b: このデバイスが SMBALERT を最初にアサートしたもの *ではない* ことを示すラッチ フラグ。これは、SMBALERT 信号がアサートされない (またはクリアされている) か、アサートされているかのいずれかを意味しますが、このデバイスがバス上で最初にアサートされたものではありません。 1b: このデバイスが SMBALERT を最初にアサートしたことを示すラッチフラグ。

対応するビット STATUS_BYTE は、このコマンドでサポートされているビットの論理和です。このコマンドのフォルト条件が発生すると、STATUS_BYTE の対応するビットが更新されます。同様に、このバイトが個別にクリアされると (たとえば、ラッチ状態に 1b を書き込むことで)、STATUS_BYTE の対応するビットをクリアする必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.62 (80h) STATUS_MFR_SPECIFIC

CMD アドレス	80h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_MFR_SPECIFIC コマンドは、次のように、通信、ロジック、メモリに関連する内容を含む 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.4 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされるか、またはそれぞれの位置にある (80h) STATUS_MFR_SPECIFIC レジスタに 1b を書き込むことで個別にクリアできます。

図 7-61. (80h) STATUS_MFR_SPECIFIC レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	R	R	RW	RW	RW	R
POR	SELF	0	0	リセット	BCX	SYNC	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-61. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	POR	RW	0b	0: パワーオン リセット フォルトは検出されていません。 1: パワーオン リセット フォルトが検出されました。 このビットは、内部トリム値のパワーオン セルフチェック、USER_STORE NVM チェックサム、またはピン検出によって無効な結果が報告される場合に設定されます。
6	SELF	R	0b	LIVE (ラッチなし) ステータス ビット。電源投入時のセルフチェックのステータスを表示します。 0b: 電源投入時のセルフチェックが完了しました。予想されるすべての BCX ループ フォロワーが応答しました。 1b: 電源投入時のセルフチェックを実行中です。1 つ以上の BCX ループ フォロワーが応答しません。
5:4	非対応	R	00b	サポートされておらず、常に 00b に設定されています。
3	リセット	RW	0b:	0b: RESET_ VOUT イベントは発生*していません*。 1b: RESET_ VOUT イベントが発生しました。
2	BCX	RW	0b	0b: BCX フォルト イベントは発生*していません*。 1b: BCX フォルト イベントが発生しました。
1	SYNC	RW	0b	0b: SYNC 障害は検出されていません。 1b: SYNC 障害が検出されました。
0	非対応	R	0b	サポートされておらず、常に 0b に設定されています。

PMBus 仕様に従い、STATUS レジスタのいずれかのビットに 1 を書き込むと、設定されている場合、そのビットはクリアされます。これらのビットはすべて SMBALERT をトリガでき、対応するビットが SMBALERT_MASK にあります。

Copyright © 2025 Texas Instruments Incorporated

7.63 (88h) READ_VIN

CMD アドレス	88h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	なし
更新レート:	1ms
対応範囲:	0V～24V

READ_VIN コマンドは、出力電流をアンペア単位で返します。

図 7-62. (88h) READ_VIN レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
READ_VIN_EXP					READ_VIN_MAN		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_VIN_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-62. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	READ_ VIN_ EXP	RW	入力電圧	線形形式の 2 の補数指数
10:0	READ_ VIN_ MAN	RW	入力電圧	線形形式の 2 の補数仮数部

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

PHASE 動作

PHASE = FFh の場合、READ_VIN はループ コントローラ デバイスの PVIN 電圧を返します。

PHASE ! = FFh の場合、READ_VIN は電流 PHASE に割り当てられているデバイスの PVIN 電圧を返します。

Copyright © 2025 Texas Instruments Incorporated

7.64 (8Bh) READ_VOUT

CMD アドレス	8Bh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE ごと
位相:	あり
NVM バックアップ:	なし
更新レート:	1ms
対応範囲	0V ～ 6.0V

READ_VOUT コマンドは、実際の測定された出力電圧を返します。

図 7-63. (8Bh) READ_VOUT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
READ_VOUT							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_VOUT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-63. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	READ_VOUT	RW	現在のステータス	VOUT_ MODE ごとの出力電圧読み取り値

READ_VOUT は、デバイスがループ フォロワーとして構成されている場合 (GOSNS = BP1V5) 、AGND を基準として VOSNS ピンの電圧を通知します。この構成では、VOSNS 電圧を適切に報告するため、VOUT_SCALE_LOOP は無視され、0V ～ 0.75V の電圧が維持されるように VOSNS を外部でスケーリングする必要があります。

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.65 (8Ch) READ_IOUT

CMD アドレス	8Ch
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	なし
更新レート:	1ms
対応範囲:	位相あたり –15A ～ 90A

READ_IOUT コマンドは、出力電流をアンペア単位で返します。

図 7-64. (8Ch) READ_IOUT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
READ_IOUT_EXP					READ_IOUT_MAN		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_IOUT_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-64. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	READ_ IOUT_ EXP	RW	現在のステータス	線形形式の 2 の補数指数
10:0	READ_ IOUT_ MAN	RW	現在のステータス	線形形式の 2 の補数仮数部

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

PHASE 動作

PHASE = FFh の場合、READ_IOUT は、単一出力をサポートしているデバイス スタックの合計電流を返します。

PHASE ! = FFh の場合、READ_IOUT は電流 PHASE に割り当てられているデバイスの測定電流を返します。

Copyright © 2025 Texas Instruments Incorporated

7.66 (8Dh) READ_TEMPERATURE_1

CMD アドレス	8Dh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11、機能ごと
位相:	あり
NVM バックアップ:	なし
更新レート:	300 µs
対応範囲:	–40°C ～ 175°C

READ_TEMPERATURE_1 コマンドは、電力段の最高温度を摂氏で返します。

図 7-65. (8Dh) READ_TEMPERATURE_1 レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
READ_T1_EXP					READ_T1_MAN		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_T1_MAN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-65. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	READ_ T1_ EXP	RW	現在のステータス	線形形式の 2 の補数指数。LSB = 1℃
10:0	READ_ T1_ MAN	RW	現在のステータス	線形形式の 2 の補数仮数部

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

PHASE 動作

PHASE = FFh の場合、READ_TEMPERATURE_1 は単一出力をサポートしているデバイス スタック内で最も高温のデバイスの温度を返します。

PHASE ! = FFh の場合、READ_TEMPERATURE_1 は、現在の PHASE に割り当てられているデバイスの測定温度を返します。

Copyright © 2025 Texas Instruments Incorporated

7.67 (98h) PMBUS_REVISION

CMD アドレス	98h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
最大トランザクション時間:	0.25ms

PMBUS_REVISION コマンドは、デバイスが準拠している PMBus のリビジョンを読み取ります。

図 7-66. (98h) PMBUS_REVISION レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
PART_I				PART_II			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-66. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:4	PART_ I	R	0011b	0011b: PMBus Rev 1.3、Part 1 に準拠
3:0	PART_ II	R	0011b	0011b: PMBus Rev 1.3、Part 2 に準拠

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.68 (99h) MFR_ID

CMD アドレス	99h
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (3 バイト)
位相:	なし
NVM バックアップ:	EEPROM

MFR_ID コマンド、メーカー ID を含む 3 バイトでユニットをロードします。通常は、製造時に 1 回実行されます。

図 7-67. (99h) MFR_ID レジスタ マップ

23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
MFR_ID							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
MFR_ID							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
MFR_ID							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-67. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:0	MFR_ ID	RW	NVM	メーカー ID 情報用の任意に書き込み可能な 3 バイトのユーザーストア NVM。

Copyright © 2025 Texas Instruments Incorporated

7.69 (9Ah) MFR_MODEL

CMD アドレス	9Ah
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (3 バイト)
位相:	なし
NVM バックアップ:	EEPROM

MFR_MODEL コマンドは、メーカー ID を含む 3 バイトでユニットをロードします。通常は、製造時に 1 回実行されます。

図 7-68. (9Ah) MFR_MODEL レジスタ マップ

23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
MFR_MODEL							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
MFR_MODEL							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
MFR_MODEL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-68. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:0	MFR_MODEL	RW	NVM	メーカー モデル情報用の任意に書き込み可能な 3 バイトのユーザーストア NVM

Copyright © 2025 Texas Instruments Incorporated

7.70 (9Bh) MFR_REVISION

CMD アドレス	9Bh
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (3 バイト)
位相:	なし
NVM バックアップ:	EEPROM

MFR_REVISION コマンドは、メーカーのリビジョン番号を含む 3 バイトでユニットをロードします。通常は、製造時に 1 回実行されます。

図 7-69. (9Bh) MFR_REVISION レジスタ マップ

23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
MFR_REV							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
MFR_REV							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
MFR_REV							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-69. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:0	MFR_ REV	RW	NVM	メーカー リビジョン情報用の任意に書き込み可能な 3 バイトのユーザーストア NVM

7.71 (9Eh) MFR_SERIAL

CMD アドレス	9Eh
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (3 バイト)
位相:	なし
NVM バックアップ:	EEPROM

MFR_SERIAL コマンドは、メーカーのシリアル番号を含む 3 バイトでユニットをロードします。通常は、製造時に 1 回実行されます。

図 7-70. (9Eh) MFR_SERIAL レジスタ マップ

23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
MFR_SERIAL							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
MFR_SERIAL							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
MFR_SERIAL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-70. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:00	MFR_SERIAL	RW	NVM	メーカーによって割り当てられた任意の 3 バイト シリアル番号

MFR_SERIAL の値は、NVM_CHECKSUM の計算に使用される NVM メモリ ストアに含まれているため、一意の MFR_SERIAL 値を割り当てると、固有の NVM_CHECKSUM 値も得られます。

Copyright © 2025 Texas Instruments Incorporated

7.72 (ADh) IC_DEVICE_ID

CMD アドレス	ADh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (6 バイト)
位相:	なし

IC_DEVICE_ID コマンドは、PMBus インターフェイスに使用される、PMBus 内に組込まれた IC のタイプまたは型番を設定または読み取るために使用されます。

図 7-71. (ADh) IC_DEVICE_ID レジスタ マップ

47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
IC_DEVICE_ID[47:40]							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
IC_DEVICE_ID[39:32]							
31	30	29	28	27	26	25	24
R	R	R	R	R	R	R	R
IC_DEVICE_ID[31:24]							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
IC_DEVICE_ID[23:16]							
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
IC_DEVICE_ID[15:8]							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
IC_DEVICE_ID[7:0]							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-71. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
47:0	IC_ DEVICE_ ID	R	本文を参照してください。	以下の表を参照してください。

表 7-72. IC_DEVICE_ID の値

バイト番号 (ビット インデックス)	バイト 0 (7:0)	バイト 1 (15:8)	バイト 2 (23:16)	バイト 3 (31:24)	バイト 4 (39:32)	バイト 5 (47:40)
TPSM8D6C24	54h	49h	54h	6Bh	24h	41h

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.73 (AEh) IC_DEVICE_REV

CMD アドレス	AEh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (2 バイト)
位相:	なし

IC_DEVICE_REV コマンドは、IC のリビジョンの設定または読み取りに使用されます。

図 7-72. (AEh) IC_DEVICE_REV レジスタのフィールドの説明

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
MAJOR_REV				MINOR_REV			
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
SUB_MINOR_REV							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

読み取り専用コマンドへの書き込みを試みると、CML: 無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。

PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.74 (B1h) USER_DATA_01 (COMPENSATION_CONFIG)

CMD アドレス	B1h
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (5 バイト)
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	変換の無効化:オンザフライ。変換の有効化:ハードウェア更新がブロックされています。有効状態で書き込み後にハードウェアを更新するには、(15h) STORE_USER_ALL および (16h) RESTORE_USER_ALL で NVM に保存するか、AVIN を UVLO 未満まで下げてから再度上げて電源を入れ直します。

制御ループ補償を構成します。

図 7-73. (B1h) USER_DATA_01 (COMPENSATION_CONFIG) レジスタ マップ

39	38	37	36	35	34	33	32
RW	RW	RW	RW	RW	RW	RW	RW
SEL_CZI[1:0]		SEL_CPI[4:0]					SEL_CZI_MUL
31	30	29	28	27	26	25	24
R	RW	RW	RW	RW	RW	RW	RW
SEL_RVI[5:0]						SEL_CZI[3:2]	
23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
SEL_CZV[1:0]		SEL_CPV[4:0]					0
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
SEL_RVV[5:0]						SEL_CZV[3:2]	
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
0	0	SEL_GMV[1:0]		0	0	SEL_GMI[1:0]	

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-73. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
25:24、39:38	SEL_CZI[3:0]	RW	NVM	電流ループ内蔵コンデンサの値を選択します。 CZI = 6.66pF x CZI_MUL × $2^{SEL_GMI[1:0]}$ × SEL_CZI[3:0]
37:33	SEL_CPI[4:0]	RW	NVM	電流ループ フィルタ コンデンサの値を選択します。 CPI = 3.2pF × SEL_CPI[4:0]
32	SEL_CZI_MUL	RW	NVM	電流ループ積分コンデンサ乗算器の値を選択します。 0b:CZI_MUL = 1 1b:CZI_MUL = 2
31:26	SEL_RVI[5:0]	RW	NVM	電流ループの中帯域ゲイン抵抗値を選択します。 RVI = 5kΩ × SEL_RVI[5:0]
9:8、23:22	SEL_CZV[3:0]	RW	NVM	電圧ループ内蔵コンデンサの値を選択します。 CZV = 125pF × $2^{SEL_GMV[1:0]}$ × SEL_CZV[3:0]
21:17	SEL_CPV[4:0]	RW	NVM	電圧ループ フィルタ コンデンサの値を選択します。 CPV = 6.25pF × SEL_CPV[4:0]
16	予約済み	RW	NVM	予約済み、0b に設定

Copyright © 2025 Texas Instruments Incorporated

表 7-73. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
15:10	SEL_RVV[5:0]	RW	NVM	電圧ループの中帯域ゲイン抵抗値を選択します。 RVV = 5kΩ × SEL_RVV[5:0]
7:6	予約済み	RW	NVM	予約済み、00b に設定
5:4	SEL_GMV[1:0]	RW	NVM	電圧誤差の相互コンダクタンスの値を選択します。 GMV = 25µS × $2^{SEL_GMV[1:0]}$
3:2	予約済み	RW	NVM	予約済み、00b に設定
1:0	SEL_GMI[1:0]	RW	NVM	電流誤差の相互コンダクタンスの値を選択します。 GMI = 25µS × $2^{SEL_GMI[1:0]}$

(B1h) USER_DATA_01 (COMPENSATION_CONFIG)を出力変換が有効化されている間に書き込むことができますが、これらの値をハードウェアに更新するとブロックされます。制御ループで使用される値を更新するには、次の手順に従います。

- 変換を無効にしてから、(B1h) USER_DATA_01 (COMPENSATION_CONFIG)に書き込みます。
- 変換が有効化されている間に(B1h) USER_DATA_01 (COMPENSATION_CONFIG)を書き込み、(15h) STORE_USER_ALL を使用して PMBus 値を NVM に保存し、(B1h) USER_DATA_01 (COMPENSATION_CONFIG)の(EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)ビットをクリアしてから、AVIN を入れ直すか、(16h) RESTORE_USER_ALL コマンドを使用します。

(B1h) USER_DATA_01 (COMPENSATION_CONFIG)の 5 バイト 16 進値をアナログ補償値に変換する複雑さのため、TI では、*TPSM8D6C24 製品フォルダ*にある、*TPS546x24A 補償やピンストラップ抵抗カリキュレータ*設計ツールなどのツールを使用することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

7.75 (B5h) USER_DATA_05 (POWER_STAGE_CONFIG)

CMD アドレス	B5h
書き込みトランザクション:	書き込みブロック (1 データ バイトでも PMBus 仕様に準拠)
読み取りトランザクション:	読み取りブロック (1 データ バイトでも PMBus 仕様に準拠)
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ
最大トランザクション時間:	1.0ms
最大アクション遅延:	1.0ms (タイム クリティカルではありません)

POWER_STAGE_CONFIG により、ユーザーは VDD5 レギュレータ電圧を調整できます。

図 7-74. (B5h) USER_DATA_05 (POWER_STAGE_CONFIG) レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	R	R	R	R
SEL_VDD5				予約済み			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-74. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:4	SEL_VDD5	RW	NVM	3h: VDD5 = 3.9V (量産では推奨しません) 4h: VDD5 = 4.1V 5h: VDD5 = 4.3V 6h: VDD5 = 4.5V 7h: VDD5 = 4.7V 8h: VDD5 = 4.9V 9h: VDD5 = 5.1V Ah: VDD5 = 5.3V その他: 無効
3:0	予約済み	R	0000b	予約済み。0000b に設定します。

30h の設定は、外部 VDD5 電圧が供給されない限り量産での使用は推奨されません。これは、3.9V LDO の設定により、変換を有効にするために必要な VDD5 低電圧誤動作防止よりも VDD5 電圧が低くなり、TPSM8D6C24 デバイスが外部 VDD5 電圧なしで変換を有効にできなくなる可能性があるためです。

Copyright © 2025 Texas Instruments Incorporated

7.76 (D0h) MFR_SPECIFIC_00 (TELEMETRY_CONFIG)

CMD アドレス	D0h
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (6 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

内部テレメトリ システムの各チャネルの優先度と平均化を設定します。

内部テレメトリ システムは、各測定で 1 つの ADC を共有します。優先度設定では、各テレメトリ値の相対測定率をユーザーが調整できます。ADC はまず優先度 A の値を用いて、各値を測定します。すべての優先度 A 測定を介した各パス スルーを用いて、優先度 B 測定が 1 回行われます。すべての優先度 B 測定を介した各パス スルーを用いて、優先度 C 測定が 1 回行われます。

たとえば、出力電圧が優先度 A、出力電流が優先度 B、温度が優先度 C の場合、テレメトリ シーケンスは VOUT IOUT VOUT TEMPERATURE VOUT IOUT VOUT TEMPERATURE です。

図 7-75. (D0h) MFR_SPECIFIC_00 (TELEMETRY_CONFIG) レジスタ マップ

47	46	45	44	43	42	41	40
RW	RW	RW	RW	RW	RW	RW	RW
予約済み優先度		予約済み			予約済みの平均化		
39	38	37	36	35	34	33	32
RW	RW	RW	RW	RW	RW	RW	RW
予約済み優先度		予約済み			予約済みの平均化		
31	30	29	28	27	26	25	24
R	RW	RW	RW	RW	RW	RW	RW
RD_VI_PRI		予約済み			RD_VI_AVG		
23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
RD_TMP_PRI		予約済み			RD_TMP_AVG		
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
RD_IO_PRI		予約済み			RD_IO_AVG		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
RD_VO_PRI		予約済み			RD_VO_AVG		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-75. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
47:40	未使用	R	00h	予約済み。値を 00h に設定します。
39:32	未使用	RW	NVM	予約済み。値を 03h に設定します。

Copyright © 2025 Texas Instruments Incorporated

表 7-75. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
31:30	RD_VI_PRI	RW	NVM	00b: 優先度 A を入力電圧テレメトリに割り当てます。 01b: 優先順位 B を入力電圧テレメトリに割り当てます。 10b: 優先度 C を入力電圧テレメトリに割り当てます。 11b: 入力電圧テレメトリを無効化します。
31:24	RD_VI_AVG	RW	NVM	0d - 5d: READ_VIN の 2^N サンプルの移動平均 6d ～ 7d: 無効
23:22	RD_TMP_PRI	RW	NVM	00b: 優先度 A を温度テレメトリに割り当てます。 01b: 優先度 B を温度テレメトリに割り当てます。 10b: 優先度 C を温度テレメトリに割り当てます。 11b: 無効
21:19	予約済み	RW	NVM	予約済み。000b に設定します。
18:16	RD_TMP_AVG	RW	NVM	0d - 5d: READ_TEMPERATURE_1 の 2^N サンプルの移動平均 6d ～ 7d: 無効
15:14	RD_IO_PRI	RW	NVM	00b: 優先度 A を出力電流テレメトリに割り当てます。 01b: 優先度 B を出力電流テレメトリに割り当てます。 10b: 優先度 C を出力電流テレメトリに割り当てます。 11b: 出力電流テレメトリを無効化します。
13:11	予約済み	RW	NVM	予約済み。000b に設定します。
10:8	RD_IO_AVG	RW	NVM	0d - 5d: READ_IOUT の 2^N サンプルの移動平均 6d ～ 7d: 無効
7:6	RD_VO_PRI	RW	NVM	00b: 優先度 A を出力電圧テレメトリに割り当てます。 01b: 優先度 B を出力電圧テレメトリに割り当てます。 10b: 優先度 C を出力電圧テレメトリに割り当てます。 11b: 出力電圧テレメトリを無効化します。
5:3	予約済み	RW	NVM	予約済み。000b に設定します。
2:0	RD_VO_AVG	RW	NVM	0d - 5d: READ_VOUT の 2^N サンプルの移動平均 6d ～ 7d: 無効

任意のテレメトリ値を無効化すると、関連する READ PMBus コマンドが 0000h を強制的に通知します。

温度テレメトリは過熱保護に使用されるため、温度テレメトリを無効化することはできません。

Copyright © 2025 Texas Instruments Incorporated

7.77 (DAh) MFR_SPECIFIC_10 (READ_ALL)

CMD アドレス	DAh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (14 バイト)
位相:	なし
NVM バックアップ:	なし

READ_ALL は、STATUS_WORD および遠隔測定値の 14 バイト ブロック読み取りを行い、複数の読み取り機能を単一のコマンドに組み合わせることで、複数のアドレスおよびコマンド コード バイトを不要にし、ポーリングのバス利用率を向上させます。

図 7-76. (DAh) MFR_SPECIFIC_10 (READ_ALL) レジスタ マップ

111	110	109	108	107	106	105	104
R	R	R	R	R	R	R	R
サポートなし = 00h							
103	102	101	100	99	98	97	96
R	R	R	R	R	R	R	R
サポートなし = 00h							
95	94	93	92	91	90	89	88
R	R	R	R	R	R	R	R
サポートなし = 00h							
87	86	85	84	83	82	81	80
R	R	R	R	R	R	R	R
サポートなし = 00h							
79	78	77	76	75	74	73	72
R	R	R	R	R	R	R	R
READ_VIN (MSB)							
71	70	69	68	67	66	65	64
R	R	R	R	R	R	R	R
READ_VIN (LSB)							

63	62	61	60	59	58	57	56
R	R	R	R	R	R	R	R
READ_TEMPERATURE1 (MSB)							
55	54	53	52	51	50	49	48
R	R	R	R	R	R	R	R
READ_TEMPERATURE1 (LSB)							
47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
READ_IOUT (MSB)							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
READ_IOUT (LSB)							

Copyright © 2025 Texas Instruments Incorporated

31	30	29	28	27	26	25	24
R	R	R	R	R	R	R	R
READ_VOUT (MSB)							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
READ_VOUT (LSB)							
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
STATUS_WORD (上位バイト)							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
STATUS_BYTE							

凡例：R/W = 読み出し/書き込み、R = 読み出し専用

表 7-76. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
111:96	READ_ DUTY_CYC LE	R	0000h	サポートなし = 0000h
95:80	READ_ IIN	R	0000h	サポートなし = 0000h
79:64	READ_ VIN	R	0000h	READ_VIN (線形形式)
63:48	READ_ TEMPERAT URE1	R	0000h	READ_ TEMPERATURE1 (線形形式)
47:32	READ_IOU T	R	0000h	READ_ IOUT (線形形式)
31:16	READ_VOU T	R	0000h	READ_ VOUT (ULinear16 形式、VOUT_MODE ごと)
15:0	STATUS_W ORD	R	0000h	STATUS_WORD

読み取り専用コマンドへの書き込みを試みると、CML：無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。

PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

7.78 (DBh) MFR_SPECIFIC_11 (STATUS_ALL)

CMD アドレス	DBh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (7 バイト)
位相:	なし
NVM バックアップ:	なし

STATUS_ALL には、STATUS コマンド コードの 7 バイト ブロックがあり、バスの使用率を減らして複数のフォルトを読み取ることができます。

図 7-77. (DBh) MFR_SPECIFIC_11 (STATUS_ALL) レジスタ マップ

55	54	53	52	51	50	49	48
R	R	R	R	R	R	R	R
STATUS_MFR							
47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
STATUS_OTHER							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
STATUS_CML							
31	30	29	28	27	26	25	24
R	R	R	R	R	R	R	R
STATUS_TEMPERATURE							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
STATUS_INPUT							
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
STATUS_IOUT							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
STATUS_VOUT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-77. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
55:48	STATUS_ MFR	R	現在のステータス	STATUS_ MFR
47:40	STATUS_ OTHER	R	現在のステータス	STATUS_ OTHER
39:32	STATUS_ CML	R	現在のステータス	STATUS_ CML
31:24	STATUS_ TEMPERATURE	R	現在のステータス	STATUS_ TEMPERATURE

Copyright © 2025 Texas Instruments Incorporated

表 7-77. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
23:16	STATUS_ INPUT	R	現在のステータス	STATUS_ INPUT
15:8	STATUS_ IOUT	R	現在のステータス	STATUS_ IOUT
7:0	STATUS_ VOUT	R	現在のステータス	STATUS_ VOUT

読み取り専用コマンドへの書き込みを試みると、CML：無効コマンド (IVC) フォルト状態が発生し、TPSM8D6C24 は次のように応答します。

- STATUS_BYTE の CML ビットを設定します。
- STATUS_CML の CML_IVC (ビット 7) ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知します。

STATUS_ALL に書き込んでも、アサートされたステータス ビットはクリアされません。

Copyright © 2025 Texas Instruments Incorporated

7.79 (DCh) MFR_SPECIFIC_12 (STATUS_PHASE)

CMD アドレス	DCh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	あり
更新内容:	オンザフライ
NVM バックアップ:	なし

PHASE = FFh または 80h の場合、このコマンドを読み取ると、故障状態が発生した位相を詳細に示すデータ ードが返されます。PHASE ！= FFh の場合、このコマンドを読み取ると、現在の PHASE で発生した (複数の) フォルトを詳述するデータ ワードが返されます。PHASE 番号の割り当ては、PHASE_CONFIG ごとに行われます。未使用 (未割り当てまたは無効) 位相番号に対応するビットは、常に 0b に等しくなります。

図 7-78. (DCh) MFR_SPECIFIC_12 (STATUS_PHASE)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	PH3	PH2	PH1	PH0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-78. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:4	予約済み	R	0b	予約済み
3	PH3	RW	0b	0b: PHASE = 3d に割り当てられた TPSM8D6C24 に障害は発生していません。 1b: PHASE = 3d に割り当てられた TPSM8D6C24 に障害が発生しました。PHASE = 3d に設定し、詳細について STATUS_WORD または STATUS_ALL を読み取ります。
2	PH2	RW	0b	0b: PHASE = 2d に割り当てられた TPSM8D6C24 に障害は発生していません。 1b: PHASE = 2d に割り当てられた TPSM8D6C24 に障害が発生しました。PHASE = 2d に設定し、詳細について STATUS_WORD または STATUS_ALL を読み取ります。
1	PH1	RW	0b	0b: PHASE = 1d に割り当てられた TPSM8D6C24 に障害は発生していません。 1b: PHASE = 1d に割り当てられた TPSM8D6C24 に障害が発生しました。PHASE = 1d に設定し、詳細について STATUS_WORD または STATUS_ALL を読み取ります。
0	PH0	RW	0b	0b: PHASE = 0d に割り当てられた TPSM8D6C24 に障害は発生していません。 1b: PHASE = 0d に割り当てられた TPSM8D6C24 に障害が発生しました。PHASE = 0d に設定し、詳細について STATUS_WORD または STATUS_ALL を読み取ります。

Copyright © 2025 Texas Instruments Incorporated

7.80 (E4h) MFR_SPECIFIC_20 (SYNC_CONFIG)

CMD アドレス	E4h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

図 7-79. (E4h) MFR_SPECIFIC_20 (SYNC_CONFIG) レジスタ マップ

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
SYNC_ DIR		SYNC_EDGE	10000b				

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-79. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:6	SYNC_DIR	RW	NVM	00b: SYNC 無効 01b: SYNC OUT を有効にします。 10b: SYNC IN を有効にします。 11b: 自動検出 SYNC を有効にします。
5	SYNC_EDGE	RW	NVM	0b: SYNC の立ち下がりエッジに同期します。 1b: SYNC の立ち上がりエッジに同期します。
4:0	非対応	RW	10000b	サポート対象外。10000b に設定します。

(E4h) MFR_SPECIFIC_E4 (SYNC_CONFIG) を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

SYNC_DIR = 11b - 自動検出を有効化すると、TPSM8D6C24 は ON_OFF_CONFIG で定義された、イネーブル条件が満たされたときの SYNC ピンの状態に基づいて SYNC_IN または SYNC_OUT を選択します。SYNC_PIN が 2V より大きい場合、または FRQUENCY_SWITCH の 75% を超える速度でスイッチングする場合、SYNC_IN はイネーブルになります。SYNC_PIN が 0.8V 未満でスイッチングを行わない場合、SYNC_OUT が選択されます。

マルチフェーズ スタックのループ フォロワ デバイスは、常に SYNC_IN 用に構成されており、SYNC 信号が存在する前に有効化されている場合、または SYNC が無効化される前に失われた場合、(80h) STATUS_MFR_SPECIFIC で SYNC_FAULT を宣言します。このような誤った SYNC_FAULTS が発生しないように、外部同期信号を使用しない場合は、(E4h) MFR_SPECIFIC_20 (SYNC_CONFIG)でマルチフェーズ スタックは SYNC_OUT を選択するように構成することを推奨します。

イネーブル時に SYNC_DIR を SYNC_IN から SYNC_OUT に変更し、SYNC_IN 機能の下限 (公称スイッチング周波数の 70%) で動作しているときに、スイッチング周波数は SYNC_IN の下限で、出力が無効化されて有効になるまで維持されます。

変換が有効化されているときに、マルチフェーズ スタックの SYNC_DIR を SYNC_IN から SYNC_OUT に変更すると、SYNC_FAULT によって防止され、内部発振器は公称周波数の 70% で動作します。これはループ フォロワー デバイスの準拠 SYNC_IN 範囲外であるため、同期しない動作が発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.81 (ECh) MFR_SPECIFIC_28 (STACK_CONFIG)

CMD アドレス	ECh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしのワード
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	変換が無効:以下を参照。変換が有効:読み取り専用

図 7-80. (ECh) MFR_SPECIFIC_28 (STACK_CONFIG) レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
予約済み 0000h							
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
BCX_START				BCX_STOP			

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-80. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:8	非対応	R	0000h	予約済み。0000h に等しい。
7:4	BCX_START	R	0000b	スタック ループ コントローラの BCX_Address。0000b に等しい。
3:0	BCX_STOP	RW	NVM	0000b:スタンドアロン、単相 0001b:1 つのループ フォロワー、2 相 0010b:2 つのループ フォロワー、3 相 0011b:3 つのループ フォロワー、4 相 その他:サポートされていないか無効です

(ECh) MFR_SPECIFIC_28 (STACK_CONFIG) を有効として指定された値外の任意の値に書き込もうとすると、無効またはサポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することで TPSM8D6C24 が応答します。

(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)は、BCX_CLK ピンと BCX_DAT ピンの動作を制御します。TPSM8D6C24 を(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)で電源投入すると、0000h (スタンドアロン) に等しい場合、BCX_CLK および BCX_DAT 機能は無効化されます。(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)をマルチフェーズ構成に変更しても、次回の電源投入まで BCX 通信は有効になりません。(ECh) MFR_SPECIFIC_28 (STACK_CONFIG) = 0000h の電源投入時にループ コントローラ デバイスに接続されたループ フォロワー デバイスをプログラムするには、他のコマンドをプログラミングする前に、(EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)をプログラムしてデフォルト(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)をビット 12 = 0b に設定することで NVM にプログラムし、(15h) STORE_USER_ALL を実行して AVIN 電源を UVLO より低くした後に再度電源を入れます。これにより、BCX 通信を有効化し、ループ コントローラ デバイスがループ フォロワー デバイスにコマンドをリレーできるようになります。

電源投入時に BCX_CLK および BCX_DAT 機能が有効化されているため、(ECh) MFR_SPECIFIC_28 (STACK_CONFIG)を、AVIN 電源サイクルなしで 0001h ～ 0003h から 0000h ～ 0003h にライブで変更できます。

Copyright © 2025 Texas Instruments Incorporated

7.82 (EDh) MFR_SPECIFIC_29 (MISC_OPTIONS)

CMD アドレス	EDh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

MFR_SPECIFIC_29 は、その他の設定を構成するために使用されます。

図 7-81. (EDh) MFR_SPECIFIC_29 (MISC_OPTIONS) レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
PEC	RESET_CNT	RESET_FLT	RESET#	予約済み	予約済み	予約済み	予約済み
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
予約済み	予約済み	予約済み	予約済み	PULLUP#	FLT_CNT	ADC_RES	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-81. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	PEC	RW	NVM	0b: PEC オプション。PEC バイトなしで受信されたトランザクションは処理されます。 1b: PEC が必要です。PEC バイトなしで受信されたトランザクションは、無効な PEC として拒否されます。
14	RESET_CNT	RW	NVM	0b: シャットダウン後の VOUT_COMMAND は変更されません。 1b: 制御または OPERATION のシャットダウン時に、VOUT_COMMAND は VBOOT に変更されます。
13	RESET_FLT	RW	NVM	0b: フォルト再起動後、VOUT_COMMAND は変更されません。 1b: フォルト リトライがフォルト後にリトライに設定されている場合、フォルトから再起動すると VOUT_COMMAND が VBOOT に変更されます。
12	RESET#	RW	NVM	PGD/RESET_B ピンの機能を設定します。 0b: PGD/RESET_B は PGOOD として機能し、内部プルアップは無効化されます。 1b: PGD/RESET_B は RESET# として機能し、内部プルアップはビット 3 PULLUP# で設定されます。
11:3	予約済み	RW	NVM	予約済み。000000000b である必要があります
3	PULLUP#	RW	NVM	RESET# = 1b のとき、PGD/RESET_B ピンのプルアップを設定します。 0b: RESET# = 1b のとき、PGD/RESET_B ピンの内部プルアップは有効になります。 1b: RESET# = 1b のとき、PGD/RESET_B ピンの内部プルアップは無効化されます。
2	FLT_CNT	RW	NVM	0b: フォルト カウンタはフォルトなしの PWM サイクルで 1 サイクルをカウント ダウンします。 1b: フォルト カウンタは、フォルトなしの PWM サイクルでカウンタを 0 にリセットします。
1:0	ADC_RES	RW	NVM	ADC 分解能制御 00b: ADC 分解能を 12 ビットに設定します。 01b: ADC 分解能を 10 ビットに設定します。 10b: ADC 分解能を 8 ビットに設定します。 11b: ADC 分解能を 6 ビットに設定します。

Copyright © 2025 Texas Instruments Incorporated

7.83 (EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE)

CMD アドレス	EEh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ (ピン検出は POR でのみ発生)

PMBUS は、NVM (デフォルトまたはユーザー) に保存された値がピンでプログラムされた値を上書きするように規定されています。このレジスタの各ビットに「1」を設定すると、DEFAULT または USER STORE の値が、そのビットに関連するピンがプログラムされた値を上書きするのを防ぎます。

図 7-82. (EEh) MFR_SPECIFIC_30 (PIN_DETECT_OVERRIDE) レジスタ マップ

15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
予約済み			STACK_CONFIG	SYNC_CONFIG	予約済み	COMP_CONFIG	アドレス
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
予約済み		INTERLEAVE	予約済み	TON_RISE	IOUT_OC	FREQ	VOUT

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-82. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:13	予約済み	RW	NVM	使用されず、000b に設定されます。
12	STACK_CONFIG	RW	NVM	0b: 電源投入または復元時に、STACK_CONFIG は NVM 値にリセットされます。 1b: 電源投入または復元時に、STACK_CONFIG はピンで検出された値にリセットされます。
11	SYNC_CONFIG	RW	NVM	0b: 電源投入または復元時に、SYNC_CONFIG は NVM 値にリセットされます。 1b: 電源投入または復元時に、SYNC_CONFIG はピンで検出された値にリセットされます。
10	予約済み	RW	NVM	使用されず、0b または 1b に設定されます。
9	COMP_CONFIG	RW	NVM	0b: 電源投入または復元時に、COMPENSATION_CONFIG は NVM 値にリセットされます。 1b: 電源投入または復元時に、COMPUTATION_CONFIG はピンで検出された値にリセットされます。
8	アドレス	RW	NVM	0b: 電源投入または復元時に、Loop Follower_ADDRESS は NVM 値にリセットされます。 1b: 電源投入または復元時に、Loop Follower_ADDRESS はピンで検出された値にリセットされます。
7:6	予約済み	RW	NVM	使用されず、00b に設定されます。
5	INTERLEAVE	RW	NVM	0b: 電源投入または復元時に、INTERLEAVE は NVM 値にリセットされます。 1b: 電源投入または復元時に、INTERLEAVE はピンで検出された値にリセットされます。
4	予約済み	RW	NVM	使用されず、0b または 1b に設定されます。
3	TON_RISE	RW	NVM	0b: 電源投入または復元時に、TON_RISE は NVM 値にリセットされます。 1b: 電源投入または復元時に、TON_RISE はピンで検出された値にリセットされます。

Copyright © 2025 Texas Instruments Incorporated

表 7-82. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2	IOUT_OC	RW	NVM	0b: 電源投入または復元時に、IOUT_OC_FAULT_LIMIT と IOUT_OC_WARN_LIMIT は NVM 値にリセットされます。 1b: 電源投入または復元時に、IOUT_OC_FAULT_LIMIT と IOUT_OC_WARN_LIMIT は、ピンで検出された値にリセットされます。
1	FREQ	RW	NVM	0b: 電源投入または復元時に、FREQUENCY_SWITCH は NVM 値にリセットされます。 1b: 電源投入または復元時に、FREQUENCY_SWITCH はピンで検出された値にリセットされます。
0	VOUT	RW	NVM	0b: 電源投入または復元時に、VOUT_COMMAND、VOUT_SCALE_LOOP、VOUT_MAX、VOUT_MIN は NVM 値にリセットされます。 1b: 電源投入または復元時に、VOUT_COMMAND、VOUT_SCALE_LOOP、VOUT_MAX、VOUT_MIN は、ピンで検出された値にリセットされます。

PIN_DETECT_OVERRIDE を使用すると、ユーザーは電源投入時のリセットおよび RESTORE_USER_ALL 中に、各種 PMBus コマンドのユーザー ストア NVM 値を強制的にピンで検出された値にオーバーライドできます。

7.84 (EFh) MFR_SPECIFIC_31 (DEVICE_ADDRESS)

CMD アドレス	EFh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

この(EFh) MFR_SPECIFIC_31 (DEVICE_ADDRESS)コマンドは、デジタル通信のターゲット デバイス アドレスをプログラムまたは読み戻しするために使用できます。(EFh) MFR_SPECIFIC_31 (DEVICE_ADDRESS)が更新されると、TPSM8D6C24 はターゲット デバイスのアドレスを更新し、TPSM8D6C24 は前のアドレスへの応答を停止し、新しいアドレスへ直ちに応答を開始します。前のアドレスに対して書き込みまたは読み取りを行った場合、NACK されます。

DEVICE_ADDRESS コマンドは、デジタル通信のターゲット デバイスのアドレスをプログラムまたは読み戻しに使用できます。ターゲット デバイスのアドレスが更新されると、TPSM8D6C24 は新しいアドレスへの応答を直ちに開始します。

図 7-83. (EFh) MFR_SPECIFIC_31 (DEVICE_ADDRESS) レジスタ マップ

7	6	5	4	3	2	1	0
R	RW	RW	RW	RW	RW	RW	RW
0	ADDR_PMBUS						

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-83. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	非対応	R	0b	サポート対象外。b'0 に設定します。
6:0	ADDR_PMBUS	RW	NVM / ピンストラップ	PMBus ターゲット デバイス アドレス

SMBus 仕様では、多くのターゲット デバイスのアドレス値が予約されています。次の予約済みアドレスは無効で、プログラムできません。

- 0x0C
- 0x28
- 0x37
- 0x61

Copyright © 2025 Texas Instruments Incorporated

7.85 (F0h) MFR_SPECIFIC_32 (NVM_CHECKSUM)

CMD アドレス	F0h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	起動時、および NVM の保存 / 復元動作の後。

NVM_CHECKSUM は、現在の NVM 設定の CRC-16 (多項式 0x8005) チェックサムを報告します。

図 7-84. (F0h) MFR_SPECIFIC_32 (NVM_CHECKSUM) レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
NVM_CHECKSUM							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
NVM_CHECKSUM							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-84. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	NVM_CHECKSUM	R	NVM 設定ごと	EEPROM 設定用の CRC16

7.86 (F1h) MFR_SPECIFIC_33 (SIMULATE_FAULT)

CMD アドレス	F1h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	あり
NVM バックアップ:	なし

SIMULATE_FAULT を使用すると、ユーザーは制御の目的で検出回路の出力をトリガすることで、故障状態および警告条件をシミュレートできます。複数の障害を一度にシミュレーションすることができます。

図 7-85. (F1h) MFR_SPECIFIC_F1 (SIMULATE_FAULT) レジスタ マップ

15	14	13	12	11	10	9	8
W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
FAULT_PERSIST	SIM_TEMP_OTF	予約済み	SIM_IOUT_OCF	SIM_VIN_OFF	SIM_VIN_OVF	SIM_VOUT_UVF	SIM_VOUT_OVF
7	6	5	4	3	2	1	0
W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
WARN_PERSIST	予約済み	予約済み	SIM_IOUT_OCW	SIM_VIN_UVW	予約済み	SIM_VOUT_UVW	SIM_VOUT_OVW

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-85. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	FAULT_PERSIST	W/R	0b	0b: シミュレーションされたフォルトは、1 つのフォルト応答の後で自動的に削除されます。 1b: シミュレートされたフォルトは、SIMULATE_FAULTS が再度書き込まれるまで持続します。
14	SIM_TEMP_OTF	W/R	0b	0b: 変更なし 1b: 過熱フォルトをシミュレートします。
13	予約済み	W/R	0b	0b: 変更なし 1b: 未使用
12	SIM_IOUT_OCF	W/R	0b	0b: 変更なし 1b: 出力電流過電流フォルトをシミュレートします。
11	SIM_VIN_OFF*	W/R	0b	0b: 変更なし 1b: PVIN 低電圧誤動作防止をシミュレートします。
10	SIM_VIN_OVF	W/R	0b	0b: 変更なし 1b: PVIN 過電圧フォルトをシミュレートします。
9	SIM_VOUT_UVF	W/R	0b	0b: 変更なし 1b: VOUT 低電圧フォルトをシミュレートします。
8	SIM_VOUT_OVF*	W/R	0b	0b: 変更なし 1b: VOUT 過電圧フォルトをシミュレートします。
7	WARN_PERSIST	W/R	デフォルト設定	0b: シミュレートされた警告は、1 つのフォルト応答の後に自動的に削除されます。 1b: シミュレートされた警告は、SIMULATE_FAULTS が再度書き込まれるまで持続します。
6	予約済み	W/R	デフォルト設定	0b: 変更なし 1b: 未使用
5	予約済み	W/R	デフォルト設定	0b: 変更なし 1b: 未使用
4	SIM_IOUT_OCW	W/R	デフォルト設定	0b: 変更なし 1b: 出力電流の過電流警告をシミュレートします。

Copyright © 2025 Texas Instruments Incorporated

表 7-85. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
3	SIM_VIN_UVW	W/R	デフォルト設定	0b:変更なし 1b:PVIN 低電圧警告をシミュレートします。
2	予約済み	W/R	デフォルト設定	0b:変更なし 1b:未使用
1	SIM_VOUT_UVW	W/R	デフォルト設定	0b:変更なし 1b:VOUT 低電圧警告をシミュレートします。
0	SIM_VOUT_OVW	W/R	デフォルト設定	0b:変更なし、1b:VOUT 過電圧警告をシミュレートします。

*変換が無効になっている間は、SIM_VIN_OFF と SIM_VOUT_OVF のみが、アナログ コンパレータをトリガできます。SIM_TEMP_OTF や SIM_VIN_OVF などの他のすべてのフォルトは、FAULT_PERSIST が選択されたときに、これらのフォルトがシャットダウンおよび再起動応答を繰り返しシミュレートできるよう、変換が有効になっている間のみシミュレーションを行います。

Copyright © 2025 Texas Instruments Incorporated

7.87 (FCh) MFR_SPECIFIC_44 (FUSION_ID0)

CMD アドレス	FCh
書き込みトランザクション:	書き込みワード (書き込みは許可されますが、それ以外は無視されます)
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	なし
NVM バックアップ:	なし

FUSION_ID0 は、テキサス インスツルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォーム レベルの識別コードを提供します。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。このコマンドは一部の TI デバイスで書き込み可能であるため、相互互換性を維持するため、TPSM8D6C24 はこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受信した結果として、STATUS_CML ビットは設定されません。

図 7-86. (FCh) MFR_SPECIFIC_44 (FUSION_ID0) レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
FUSION_ID0							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
FUSION_ID0							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-86. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	FUSION_ID0	R	02D0h	02C0h にハードコードされています

Copyright © 2025 Texas Instruments Incorporated

7.88 (FDh) MFR_SPECIFIC_45 (FUSION_ID1)

CMD アドレス	FDh
書き込みトランザクション:	ブロック書き込み (書き込みは許可されますが、それ以外は無視されます)
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (6 バイト)
位相:	なし
NVM バックアップ:	なし

FUSION_ID1 は、テキサス インスツルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォーム レベルの識別コードを提供します。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。このコマンドは一部の TI デバイスで書き込み可能であるため、相互互換性を維持するため、TPSM8D6C24 はこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受信した結果として、STATUS_CML ビットは設定されません。

図 7-87. (FDh) MFR_SPECIFIC_45 (FUSION_ID1) レジスタ マップ

47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
FUSION_ID1							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
FUSION_ID1							
31	30	29	28	27	26	25	24
FUSION_ID1							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
FUSION_ID1							
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
FUSION_ID1							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
FUSION_ID1							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-87. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
47:40	FUSION_ID1	R	4Bh	4Bh にハードコードされています
39:32	FUSION_ID1	R	43h	43h にハードコードされています
31:24	FUSION_ID1	R	4Fh	4Fh にハードコードされています
23:16	FUSION_ID1	R	4Ch	4Ch にハードコードされています
15:8	FUSION_ID1	R	49h	49h にハードコードされています
7:0	FUSION_ID1	R	54h	54h にハードコードされています

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

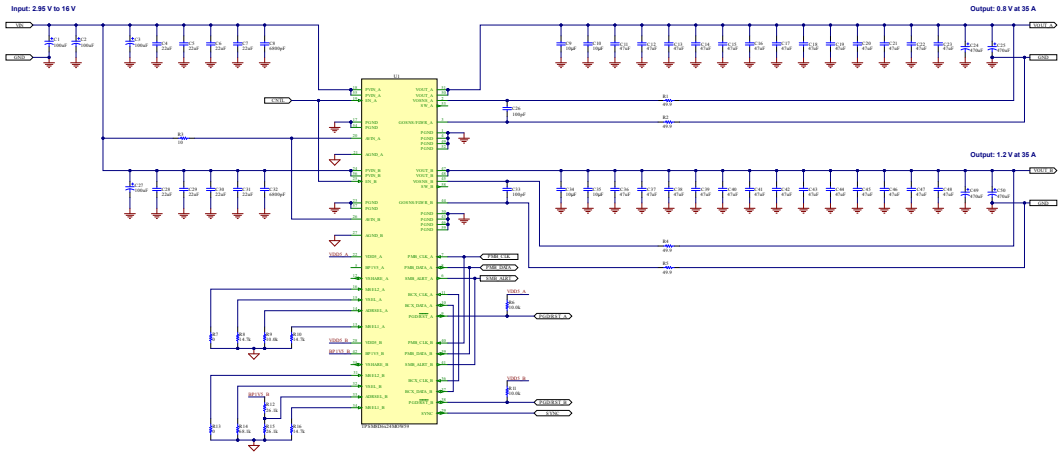
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPSM8D6C24 は、高集積のデュアル同期整流式降圧 DC/DC モジュールです。このデバイスは、出力ごとの最大出力電流 35A で高い DC 入力電圧を低い DC 出力電圧に変換するために使用されます。単相から 4 相までの設計に対する主要な部品の値を選択するには、以下の設計手順を使用します。PMBus では、適切な動作オプションを設定できます。

8.2 代表的なアプリケーション



Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

この設計例では、次の表に記載されている入力パラメータを使用します。

表 8-1. 設計パラメータ

設計パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	入力電圧		5	12	16	V
$V_{IN(ripple)}$	入力リップル電圧	V_{IN} = 12V、I_{OUT} = 20A		0.3		V
V_{OUT}	出力電圧			0.8		V
$\Delta V_{O(\Delta VI)}$	ライン レギュレーション	5V ≦ V_{IN} ≦ 16V			0.5%	
$\Delta V_{O(\Delta IO)}$	ロード レギュレーション	0V ≤ I_{OUT} ≤ 35A			0.5%	
V_{PP}	出力リップル電圧	I_{OUT} = 35A		20		mV
ΔV_{OUT}	負荷過渡時の V_{OUT} 偏差	ΔI_{OUT} = 10A、V_{IN} = 12V		50		mV
I_{OUT}	出力電流	5V ≦ V_{IN} ≦ 16V	0		35	A
I_{OCP}	出力過電流保護スレッショルド			52		A
f_{SW}	スイッチング周波数	V_{IN} = 12V		550		kHz
$\eta_{Full\ load}$	全負荷効率	V_{IN} = 12V、I_{OUT} = 35A		80%		
t_{SS}	ソフト スタート時間 (t_{ON_RISE})			5		ms

8.2.2 詳細な設計手順

TPSM8D6C24 には、最初の電源投入前に PMBus 通信を必要とせずに、重要な PMBus レジスタ値をプログラムするための 4 つのピンがあります。ピンストラップのオプションについては、表 6-7 を参照してください。いくつかの方程式には変数 N が含まれています。これは、互いにスタックされたチャネルの数です。このスタンドアロン デバイスの例では、N の値は 1 です。

8.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、TPSM8D6C24 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.2.2 スイッチング周波数

MSEL1 ピンは *USER_DATA_01 (COMPUTATION_CONFIG)* と *FREQUENCY_SWITCH* をプログラムします。MSEL1 の抵抗デバイダの比によって、公称スイッチング周波数が選択されます。MSEL1 の設計手順では、最初にスイッチング周波数を構成し、次に出力容量を決定した後で補償を選択します。

降圧コンバータに関するスイッチング周波数の高速化と低速化の間ではトレードオフが存在します。スイッチング周波数が高い場合、低い周波数で動作する電源と比べて、より小さい値のインダクタや小型の出力コンデンサを使用でき、設計の

Copyright © 2025 Texas Instruments Incorporated

小型化が可能になります。ただし、スイッチング周波数が高いほどスイッチング損失が増加し、効率が減少し、放熱性能が悪化します。

この設計では、550kHz の中程度のスイッチング周波数を使用して、小型の設計サイズと動作の高効率の両方を実現できます。MSEL1 ピン プログラム表を使用して、周波数オプションを選択します。抵抗デバイダ コードの選択については、表 6-8 を参照してください。スイッチング周波数を 550kHz に設定するには、抵抗デバイダのコード 6 または 7 またはオープンが必要です。

8.2.2.3 出力電圧設定 (VSEL ピン)

出力電圧は、VSEL ピンを使用して設定できます。VSEL の抵抗デバイダ比は、表 6-12 に従って、*VOUT_COMMAND* 範囲、*VOUT_SCALE_LOOP* デバイダ、*VOUT_MIN*、および *VOUT_MAX* レベルを設定します。必要な VOUT の範囲に合わせて抵抗デバイダ コードを選択します。この 1V 出力例では、抵抗デバイダ コード 2、AGND への単一の抵抗、または VSEL ピンのフローティングを使用できます。

VOUT 範囲に対して抵抗デバイダ コードを選択し、表 6-13 から VOUT_COMMAND オフセットと VOUT_COMMAND ステップを使用して、AGND コードへの抵抗を選択します。AGND コードへの抵抗を計算するには、目標出力電圧から VOUT_COMMAND オフセットを減算し、VOUT_COMMAND ステップで除算します。この例では、AGND への単一の抵抗を使用し、結果はコード 6 になります。VSEL の AGND への 14.7kΩ 抵抗により、目的の設定がプログラムされます。

$$\text{Code} = \frac{V_{OUT} - \text{VOUT_COMMAND}_{Offset}}{\text{VOUT_COMMAND}_{STEP}} = \frac{0.8 - 0.5}{0.050} = 6 \quad (9)$$

8.2.2.4 補償の選択 (MSEL1 ピン)

MSEL1 の AGND への抵抗は、以下に示す電圧ループおよび電流ループ ゲインをプログラムする*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)*の値を選択します。EEPROM コード以外のオプション (MSEL1 を AGND に短絡、または MSEL1 から AGND 抵抗コード 0 に短絡) では、電流および電圧ループのゼロおよび極周波数は、プログラムされたスイッチング周波数でスケーリングされます。

表 8-2 に基づき、スイッチング周波数が 550kHz の場合、TPSM8D6C24 で I_{LOOP} 6、最大電圧ループ帯域幅 87kHz を使用する必要があります。

表 8-2. 推奨 ILOOP 設定

f_{sw} (kHz)	I_{LOOP}	$V_{BW(max)}$
325	3	43
375	4	58
450	5	72
550	6	87
650	7	101
750	8	115
900	8	115
900	10	144
1100	8	115
1100	12	173
1300	15	216
1500	8	115
1500	17	245

目的の過渡性能を得るには、式 (式 10) を満たすように V_{LOOP} を選択する必要があります。

$$V_{LOOP} > \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \times \frac{CSA}{N \times \text{VOUT_SCALE_LOOP}} \quad (10)$$

Copyright © 2025 Texas Instruments Incorporated

この設計では、V_{LOOP} = 4 を選択します。

I_{LOOP} = 6、V_{LOOP} = 4 の場合、補償コード 24 が選択され、MSEL1 を抵抗デバイダなしで終端し、抵抗を接地コード 14 に接続して、68.1kΩ 抵抗を選択します。

注

より低い I_{LOOP} ゲインを選択し、最大電圧ループ帯域幅をそれに比例して狭くすることで、より保守的な電流ループと電圧ループを選択できます。

8.2.2.5 出力コンデンサの選択

出力リップル要件を満たし、$V_{BW(max)}$ 未満に電圧ループが安定するように、出力コンデンサを選択します。

$V_{BW(max)}$ 未満のループを安定させるため、目標電圧ループ帯域幅周波数で利用可能な電解コンデンサとセラミックコンデンサの出力インピーダンスを評価し、コンデンサを並列に接続してコンデンサ バンクの合計出力インピーダンスを減らすことができます。

$$Z_{OUT(V_{BW})} < \frac{CSA}{N \times V_{LOOP} \times VOUT_SCALE_LOOP} \tag{11}$$

$$Z_{OUT(V_{BW})} < \frac{6.155\ mV/A}{1 \times 4 \times 0.5} = 3.08\ m\Omega \tag{12}$$

$$Z_{C_47\mu F} = \frac{1}{2\pi f_{SW} C} = \frac{1}{2\pi \times 87\ kHz \times 47\ \mu F} = 38.9\ m\Omega \tag{13}$$

$$Z_{C_470\mu F} = \frac{1}{2\pi f_{SW} C} = \frac{1}{2\pi \times 87\ kHz \times 470\ \mu F} = 3.89\ m\Omega \tag{14}$$

8.2.2.5.1 出力電圧リップル

出力電圧リップルは、出力コンデンサを選択するための 2 番目の基準です。式 15 を使用して、出力電圧リップル仕様を満たすために必要な最小出力容量を計算します。

$$C_{OUT(min)} = \frac{I_{RIPPLE}}{8 \times f_{sw} \times V_{OUT(RIPPLE)}} = \frac{9.62\ A}{8 \times 550\ kHz \times 20\ mV} = 110\mu F \tag{15}$$

この場合、目標最大出力電圧リップルは 20mV です。この要件では、リップルの最小出力容量は 110µF です。この容量値は、過渡応答に必要な出力容量よりも小さいため、過渡要件に基づいて出力容量の値を選択します。容量の変動とディレーティングを考慮して、十分なマージンを確保した過渡仕様を満たすよう、この設計では 2 つの 470µF 低 ESR タンタル ポリマー バルク キャパシタと 4 つの 47µF セラミック コンデンサが選択されています。したがって、選択した公称 C_{OUT} は 1128µF と等しくなります。

出力容量値を選択したら、ESR を考慮する必要があります。出力コンデンサのタイプを混合して使用しているため、この例ではこれが重要な検討事項です。最初に、式 16 を使用して、出力電圧リップル仕様を満たすために、スイッチング周波数における出力コンデンサ バンクの最大許容インピーダンスを計算します。式 16 は、出力コンデンサ バンクのインピーダンスが 2.1mΩ よりも小さい必要があることを示します。セラミック コンデンサのインピーダンスは式 17 で計算し、バルク キャパシタのインピーダンスは式 18 で計算します。式 18 から得られた結果は、スイッチング周波数におけるバルク キャパシタのインピーダンスが、その ESR によって支配されることを示しています。式 19 は、スイッチング周波数での出力コンデンサ バンクの合計出力インピーダンスが 1.2mΩ となり、2.1mΩ 要件を満たします。

$$Z_{COUT(Max)_f_{SW}} = \frac{V_{OUT(RIPPLE)}}{I_{RIPPLE}} = \frac{20\ mV}{9.62\ A} = 2.1\ m\Omega \tag{16}$$

$$Z_{CER_f_{SW}} = \frac{1}{2\pi \times f_{sw} \times C_{CER}} = \frac{1}{2\pi \times 550\ kHz \times (4 \times 47\ \mu F)} = 1.5\ m\Omega \tag{17}$$

Copyright © 2025 Texas Instruments Incorporated

$$Z_{BULK_f_{SW}} = \sqrt{ESR_{BULK}^2 + \left(\frac{1}{2\pi \times f_{SW} \times C_{BULK}}\right)^2} = \sqrt{\left(\frac{10\ m\Omega}{2}\right)^2 + \left(\frac{1}{2\pi \times 550\ kHz \times (2 \times 470\ \mu F)}\right)^2} = 5.3\ m\Omega \quad (18)$$

$$Z_{COUT_f_{SW}} = \frac{Z_{CER_f_{SW}} \times Z_{BULK_f_{SW}}}{Z_{CER_f_{SW}} + Z_{BULK_f_{SW}}} = \frac{1.5\ m\Omega \times 5.3\ m\Omega}{1.5\ m\Omega + 5.3\ m\Omega} = 1.2\ m\Omega \quad (19)$$

8.2.2.6 入力コンデンサの選択

電力段の入力デカップリング容量 (PVIN および PGND ピンの実効容量) は、ハイサイド MOSFET のスイッチオン時に要求される大きなスイッチング電流を供給するのに十分な大きさが必要であり、その結果として入力電圧リップルを最小限に抑える必要があります。この実効容量には、DC バイアス効果も含まれます。入力コンデンサの電圧定格は、ディレーティングを考慮した最大入力電圧よりも高い必要があります。コンデンサのリップル電流定格を、全負荷時のデバイスへの最大入力電流リップルよりも大きくする必要があります。式 20 を使用して、入力 RMS 電流を見積もります。

$$I_{IN(RMS)} = \frac{I_{OUT(MAX)}}{N} \times \sqrt{\frac{V_{OUT}}{V_{IN(Min)}} \times \frac{\left(V_{IN(Min)} - V_{OUT}\right)}{V_{IN(Min)}}} = \frac{35\ A}{1} \times \sqrt{\frac{0.8\ V}{5\ V} \times \frac{(5\ V - 0.8\ V)}{5\ V}} = 12.8\ A \quad (20)$$

得られた入力電圧リップル仕様 $V_{IN(ripple)}$ に対する最小入力容量と ESR 値を、式 21 と式 22 に示します。入力リップルは、容量性部分 ($V_{RIPPLE(cap)}$) と抵抗性部分 ($V_{RIPPLE(esr)}$) で構成されます。

$$C_{IN(Min)} = \frac{\frac{I_{OUT(MAX)}}{N} \times V_{OUT}}{V_{RIPPLE(cap)} \times V_{IN(Max)} \times f_{SW}} = \frac{\frac{35\ A}{1} \times 0.8\ V}{0.1\ V \times 16\ V \times 550\ kHz} = 31.8\ \mu F \quad (21)$$

$$ESR_{CIN(Max)} = \frac{V_{RIPPLE(ESR)}}{\frac{I_{OUT(Max)}}{N} + \frac{1}{2} I_{RIPPLE}} = \frac{0.2\ V}{\frac{35\ A}{1} + \frac{1}{2} \times 9.62\ A} = 5.02\ m\Omega \quad (22)$$

セラミック コンデンサの値は、温度およびコンデンサに印加される DC バイアスの大きさによって大きく変化します。温度に対して安定した誘電体材料を選択することで、温度による容量の変動を最小限に抑えることができます。X5R および X7R セラミック誘電体は、これらの部品の容量 / 体積比が大きく、温度に対してかなり安定しているため、パワー レギュレータのコンデンサとして一般に選択されます。また、入力コンデンサは DC バイアスを考慮して選択する必要があります。この設計例では、最大入力電圧をサポートするために、少なくとも 25V の電圧定格を持つセラミック コンデンサが必要です。この設計では、$V_{RIPPLE(cap)}$ に対する 0.1V の入力リップルと、$V_{RIPPLE(esr)}$ に対する 0.2V 入力リップルを許容します。式 21 と式 22 を使用すると、この設計の最小入力容量は 31.8µF、最大 ESR は 5.02mΩ です。この設計例では、4 つの 22µF、25V セラミック コンデンサ、3 つの 6800pF、25V セラミック コンデンサ、2 つの追加 100µF、25-V 低 ESR 電解コンデンサを並列に選択し、十分なマージンを備えた電力段としています。すべての設計で、最小入力容量 10µF が必要で、最大入力リップルは 500mV を推奨します。

高周波リンギングを最小限に抑えるため、高周波 6800pF PVIN バイパス コンデンサを電源段の近くに配置する必要があります。

8.2.2.7 ソフト スタート、過電流保護、スタック構成 (MSEL2 ピン)

ソフトスタート時間、過電流保護スレッショルド、スタック構成は、MSEL2 ピンを使用して構成できます。TPSM8D6C24 デバイスは、*TON_RISE* コマンドで選択する 250µs ごと (7 ビット) のソフト スタート時間 (0ms ～ 31.75ms) に対応します。MSEL2 ピンを使って 8 つの時間を選択できます。TPSM8D6C24 デバイスは、*IOUT_OC_WARN_LIMIT* および *IOUT_OC_FAULT_LIMIT* コマンドで選択された、8 ～ 62A までの複数のローサイド過電流警告およびフォルト スレッショルドに対応します。MSEL2 ピンを使用して 4 つのスレッショルドを選択できます。OC フォルトへの応答は、PMBus を介して変更できます。最後に、スタックされたデバイスの数は、MSEL2 ピンを使用して設定します。

MSEL2 の抵抗デバイダ コードは、ソフトスタート値を選択します。AGND への抵抗によって、共通の出力と過電流スレッショルドを共有するデバイスの数が決まります。表 6-10 および表 6-11 を使用して、目的の構成に必要な AGND コードと抵抗デバイダ コードへの抵抗を選択します。

Copyright © 2025 Texas Instruments Incorporated

この単相設計では、5ms のソフト スタートに抵抗デバイダのコード 3 を選択し、最大の電流制限スレッショルドとスタンドアロン構成用に、AGND コード 0 への抵抗を選択します。

8.2.2.8 イネーブルおよび UVLO

ON_OFF_CONFIG コマンドは、コンバータの電源オン動作を選択するために使用されます。この例では、入力電圧が存在し UVLO スレッショルドを上回っている限り、*動作*状態に関係なく、EN/UVLO ピンまたは CONTROL ピンを使用してコンバータをイネーブルまたはディスエーブルにします。EN/UVLO ピンは、フローティングの場合、内部で Low にプルされます。

EN/UVLO ピンを抵抗デバイダに追加することで、追加の UVLO をプログラムできます。さらに、このピンに 0.1µF を配置することで、ノイズや短絡のグリッチをフィルタできます。式 24 および式 23 を使用して、4.75V ターンオンおよび 4.25V ターンオフをターゲットとする抵抗値を計算します。この例では、標準の抵抗値として 30.1kΩ と 7.50kΩ を選択しています。式 26 と式 25 を使用して、選択した抵抗値に基づいてスレッショルドを計算します。

$$R_{ENTOP} = \frac{V_{ON} \times V_{ENFALL} - V_{OFF} \times V_{ENRISE}}{N \times I_{ENHYS} \times V_{ENRISE}} = \frac{5.25\ V \times 0.98\ V - 4.75\ V \times 1.05\ V}{1 \times 5.5\ \mu A \times 1.05\ V} = 27.3\ k\Omega \quad (23)$$

$$R_{ENBOT} = \frac{R_{ENTOP} \times V_{ENFALL}}{V_{OFF} - V_{ENFALL} + N \times I_{ENHYS} \times R_{ENTOP}} = \frac{30.1\ k\Omega \times 0.98\ V}{4.75\ V - 0.98\ V + 1 \times 5.5\ \mu A \times 30.1\ k\Omega} = 7.50\ k\Omega \quad (24)$$

$$V_{ON} = \frac{V_{ENRISE} \times (R_{ENBOT} + R_{ENTOP})}{R_{ENBOT}} = \frac{1.05\ V \times (7.50\ k\Omega + 30.1\ k\Omega)}{7.50\ k\Omega} = 5.26\ V \quad (25)$$

$$V_{OFF} = \frac{V_{ENFALL} \times (R_{ENBOT} + R_{ENTOP})}{R_{ENBOT}} - N \times I_{ENHYS} \times R_{ENTOP} = \frac{0.98\ V \times (8.66\ k\Omega + 30.1\ k\Omega)}{8.66\ k\Omega} - 1 \times 5.5\ \mu A \times 30.1\ k\Omega = 4.22\ V \quad (26)$$

8.2.2.9 ADRSEL

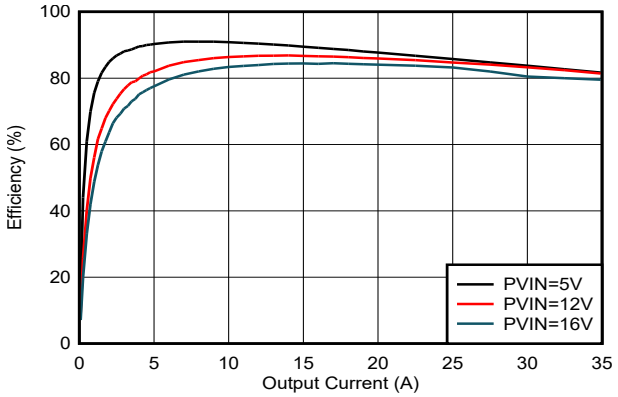
この例では、ADRSEL ピンをフローティングのままにしています。これにより、PMBus ループ フォロワー アドレスが EEPROM 値に対してデフォルトで 0x24h (36d) に設定され、SYNC ピンが 0 度の位相シフトで自動検出に設定されます。表 6-15 および表 6-14 を使用して、目的の構成に必要な AGND コードと抵抗デバイダ コードへの抵抗を選択します。

ピンストラップ接続により、SYNC ピンを自動検出に設定した状態で目的のアドレスが取得できず、さらにアプリケーションで同期が不要な場合は、SYNC ピンを SYNC_OUT に設定する必要があります。デバイスは、SYNC_IN に構成された SYNC ピンで引き続き通常どおりにレギュレートしますが、SYNC ピンへのクロック入力がない場合、デバイスは *STATUS_MFR_SPECIFIC* コマンドで SYNC フォルトを宣言します。

8.2.2.10 BCX_CLK と BCX_DAT

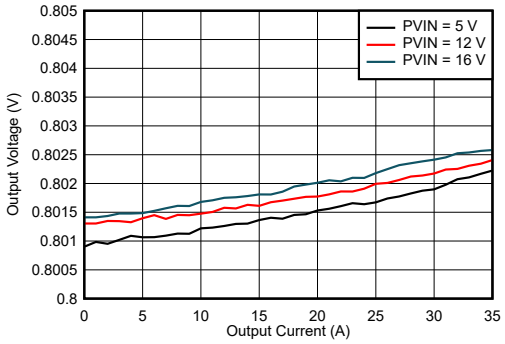
スタンドアロン デバイスの場合、BCX_CLK ピンと BCX_DAT ピンは使用しません。表 6-5 に示すように、サーマル パッドに接地することを TI は推奨します。

8.2.3 アプリケーション曲線



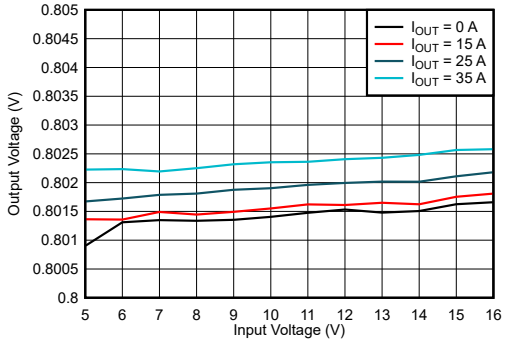
V_{OUT} = 0.8V f_{SW} = 550kHz

図 8-1. 効率と出力電流との関係



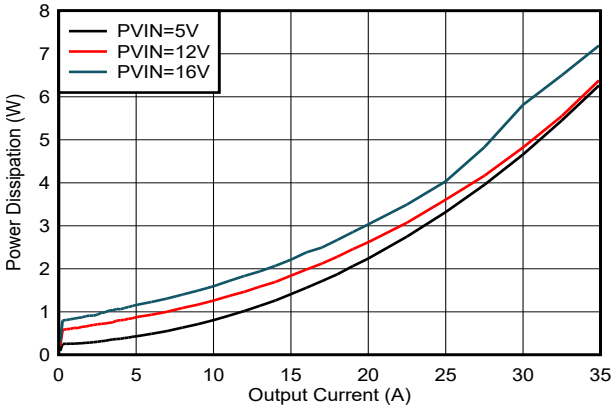
V_{VIN} = 12V V_{OUT} = 0.8V

図 8-2. ロード レギュレーション



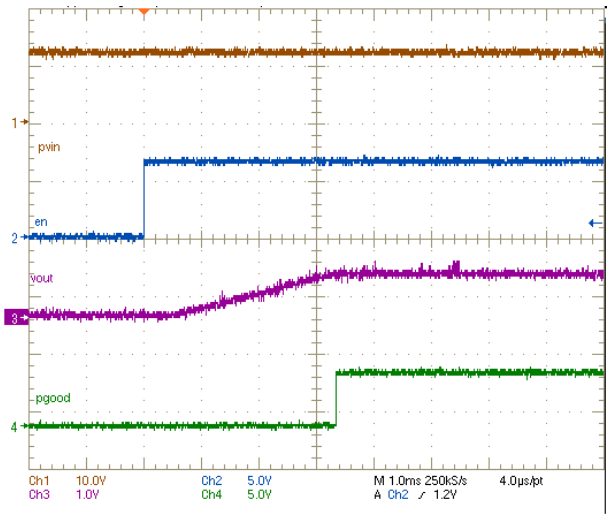
V_{OUT} = 0.8V

図 8-3. ライン レギュレーション



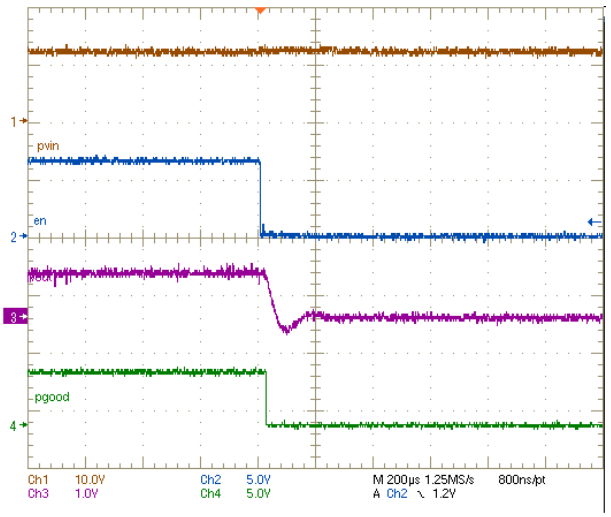
V_{OUT} = 0.8V

図 8-4. 消費電力



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 35A

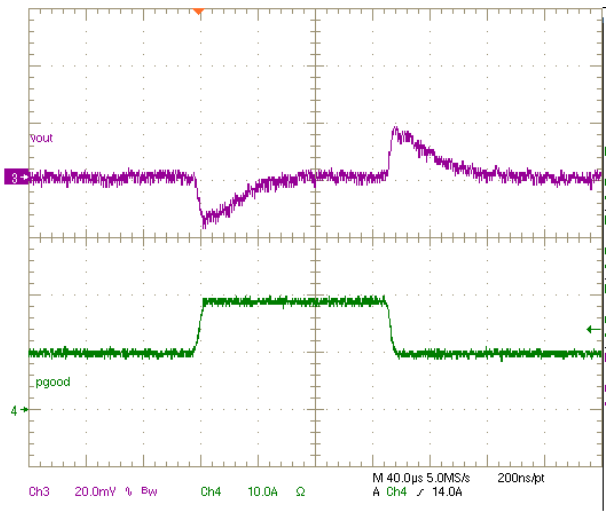
図 8-5. EN/UVLO からのスタートアップ



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 35A

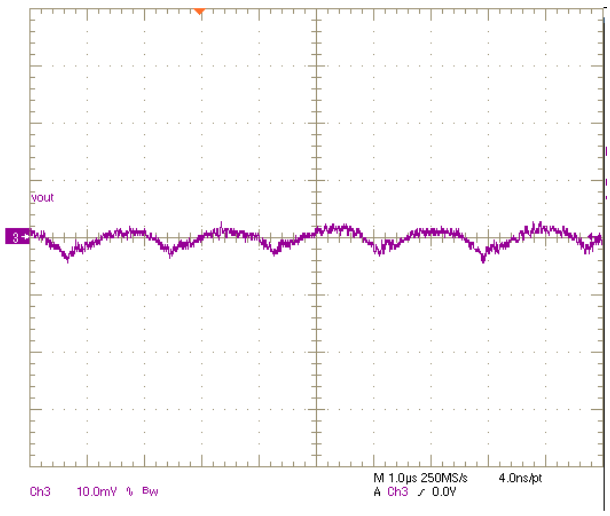
図 8-6. CNTL からのシャットダウン

Copyright © 2025 Texas Instruments Incorporated



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 10A ～ 20A、1A/µs

図 8-7. 負荷過渡応答



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 35A

図 8-8. V_{OUT} 定常状態リップル

8.3 2 相アプリケーション

2 相設計に対する主要な部品の値を選択するには、以下の設計手順を使用します。PMBus では、適切な動作オプションを設定できます。この例における部品の値の計算に使用する式については、セクション 8.2.2 を参照してください。唯一の違いは、2 相設計では 2 つのデバイスがスタックされているため、N の値を 2 に増やすことです。この手順は、3 相と 4 相の設計のリファレンスとしても使用できます。ここでも唯一の違いは、3 相と 4 相の設計で N の値をそれぞれ 3 と 4 に増やすことです。

WEBENCH は、2 相設計作成をサポートしています。*TPS546x24A 補償とピンストラップ抵抗カリキュレータ*は、設計計算とピンストラップ抵抗の選択にも使用できます。

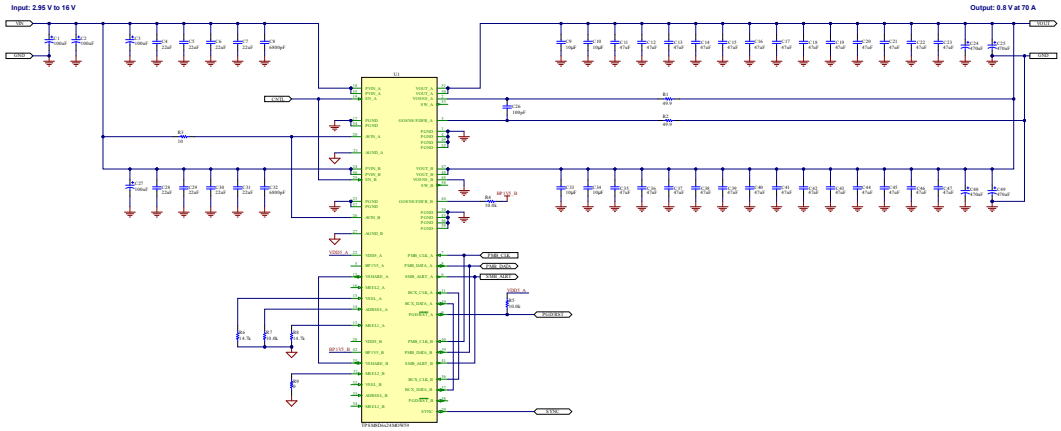


図 8-9. TPSM8D6C24 2 相アプリケーション

8.3.1 設計要件

この設計例では、次の表に記載されている入力パラメータを使用します。

表 8-3. 設計パラメータ

設計パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	入力電圧		5	12	16	V
$V_{IN(ripple)}$	入力リップル電圧	V_{IN} = 12V、I_{OUT} = 20A		0.3		V
V_{OUT}	出力電圧			0.8		V
$\Delta V_{O(\Delta VI)}$	ライン レギュレーション	5V ≦ V_{IN} ≦ 16V			0.5%	
$\Delta V_{O(\Delta IO)}$	ロード レギュレーション	0V ≤ I_{OUT} ≤ 70A			0.5%	
V_{PP}	出力リップル電圧	I_{OUT} = 50A		20		mV

Copyright © 2025 Texas Instruments Incorporated

表 8-3. 設計パラメータ (続き)

設計パラメータ		テスト条件	最小値	標準値	最大値	単位
ΔV_{OUT}	負荷過渡時の V_{OUT} 偏差	ΔI_{OUT} = 20A、V_{IN} = 12V		50		mV
I_{OUT}	出力電流	5V ≦ V_{IN} ≦ 16V	0		70	A
I_{OCP}	出力過電流保護スレッショルド			80		A
F_{SW}	スイッチング周波数	V_{IN} = 12V		550		kHz
$\eta_{Full\ load}$	全負荷効率	V_{IN} = 12V、I_{OUT} = 70A		80%		
t_{SS}	ソフト スタート時間 (T_{ON_RISE})			3		ms

8.3.2 2 相の詳細な設計手順

2 相アプリケーションでは、設計プロセスは、以下を除いて単相アプリケーションと同様です。

- 電圧ループ補償を選択するとき、2 つの相が並列動作するため、N = 2 では実効電流センス アンプのゲインが半分になります。各相は等しく電流を供給し、コンバータの電流ゲインを 2 倍にします。
- セラミック入力バイパス コンデンサについては、単相出力と同様に、各相にも十分なバイパスがあり、対応することを推奨します。一部のチャネル間の電流共有がありますが、レイアウトと配線のインダクタンスにより、多くの場合、実際のリップル電流共有は理想的な入力リップル キャンセルよりも大幅に低くなります。
- 1 次チャネルの MSEL2 (MSEL2_A) は、3ms の TON_RISE と最大電流制限の 2 相コンバータに対して、オープンのままにすることで選択されます。
- 1 次チャネルの VSEL と ADRSEL は、単相コンバータと同じようにプログラムされます。
- フォロワー チャネル (MSEL2_B) の MSEL2 は AGND に短絡されており、最大電流制限設定を持つ 2 相コンバータのフォロワーを選択できます。
- GOSNS/FLWR_B は BP1V5 にプルアップされ、チャネル A の電圧レギュレーションとエラー アンプ、PMBus インターフェイスを使用して、チャネル B をフォロワーに設定できます。
- VSHARE_A と VSHARE_B は、BCX_CLK A および B、BCX_DAT A および B と一緒に接続されています。
- チャネル B の MSEL1、VSEL、ADRSEL、PGOOD、PMB_CLK、PMB_DAT はいずれも未使用であり、GND に接続されています。

8.3.2.1 スイッチング周波数

1 次チャネルのみが、MSEL1 ピンで *USER_DATA_01 (COMPENSATION_CONFIG)* と *FREQUENCY_SWITCH* をプログラムするための抵抗デバイダが必要です。2 次チャネルの MSEL1 ピンは使用しません。この設計では、550kHz の中程度のスイッチング周波数を使用して、小型のソリューション サイズと動作の高効率の両方を実現できます。MSEL1 ピン プログラム表を使用して、周波数オプションを選択します。抵抗デバイダ コードの選択については、表 6-8 を参照してください。550kHz のスイッチング周波数を採用する場合、AGND との間に 1 つの抵抗を使用して、補償設定を 7 ～ 25 でプログラムすることができます。MSEL1 を使用して可能な 32 種類の補償設定すべてをプログラムするには、抵抗デバイダ コード 6 または 7 により、スイッチング周波数を 550kHz に設定します。

8.3.2.2 出力電圧設定 (VSEL ピン)

VSEL ピンに抵抗デバイダを使用して出力電圧をプログラムする必要があるのは、ループ コントローラ デバイス (U1) のみです。ループ フォロワー デバイスの VSEL ピンは使用しません。表 6-12 を使用したこの 0.8V 出力例で選択された抵抗デバイダ コードは、AGND への単一の抵抗です。VOUT 範囲に対して抵抗デバイダ コードを選択し、表 6-13 から VOUT_COMMAND オフセットと VOUT_COMMAND ステップを使用して、AGND への抵抗コードを選択します。V_{OUT} = 0.8V、$VOUT_COMMAND_{(Offset)}$ = 0.5V、$VOUT_COMMAND_{(STEP)}$ = 0.05 の場合、結果はコード 6 です。VSEL の AGND への 14.7kΩ 抵抗により、目的の設定がプログラムされます。

8.3.2.3 補償の選択 (MSEL1 ピン)

ループ コントローラ デバイス (U1) のみが MSEL1 の AGND への抵抗を使用して、以下の電圧ループおよび電流ループ ゲインを設定するために*(B1h) USER_DATA_01 (COMPENSATION_CONFIG)*値をプログラムします。ループ フォロワー デバイスの MSEL1 ピンは使用しません。EEPROM コード以外のオプション (MSEL1 を AGND に短絡、または

Copyright © 2025 Texas Instruments Incorporated

MSEL1 から AGND 抵抗コード 0 に短絡) では、電流および電圧ループのゼロおよび極周波数は、プログラムされたスイッチング周波数でスケーリングされます。詳細については、セクション 8.2.2.4 を参照してください。

8.3.2.4 出力コンデンサの選択

ターゲットの最大出力電圧リップルは 20mV です。この要件では、リップルの最小出力容量は 110µF です。デューティ サイクルと位相数に応じて、インダクタのリップル電流が相殺される場合もあります。これにより、コンデンサが吸収する必要があるリップル電流が減少し、出力電圧リップルが減少します。この容量値は、過渡応答に必要な出力容量よりも小さいため、過渡要件に基づいて出力容量の値を選択します。容量の変動とディレーティングを考慮して、十分なマージンを確保した過渡仕様を満たすよう、この設計では 4 つの 470µF 低 ESR タンタル ポリマー バルク キャパシタと 26 個の 47µF セラミック コンデンサが選択されています。選択した公称 C_{OUT} は 3102µF と等しくなります。選択した 470µF コンデンサの ESR は 10mΩ です。

出力容量値を選択したとき、この例では出力コンデンサ タイプを混在させて使用しているため、ESR を考慮する必要があります。最初に、式 16 を使用して、出力電圧リップル仕様を満たすために、スイッチング周波数における出力コンデンサ バンクの最大許容インピーダンスを計算します。式 16 は、出力コンデンサ バンクのインピーダンスが 2.1mΩ よりも小さい必要があることを示します。セラミック コンデンサのみのインピーダンスは、式 17 で 0.2mΩ として計算されます。これは計算された最大値よりはるかに小さいため、出力リップルの仕様では、タンタル ポリマー コンデンサの ESR を考慮する必要はありません。

8.3.2.5 入力コンデンサの選択

式 20 を使用すると、最大入力 RMS 電流は 12.8A であり、入力コンデンサはそれに対応できる定格を持つ必要があります。これを計算するとき、最大出力電流を位相数で除算する必要があります。スイッチング ノードがインターリーブされているので、出力電流を位相相数で除算します。スイッチング ノードをインターリーブすると、入力コンデンサに流れる電流パルスの振幅を位相数で実質的に分割できます。この例における最大入力が 16V の場合、最大入力電圧をサポートするために、少なくとも 25V の電圧定格を持つセラミック コンデンサが必要です。

この設計では、$V_{RIPPLE(cap)}$ に対する 0.1V の入力リップルと、$V_{RIPPLE(esr)}$ に対する 0.2V 入力リップルを許容します。式 21 と式 22 を使用すると、この設計の最小入力容量はそれぞれ 31.8µF、最大 ESR は 5.02mΩ になります。ここでも、最大出力電流を位相数で除算する必要があり、計算された静電容量をループ コントローラ コンバータとすべてのループ フォロワー コンバータの近くに配置する必要があります。十分なマージンを確保して電力段をバイパスするため、8 つの 22µF、25V セラミック コンデンサと、6 つの 6800pF、25V セラミック コンデンサを並列に選択しています。さらに、過渡時の入力の偏差を最小限に抑えるため、100µF、25V 低 ESR 電解コンデンサを 4 つ入力側に配置しています。これらのコンデンサは、複数の位相間で均等に配置されています。高周波リンギングを最小限に抑えるため、高周波 6800pF PVIN バイパス コンデンサを電源段の近くに配置する必要があります。

コンバータをスタックする際には、入力 RMS 電流の量と、入力容量が必要とされる場合の量をさらに低減できます。リップルのキャンセル量は、位相数とデューティ サイクルに依存します。位相間の PCB インダクタンスも、リップル キャンセルの影響を低減することができます。この例で使用している計算では、リップル キャンセルの影響は無視されます。

8.3.2.6 ループ フォロワー デバイスの GOSNS/ ループ フォロワー ピン

ループ フォロワー デバイスは、GOSNS/ ループ フォロワー ピンを抵抗を介して BP1V5 に接続する必要があります。10kΩ 抵抗を推奨します。

8.3.2.7 ソフト スタート、過電流保護、スタック構成 (MSEL2 ピン)

ループ コントローラ デバイス (U1) の MSEL2 ピンの抵抗デバイダ コードにより、ソフトスタート値を選択します。AGND への抵抗によって、共通の出力と過電流スレッショルドを共有するデバイスの数が決まります。表 6-10 と 表 6-11 を使用して抵抗値を選択します。この 2 相設計では、MSEL2 ピンをフローティングにすることで必要な設定を選択できます。これにより、3ms のソフトスタート時間、最大の電流制限スレッショルド、2 相構成が選択されます。

スタッカブル構成では、ループ フォロワー デバイスは MSEL2 から AGND への抵抗を使用して、*IOUT_OC_WARN_LIMIT* 、*IOUT_OC_FAULT_LIMIT* 、*MFR_SPECIFIC_28 (STACK_CONFIG)* 、および *INTERLEAVE* をプログラムします。ループ フォロワーは、パワーオン リセット機能の一部として、バックチャネル通信

Copyright © 2025 Texas Instruments Incorporated

(BCX_CLK と BCX_DAT) を介して、ループ コントローラから他のすべてのピンでプログラムされた値を受信します。この 2 相設計では、ループ フォロワー デバイスの MSEL2 ピンを AGND に短絡することで、必要な設定を選択できます。これにより、最大電流制限スレッショルドが選択され、ループ フォロワー デバイスがループ コントローラ デバイスから 180° の位相差になるようにプログラムされます。

8.3.2.8 イネーブル、UVLO

スタックされたデバイスの EN/UVLO ピンを互いに接続することを TI は推奨します。これを行うと、ヒステリシス電流はスタックされたデバイスの数で乗算されます。この増加したヒステリシス電流を、EN/UVLO ピンへの抵抗デバイダの計算に含める必要があります。詳細については、セクション 8.2.2.8 を参照してください。

8.3.2.9 VSHARE ピン

スタック構成を使用する場合は、33pF 以上のコンデンサを使用して、各デバイスの VSHARE ピンを AGND にバイパスします。このコンデンサを使用して、スタック デバイス間の VSHARE 信号に外部ノイズが追加されるのを防止します。

8.3.2.9.1 ADRSEL ピン

ADRSEL ピンに抵抗デバイダが必要なのは、ループ コントローラ デバイス (U1) のみです。この例では、ADRSEL ピンをフローティングのままにしています。これにより、PMBus ループ フォロワー アドレスが EEPROM 値に対してデフォルトで 0x24h (36d) に設定され、SYNC ピンが 0 度の位相シフトで自動検出に設定されます。表 6-15 および表 6-14 を使用して、目的の構成に必要な AGND コードと抵抗デバイダ コードへの抵抗を選択します。

8.3.2.10 SYNC ピン

積層デバイスの SYNC ピンを互いに接続する必要があります。ループ フォロワー デバイスは常に SYNC_IN 用に設定され、ループ コントローラ デバイス (U1) は自動検出、SYNC_IN、または SYNC_OUT に設定できます。

8.3.2.11 ループ フォロワー デバイスの VOSNS ピン

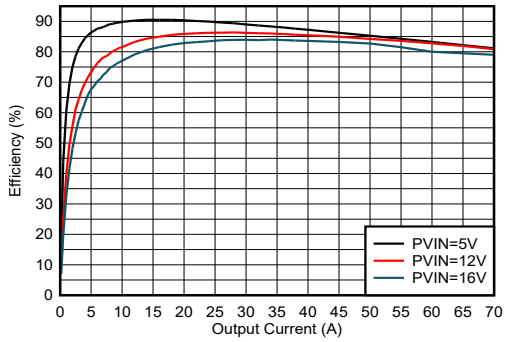
ループ フォロワー デバイスの VOSNS ピンは、*READ_VOUT* コマンドを介して VOUT 以外の電圧を監視するために使用できます。VOSNS の電圧にスケーリングするには、抵抗デバイダを使用して 0.75V 未満にする必要があります。*PHASE* コマンドを使用して、適切な位相を選択する必要があります。

8.3.2.12 ループ フォロワー デバイスの未使用ピン

ループ フォロワー デバイスの複数のピンは使用されません。サーマルパッドに接地することを TI は推奨します。詳細については「表 6-5」を参照。

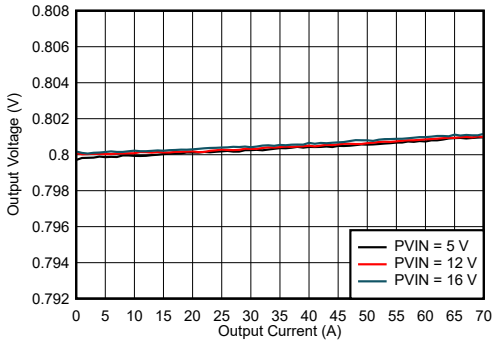
Copyright © 2025 Texas Instruments Incorporated

8.3.3 アプリケーション曲線



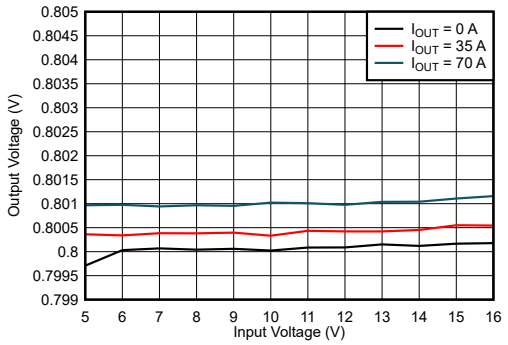
V_{OUT} = 0.8V f_{SW} = 550kHz

図 8-10. 効率と出力電流との関係



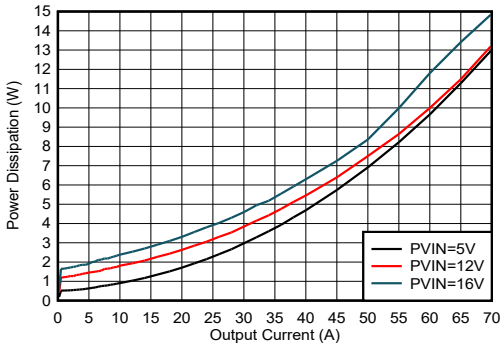
V_{OUT} = 0.8V f_{SW} = 550kHz

図 8-11. ロード レギュレーション



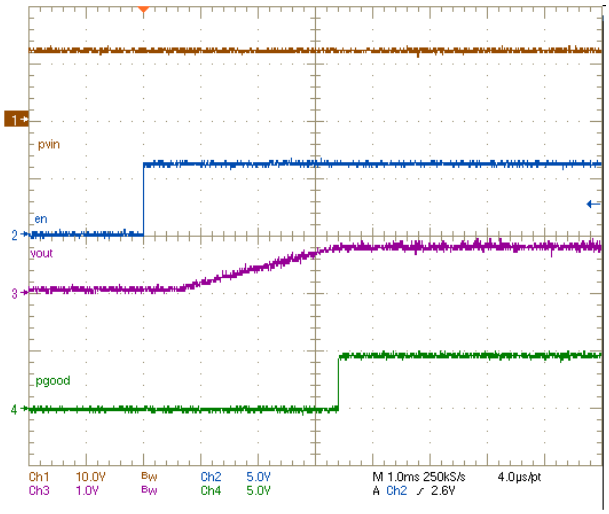
V_{OUT} = 0.8V f_{SW} = 550kHz

図 8-12. ライン レギュレーション



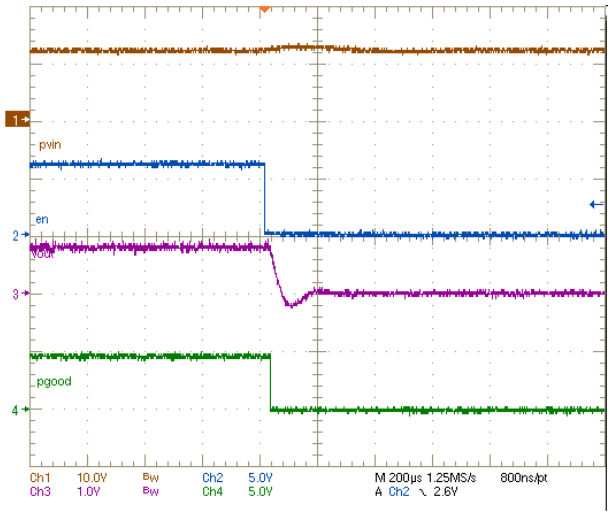
V_{OUT} = 0.8V f_{SW} = 550kHz

図 8-13. 消費電力



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 70A
f_{SW} = 550kHz

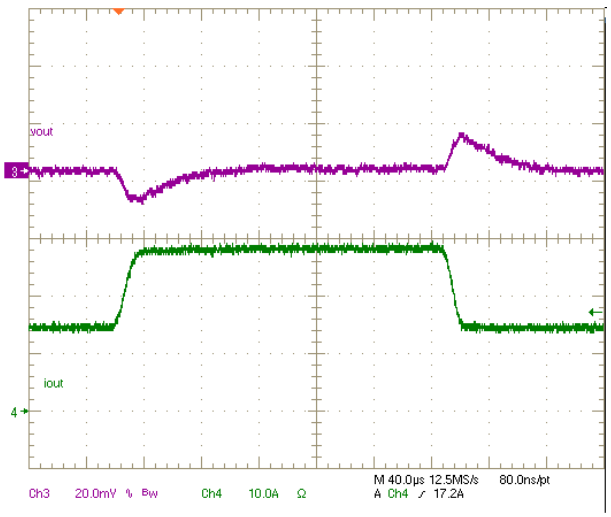
図 8-14. EN/UVLO からのスタートアップ



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 70A
f_{SW} = 550kHz

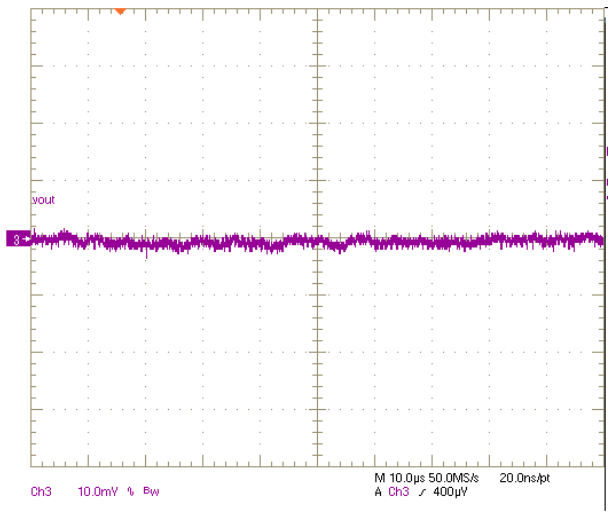
図 8-15. CNTL からのシャットダウン

Copyright © 2025 Texas Instruments Incorporated



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 15A ～ 30A、1A/µs

図 8-16. 負荷過渡応答



V_{IN} = 12V V_{OUT} = 0.8V I_{OUT} = 55A

図 8-17. V_{OUT} 定常状態リップル

8.4 4 相アプリケーション

図 8-18 に、TPSM8D6C24 モジュールを使用した 4 相設計の例を示します。

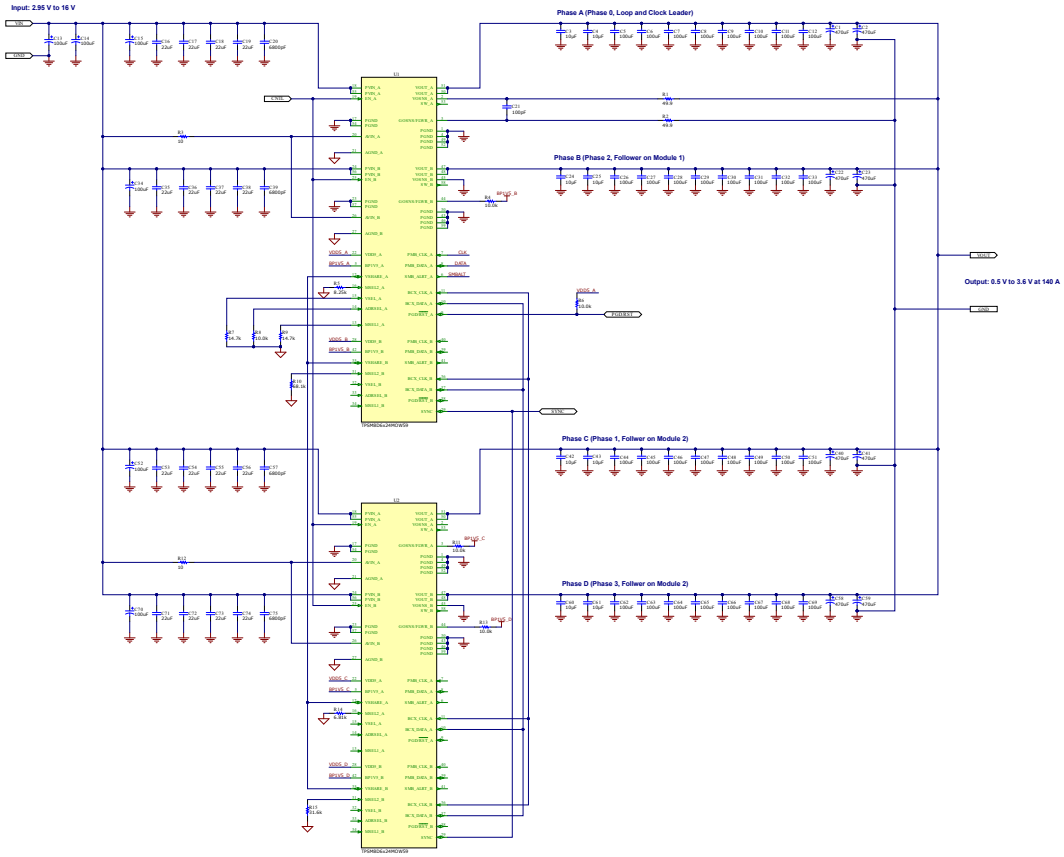


図 8-18. TPSM8D6C24 4 相アプリケーション

Copyright © 2025 Texas Instruments Incorporated

8.5 電源に関する推奨事項

TPSM8D6C24 は、分割入力電圧電源から動作するように設計されています。AVIN は、2.95V ～ 18V で動作するように設計されています。POR、PMBus 通信、または出力変換を有効にするには、AVIN に電力を供給する必要があります。AVIN 電圧が 4V 未満の場合、スイッチングを有効にするには、VDD5 に 4V を上回る入力電圧を供給する必要があります。PVIN は、2.95V ～ 16V で動作するように設計されています。スイッチングを有効にするには、PVIN に電力を供給する必要がありますが、POR または PMBus 通信に電力を供給する必要はありません。 TPSM8D6C24 は、AVIN を PVIN に接続することで、単一の 4V またはそれより高い電源電圧で動作できます。AVIN のスイッチング ノイズを低減するため、AVIN と PVIN との間に 10Ω の抵抗を TI は推奨します。セクション 8.6 の推奨事項を参照してください。

8.6 レイアウト

8.6.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要です。セクション 8.6.2 に、推奨される PCB レイアウト構成を示します。これらのデバイスの使用に関する PCB レイアウトの検討事項を以下に示します。

- 他のスイッチング レギュレータと同様に、高速なスイッチング電圧または電流を伝導する、複数の電源パスまたは信号パスが存在します。これらのパスとそのバイパス接続によって形成されるループ領域を最小化します。
- 低インピーダンス パスを使用して PGND に PVIN ピンをバイパスします。電力段の入力バイパス コンデンサは、物理的に可能な限り PVIN ピンと PGND ピン近くに配置してください。高周波のバイパス コンデンサを内蔵しており、スイッチング スパイクと EMI を低減できます。PCB の反対側で、デバイスの直下に追加の EMI バイパス コンデンサを配置することで、ループを最小限に抑えることができます。
- AVIN バイパス コンデンサを AVIN ピンに近づけて配置し、サーマル パッドで PGND への低インピーダンス パスを作る必要があります。
- 信号部品をデバイスに対して局所的に配、接続されているピンのできるだけ近くに配置します。これらの部品には、VOSNS および GOSNS 直列抵抗と差動フィルタ コンデンサのほか、MSEL1、MSEL2、VSEL、ADRSEL 抵抗が含まれます。これらの部品を最小限のリターン ループで AGND に終端するか、独立した低インピーダンス アナログ グランド (AGND) の銅領域にバイパスできます。このグランドは、高速スイッチング電圧および電流パスから分離され、AGND ピンを経由してサーマル パッド上の PGND に単一で接続されます。配置に関する推奨事項については、セクション 8.6.2 を参照してください。
- PGND ピンは、低ノイズで低インピーダンスのパスを使用して、PCB 上のデバイスのサーマル パッドに直接接続する必要があります。
- VOSNS と GOSNS の各ラインは、負荷の出力コンデンサ バンクから、密結合差動ペアとしてデバイスのピンに配線します。これらのパターンは、差動モード ノイズを増やす可能性のあるスイッチングまたはノイズの多い領域から離す必要があります。
- スタッカブル構成で、SYNC、VSHARE、BCX_CLK、BCX_DAT パターンを配線する場合は注意が必要です。SYNC パターンはレール ツー レール信号を伝送し、VSHARE、VOSNS、GOSNS 信号などの敏感なアナログ信号から遠ざけて配線する必要があります。VSHARE のパターンは、PVIN、AVIN、SW、VDD5 ピンによって形成される高速なスイッチング電圧または電流からも遠ざける必要があります。

Copyright © 2025 Texas Instruments Incorporated

8.6.2 レイアウト例

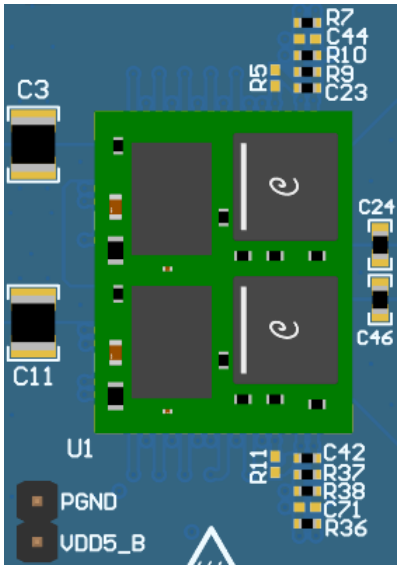


図 8-19. 最上層部品 (上面図)

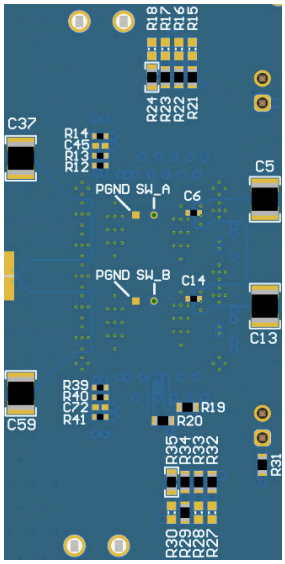


図 8-20. 最下層部品 (上面図)

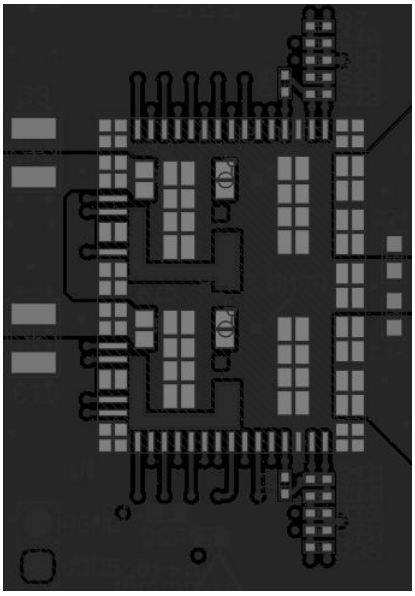


図 8-21. 最上層レイアウト (上面図)

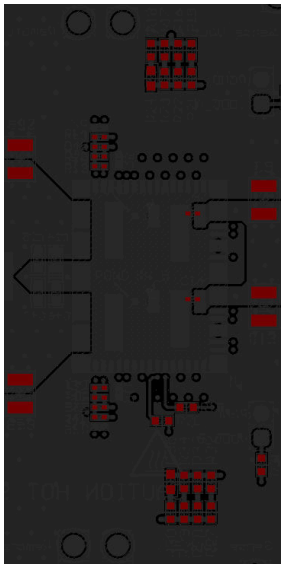


図 8-22. 最下層レイアウト (上面図)

Copyright © 2025 Texas Instruments Incorporated

8.6.2.1 TI EVM の放熱性能

テスト条件：f_{SW} = 550kHz、V_{IN} = 12V、V_{OUTA} = 1V、V_{OUTB} = 1.2V、I_{OUTA} = I_{OUTB}=35A、Airflow = 200LFM、モジュールのピーク温度：102°C

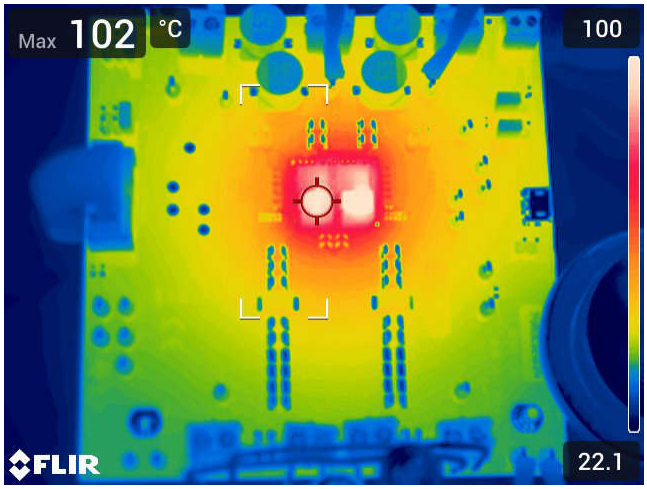


図 8-23. 周囲温度 25°C、12Vin、0.8V と 1.2Vout、35A、550kHz の熱画像

テスト条件：

f_{SW} = 600kHz、V_{IN} = 12V、V_{OUT} = 0.8V、I_{OUT} = 70A、Airflow = 200LFM

モジュールのピーク温度：100°C

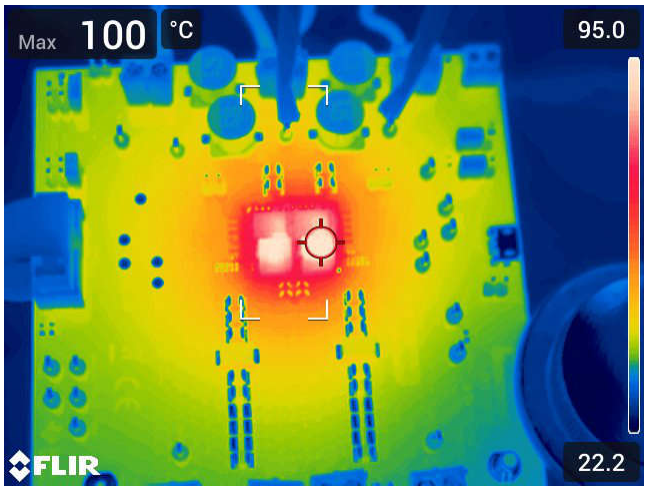


図 8-24. 周囲温度 25°C、12Vin、0.8Vout、70A、550kHz の熱画像

8.6.2.2 EMI

TPSM8D6C24 は、EN55011 クラス B 放射エミッションに準拠しています。図 8-25 に、チャネルあたり 12 V_{IN}、デュアル 1.0 V_{OUT}、35A の放射エミッション プロットを示します。

EMI プロットは、標準 TPSM8D6C24–2V0EVM を使用して測定しました。

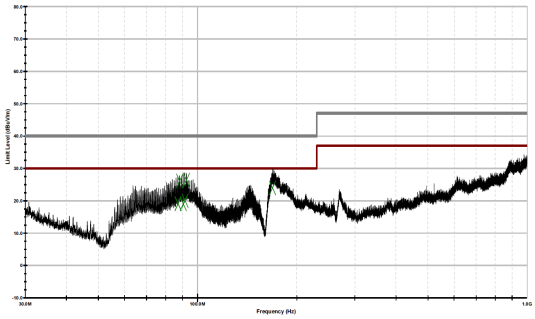


図 8-25. 放射エミッション 12V 入力、1.0V 出力、35A / 出力負荷

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

9.1.2.1 テキサス インスツルメンツ Fusion Digital Power Designer

TPSM8D6C24 はテキサス インスツルメンツの Digital Power Designer でサポートされています。Fusion Digital Power Designer はグラフィカル ユーザー インターフェイス(GUI)で、テキサス・インスツルメンツ製の USB-to-GPIO アダプタを使用し、PMBus 経由でデバイスを設定および監視するために使用できます。

テキサス インスツルメンツの Fusion Digital Power Designer ソフトウェア パッケージをダウンロードするには、こちらのリンクをクリックしてください。

9.1.2.2 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、TPSM8D6C24 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
PMBus® is a registered trademark of System Management Interface Forum, Inc..

Copyright © 2025 Texas Instruments Incorporated

WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2025) to Revision C (November 2025)	Page
• 図 8-10 および図 8-13 の効率データを更新	164

Changes from Revision A (November 2023) to Revision B (November 2025)	Page
• 図 *効率、12Vin、内部バイアス、Fsw = 550kHz* の効率データを更新	1
• 図 5-1、図 5-2、図 5-3、図 5-4、図 5-5、図 5-6、図 5-7、図 5-8 の効率データを更新	15
• 図 8-1 および図 8-4 の効率データを更新	158
• 図 8-23 と 図 8-24 の熱測定を更新	169

Changes from Revision * (December 2021) to Revision A (November 2023)	Page
• 表 4-1 にピン 55 とピン 56 を追加	4
• 表 6-6 の CMD コード FCh のデフォルト値を 02D0h から 02C0h に変更	35
• 表 6-11 の見出しを OC_FAULT(A)/ OC_WARN(A) から OC_WARN(A)/OC_FAULT(A) に変更	41
• 表 7-86 の説明を「02D0h へのハード コード」から「02C0h へのハード コード」に変更	150
• *スイッチング周波数*の最後の文で、抵抗デバイダのコードを 2 または 3 から 6、7、またはオープンに変更	153
• 式 9 で、から (0.8 - 0.25)/0.02 = 27.5 から (0.8 - 0.5)/0.05 = 6 に変更	154
• 式 12 の 6.511mV/A から 6.155mV/A に変更し、3.255mΩ から 3.08mΩ に変更	155

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。これらのデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

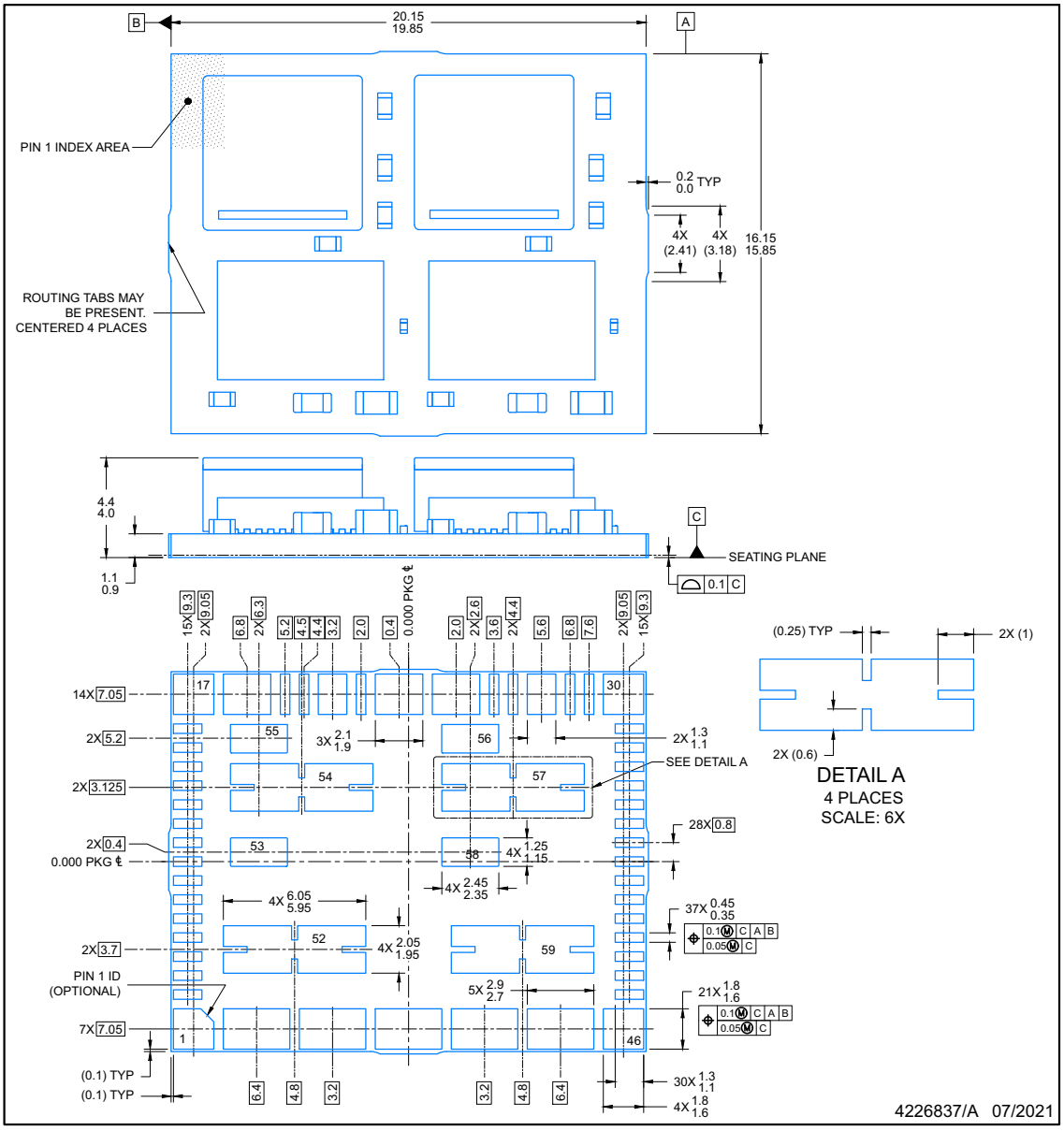
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

MOW0059A

QFM - 4.4 mm max height

QUAD FLAT MODULE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

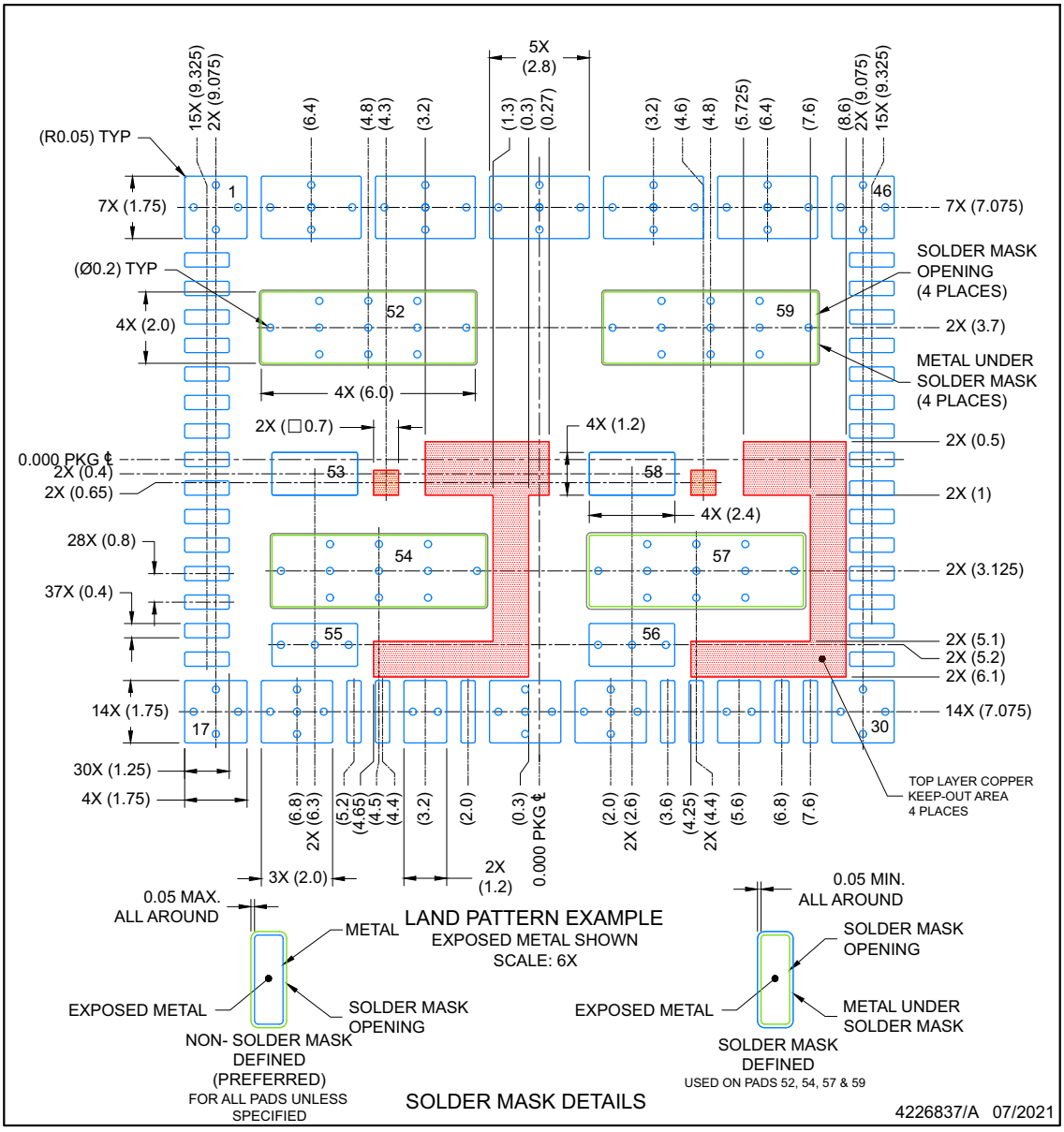
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

MOW0059A

QFM - 4.4 mm max height

QUAD FLAT MODULE



NOTES: (continued)

4. This package is designed to be soldered to thermal pads on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on the application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

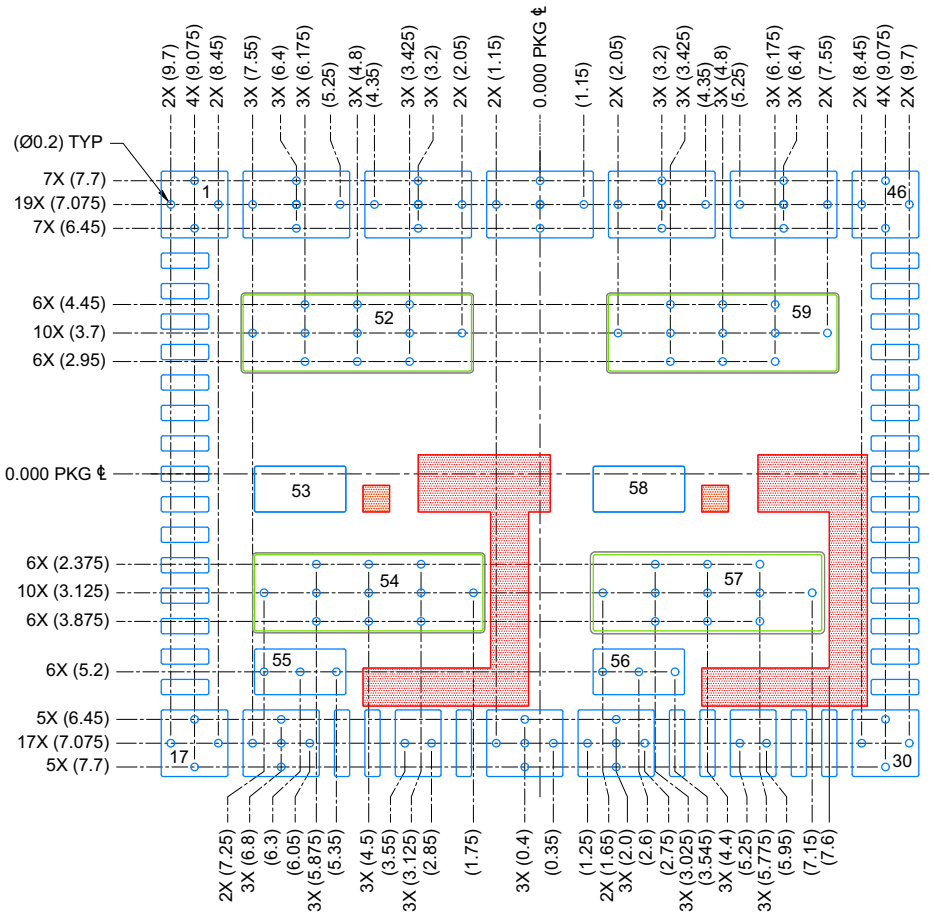
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

MOW0059A

QFM - 4.4 mm max height

QUAD FLAT MODULE



LAND PATTERN EXAMPLE
VIA POSITION
SCALE: 6X

4226837/A 07/2021

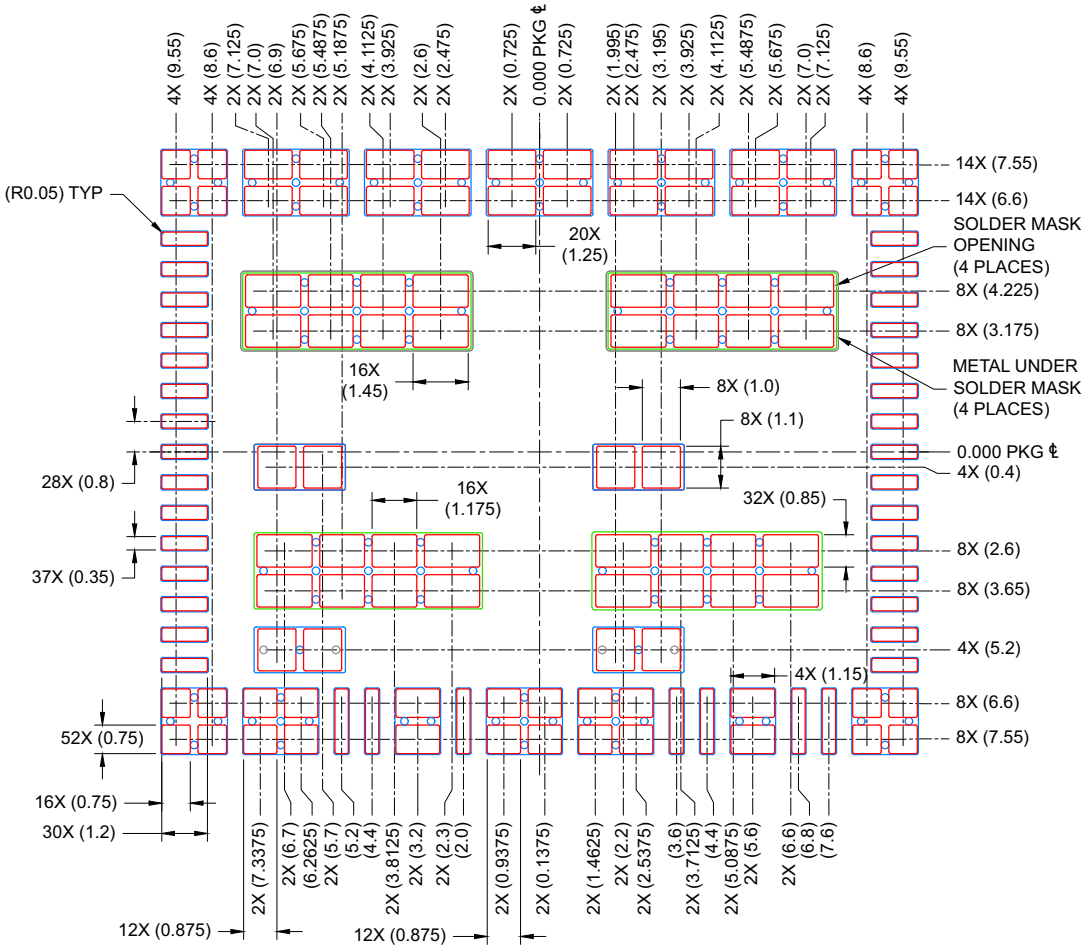
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

MOW0059A

QFM - 4.4 mm max height

QUAD FLAT MODULE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

75% SOLDER COVERAGE ON PAD 52, 54, 57 & 59
SCALE: 6X

4226837/A 07/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil designs

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM8D6C24MOWR	Active	Production	QFM (MOW) | 59	500 | LARGE T&R	Exempt	NIAU	Level-3-260C-168 HR	-40 to 125	TPSM8D6C24 MOW
TPSM8D6C24MOWR.A	Active	Production	QFM (MOW) | 59	500 | LARGE T&R	Exempt	NIAU	Level-3-260C-168 HR	-40 to 125	TPSM8D6C24 MOW
TPSM8D6C24MOWR.B	Active	Production	QFM (MOW) | 59	500 | LARGE T&R	Exempt	NIAU	Level-3-260C-168 HR	-40 to 125	TPSM8D6C24 MOW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

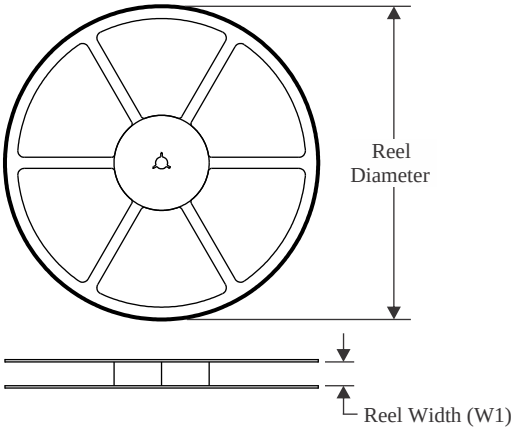
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

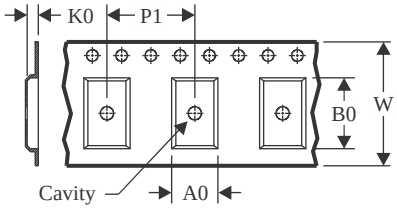
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

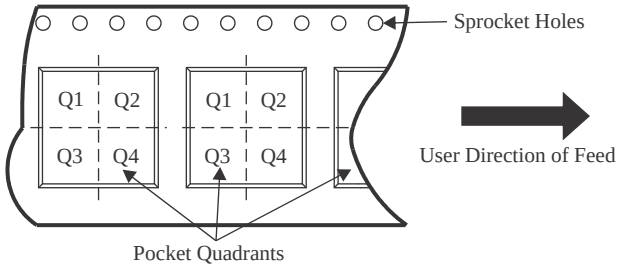


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

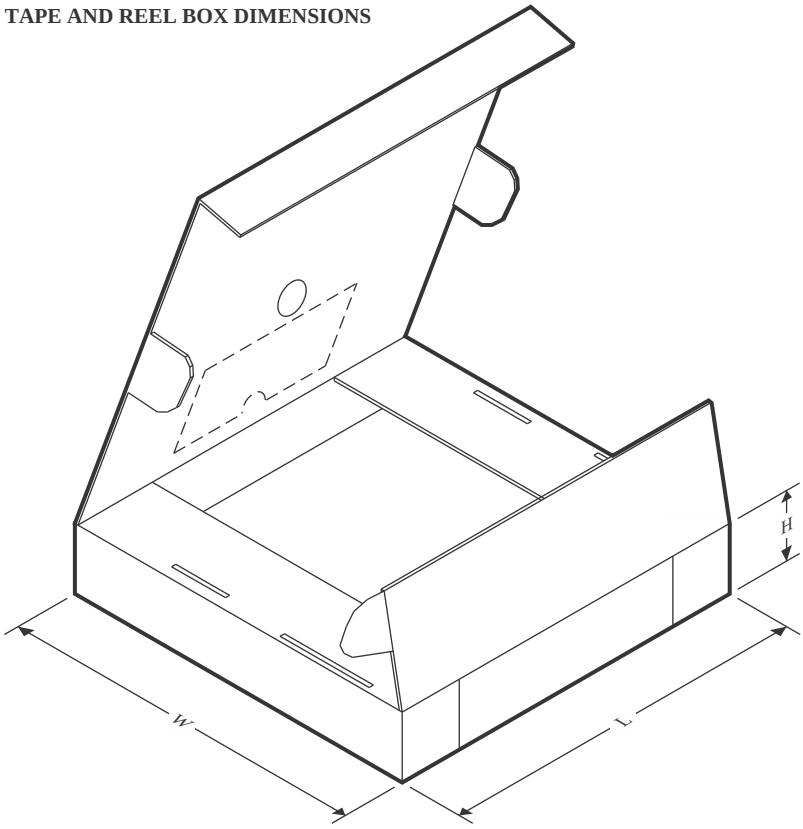
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM8D6C24MOWR	QFM	MOW	59	500	330.2	32.4	11.4	16.4	4.69	16.0	32.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM8D6C24MOWR	QFM	MOW	59	500	381.0	381.0	101.6

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月