TPUL2G122-Q1 および TPUL2G122A-Q1 車載用デュアル RC 時間設定型再トリガ可能モノステーブル マルチバイブレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃ ～ +125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- ウェッタブル フランク QFN パッケージで供給
- RC を 1µs ～ 860ms の範囲で構成可能 (V_{CC} = 3.3V)
- より長いパルス幅を必要とする場合、TPUL2T323-Q1 を推奨します
- 最大パルス幅変動 10%
- 幅広い動作範囲:1.5V ～ 5.5V
- 5.5V までの入力電圧に対応
- すべての入力のシュミット トリガ アーキテクチャ

2 アプリケーション

- デジタル振幅シフト キーイング (ASK) 信号を復調します
- システムを一定時間リセットします
- 正の固定幅デジタル パルスを生成します
- デジタル信号の立ち上がりエッジを検出します
- デジタル信号の立ち下がりエッジを検出します
- スイッチのデバウンス

3 説明

TPUL2G122x-Q1 デバイスには、1.5V ～ 5.5V で動作するよう設計されたの 2 つの独立した RC 構成可能な再トリガ可能モノステーブル マルチバイブレータが含まれています。出力パルス持続時間は、近似出力パルス幅 $t_{wo} \cong R \times C$ で外付けの抵抗および容量の値を選択することで構成されます。

TPUL2G122x-Q1 デバイスには 2 つのトリガ入力が搭載されており、立ち上がりエッジ (T) および立ち下がりエッジ ($\overline{T}$) のトリガが可能です。各チャネルにはクリア入力 ($\overline{CLR}$) も内蔵されており、非同期で使用してアクティブな出力パルスを停止できます。すべての入力はシュミット トリガ アーキテクチャを内蔵しているため、低速の入力遷移に対応でき、ノイズ耐性が向上します。

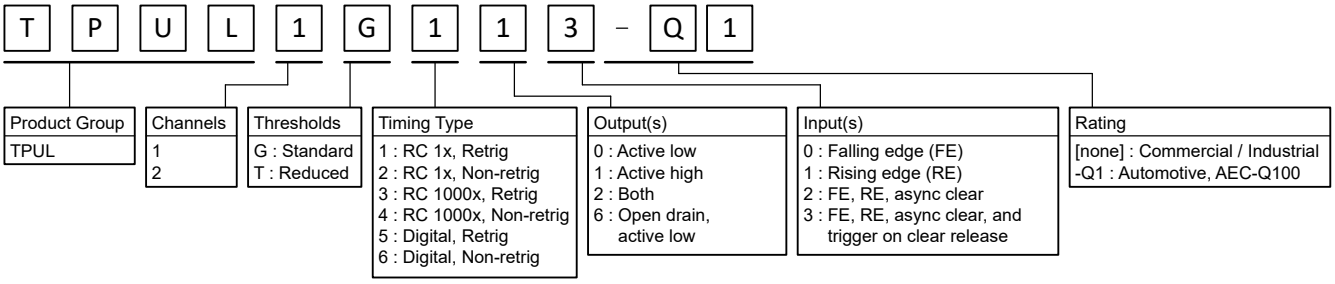
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ
TPUL2G122-Q1	BQB (WQFN、16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	D (SOIC、16)	9.9mm × 6mm	9.9mm × 3.9mm
	PW (TSSOP、16)	5mm × 6.4mm	5mm × 4.4mm
TPUL2G122A-Q1	BQB (WQFN、16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	D (SOIC、16)	9.9mm × 6mm	9.9mm × 3.9mm
	PW (TSSOP、16)	5mm × 6.4mm	5mm × 4.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	ピン配置	機能的に一致する従来のデバイス
TPUL2G122-Q1	標準	CD74HC423
TPUL2G122A-Q1	代替	CD74HC4538



TPUL ファミリの命名規則

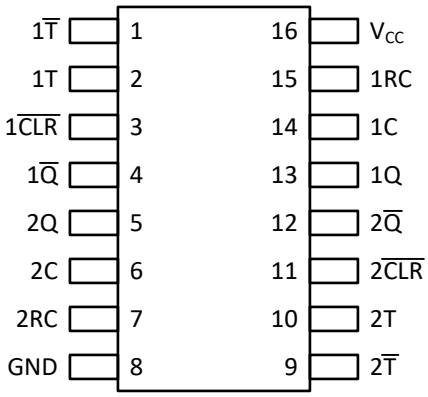
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 タイミング特性.....8
5.7 スイッチング特性.....9
5.8 代表的特性.....11
6 パラメータ測定情報.....18
7 詳細説明.....20
7.1 概要.....20
7.2 機能ブロック図.....21
7.3 機能説明.....22
7.4 デバイスの機能モード.....27
8 アプリケーションと実装.....28
8.1 使用上の注意.....28
8.2 代表的なアプリケーション - エッジ検出器.....28
8.3 代表的なアプリケーション - 遅延パルス ジェネレータ.....33
8.4 電源に関する推奨事項.....33
8.5 レイアウト.....34
9 デバイスおよびドキュメントのサポート.....35
9.1 ドキュメントのサポート.....35
9.2 ドキュメントの更新通知を受け取る方法.....35
9.3 サポート・リソース.....35
9.4 商標.....35
9.5 静電気放電に関する注意事項.....35
9.6 用語集.....35
10 改訂履歴.....35
11 メカニカル、パッケージ、および注文情報.....35

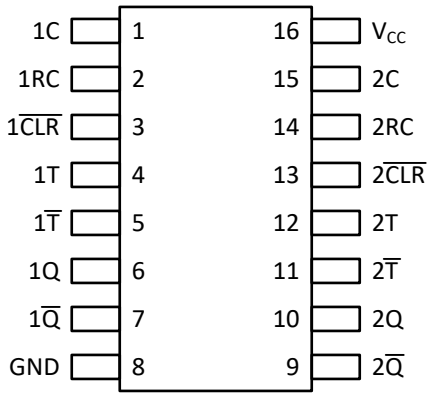
Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



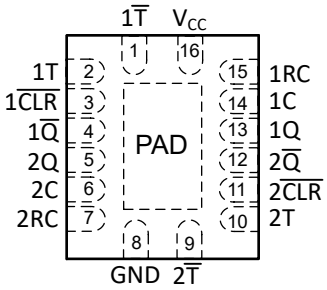
寸法については、機械的な図を参照してください。

図 4-1. TPUL2G122-Q1 D および PW パッケージ 16 ピン SOIC および TSSOP 上面図



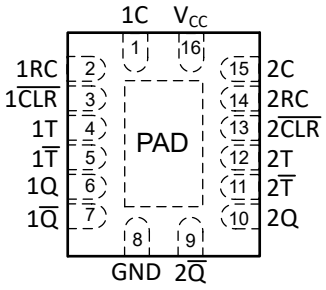
寸法については、機械的な図を参照してください。

図 4-2. TPUL2G122A-Q1 D および PW パッケージ 16 ピン SOIC および TSSOP 上面図



寸法については、機械的な図を参照してください。

図 4-3. TPUL2G122-Q1 BQB パッケージ 16 ピン WQFN 透過上面図



寸法については、機械的な図を参照してください。

図 4-4. TPUL2G122A-Q1 BQB パッケージ 16 ピン WQFN 透過上面図

表 4-1. ピンの機能

ピン			タイプ[1]	説明
名称	TPUL2G122-Q1 番号	TPUL2G122A-Q1 番号		
1C	14	1	G	チャネル 1 外部タイミング コンデンサの負の接続。外部タイミング コンデンサの放電電流用のリターン パスを提供します。内部でグラウンドに接続されます
1$\overline{CLR}$	3	3	I	チャネル 1 非同期クリア入力、アクティブ "Low"
1$\overline{Q}$	4	7	O	チャネル 1 反転出力
1Q	13	6	O	チャネル 1 出力
1RC	15	2	I/O	チャネル 1 の外部タイミング ノード接続。詳細な動作手順については、「*アプリケーション情報*」セクションを参照してください
1$\overline{T}$	1	5	I	チャネル 1 立ち下がりエッジ トリガ入力 TPUL2G122-Q1：1T と 1$\overline{CLR}$ を High に保持する必要があります TPUL2G122A-Q1：1T を Low に、1$\overline{CLR}$ を High に保持する必要があります。
1T	2	4	I	チャネル 1 立ち上がりエッジ トリガ入力 TPUL2G122-Q1：1$\overline{T}$ を Low に、1$\overline{CLR}$ を High に保持する必要があります。 TPUL2G122A-Q1：1T と 1$\overline{CLR}$ を High に保持する必要があります
2C	6	15	G	チャネル 2 外部タイミング コンデンサの負の接続。外部タイミング コンデンサの放電電流用のリターン パスを提供します。内部でグラウンドに接続されます

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	TPUL2G122-Q1 番号	TPUL2G122A-Q1 番号		
2$\overline{CLR}$	11	13	I	チャネル 2 非同期クリア入力、アクティブ "Low"
2Q	5	10	O	チャネル 2 出力
2$\overline{Q}$	12	9	O	チャネル 2 反転出力
2RC	7	14	I/O	チャネル 2 の外部タイミング ノード接続。詳細な動作手順については、「*アプリケーション情報*」セクションを参照してください
2$\overline{T}$	9	11	I	チャネル 2 立ち下がりエッジ トリガ入力 TPUL2G122-Q1：2T と 2$\overline{CLR}$ を High に保持する必要があります TPUL2G122A-Q1：2T を Low に、2$\overline{CLR}$ を High に保持する必要があります。
2T	10	12	I	チャネル 2 立ち上がりエッジ トリガ入力 TPUL2G122-Q1：2$\overline{T}$ を Low に、2$\overline{CLR}$ を High に保持する必要があります。 TPUL2G122A-Q1：2T と 2$\overline{CLR}$ を High に保持する必要があります
GND	8	8	G	グランド
サーマル パッド			—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。
V_{CC}	16	16	P	正電源電圧

(1) I = 入力、O = 出力、I/O = 入力と出力、G = グランド、P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	デジタル入力電圧範囲(2)		-0.5	6.5	V
V_O	アクティブ状態でのデジタル出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
V_O	高インピーダンス状態でのデジタル出力電圧範囲(2)		-0.5	6.5	V
V_{RC}	RC ピンの電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ ダイオード電流、連続	V_I < -0.5V		-20	mA
	入力クランプ ダイオード電流、パルス 1µs	V_I < -0.5V		-200	mA
I_{OK}	出力クランプ ダイオード電流、連続	V_O < -0.5V		-20	mA
	出力クランプ ダイオード電流、パルス 1µs	V_O < -0.5V		-200	mA
I_O	デジタル出力電流、連続	V_O = 0～V_{CC}		±50	mA
	デジタル出力電流、パルス 1µs	V_O = 0～V_{CC}		±200	mA
	V_{CC} または GND を通過する連続電流			±200	mA
R_{ext}	外部タイミング抵抗		1		kΩ
C_{ext}	外部タイミング キャパシタンス			1(3)	µF
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。「推奨動作条件」の範囲外でも「絶対最大定格」の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 関連するクランプ電流定格を順守しても、電圧定格を超えることがあります。
(3) 外部ダイオードを追加すると、タイミング容量の最大値を超える場合があります。詳細については、*アプリケーションと実装*セクションを参照してください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.5	5.5	V
V_I (1)	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH} (2)	High レベル出力電流	V_{CC} = 1.5V		-4	mA
		V_{CC} = 1.8V		-6	mA
		V_{CC} = 2.5V		-26	mA
		V_{CC} = 3.3V		-50	mA
		V_{CC} = 5V		-50	mA

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
I_{OL} (2)	Low レベル出力電流	V_{CC} = 1.5V		4	mA
		V_{CC} = 1.8V		6	mA
		V_{CC} = 2.5V		26	mA
		V_{CC} = 3.3V		50	mA
		V_{CC} = 5V		50	mA
R_{ext} (3)	外部タイミング抵抗	V_{CC} = 1.5V～5.5V	6.5	1000	kΩ
C_{ext} (3)	外部タイミング キャパシタンス	V_{CC} = 1.5V～5.5V	0.1	1000	nF
t_{wo}	構成設定された出力パルス幅	V_{CC} = 1.5V～5.5V	0.001	860	ms
C_L	デジタル出力負荷容量	V_{CC} = 1.5V～5.5V		50	pF
V_{POR}	パワーオン リセット ランプ電圧	$\Delta t/\Delta V_{CC}$ ≥ 20µs/V	0.3	1.5	V
$\Delta t/\Delta V_{CC}$	パワーオン ランプ レート	V_{CC} = 0.3V～1.5V	20		µs/V
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.5V ～ 5.5V		100	ms/V
T_A	外気温度での動作時	外気温度での動作時	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。
(2) 連続動作の推奨最大出力電流。V_{OH} および V_{OL} の仕様を維持するためのテスト電流の値については、*電気的特性*を参照してください。12mA を超える平均出力電流で動作すると 、デバイスの信頼性に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(3) 推奨される R_{ext} および C_{ext} 値は、*スイッチング特性*表の Δt_{wo} に示される最大誤差を維持します。

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	16	138.3	75.1	96.5	19.4	95.5	該当なし	°C/W
D (SOIC)	16	112.3	73.9	75.1	32.2	74.3	該当なし	°C/W
BQB (WQFN)	16	86.3	90.6	56.4	15.2	56.3	32.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、T_A = 25°C で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{T+}	正のスイッチング スレッショルド		1.5V	0.75	0.90	0.99	V
			1.8V	0.86	1.03	1.17	
			2.5V	1.1	1.29	1.47	
			3.3V	1.37	1.56	1.76	
			5V	1.92	2.16	2.4	
			5.5V	2.08	2.33	2.6	
V_{T-}	負のスイッチング スレッショルド		1.5V	0.41	0.47	0.54	V
			1.8V	0.48	0.53	0.6	
			2.5V	0.63	0.69	0.76	
			3.3V	0.8	0.87	0.96	
			5V	1.13	1.25	1.39	
			5.5V	1.22	1.36	1.51	

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
ΔV_T	ヒステリシス (V_{T+} - V_{T-})		1.5V	0.34	0.45	0.6	V
			1.8V	0.38	0.5	0.66	
			2.5V	0.47	0.6	0.78	
			3.3V	0.56	0.69	0.89	
			5V	0.77	0.9	1.12	
			5.5V	0.83	0.96	1.2	
V_{OH}	High レベル出力電圧	I_{OH} = -50µA	1.5V ～ 5.5V	V_{CC} - 0.1	V_{CC} - 0.01		V
		I_{OH} = -1mA	1.65V	1.2	1.61		
		I_{OH} = -2mA	2.3V	2.1	2.24		
		I_{OH} = -8mA	3V	2.4	2.78		
		I_{OH} = -12mA	4.5V	3.94	4.21		
		I_{OH} = -12mA	5.5V	4.94	5.23		V
V_{OL}	Low レベル出力電圧	I_{OL} = 50µA	1.5V ～ 5.5V		0.01	0.1	V
		I_{OL} = 1mA	1.65V		0.03	0.45	
		I_{OL} = 2mA	2.3V		0.04	0.2	
		I_{OL} = 8mA	3V		0.13	0.4	
		I_{OL} = 12mA	4.5V		0.15	0.5	
		I_{OL} = 12mA	5.5V		0.13	0.5	
I_I	入力リーク電流	V_I = 5.5V または 0V	0V ～ 5.5V			±50	nA
I_{CEXT}	コンデンサ ピン電流	監視状態、V_{CEXT} = 0.5 × V_{CC}	1.5V ～ 5.5V			±50	nA
I_{CEXT}	コンデンサ ピン電流	アクティブ状態、放電、V_{CEXT} = 1.5V	1.5V			11	mA
		アクティブ状態、放電、V_{CEXT} = 2.3V	2.3V			29	mA
		アクティブ状態、放電、V_{CEXT} = 3V	3V			45	mA
		アクティブ状態、放電、V_{CEXT} = 4.5V	4.5V			95	mA
		アクティブ状態、放電、V_{CEXT} = 5.5V	5.5V			138	mA
I_{off}	部分的パワーオフ電流	V_I または V_O = 5.5V または 0V	0V ～ 0.3V		0.25	10	µA
I_{CC}	電源電流	準備完了状態、V_I = V_{CC} または 0V、I_O = 0	5.5V		0.19	2	µA
I_{CC}	電源電流	チャネルごとのアクティブ状態、V_I = V_{CC} または 0V、I_O = 0	1.5V			40	µA
			1.65V			50	
			2.3V			75	
			3V			100	
			4.5V			155	
			5.5V			195	
ΔI_{CC}	電源電流の変化	1 つの入力、V_I = 0 ～ V_{CC}、その他のすべての入力は V_{CC} または 0V、I_O = 0mA	1.5V ～ 5.5V			1.5	mA
C_I	入力容量	V_I = 5.5V または 0V	5.5V		1.3		pF
C_O	出力容量	V_O = 5.5V または 0V	0V		3.1		pF

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
C_{int}	内部容量	C_{ext} = 0pF; V_{cext} = 0 ～ V_{CC}	1.5V	16	17.9	20	pF
			1.65V	14	15.5	17	
			2.3V	7	9.7	13	
			3V	6	9.9	14	
			4.5V	5	7.7	10	
			5.5V	4	5.7	7	

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	最小値	最大値	単位
t_{wi}	パルス幅	任意のトリガ入力	1.5V	18.2		ns
			1.8V ± 0.15V	9.9		
			2.5V ± 0.2V	7.8		
			3.3V ± 0.3V	5.8		
			5V ± 0.5V	4.1		
t_{su}	トリガ入力間のセットアップ時間	122:$\overline{T}$ は T↑ または $\overline{CLR}$↑ の前に低いです 122A:$\overline{T}$ は T↑ または $\overline{CLR}$↑ の前に高いです	1.5V	9.6		ns
			1.8V ± 0.15V	8		
			2.5V ± 0.2V	6.9		
			3.3V ± 0.3V	6.6		
			5V ± 0.5V	6.5		
		122:T は $\overline{T}$↓ または $\overline{CLR}$↑ の前に高いです 122A:T は $\overline{T}$↓ または $\overline{CLR}$↑ の前に低いです	1.5V	5		ns
			1.8V ± 0.15V	5		
			2.5V ± 0.2V	5		
			3.3V ± 0.3V	5		
			5V ± 0.5V	5		
		$\overline{CLR}$ は $\overline{T}$↓ または T↑ の前に高いです	1.5V	9.2		ns
			1.8V ± 0.15V	7.8		
			2.5V ± 0.2V	6.7		
			3.3V ± 0.3V	6.5		
			5V ± 0.5V	6.4		
t_h	ホールド時間	任意のトリガ入力	1.5V	9.3		ns
			1.8V ± 0.15V	7.8		
			2.5V ± 0.2V	6.7		
			3.3V ± 0.3V	6.5		
			5V ± 0.5V	6.4		
		$\overline{CLR}$ は $\overline{T}$↓ または T↑ の後に低いです	1.5V	0.1		
			1.8V ± 0.15V	0.1		
			2.5V ± 0.2V	0.1		
			3.3V ± 0.3V	0.1		
			5V ± 0.5V	0.1		

Copyright © 2026 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	最小値	最大値	単位
t_{rr}	再トリガ時間	すべてのトリガ入力、C_{ext} = 100pF	1.5V	72	240	ns
			1.8V ± 0.15V	63	184	
			2.5V ± 0.2V	41	93	
			3.3V ± 0.3V	30	66	
			5V ± 0.5V	22	46	
		すべてのトリガ入力、C_{ext} = 0.1µF	1.5V	12	54	µs
			1.8V ± 0.15V	11	44	
			2.5V ± 0.2V	7.7	26	
			3.3V ± 0.3V	6.6	20	
			5V ± 0.5V	5.5	15	
		すべてのトリガ入力、C_{ext} = 10µF	1.5V	1.2	5.4	ms
			1.8V ± 0.15V	1	4.3	
			2.5V ± 0.2V	0.7	2.5	
			3.3V ± 0.3V	0.6	1.9	
			5V ± 0.5V	0.5	1.4	
$t_{startup}$ (1)	起動時間		1.5V ～ 5.5V		0	µs

(1) デバイスの起動中に受信されたトリガは無視できます。外部タイミング コンデンサには、起動後に充電するための時間が必要です。最適な最初のパルス精度を実現するには、電源電圧が安定した動作条件に達した後、最初のトリガを印加する前に、1 再トリガ時間 (t_{rr}) 以上待機します。

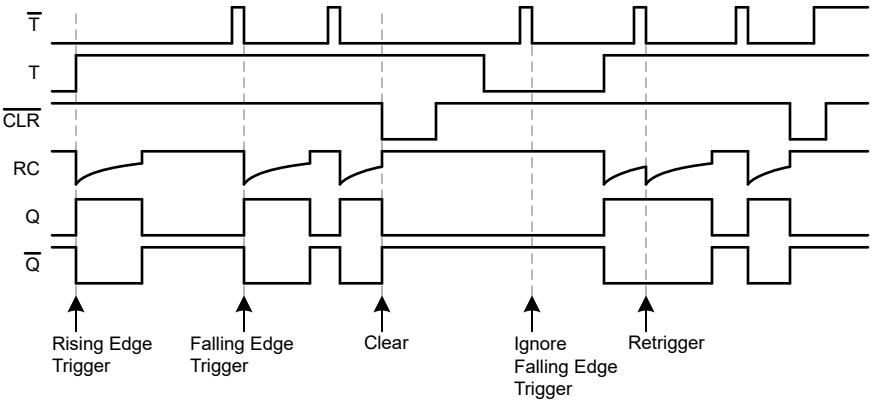


図 5-1. 入力 / 出力タイミング図

5.7 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
C_L = 15pF								
t_{pd}	$\overline{T}$、T、または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 15pF	1.5V	13	28.6	64	ns
				1.65V	10	23.1	51	ns
				2.3V	6	13.7	28	ns
				3V	5	9.8	20	ns
				4.5V	3	7.1	14	ns
				5.5V	3	6.3	13	ns

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_t		Q または $\overline{Q}$	C_L = 15pF	1.5V		4.3	8.3	ns
				1.65V		3.9	7	ns
				2.3V		3	5.6	ns
				3V		2.5	5	ns
				4.5V		2.4	4.9	ns
				5.5V		2.7	5.8	ns
C_L = 50pF								
t_{pd}	$\overline{T}$、T、または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 50pF	1.5V	13	31.8	72	ns
				1.65V	10	24.8	57	ns
				2.3V	6	14.3	32	ns
				3V	5	10.8	23	ns
				4.5V	3	7.9	16	ns
				5.5V	3	7	14	ns
t_{wo} (1)		Q または $\overline{Q}$	R_{ext} = 10kΩ、C_{ext} = 0、C_L = 50pF	1.5V	129		407	ns
				1.65V	116		313	ns
				2.3V	87		161	ns
				3V	75		118	ns
				4.5V	62		96	ns
				5.5V	58		88	ns
t_{wo} (1)		Q または $\overline{Q}$	R_{ext} = 10kΩ、C_{ext} = 0.1μF、C_L = 50pF	1.5V	814		996	μs
				1.65V	815		997	μs
				2.3V	815		997	μs
				3V	815		997	μs
				4.5V	805		985	μs
				5.5V	793		971	μs
Δt_{wo} (2)		Q または $\overline{Q}$	C_L = 50pF	1.5V ～ 5.5V		±1	10	%
t_t		Q または $\overline{Q}$	C_L = 50pF	1.5V		8.2	34.4	ns
				1.65V		7	28	ns
				2.3V		4.5	24.6	ns
				3V		3.9	17.4	ns
				4.5V		3.1	12.6	ns
				5.5V		2.9	8.7	ns
C_{pd} (3)	$\overline{CLR}$		T = V_{CC}、$\overline{T}$ = GND f_I = 10MHz C_L = 50pF C_{ext} = 0pF R_{ext} = 1MΩ	1.5V		42		pF
				1.65V		41		pF
				2.3V		40		pF
				3V		32		pF
				4.5V		35		pF
				5.5V		38		pF

(1) 出力パルス幅
(2) K 係数の代表的特性に対する出力パルス幅の変動 (外部タイミング部品の変動を除く)。
(3) 消費電力容量は、『CMOS の消費電力と Cpd の計算』に従って計算されます。

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

T_A = 25℃ (特に記述のない限り)

表 5-1. 共通 RC を使用したパルス幅、V_{CC} = 3.3V

抵抗値	コンデンサ値						
	10µF	1µF	100nF	10nF	1nF	100pF	10pF
1kΩ	9.89ms	989µs	103µs	10.7µs	1.19µs	175ns	60ns
1.5kΩ	14.7ms	1.47ms	1.50µs	15.5µs	1.7µs	236ns	68ns
2.2kΩ	21.2ms	2.12ms	215µs	21.2µs	2.43µs	323ns	83ns
3.3kΩ	31.3ms	3.13ms	318µs	32.8µs	3.56µs	457ns	100ns
4.7kΩ	44.2ms	4.42ms	442µs	46.1µs	5.02µs	628ns	122ns
6.8kΩ	63.6ms	6.37ms	645µs	66.5µs	7.19µs	883ns	153ns
10kΩ	92.9ms	9.29ms	943µs	97.1µs	10.5µs	1.27µs	202ns
15kΩ	139ms	13.9ms	1.40ms	146µs	15.7µs	1.87µs	275ns
22kΩ	204ms	20.4ms	2.07ms	213µs	22.9µs	2.73µs	378ns
33kΩ	306ms	30.6ms	3.09ms	319µs	34.4µs	4.05µs	539ns
47kΩ	434ms	43.4ms	4.40ms	453µs	48.7µs	5.74µs	745ns
68kΩ	629ms	62.9ms	6.37ms	654µs	70.6µs	8.27µs	1.04µs
100kΩ	924ms	92.4ms	9.36ms	962µs	104µs	12.2µs	1.52µs
150kΩ	1.38s	138ms	14.0ms	1.45ms	156µs	18.1µs	2.24µs
220kΩ	2.03s	203ms	20.5ms	2.12ms	229µs	26.6µs	3.25µs
330kΩ	3.05s	305ms	30.8ms	3.17ms	343µs	39.6µs	4.83µs
470kΩ	4.34s	434ms	43.8ms	4.53ms	489µs	56.7µs	6.85µs
680kΩ	6.28s	628ms	63.4ms	6.53ms	707µs	82.4µs	9.88µs
1MΩ	9.18s	918ms	93.5ms	9.65ms	1.04ms	121µs	14.5µs

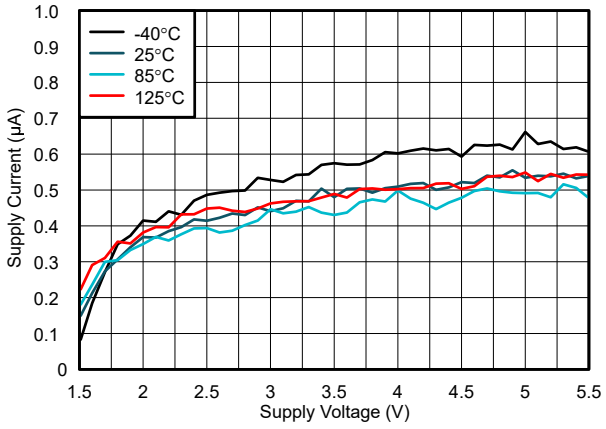


図 5-2. 電源電流と電源電圧との関係

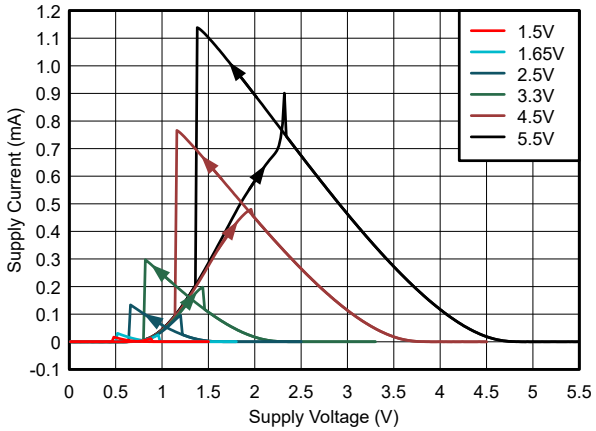


図 5-3. 消費電流と入力電圧との関係

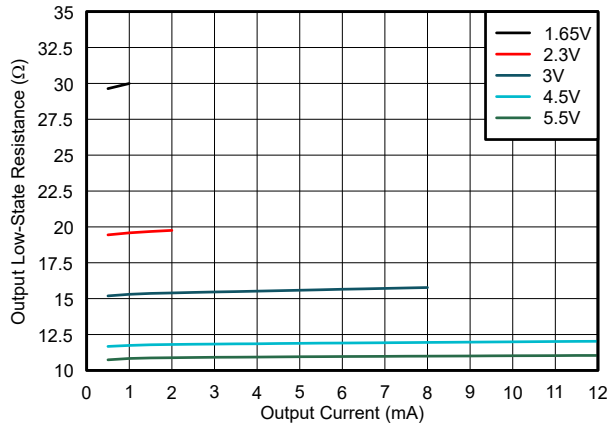


図 5-4. 出力 Low 状態抵抗と出力電流との関係

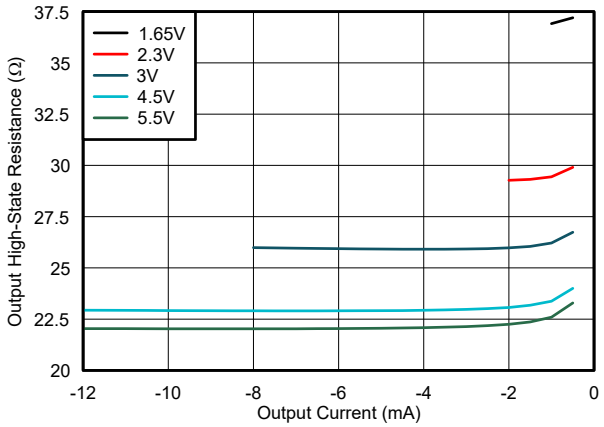


図 5-5. 出力 High 状態抵抗と出力電流との関係

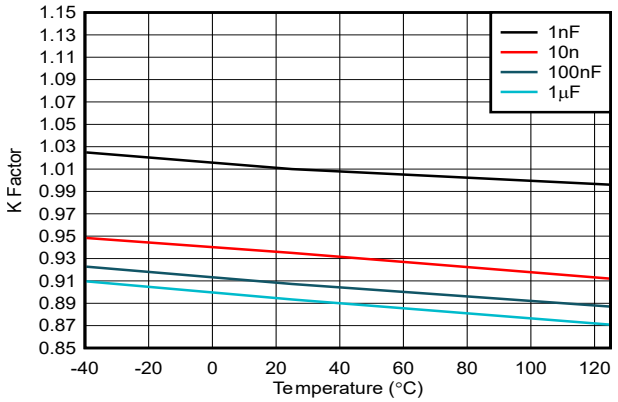


図 5-6. K 係数と温度との関係、R_{ext} = 10kΩ

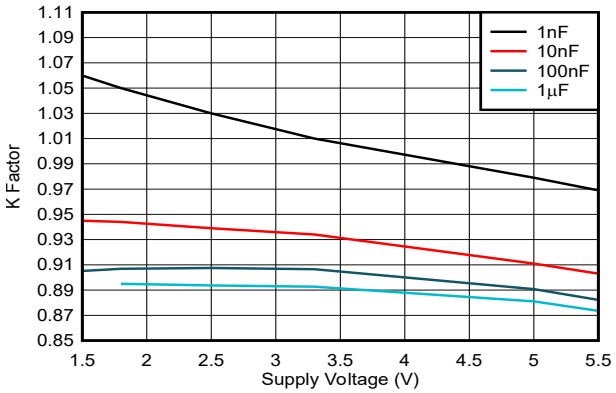


図 5-7. K 係数と電源電圧との関係、R_{ext} = 10kΩ

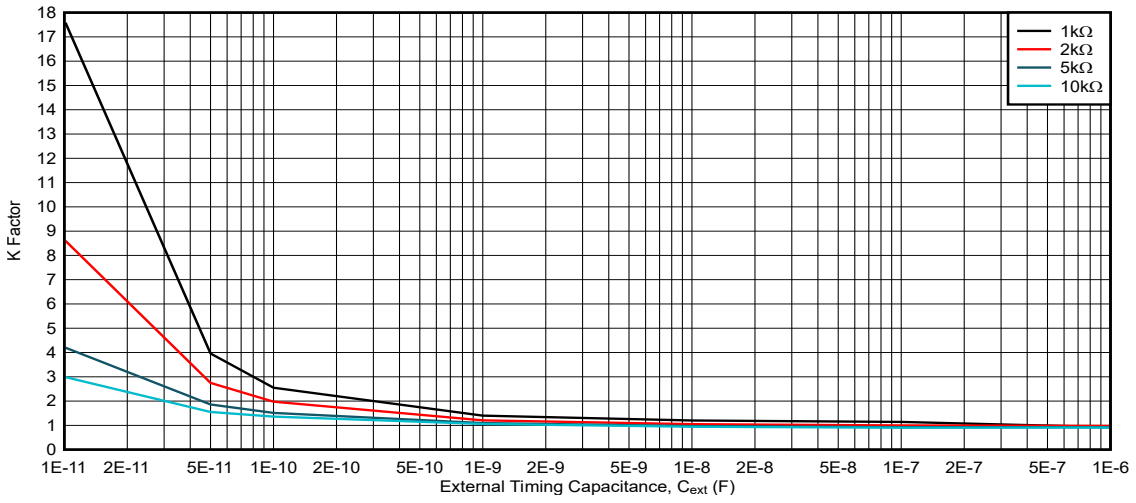


図 5-8. K 係数、V_{CC} = 1.5V、R_{ext} = 1kΩ ～ 10kΩ

Copyright © 2026 Texas Instruments Incorporated

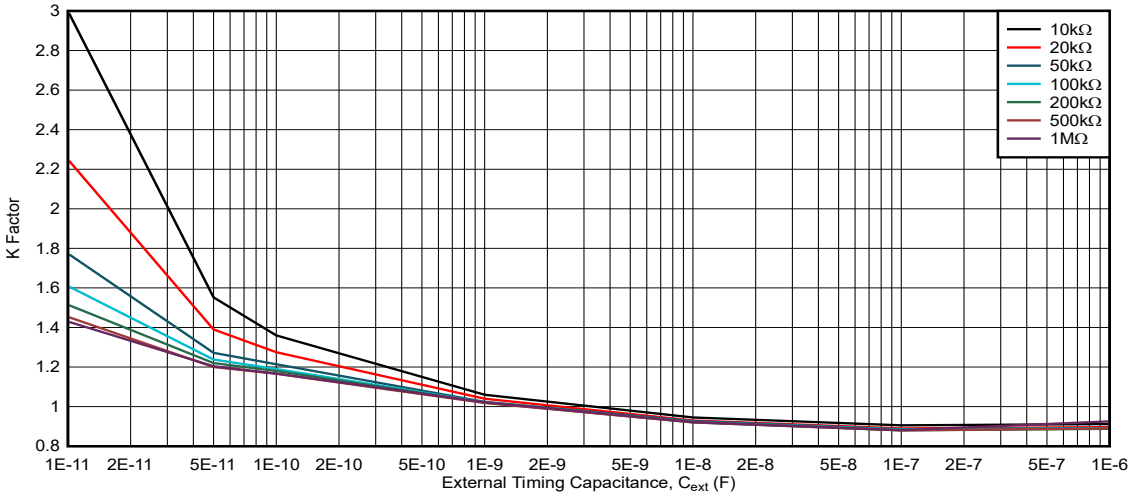


図 5-9. K 係数、V_{CC} = 1.5V、R_{ext} = 10kΩ ～ 1MΩ

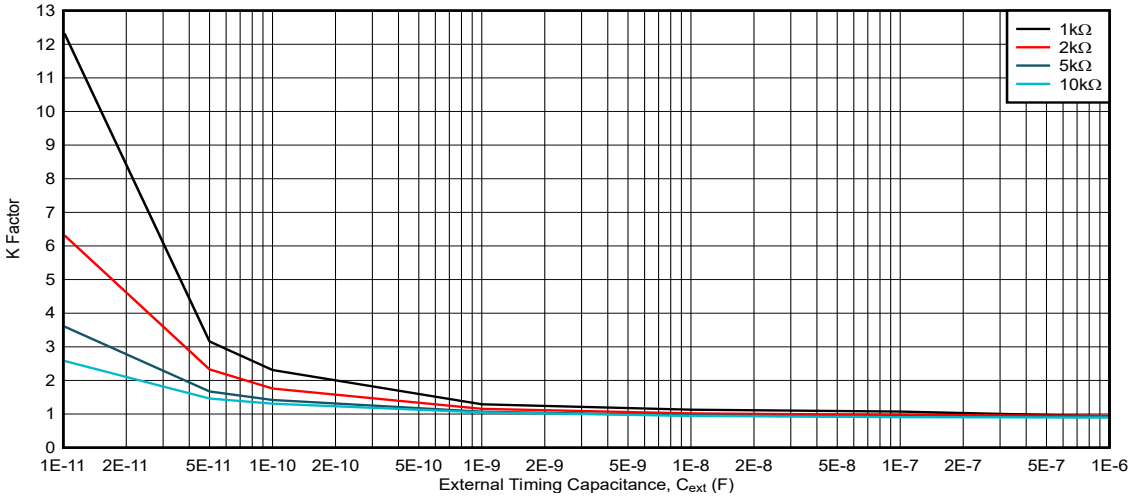


図 5-10. K 係数、V_{CC} = 1.8V、R_{ext} = 1kΩ ～ 10kΩ

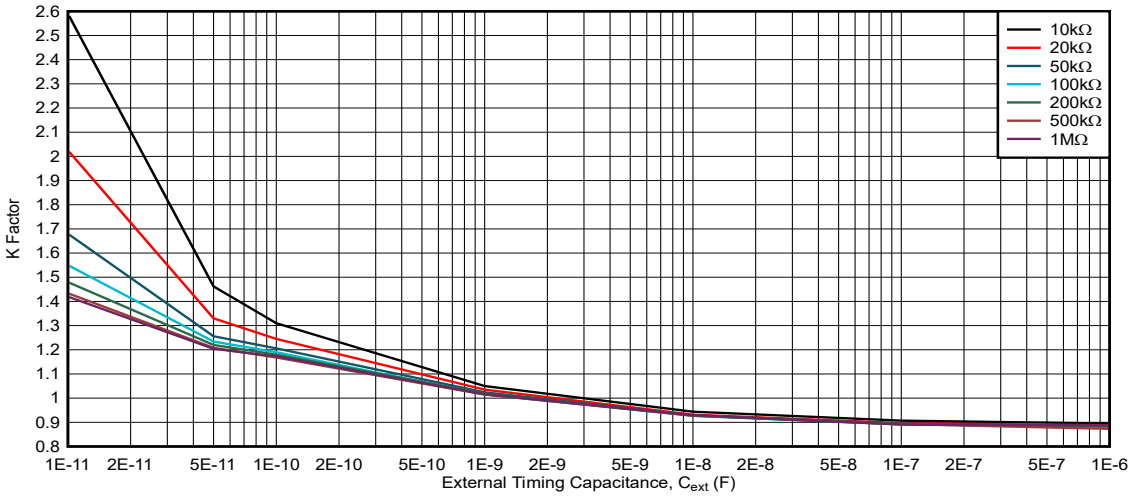


図 5-11. K 係数、V_{CC} = 1.8V、R_{ext} = 10kΩ ～ 1MΩ

Copyright © 2026 Texas Instruments Incorporated

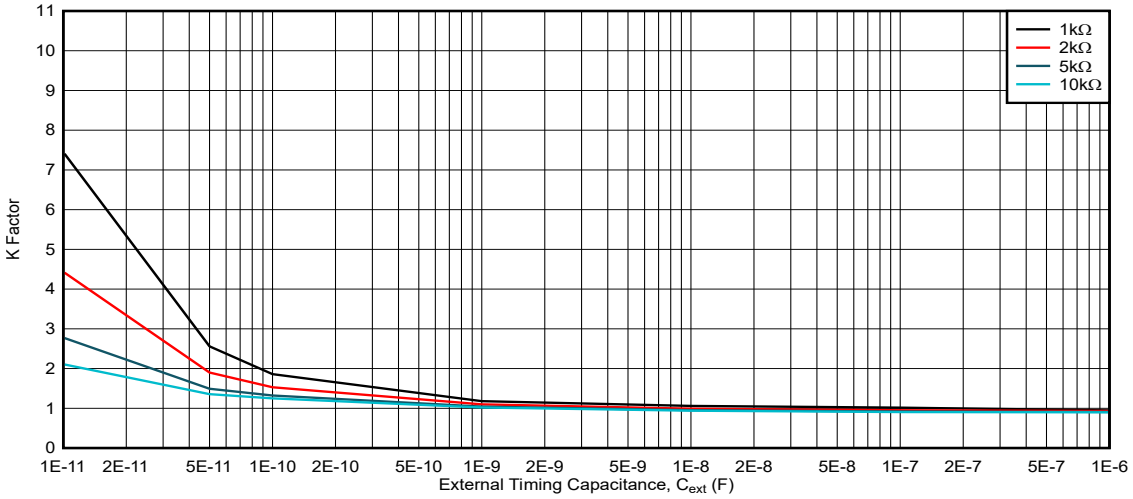


図 5-12. K 係数、V_{CC} = 2.5V、R_{ext} = 1kΩ ～ 10kΩ

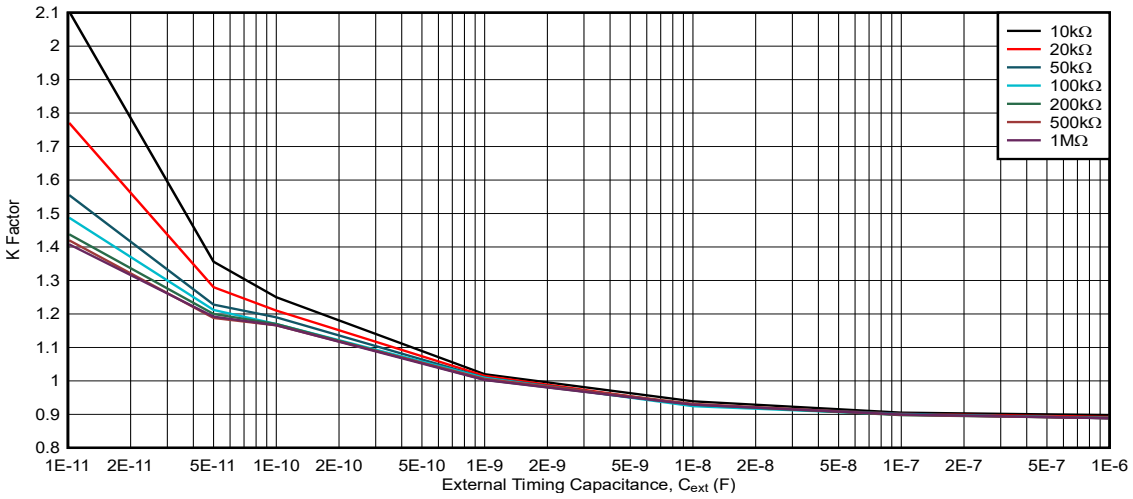


図 5-13. K 係数、V_{CC} = 2.5V、R_{ext} = 10kΩ ～ 1MΩ

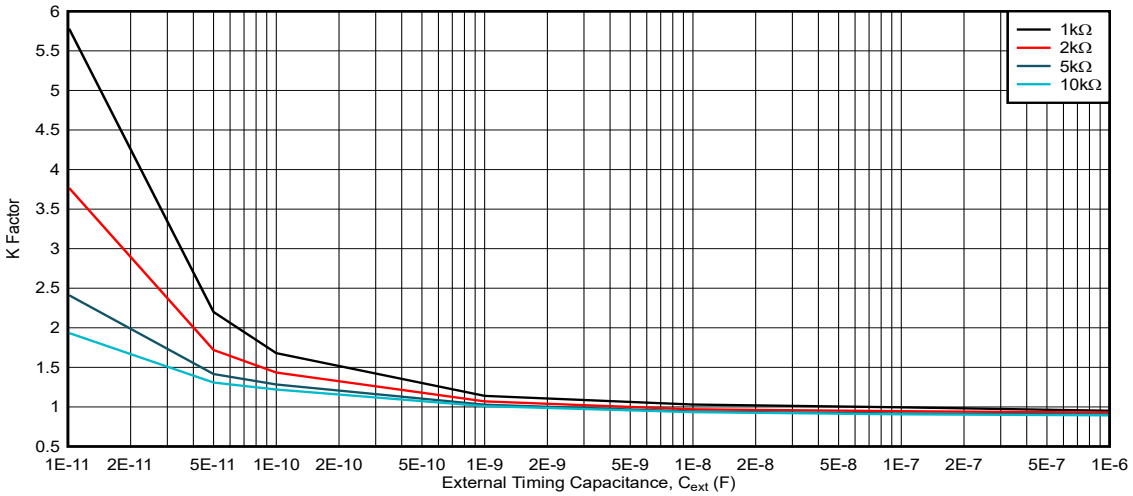


図 5-14. K 係数、V_{CC} = 3.3V、R_{ext} = 1kΩ ～ 10kΩ

Copyright © 2026 Texas Instruments Incorporated

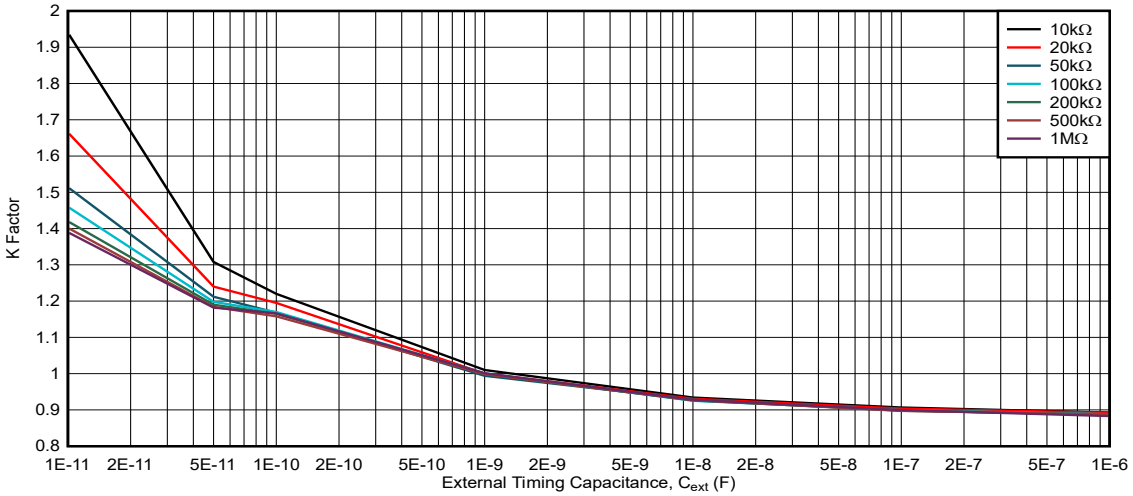


図 5-15. K 係数、V_{CC} = 3.3V、R_{ext} = 10kΩ ～ 1MΩ

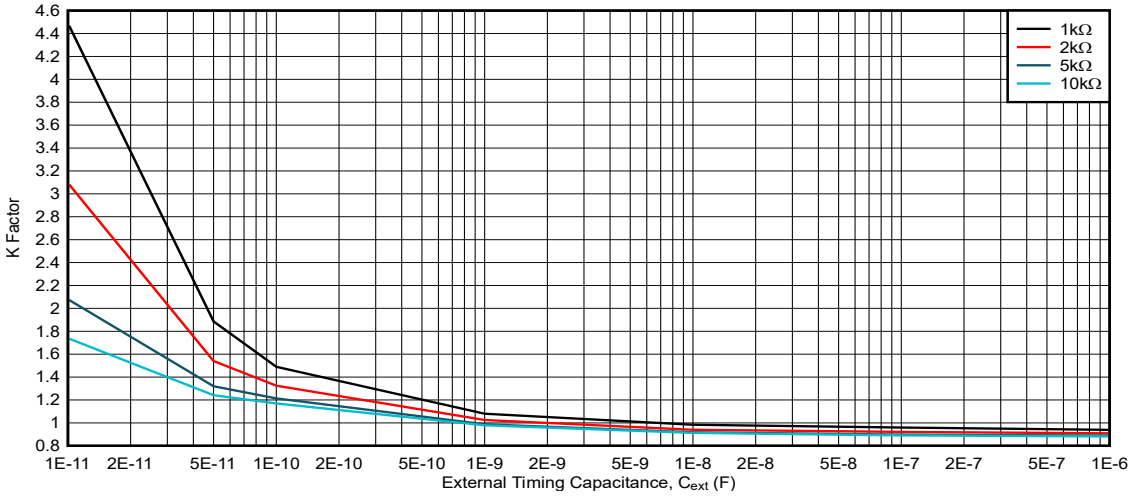


図 5-16. K 係数、V_{CC} = 5V、R_{ext} = 1kΩ ～ 10kΩ

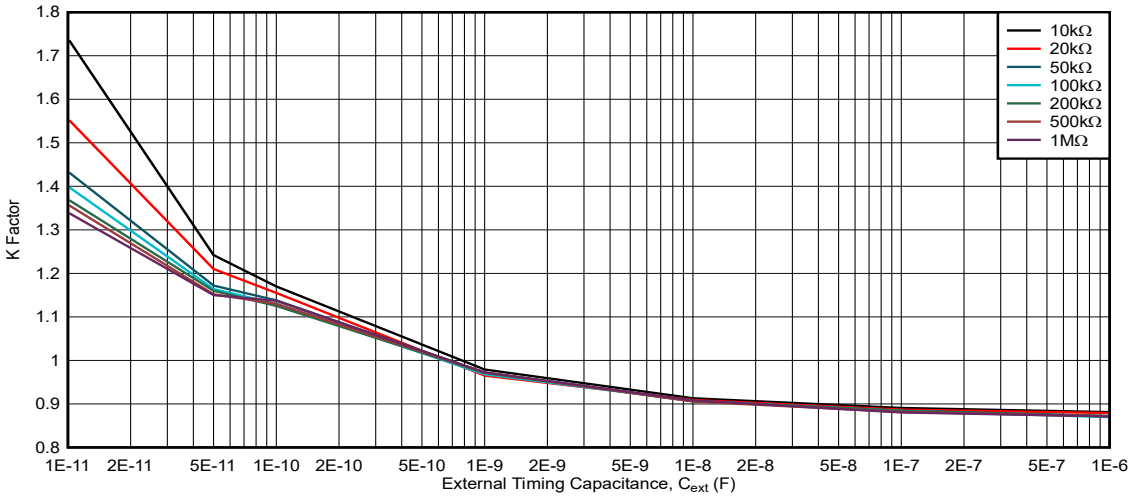


図 5-17. K 係数、V_{CC} = 5V、R_{ext} = 10kΩ ～ 1MΩ

Copyright © 2026 Texas Instruments Incorporated

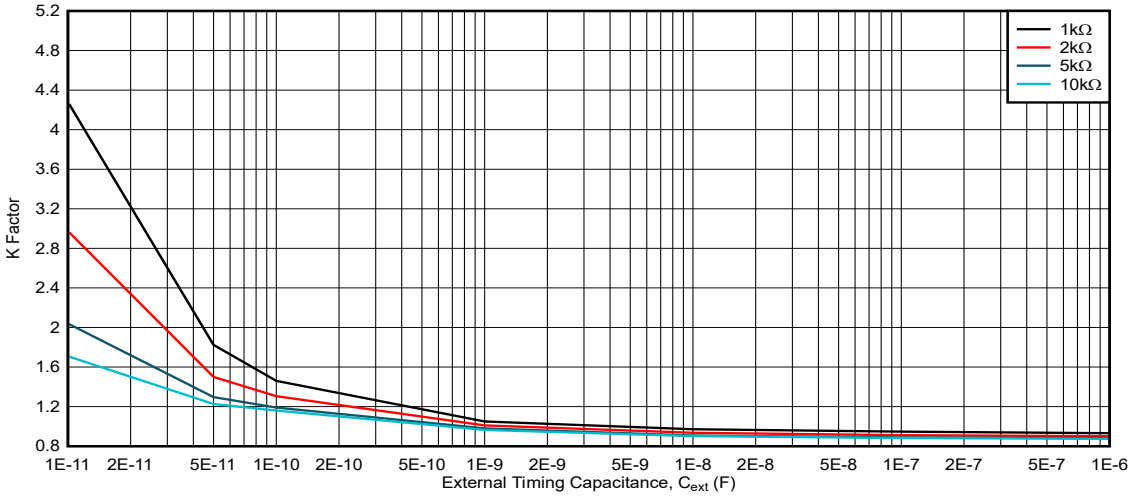


図 5-18. K 係数、V_{CC} = 5.5V、R_{ext} = 1kΩ ～ 10kΩ

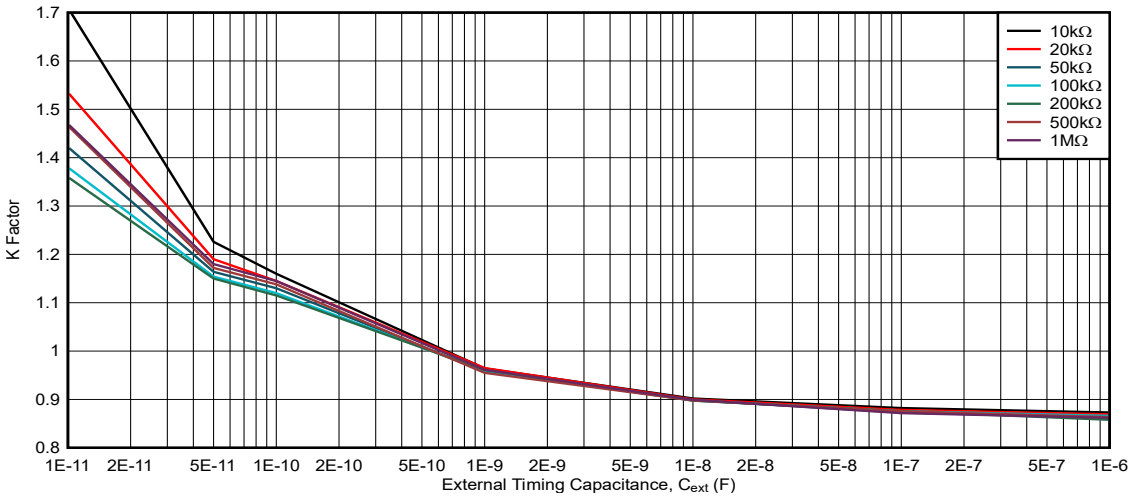


図 5-19. K 係数、V_{CC} = 5.5V、R_{ext} = 10kΩ ～ 1MΩ

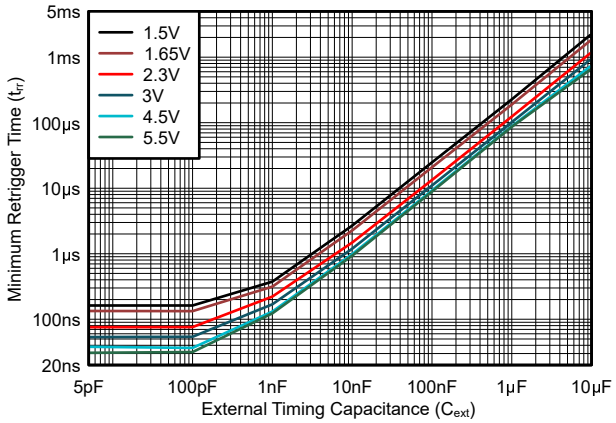


図 5-20. 最小再トリガ時間と外部タイミング コンデンサの値との関係

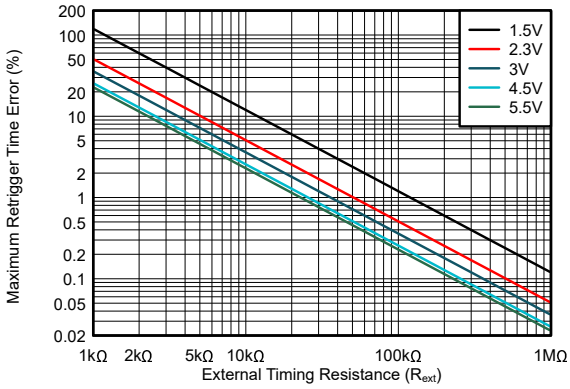


図 5-21. 再トリガ時間の最大誤差 (合計パルス幅と外部タイミング抵抗の値に対するパーセンテージで表された値)

Copyright © 2026 Texas Instruments Incorporated

以下のプロットの誤差データは、製造プロセスと自由気流動作温度の変動に起因する代表的な動作 (公称材料、T_A = 25°C) からの変化を示しています。

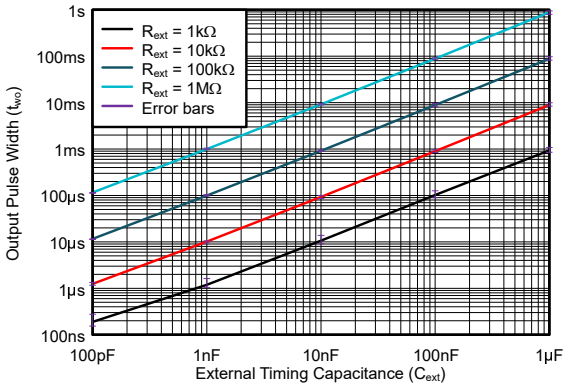


図 5-22. 誤差バー オーバーレイを使用した場合の標準的な出力パルス幅とタイミング容量の値との関係

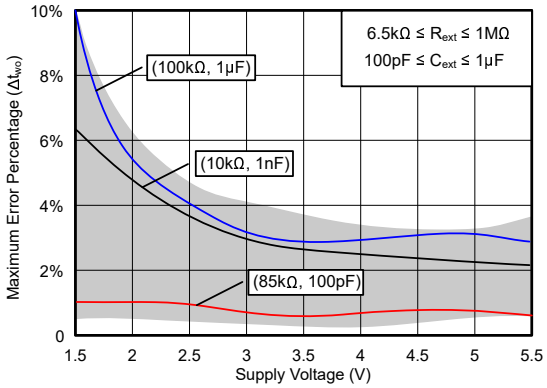


図 5-23. 電源電圧に対する最大出力パルス幅誤差 (絶対値)
各ライン：1 つのタイミング コンポーネント組み合わせ
シェイディング領域：すべてのタイミング部品の組み合わせ

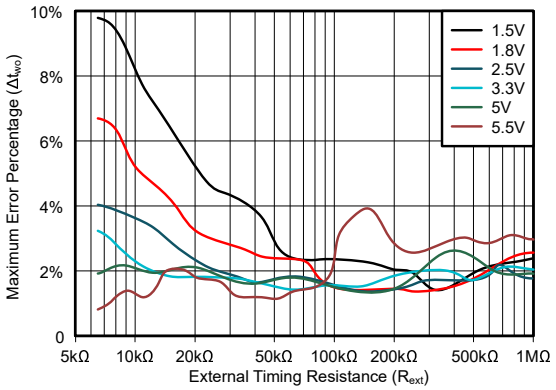


図 5-24. C_{ext} = 100pF での最大出力パルス幅誤差 (絶対値) とタイミング抵抗値との関係

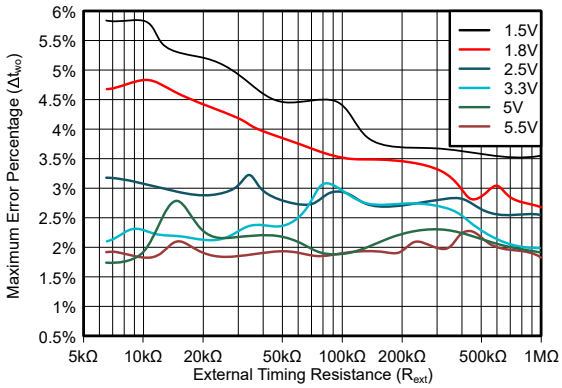
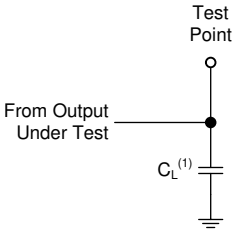


図 5-25. C_{ext} = 1nF での最大出力パルス幅誤差 (絶対値) とタイミング抵抗値との関係

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路

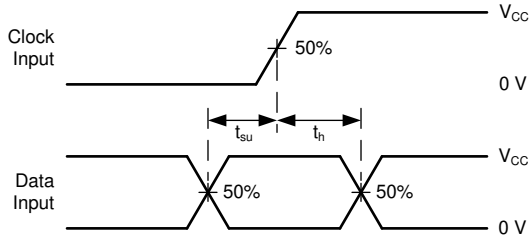


図 6-3. 電圧波形、セットアップ時間およびホールド時間

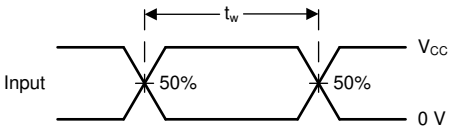
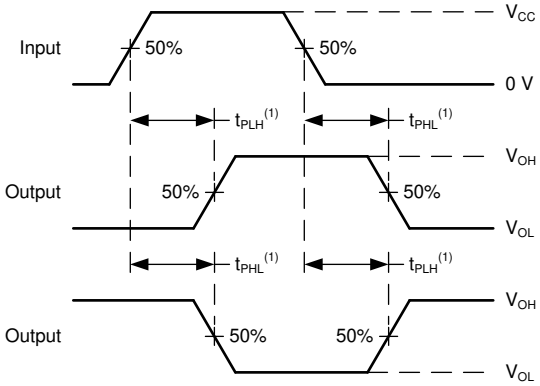
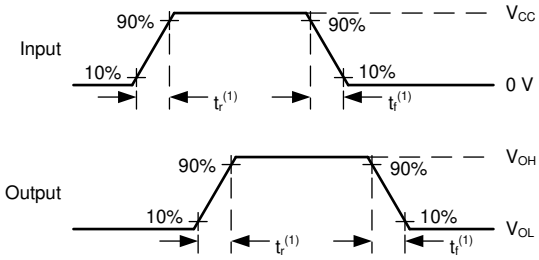


図 6-2. 電圧波形、パルス幅



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-4. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-5. 電圧波形、入力および出力の遷移時間

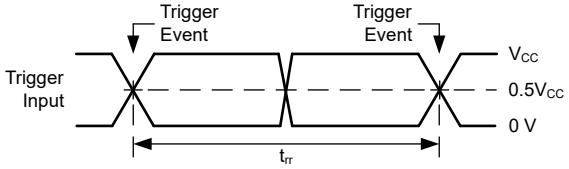


図 6-6. 電圧波形、リトリガ時間

Copyright © 2026 Texas Instruments Incorporated

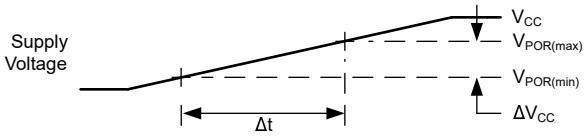


図 6-7. 電圧波形、電源ランプ

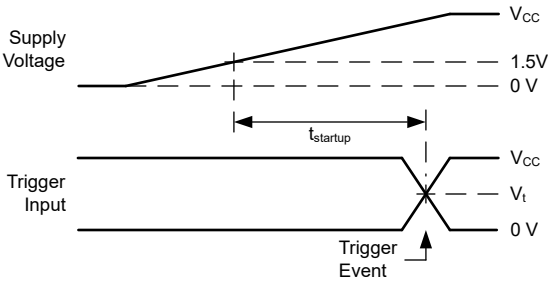


図 6-8. 電圧波形、起動時間

7 詳細説明

7.1 概要

TPUL2G122x-Q1 デバイスには、2 つの独立した再トリガ不可なモノステーブル マルチバイブレータ回路が搭載されていますモノステーブル マルチバイブレータは、一般的に「ワンショット」とも呼ばれますが、トリガされたときに単一のデジタル パルスを生成し、トリガされたときに一定の出力状態が維持されます。

TPUL2G122x-Q1 デバイスは、各チャネルに 2 つのゲート付きトリガ入力を備えています。立ち下がりエッジ トリガには、T 入力が使用されます。立ち下がりエッジトリガには 、$\overline{T}$ 入力が使用されます。

TPUL2G122x-Q1 デバイスには非同期クリア入力 ($\overline{CLR}$) が内蔵されており、進行中の出力パルスを終了できます。

トリガされると、TPUL2G122x-Q1 は $t_{wo} = K \times R_{ext} \times C_{ext}$ として定義された正のデジタル パルスを出力します。R_{ext} と C_{ext} はそれぞれ外付けタイミング抵抗と、外付けタイミング コンデンサの成分の値 Ω と F で測定された値）、K は「代表的特性」セクションに記載されている単位なしの補正係数です。外部タイミング部品 は、図 7-1 に示すように接続する必要があります。C 端子への外部グランド接続はオプションです。

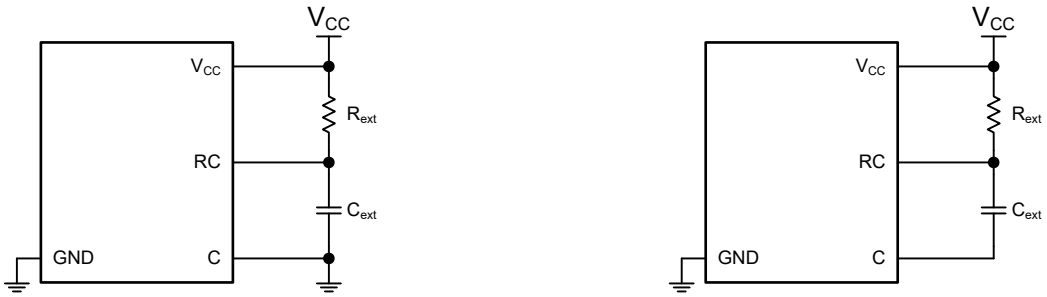


図 7-1. タイミング部品の接続、外部グランドありとなし

7.1.1 ステート マシン名称

TPUL2G122x-Q1 には、ステート マシン ダイアグラムに示すように単純なステート マシンが搭載されており、ready、discharge、monitor の 3 つの状態しかありません。

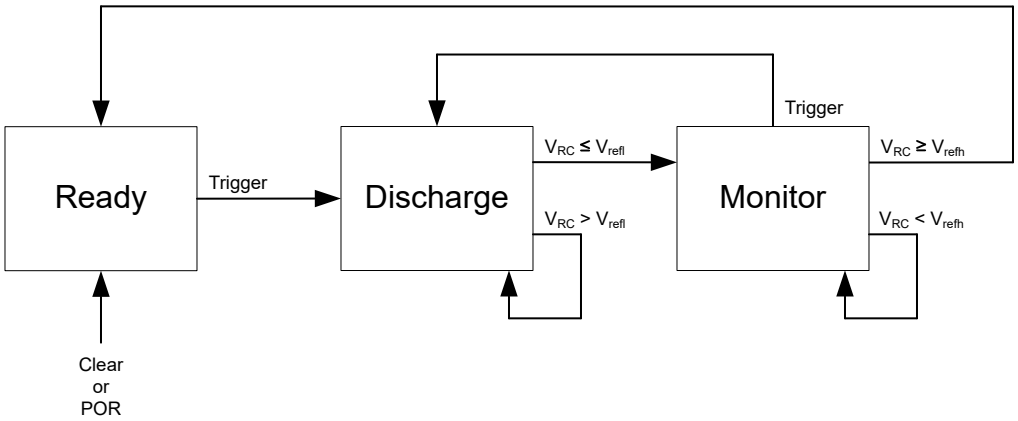


図 7-2. ステート マシンのク図

「準備完了」状態では、TPUL2G122x-Q1 は RC ピンを V_{CC} に短絡し、デジタル出力を非アクティブに保持します。

トリガされると、ステートマシンは *discharge* 状態に変化します。デジタル出力は即座にアクティブに設定され、デバイスは RC ピンを内部でグランドに短絡して、外付けのタイミング コンデンサを放電します。

Copyright © 2026 Texas Instruments Incorporated

RC ピンが低い基準電圧 (V_{refl} = 0.25V_{CC}) に達すると、ステート マシンは *discharge* 状態から *monitor* 状態に変化します。その後、RC ピンが高インピーダンスに設定され、外部タイミング回路はタイミング コンデンサを自然に V_{CC} に戻すことができます。RC 電圧が高い基準電圧 (V_{refh} = 0.69V_{CC}) に達すると、ステート マシンは *ready* 状態に戻ります。

表 7-1. 状態の説明

状態名	入力				出力(1)		
	トリガ	$V_{RC} \le V_{refl}$	$V_{RC} \ge V_{refh}$	$\overline{CLR}$	RC	Q	$\overline{Q}$
準備完了	放電	準備完了	準備完了	準備完了	H	L	H
放電	放電	モニタ	放電	準備完了	L	H	L
モニタ	放電	モニタ	準備完了	準備完了	Z	H	L

(1) H = high に駆動、L = low に駆動、Z = 高インピーダンス

7.2 機能ブロック図

$V_{refh} = 0.69 \times V_{CC}$

$V_{refl} = 0.25 \times V_{CC}$

C_{int} は内部寄生容量の合計を示し、「*電気的特性*」表に記載されています。

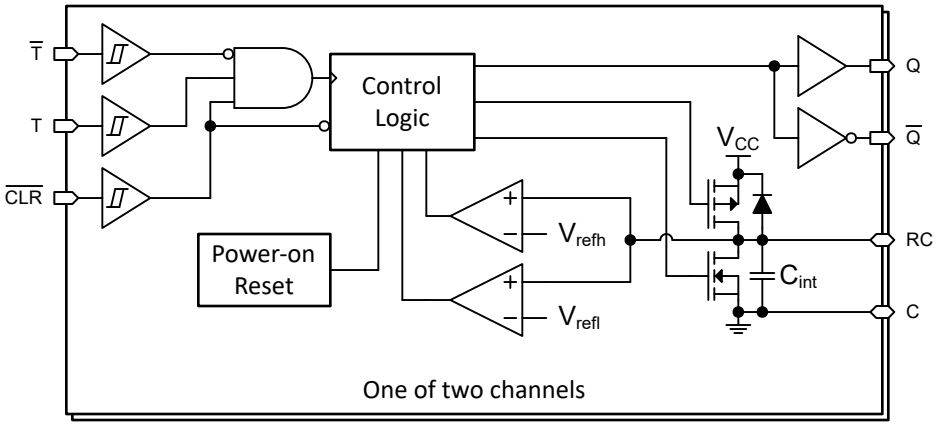


図 7-3. TPUL2G122-Q1

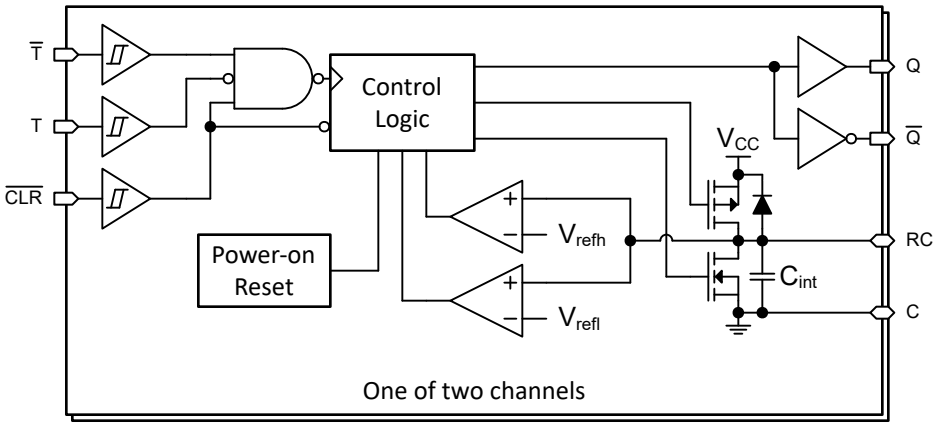


図 7-4. TPUL2G122A-Q1

7.3 機能説明

7.3.1 命名規則

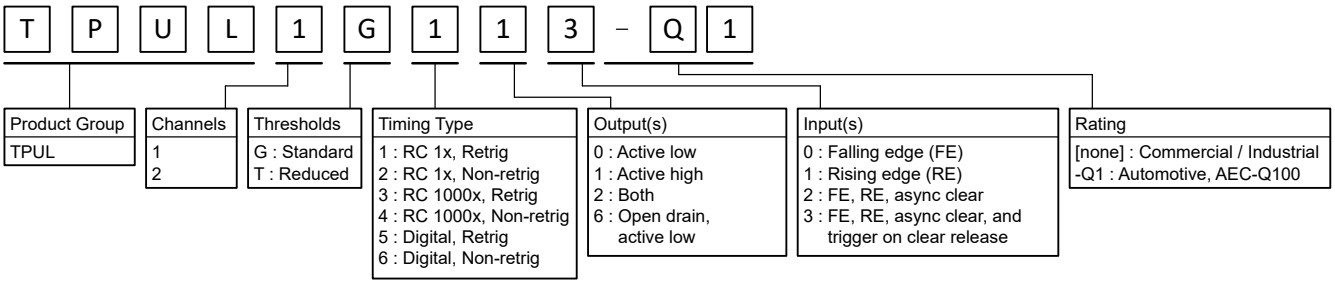


図 7-5. デバイス名の意味

7.3.2 再トリガ可能ワンショット

このデバイスは、固定幅の出力パルスを生成する、再トリガ可能モノステーブル マルチバイブレータ (ワンショット) 回路を内蔵しています。再トリガ可能ワンショットの出力パルス幅は、出力がアクティブな間、追加の入力トリガによって延長されます。他のトリガが受信されていない場合、出力パルスは設定された期間が経過した後に期限切れになります。

再トリガ イベント後の出力パルス幅は、再トリガ イベントが発生している間、タイミング コンデンサを完全に放電する必要はないため、常に通常の出力パルス幅より短くなります。この変更による最大誤差は、選択されたタイミング コンデンサの放電時間です。より大きな抵抗値と、特定のパルス幅に対応するコンデンサ値の小さな値を選択することで、リトリガ タイミングによる誤差を最小限に抑えることができます。詳細については、「*代表的特性*」セクションの再トリガのプロットを参照してください。

7.3.3 タイミング メカニズムと精度

出力パルス幅 (t_{wo}) は、外部タイミング部品 R_{ext} と C_{ext} を選択することにより制御されます。TPUL2G122x-Q1 は、$t_{wo} \cong R_{ext} \times C_{ext}$ の標準出力パルス幅を対象とするよう設計されていますが、実際のパルス幅は複数の変数によって変化するため、非直線性補正係数 K が追加され、システム設計者はより正確なパルス幅推定を行えます。式 1 を使用して、出力パルス幅を最も正確に予測します。

$$t_{wo} = K \times R_{ext} \times C_{ext} \quad (1)$$

出力パルス幅は、複数の変数に依存します。

- 外部タイミング部品 (R_{ext}、C_{ext})
- 電圧
- 温度
- 製造と設計

外部タイミング部品の値によって、出力パルス幅が直接制御されます。また、製造、電圧、経年劣化、または温度が原因で部品の値が変動すると、出力パルス幅に直接影響が生じます。

ほとんどの抵抗は、動作中に非常に一貫性のある値を維持するため、精度にはほとんど影響しない傾向があります。

ほとんどのコンデンサでは製造の値のバラツキが大きく、経年劣化、温度、動作電圧によっても変動する場合があります。一般に、タイミング コンデンサは、RC 時間設定型モノステーブル マルチバイブレータの単一の最大誤差発生源となります。

また、TPUL2G122x-Q1 によって引き起こされる誤差もいくつかあります。この誤差は、*スイッチング特性*セクションに Δt_{wo} として示され、設計、製造、温度による変動も含まれます。

出力パルス幅 ($e_{\Delta two}$) のパーセント誤差を推定するには、複数の入力が必要です。式 2 は、部品の許容誤差による合計パルス幅誤差を推定する最善の方法です。e_R はタイミング抵抗によって生じている誤差、e_C はタイミング コンデンサによって生じている誤差、Δt_{wo} は TPUL2G122x-Q1 によって生じている誤差です。さらに、パルス幅に固有のランダム性が

Copyright © 2026 Texas Instruments Incorporated

いくらかあるため、他のすべての要因が一定に保たれていても、通常は 1% 未満になります。これは、Δt_{wo} の仕様で考慮されています。

$$e_{\Delta two} = e_R + e_C + e_R e_C + \Delta t_{wo}(1 + e_R + e_C + e_R e_C) \quad (2)$$

簡単に推定するには、誤差値の合計を使用します ($e_{\Delta two} \cong e_R + e_C + \Delta t_{wo}$)。たとえば、2% の製造許容誤差 + 温度変動 0.3% (30ppm/°C) 、抵抗 0.1%、$\Delta t_{wo(max)}$ 10% の非常に優れたクラス I (C0G) コンデンサを使用した TPUL2G122x-Q1 アプリケーション回路では、最大誤差は 12.4% と迅速に推定されます。より正確な式を使用すると、最大誤差は実際には 12.64% になります。

7.3.4 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.5 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット トリガ入力アーキテクチャは、「*電気的特性*」表の ΔV_T で定義されるヒステリシスを備えているので、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号で駆動すると、「*電気的特性*」表の ΔI_{CC} として定義されている入力あたりの最大値で、デバイスの動的消費電流が増加します。シュミット トリガ入力の詳細については、『*シュミット トリガについて*』を参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動していない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

7.3.6 既知のパワーアップ状態でのラッチ論理

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。標準的な論理デバイスでは、電源を最初に印加した後、各ラッチ回路の出力状態は不明です。ただし、このデバイスには追加されたパワー オン リセット (POR) 回路が搭載されており、デバイスが通常機能を開始する前のパワーアップ時に、すべての内蔵ラッチ回路の状態を設定します。

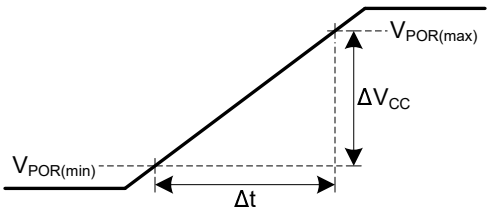


図 7-6. 既知のパワーアップ状態での電源 (V_{CC}) ランプ特性

図 7-6 に、電源電圧の正しいターンオン ランプを示し、「推奨動作条件」と「電気的特性」の表で使用される値を定義しています。

パワーオン ランプを開始する前に、電源が完全にオフになっている必要があります ($V_{CC} \leqq V_{POR(min)}$)。

電源電圧は、「推奨動作条件」表に記載されている範囲内の速度で上昇する必要があります。

各ラッチ論理回路の出力状態は、デバイスに電力が印加されている間 ($V_{CC} \geqq V_{POR(max)}$) のみ安定した状態を維持します。

これらの推奨事項から逸脱すると、デバイスが未知のパワーオン状態になる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

7.3.7 ウェッタブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

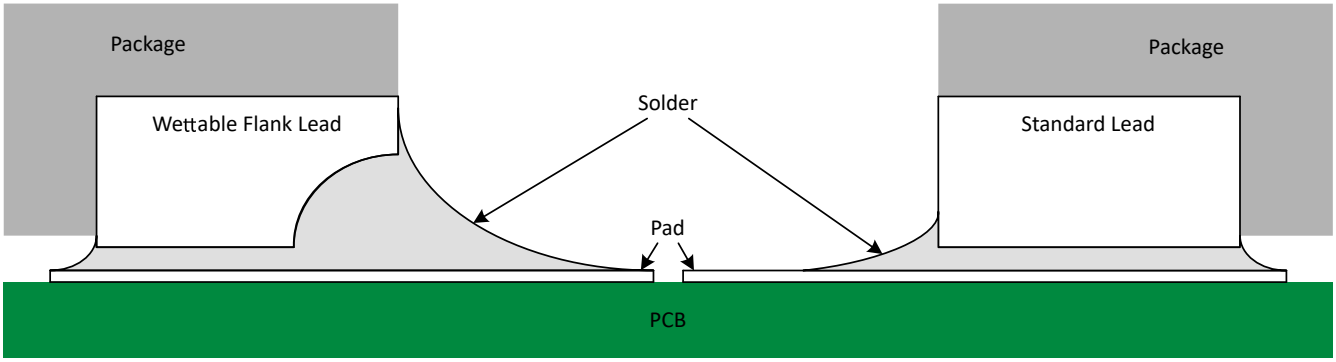


図 7-7. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。ウェッタブル フランクは、図 7-7 に示すように、半田接着用の表面積を追加するために、ディンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

7.3.8 クランプ ダイオード構造

図 7-8 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

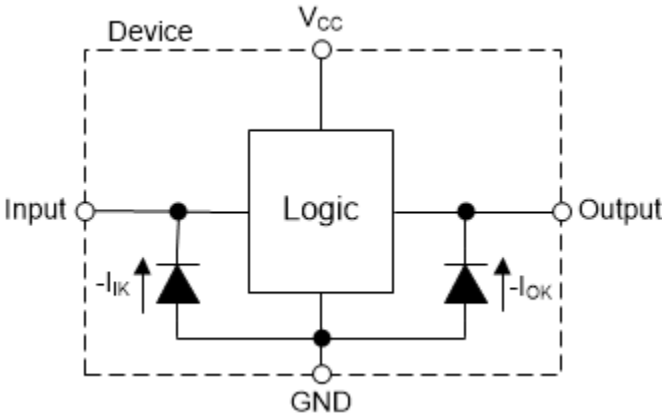


図 7-8. 各入力と出力に対するクランプ ダイオードの電気的配置

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 オフ状態動作

TPUL2G122x-Q1 には部分的パワーダウン (I_{off}) 保護機能が搭載されており、電源電圧が約 0V のときに出力が強制的に高インピーダンス状態になります。電源オフ状態では、デジタル入力および出力に電圧を印加でき、デバイスは応答しません。また、逆電力が供給されません。この保護は RC ピンには適用されません。

7.4.2 スタートアップ動作

TPUL2G122x-Q1 には内部パワーオン リセット (POR) 回路が搭載され、起動中の誤トリガを防止します。既知の*パワーアップ状態でのラッチ論理*に記載されている電源ランプ要件の詳細があります。*タイミング要件*表に従い、スタートアップ時間 ($t_{startup}$) が終了した後で通常動作を開始することができます。アクティブなとき、POR 回路は TPUL2G122x-Q1 を *Ready* 状態に保持します。

7.4.3 オン状態動作

下表に TPUL2G122x-Q1 のオン状態の機能モードを示します。

表 7-2. TPUL2G122-Q1 の機能表

入力(1)			出力(2)	
$\overline{CLR}$	$\overline{T}$	T	Q	$\overline{Q}$
L	X	X	L	H
H	H	X	L(3)	H(3)
H	X	L	L(3)	H(3)
H	L	↑	⎍ (4)	⎍ (4)
H	↓	H	⎍ (4)	⎍ (4)

表 7-3. TPUL2G122A-Q1 の機能表

入力(1)			出力(2)	
$\overline{CLR}$	$\overline{T}$	T	Q	$\overline{Q}$
L	X	X	L	H
H	L	X	L(3)	H(3)
H	X	H	L(3)	H(3)
H	H	↑	⎍ (4)	⎍ (4)
H	↓	L	⎍ (4)	⎍ (4)

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア
(2) L = を low に駆動、H = high に駆動、⎍ = 定義されたパルス幅時間の間 high に駆動、⎍ = 定義されたパルス幅時間の間 low に駆動
(3) これらの出力は、入力で示された定常状態が、すべての出力パルスが完了するくらい十分長い間セットアップされていたという仮定に基づいています。
(4) 前の出力パルスがまだアクティブである間に出力パルスがトリガされた場合、出力は追加のパルス幅だけ high を駆動し続けます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPUL2G122x-Q1 を使用して、入力トリガ イベントから固定幅パルスを生成します。このデバイスは再トリガ可能です。つまり、出力がアクティブの間に入力トリガを受信した場合、出力パルスは延長され、最新のトリガから設定された期間後に期限切れになりません。

入力トリガー イベントは、次の 3 つのゲート入力から発生します。$\overline{T}$、T、および $\overline{CLR}$。TPUL2G122-Q1 では、これらの入力は 3 入力 AND ゲートに統合され、$\overline{T}$ は内部反転されているため、ロジックはブール式 $Y = !(\overline{T}) \bullet T \bullet \overline{CLR}$ に従います。TPUL2G122A-Q1 では、これらの入力は 3 入力 NAND ゲートに統合され、T は内部反転されているため、ロジックはブール式 $Y = !(\overline{T} \bullet !(T) \bullet \overline{CLR})$ に従います。$\overline{CLR}$ 入力は他のトリガ入力をゲートしますが、本デバイスをトリガすることはありません。

各入力はシュミット トリガ アーキテクチャを使用しているため、ヒステリシスが組み込まれているため、低速の遷移やノイズの多い信号に対応できます。信号が V_{T+} より高い場合は論理 high として入力信号が検出され、入力信号が V_{T-} より低い場合は low として検出されます。V_{T+}と V_{T-} の間で、これらの値のいずれかを交差するまで、入力信号は最後の有効な状態として検出されます。

出力パルス幅は、外付けタイミング部品 R_{ext} および C_{ext} の選択により制御されます。「*代表的特性*」セクションにはプロットが示されており、必要なパルス幅に対して適切な部品の値を簡単に選択できます。TPUL2G122x-Q1 のタイミング精度に対する外部部品の影響の詳細については、「*特長*」セクションを参照してください。

8.2 代表的なアプリケーション - エッジ検出器

このアプリケーションでは、TPUL2G122x-Q1 を使用して入力信号の立ち上がりまたは立ち下がりエッジを検出し、検出された各エッジについて短いパルスを出力に生成します。図 8-1 に、立ち上がりエッジ検出器の回路構成を示します。立ち下がりエッジ検出器の場合は、入力信号を T 入力の代わりに $\overline{T}$ 入力に接続し、T 入力を V_{CC} に接続します。それ以外の場合、コンポーネントと構成は同一です。

Copyright © 2026 Texas Instruments Incorporated

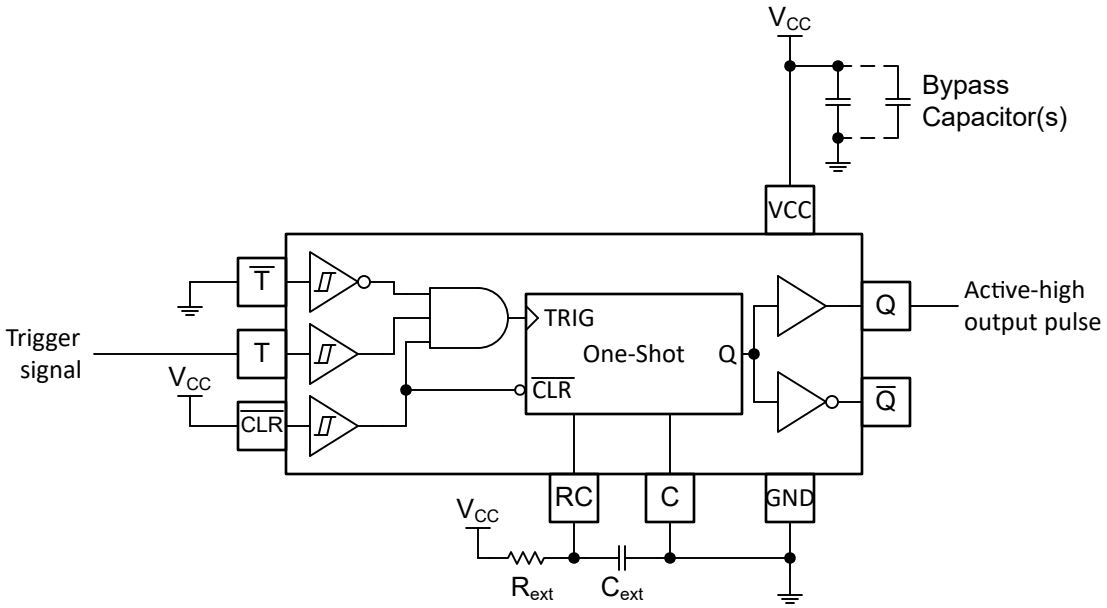


図 8-1. TPUL2G122x-Q1 を使用したパルス ジェネレータの回路図

8.2.1 設計要件

8.2.1.1 タイミング部品

TPUL2G122x-Q1 の出力パルス幅は、外部タイミング部品によって直接決定されます。

R_{ext} と C_{ext} でサポートされている値の範囲は、「*推奨動作条件*」の表に記載されています。*絶対最大定格* 表に記載された制限値を超えないようにしてください。

TPUL2G122x-Q1 は、C_{ext} = 0pF と記載されている外付けコンデンサなしで使用できます。この条件では、出力パルス幅は、動作電圧と外部タイミング抵抗 R_{EXT} のみによって決定されます。R_{ext} = 10kΩ、C_{ext} = 0pF の場合における予想される変動は、「*スイッチング特性*」の表に示されています。

1µF よりも大きな外付けタイミング コンデンサを使用する場合は、図 8-2 に示すように外付けショットキー ダイオード (D_{ext}) を追加することで、電源オフ時にコンデンサの放電パスとなります。

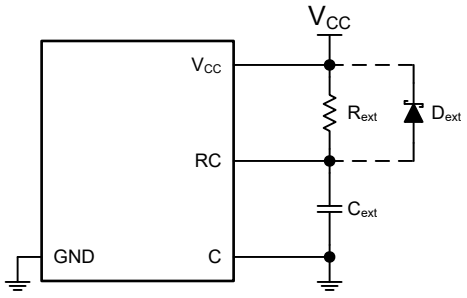


図 8-2. 外部保護ダイオード接続

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{T-(min)}$ を超えるとロジック LOW と見なされ、$V_{T+(max)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が HIGH の場合にはプルアップ抵抗、デフォルト状態が LOW の場合にはプル

Copyright © 2026 Texas Instruments Incorporated

ダウン抵抗を使用します。コントローラの駆動電流、TPUL2G122x-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。ほとんどのアプリケーションでは、10kΩ 抵抗値が推奨されます。

TPUL2G122x-Q1 にはシュミット トリガ入力があるため、入力信号遷移レートの要件はありません。ただし、「推奨動作条件」表に記載されている制限内で動作することが規定されています。

シュミット トリガ入力は、大きなノイズ除去も実現します。ただし、振幅の大きなノイズの場合でも、問題が発生することがあります。*電気的特性*のヒステリシス値 $\Delta V_{T\ (min)}$ を参照してください。この値により、ピーク ツー ピーク ノイズ除去の制限が得られます。

標準的な CMOS 入力の場合とは異なり、シュミット トリガ入力は、消費電力を危険なほど大幅に増加させることなく、任意の有効な電圧値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (最大) を*電気特性*表に ΔI_{CC} として示されています。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 状態電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 状態電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、過剰な電流とデバイスの損傷を避けるため、互いに直接接続しないでください。

TPUL2G122x-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を直接駆動できます。大きな容量性負荷の場合は、電流を*「絶対最大定格」*内に維持するために直列抵抗を追加します。

TPUL2G122x-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.1.4 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、TPUL2G122x-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。 出力パルスが完了すると、「*電気的特性*」の $I_{Cext\ (max)}$ で説明されているように、最大消費電流の電源を使用して、外部コンデンサを迅速に V_{CC} に再充電します。また、$I_{ext(max)} = V_{CC} / R_{ext}$ の最大電流消費が発生すると、外部タイミング回路は電源から電力を取得します。この電流は電源から直接プルされるため、TPUL2G122x-Q1 の I_{CC} 値の一部ではありません。外部回路の動的消費電力は、$P_{RC} = C_{ext}V_{CC}\ 2 / t_{WO}$ で推定できます。

グランドは、TPUL2G122x-Q1 のすべての出力によってシンクされる総電流、「*電気的特性*」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

熱上昇は、『*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性*』に記載されている情報を使用して計算できます。

注意

「*絶対最大定格*」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「*絶対最大定格*」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

テキサス インスツルメンツは、TPUL2G122x-Q1 を使用するときに最適な結果が得られるように、Excel ベースのカリキュレータを提供しています。このカリキュレータは、デバイスの製品フォルダの*設計と開発*セクションにあります。以下の手順は、このドキュメントに記載されている情報を使用して必要なタイミング部品の値を手動で計算する際に使用されます。

1. t_{WO} と呼ばれる出力パルス幅を選択します。
2. これを解くと次のようになります。$C_{ext1} = t_{wo}/50000$。
3. 以下から、C_{ext1} に最も近い 10 進コンデンサ値を選択し、C_{ext} に使用します。{100pF、1nF、10nF、100nF、1µF、10µF}
4. これを解くと次のようになります。$R_{ext1} = t_{WO}/C_{ext}$。
5. 手順 4 の R_{ext1} と手順 3 の C_{ext} を使用して、「*代表的特性*」セクションの適切なプロットを使用して、最も近い K 係数を求めます。
6. これを解くと次のようになります。 $R_{ext} = t_{wo}/(K \times C_{ext})$
7. 選択したタイミング抵抗 R_{EXT} を RC から V_{CC} に接続します。
8. 選択したタイミング コンデンサ C_{ext} を RC (正) から C (負) に接続します。C ピンはグランドに追加接続できますが、通常動作時は必須ではありません。
9. V_{CC} と GND の間に 0.1µF コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
10. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、性能が最適化され、信頼性の問題が防止されます。これは、TPUL2G122x-Q1 から任意の受信デバイスへのパターンを短い適切なサイズにすることで実現できます。
11. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
12. 熱の問題が TPUL ファミリデバイで懸念されることはほとんどありませんが、消費電力と熱の上昇はアプリケーション レポート *『CMOS の消費電力と Cpd の計算』*の手順を使用して計算できます。

8.2.3 アプリケーション曲線

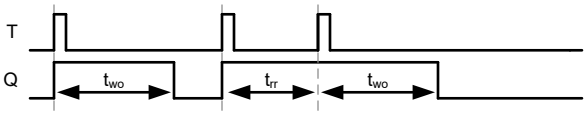


図 8-3. 出力パルスのタイミング図

Copyright © 2026 Texas Instruments Incorporated

8.3 代表的なアプリケーション - 遅延パルス ジェネレータ

このアプリケーションでは、TPUL2G122x-Q1 を使用して、立ち上がりエッジ入力トリガから遅延出力パルスを生成します。この回路構成を、図 8-4 に示します。

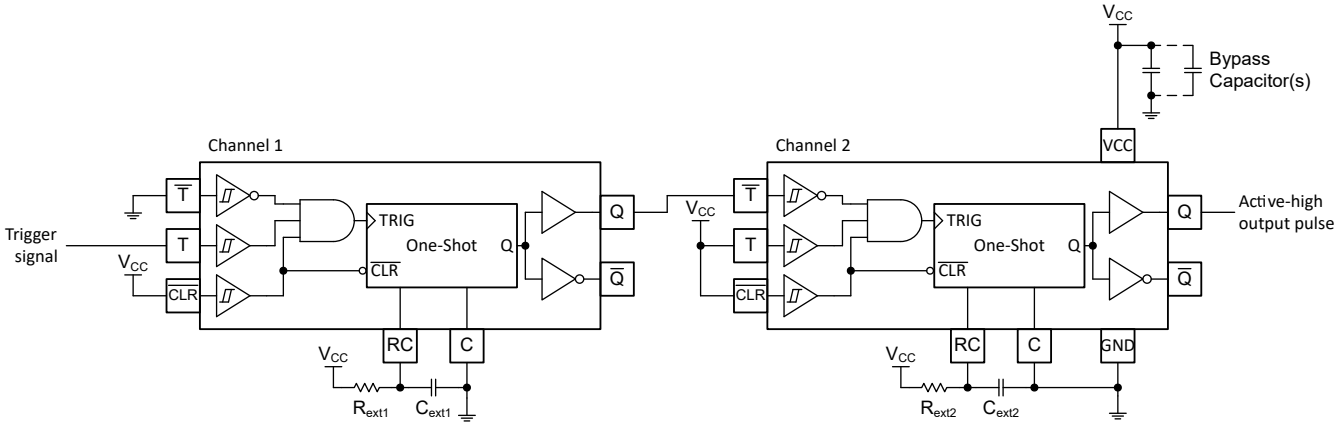


図 8-4. TPUL2G122x-Q1 を使用した遅延パルス生成回路図

8.3.1 アプリケーション曲線

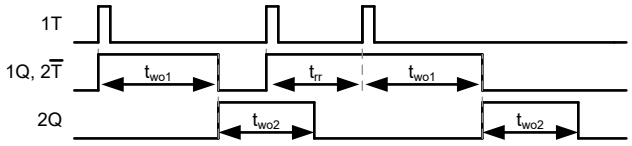


図 8-5. 出力パルスのタイミング図

8.4 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

起動中、電源は、「推奨動作条件」表に規定された起動ランプ レートの範囲内で立ち上がる必要があります。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。TPUL2G122x-Q1 の通常動作には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

Copyright © 2026 Texas Instruments Incorporated

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- タイミング部品の配置
  - デバイスの近くに配置
  - デバイスの端子接続へ電気的に短絡したパスを提供
- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.5.2 レイアウト例

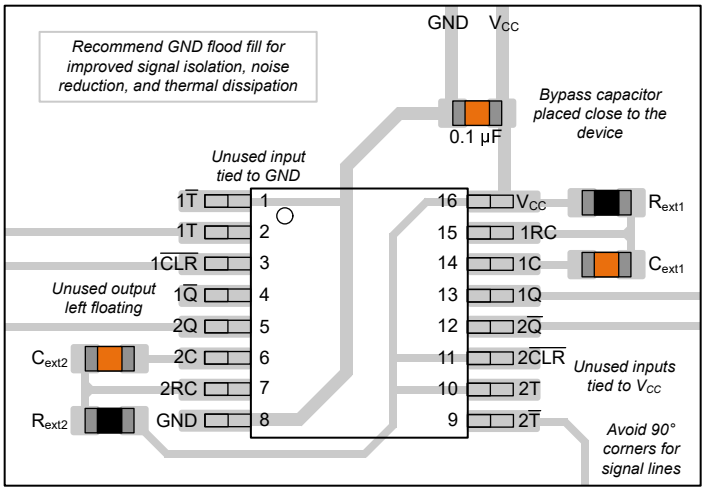


図 8-6. PW (TSSOP) パッケージの TPUL2G122x-Q1 のプッシュプルレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
January 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPUL2G122ADRQ1	Active	Production	SOIC (D) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2G122A
TPUL2G122APWRQ1	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2G122AQ
TPUL2G122DRQ1	Active	Production	SOIC (D) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2G122
TPUL2G122PWRQ1	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2G122Q
TPUL2G122WBQBRQ1	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2G122Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPUL2G122-Q1, TPUL2G122A-Q1 :

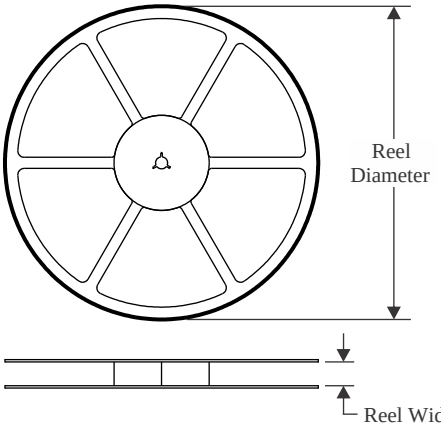
- Catalog : TPUL2G122, TPUL2G122A

NOTE: Qualified Version Definitions:

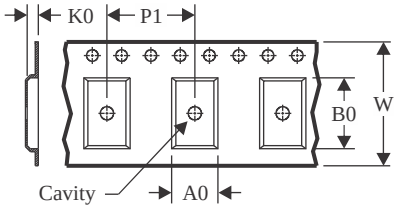
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

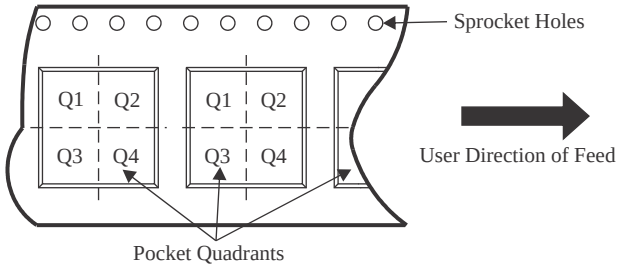


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

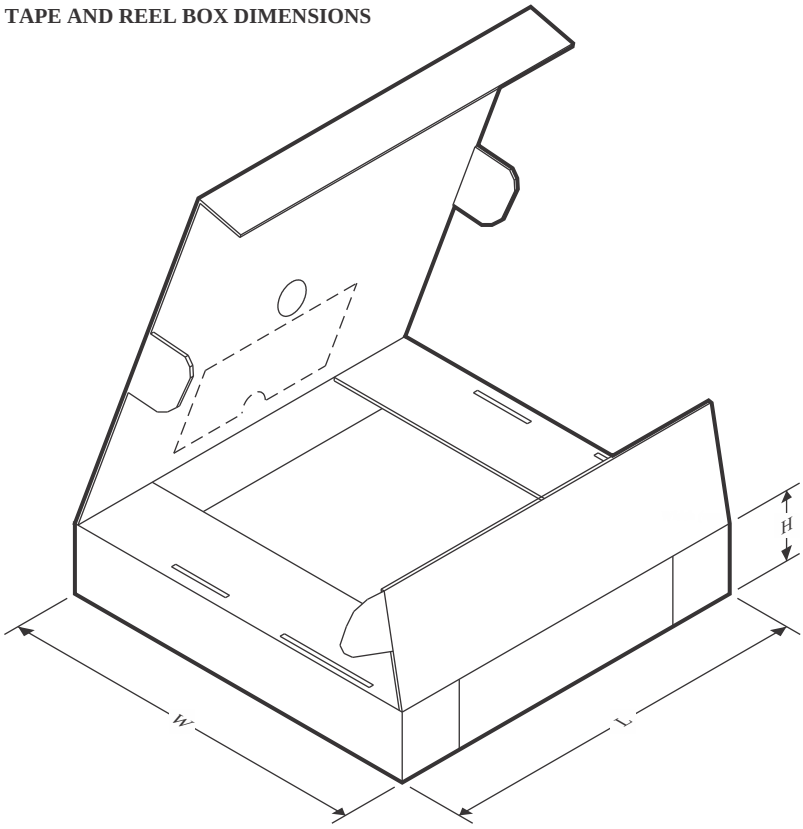
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPUL2G122ADRQ1	SOIC	D	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TPUL2G122APWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPUL2G122DRQ1	SOIC	D	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TPUL2G122PWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPUL2G122WBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

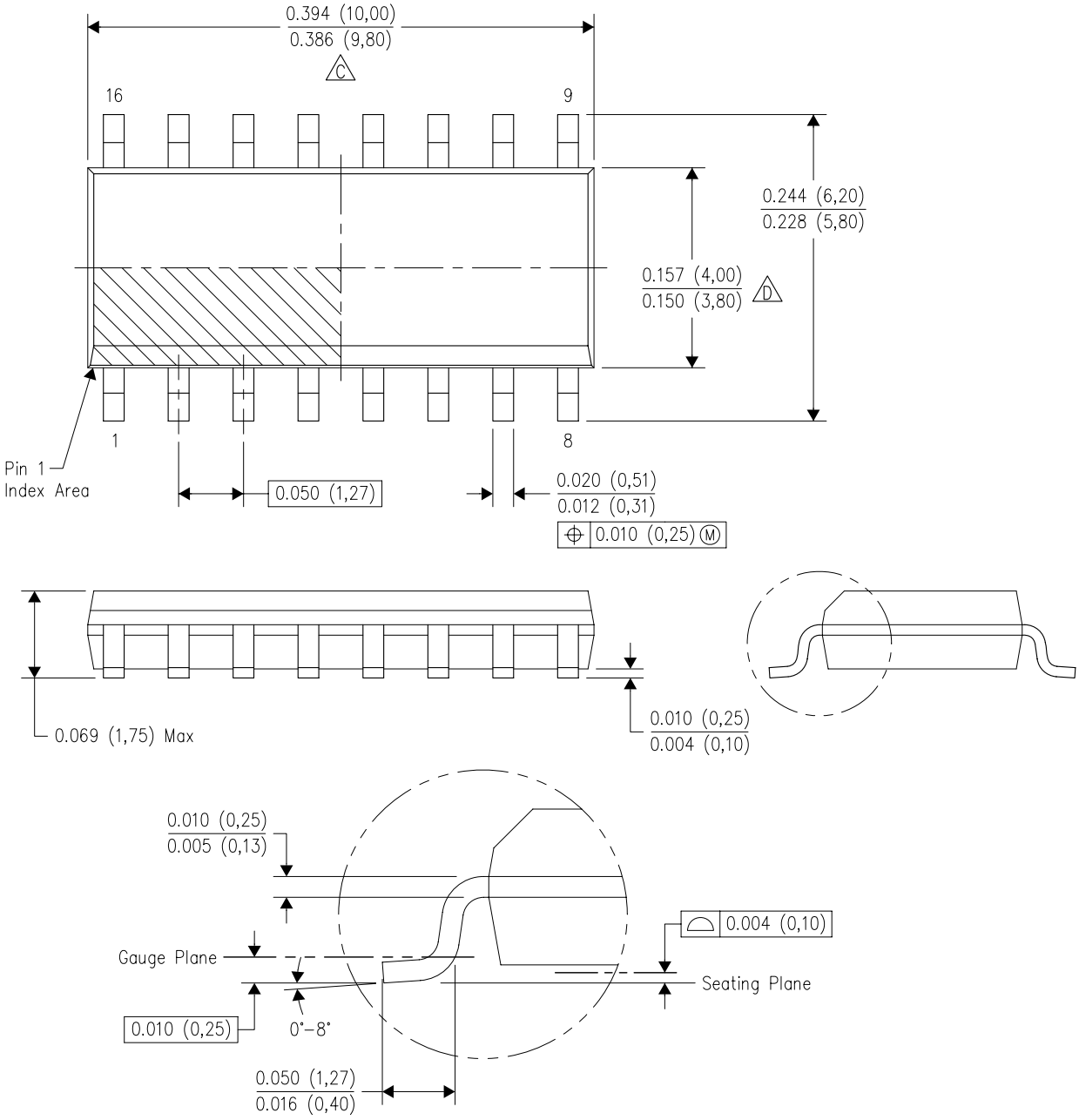
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPUL2G122ADRQ1	SOIC	D	16	3000	340.5	336.1	32.0
TPUL2G122APWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0
TPUL2G122DRQ1	SOIC	D	16	3000	340.5	336.1	32.0
TPUL2G122PWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0
TPUL2G122WBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

GENERIC PACKAGE VIEW

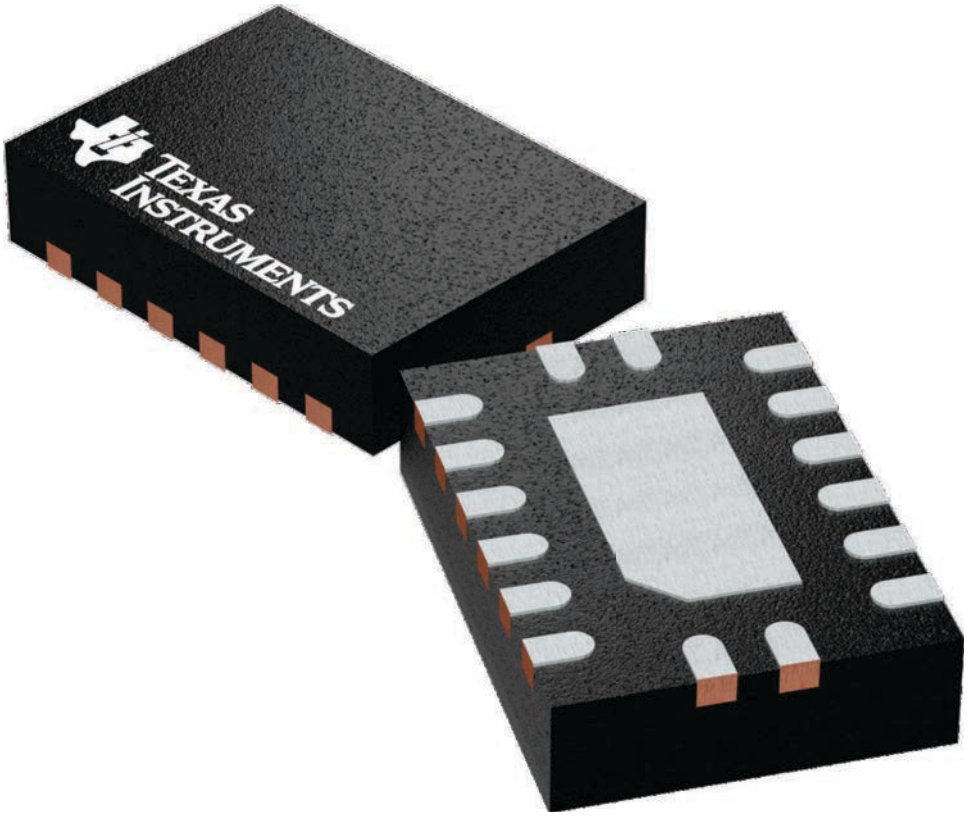
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



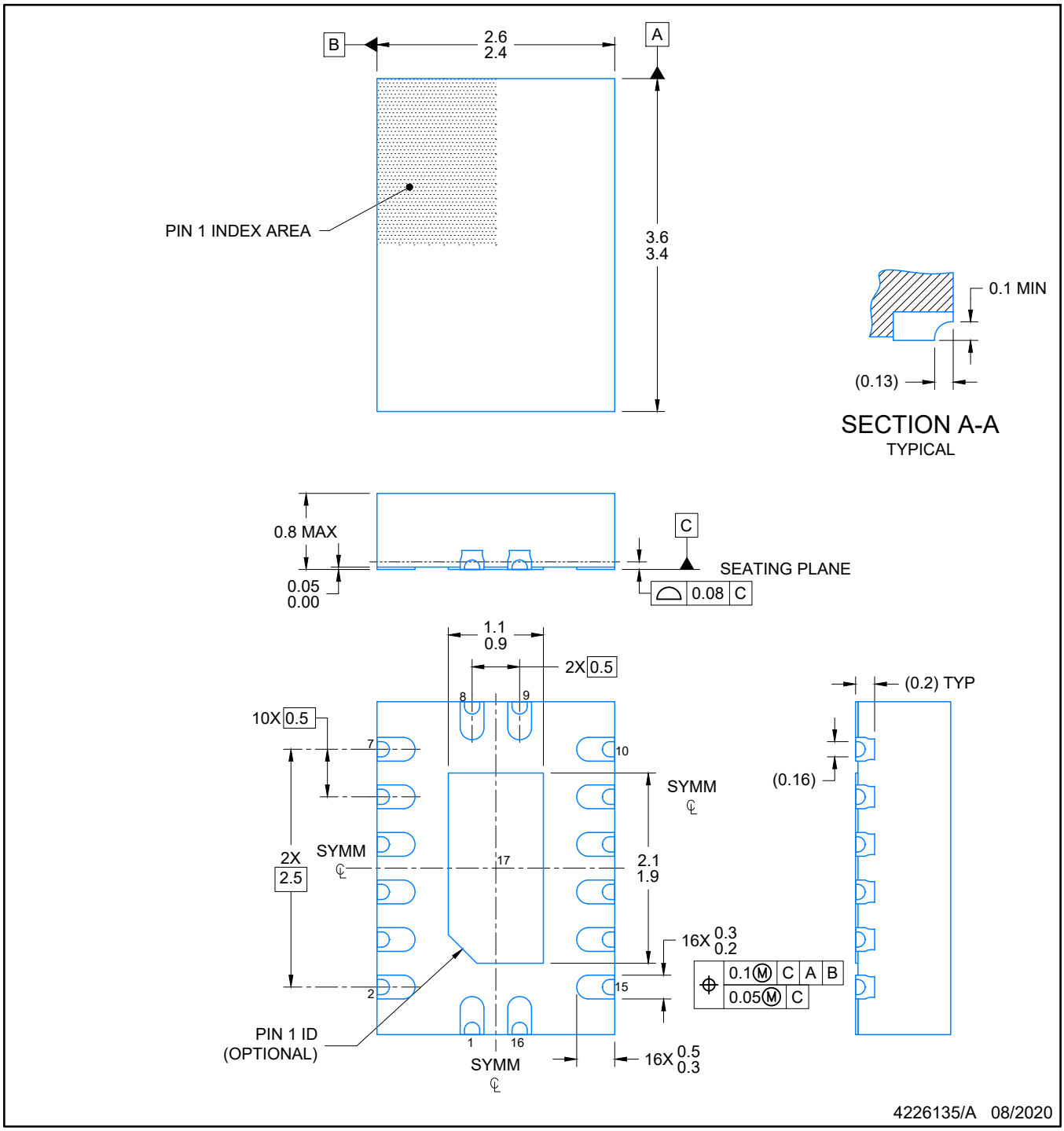
4226161/A

PACKAGE OUTLINE

BQB0016B

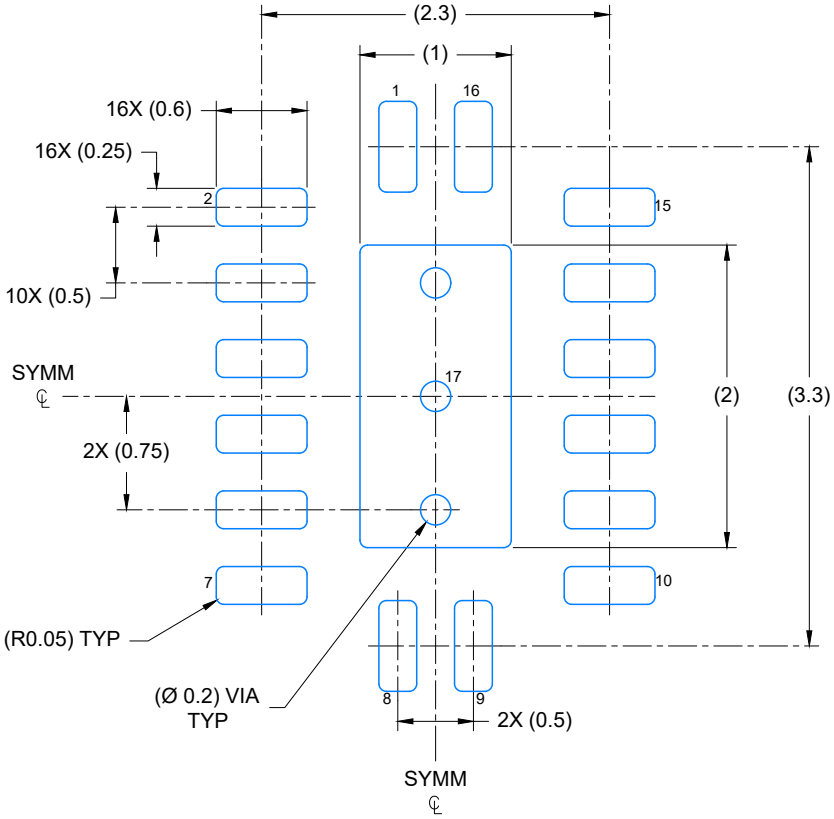
WQFN - 0.8 mm max height

INDSTNAME



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

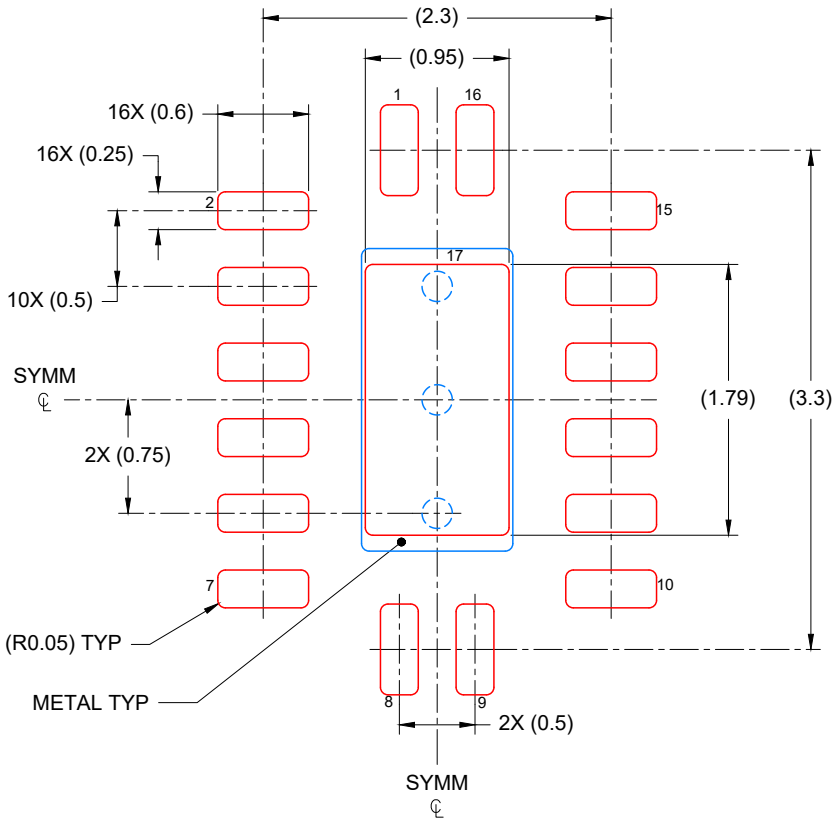


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

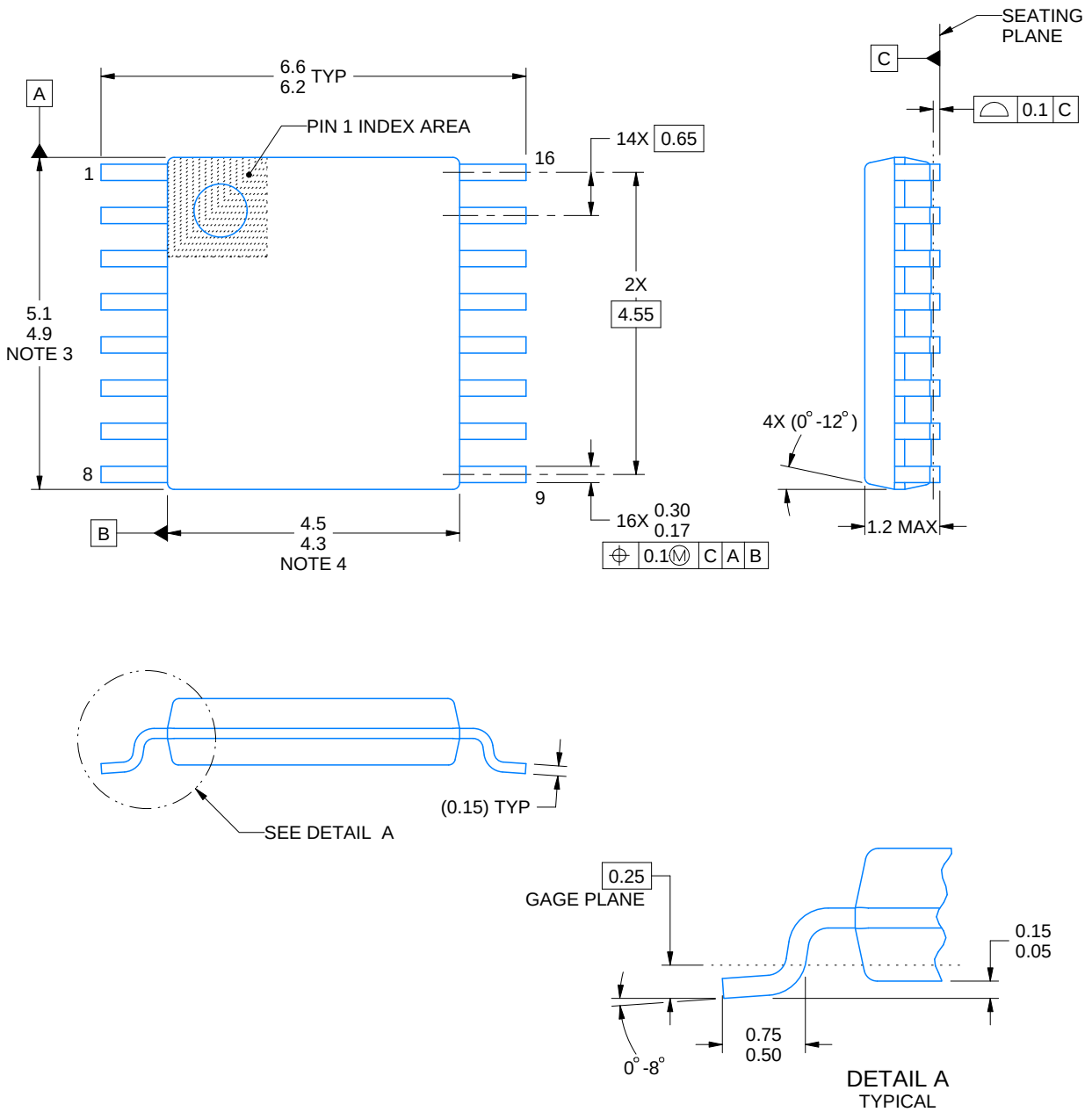
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0016A

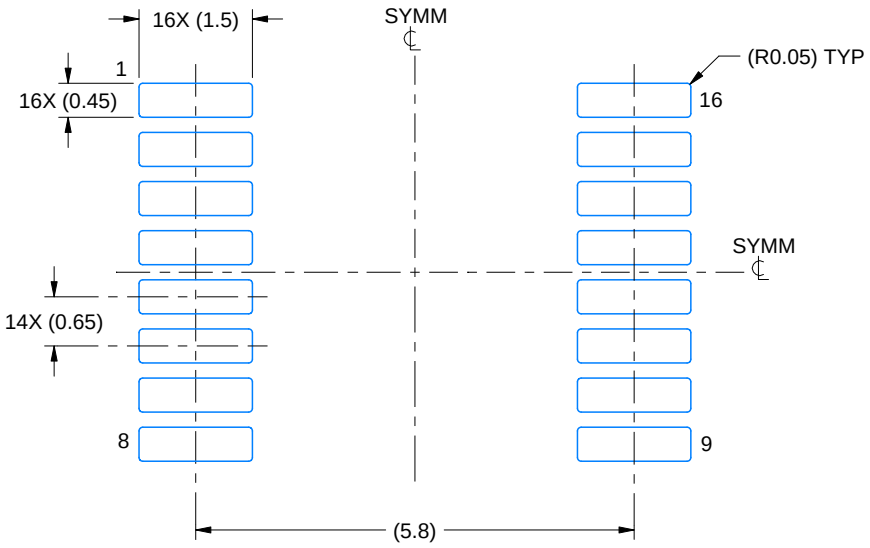
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

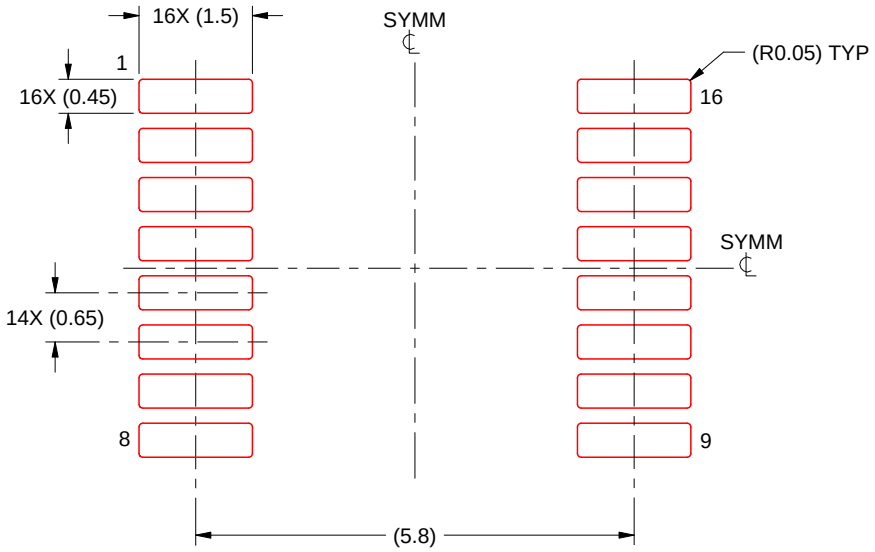


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月