TSDxxC-Q1 車載アプリケーション向け、SOD-323 パッケージ封止、双方向 TVS (過渡電圧サプレッサ) ダイオード

1 特長

- ISO 10605 (330pF、330Ω) ESD 保護:
  - ±30kV 接触放電 (TSD36C-Q1 の場合は ±27kV)
  - ±30kV エア ギャップ放電
- IEC 61000-4-5 サージ保護:
  - 6.5-15A (8/20µs)
- 低い IO 容量 < 7pF (標準値)
- 超低リーク電流:10nA (最大値)
- 産業用温度範囲:-55℃～+150℃
- 業界標準の SOD-323 リード付きパッケージ (2.65mm × 1.3mm)

2 アプリケーション

- I/O 保護
- 電源ライン保護
- USB VBUS
- ボディ エレクトロニクス / ライティング
- ハイブリッド、電気、パワートレイン システム

3 概要

TSDxxC-Q1 は双方向 TVS 保護ダイオードであり、車載アプリケーションで ESD やサージなどの有害な過渡電圧をクランプするよう設計されています。TSDxxC-Q1 は、最大 ±30kV の ESD 衝撃 (接触放電および気中放電) を吸収する定格を備えており、IEC 61000-4-2 国際規格 (レベル 4) で規定されている最大レベルをクリアしています。

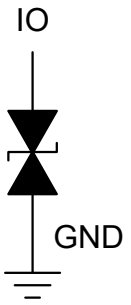
このデバイスの堅牢なクランプ性能と低容量を組み合わせることで TSDxxC-Q1 は、優れた TVS ダイオードとなり、さまざまなアプリケーションでデータ ラインおよび電源ラインを保護します。

TSDxxC-Q1 は、業界標準のリード付き SOD-323 パッケージで供給され、半田付けが容易です。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
TSDxxC-Q1	DYF (SOD-323、2)	2.65mm × 1.3mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 Pin Configuration and Functions ... 3
5 Specifications ... 4
5.1 Absolute Maximum Ratings ... 4
5.2 ESD Ratings - AEC Specifications ... 4
5.3 ESD Ratings—IEC Specification ... 4
5.4 ESD Ratings - ISO Specifications ... 5
5.5 Recommended Operating Conditions ... 5
5.6 Thermal Information ... 5
5.7 Electrical Characteristics - TSD12C-Q1 ... 6
5.8 Electrical Characteristics - TSD15C-Q1 ... 7
5.9 Electrical Characteristics - TSD18C-Q1 ... 8
5.10 Electrical Characteristics - TSD24C-Q1 ... 9
5.11 Electrical Characteristics - TSD36C-Q1 ... 10
5.12 Typical Characteristics ... 11
6 Application and Implementation ... 13
7 Application Information ... 14
8 Device and Documentation Support ... 15
8.1 Documentation Support ... 15
8.2 ドキュメントの更新通知を受け取る方法 ... 15
8.3 サポート・リソース ... 15
8.4 Trademarks ... 15
8.5 静電気放電に関する注意事項 ... 15
8.6 用語集 ... 15
9 Revision History ... 15
10 Mechanical, Packaging, and Orderable Information ... 15

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

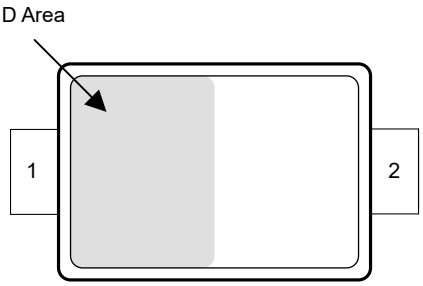


図 4-1. DYF Package, 2-Pin SOD-323 (Top View)

表 4-1. Pin Functions

PIN		TYPE(1)	DESCRIPTION
NO.	NAME		
1	IO	I/O	Protected Channel. If used as IO, connect pin 2 to ground
2	IO	I/O	Protected Channel. If used as IO, connect pin 1 to ground

(1) I = input, O = output

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) (1)

Parameter		DEVICE	MIN	MAX	UNIT
P_{PP}	IEC 61000-4-5 (t_p 8/20µs) Peak Pulse Power at 25°C	TSD12C-Q1		390	W
		TSD15C-Q1			
		TSD18C-Q1			
		TSD24C-Q1			
		TSD36C-Q1		400	W
I_{PP}	IEC 61000-4-5 (t_p 8/20µs) Peak Pulse Current at 25°C	TSD12C-Q1		15	A
		TSD15C-Q1		12	A
		TSD18C-Q1			
		TSD24C-Q1		9	A
		TSD36C-Q1		6.5	A
T_A	Ambient Operating Temperature		-55	150	°C
T_{stg}	Storage Temperature		-65	155	°C

(1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute maximum ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If briefly operating outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not sustain damage, but it may not be fully functional. Operating the device in this manner may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings - AEC Specifications

Parameter		Test Conditions	VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per AEC Q101-001(1)	±2500	V
		Charged device model (CDM), per AEC Q101-005(2)	±1000	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 ESD Ratings—IEC Specification

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	IEC 61000-4-2 contact discharge	±30000	V
		IEC 61000-4-2 air-gap discharge	±30000	

Copyright © 2024 Texas Instruments Incorporated

5.4 ESD Ratings - ISO Specifications

Parameter			Test Conditions	Device	VALUE	UNIT
$V_{(ESD)}$	ISO 10605 Electrostatic Discharge	Contact discharge, all pins	C = 150 pF; R = 330 Ω	TSD12C-Q1	±30000	V
				TSD15C-Q1		
				TSD18C-Q1		
				TSD24C-Q1		
				TSD36C-Q1		
			C = 330 pF; R = 330 Ω	TSD12C-Q1	±30000	V
				TSD15C-Q1		
				TSD18C-Q1		
				TSD24C-Q1		
				TSD36C-Q1	±27000	V
		Air-gap discharge, all pins	C = 150 pF; R = 330 Ω	TSD12C-Q1	±30000	V
				TSD15C-Q1		
				TSD18C-Q1		
				TSD24C-Q1		
				TSD36C-Q1		
			C = 330 pF; R = 330 Ω	TSD12C-Q1	±30000	V
				TSD15C-Q1		
				TSD18C-Q1		
				TSD24C-Q1		
				TSD36C-Q1		

5.5 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
T_A	Operating free-air temperature	-55		150	°C

5.6 Thermal Information

THERMAL METRIC		TSD12C-Q1 / TSD15C-Q1 / TSD18C-Q1	TSD24C-Q1 / TSD36C-Q1	UNIT
		DYF (SOD-323)	DYF (SOD-323)	
		2 PINS	2 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	683.8	686.1	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	264.2	267.0	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	559.0	560.5	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	89.9	91.4	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	544.8	546.2	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.7 Electrical Characteristics - TSD12C-Q1

At TA=25℃ (unless otherwise noted) (1)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} <10 nA, across operating temperature range			12	V
V_{BRR}	Breakdown voltage	I_{IO} = 10 mA, IO to GND and GND to IO	13.2	15.6	19	V
I_{LEAK}	Reverse leakage current	V_{IO} = 12 V, IO to GND or GND to IO		5	10	nA
V_{CLAMP}	Surge clamping voltage, t_p = 8/20 µs (2)	I_{PP} = 1 A, IO to GND or GND to IO			18.5	V
		I_{PP} = 5 A, IO to GND or GND to IO			21	V
		I_{PP} = 15 A, IO to GND or GND to IO			26	V
	TLP clamping voltage, t_p = 100 ns	I_{PP} = 16 A, IO to GND or GND to IO		19.4		V
R_{DYN}	Dynamic resistance(3)	IO to GND		0.15		Ω
		GND to IO				
C_L	Line capacitance	V_{IO} = 0 V; f = 1 MHz, IO to GND		6.5	8	pF

(1) Typical parameters are measured at 25℃
(2) Nonrepetitive current pulse 8 to 20 µs exponentially decaying waveform according to IEC 61000-4-5
(3) Extraction of R_{DYN} using least squares fit of TLP characteristics between I = 10 A and I = 20 A

Copyright © 2024 Texas Instruments Incorporated

5.8 Electrical Characteristics - TSD15C-Q1

At TA=25℃ (unless otherwise noted) (1)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} <10 nA, across operating temperature range			15	V
V_{BRR}	Breakdown voltage	I_{IO} = 10 mA, IO to GND and GND to IO	19	22	25	V
I_{LEAK}	Reverse leakage current	V_{IO} = 15 V, IO to GND or GND to IO		5	10	nA
V_{CLAMP}	Surge clamping voltage, t_p = 8/20 µs (2)	I_{PP} = 1 A, IO to GND or GND to IO			25.6	V
		I_{PP} = 5 A, IO to GND or GND to IO			28	V
		I_{PP} = 12 A, IO to GND or GND to IO			33	V
	TLP clamping voltage, t_p = 100 ns	I_{PP} = 16 A, IO to GND or GND to IO		25		V
R_{DYN}	Dynamic resistance(3)	IO to GND		0.2		Ω
		GND to IO				
C_L	Line capacitance	V_{IO} = 0 V; f = 1 MHz, IO to GND		6.7	9	pF

(1) Typical parameters are measured at 25℃
(2) Nonrepetitive current pulse 8 to 20 µs exponentially decaying waveform according to IEC 61000-4-5
(3) Extraction of R_{DYN} using least squares fit of TLP characteristics between I = 10 A and I = 20 A

Copyright © 2024 Texas Instruments Incorporated

5.9 Electrical Characteristics - TSD18C-Q1

At TA=25℃ (unless otherwise noted) (1)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} <10 nA, across operating temperature range			18	V
V_{BRR}	Breakdown voltage	I_{IO} = 10 mA, IO to GND and GND to IO	19	22	25	V
I_{LEAK}	Reverse leakage current	V_{IO} = 18 V, IO to GND or GND to IO		5	10	nA
V_{CLAMP}	Surge clamping voltage, t_p = 8/20 µs (2)	I_{PP} = 1 A, IO to GND or GND to IO			25.6	V
		I_{PP} = 5 A, IO to GND or GND to IO			28	V
		I_{PP} = 12 A, IO to GND or GND to IO			33	V
	TLP clamping voltage, t_p = 100 ns	I_{PP} = 16 A, IO to GND or GND to IO		25		V
R_{DYN}	Dynamic resistance(3)	IO to GND		0.2		Ω
		GND to IO				
C_L	Line capacitance	V_{IO} = 0 V; f = 1 MHz, IO to GND		6.7	9	pF

(1) Typical parameters are measured at 25℃
(2) Nonrepetitive current pulse 8 to 20 µs exponentially decaying waveform according to IEC 61000-4-5
(3) Extraction of R_{DYN} using least squares fit of TLP characteristics between I = 10 A and I = 20 A

Copyright © 2024 Texas Instruments Incorporated

5.10 Electrical Characteristics - TSD24C-Q1

At TA=25℃ (unless otherwise noted) (1)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} <10 nA, across operating temperature range			24	V
V_{BR}	Breakdown voltage	I_{IO} = 10 mA, IO to GND and GND to IO	25.5	30.5	35.5	V
I_{LEAK}	Reverse leakage current	V_{IO} = 24 V, IO to GND or GND to IO		5	10	nA
V_{CLAMP}	Surge clamping voltage, t_p = 8/20 µs (2)	I_{PP} = 1 A, IO to GND or GND to IO			34	V
		I_{PP} = 5 A, IO to GND or GND to IO			43	V
		I_{PP} = 9 A, IO to GND or GND to IO			50	V
	TLP clamping voltage, t_p = 100 ns	I_{PP} = 16 A, IO to GND or GND to IO		36		V
R_{DYN}	Dynamic resistance(3)	IO to GND		0.35		Ω
		GND to IO				
C_L	Line capacitance	V_{IO} = 0 V; f = 1 MHz, IO to GND		4.3	6	pF

(1) Typical parameters are measured at 25℃
(2) Nonrepetitive current pulse 8 to 20 µs exponentially decaying waveform according to IEC 61000-4-5
(3) Extraction of R_{DYN} using least squares fit of TLP characteristics between I = 10 A and I = 20 A

Copyright © 2024 Texas Instruments Incorporated

5.11 Electrical Characteristics - TSD36C-Q1

At TA=25℃ (unless otherwise noted) (1)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} <50 nA, across operating temperature range			36	V
V_{BR}	Breakdown voltage	I_{IO} = 10 mA, I/O to GND and GND to I/O	37.8	41.2	44.2	V
I_{LEAK}	Reverse leakage current	V_{IO} = 36 V, IO to GND or GND to IO		5	10	nA
V_{CLAMP}	Surge clamping voltage, t_p = 8/20 µs (2)	I_{PP} = 1 A, IO to GND or GND to IO			47	V
		I_{PP} = 5 A, IO to GND or GND to IO			64	V
		I_{PP} = 6.5 A, IO to GND or GND to IO			71	V
	TLP clamping voltage, t_p = 100 ns	I_{PP} = 16 A, IO to GND or GND to IO		56		V
R_{DYN}	Dynamic resistance (3)	IO to GND		0.6		Ω
		GND to IO				
C_L	Line capacitance	V_{IO} = 0 V; f = 1 MHz, IO to GND		4.3	6	pF

(1) Typical parameters are measured at 25℃
(2) Nonrepetitive current pulse 8 to 20 µs exponentially decaying waveform according to IEC 61000-4-5
(3) Extraction of RDYN using least squares fit of TLP characteristics between I = 10 A and I = 20 A

Copyright © 2024 Texas Instruments Incorporated

5.12 Typical Characteristics

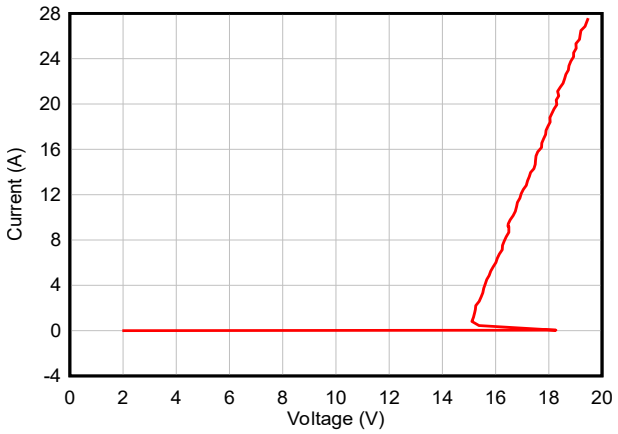


図 5-1. Positive TLP Curve - TSD12C-Q1

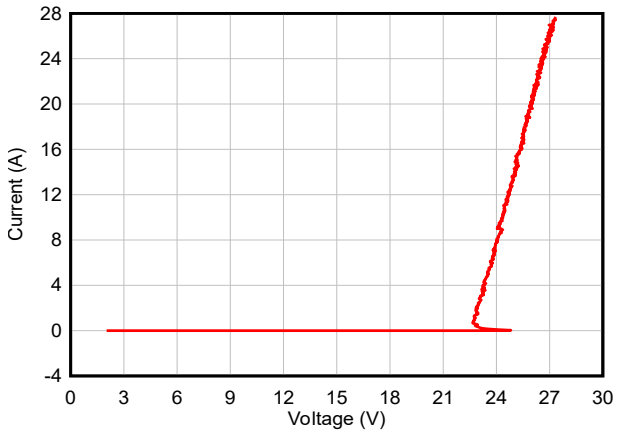


図 5-2. Positive TLP Curve - TSD15C-Q1

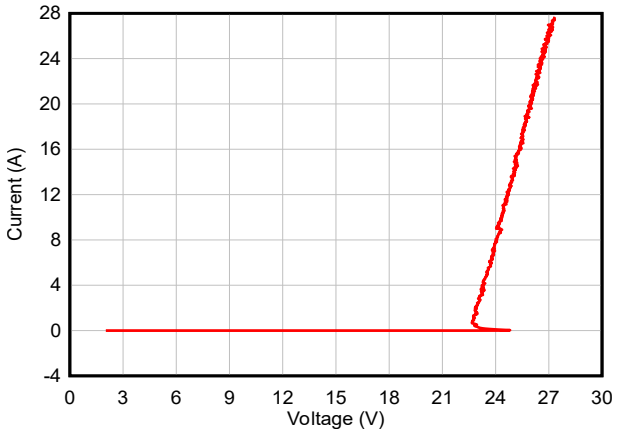


図 5-3. Positive TLP Curve - TSD18C-Q1

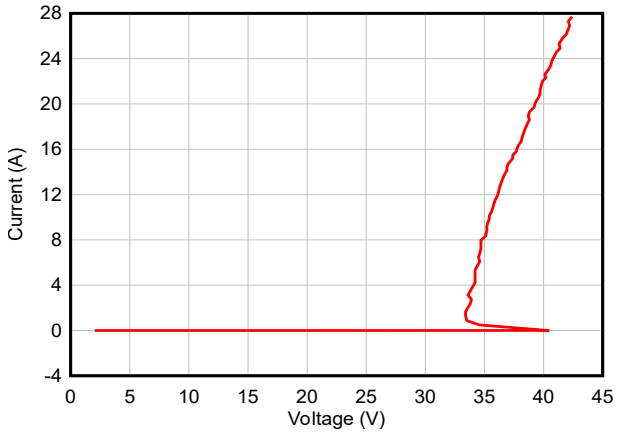


図 5-4. Positive TLP Curve - TSD24C-Q1

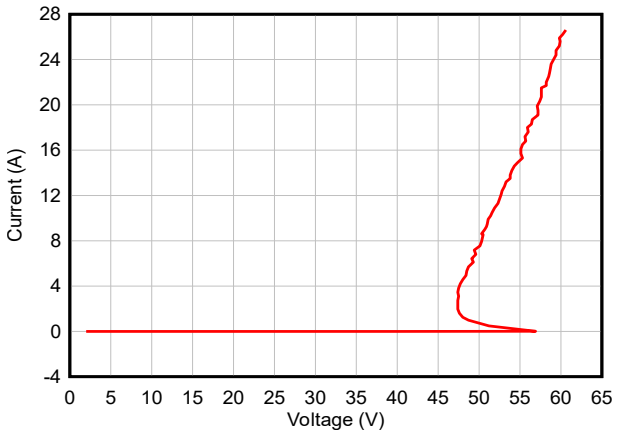


図 5-5. Positive TLP Curve - TSD36C-Q1

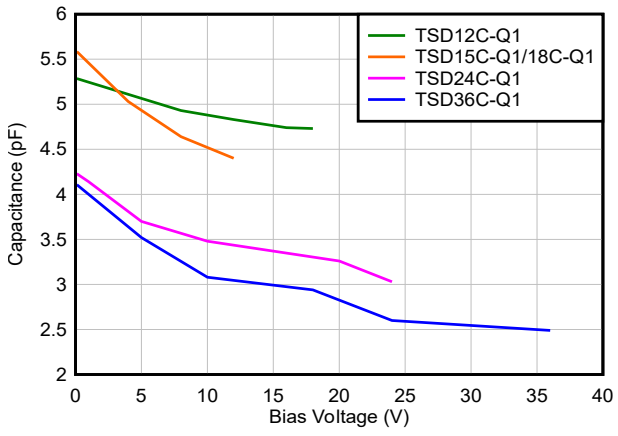


図 5-6. Capacitance vs Bias Voltage

Copyright © 2024 Texas Instruments Incorporated

5.12 Typical Characteristics (continued)

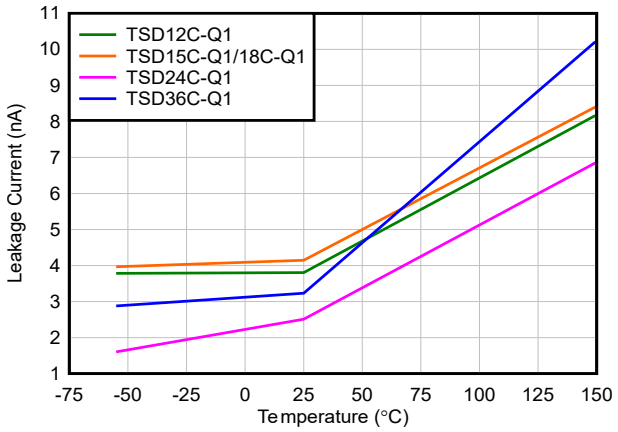


図 5-7. Leakage Current vs Temperature

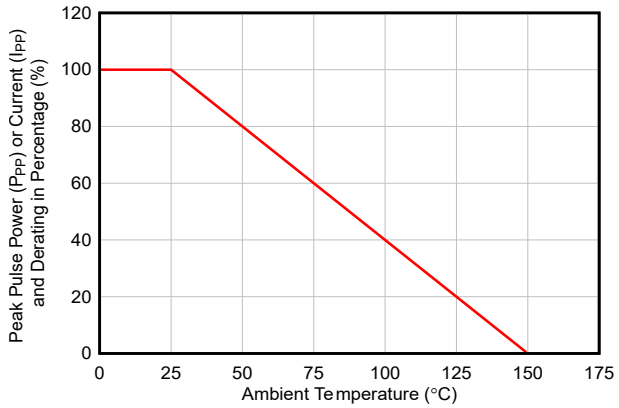


図 5-8. Peak Pulse Power Derating Curve

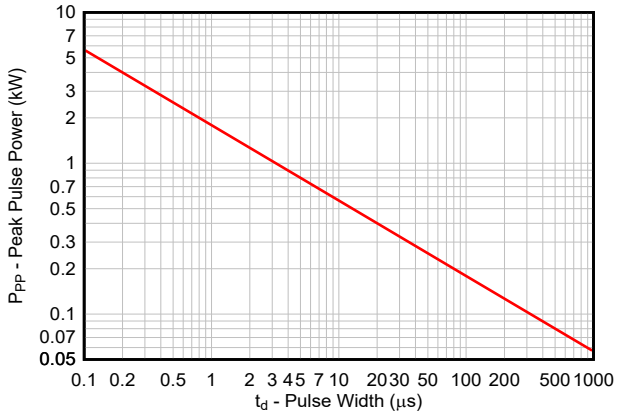


図 5-9. Pulse Power Rating Curve

Copyright © 2024 Texas Instruments Incorporated

6 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7 Application Information

The TSDxxC-Q1 are TVS diodes that provide a path to ground for dissipating transient voltage spikes (such as ESD or surge) on signal lines and power lines. Connect the device in parallel to the down stream circuitry for protection. As the current from the transient passes through the TVS, only a small voltage drop is present across the diode. The small voltage drop is presented to the protected IC. The low R_{DYN} of the triggered TVS holds this voltage (V_{CLAMP}) to a safe level for the protected IC. For more information on how to properly use this device, refer to the *ESD Packaging and Layout Guide*.

Copyright © 2024 Texas Instruments Incorporated

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, *ESD Packaging and Layout Guide* application report
- Texas Instruments, *ESD Layout Guide* application report
- Texas Instruments, *Generic ESD Evaluation Module* user's guide
- Texas Instruments, *Reading and Understanding an ESD Protection Data Sheet* user's guide

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

DATE	REVISION	NOTES
October 2024	*	Initial Release

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TSD12CDYFRQ1	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3JNF
TSD12CDYFRQ1.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TSD12CDYFRQ1	3JNF
TSD15CDYFRQ1	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3MMF
TSD15CDYFRQ1.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TSD15CDYFRQ1	3MMF
TSD18CDYFRQ1	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3JPF
TSD18CDYFRQ1.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TSD18CDYFRQ1	3JPF
TSD24CDYFRQ1	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3GZF
TSD24CDYFRQ1.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TSD24CDYFRQ1	3GZF
TSD36CDYFRQ1	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3GPF
TSD36CDYFRQ1.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	See TSD36CDYFRQ1	3GPF

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TSD12C-Q1, TSD15C-Q1, TSD18C-Q1, TSD24C-Q1, TSD36C-Q1 :

- Catalog : TSD12C, TSD15C, TSD18C, TSD24C, TSD36C

NOTE: Qualified Version Definitions:

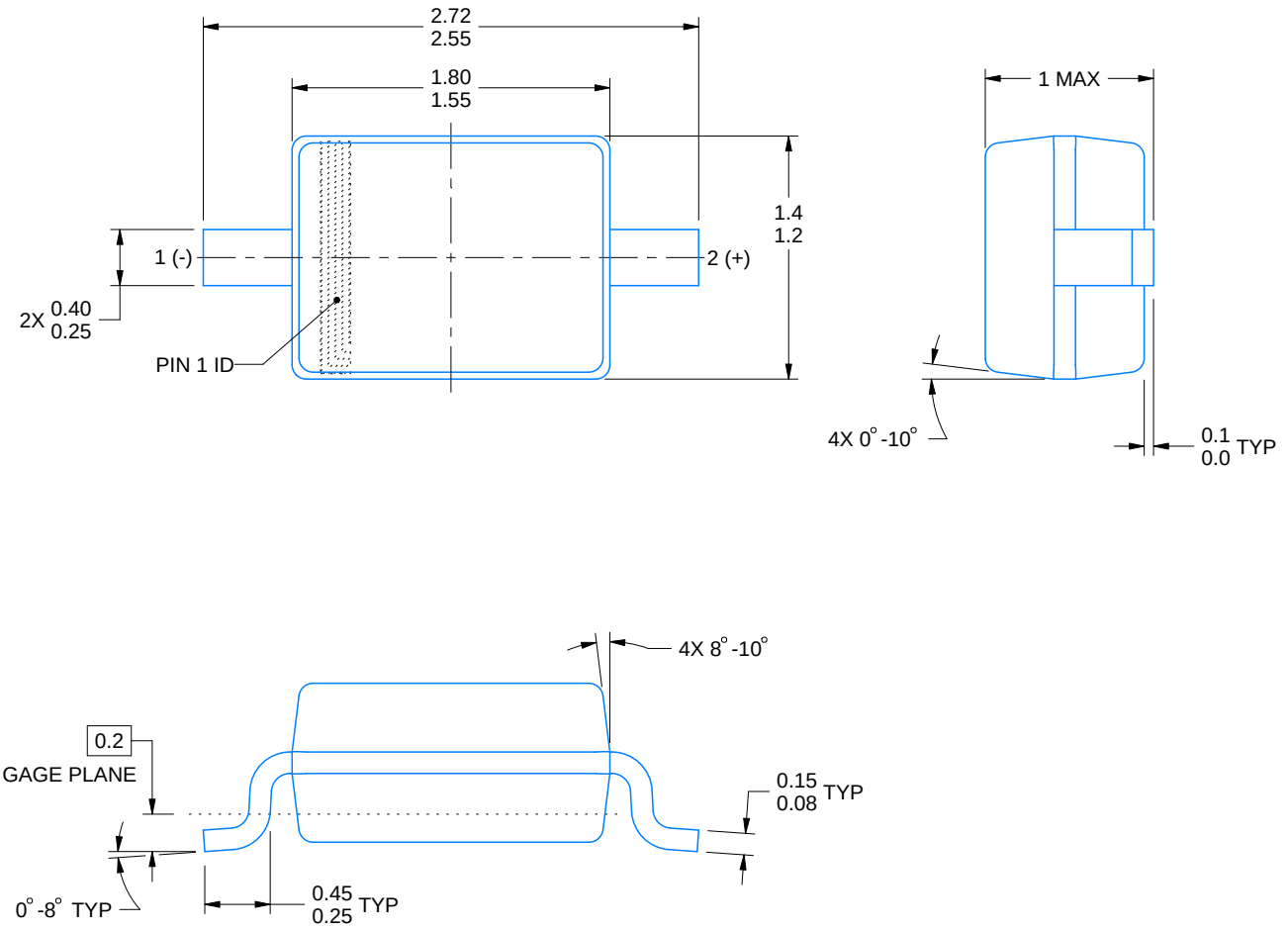
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

DYF0002A

SOT(SOD-323) - 1 mm max height

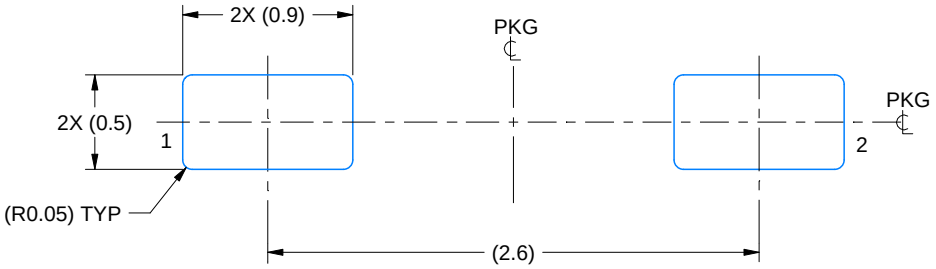
SMALL OUTLINE TRANSISTOR



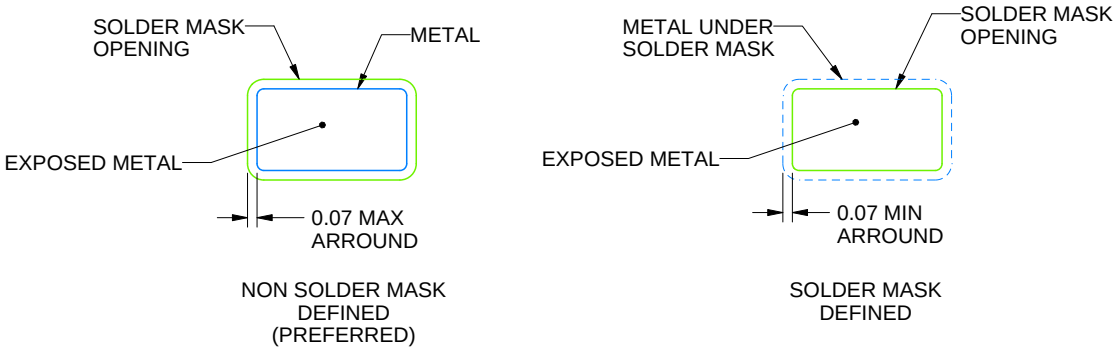
4228484/D 09/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4228484/D 09/2026

NOTES: (continued)

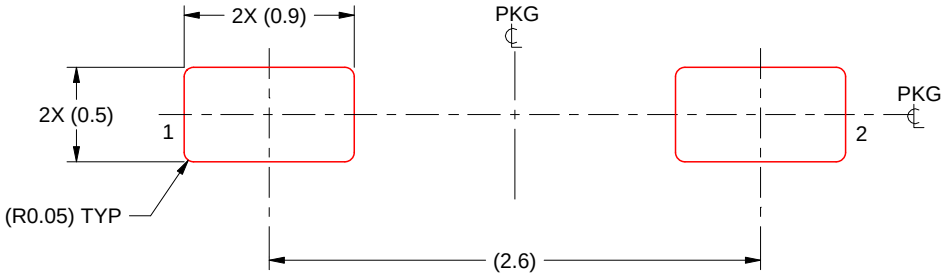
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:25X

4228484/D 09/2026

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月