TUSB4041I 4 ポート USB 2.0 ハブ

1 特長

- 4 ポート USB 2.0 ハブ
- USB 2.0 ハブ機能:
  - MTT (Multiple Transaction Translator) ハブ:4 つのトランザクション トランスレータ
  - トランザクション トランスレータごとに 4 つの非同期エンドポイント バッファ
- USB バッテリ充電をサポート
  - CDP モード (上流ポート接続時)
  - DCP モード (上流ポート未接続時)
  - DCP モードは中国電気通信業界標準 YD/T 1591-2009 に準拠
  - D+ および D- デバイダ モードをサポート
- ポート単位または一括制御のパワー スイッチングおよび過電流通知入力
- OTP ROM、シリアル EEPROM、または I^2C/SMBus ターゲット インターフェイスで次のカスタム構成に対応:
  - V_{ID} および P_{ID}
  - カスタマイズ可能なポート
  - メーカーおよび製品文字列 (OTP ROM は除く)
  - シリアル番号 (OTP ROM は除く)
- ピン選択か、EEPROM または I^2C、または SMBus ターゲット インターフェイスを使用したアプリケーション機能選択
- 128 ビットの UUID (Universally Unique Identifier) を提供
- USB 2.0 上流ポート経由でオンボードおよびイン システムの OTP および EEPROM プログラミングをサポート
- 単一クロック入力、24MHz の水晶振動子または発振器
- DM/DP 極性スワップ
- Type C 互換
- 特別なドライバ要件なし、USB スタックをサポートする任意のオペレーティング システムでシームレスに動作
- 64 ピン HTQFP パッケージ (PAP)

2 アプリケーション

- コンピュータ システム
- ドッキング ステーション
- モニタ
- セットトップ ボックス

3 説明

TUSB4041I デバイスは 4 ポートの USB 2.0 ハブです。このデバイスは、上流ポートで高速またはフルスピードの USB 接続を実現します。このデバイスは、下流ポートで高速、フルスピード、低速の USB 接続も実現します。上流ポートが、高速、フルスピード、低速の接続のみをサポートする電気的環境に接続されている場合、下流ポートで高速、フルスピード、低速 USB 接続が有効になります。上流ポートがフルスピードまたは低速接続のみをサポートする電気的環境に接続されている場合、USB 高速接続は下流ポートでディセーブルされます。

TUSB4041I デバイスには、ポートごと、または一括の電力スイッチングと過電流保護が搭載されています。このデバイスはバッテリ充電アプリケーションにも対応しています。

ポート パワー個別制御のハブは、各下流ポートへの給電を USB ホストのリクエストに応じてオン / オフします。また、ポート パワー個別制御のハブが過電流イベントを検出した場合には、影響を受ける下流ポートへの電力だけがオフになります。

一括制御のハブは、いずれかのポートで電力が必要になると、すべての下流ポートへの給電をオンにします。下流ポートへの給電は、すべてのポートが給電を停止できる状態にならない限り、オフになりません。また、一括制御のハブが過電流イベントを検出すると、すべての下流ポートへの給電がオフになります。

TUSB4041I デバイスの下流ポートは、USB Battery Charging Downstream Port (CDP) ハンドシェイクに対応することで、バッテリ充電アプリケーションに対応しています。上流ポートが接続されていないときは、専用充電ポート (DCP) モードもサポートします。DCP モードは、USB バッテリ充電仕様および中国電気通信業界標準 YD/T 1591-2009 に準拠しています。また、自動モードでは、上流ポートの未接続時に BC デバイスとデバイダ モード充電ソリューションをサポートするデバイスが透過的にサポートされます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

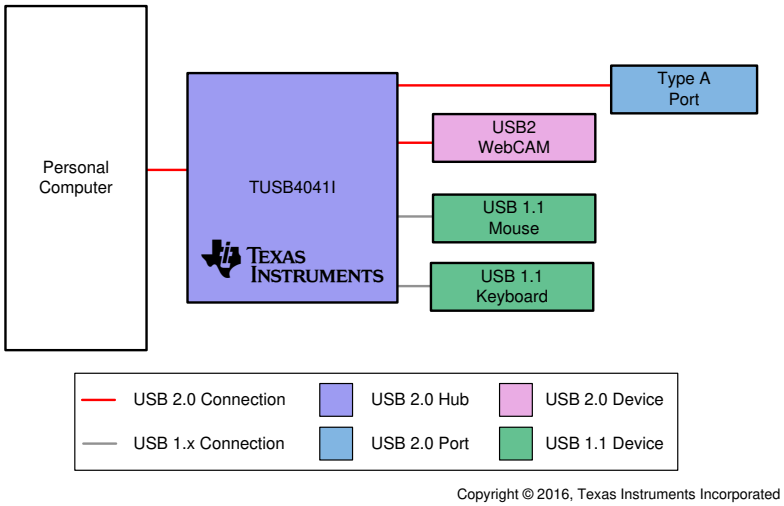
TUSB4041I デバイスは、バッテリ充電のサポートなどいくつかの機能についてピン ストラップ構成を提供しており、OTP ROM、I²C EEPROM、または P_{ID}、V_{ID}、およびカスタム ポートと PHY 構成用の I²C/SMBus ターゲット インターフェイスにより、カスタマイズを行います。また、I²C EEPROM または I²C/SMBus ターゲット インターフェイスを使用する場合、カスタム ストリングをサポートします。

このデバイスは 64 ピンの PAP パッケージで供給され、-40℃～85℃の温度範囲で動作する産業用バージョンです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TUSB4041I	HTQFP (64)	12mm × 12mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

代表的なアプリケーション

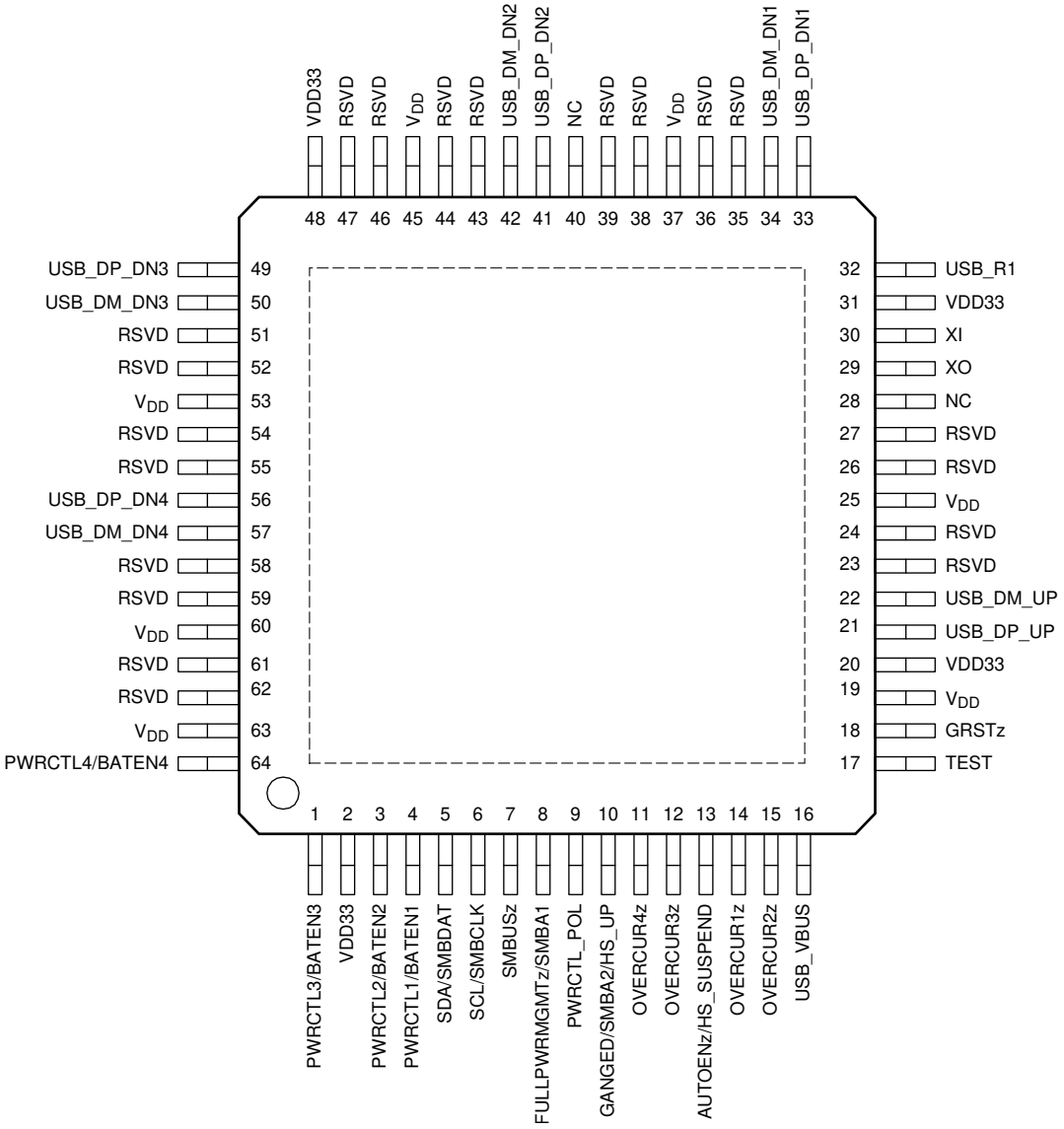
Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 9
5.1 絶対最大定格 ... 9
5.2 ESD 定格 ... 9
5.3 推奨動作条件 ... 9
5.4 熱に関する情報 ... 9
5.5 3.3V I/O の電気的特性 ... 10
5.6 パワーアップのタイミング要件 ... 11
5.7 ハブ入力電源電流 ... 11
6 詳細説明 ... 12
6.1 概要 ... 12
6.2 機能ブロック図 ... 12
6.3 機能説明 ... 13
6.4 デバイスの機能モード ... 17
7 アプリケーションと実装 ... 18
7.1 使用上の注意 ... 18
7.2 代表的なアプリケーション ... 18
7.3 電源に関する推奨事項 ... 24
7.4 レイアウト ... 25
8 レジスタ マップ ... 28
8.1 構成レジスタ ... 28
8.2 ROM 署名レジスタ ... 29
8.3 ベンダ ID LSB レジスタ ... 29
8.4 ベンダ ID MSB レジスタ ... 29
8.5 製品 ID LSB レジスタ ... 31
8.6 製品 ID MSB レジスタ ... 31
8.7 デバイス設定レジスタ ... 32
8.8 バッテリ充電サポート用レジスタ ... 34
8.9 デバイスの削除可能な設定レジスタ ... 34
8.10 ポートを使用する構成レジスタ ... 36
8.11 デバイス設定レジスタ 2 ... 36
8.12 USB 2.0 ポート極性制御レジスタ ... 38
8.13 UUID バイト N レジスタ ... 39
8.14 言語 ID LSB レジスタ ... 39
8.15 言語 ID MSB レジスタ ... 41
8.16 シリアル番号文字列長レジスタ ... 41
8.17 メーカー文字列長レジスタ ... 42
8.18 製品文字列長レジスタ ... 42
8.19 シリアル番号文字列レジスタ ... 43
8.20 メーカー文字列レジスタ ... 43
8.21 製品文字列バイト N レジスタ ... 43
8.22 追加機能構成レジスタ ... 45
8.23 デバイス ステータスおよびコマンド レジスタ ... 45
9 デバイスおよびドキュメントのサポート ... 46
9.1 ドキュメントのサポート ... 46
9.2 ドキュメントの更新通知を受け取る方法 ... 46
9.3 サポート・リソース ... 46
9.4 商標 ... 46
9.5 静電気放電に関する注意事項 ... 46
9.6 用語集 ... 46
10 改訂履歴 ... 47
11 メカニカル、パッケージ、および注文情報 ... 47

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



NC = 内部接続なし

図 4-1. PAP パッケージ 64 ピン HTQFP PowerPAD™ 付き 上面図

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		I/O[1]	タイプ[1]	説明
名称	番号			
クロックとリセットの信号				
GRSTz	18	I	PU	グローバル電源リセット。このリセットにより、TUSB4041I デバイスのすべての内部レジスタがデフォルト状態になります。GRSTz ピンがアサートされると、デバイスは完全に機能しなくなります。
XI	30	I	—	水晶振動子入力。このピンは内部発振器の水晶振動子入力です。入力は外部発振器の出力によって交互に駆動できます。水晶振動子を使用する場合、XI ピンと XO ピンの間に 1MΩ の帰還抵抗が必要です。
XO	29	O	—	水晶振動子出力。このピンは内部発振器の水晶振動子出力です。XI ピンが外部発振器で駆動される場合は、このピンを未接続のままにできます。水晶振動子を使用する場合、XI ピンと XO ピンの間に 1MΩ の帰還抵抗が必要です。
USB アップストリーム信号				
USB_DM_UP	22	I/O	—	USB 高速差動トランシーバ (負)
USB_DP_UP	21	I/O	—	USB 高速差動トランシーバ (正)
USB_R1	32	I	—	高精度抵抗リファレンス。USB_R1 ピンとグランドの間に 9.53kΩ ±1% の抵抗を接続します。
USB_VBUS	16	I	—	USB アップストリーム ポート電力モニタ。VBUS 検出には分圧器が必要です。USB_VBUS 信号は、90.9kΩ ±1% の抵抗を介して VBUS に接続し、信号とグランド間に 10kΩ ±1% の抵抗を介して接地する必要があります。
USB ダウンストリーム信号				
OVERCUR1z	14	I	PU	USB ポート 1 の過電流検出。このピンを使ってポート 1 のダウンストリーム ポート パワー スイッチの過電流出力を接続します。 0 = 過電流イベントが発生。 1 = 過電流イベントの発生なし。 パワー マネージメントを実装しない場合、このピンは未接続のままにしておくことができます。パワー マネージメントが有効な場合は、パワー スイッチを確認して、必要な外部回路を決定します。
OVERCUR2z	15	I	PU	USB ポート 2 の過電流検出。このピンを使ってポート 2 のダウンストリーム ポート パワー スイッチの過電流出力を接続します。 0 = 過電流イベントが発生。 1 = 過電流イベントの発生なし。 パワー マネージメントを実装しない場合は、このピンを未接続のままにします。パワー マネージメントが有効な場合は、パワー スイッチを確認して、必要な外部回路を決定します。
OVERCUR3z	12	I	PU	USB ポート 3 の過電流検出。このピンを使ってポート 3 のダウンストリーム ポート パワー スイッチの過電流出力を接続します。 0 = 過電流イベントが発生。 1 = 過電流イベントの発生なし。 パワー マネージメントを実装しない場合、このピンは未接続のままにしておくことができます。パワー マネージメントが有効な場合は、パワー スイッチを確認して、必要な外部回路を決定します。
OVERCUR4z	11	I	PU	USB ポート 4 の過電流検出。このピンを使ってポート 4 のダウンストリーム ポート パワー スイッチの過電流出力を接続します。 0 = 過電流イベントが発生。 1 = 過電流イベントの発生なし。 パワー マネージメントを実装しない場合、このピンは未接続のままにしておくことができます。パワー マネージメントが有効な場合は、パワー スイッチを確認して、必要な外部回路を決定します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		I/O[1]	タイプ[1]	説明
名称	番号			
PWRCTL1/BATEN1	4	I/O	PD	ダウンストリーム電力およびバッテリ充電イネーブル用の USB ポート 1 のパワーオン制御。このピンを使ってポート 1 のダウンストリーム パワー スイッチを制御します。 リセットのデアサート時にピンの値がサンプリングされ、*バッテリ充電サポート用レジスタ* に示すようにポート 1 のバッテリ充電サポートの値が決定されます: 0 = バッテリ充電のサポートなし 1 = バッテリ充電のサポートあり
PWRCTL2/BATEN2	3	I/O	PD	ダウンストリーム電力およびバッテリ充電イネーブル用の USB ポート 2 のパワーオン制御。このピンを使ってポート 2 のダウンストリーム パワー スイッチを制御します。 リセットのデアサート時にピンの値がサンプリングされ、*バッテリ充電サポート用レジスタ* に示すようにポート 2 のバッテリ充電サポートの値が決定されます: 0 = バッテリ充電のサポートなし 1 = バッテリ充電のサポートあり
PWRCTL3/BATEN3	1	I/O	PD	ダウンストリーム電力およびバッテリ充電イネーブル用の USB ポート 3 のパワーオン制御。このピンを使ってポート 3 のダウンストリーム パワー スイッチを制御します。 リセットのデアサート時にピンの値がサンプリングされ、*バッテリ充電サポート用レジスタ* に示すようにポート 3 のバッテリ充電サポートの値が決定されます: 0 = バッテリ充電のサポートなし 1 = バッテリ充電のサポートあり
PWRCTL4/BATEN4	64	I/O	PD	ダウンストリーム電力およびバッテリ充電イネーブル用の USB ポート 4 のパワーオン制御。このピンを使ってポート 4 のダウンストリーム パワー スイッチを制御します。 リセットのデアサート時にピンの値がサンプリングされ、*バッテリ充電サポート用レジスタ* に示すようにポート 4 のバッテリ充電サポートの値が決定されます: 0 = バッテリ充電のサポートなし 1 = バッテリ充電のサポートあり
USB_DM_DN1	34	I/O	—	USB 高速差動トランシーバ (負)
USB_DM_DN2	42			
USB_DM_DN3	50			
USB_DM_DN4	57			
USB_DP_DN1	33	I/O	—	USB 高速差動トランシーバ (正)
USB_DP_DN2	41			
USB_DP_DN3	49			
USB_DP_DN4	56			
I²C および SMBus の信号				
SCL/SMBCLK	6	I/O	PD	I²C クロック/SMBus クロック。このピンの機能は、SMBUSz 入力の設定によって異なります。 SMBUSz = 1 のとき、このピンは I²C EEPROM のシリアル クロック インターフェイスとして機能します。 SMBUSz = 0 のとき、このピンは SMBus ホストのシリアル クロック インターフェイスとして機能します。 外部インターフェースを実装しない場合、このピンは未接続のままにしておくことができます。
SDA/SMBDAT	5	I/O	PD	I²C データ/SMBus データ。このピンの機能は、SMBUSz 入力の設定によって異なります。 SMBUSz = 1 のとき、このピンは I²C EEPROM のシリアル データ インターフェイスとして機能します。 SMBUSz = 0 のとき、このピンは SMBus ホストのシリアル データ インターフェイスとして機能します。 外部インターフェースを実装しない場合、このピンは未接続のままにしておくことができます。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		I/O[1]	タイプ[1]	説明
名称	番号			
SMBUSz	7	I/O	PU	I²C/SMBus モードの選択。ピンの値はリセットのデアサート時にサンプリングされて、次のように I²C または SMBus モードをセットします: 1 = I²C モードを選択 0 = SMBus モードを選択 外部インターフェースを実装しない場合、このピンは未接続のままにしておくことができます。 リセット後、この信号は TUSB4041I によって Low に駆動されます。この動作が生じるため、TI では、電源に直接接続せずに、外付け抵抗を使用してプルアップまたはプルダウンすることを推奨しています。
テスト信号およびその他の信号				
AUTOENz/ HS_SUSPEND	13	I/O	PU	自動充電モードイネーブル/HS 中断ステータス ピンの値はリセットのデアサート時にサンプリングされて、次のように自動モードがイネーブルであるかを判断します: 0 = ハブ未接続時にバッテリ充電がイネーブルになっているポートで自動モードが有効になります。自動モードで動作している場合、CDP はポート 1 でサポートされないことに注意してください。 1 = 自動モードがディスエーブル。 この値は、*バッテリ充電サポート用レジスタ* の autoEnz ビットの設定にも使用されます。 *追加機能構成レジスタ* を介してイネーブルにされる場合、リセット後、この信号はアップストリーム ポートの高速 USB 中断ステータスを示します。イネーブルな場合、1 の値は接続が中断されていることを示します。
FULLPWRMGMTz/ SMBA1	8	I/O	PD	フル パワー マネージメント イネーブル/SMBus アドレス ビット 1 リセットのデアサート時にピンの値がサンプリングされ、パワー スイッチ制御が次のように設定されます: 0 = パワー スイッチングおよび過電流入力をサポート 1 = パワー スイッチングおよび過電流入力のサポートなし フル パワー マネージメントは、PWRCTL[4:1]/BATEN[4:1] を使用して、TUSB4041I デバイスのダウンストリーム ポートへの電力を制御する機能です。 SMBUSz を使用して SMBus モードを有効にすると、このピンにより SMBus ターゲット アドレスのビットの値が 1 に設定されます。 フル パワー マネージメントと SMBus を実装しない場合は、このピンを未接続のままにできます。 リセット後、この信号は TUSB4041I によって Low に駆動されます。この動作が生じるため、TI では、電源に直接接続せずに、外付け抵抗を使用してプルアップまたはプルダウンすることを推奨しています。 注:バッテリ充電アプリケーションではパワー スイッチングをサポートする必要があります。
GANGED/SMBA2/ HS_UP	10	I/O	PD	連動動作イネーブル/SMBus アドレス ビット 2/HS 接続ステータスのアップストリーム ポート リセットのデアサート時にピンの値がサンプリングされ、パワー スイッチと過電流検出モードが次のように設定されます: 0 = パワー スイッチングがイネーブルのときに個々のパワー制御がサポートされます 1 = パワー スイッチングがイネーブルのときにパワー制御連動がサポートされます SMBUSz を使用して SMBus モードを有効にすると、このピンにより SMBus ターゲット アドレスのビットの値が 2 にセットされます。 *追加機能構成レジスタ* を介してイネーブルにされる場合、リセット後、この信号はアップストリーム ポートの高速 USB 接続ステータスを示します。イネーブルの場合、1 の値はアップストリーム ポートが高速 USB 対応ポートに接続されていることを示します。 注:バッテリ充電アプリケーションでは、個別のパワー制御を有効にする必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		I/O[1]	タイプ[1]	説明
名称	番号			
PWRCTL_POL	9	I/O	PU	パワー制御の極性。 リセットのデアサート時にピンの値がサンプリングされ、PWRCTL[4:1] の極性が設定されます。 0 = PWRCTL の極性はアクティブ Low です 1 = PWRCTL の極性はアクティブ High です
RSVD	23、24、26、27、35、36、38、39、43、44、46、47、51、52、54、55、58、59、61、62	I/O		予約済み。内部使用のみで、PCB 上で未接続のままにします。
TEST	17	I	PD	このピンは出荷時テスト用に予約済みです。
電源およびグランドの信号				
NC	28	—	—	接続せず、フローティングのままにします
	40			
V_{DD}	19	—	PWR	1.1V 電源レール
	25			
	37			
	45			
	53			
	60			
	63			
V_{DD33}	2	—	PWR	3.3V 電源レール
	20			
	31			
	48			
サーマル パッド		—	—	グランド。サーマル パッドはグランドに接続する必要があります。

(1) I = 入力、O = 出力、I/O = 入力/出力、PU = 内部プルアップ抵抗、PD = 内部プルダウン抵抗、PWR = 電源信号

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧	V_{DD} 定常状態電源電圧	-0.3	1.4	V
	V_{DD33} 定常状態電源電圧	-0.3	3.8	V
電圧	USB_VBUS ピン	-0.3	1.4	V
	XI ピン	-0.3	2.45	V
	その他のすべてのピン	-0.3	3.8	V
接合部温度、$T_{J(max)}$		-40	125	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」として示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」として示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD} (1)	1.1V の電源電圧	0.99	1.1	1.26	V
V_{DD33}	3.3V の電源電圧	3	3.3	3.6	V
$V_{(USB_VBUS)}$	USB_VBUS ピンの電圧	0		1.155	V
T_A	自由空気での動作温度	-40		85	°C
T_J	動作時接合部温度	-40		105	°C

(1) 最小および最大電源の条件が満たされている限り、1.05V、1.1V、1.2V 電源を使用できます。

5.4 熱に関する情報

熱評価基準(1)		TUSB4041I PAP (HTQFP) 64 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	26.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	11.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	10.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 3.3V I/O の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		動作	テスト条件	最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧 (1)	V_{DD33}		2		V_{DD33}	V
V_{IL}	Low レベル入力電圧 (1)	V_{DD33}	JTAG ピンのみ	0		0.55	V
			その他のピン	0		0.8	
V_I	入力電圧			0		V_{DD33}	V
V_O	出力電圧(2)			0		V_{DD33}	V
t_t	入力遷移時間 (t_r と t_f)			0		25	ns
V_{hys}	入力ヒステリシス(3)					0.13 x V_{DD33}	V
V_{OH}	High レベル出力電圧	V_{DD33}	I_{OH} = -4mA	2.4			V
V_{OL}	Low レベル出力電圧	V_{DD33}	I_{OL} = 4mA			0.4	V
I_{OZ}	ハイインピーダンス、出力電流(2)	V_{DD33}	V_I = 0 から V_{DD33}			±20	µA
$I_{OZ(P)}$	内部プルアップまたはプルダウン抵抗使用によるハイインピーダンス、出力電流(4)	V_{DD33}	V_I = 0 から V_{DD33}			±250	µA
I_I	入力電流(5)	V_{DD33}	V_I = 0 から V_{DD33}			±15	µA

(1) 外部入力と双方向バッファに適用。
(2) 外部出力と双方向バッファに適用。
(3) GRSTz に適用。
(4) 内部プルアップおよびプルダウンを使用するピンに適用。
(5) 外部入力バッファに適用。

Copyright © 2026 Texas Instruments Incorporated

5.6 パワーアップのタイミング要件

		最小値	公称値	最大値	単位
t_{d1}	VDD が定常状態になる前に VDD33 が定常状態(1)	(2) を参照			ms
t_{d2}	GRSTz のデアサート前に VDD と VDD33 が定常状態	3			ms
t_{su_io}	GRSTz のデアサート時にサンプリングされる MISC 入力(3) のセットアップ	0.1			µs
t_{hd_io}	GRSTz のデアサート時にサンプリングされる MISC 入力(3) のホールド	0.1			µs
t_{VDD33_RAMP}	VDD33 電源ランプ要件	0.2		100	ms
t_{VDD_RAMP}	VDD 電源ランプ要件	0.2		100	ms

(1) VDD11 電源より前に VDD33 電源が定常状態になる場合、アクティブ リセットが必要です。このアクティブ リセットは、両方の電源が定常状態になってから GRSTz のデアサートまでの、3ms のパワーアップ遅延カウントを満たすものとします。
(2) GRSTz がコンデンサのみを使用して GND に接続する場合を除き、VDD33 と VDD にはパワー オンが関連付けされません。次に、VDD33 より少なくとも 10µs 前に VDD が定常状態になる必要があります。
(3) GRSTz のデアサート時にサンプリングされる MISC ピンは、FULLPWRMGMTz、GANGED、PWRCTL_POL、SMBUSz、BATEN[4:1]、AUTOENz です。

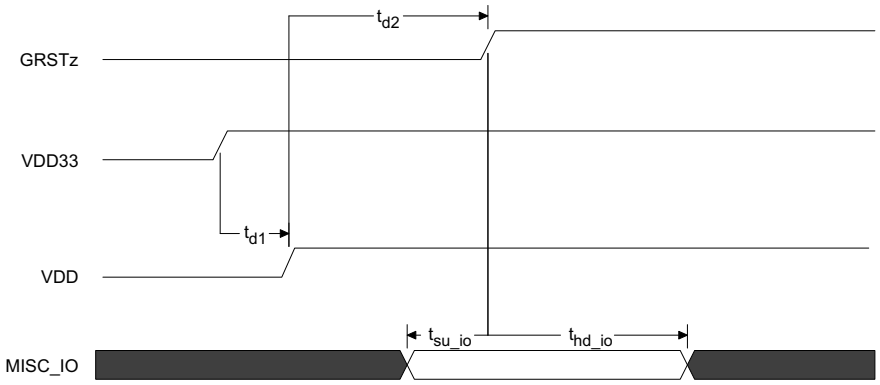


図 5-1. パワーアップのタイミング要件

5.7 ハブ入力電源電流

代表値は T_A = 25℃ 時に測定

パラメータ	3.3V		1.1V		単位
	V_{DD33} 標準値	V_{DD33} 最大値	V_{DD} 標準値	V_{DD} 最大値	
低消費電力モード					
電源オン (リセット後)	2.3	2.6	28	32	mA
アップストリーム接続解除	2.3	2.6	28	32	mA
中断	2.5	2.8	33	38	mA
アクティブ モード (US 状態および DS 状態)					
2.0 ホスト/1 HS デバイス	45	51	63	72	mA
2.0 ホスト/4 HS デバイス	76	87	86	98	mA
SMBUS プログラミング電流	79	90	329	378	mA
グローバル リセット モード電流	77	88	332	370	mA

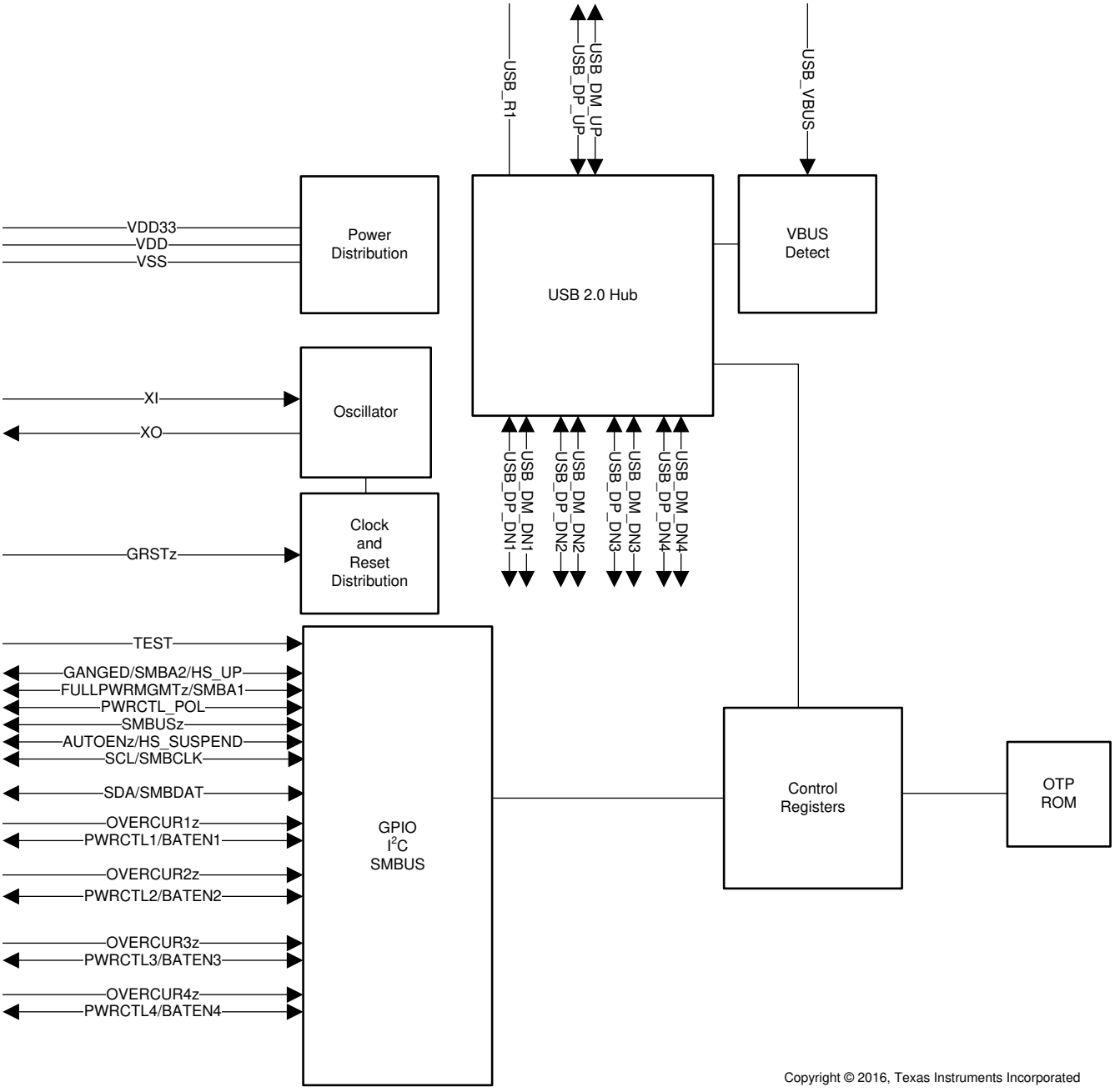
Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TUSB4041I デバイスは 4 ポートの USB 2.0 ハブです。デバイスはアップストリーム ポートで USB ハイ スピードおよびフル スピード接続を提供し、ダウンストリーム ポートで USB ハイ スピード、フル スピード、またはロー スピード接続を提供します。アップストリーム ポートが、ハイ スピード接続のみをサポートする電気的環境に接続されている場合、ダウンストリーム ポートで USB ハイ スピード接続が有効になります。アップストリーム ポートが、フル スピードおよびロー スピード接続のみをサポートする電気的環境に接続されている場合、ダウンストリーム ポートで USB ハイ スピード接続が無効化されます。

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 バッテリ充電機能

TUSB4041I デバイスは USB バッテリ充電をサポートしています。バッテリ充電サポートは、REG_6h(batEn[3:0]) を使用してポートごとに有効化できます。

バッテリ充電サポートには CDP モードと DCP モードの両方が含まれています。DCP モードは中国電気通信業界標準 YD/T 1591-2009 に準拠しています。

TUSB4041I デバイスには標準 DCP モード以外のモード (AUTOMODE) があり、DCP デバイスおよびカスタム充電表示をサポートするデバイスが自動的にサポートされます。AUTOMODE では、接続されたポータブル デバイスに応じ、デバイダ モードと DCP モードの間で自動的にポートが切り替わります。デバイダ モードでは、ポートの DP 信号と DM 信号に固定 DC 電圧が印加され、一部のデバイスにおいてチャージャの機能を識別できます。デフォルトのデバイダ モードは最大 10W のサポートを示しています。デバイダ モードは、REG_Ah (HiCurAcpModeEn) を介して従来の電流設定 (最大 5W) を通知するように構成できます。

表 6-1 に示すように、各ポートのバッテリ充電モードは Reg_6h(batEn[n]) の状態、VBUS 入力のステータス、REG_Ah(autoModeEnz) のアップストリーム ポートの状態によって異なります。

表 6-1. TUSB4041I バッテリ充電モード

batEn[n]	VBUS	autoModeEnz	BC モード ポート *x* (*x* = *n* + 1)
0	ドント ケア	ドント ケア	不定
1	<4V	0	自動モード(1) (2)
		1	DCP(3) (4)
	> 4 V	ドント ケア	CDP(3)

(1) 自動モードでは、デバイダ モードまたは DCP モードが自動的に選択されます。
(2) デバイダ モードはレジスタ設定を使用して従来の電流モード用に構成できます。
(3) 接続された USB デバイスは USB バッテリ充電仕様リビジョン 1.2 に準拠
(4) 中国電気通信業界標準 YD/T 1591-2009

6.3.2 USB のパワー マネージメント

TUSB4041I デバイスは、ポートごと、または連動パワー イネーブル制御および過電流ステータス入力のいずれかを使用して、パワー スイッチを使用するアプリケーション用に構成できます。

パワー スイッチのサポートは REG_5h(fullPwrMgmtz) で有効にし、ポート単位または連動モードは REG_5h(ganged) で構成します。

TUSB4041I デバイスはアクティブ High とアクティブ Low の両方のパワー イネーブル制御をサポートしています。PWRCTL[4:1] の極性は REG_Ah(pwrctlPol) で構成します。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 ワンタイム プログラマブルな構成

TUSB4041I デバイスを使用すると、ワンタイム プログラマブル (OTP) 不揮発性メモリを使用したデバイス構成が可能です。OTP のプログラミングは、ベンダ定義の USB デバイス リクエストを使用してサポートされます。OTP 機能の使用方法の詳細については、TI までお問い合わせください

表 6-2 は OTP を使用して設定できる機能を示しています。

表 6-2. OTP 構成が可能な機能

構成レジスタのオフセット	ビット フィールド	説明
REG_01h	[7:0]	ベンダ ID LSB
REG_02h	[7:0]	ベンダ ID MSB
REG_03h	[7:0]	製品 ID LSB
REG_04h	[7:0]	製品 ID MSB
REG_07h	[0]	ダウンストリーム ポート 1 の着脱可能ポート構成です。OTP 構成は rmbl[3:0] の逆数で、1 = 着脱不可、0 = 着脱可能です。
REG_07h	[1]	ダウンストリーム ポート 2 の着脱可能ポート構成です。OTP 構成は rmbl[3:0] の逆数で、1 = 着脱不可、0 = 着脱可能です。
REG_07h	[2]	ダウンストリーム ポート 3 の着脱可能ポート構成です。OTP 構成は rmbl[3:0] の逆数で、1 = 着脱不可、0 = 着脱可能です。
REG_07h	[3]	ダウンストリーム ポート 4 の着脱可能ポート構成です。OTP 構成は rmbl[3:0] の逆数で、1 = 着脱不可、0 = 着脱可能です。
REG_0Ah	[3]	デバイス接続検出を有効化
REG_0Ah	[4]	大電流デバイダ モード イネーブル
REG_0Bh	[0]	ダウンストリーム ポート 1 の USB 2.0 ポート極性の構成
REG_0Bh	[1]	ダウンストリーム ポート 2 の USB 2.0 ポート極性の構成
REG_0Bh	[2]	ダウンストリーム ポート 3 の USB 2.0 ポート極性の構成
REG_0Bh	[3]	ダウンストリーム ポート 4 の USB 2.0 ポート極性の構成
REG_F0h	[3:1]	USB パワー スイッチのパワーオン遅延

Copyright © 2026 Texas Instruments Incorporated

6.3.4 クロックの生成

TUSB4041I デバイスは水晶振動子の入力を受信し、内部発振器または外部クロック ソースを駆動します。水晶振動子の代わりに XI ピンにクロックが供給される場合、XO ピンはオープンのままにします。水晶振動子を使用する場合、これらのガイドラインに従って接続する必要があります。XI ピンと XO ピンは PCB 上の他のリードおよび電源とカップリングされるため、トレースをできるだけ短くして、すべてのスイッチング リードから離してください。C1 と C2 をクリーンなグランド ラインでシールドして、XI ピンと XO ピンの間の容量を最小限に抑えます。

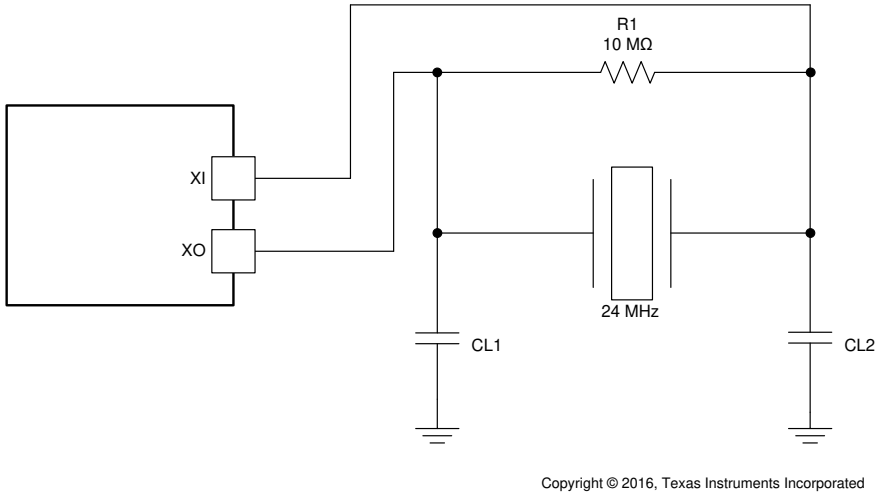


図 6-1. TUSB4041I クロック

6.3.5 水晶振動子の要件

水晶振動子は、負荷容量が 12pF ～ 24pF、周波数安定性定格が ±100PPM 以上の基本モードである必要があります。起動時発振状態を適切にするため、TI では水晶振動子の最大等価直列抵抗 (ESR) として 50Ω を推奨しています。水晶振動子ソースを使用する場合は、並列負荷コンデンサを使用してください。使用する負荷容量の正確な値は、水晶振動子のベンダによって異なります。負荷容量値を決定する方法の詳細については、『テキサス インスツルメンツの USB 2.0 デバイスの水晶振動子の選択と仕様』を参照してください。

6.3.6 入力クロックの要件

発振器などの外部クロック ソースを使用する場合は、基準クロックの周波数安定性が ±100PPM 以内であり、絶対ピーク ツー ピーク ジッタが 50ps 未満であることを確認してください。XI を 1.8V クロック ソースに接続し、XO をフローティングのままにします。

6.3.7 パワーアップとリセット

TUSB4041I デバイスには、コア電源 (V_{DD})、I/O、アナログ電源 (V_{DD33}) に関する特定の電源シーケンス要件はありません。次のすべての制約が満たされている場合、コア電源 (V_{DD}) または I/O 電源 (V_{DD33}) のいずれかには無制限の期間にわたり電力供給できますが、もう一方には電力供給されません:

- すべての最大定格と推奨動作条件を遵守している。
- 最大定格および推奨条件 (特に接合部温度) に関するすべての警告を遵守している。これらは電力遷移と通常動作に適用されます。
- V_{DD33} の電力供給中にデバイスの推定寿命全体でバス競合を 100 時間に制限している。
- V_{DD33} がパワー ダウン中のバス競合に関する「絶対最大定格」表に記載されている定格を超えない。

電圧が推奨動作範囲内のとき、電源バスに電力供給されます。その範囲を下回り、定常状態または遷移中のいずれかであるとき、電源バスはパワー ダウンされます。

Copyright © 2026 Texas Instruments Incorporated

デバイスには 3ms 以上のリセット期間が必要です。このリセット期間は、電源が推奨動作範囲にある間から GRSTz ピンのデアサートまでの時間として定義されます。プログラマブル遅延監督デバイスまたは RC 回路を使用して、リセット パルスを生成します。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 外部構成インターフェイス

TUSB4041I デバイスは構成レジスタ アクセス用シリアル インターフェースをサポートしています。デバイスは、接続された I²C EEPROM で構成、または SMBus 対応のホスト コントローラでターゲットとしてアクセスできます。リセットのデアサート時に SCL/SMBCLK ピンと SDA/SMBDAT ピンの両方が 3.3V にプルアップされると、外部インターフェイスが有効になります。I²C コントローラまたは SMBus ターゲットのモードは、リセット時の SMBUSz ピンの状態によって決定されます。

6.4.2 I²C EEPROM 動作

I²C インターフェイス モードがイネーブルのとき、TUSB4041I デバイスは専用の I²C EEPROM へのシングル コントローラの標準モード (100kb/s) 接続をサポートします。I²C モードでは、TUSB4041I デバイスはアドレス 0 から始まる 7 ビット アドレッシングを使用してバス アドレス 1010000b で EEPROM の内容を読み取ります。

バイトが 00h である場合 EEPROM 内容の値が 55h に等しい場合、TUSB4041I デバイスは EEPROM マップに従って構成レジスタをロードします。最初のバイトが 55h でない場合、TUSB4041I デバイスは I²C モードを終了して、構成レジスタのデフォルト値で実行を継続します。構成が完了するまで、ハブはアップストリーム ポートに接続しません。プログラムされていない EEPROM (55h 以外の値) をハブが検出する場合、ハブはプログラミング モードに移行して、ハブ内のプログラミング エンドポイントがイネーブルになります。

注

オフセット Ah の上に配置されるバイトはオプションです。これらのアドレスのデータ要件は、「*デバイス設定レジスタ*」と「*デバイス設定レジスタ 2*」で構成されるオプションにより異なります。

I²C 動作の詳細については、『UM10204 I²C-bus 仕様』とユーザー マニュアルを参照してください。

6.4.3 SMBus のターゲット動作

SMBus インターフェイスモードがイネーブルのとき、TUSB4041I デバイスはターゲット専用の SMBus デバイスとして、読み取りブロックおよび書き込みブロックのプロトコルをサポートします。

TUSB4041I デバイスのターゲット アドレスは 1000 1xyz です:

- x はリセット時の GANGED/SMBA2/HS_UP ピンの状態
- y はリセット時の FULLPWRMGMTz/SMBA1 ピンの状態
- Z は読み取り-書き込み (R/W) ビットで、1 = 読み取りアクセス、0 = 書き込みアクセスです

サポートされないプロトコルを使用してホストが TUSB4041I デバイスをアドレス指定する場合、デバイスは応答しません。SMBus ホストが CFG_ACTIVE ビットをクリアして構成が完了したことを示すまで、TUSB4041I デバイスは SMBus ホストによる構成を無期限に待機し、アップストリーム ポートに接続しません。

SMBus 要件の詳細については、「システム管理バス (SMBus) の仕様」を参照してください。

注

SMBUS 構成中、ハブは余分の電流を引き込むことができます。CFG_ACTIVE ビットがクリアされると直ちに、この余分の電流消費が終了します。詳細については、このデータシートの「*ハブ入力電源電流*」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

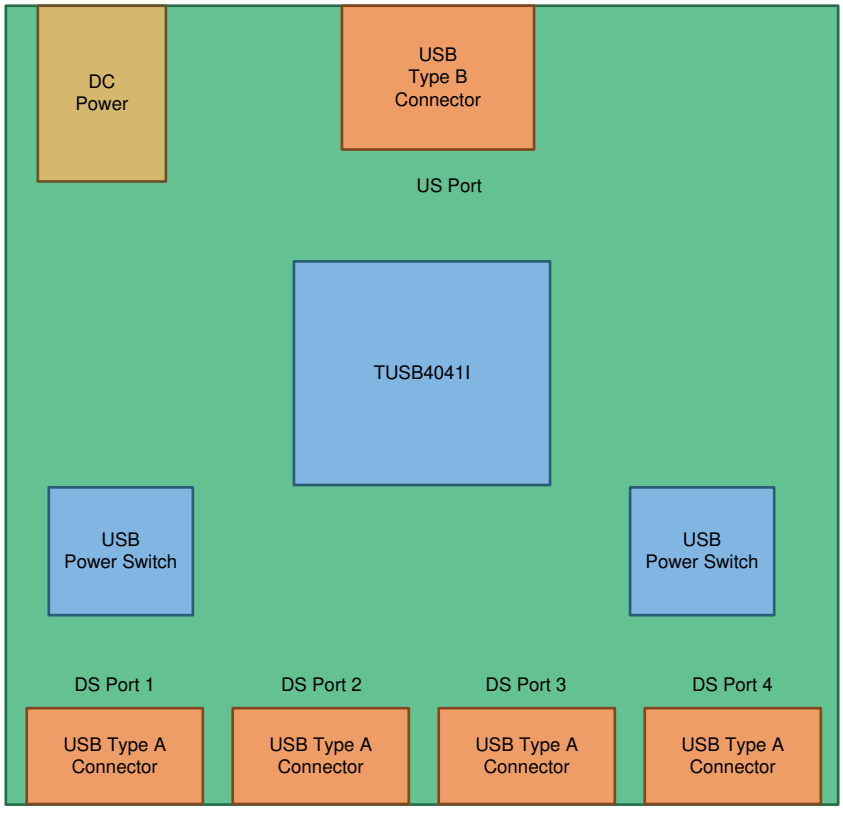
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TUSB4041I デバイスは 4 ポートの USB 2.0 ハブです。アップストリーム ポートで USB ハイ スピードおよびフル スピード接続を提供し、ダウンストリーム ポートで USB ハイ スピード、フル スピード、またはロー スピード接続を提供します。TUSB4041I デバイスは、USB 準拠ポートを追加する必要がある、あらゆるアプリケーションで使用できます。たとえば、特定のノートブックにはダウンストリーム USB ポートが 2 つしかない場合があります。TUSB4041I デバイスを使用すると、ノート PC のダウンストリーム ポート数を 5 に増やすことができます。

7.2 代表的なアプリケーション

TUSB4041I デバイスの一般的なアプリケーションは、セルフ パワーのスタンドアロン USB ハブ製品です。製品は外部 5V DC 電源アダプタから電源を供給します。このアプリケーションでは、USB ケーブルを使用して、TUSB4041I デバイスのアップストリーム ポートを USB ホスト コントローラに接続します。TUSB4041I デバイスのダウンストリーム ポートは、ユーザーが USB ハード ドライブ、カメラ、フラッシュ ドライブなどを接続するために使用できます。



Copyright © 2016, Texas Instruments Incorporated

図 7-1. ディスクリート USB ハブ製品

Copyright © 2026 Texas Instruments Incorporated

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
V_{DD} 電源	1.1V
VDD33 電源	3.3V
アップストリーム ポート USB のサポート (HS、FS)	HS、FS
ダウンストリーム ポート 1 USB のサポート (HS、FS、LS)	HS、FS、LS
ダウンストリーム ポート 2 USB のサポート (HS、FS、LS)	HS、FS、LS
ダウンストリーム ポート 3 USB のサポート (HS、FS、LS)	HS、FS、LS
ダウンストリーム ポート 4 USB のサポート (HS、FS、LS)	HS、FS、LS
着脱可能ダウンストリーム ポートの数	4
着脱不可ダウンストリーム ポートの数	0
ダウンストリーム ポートのフル パワー マネージメント	あり (FULLPWRMGMTZ = 0)
ダウンストリーム ポートのパワー スイッチの個別制御	あり (GANGED = 0)
パワー スイッチ イネーブル極性	アクティブ High (PWRCTL_POL = 1)
ダウンストリーム ポート 1 のバッテリ充電サポート	あり
ダウンストリーム ポート 2 のバッテリ充電サポート	あり
ダウンストリーム ポート 3 のバッテリ充電サポート	あり
ダウンストリーム ポート 4 のバッテリ充電サポート	あり
I^2C EEPROM サポート	なし
24MHz クロック ソース	水晶振動子

7.2.2 詳細な設計手順

7.2.2.1 アップストリーム ポートの実施

TUSB4041I デバイスのアップストリームは USB2 Type B コネクタに接続します。この特定の例では、GANGED ピンと FULLPWRMGMTZ ピンが Low にプルされるため、各ダウンストリーム ポートに個別の電力がサポートされます。USB2 タイプ B コネクタからの VBUS 信号は分圧器経由で供給されます。分圧器の目的は、レベルが USB_VBUS の入力要件を満たすようにすることです。

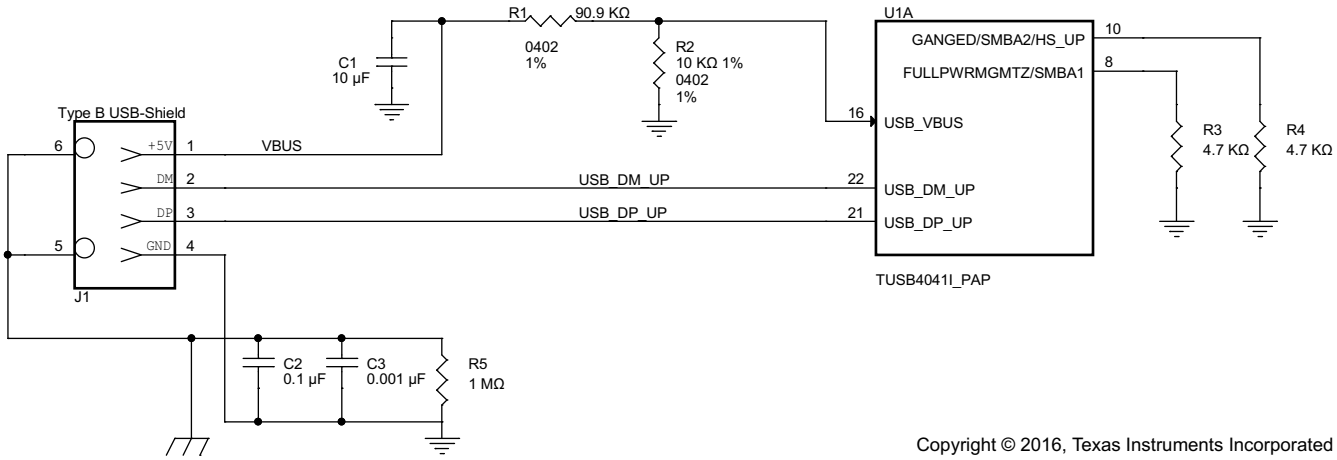


図 7-2. アップストリーム ポートの実施

7.2.2.2 ダウンストリーム ポート 1 の実装

TUSB4041I デバイスのダウンストリーム ポート 1 は、USB2 Type A コネクタに接続します。BATEN1 ピンをプルアップすると、ポート 1 でバッテリ充電サポートが有効になります。バッテリ充電サポートが不要な場合は、BATEN1 のプルアップ抵抗を取り外してください。

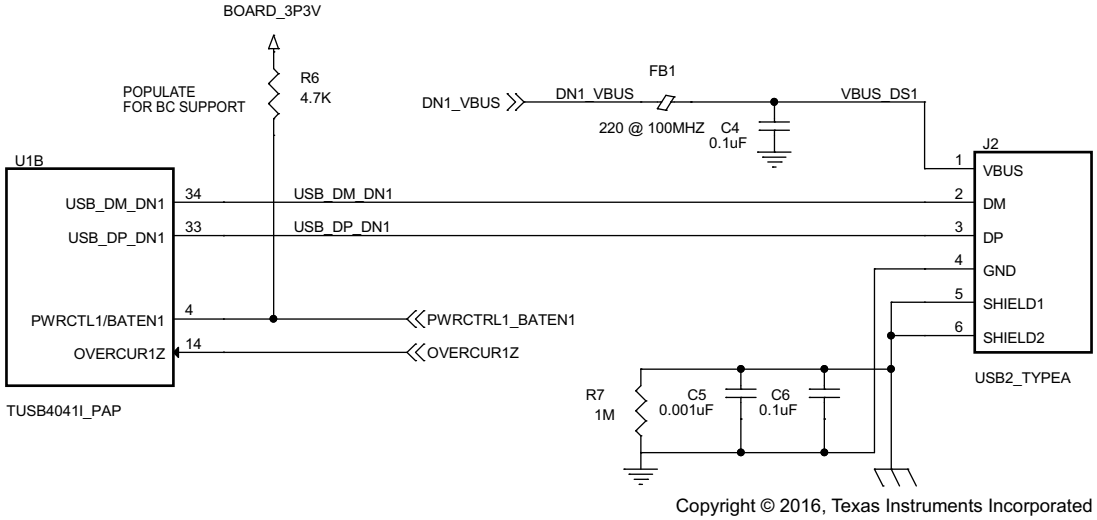


図 7-3. ダウンストリーム ポート 1 の実装

7.2.2.3 ダウンストリーム ポート 2 の実装

TUSB4041I デバイスのダウンストリーム ポート 2 は、USB2 Type A コネクタに接続します。BATEN2 ピンをプルアップすると、ポート 2 でバッテリ充電サポートが有効になります。バッテリ充電サポートが不要な場合は、BATEN2 のプルアップ抵抗を取り外してください。

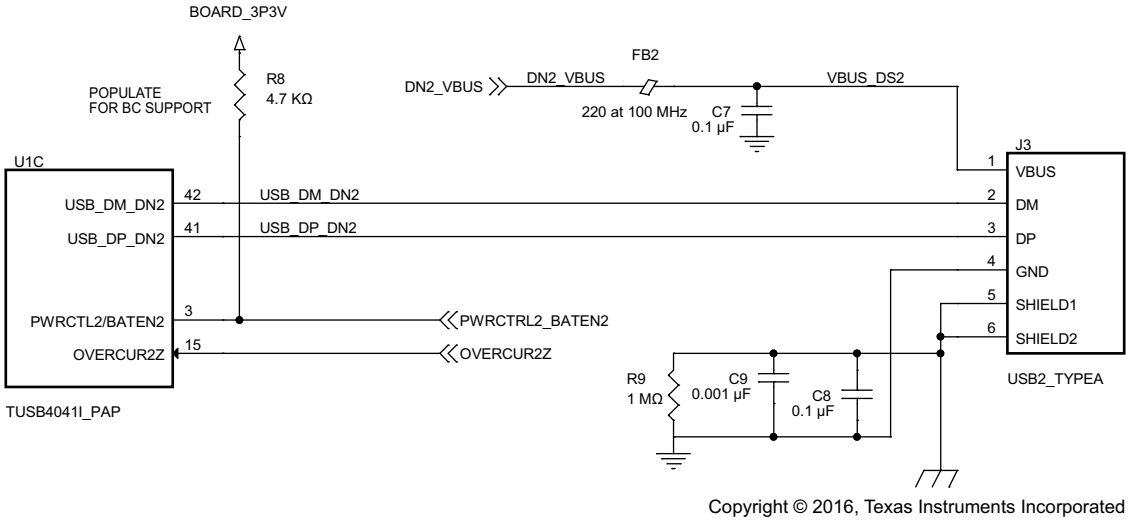


図 7-4. ダウンストリーム ポート 2 の実装

7.2.2.4 ダウンストリーム ポート 3 の実装

TUSB4041I デバイスのダウンストリーム ポート 3 は USB2 Type A コネクタに接続します。BATEN3 ピンをプルアップすると、ポート 3 でバッテリ充電サポートが有効になります。バッテリ充電サポートが不要な場合は、BATEN3 のプルアップ抵抗を取り外してください。

Copyright © 2026 Texas Instruments Incorporated

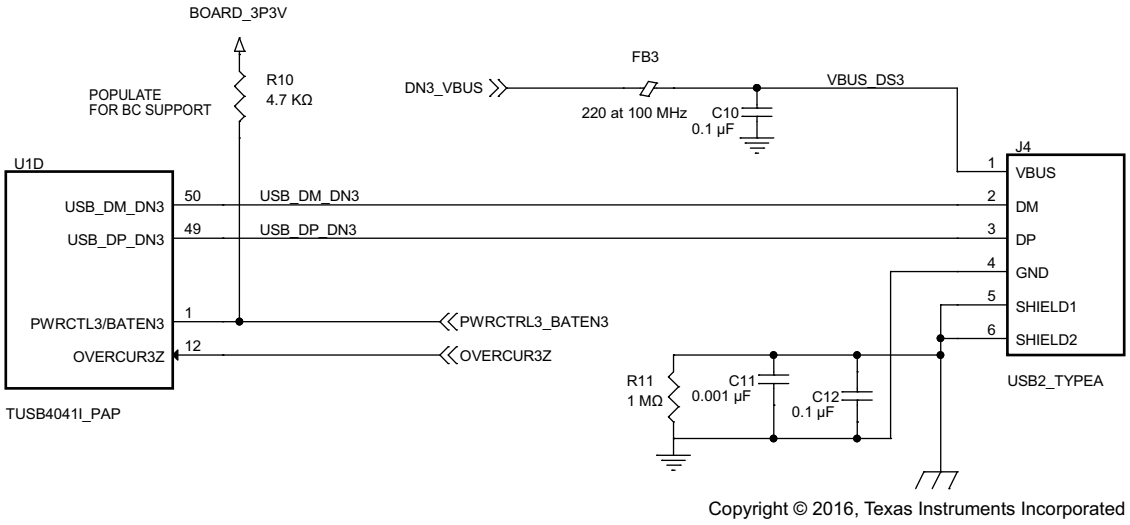


図 7-5. ダウンストリーム ポート 3 の実装

7.2.2.5 ダウンストリーム ポート 4 の実装

TUSB4041I デバイスのダウンストリーム ポート 4 は USB2 Type A コネクタに接続します。BATEN4 ピンをプルアップすると、ポート 4 でバッテリ充電サポートが有効になります。バッテリ充電サポートが不要な場合は、BATEN4 のプルアップ抵抗を取り外してください。

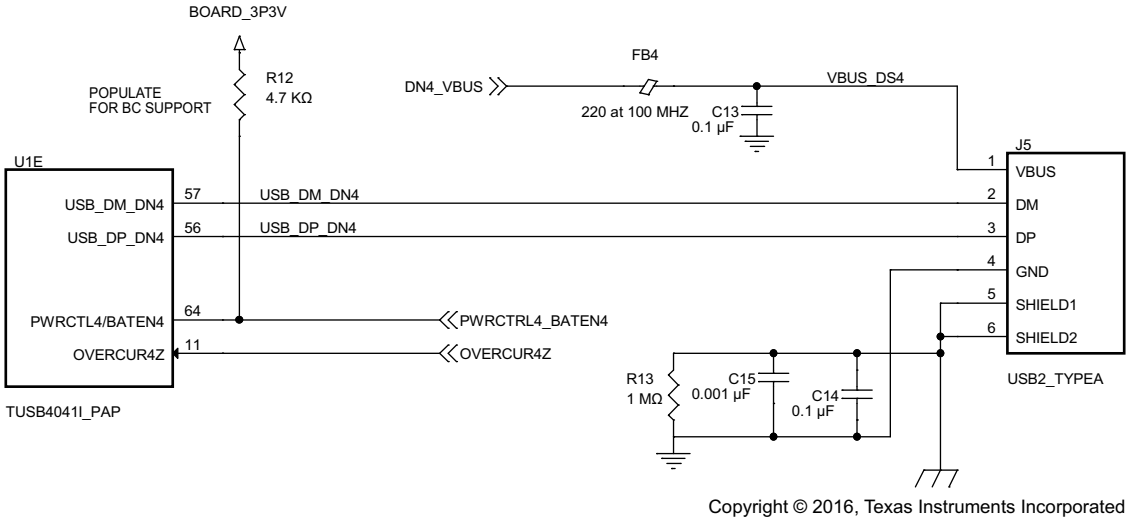
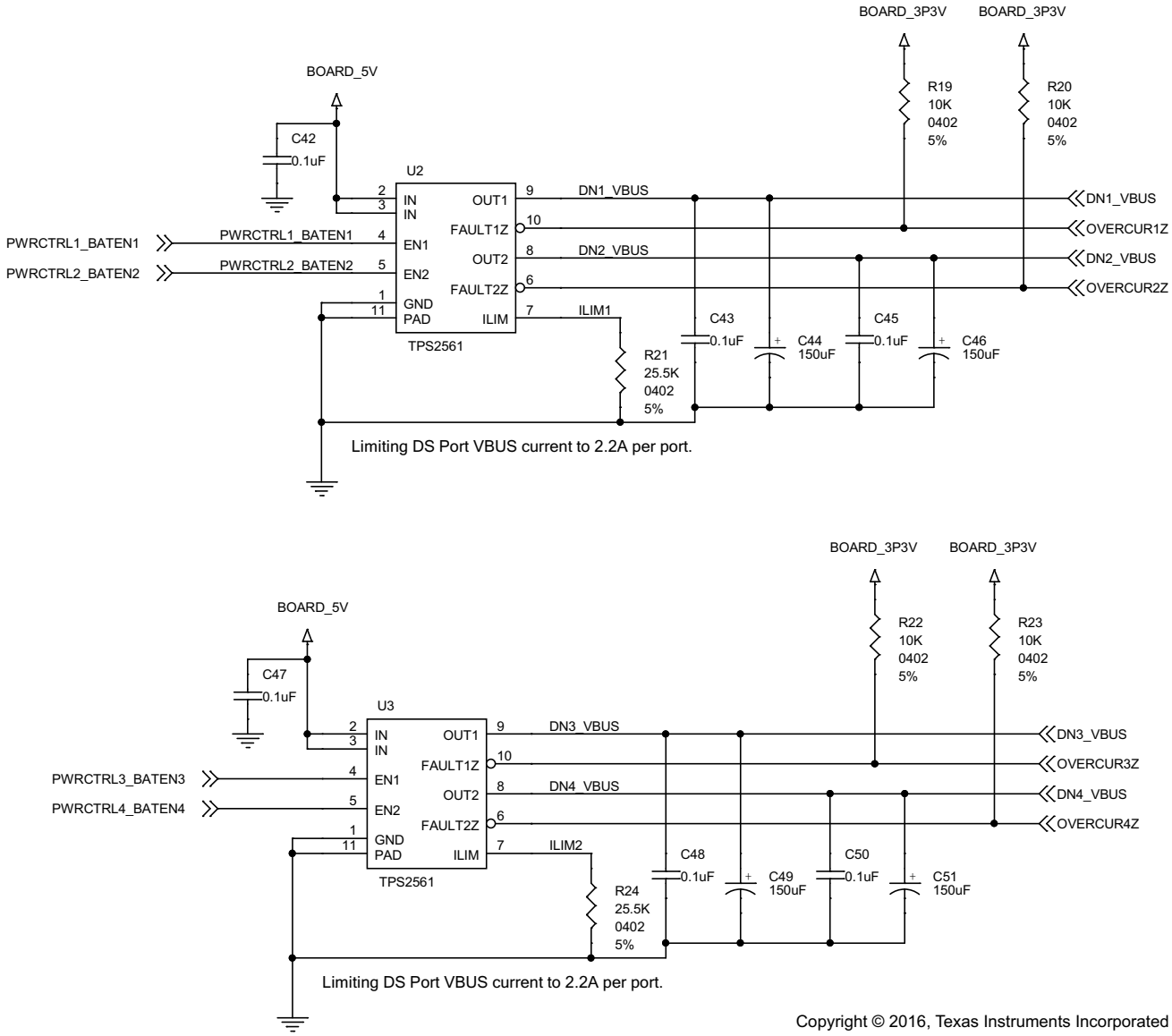


図 7-6. ダウンストリーム ポート 4 の実装

7.2.2.6 VBUS 電源スイッチの実装

この特定の例では、デュアル チャネル、高精度、可変電流制限パワー スイッチである TI の TPS2561 を使用しています。このパワー スイッチまたは TI が提供する他のパワー スイッチの詳細については、www.ti.com を参照してください。



Copyright © 2016, Texas Instruments Incorporated

図 7-7. VBUS 電源スイッチの実装

Copyright © 2026 Texas Instruments Incorporated

7.2.2.7 クロック、リセット、その他

PWRCTL_POL が未接続のままの場合、USB VBUS パワー スイッチに対してアクティブ ハイパワー イネーブルになります (PWRCTL1、PWRCTL2、PWRCTL3、PWRCTL4)。GRSTN ピンの 1μF コンデンサは、VDD33 電源より前に VDD11 電源が定常状態になる場合にのみ使用できます。2 つの電源の電源ランプに応じて、コンデンサの調整が必要な場合があります。

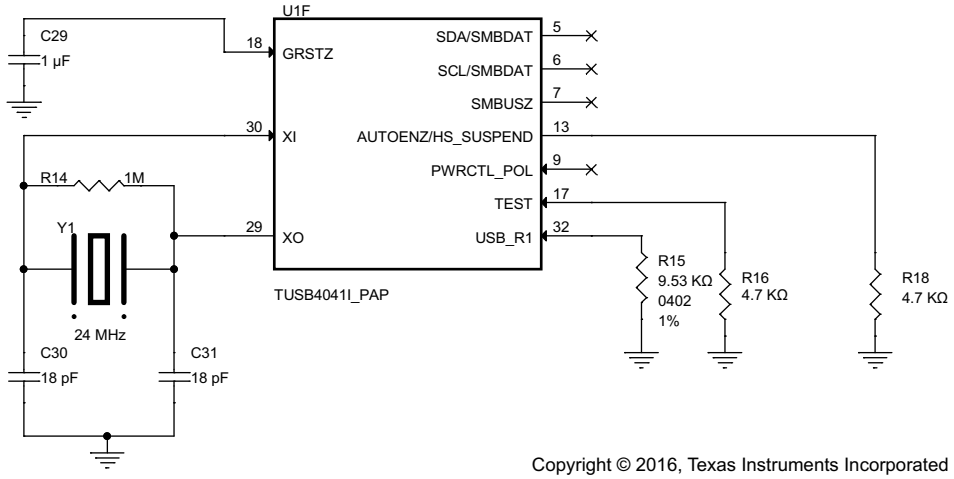


図 7-8. クロック、リセット、その他

7.2.2.8 TUSB4041I 電力の実装

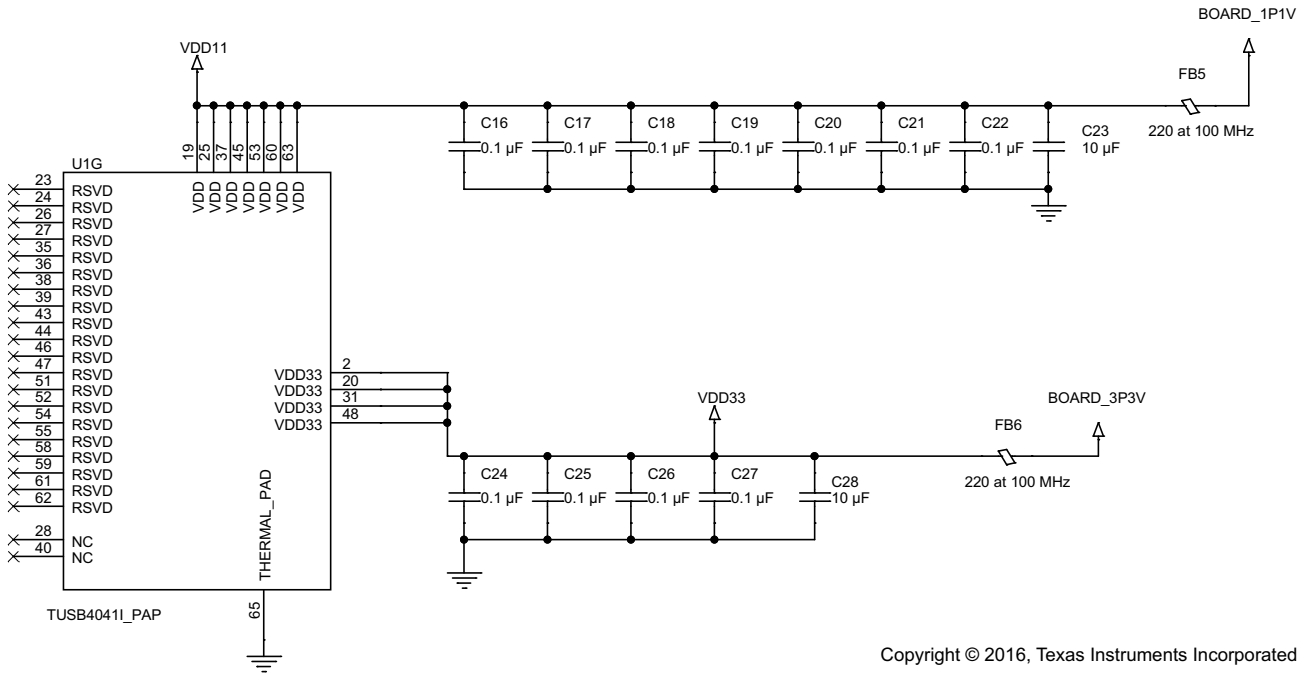


図 7-9. TUSB4041I 電力の実装

7.2.3 アプリケーション曲線

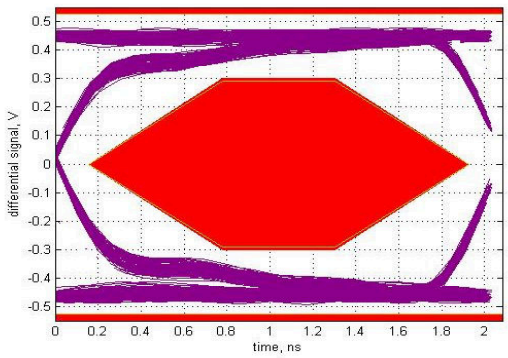


図 7-10. 高速アップストリーム ポート

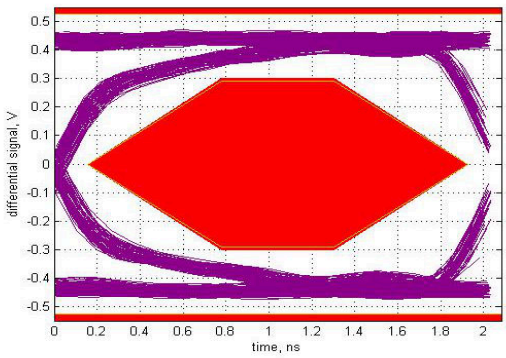


図 7-11. 高速ダウンストリーム ポート 1

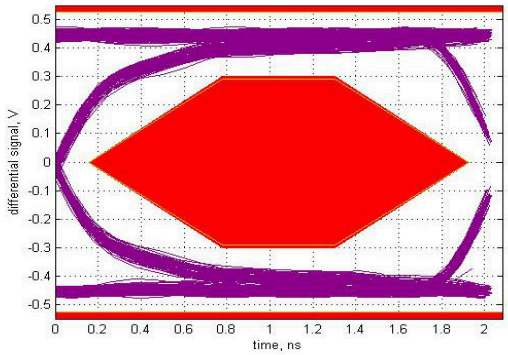


図 7-12. 高速ダウンストリーム ポート 2

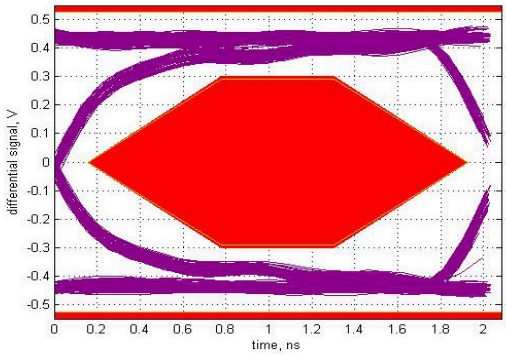


図 7-13. 高速ダウンストリーム ポート 3

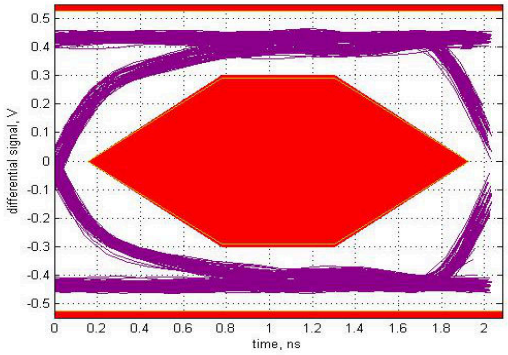


図 7-14. 高速ダウンストリーム ポート 4

7.3 電源に関する推奨事項

7.3.1 TUSB4041I 電源

V_{DD33} と共に V_{DD} をシングル電源プレーンとして実装します。

- TUSB4041I の V_{DD} ピンは TUSB4041I デバイスのコアに 1.1V (公称) 電源を供給します。ノイズを低下するため、フェライト ビーズを使用してこの電源レールを他のすべての電源レールから絶縁できます。

Copyright © 2026 Texas Instruments Incorporated

- コア電源レール上にフェライト ビーズの DC 抵抗があると、電源レールに大電流が流れるため、デバイスに供給される電圧に影響を及ぼす場合があります。このことを考慮して、コア電圧レギュレータの出力を調整するか、DC 抵抗の低い (0.05Ω 未満) フェライト ビーズを選択する必要がある可能性があります。
- TUSB4041I デバイスの V_{DD33} ピンは、TUSB4041I デバイスの I/O に 3.3V 電源レールを供給します。ノイズを低下するため、フェライト ビーズを使用してこの電源レールを他のすべての電源レールから絶縁できます。
- 安定性とノイズ耐性のため、すべての電源レールに 10µF のコンデンサまたは 1µF のコンデンサが必要です。これらのバルク コンデンサは電源レールの任意の場所に配置できます。小型のデカップリング コンデンサは TUSB4041I の電源ピンのできるだけ近くに配置して、ピンごとに値の異なる 2 つのコンデンサを最適にグループ化してください。

7.3.2 ダウンストリーム ポート電源

- ポートあたり 5V および最大 500mA を供給できるソースは、ダウンストリーム ポートの電源 VBUS を供給する必要があります。TUSB4041I の信号は、ダウンストリーム ポート電源の切り替えを制御できます。ダウンストリーム ポート電源を常にイネーブルのままにすることも可能です。
- 突入電流を制限するため、各ダウンストリーム ポートの VBUS には 22µF 以上の大きな低 ESR バルク コンデンサが必要です。
- TI では、ESD と EMI の両方のため、ダウンストリームの USB ポート接続の VBUS ピンにフェライト ビーズを配置することを推奨しています。フェライトの USB コネクタ側にある 0.1µF コンデンサは、ケーブルから VBUS パターンに結合する可能性のある、立ち上がり時間が高速な ESD 電流に適した、グランドへの低インピーダンス パスを供給します。

7.3.3 グランド

設計において、プレーン上の信号パターンに最適なイメージ プレーンを供給する基板グランド プレーンを 1 つのみ使用することを、TI では推奨しています。TUSB4041I のサーマル パッドおよびいずれかの電圧レギュレータは、ビアを使用してこのプレーンに接続します。EMI と ESD のため、アースまたはシャーシのグランドは異なるプレーンの USB ポート コネクタの近くにのみ実装します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

PCB レイアウトを適切に設計するためには、このセクションに記載されているレイアウトのガイドラインを使用してください。

7.4.1.1 配置

- USB_R1 ピンに接続された 9.53kΩ ±1% の抵抗を、TUSB4041I デバイスのできるだけ近くに配置します。
- 0.1µF コンデンサを、各 V_{DD} と VDD33 電源ピンのできるだけ近くに配置します。
- ESD および EMI 保護デバイス (使用する場合) を USB コネクタのできるだけ近くに配置します。
- 水晶振動子を使用する場合、TUSB4041I デバイスの XI ピンと XO ピンのできるだけ近くに水晶振動子を配置します。
- 電圧レギュレータは、TUSB4041I デバイス、水晶振動子、差動ペアからできるだけ離して配置します。
- 一般に、各電源レールに関連付けられた大きなバルク キャパシタは電圧レギュレータのできるだけ近くに配置します。

7.4.1.2 パッケージ特定

- TUSB4041I デバイス パッケージのピン ピッチは 0.5mm です。
- TUSB4041I デバイス パッケージには 4.64mm × 4.64mm のサーマル パッドがあります。このサーマル パッドは、ビアのシステムを介してグランドに接続する必要があります。
- サーマル パッドのレイアウトで生じる可能性のある問題を避けるため、サーマル パッドに接続されているビアを除く、デバイスの下にあるすべてのビアをソルダー レジスト処理します。

7.4.1.3 差動ペア

このセクションでは、すべての TUSB4041I デバイス差動ペア USB_DP_XX、USB_DM_XX のレイアウトに関する推奨事項について説明します。

- 差動ペアは、90Ω ±10% の差動インピーダンスで設計する必要があります。

Copyright © 2026 Texas Instruments Incorporated

- クロストークを最小限に抑えるため、TI では高速信号を互いに離して配置することを推奨しています。各ペアは、信号配線幅の 5 倍以上離す必要があります。レイアウト例に示すようにグランドと分離することも、クロストークの最小化に役立ちます。
- すべての差動ペアは、ソリッド グランド プレーンに隣接する同じ層に配線します。
- 差動ペアは、プレーンの割れ目の上には配線しないようにします。
- テスト ポイントを追加するとインピーダンスの非連続性が生じ、信号性能に悪影響を及ぼします。テスト ポイントを使用する場合、それらを連続的かつ対称的に配置します。差動ペアにスタブを形成するような仕方で配置しないでください。
- パターンは 90° 曲げないでください。差動配線での曲げの使用は最小限に抑えます。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135° 以上としてください。このガイドラインにより、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
- 差動ペア パターンのパターン長を最小に抑えます。USB 2.0 差動ペア信号の最大推奨トレース長は 8 インチです。パターン長が長いと、適切なシグナル インテグリティを確保するため、非常に慎重に配線する必要があります。
- 差動ペア パターン (DP と DM) のエッチング長さを一致させます。USB 2.0 差動ペアが、相対パターン長の差が 50mil を超えないようにしてください (1mil は 1/1000 インチ)。
- 差動ペア パスでは可能な限りビアの使用を最小限に抑えてください。これが現実的でない場合は、ペア内の両方の信号に同じビア タイプと配置を使用してください。使用するビアは TUSB4041I デバイスのできるだけ近くに配置します。
- USB 2.0 DP と DM のペアの配線を容易にする、これらのピンの極性を入れ替えることができます。これを行う場合は、適切な Px_usb2pol レジスタを設定します (x = 0、1、2、3、4)。
- 差動ペア パターンの間に電源ヒューズを配置しないでください。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

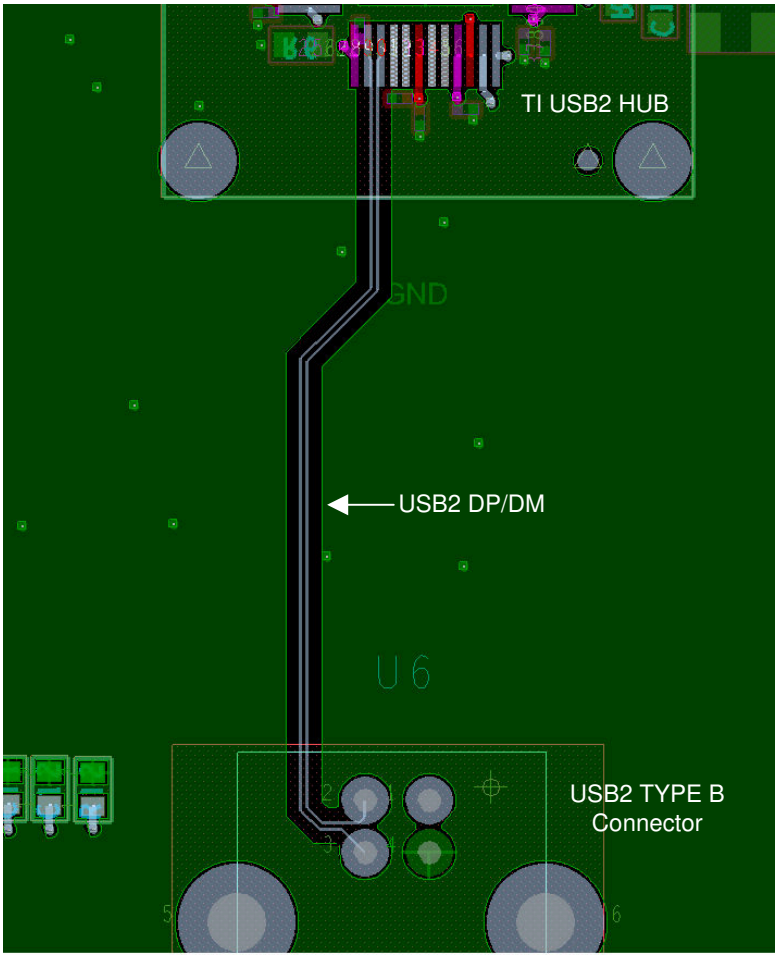


図 7-15. アップストリーム ポートのルーティング例

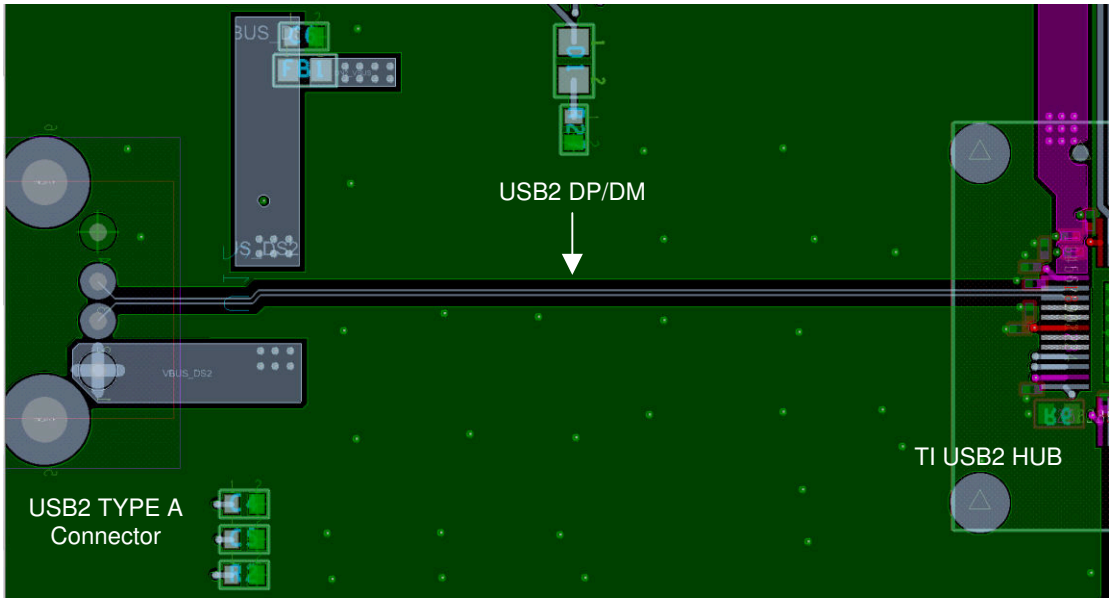


図 7-16. ダウンストリーム ポートのルーティング例

8 レジスタ マップ

8.1 構成レジスタ

内部構成レジスタはバイト境界でアクセスされます。構成レジスタの値はデフォルトでロードされますが、TUSB4041I デバイスが I²C または SMBus モードのときは上書きできます。

表 8-1. メモリ マップ

バイト アドレス	コンテンツ	EEPROM 構成可能
00h	ROM 署名レジスタ	なし
01h	ベンダ ID LSB	あり
02h	ベンダ ID MSB	あり
03h	製品 ID LSB	あり
04h	製品 ID MSB	あり
05h	デバイス設定レジスタ	あり
06h	バッテリ充電サポート用レジスタ	あり
07h	デバイスの削除可能な設定レジスタ	あり
08h	ポートを使用する構成レジスタ	あり
09h	予約済み	あり、00h にプログラム
0Ah	デバイス設定レジスタ 2	あり
0Bh	USB 2.0 ポート極性制御レジスタ	あり
0Ch～0Fh	予約済み	なし
10h～1Fh	UUID バイト [15:0]	なし
20h～21h	LangID バイト [1:0]	あり、customStrings が設定されている場合
22h	シリアル番号文字列長	あり、customSerNum が設定されている場合
23h	メーカー文字列長	あり、customStrings が設定されている場合
24h	製品文字列長	あり、customStrings が設定されている場合
25h～2Fh	予約済み	なし
30h～4Fh	シリアル番号文字列バイト [31:0]	あり、customSerNum が設定されている場合
50h～8Fh	メーカー文字列バイト [63:0]	あり、customStrings が設定されている場合
90h ～ CFh	製品文字列バイト [63:0]	あり、customStrings が設定されている場合
D0 ～ DFh	予約済み	なし
F0h	追加機能構成レジスタ	あり
F1～F7h	予約済み	なし
F8h	デバイス ステータスおよびコマンド レジスタ	なし
F9 ～ FFh	予約済み	なし

Copyright © 2026 Texas Instruments Incorporated

8.2 ROM 署名レジスタ

オフセット = 0h

図 8-1. ROM 署名レジスタ

7	6	5	4	3	2	1	0
romSignature							
RW-0							

表 8-2. ROM 署名レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	romSignature	RW	0	ROM 署名レジスタ TUSB4041I デバイスはこのレジスタを I²C モードで使用して、接続された EEPROM がプログラム済みであるかどうかを検証します。EEPROM の最初のバイトがマスク 55h と比較され、一致しない場合、TUSB4041I デバイスは EEPROM のロードを中止してレジスタ デフォルトで実行します。

8.3 ベンダ ID LSB レジスタ

オフセット = 1h、リセット = 51h

図 8-2. ベンダ ID LSB レジスタ

7	6	5	4	3	2	1	0
vendorIdLsb[7]	vendorIdLsb[6]	vendorIdLsb[5]	vendorIdLsb[4]	vendorIdLsb[3:1]			vendorIdLsb[0]
R/RW-0	R/RW-1	R/RW-0	R/RW-1	R/RW-0			R/RW-1

表 8-3. ベンダ ID LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	vendorIdLsb[7]	R/RW	0	ベンダ ID LSB USB-IF によって割り当てられた固有のベンダ ID の最下桁バイトです。このレジスタのデフォルト値は 51h で、TI ベンダ ID 0451h の LSB を表します。その値は顧客のベンダ ID を示すように上書きできます。 OTP ROM VID および OTP ROM PID の値がゼロでない限り、このフィールドは R/W です。両方の値がゼロでない場合、このレジスタ読み取り時の値は OTP ROM の値を反映します。
6	vendorIdLsb[6]	R/RW	1	
5	vendorIdLsb[5]	R/RW	0	
4	vendorIdLsb[4]	R/RW	1	
3:1	vendorIdLsb[3:1]	R/RW	0	
0	vendorIdLsb[0]	R/RW	1	

8.4 ベンダ ID MSB レジスタ

オフセット = 2h、リセット = 04h

図 8-3. ベンダ ID MSB レジスタ

7	6	5	4	3	2	1	0
vendorIdMsb[7:3]					vendorIdMsb[2]	vendorIdMsb[1:0]	
R/RW-0					R/RW-1	R/RW-0	

Copyright © 2026 Texas Instruments Incorporated

表 8-4. ベンダ ID MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	vendorIdMsb[7:3]	R/RW	0	ベンダ ID MSB USB-IF によって割り当てられた固有のベンダ ID の最上位バイトです。このレジスタのデフォルト値は 04h で、TI ベンダ ID 0451h の MSB を表します。その値は顧客のベンダ ID を示すように上書きできます。 OTP ROM VID および OTP ROM PID の値がゼロでない限り、このフィールドは R/W です。両方の値がゼロでない場合、このレジスタ読み取り時の値は OTP ROM の値を反映するものとします。
2	vendorIdMsb[2]	R/RW	1	
1:0	vendorIdMsb[1:0]	R/RW	0	

Copyright © 2026 Texas Instruments Incorporated

8.5 製品 ID LSB レジスタ

オフセット = 3h、リセット = 40h

図 8-4. 製品 ID LSB レジスタ

7	6	5	4	3	2	1	0
productIdLsb[7]	productIdLsb[6]	productIdLsb[5:0]					
R/RW-0	R/RW-1	R/RW-0					

表 8-5. 製品 ID LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	productIdLsb[7]	R/RW	0	製品 ID LSB。 このレジスタのデフォルト値は 40h で、TI が割り当てた製品 ID の LSB を表します。USB 2.0 デバイスのディスクリプタに通知される値は、このレジスタのビット ワイズ XORed が 00000010b の値です。このデバイスは常に、XORed PID LSB 値 0x42 を通知します。その値は顧客の製品 ID を示すように上書きできます。 OTP ROM VID および OTP ROM PID の値がゼロでない限り、このフィールドは R/W です。両方の値がゼロでない場合、このレジスタ読み取り時の値は OTP ROM の値を反映します。
6	productIdLsb[6]	R/RW	1	
5:0	productIdLsb[5:0]	R/RW	0	

8.6 製品 ID MSB レジスタ

オフセット = 4h、リセット = 81h

図 8-5. 製品 ID MSB レジスタ

7	6	5	4	3	2	1	0
productIdMsb[7]	productIdMsb[6:1]						productIdMsb[0]
R/RW-1	R/RW-0						R/RW-1

表 8-6. デバイス ID MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	productIdMsb[7]	R/RW	1	製品 ID MSB TI によって割り当てられた製品 ID の最上位バイトです。このレジスタのデフォルト値は 81h で、TI によって割り当てられた製品 ID の MSB を表します。その値は顧客の製品 ID を示すように上書きできます。 OTP ROM VID および OTP ROM PID の値がゼロでない限り、このフィールドは R/W です。両方の値がゼロでない場合、このレジスタ読み取り時の値は OTP ROM の値を反映します。
6:1	productIdMsb[6:1]	R/RW	0	
0	productIdMsb[0]	R/RW	1	

Copyright © 2026 Texas Instruments Incorporated

8.7 デバイス設定レジスタ

オフセット = 5h

図 8-6. デバイス設定レジスタ

7	6	5	4	3	2	1	0
customStrings	customSernum	RSVD	RSVD	ganged	fullPwrMgmtz	RSVD	RSVD
RW-0	RW-0	RW-0	R-1	RW-X	RW-X	RW-0	R-0

表 8-7. デバイス構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	customStrings	RW	0	カスタム文字列イネーブル このビットは、メーカー文字列長、メーカー文字列、製品文字列長、製品文字列、言語 ID レジスタへの書き込み機能を制御します 0 = メーカー文字列長、メーカー文字列、製品文字列長、製品文字列、言語 ID レジスタは読み取り専用です。 1 = メーカー文字列長、メーカー文字列、製品文字列長、製品文字列、言語 ID レジスタは、EEPROM でロードまたは SMBus で書き込みできます。 このビットのデフォルト値は 0 です。
6	customSernum	RW	0	カスタム シリアル番号イネーブル このビットは、シリアル番号レジスタへの書き込み機能を制御します。 0 = シリアル番号文字列長およびシリアル番号文字列のレジスタは読み取り専用です。 1 = シリアル番号文字列長およびシリアル番号文字列のレジスタは、EEPROM でロードまたは SMBus で書き込みできます。 このビットのデフォルト値は 0 です。
5	RSVD	RW	0	予約済み。
4	RSVD	R	1	予約済み。このビットは予約済みで、読み取りの際に 1 を返します。
3	ganged	RW	X	連動 このビットは、GANGED/SMBA2/HS_UP ピンの値によるリセットのデアサート時にロードされます。 0 = 各ポートは個別に電源が切り替えられ、PWRCTL[4:1]/BATEN[4:1] ピンによって有効化されます。 1 = すべてのポートのパワースイッチ制御は連動し、PWRCTL[4:1]/BATEN1 ピンによって有効化されます。 TUSB4041I デバイスが I^2C モードのとき、TUSB4041I デバイスは EEPROM の内容からこのビットをロードします。 TUSB4041I デバイスが SMBUS モードのとき、その値は SMBus ホストによって上書きできます。

Copyright © 2026 Texas Instruments Incorporated

表 8-7. デバイス構成レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	fullPwrMgmtz	RW	X	フル パワー マネージメント このビットは、FULLPWRMGMTz/SMBA1 ピンの値によるリセットの デアサート時にロードされます。 0 = ポートのパワー スイッチング ステータス レポートがイネーブル 1 = ポートのパワー スイッチング ステータス レポートがディスエーブル TUSB4041I デバイスが I^2C モードのとき、TUSB4041I デバイスは EEPROM の内容から このビットをロードします。 TUSB4041I デバイスが SMBUS モードのとき、その値は SMBus ホストによって上書きで きます。
1	RSVD	RW	0	予約済み このフィールドは予約済みで、デフォルトから変更できません。
0	RSVD	R	0	予約済み このフィールドは予約済みで、読み取りの際に 0 を返します。

Copyright © 2026 Texas Instruments Incorporated

8.8 バッテリ充電サポート用レジスタ

オフセット = 6h

図 8-7. バッテリ充電サポート用レジスタ

7	6	5	4	3	2	1	0
RSVD				batEn[3:0]			
R-0				RW-X			

表 8-8. バッテリ充電サポート レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。
3:0	batEn[3:0]	RW	X	バッテリ チャージャ サポート。このフィールドのビットは、ダウンストリーム ポートが充電ポート機能を実装しているかどうかを示します。 0 = ポートはバッテリ充電サポート機能が有効ではありません 1 = ポートはバッテリ充電サポート機能が有効です 各ビットはダウンストリーム ポートに直接対応します。つまり、batEn0 はダウンストリーム ポート 1、batEN1 はダウンストリームポート 2 に対応します。 これらのビットのデフォルト値は PWRCTL/BATEN[3:0] の値でリセットがデアサートされる時にロードされます。 I²C/SMBus モードでは、このフィールドのビットは EEPROM の内容または SMBus ホストで上書きできます。

8.9 デバイスの削除可能な設定レジスタ

オフセット = 7h

図 8-8. デバイスの削除可能な設定レジスタ

7	6	5	4	3	2	1	0
customRmbl	RSVD			rmbl[3:0]			
RW-0	R-0			RW-X			

表 8-9. デバイスを着脱可能な構成レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	customRmbl	RW	0	カスタム着脱可能 このビットはポート着脱可能ビットに書き込む機能を制御します。 0 = rmbl[3:0] は読み取り専用で、その値は OTP ROM からロードされます。 1 = rmbl[3:0] は R/W で、EEPROM でロード、または SMBus で書き込みできます。 このビットは rmbl[3:0] と同時に書き込み可能です。
6:4	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します

Copyright © 2026 Texas Instruments Incorporated

表 8-9. デバイスを着脱可能な構成レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	rmbl[3:0]	RW	X	着脱可能 このフィールドのビットは、ダウンストリーム ポート 4 から 1 に接続されたデバイスが、着脱可能または永続的に接続されるかを示します。 0 = ポートに接続されたデバイスは着脱可能ではありません。 1 = ポートに接続されたデバイスは着脱可能です。 各ビットはダウンストリーム ポート n + 1 に直接対応します。たとえば、rmbl0 はダウンストリーム ポート 1、rmbl1 はダウンストリームポート 2 に対応します。 customRmbl ビットに 1 がセットされない限りこのフィールドは読み取り専用です。それ以外の場合、このフィールドの値は OTP ROM non_rmb[3:0] フィールドの反転値を反映します。

Copyright © 2026 Texas Instruments Incorporated

8.10 ポートを使用する構成レジスタ

オフセット = 8h

図 8-9. ポートを使用する構成レジスタ

7	6	5	4	3	2	1	0
RSVD				used[3:0]			
R-0				RW-1			

表 8-10. ポートを使用する構成レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	RSVD	R	0	予約済み 読み取り専用
3:0	used[3:0]	RW	1	使用済 このフィールドのビットはポートがイネーブルかどうかを示します。 0 = ポートはディスエーブルです。 1 = ポートはイネーブルです。

8.11 デバイス設定レジスタ 2

オフセット = Ah

図 8-10. デバイス設定レジスタ 2

7	6	5	4	3	2	1	0
RSVD	customBCfeatures	pwrctlPol	HiCurAcpModeEn	cpdEN	RSVD	autoModeEnz	RSVD
R-0	RW-0	RW-X	R/RW-0	R/RW-0	RW-0	RW-X	R-0

表 8-11. デバイス構成レジスタ 2 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。
6	customBCfeatures	RW	0	カスタム バッテリ充電機能が有効 このビットは、バッテリ充電機能の構成制御への書き込み機能を制御します。 0 = HiCurAcpModeEn と cpdEN ビットは読み取り専用で、その値は OTP ROM からロードされます。 1 = HiCurAcpModeEn と cpdEN ビットは R/W で、EEPROM でロード、またはこのレジスタから SMBus で書き込みされます。 このビットは HiCurAcpModeEn と cpdEN と同時に書き込み可能です。
5	pwrctlPol	RW	X	電源イネーブル極性 このビットは、PWRCTL_POL ピンの値によるリセットの デアサート時にロードされます。 0 = PWRCTL 極性はアクティブ Low です。 1 = PWRCTL 極性はアクティブ High です。 TUSB4041I デバイスが I^2C モードのとき、TUSB4041I デバイスは EEPROM の内容からこのビットをロードします。 TUSB4041I デバイスが SMBUS モードのとき、その値は SMBus ホストによって上書きできます。

Copyright © 2026 Texas Instruments Incorporated

表 8-11. デバイス構成レジスタ 2 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	HiCurAcpModeEn	R/RW	0	大電流 ACP モード イネーブル ダウンストリーム ポートで自動バッテリ充電モードが有効になっている場合、このビットにより大電流タブレット充電モードが有効になります。 0 = 大電流デバイダ モードがディスエーブルです。従来の電流デバイダ モードがイネーブルです。 1 = 大電流デバイダ モードがイネーブルです customBCfeatures ビットに 1 がセットされない限りこのビットは読み取り専用です。customBCfeatures が 0 の場合、このビットの値は OTP ROM HiCurAcpModeEn ビットの値を反映します。
3	cpdEN	RRW	0	デバイス接続検出を有効化 自動モードがイネーブルの場合、このビットによってデバイス接続検出 (携帯電話の検出など) が有効になります。 0 = 自動モードでデバイス接続検出がディスエーブル。 1 = 自動モードでデバイス接続検出が有効イネーブル。 customBCfeatures ビットに 1 がセットされない限りこのビットは読み取り専用です。customBCfeatures が 0 の場合、このビットの値は OTP ROM cpdEN ビットの値を反映します。
2	RSVD	RW	0	予約済み
1	autoModeEnz	RW	X	自動モード イネーブル(1) このビットは、AUTOENz/HS_SUSPEND ピンの値によるリセットのデアサート時にロードされます。 自動モードは、アップストリーム ポートが接続されていないときに、バッテリ充電がイネーブルのダウンストリーム ポートにのみ適用されます。次の条件では: 0 = 自動モードのバッテリ充電機能がイネーブルです。 1 = 自動モードがディスエーブルになり、バッテリ充電 DCP モードのみがサポートされます。
0	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。

(1) アップストリーム ポートが接続されている場合、このビットの値に関係なく、ポート 1 を除く、バッテリ充電サポートがイネーブルになっているすべてのポートで、バッテリ充電 1.2 CDP モードがサポートされます。自動モードがイネーブルの場合、ポート 1 の CDP はサポートされません。

Copyright © 2026 Texas Instruments Incorporated

8.12 USB 2.0 ポート極性制御レジスタ

オフセット = Bh

図 8-11. USB 2.0 ポート極性制御レジスタ

7	6	5	4	3	2	1	0
customPolarity	RSVD		p4_usb2pol	p3_usb2pol	p2_usb2pol	p1_usb2pol	p0_usb2pol
RW-0	R-0		R/RW-0	R/RW-0	R/RW-0	R/RW-0	R/RW-0

表 8-12. USB 2.0 ポート極性制御レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	customPolarity	RW	0	カスタム USB 2.0 の極性 このビットは p[4:0]_usb2pol ビットを書き込む機能を制御します。 0 = p[4:0]_usb2pol ビットは読み取り専用で、その値は OTP ROM からロードされます。 1 = p[4:0]_usb2pol ビットは R/W で、EEPROM でロード、またはこのレジスタから SMBus で書き込みされます。 このビットは p[4:0]_usb2pol ビットと同時に書き込み可能です
6:5	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します
4	p4_usb2pol	R/RW	0	ダウンストリーム ポート 4 DM/DP の極性 このビットは、ポートの極性を制御します。 0 = USB 2.0 ポートの極性はピン配置の表示と同じです。 1 = USB 2.0 ポートの極性はピン配置の表示から交換されます (つまり、DM は DP に、DP は DM になります)。 customPolarity ビットに 1 がセットされない限りこのビットは読み取り専用です。 customPolarity が 0 の場合、このビットの値は OTP ROM p4_usb2pol ビットの値を反映します。
3	p3_usb2pol	R/RW	0	ダウンストリーム ポート 3 DM/DP の極性 このビットは、ポートの極性を制御します。 0 = USB 2.0 ポートの極性はピン配置の表示と同じです。 1 = USB 2.0 ポートの極性はピン配置の表示から交換されます (つまり、DM は DP に、DP は DM になります)。 customPolarity ビットに 1 がセットされない限りこのビットは読み取り専用です。 customPolarity が 0 の場合、このビットの値は OTP ROM p3_usb2pol ビットの値を反映します。
2	p2_usb2pol	R/RW	0	ダウンストリーム ポート 2 DM/DP の極性 このビットは、ポートの極性を制御します。 0 = USB 2.0 ポートの極性はピン配置の表示と同じです。 1 = USB 2.0 ポートの極性はピン配置の表示から交換されます (つまり、DM は DP に、DP は DM になります)。 customPolarity ビットに 1 がセットされない限りこのビットは読み取り専用です。 customPolarity が 0 の場合、このビットの値は OTP ROM p2_usb2pol ビットの値を反映します。

Copyright © 2026 Texas Instruments Incorporated

表 8-12. USB 2.0 ポート極性制御レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	p1_usb2pol	RRW	0	ダウンストリーム ポート 1 DM/DP の極性 このビットは、ポートの極性を制御します。 0 = USB 2.0 ポートの極性はピン配置の表示と同じです。 1 = USB 2.0 ポートの極性はピン配置の表示から交換されます (つまり、DM は DP に、DP は DM になります)。 customPolarity ビットに 1 がセットされない限りこのビットは読み取り専用です。 customPolarity が 0 の場合、このビットの値は OTP ROM p1_usb2pol ビットの値を反映します。
0	p0_usb2pol	R/RW	0	アップストリーム ポート DM/DP の極性 このビットは、ポートの極性を制御します。 0 = USB 2.0 ポートの極性はピン配置の表示と同じです。 1 = USB 2.0 ポートの極性はピン配置の表示から交換されます (つまり、DM は DP に、DP は DM になります)。 customPolarity ビットに 1 がセットされない限りこのビットは読み取り専用です。 customPolarity が 0 の場合、このビットの値は OTP ROM p0_usb2pol ビットの値を反映します。

8.13 UUID バイト N レジスタ

オフセット = 10h-1Fh

図 8-12. UUID バイト N レジスタ

7	6	5	4	3	2	1	0
uuidByte[n]							
R-X							

表 8-13. UUID バイト N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	uuidByte[n]	R	X	UUID バイト N Container ID ディスクリプタで返される UUID。このレジスタの値はデバイスによって提供され、インターネット技術特別調査委員会 (IETF) の RFC 4122 A UUID URN 名前空間の UUID 要件を満たしています。

8.14 言語 ID LSB レジスタ

オフセット = 20h、リセット = 09h

図 8-13. 言語 ID LSB レジスタ

7	6	5	4	3	2	1	0
langIdLsb[7:4]				langIdLsb[3]	langIdLsb[2:1]		langIdLsb[0]
R/RW-0				R/RW-1	R/RW-0		R/RW-1

Copyright © 2026 Texas Instruments Incorporated

表 8-14. 言語 ID LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	langIdLsb[7:4]	R/RW	0	言語 ID 最小桁バイト このレジスタには、文字列インデックス 0 の LANGID コードの LSB 内で返される値が含まれます。TUSB4041I デバイスは 1 つの言語 ID のみをサポートします。このレジスタのデフォルト値は 09h で、アメリカ英語である LangID 0409h の LSB を表します。customStrings ビットが 1 に設定されている場合、このフィールドは、接続されている EEPROM または SMBus ホストの内容によって上書きできます。
3	langIdLsb[3]	R/RW	1	
2:1	langIdLsb[2:1]	R/RW	0	
0	langIdLsb[0]	R/RW	1	

Copyright © 2026 Texas Instruments Incorporated

8.15 言語 ID MSB レジスタ

オフセット = 21h、リセット = 04h

図 8-14. 言語 ID MSB レジスタ

7	6	5	4	3	2	1	0
langIdMsb[7:3]					langIdMsb[2]	langIdMsb[1:0]	
R/RW-0					R/RW-1	R/RW-0	

表 8-15. 言語 ID MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	langIdMsb[7:3]	R/RW	0	言語 ID 最上位バイト このレジスタには、文字列インデックス 0 の LANGID コードの MSB 内で返される値が含まれます。TUSB4041I デバイスは 1 つの言語 ID のみをサポートします。このレジスタのデフォルト値は 04h で、アメリカ英語である LangID 0409h の MSB を表します。 customStrings ビットが 1 に設定されている場合、このフィールドは、接続されている EEPROM または SMBus ホストの内容によって上書きできます。
2	langIdMsb[2]	R/RW	1	
1:0	langIdMsb[1:0]	R/RW	0	

8.16 シリアル番号文字列長レジスタ

オフセット = 22h

図 8-15. シリアル番号文字列長レジスタ

7	6	5	4	3	2	1	0
RSVD		serNumStringLen[5]	serNumStringLen[4:3]		serNumStringLen[2:0]		
R-0		R/RW-0	R/RW-1		R/RW-0		

表 8-16. シリアル番号文字列長レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。
5	serNumStringLen[5]	R/RW	0	シリアル番号文字列長 シリアル番号文字列の文字列長です (バイト単位)。デフォルト値は 18h で、24 バイトのシリアル番号文字列がサポートされていることを示します。文字列の最大長は 32 バイトです。 customSernum ビットが 1 に設定されている場合、このフィールドは、接続されている EEPROM または SMBus ホストの内容によって上書きできます。 フィールドがゼロでない場合、文字列インデックス 1 で、シリアル番号文字列レジスタに含まれるデータから、serNumbStringLen バイトのシリアル番号文字列が返されます。
4:3	serNumStringLen[4:3]	R/RW	1	
2:0	serNumStringLen[2:0]	R/RW	0	

Copyright © 2026 Texas Instruments Incorporated

8.17 メーカー文字列長レジスタ

オフセット = 23h

図 8-16. メーカー文字列長レジスタ

7	6	5	4	3	2	1	0
RSVD	mfgStringLen						
R-0	R/RW-0						

表 8-17. メーカー文字列長レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します
6:0	mfgStringLen	R/RW	0	メーカー文字列長 メーカー文字列の文字列長です (バイト単位)。デフォルト値は 0 で、これはメーカー文字列が指定されていないことを示します。文字列の最大長は 64 バイトです。 customStrings ビットが 1 に設定されている場合、このフィールドは、接続されている EEPROM または SMBus ホストの内容によって上書きできます。 フィールドがゼロでない場合、文字列インデックス 3 で、メーカー文字列レジスタに含まれるデータから mfgStringLen バイトのメーカー文字列が返されます。

8.18 製品文字列長レジスタ

オフセット = 24h

図 8-17. 製品文字列長レジスタ

7	6	5	4	3	2	1	0
RSVD	prodStringLen						
R-0	R/RW-0						

表 8-18. 製品文字列長レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。
6:0	prodStringLen	R/RW	0	製品文字列長 製品文字列の文字列長です (バイト単位)。デフォルト値は 0 で、これは製品文字列が指定されていないことを示します。文字列の最大長は 64 バイトです。 customStrings ビットが 1 に設定されている場合、このフィールドは、接続されている EEPROM または SMBus ホストの内容によって上書きできます。 フィールドがゼロでない場合、文字列インデックス 3 で、製品文字列レジスタに含まれるデータから prodStringLen バイトの製品文字列が返されます。

Copyright © 2026 Texas Instruments Incorporated

8.19 シリアル番号文字列レジスタ

オフセット = 30h-4Fh

図 8-18. シリアル番号文字列レジスタ

7	6	5	4	3	2	1	0
serialNumber[n]							
R/RW-X							

表 8-19. シリアル番号文字列レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	serialNumber[n]	R/RW	X	シリアル番号バイト N 文字列インデックス 1 で返されるシリアル番号文字列記述子によるシリアル番号です。これらのレジスタのデフォルト値は、TI によって割り当てられています。customSernum が 1 の場合、これらのレジスタは EEPROM の内容または SMBus ホストによって上書きできます。

8.20 メーカー文字列レジスタ

オフセット = 50h-8Fh

図 8-19. メーカー文字列レジスタ

7	6	5	4	3	2	1	0
mfgStringByte[n]							
R/W-0							

表 8-20. メーカー文字列レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	mfgStringByte[n]	R/W	0	メーカー文字列バイト N これらのレジスタは、mfgStringLen が 0 より大きいときに文字列インデックス 3 に返される文字列値を提供します。文字列で返されるバイト数は mfgStringLen と等しくなります。 プログラムされたデータは、Unicode 標準、世界共通文字コード体系、バージョン 5.0 (Unicode Standard, Worldwide Character Encoding, Version 5.0) で定義されている UNICODE UTF-16LE エンコーディングである必要があります。

8.21 製品文字列バイト N レジスタ

オフセット = 90h-CFh

図 8-20. 製品文字列バイト N レジスタ

7	6	5	4	3	2	1	0
prodStringByte[n]							
R/RW-0							

Copyright © 2026 Texas Instruments Incorporated

表 8-21. 製品文字列バイト N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	prodStringByte[n]	R/RW	0	製品文字列バイト N これらのレジスタは、prodStringLen が 0 より大きいときに文字列インデックス 2 に返される文字列値を提供します。文字列で返されるバイト数は prodStringLen と等しくなります。 プログラムされたデータは、Unicode 標準、世界共通文字コード体系、バージョン 5.0 (Unicode Standard, Worldwide Character Encoding, Version 5.0) で定義されている UNICODE UTF-16LE エンコーディングである必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.22 追加機能構成レジスタ

オフセット = F0h

図 8-21. 追加機能構成レジスタ

7	6	5	4	3	2	1	0
RSVD			stsOutputEn	pwronTime			RSVD
R-0			R/RW-0	R/W-0			R/W-0

表 8-22. 追加機能の構成レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します。
4	RSVD	R/RW	0	予約済み。
3:1	pwronTime	RW	0	パワーオン遅延時間 OTP ROM pwronTime フィールドがすべて 0 の場合、このフィールドでは、バッテリ充電モードの遷移時に PWRCTL の除去ディスエーブルから PWRCTL のイネーブルまでの遅延時間を設定します。たとえば、カスタム充電モードから専用充電ポート モードへの遷移で電源を無効化する場合です。公称タイミングは次のように定義されます: TPWRON_EN = (pwronTime + 1) x 200ms (1) このフィールドは EEPROM の内容または SMBus ホストによって上書きできます。
0	RSVD	RW	0	予約済み

8.23 デバイス ステータスおよびコマンド レジスタ

オフセット = F8h

図 8-22. デバイス ステータスおよびコマンド レジスタ

7	6	5	4	3	2	1	0
RSVD						smbusRst	cfgActive
R-0						W1S-0	W1C-0

表 8-23. デバイス ステータスおよびコマンド レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	RSVD	R	0	予約済み 読み取り専用で、読み取り時に 0 を返します
1	smbusRst	W1S	0	SMBus インターフェイスのリセット このビットは、レジスタを GRSTz の値に戻します。 警告によってこのビットは 1 に設定され、リセット完了時にハードウェアによってクリアされます。0 を書き込んでも何もしません。
0	cfgActive	W1C	0	構成がアクティブ このビットは、TUSB4041I デバイスの構成が現在アクティブであることを示します。このビットは、デバイスが I^2C または SMBus モードに移行するときにハードウェアによって設定されます。このビットが 1 のとき、TUSB4041I デバイスはアップストリーム ポートに接続されません。SMBus モードでは、SMBus ホストによりこのビットをクリアして構成モードを終了し、アップストリーム ポートの接続を許可する必要があります。 1 を書き込むと、このビットはクリアされます。0 を書き込んでも何もしません。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『テキサス・インスツルメンツの USB 2.0 デバイスの水晶振動子の選択と仕様』アプリケーション ノート
- テキサス インスツルメンツ、『TPS2561 デュアル チャネル高精度可変電流制限パワー スイッチ』データ シート
- テキサス・インスツルメンツ、TUSB4041PAP 評価基板ユーザー ガイド

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (September 2017) to Revision F (June 2026) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- I^2C に言及している場合、すべての旧式の用語をコントローラおよびターゲットに変更 1
- 「ハブ入力電源電流」のグローバル リセット モード電流を更新 11

Changes from Revision D (July 2017) to Revision E (September 2017) **Page**

- 表 8-23 の smbusRst をビット 6 からビット 1 に、cfgActive1 をビット 5 からビット 0 に変更 45

Changes from Revision C (September 2016) to Revision D (July 2017) **Page**

- 表 8-10 から、「各ビットはダウンストリーム ポートに直接対応します。たとえば、used0 はダウンストリーム ポート 1 に対応し、used1 はダウンストリーム ポート 2 に対応します。ポート 1 とポート 3 の両方がディスエーブルとマークされている場合を除き、すべての組み合わせがサポートされています。」の文を削除 36

Changes from Revision B (December 2015) to Revision C (September 2016) **Page**

- 最大接合部温度を「絶対最大定格」表に追加 9
- 「SMBus のターゲット動作」セクションに注を追加 17
- 表 8-5 の説明に「このデバイスは常に XORed PID LSB 値 0x42 を通知します」というテキストを追加 31

Changes from Revision A (September 2015) to Revision B (December 2015) **Page**

- 「クロック、リセット、その他」セクションの PWRCTL_POL ピン (R17) の構成を変更 23

Changes from Revision * (July 2015) to Revision A (September 2015) **Page**

- 「ピンの機能」表の USB_DP_DN1 と USB_DP_DN2 のピン番号を変更 4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

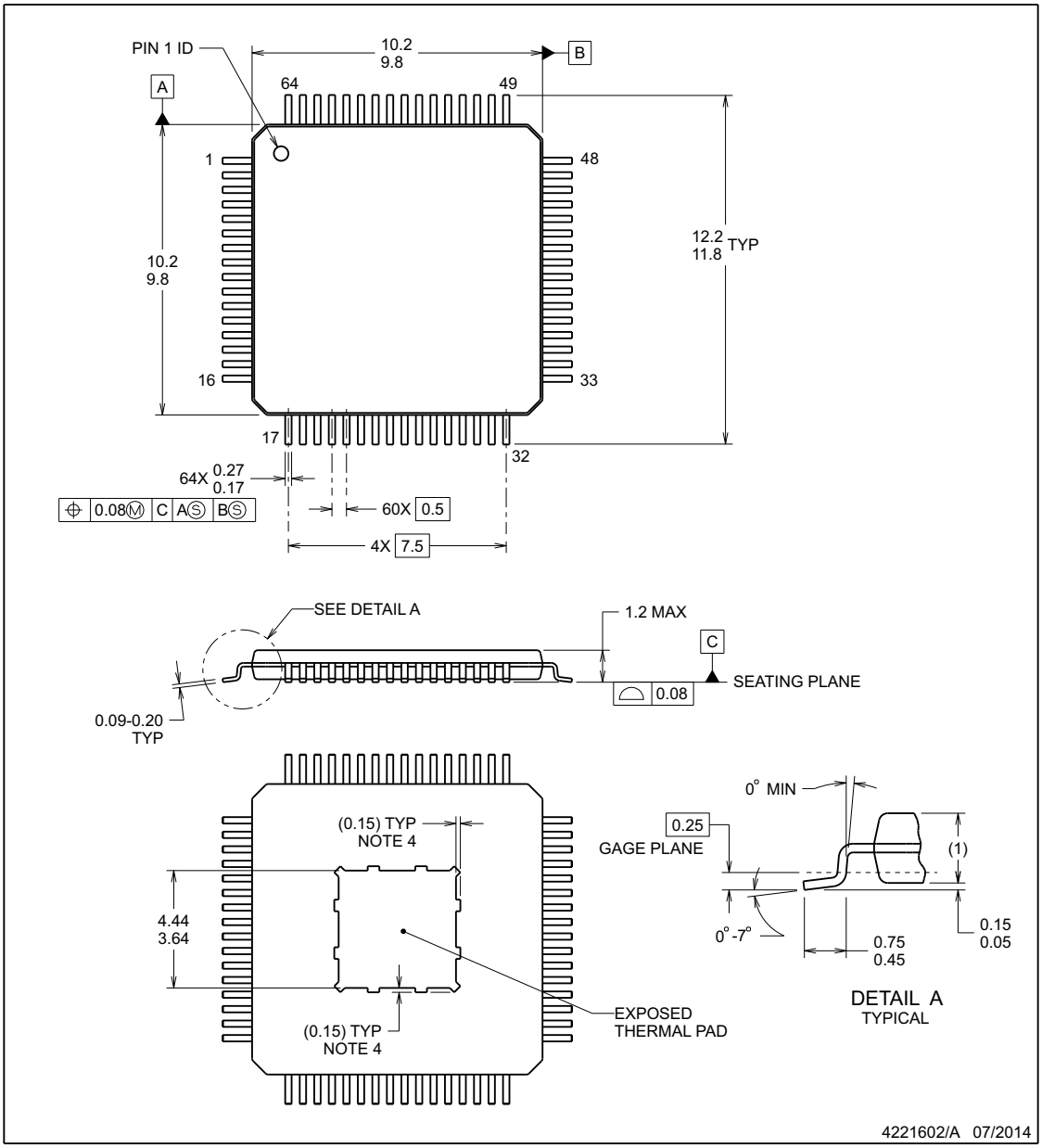


PACKAGE OUTLINE

PAP0064M

PowerPAD ™ - 1.2 mm max height

PLASTIC QUAD FLAT PACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026, variation ACD.
4. Strap features may not be present,

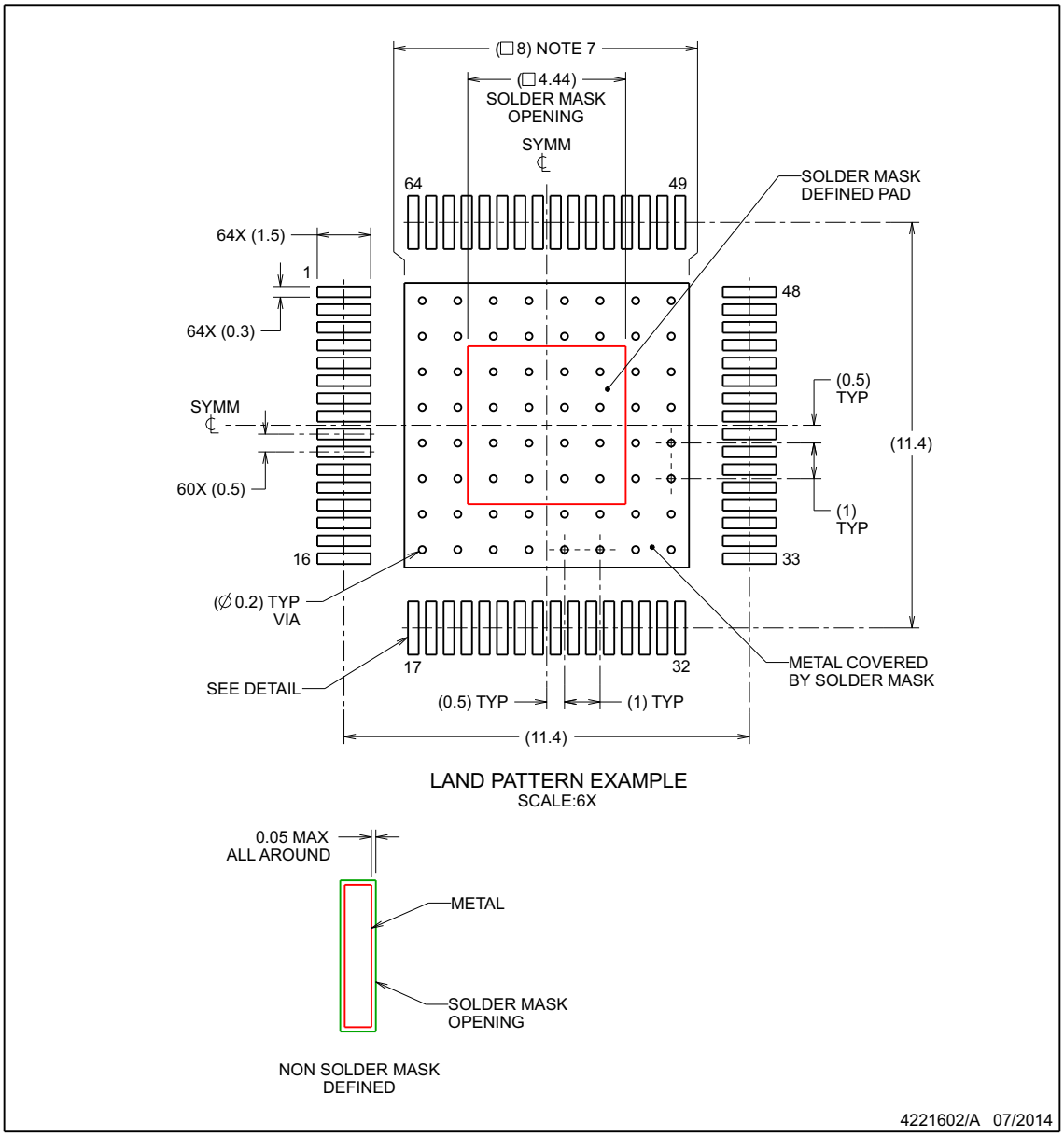
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PAP0064M

PowerPAD ™ - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

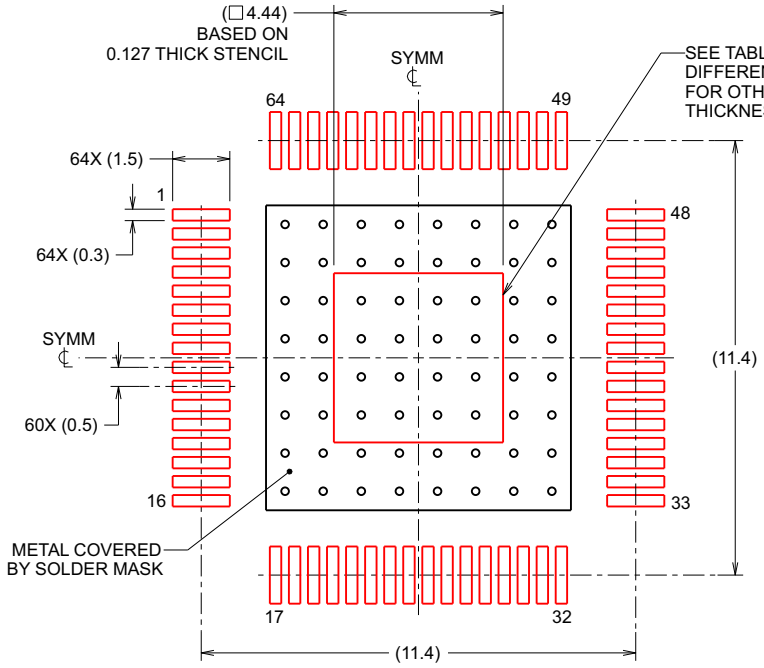
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PAP0064M — **PowerPAD ™ - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5 X 5
0.127	4.44 X 4.44 (SHOWN)
0.152	4.06 X 4.06
0.178	3.75 X 3.75

4221602/A 07/2014

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB4041IPAP	Active	Production	HTQFP (PAP) | 64	160 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAP.A	Active	Production	HTQFP (PAP) | 64	160 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPG4	Active	Production	HTQFP (PAP) | 64	160 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPG4.A	Active	Production	HTQFP (PAP) | 64	160 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPR	Active	Production	HTQFP (PAP) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPR.A	Active	Production	HTQFP (PAP) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPRG4	Active	Production	HTQFP (PAP) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I
TUSB4041IPAPRG4.A	Active	Production	HTQFP (PAP) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB4041I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TUSB4041I :

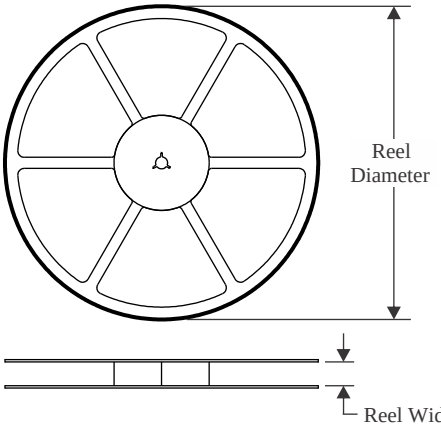
- Automotive : TUSB4041I-Q1

NOTE: Qualified Version Definitions:

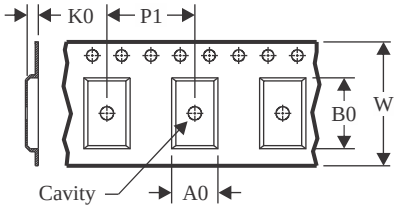
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

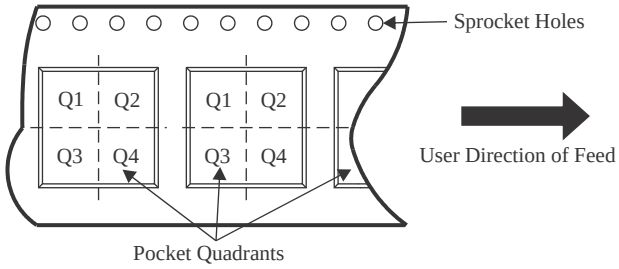


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

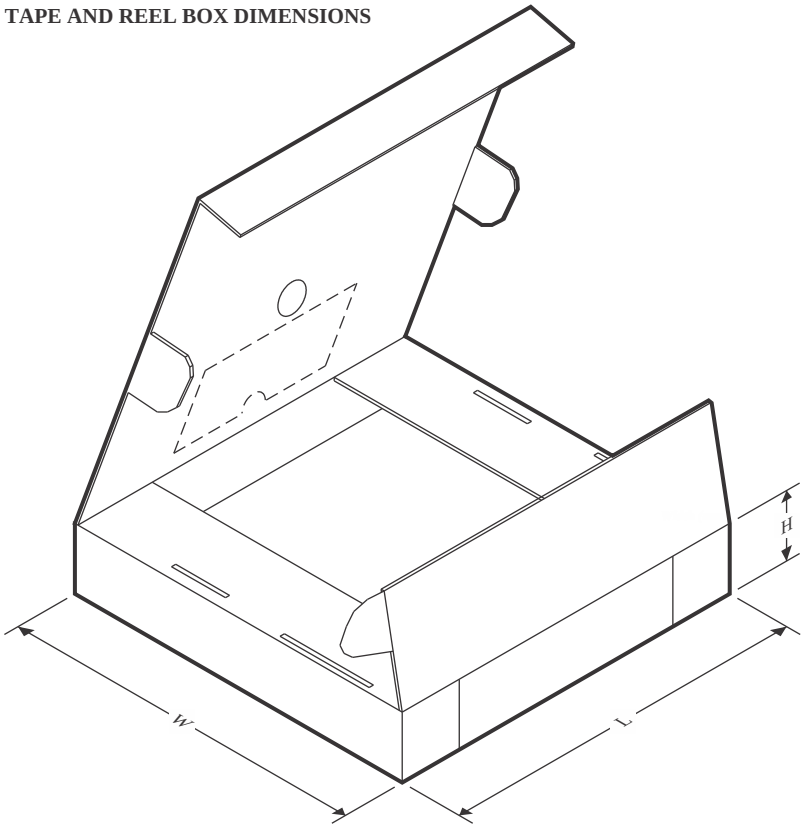
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB4041IPAPR	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TUSB4041IPAPRG4	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

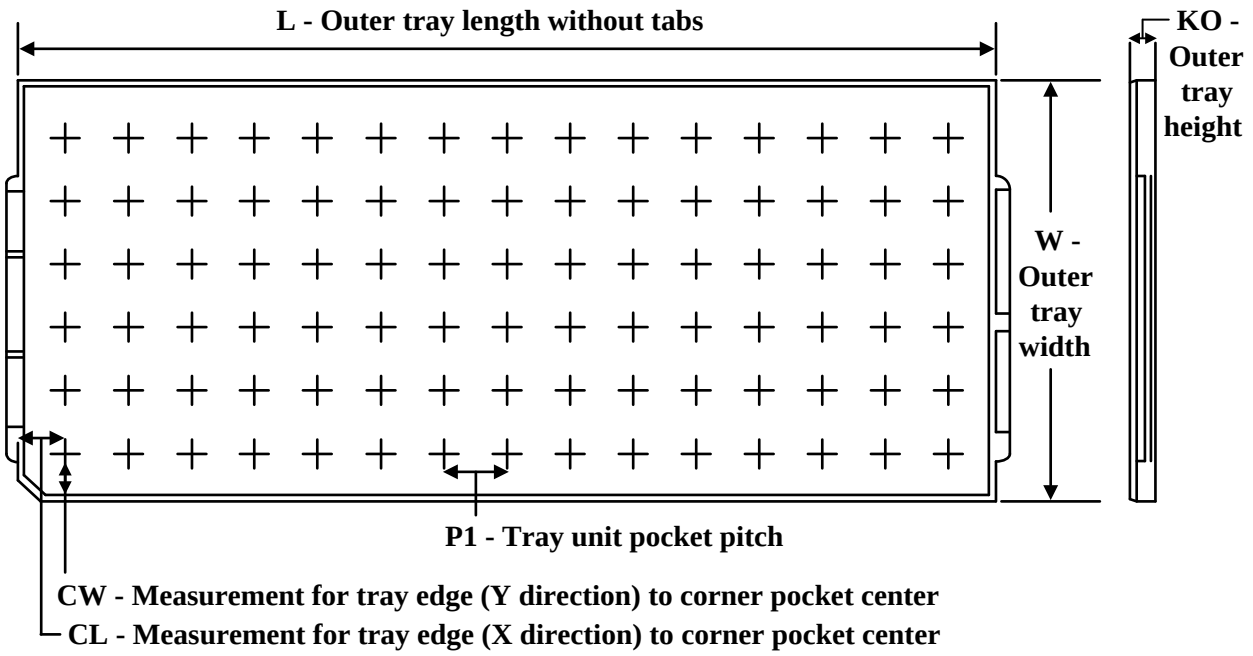
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB4041IPAPR	HTQFP	PAP	64	1000	367.0	367.0	55.0
TUSB4041IPAPRG4	HTQFP	PAP	64	1000	367.0	367.0	55.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TUSB4041IPAP	PAP	HTQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
TUSB4041IPAP.A	PAP	HTQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
TUSB4041IPAPG4	PAP	HTQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
TUSB4041IPAPG4.A	PAP	HTQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月