

TUSB73x0 USB 3.0 xHCI ホスト・コントローラ

1 特長

- USB3.0 準拠の xHCI ホスト・コントローラ
 - PCIe x1 Gen2 インターフェイス
 - 4 つのダウンストリーム・ポート
- 2 つまたは 4 つのダウンストリーム・ポート
- 各ダウンストリーム・ポートについて以下が可能
 - 個別にイネーブルまたはディスエーブル
 - 送信スイング、ディエンファシス、イコライゼーションの設定を調整
 - 取り外し可能または取り外し不可としてマーク
 - 独立した電源制御と過電流検出機能
- デフォルト構成では、外部フラッシュは不要
 - カスタム構成用のオプションのシリアル EEPROM
- 内部のスペクトラム拡散機能
 - 低コストの水晶発振器をサポート
- クラス最高のアダプティブ・レシーバ・イコライザ設計

2 アプリケーション

- ラック・サーバー、マイクロサーバー、タワー・サーバー
- 高性能コンピューティング
- ストレージ・エリア・ネットワーク (SAN) とホスト・バス・アダプタ (HBA) カード
- デスクトップ PC またはマザーボード

3 説明

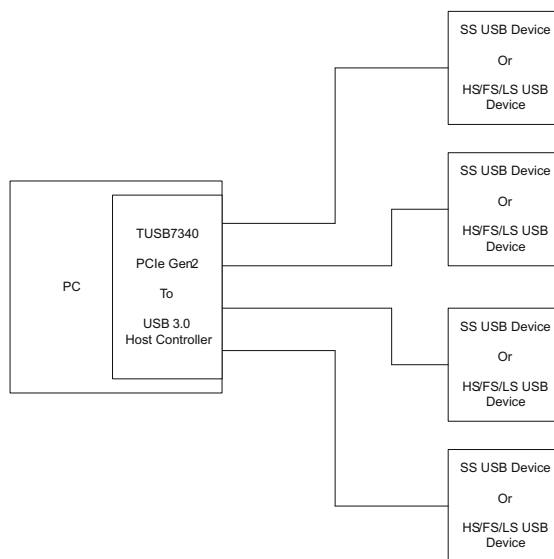
TUSB7320 は、最大 2 つのダウンストリーム ポートをサポートします。TUSB7340 は USB 3.0 準拠の xHCI ホストコントローラで、最大 4 つのダウンストリーム ポートをサポートします。どちらの製品も、ピン互換の 100 ピン RKM パッケージで供給されます。このドキュメントの残りの部分では、TUSB73x0 という名前を使用して TUSB7320 と TUSB7340 の両方を参照します。

TUSB73x0 は、PCIe x1 Gen 2 インターフェイスを介してホスト システムに接続し、ダウンストリーム USB ポートに SuperSpeed、ハイスピード、フルスピード、またはロースピードの接続を提供します。

製品情報

型番 ⁽¹⁾	USB ポート数	パッケージ
TUSB7320	2 ポート	(WQFN-MR, 100)
TUSB7340	4 ポート	

- (1) 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。



代表的なアプリケーション



目次

1 特長	1	7.1 使用上の注意	23
2 アプリケーション	1	7.2 代表的なアプリケーション	24
3 説明	1	7.3 電源に関する推奨事項	31
4 ピン構成および機能	3	7.4 レイアウト	33
5 仕様	9	8 レジスタ マップ	36
5.1 絶対最大定格.....	9	8.1 クラシック PCI 構成設定スペース.....	36
5.2 ESD 定格.....	9	8.2 PCI Express 拡張構成空間.....	81
5.3 推奨動作条件.....	9	8.3 xHCI メモリ マップ レジスタ空間.....	90
5.4 熱に関する情報.....	10	8.4 MSI-X メモリ マップ レジスタ空間.....	115
5.5 3.3V I/O の電气的特性.....	10	8.5 メモリ マップドレジスタ空間の MSI-X テーブルと PBA.....	116
5.6 入力クロックの仕様.....	11	9 デバイスおよびドキュメントのサポート	118
5.7 入力クロック 1.8V DC の特性.....	11	9.1 ドキュメントのサポート.....	118
5.8 水晶振動子の仕様.....	11	9.2 デバイス サポート.....	118
5.9 TUSB7320 の消費電力.....	11	9.3 ドキュメントの更新通知を受け取る方法.....	119
5.10 TUSB7340 の消費電力.....	13	9.4 サポート・リソース.....	119
6 詳細説明	14	9.5 商標.....	119
6.1 概要.....	14	9.6 静電気放電に関する注意事項.....	119
6.2 機能ブロック図.....	14	9.7 用語集.....	119
6.3 機能説明.....	15	10 改訂履歴	119
6.4 プログラミング.....	18	11 メカニカル、パッケージ、および注文情報	120
7 アプリケーションと実装	23		

4 ピン構成および機能

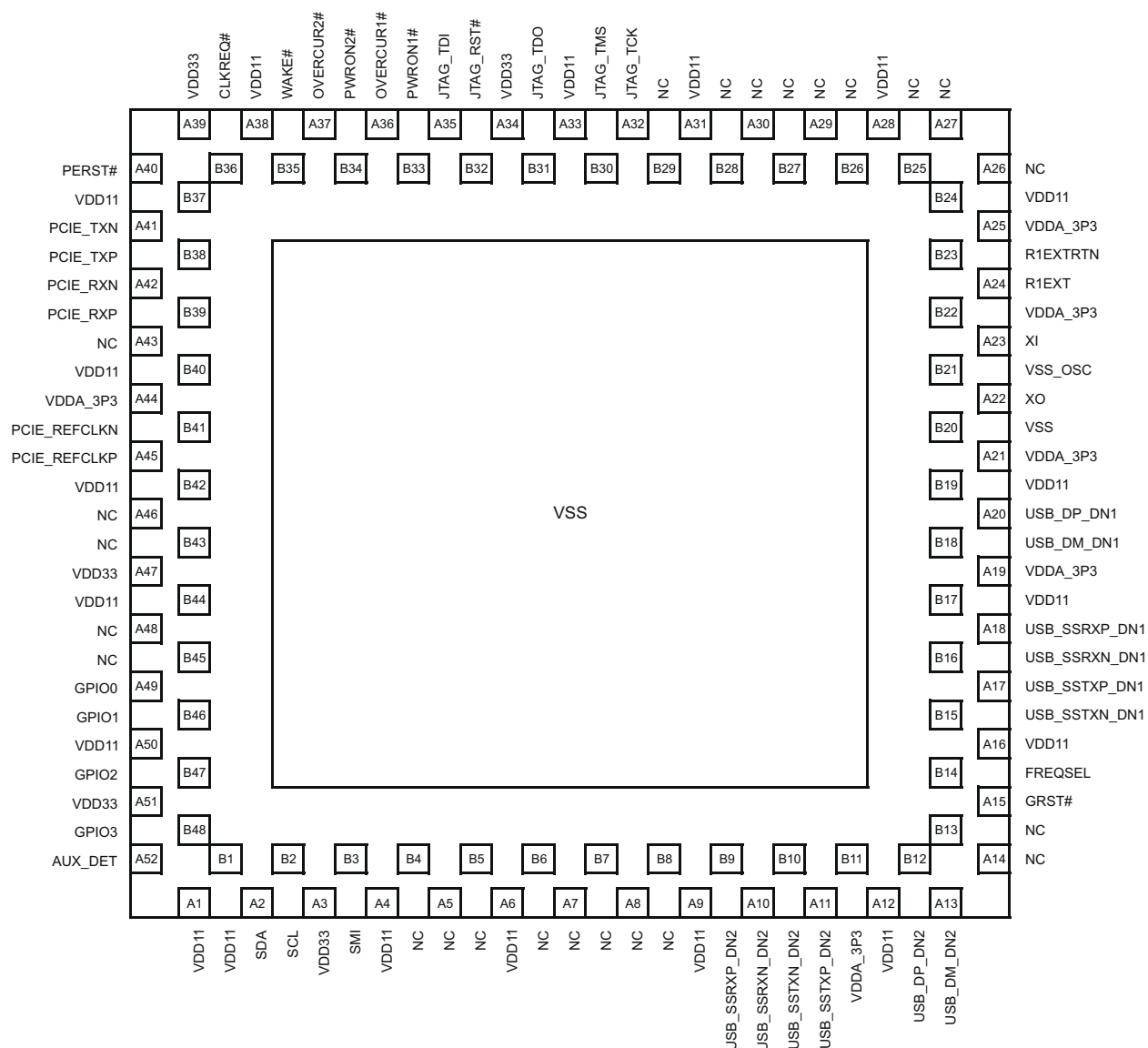


図 4-1. RKM パッケージ 100 ピン WQFN-MR 露出サーマル パッド TUSB7320 (上面図)

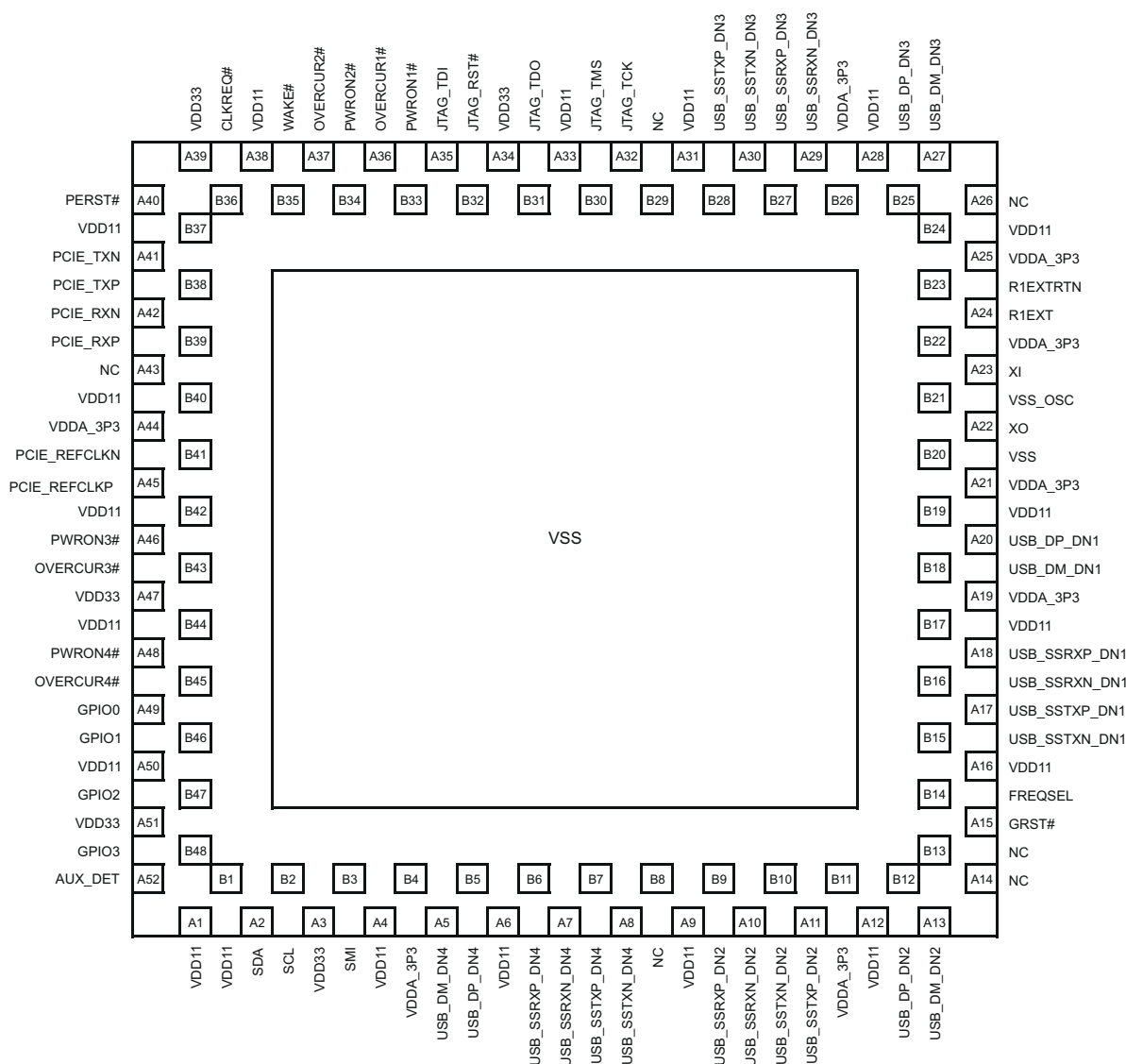


図 4-2. RKM パッケージ 100 ピン WQFN-MR 露出サーマルパッド TUSB7340 (上面図)

次の表に、各端末の説明を示します。これらの端子は、機能別に表にグループ化されています。各表には、端末名、端末番号、I/O タイプ、端末の説明が含まれています。

タイプ	説明
I	入力
O	出力
I/O	入力 / 出力
PD、PU	内部プルダウン / プルアップ
S	ストラップ ピン
P	電源
G	グランド

表 4-1. クロックとリセットの信号

ピン			タイプ	説明
名称	TUSB7320	TUSB7340		
クロックとリセットの信号				
GRST#	A15	A15	I PU	グローバル電源リセット。このリセットにより、TUSB73x0 のすべての内部レジスタがデフォルト状態になります。GRST# がアサートされると、デバイスは完全に機能しなくなります。デバイスですべての電源レールが有効になるまで、GRST# をアサートし続ける必要があります。水晶振動子の代わりに 48MHz リファレンス クロックを使用する場合、48MHz クロックが安定するまで GRST# をアサートしたままにする必要があります。
XI	A23	A23	I	水晶振動子入力。この端子は内部発振器の水晶振動子入力です。入力は外部発振器の出力によって交互に駆動できます。水晶振動子を使用する場合、XI と XO の間に 2MΩ の帰還抵抗が必要です。
XO	A22	A22	O	水晶振動子出力。この端子は内部発振器の水晶振動子出力です。XI が外部発振器で駆動される場合は、このピンを未接続のままにできます。水晶振動子を使用する場合、XI と XO の間に 2MΩ の帰還抵抗が必要です。
FREQSEL	B14	B14	I	周波数の選択。この端子は発振器の入力周波数を示し、正しい PLL 通信器の構成に使用されます。通常動作では、このピンを Low に設定する必要があります。
PCIE_REFCLKP	A45	A45	I	PCI Express リファレンス クロック。PCIE_REFCLKP と PCIE_REFCLKN は、100MHz のシステム リファレンス クロックの差動入力ペアを構成します。
PCIE_REFCLKN	B41	B41	I	
PERST#	A40	A40	I	PCI Express リセット入力。PERST# 信号は、システムの電源が安定しているときの信号に使用されます。PERST# 信号は、内部のパワーオン リセットの生成にも使用されます
PCI EXPRESS 信号				
PCIE_TXP	B38	B38	O	PCI Express トランスミッタ差動ペア (正)。
PCIE_TXN	A41	A41	O	PCI Express トランスミッタ差動ペア (負)。
PCIE_RXP	B39	B39	I	PCI Express レシーバ差動ペア (正)。
PCIE_RXN	A42	A42	I	PCI Express レシーバ差動ペア (負)。
WAKE#	B35	B35	O	Wake。Wake は、PCI Express リンク階層のメイン電源レールとリファレンス クロックを再アクティブにするために、Low に駆動されるアクティブ Low 信号です。注:WAKE# はフェイルセーフ I/O ではないため、VDD33 が存在しない間は 3.3V 補助電源に接続しないでください。
CLKREQ#	B36	B36	O	PCI Express REFCLK 要求信号。注:CLKREQ# はフェイルセーフ I/O ではないため、VDD33 が存在しない間は 3.3V 補助電源に接続しないでください。
USB ダウンストリーム信号				
USB_SSTXP_DN1	A17	A17	O	USB SuperSpeed トランスミッタ差動ペア (正)。注:配線時には、ポート 1 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSTXN_DN1	B15	B15	O	USB SuperSpeed トランスミッタ差動ペア (負)。注:配線時には、ポート 1 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXP_DN1	A18	A18	I	USB SuperSpeed レシーバ差動ペア (正)。注:配線時には、ポート 1 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXN_DN1	B16	B16	I	USB SuperSpeed レシーバ差動ペア (負)。注:配線時には、ポート 1 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_DP_DN1	A20	A20	I/O	USB 高速差動トランシーバ (正)。
USB_DM_DN1	B18	B18	I/O	USB 高速差動トランシーバ (負)。
PWRON1#	B33	B33	O PD	USB DS ポート 1 の下流電源用パワーオン制御。この端子を使ってダウンストリーム パワー スイッチを制御します。PWRON_POLARITY ビットを 1 に設定すると、このピンはアクティブ High で、内部プルダウンはディスエーブルになります。電源レールが取り外されているとき、このピンは低インピーダンスになる可能性があります。
OVERCUR1#	A36	A36	I PU	USB DS ポート 1 の過電流検出。0: 過電流検出、1: 過電流の検出なし

表 4-1. クロックとリセットの信号 (続き)

名称	ピン		タイプ	説明
	TUSB7320	TUSB7340		
USB_SSTXP_DN2	A11	A11	O	USB SuperSpeed トランスミッタ差動ペア (正)。注: 配線時には、ポート 2 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSTXN_DN2	B10	B10	O	USB SuperSpeed トランスミッタ差動ペア (負)。注: 配線時には、ポート 2 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXP_DN2	B9	B9	I	USB SuperSpeed レシーバ差動ペア (正)。注: 配線時には、ポート 2 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXN_DN2	A10	A10	I	USB SuperSpeed レシーバ差動ペア (負)。注: 配線時には、ポート 2 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_DP_DN2	B12	B12	I/O	USB 高速差動トランシーバ (正)。
USB_DM_DN2	A13	A13	I/O	USB 高速差動トランシーバ (負)。
PWRON2#	B34	B34	O PD	USB DS ポート 2 の下流電源用パワーオン制御。この端子を使ってダウストリームパワー スイッチを制御します。PWRON_POLARITY ビットを 1 に設定すると、このピンはアクティブ High で、内部プルダウンはディスエーブルになります。電源レールが取り外されているとき、このピンは低インピーダンスになる可能性があります。
OVERCUR2#	A37	A37	I PU	USB DS ポート 2 の過電流検出。0: 過電流検出、1: 過電流の検出なし
USB_SSTXP_DN3	—	B28	O	USB SuperSpeed トランスミッタ差動ペア (正)。注: 配線時には、ポート 3 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSTXN_DN3	—	A30	O	USB SuperSpeed トランスミッタ差動ペア (負)。注: 配線時には、ポート 3 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXP_DN3	—	B27	I	USB SuperSpeed レシーバ差動ペア (正)。注: 配線時には、ポート 3 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXN_DN3	—	A29	I	USB SuperSpeed レシーバ差動ペア (負)。注: 配線時には、ポート 3 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_DP_DN3	—	B25	I/O	USB 高速差動トランシーバ (正)。
USB_DM_DN3	—	A27	I/O	USB 高速差動トランシーバ (負)。
PWRON3#	—	A46	O PD	USB DS ポート 3 の下流電源用パワーオン制御。この端子を使ってダウストリームパワー スイッチを制御します。PWRON_POLARITY ビットを 1 に設定すると、このピンはアクティブ High で、内部プルダウンはディスエーブルになります。電源レールが取り外されているとき、このピンは低インピーダンスになる可能性があります。
OVERCUR3#	—	B43	I PU	USB DS ポート 3 の過電流検出。0: 過電流検出、1: 過電流の検出なし
USB_SSTXP_DN4	—	B7	O	USB SuperSpeed トランスミッタ差動ペア (正)。注: 配線時には、ポート 4 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSTXN_DN4	—	A8	O	USB SuperSpeed トランスミッタ差動ペア (負)。注: 配線時には、ポート 4 SSTX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXP_DN4	—	B6	I	USB SuperSpeed レシーバ差動ペア (正)。注: 配線時には、ポート 4 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_SSRXN_DN4	—	A7	I	USB SuperSpeed レシーバ差動ペア (負)。注: 配線時には、ポート 4 SSRX 差動ペアの正と負の信号を入れ替えることができます。
USB_DP_DN4	—	B5	I/O	USB 高速差動トランシーバ (正)。
USB_DM_DN4	—	A5	I/O	USB 高速差動トランシーバ (負)。
PWRON4#	—	A48	O PD	USB DS ポート 4 の下流電源用パワーオン制御。この端子を使ってダウストリームパワー スイッチを制御します。PWRON_POLARITY ビットを 1 に設定すると、このピンはアクティブ High で、内部プルダウンはディスエーブルになります。電源レールが取り外されているとき、このピンは低インピーダンスになる可能性があります。
OVERCUR4#	—	B45	I PU	USB DS ポート 4 の過電流検出。0: 過電流検出、1: 過電流の検出なし
I2C 信号				
SCL	B2	B2	I/O	I2C クロック – I2C デバイスが存在しない場合は、このラインをプルダウンしてディスエーブルにします。

表 4-1. クロックとリセットの信号 (続き)

ピン			タイプ	説明
名称	TUSB7320	TUSB7340		
SDA	A2	A2	I/O	I2C データ – I2C デバイスが存在しない場合は、このラインをプルダウンしてディスエーブルにします。
テスト信号およびその他の信号				
JTAG_TCK	A32	A32	I PD	JTAG テスト クロック
JTAG_TDI	A35	A35	I PU	JTAG テスト データ入力
JTAG_TDO	B31	B31	O PD	JTAG テスト データ出力
JTAG_TMS	B30	B30	I PU	JTAG テスト モード選択
JTAG_RST#	B32	B32	I PD	JTAG リセット。正常動作時は Low に引き下げる必要があります。
GPIO0	A49	A49	I/O PU	汎用 I/O
GPIO1	B46	B46	I/O PU	
GPIO2	B47	B47	I/O PU	
GPIO3	B48	B48	I/O PU	
SMI	B3	B3	O	システム管理割り込み注:このピンはアクティブ ハイであるため、プルアップ / プルダウンしないでください。
R1EXT	A24	A24	OI	キャリブレーションに使用する高精度外部抵抗。端子 R1EXT と R1EXTRTN の間に、9.09KΩ ±1% 精度の抵抗値を接続します。
R1EXTRTN	B23	B23	OI	
AUX_DET	A52	A52	I	補助電力検出。このピンは、TUSB73X0 が D3cold からのウェークアップに対してイネーブルになっているかどうかを示します。注:この機能を実装する場合、リークageを防止するために、AUX_DET を VDD33 にプルする必要があります。
NC	B4、A5、 B5、B6、 A7、B7、 A8、B8、 B13、A14、 B25、A26、 B26、A27、 B27、B28、 A29、B29、 A30、A43、 B43、B45、 A46、A48	A14、B8、 B13、A26、 B29、A43	I/O	ピンは内部では接続されていません。注:TUSB7320 ピン B4 と B26 を VDDA_3P3 に接続することで、TUSB7340 とのデュアルレイアウトオプションをサポートできます。
電力信号				
VDD33	A3、A34、 A39、A47、 A51	A3、A34、 A39、A47、 A51	PWR	3.3V I/O 電源レール
VDDA_3P3	B11、A19、 A21、A25、 B22、A44	B4、B11、 A19、A21、 A25、B22、 B26、A44	PWR	3.3V アナログ電源レール
VDD11	A1、B1、 A4、A6、 A9、A12、 A16、B17、 B19、B24、 A28、A33、 A31、A38、 B37、B40、 B42、B44、 A50	A1、B1、 A4、A6、 A9、A12、 A16、B17、 B19、B24、 A28、A33、 A31、A38、 B37、B40、 B42、B44、 A50	PWR	1.1V コア電源レール
VSS	B20、A53	B20、A53	PWR	グラウンド。グラウンド パッドは図上では A53 とラベル付けされています。

表 4-1. クロックとリセットの信号 (続き)

ピン			タイプ	説明
名称	TUSB7320	TUSB7340		
VSS_NC	C1、C2、 C3、C4	C1、C2、 C3、C4	PWR	コーナー ピンはパッケージの機械的安定性を高めるため、内部でグランドに接続されています。これらのピンは VSS に接続するか、未接続のままにすることができます。
VSS_OSC	B21	B21	PWR	発振器のリターン。水晶振動子を使用する場合、負荷コンデンサはこの信号を帰路として使用する必要があります、PCB のグランドには接続しないでください。発振器を使用する場合は、PCB のグランドに接続する必要があります。

5 仕様

これらのインターフェイスの電気的特性については、[関連資料](#)で参照されている PCIe および USB の仕様を参照してください。

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧	VDD33	-0.5	3.6	V
	VDDA_3P3	-0.5	3.6	V
	VDD11	-0.3	1.4	V
V _I 入力電圧	PCI Express (RX)	0	1.2	V
	PCI Express REFCLK (シングルエンド)	-0.5	VDD33 + 0.5	V
	REFCLK (差動)	-0.3	1.15	V
	その他の 3.3V IO	-0.5	VDD33 + 0.5	V
V _O 出力電圧	PCI Express (TX)	0.8	1.2	V
	その他の 3.3V IO	-0.5	VDD33 + 0.5	V
T _{stg} 保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧範囲	VDD33	3	3.3	3.6	V
	VDDA_3P3	3	3.3	3.6	
	VDD11 ⁽¹⁾ (2)	1.045	1.1	1.21	V
T _A 動作温度範囲		0		70	°C
	産業用バージョン	-40		85	
T _J 動作ジャンクション温度範囲		0		105	°C
	産業用バージョン	-40		105	

- (1) 最小電源の条件が満たされている限り、1.05V 電源を使用できます。
(2) 1.1V -5%/+10% の電源を推奨します。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TUSB7320、TUSB7340	単位
		RKM (WQFN-MR)	
		100 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	25.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	9.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、半導体および IC パッケージの熱評価基準アプリケーション ノートを参照してください。

5.5 3.3V I/O の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	動作	テスト条件	最小値	最大値	単位
V_{IH} High レベル入力電圧 ⁽¹⁾	VDD33		2	VDD33	V
V_{IL} Low レベル入力電圧 ⁽¹⁾	VDD33	JTAG ピンのみ	0	0.8	V
			0	0.55	
V_I 入力電圧			0	VDD33	V
V_O 出力電圧 ⁽²⁾			0	VDD33	V
t_t 入力遷移時間 (t_{rise} および t_{fall})			0	25	ns
V_{hys} 入力ヒステリシス ⁽³⁾			0.13 VDD33		V
V_{OH} High レベル出力電圧	VDD33	$I_{OH} = -4mA$	2.4		V
V_{OL} Low レベル出力電圧	VDD33	$I_{OL} = 4mA$		0.4	V
I_{OZ} ハイインピーダンス、出力電流 ⁽²⁾	VDD33	$V_I = 0 \sim VDD33$		± 20	μA
I_{OZP} 内部プルアップまたはプルダウン抵抗使用によるハイインピーダンス、出力電流 ⁽⁴⁾	VDD33	$V_I = 0 \sim VDD33$		± 225	μA
I_I 入力電流 ⁽⁵⁾	VDD33	$V_I = 0 \sim VDD33$		± 15	μA

- (1) 外部入力と双方向バッファに適用。
- (2) 外部出力と双方向バッファに適用。
- (3) PERST、GRST、PME に適用。
- (4) GRST (プルアップ) とほとんどの GPIO (プルアップ) に適用。
- (5) 外部入力バッファに適用。

5.6 入力クロックの仕様

外部クロックを参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数の許容誤差	動作温度			±50	ppm
周波数安定性	1 年の経年劣化			±100	ppm
立ち上がり / 立ち下がり時間	20%～80%			6	ns
JTF (1 シグマ) を適用した ⁽¹⁾ (2) 基準クロック R_J			0.8		ps
JTF (総合的 p-p) を適用した ⁽²⁾ (3) 基準クロック T_J			25		ps
基準クロック ジッタ (絶対的 p-p) ⁽⁴⁾			50		ps

- (1) ガウス分布を仮定したシグマ値。
(2) JTF 適用後。
(3) $14.1 \times R_J + D_J$ として計算
(4) 絶対位相ジッタ (p-p)

5.7 入力クロック 1.8V DC の特性

外部クロックを参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧	0.65V _{DDs}			V
V_{IL}	Low レベル入力電圧			0.3V _{DDs}	V
V_{OH}	$I_O = -2\text{mA}$, $V_{DDs} = 1.62 \sim 1.98\text{V}$, ドライバがイネーブル、プルアップまたはプルダウンがディセーブル	$V_{DDs}-0.45$			V
	$I_O = -2\text{mA}$, $V_{DDs} = 1.4 \sim 1.6\text{V}$, ドライバがイネーブル、プルアップまたはプルダウンがディセーブル	0.75V _{DDs}			
V_{OL}	$I_O = 2\text{mA}$, ドライバがイネーブル, $V_{DDs} = 1.62 \sim 1.98\text{V}$, プルアップまたはプルダウンがディセーブル			0.45	V
	$I_O = 2\text{mA}$, $V_{DDs} = 1.4 \sim 1.6\text{V}$, ドライバがイネーブル、プルアップまたはプルダウンがディセーブル			0.2V _{DDs}	

5.8 水晶振動子の仕様

外部水晶振動子を参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数の許容誤差	動作温度			±50	ppm
周波数安定性	1 年の経年劣化			±100	ppm
負荷容量		12		24	pF
ESR				50	Ω

5.9 TUSB7320 の消費電力

	VCore 1.05V		V I/O 3.3V		合計
	mA	mW	mA	mW	mW
アクティブ状態					
2 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	594	623.70	115	379.50	1003.20
1 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	410	430.50	115	379.50	810.00

	VCore 1.05V		V I/O 3.3V		合計
	mA	mW	mA	mW	mW
パワー マネージメント状態					
システムオン – デバイスはアイドル状態 ⁽²⁾	55	57.75	4	13.20	70.95
システムの一時停止	55	57.75	4	13.20	70.95
システムの休止状態	55	57.75	4	13.20	70.95

(1) 「デバイス アクティブ」は、接続されているデバイスがアクティブにデータを転送していることを示します。

(2) ダウンストリーム デバイスは接続されていません。

5.10 TUSB7340 の消費電力

	VCore 1.05V		V I/O 3.3V		合計
	mA	mW	mA	mW	mW
アクティブ状態					
4 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	880	924.00	115	379.50	1303.50
3 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	740	777.00	115	379.50	1156.50
2 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	597	626.85	115	379.50	1006.35
1 つの SuperSpeed デバイスがアクティブ ⁽¹⁾	420	441.00	115	379.50	820.50
パワー マネージメント状態					
システムオン – デバイスはアイドル状態 ⁽²⁾	63	66.15	4	13.20	79.35
システムの一時停止	63	66.15	4	13.20	79.35
システムの休止状態	63	66.15	4	13.20	79.35

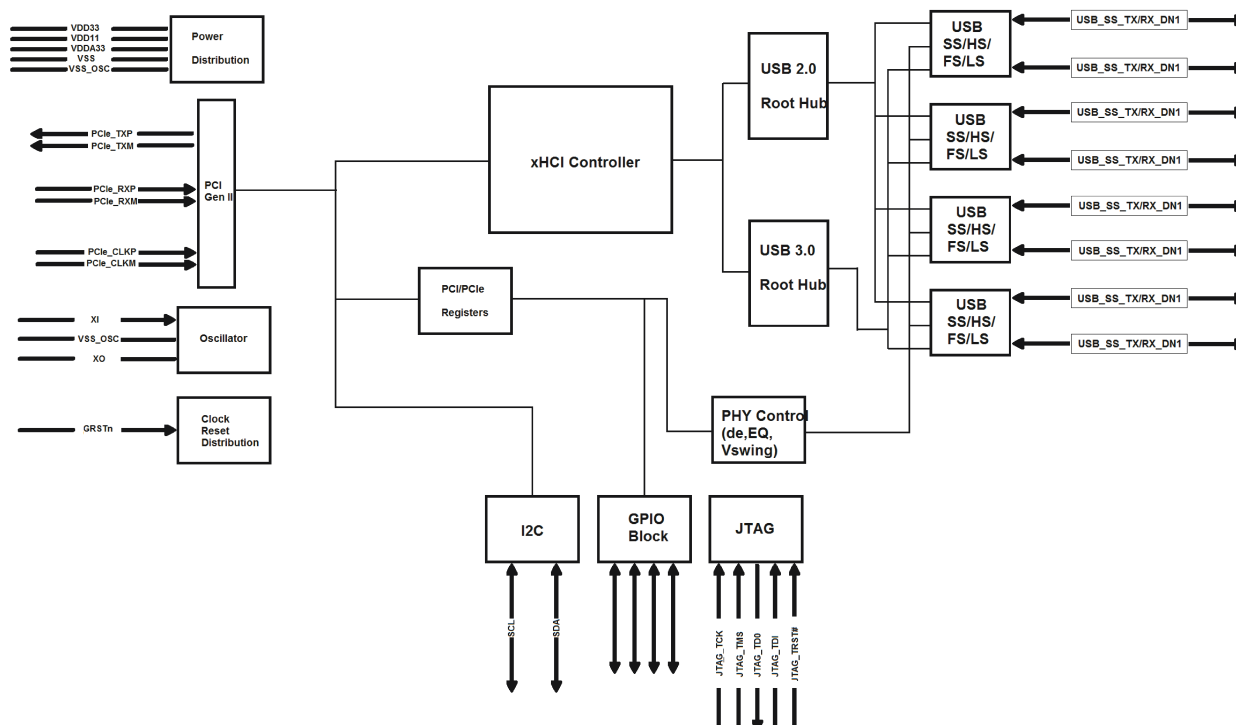
- (1) 「デバイス アクティブ」は、接続されているデバイスがアクティブにデータを転送していることを示します。
(2) ダウンストリーム デバイスは接続されていません。

6 詳細説明

6.1 概要

TUSB73x0 は、PCIe x1 Gen 2 インターフェイスを介してホスト システムに接続し、ダウンストリーム USB ポートに SuperSpeed、ハイスピード、フルスピード、またはロースピードの接続を提供します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 PHY 制御

6.3.1.1 出力電圧スイング制御

各トランスミッタの出力スイングは、[ディエンファシスおよびスイング制御レジスタ](#)セクションの **SWING** ビットを使って、複数の設定の中から個別に設定できます。

出力振幅を低減すると、消費される電流は振幅の減少に正比例して減少するため、消費電力が削減されます。

表 6-1. 差動出力スイング

SWING 値	AC 結合の振幅
0000	2.7
0001	147
0010	222
0011	298
0100	373
0101	449
0110	525
0111	600
1000	702
1001	777
1010	853
1011	928
1100	1050
1101	1082
1110	1164
1111	1253

6.3.1.1.1 ディエンファシス制御

ディエンファシスは、接続されている媒体での高周波減衰を補償する手段を提供します。ディエンファシスにより、信号の遷移を伴わないビットの出力振幅は、遷移を伴うビットの出力振幅よりも小さくなります。ディエンファシスおよびスイング制御レジスタの PORTx_DE ビットにより、15 種類のディエンファシス設定が提供されます。

表 6-2. 差動出力ディエンファシス

値	振幅縮小	
	%	dB
0000	0	0
0001	5.33	-0.48
0010	9.52	-0.87
0011	13.8	-1.29
0100	18.1	-1.73
0101	22.5	-2.21
0110	27.0	-2.73
0111	31.4	-3.28
1000	36.2	-3.9
1001	40.8	-4.55
1010	45.4	-5.26
1011	50.2	-6.05
1100	55.0	-6.93
1101	59.7	-7.90
1110	64.5	-8.99
1111	69.3	-10.27

6.3.1.2 アダプティブ イコライザ

このマクロ ファミリのすべての受信チャンネルにはアダプティブ イコライザが内蔵されており、信号の高周波成分に対して低周波成分を減衰させることでチャンネル挿入損失を補償し、シンボル間干渉を低減します。

イコライザは、イコライザ制御レジスタの Portx_EQ ビットにより構成できます。表 6-3 に、オプションを示します。

- アダプティブ イコライゼーションなし。イコライザは、最大ゲインでフラットな応答を提供します。この設定は、レシーバのジッタが、周波数依存の損失ではなく、クロストークの結果として主に発生する場合に適切です。
- 完全アダプティブ イコライゼーション。イコライザの低周波数ゲインとゼロ点はどちらも、受信データのデータ パターンと遷移位置を分析することにより、アルゴリズム的に決定されます。FTC は、ゼロ点を制御するアルゴリズムを指します。FTC ノーマル モードでは、より多くのイコライゼーションが必要になると、ゼロ点の周波数が低下します。FTC リバース モードでは、より多くのイコライゼーションが必要な場合にゼロ点の周波数が増加します。ほとんどのアプリケーションでは、FTC リバース設定の完全アダプティブを使用する必要があります。
- ホールド。イコライザ状態は、電流ゲイン レベルとゼロ ポイントに保持されます。
- 初期化。イコライザは中間点ゲイン レベルに初期化され、ゼロはレシーバのデータレートに適した周波数に設定されます。
- 部分的アダプティブ イコライゼーション。イコライザの低周波数ゲインは、受信データのデータ パターンと遷移位置を分析することにより、アルゴリズム的に決定されます。ゼロ点は 8 つのゼロ点のいずれかに固定されます。特定のアプリケーションでは、最適な設定はデータレートに加え、チャンネルの損失特性、信号のスペクトル密度によって決まります。これは、データレートだけでは最適な設定を識別することができないことを意味します。一般的には、ライン レートが低いほど、必要とされるゼロ周波数が低くなります。

有効化すると、レシーバ イコライゼーション ロジックはデータ パターンと遷移時間を分析して、イコライザの低周波数ゲインを増減させるべきかを判断します。完全アダプティブ設定 (**EQ = 0001**) では、低周波数ゲインが最小値に達すると、ゼロ周波数は低下します。同様に、最大値に達すると、ゼロ周波数は増加します。

決定ロジックは、比較的長い分析間隔を持つ投票アルゴリズムとして実装されています。時定数が遅いため、誤った決定の可能性が低下しますが、イコライザはチャンネルの比較的安定した応答を補償できます。

表 6-3. レシーバ イコライザ構成

EQ 値	振幅縮小	
	低周波ゲイン	ゼロ周波数
0000	最大	-
0001	完全アダプティブ、FTC ノーマル	
0010	完全アダプティブ、FTC リバース	
0011	ホールド	
0100	初期化	
0101		
0110		
0111		
1000	部分的アダプティブ	365MHz
1001		275MHz
1010		195MHz
1011		140MHz
1100		105MHz
1101		75MHz
1110		55MHz
1111		50MHz

6.3.2 入カクロック

6.3.2.1 クロック ソースの要件

TUSB73x0 は、外部発振器ソースまたは水晶振動子ユニットをサポートしています。クロックソースの周波数は 48MHz とすることができます。水晶振動子の代わりに XI にクロックが供給される場合、XO はオープンのままにし、VSSOSC を PCB のグランド プレーンに接続する必要があります。水晶振動子を使用する場合、以下のガイドラインに従って接続する必要があります。

XI と XO は PCB 上の他のリードおよび電源とカップリングされるため、トレースをできるだけ短くして、すべてのスイッチング リードから離すことが大切です。XI と XO の間の容量を最小化することも推奨します。これは、VSSOSC リードを 2 つの外付けコンデンサ CL1 および CL2 に接続し、クリーンなグランド ラインでシールドすることで実現できます。水晶振動子を使用する場合、VSSOSC を PCB のグランドに接続してはなりません。

水晶振動子のベンダによって変化する水晶振動子の負荷容量、(C_{load}) は、水晶振動子から見た発振回路システム全体の合計容量値です。これには 2 つの外付けコンデンサ CL1 および CL2 が内蔵されています。

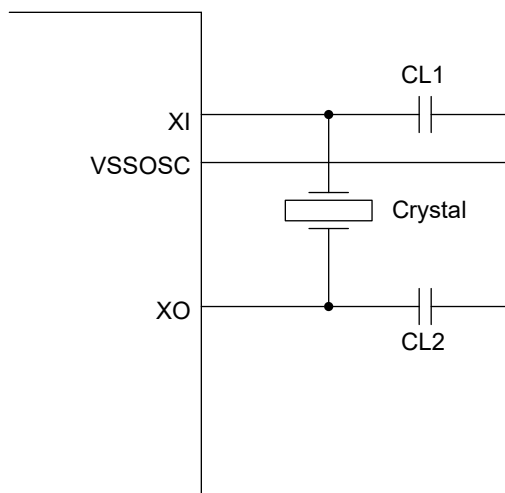


図 6-1. 発振回路

6.3.2.2 外部クロック

外部クロック ソースを使用する場合、リファレンス クロックの周波数安定性が $\pm 100\text{PPM}$ 以上で、絶対ピーク ツー ピークのジッタが 50ps 未満、または USB 3.0 のジッタ伝達関数適用後にピーク ツー ピークのジッタが 25ps 未満である必要があります。XI はクロック ソースに接続し、XO はフローティングのままにする必要があります。入力クロックは 1.8V LVCMOS にする必要があります。この入力には 3.3V 耐性ではありません。

6.3.2.3 外部水晶振動子

水晶振動子を使用する場合、XI と XO の間に $2\text{M}\Omega$ の外付け帰還抵抗が必要です。水晶振動子の他の仕様については、[水晶振動子の仕様](#)を参照してください。

6.4 プログラミング

6.4.1 2 線式シリアルバス インターフェイス

ホスト コントローラは、2 線式のシリアルバス インターフェイスを備えており、外部 EEPROM からサブシステム識別情報と、特定のレジスタ デフォルト値をロードします。シリアルバス インターフェイス信号には、SDA と SCL が含まれます。外部 EEPROM の使用はオプションです。TUSB73x0 はデフォルト設定で機能します。マザーボード ダウン アプリケーションでは、BIOS を使用して TUSB73x0 で使用可能なすべてのオプションを設定できます。

PCIe アドイン カードでは、次のいずれかに該当する場合にのみ EEPROM が必要です。

- 1 つまたは複数の USB ポートを取り外し不可としてマークする。
- 1 つ以上の USB ポートを無効にする。
- PCIe サブシステム ID とサブシステム ベンダ ID を設定する。
- SuperSpeed USB ポートのデフォルトのディエンファシス / スイング / イコライザ設定を変更する。
- PCIe のデフォルトの L0s および L1 レイテンシ値を変更する。
- デフォルトの PWRON 極性を、アクティブ Low ではなくアクティブ High に変更する。

6.4.1.1 シリアルバス インターフェイスの実装

シリアルバス インターフェイスをイネーブルにするには、SCL 信号にプルアップ抵抗を実装する必要があります。PERST# または GRST# の立ち上がりエッジのうち、時間的に遅い方で、SCL 端子のプルアップ抵抗がチェックされます。1 が検出されると、[シリアル バス制御およびステータス レジスタ](#)のビット 3 (SBDETECT) が設定されます。ソフトウェアは、SBDETECT ビットに 0b を書き込むことで、いつでもシリアルバス インターフェイスを無効にできます。外部 EEPROM が不要な場合、SCL 信号にプルダウン抵抗を接続することで、シリアルバス インターフェイスは永続的に無効になります。

ホスト コントローラには、1 つのクロック信号 (SCL) と 1 つのデータ信号 (SDA) を持つ 2 端子シリアル インターフェイス が実装されています。SCL 信号はホスト コントローラからの単方向出力で、SDA 信号は双方向です。どちらもオープン ドレイン信号であり、プルアップ抵抗が必要です。ホスト コントローラはバス コントローラ デバイスであり、データ転送中は約 60kHz で SCL を駆動し、バス アイドル状態時は SCL をハイ インピーダンス状態 (0 周波数) にします。シリアル EEPROM はバス ターゲット デバイスであり、A0h と同じターゲット アドレスをアクノリッジする必要があります。図 6-2 に、2 線式シリアル バスを実装するアプリケーション例を示します。

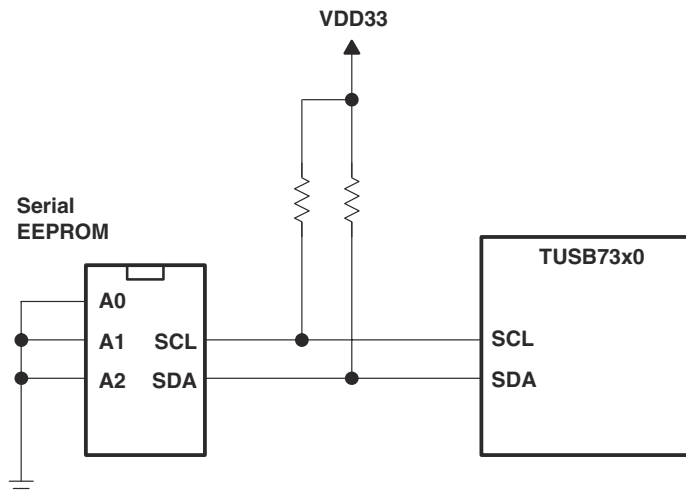


図 6-2. シリアル EEPROM アプリケーション

6.4.1.2 シリアルバス インターフェイス プロトコル

すべてのデータ転送は、シリアルバス コントローラによって開始されます。データ転送の開始は、開始条件で示されます。図 6-3 に示すように、SCL が High 状態のときに SDA ラインが Low 状態に遷移すると通知されます。要求されたデータ 転送の終了は、停止条件によって示されます。この条件は、図 6-3 に示すように、SCL が High 状態のときに SDA が Low から High に遷移することで通知されます。SCL 信号が High 状態の間、SDA のデータは安定している必要があります。SCL が High 状態の間に SDA 信号が変化すると、制御信号、つまり開始条件または停止条件として解釈されるためです。

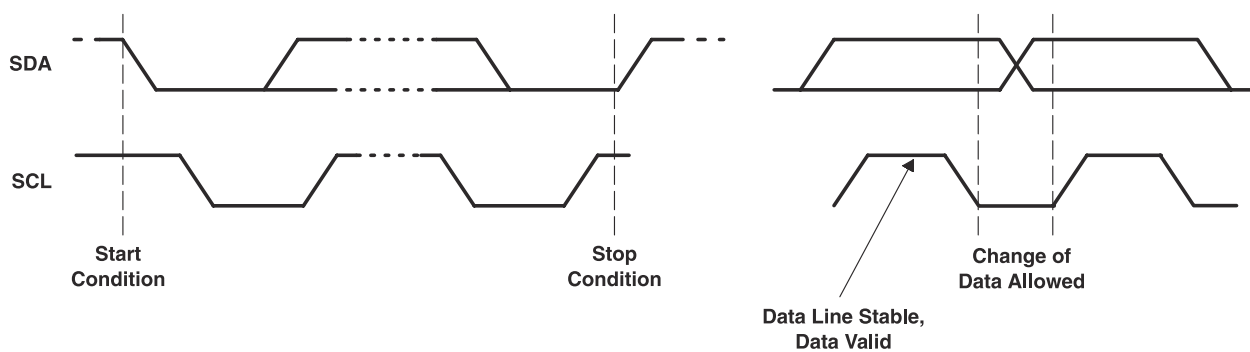


図 6-3. シリアルバスの開始 / 停止条件とビット転送

データは 8 ビット単位でシリアル転送されます。データ転送動作中、送信される正確なバイト数は無制限です。ただし、データ転送動作を継続するには、各バイトの後にアクノリッジ ビットが続きます。アクノリッジ (ACK) は、データ バイト レシーバが SDA 信号を Low にプルすることで示され、SCL 信号が High 状態の間も Low に維持されます。図 6-4 にアクノリッジ プロトコルを示します。

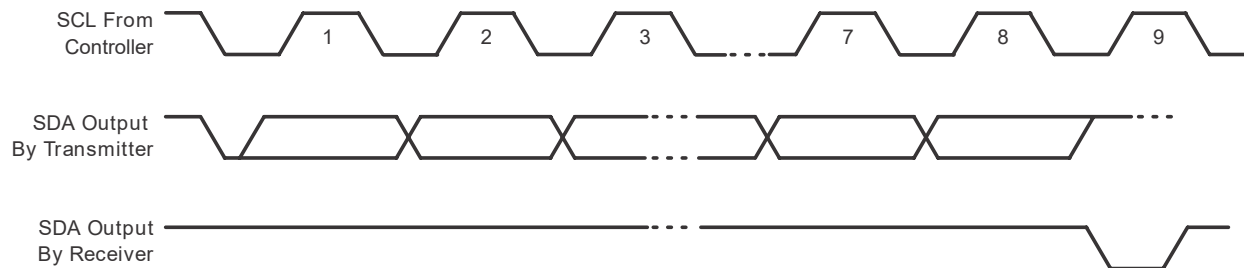


図 6-4. シリアルバス プロトコル アクノリッジ

ホスト コントローラは、シングル バイトの読み取り、シングル バイトの書き込み、マルチ バイトの読み取りという 3 つの基本的なシリアルバスの動作を実行します。シングル バイト動作はソフトウェア制御で行われます。マルチバイト読み取り動作は、PCI Express リセット直後にシリアル EEPROM 初期化回路によって実行されます。ホスト コントローラがサブシステム識別情報と他のレジスタ デフォルトをシリアルバス EEPROM から自動的にロードする方法の詳細については、[TUSB7340 の消費電力「シリアルバス EEPROM アプリケーション」](#)を参照してください。

図 6-5 に、シングル バイトの書き込みを示します。ホストコントローラは開始条件を発行し、7 ビットのターゲット デバイス アドレスを送信し、R/W コマンドビットは 0b と等しくなります。R/W コマンドビットに 0b がある場合、データ転送が書き込みであることを示します。ターゲット デバイスは、ターゲット アドレスを認識するとアクノリッジします。ホスト コントローラによってアクノリッジが受信されない場合、シリアルバス制御およびステータス レジスタにビット 1 (SB_ERR) が設定されます (PCI オフセット BCh、[シリアル バス制御およびステータス レジスタ](#)を参照)。次に、EEPROM ワード アドレスがホスト コントローラから送信され、別のターゲット アクノリッジが期待されます。次に、ホスト コントローラはデータ バイトの MSB を最初に送信し、停止条件を発行する前に、最後のアクノリッジを想定します。

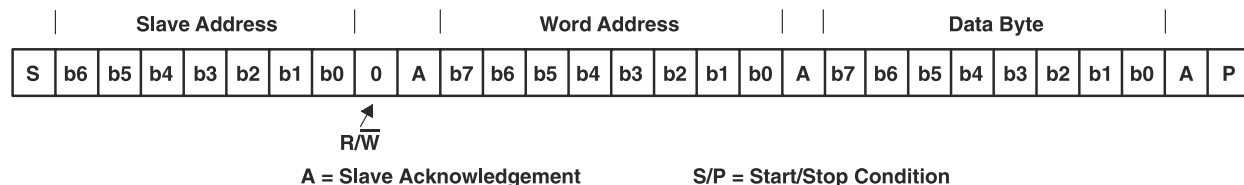


図 6-5. シリアルバス プロトコル – バイト書き込み

図 6-6 に、シングル バイトの読み取りを示します。ホストコントローラは開始条件を発行し、7 ビットのターゲット デバイス アドレスを送信します。その際、R/W コマンドビットは 0b (書き込み) となります。ターゲット デバイスは、ターゲット アドレスを認識するとアクノリッジします。次に、EEPROM ワード アドレスがホスト コントローラから送信され、別のターゲット アクノリッジが期待されます。次に、ホスト コントローラは再起動条件を発行してから 7 ビットのターゲット アドレスを送信し、R/W コマンド ビットが 1b (読み取り) と等しくなります。再び、ターゲット デバイスはアクノリッジで応答します。次に、ターゲット デバイスは 8 ビット データ バイトを MSB から順に送信します。これは 1 バイトの読み取りなので、ホスト コントローラは応答なし (ロジック High) で応答し、最後のデータ バイトを示します。最後に、ホスト コントローラは停止条件を発行します。

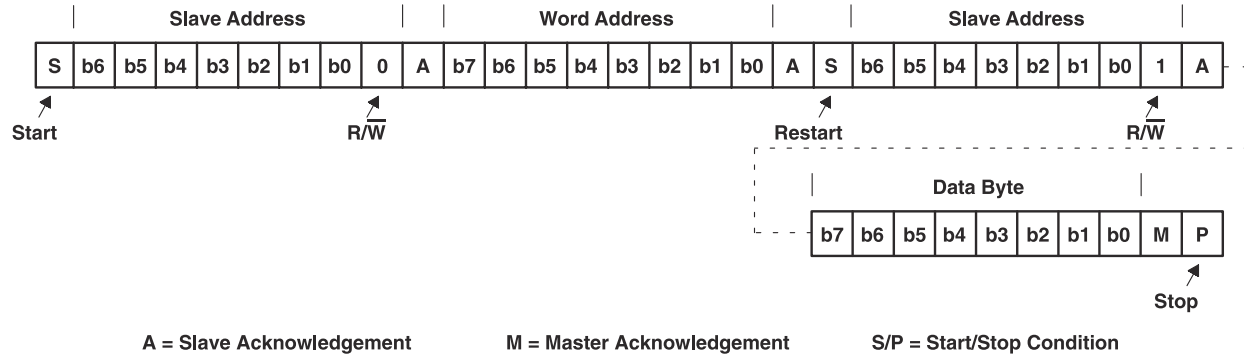


図 6-6. シリアルバス プロトコル – バイト読み取り

図 6-7 に、マルチバイト シリアル EEPROM ダウンロード中のシリアル インターフェイス プロトコルを示します。シリアルバス プロトコルは、1 バイトの読み取りとまったく同じ手順で開始されます。唯一の違いは、複数のデータ バイトが転送されることです。転送されるデータ バイトの数は、ホスト コントローラによって制御されます。各データ バイトの後、さらに多くのデータ バイトが要求されると、ホスト コントローラはアクノリッジ (ロジック Low) を発行します。ホスト コントローラ アクノリッジ なし (ロジック High) に続いて停止条件が発生すると、転送が終了します。

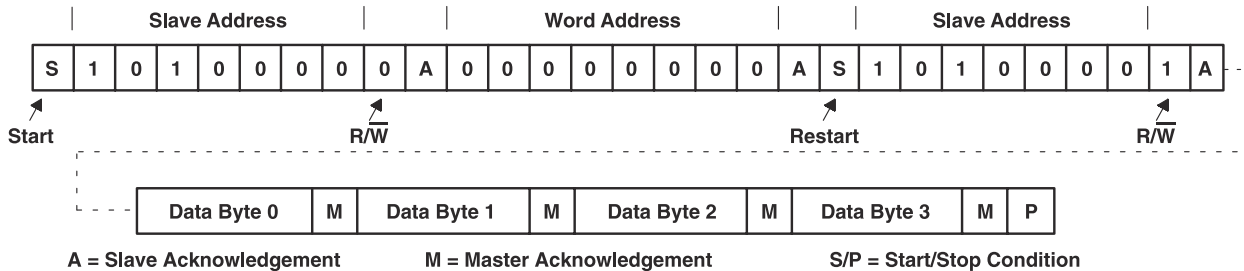


図 6-7. シリアルバス プロトコル – マルチバイト読み取り

シリアルバス制御およびステータス レジスタのビット 7 (PROT_SEL) は、シリアルバス プロトコルを変更します。前述の 3 つのシリアルバス プロトコルの図はそれぞれ、PROT_SEL ビットのデフォルト (ロジック Low) を示しています。この制御ビットがアサートされると、ワード アドレスと対応するアクノリッジがシリアルバス プロトコルから削除されます。この機能により、システム設計者は外付け EEPROM デバイスを選択するときに、2 番目のシリアルバス プロトコルのオプションを選択できます。

6.4.1.3 シリアル バス EEPROM アプリケーション

複数のレジスタをプリロードするために、シリアル EEPROM インターフェイスが実装されています。レジスタと、EEPROM によりロードされる対応ビットを表 6-4 に示します。

表 6-4. EEPROM レジスタ ロード マップ

シリアル EEPROM ワード アドレス	バイトの説明
00h	TUSB73X0 機能インジケータ (00h)
01h	バイト数 (19h)
02h	PCI D0h、サブシステム ベンダ ID、バイト 0
03h	PCI D1h、サブシステム ベンダ ID、バイト 1
04h	PCI D2h、サブシステム ID、バイト 0
05h	PCI D3h、サブシステム ID、バイト 1
06h	PCI D4h、汎用制御 0、バイト 0
07h	PCI D5h、汎用制御 0、バイト 1
08h	PCI D8h、汎用制御 1、バイト 0

表 6-4. EEPROM レジスタ ロード マップ (続き)

シリアル EEPROM ワード アドレス	バイトの説明
09h	PCI DCh、汎用制御 2、バイト 0
0Ah	PCI E0h、USB 制御、バイト 0
0Bh	PCI E1h、USB 制御、バイト 1
0Ch	PCI E2h、USB 制御、バイト 2
0Dh	PCI E3h、USB 制御、バイト 3
0Eh	PCI E4h、ディエンファシスおよびスイング制御、バイト 0
0Fh	PCI E5h、ディエンファシスおよびスイング制御、バイト 1
10h	PCI E6h、ディエンファシスおよびスイング制御、バイト 2
11h	PCI E7h、ディエンファシスおよびスイング制御、バイト 3
12h	PCI E8h、イコライザ制御、バイト 0
13h	PCI E9h、イコライザ制御、バイト 1
14h	PCI EAh、イコライザ制御、バイト 2
15h	PCI EBh、イコライザ制御、バイト 3
16h	PCI ECh、カスタム PHY 送信 / 受信制御、バイト 0
17h	PCI EDh、カスタム PHY 送信 / 受信制御、バイト 1
18h	PCI EEh、カスタム PHY 送信 / 受信制御、バイト 2
19h	PCI EFh、カスタム PHY 送信 / 受信制御、バイト 3
1Ah	PCI 61h、フレーム長調整レジスタ
1Bh	リスト終了インジケータ (80h)

ホスト コントローラがシリアル EEPROM から初期化値を正しくロードするには、この形式に従う必要があります。EEPROM をプログラムするときは、すべてのバイト位置を考慮する必要があります。

シリアル EEPROM は、ターゲット アドレス 1010 000b のホスト コントローラによってアドレス指定されます。このターゲット アドレスは内部でハードワイヤードされており、システム設計者は変更できません。このため、EEPROM の 3 つのハードウェア アドレスビットすべてが、このアドレスを実現するために VSS に接続されています。サンプル アプリケーション回路 (図 6-2) のシリアル EEPROM は、1010b の上位アドレス ニブルを想定しています。下位 3 つのアドレス ビットはチップへの端子入力であり、サンプル アプリケーションには VSS に接続されたこれらの端子入力が示されています。

EEPROM ダウンロード動作中、シリアル バス制御およびステータス レジスタのビット 4 (ROMBUSY) がアサートされます。ダウンロードが完了した後、シリアルバス制御およびステータス レジスタのビット 0 (ROM_ERR) を監視して、ダウンロードが成功したことを確認できます。

6.4.2 システム管理割り込み

TUSB73X0 は、システム管理割り込み (SMI) ピンを搭載しており、TUSB73X0 を実装するシステムの BIOS で USB をサポートできます。SMI ピンは、USB レガシー サポート制御 / ステータス レジスタのビットによって制御されます。詳細については、[USB レガシー サポート制御 / ステータス レジスタ](#) を参照してください。保留中の SMI イベントがない場合、または SMI 用のすべてのソースが無効化されている場合、TUSB73X0 は SMI ピンを Low に駆動します。SMI イベントが発生し、対応するイベントが有効化されると、TUSB73X0 は、イベントがクリアまたは無効化されるまで SMI ピンを High に駆動します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TUSB7340EVM ボードは、4 ポート、PCIe をベースとする SuperSpeed USB (USB 3.0) 拡張可能ホスト コントローラ (xHCI) 向けのスタンドアロン型リファレンス デザインです。これを使用して、システムの互換性を評価します。Microsoft® WHQL 認証済みの xHCI 準拠ドライバ スタックも提供されています。TUSB7340 は USB 2.0 と完全に下位互換で、すべてのデータ転送速度をサポートする USB ペリフェラルとハブをサポートしています。USB 2.0 ロースピード (1.5Mbps)、USB 2.0 フルスピード (12Mbps)、USB 2.0 ハイスピード (480Mbps)、さらに SuperSpeed USB (5Gbps)。SuperSpeed データ転送を評価するには、SuperSpeed ペリフェラルが必要です。

7.1.1 特長

- HCI に準拠したドライバ スタック
- すべての USB データ転送レートをサポート
 - フルスピードとロースピードのサポート
 - ハイスピードのサポート
 - スーパースピードのサポート
- 堅牢なデバイス クラスのサポート
- 大容量記憶装置向け UASP のサポート
- Windows XP™、Windows Vista™、Windows® 7 で利用可能
 - 32 ビットと 64 ビットの両方に対応
- オープン ソース コミュニティによる Linux® サポートが利用可能

7.2 代表的なアプリケーション

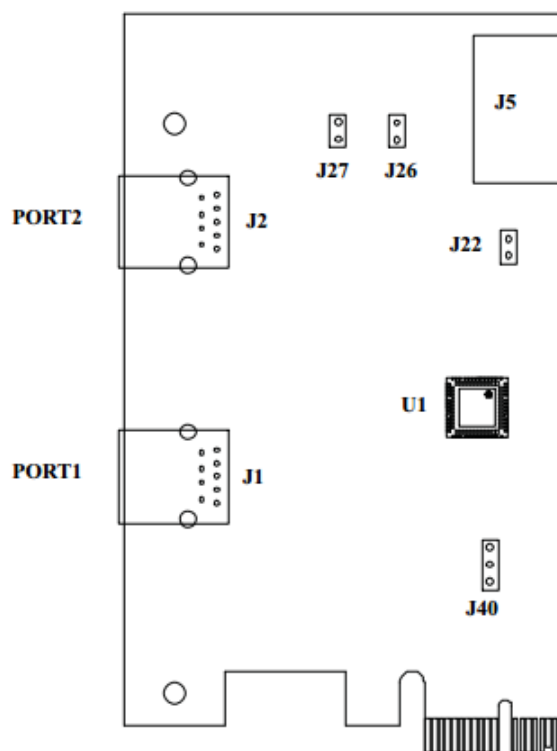


図 7-1. TUSB7320 DEMO 評価基板 REV B

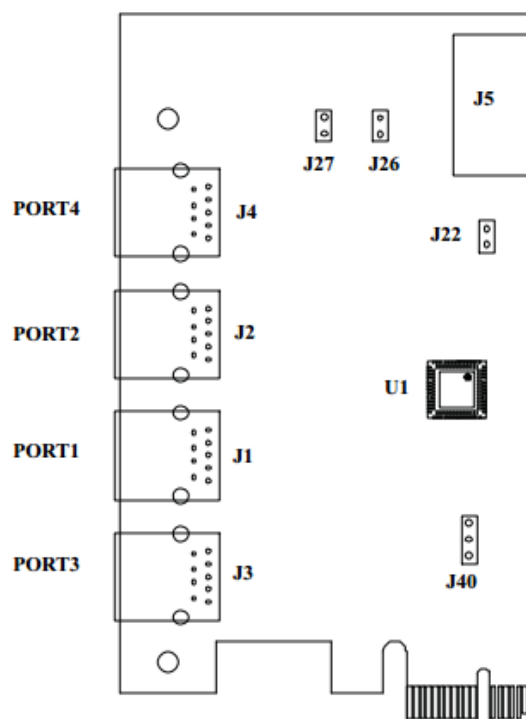


図 7-2. TUSB7340 DEMO 評価基板 REV B

7.2.1 設計要件

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	1.1V ~ 3.3V
出力電圧	5V
出力電流定格	484MHz

7.2.2 詳細な設計手順

7.2.2.1 アップストリームの実装実施

TUSB7320 のアップストリーム ポートは、PCIe x1 Gen 2 インターフェイスに接続します。48Mhz 外部水晶振動子を使用しているため、XI と XO の間に 2MΩ 外部帰還抵抗が必要です。

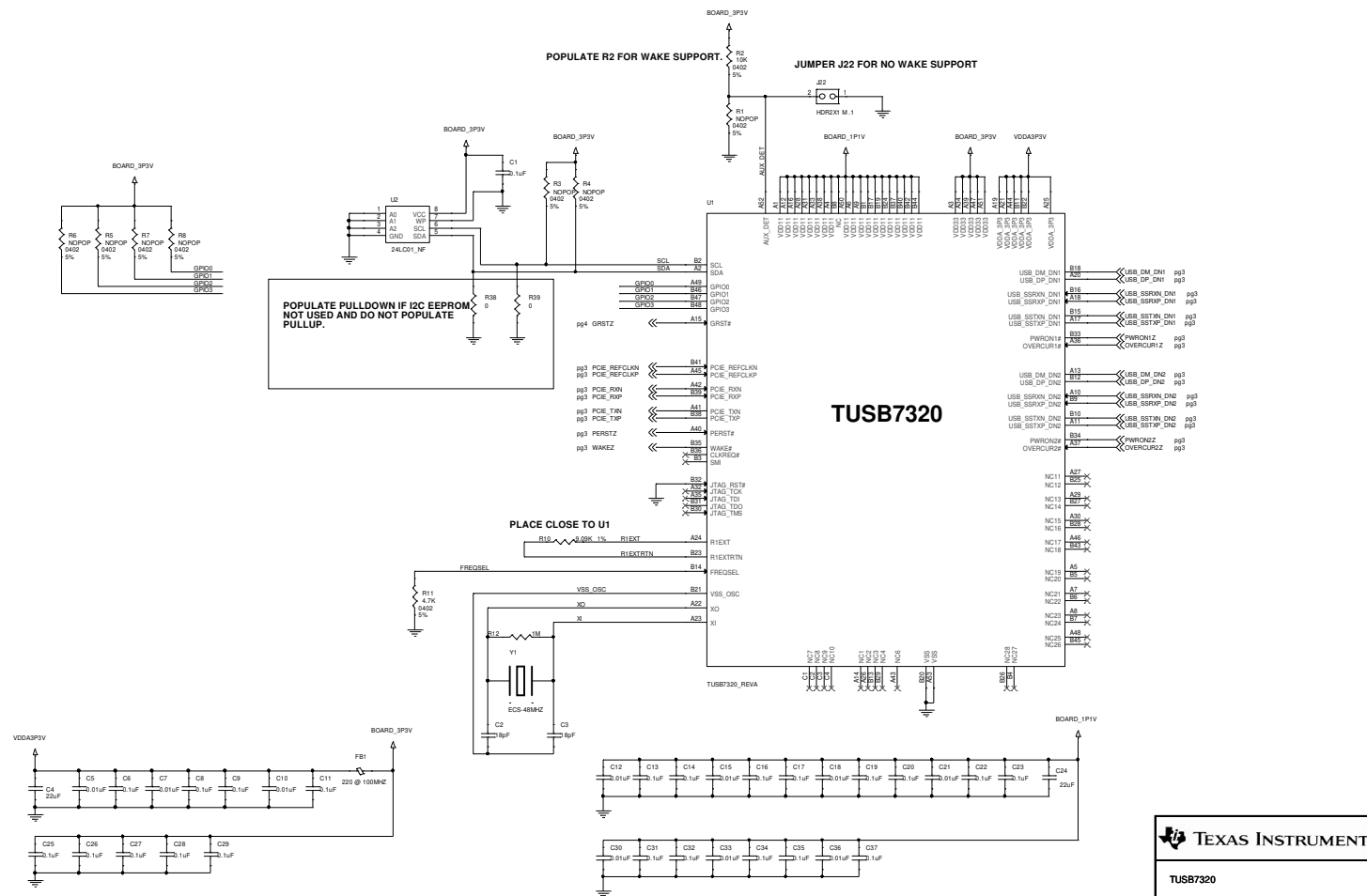


図 7-3. リファレンス デザイン 1

7.2.2.2 ダウンストリーム ポートの実装

TUSB7320 のダウンストリーム ポートは USB3 Type A コネクタに接続します。

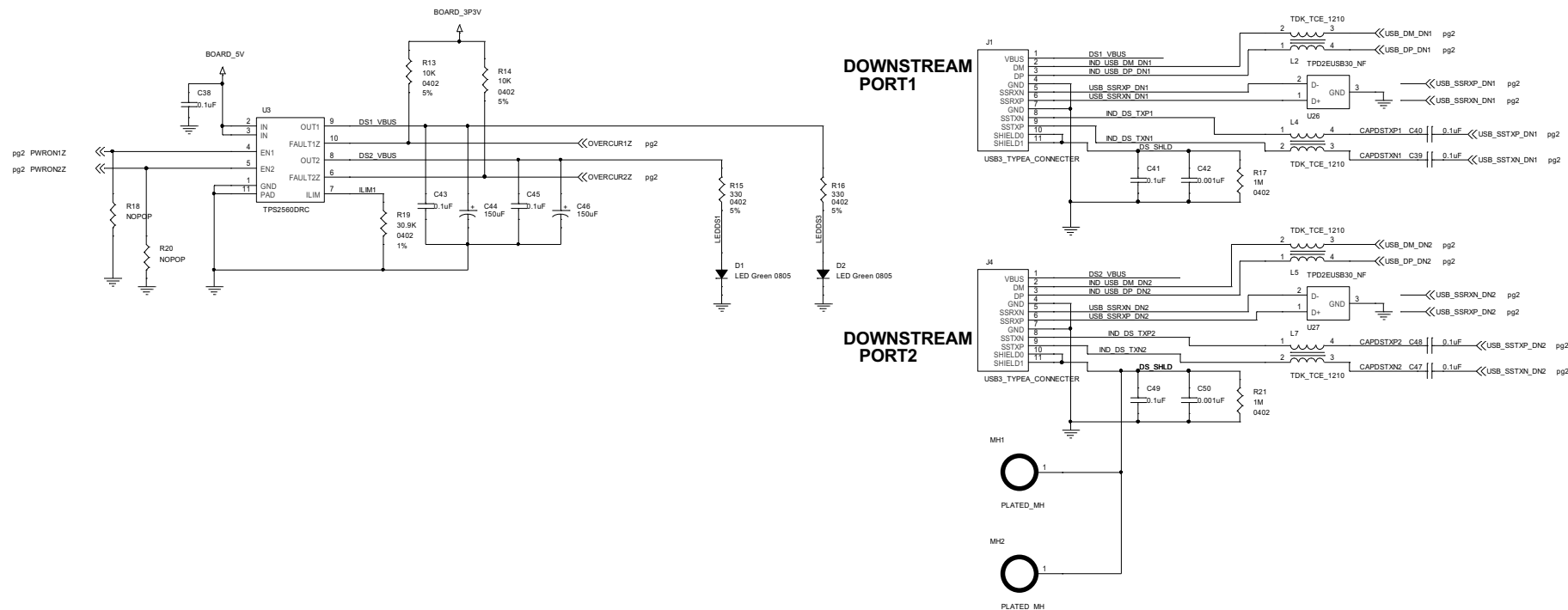


図 7-4. リファレンス デザイン 2

7.2.2.3 PCI Express コネクタ

PERp 信号と PERn 信号は、カップリング コンデンサ (0.1μF) に接続する必要があります。

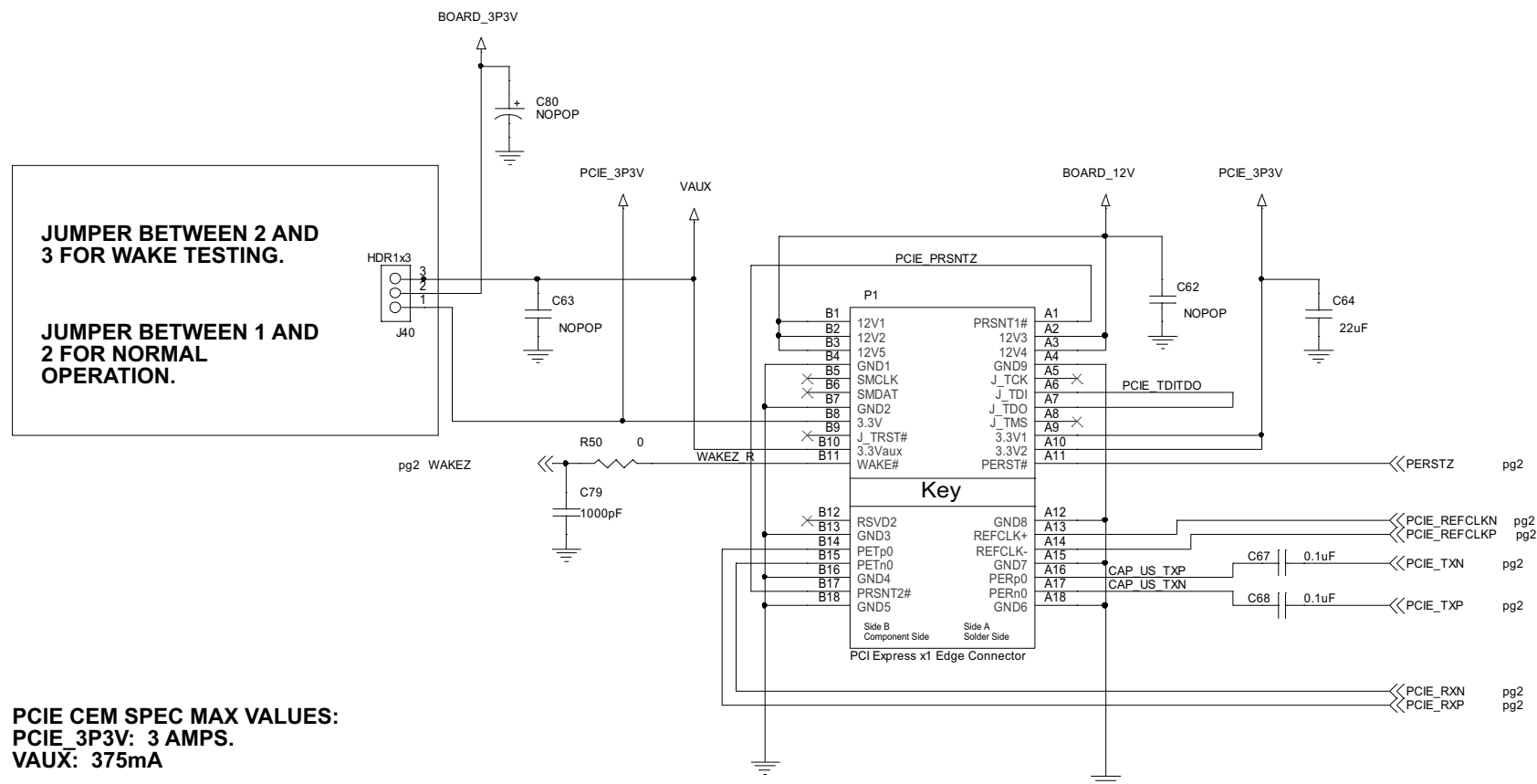


図 7-5. リファレンス デザイン 3

7.2.2.4 1.1V レギュレータ

1つの電源のみを使用するには、1.1Vレギュレータを使用する必要があります。

1.1V REGULATOR

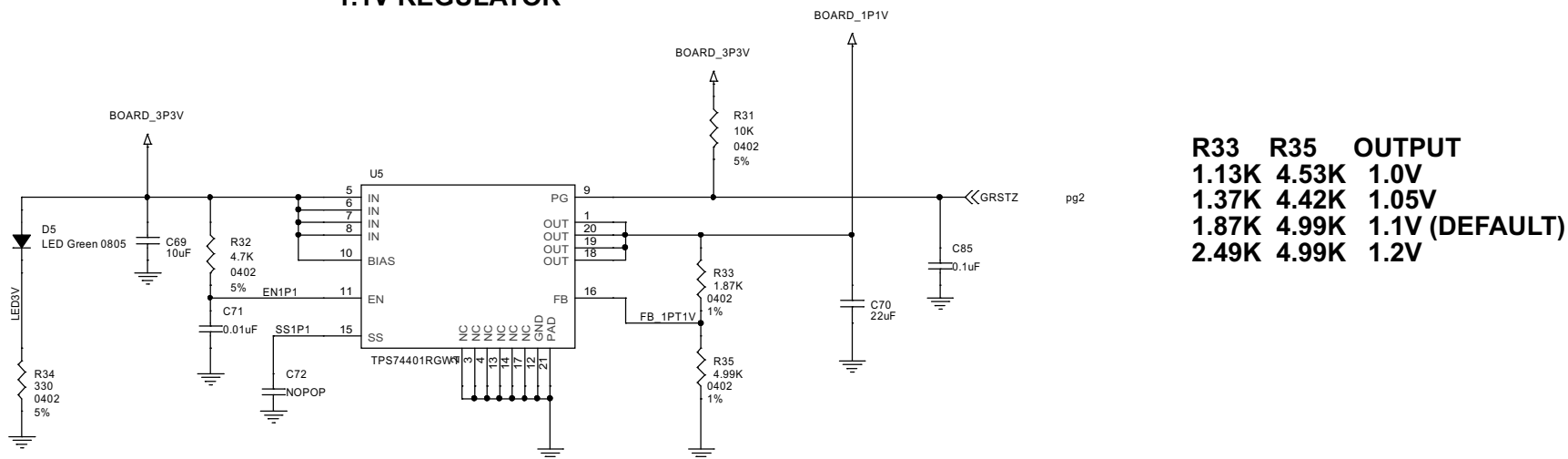


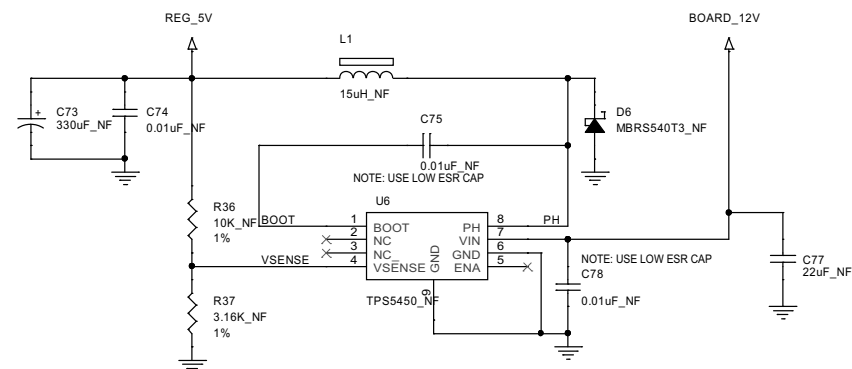
図 7-6. リファレンス デザイン 4

7.2.2.5 5V VBUS オプション

5V 電源を生成するために実装できるオプションは 2 つあります。1 つ目は 5V レギュレータを使用し、2 つ目は IDE 電源コネクタを使用します。

5V VBUS OPTIONS

OPTION 1: 5V REGULATOR



OPTION 2: 5V FROM IDE CONNECTOR

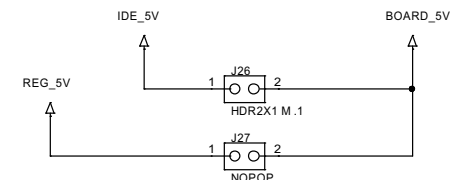
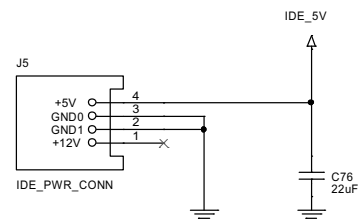


図 7-7. リファレンス デザイン 5

7.2.3 アプリケーション曲線

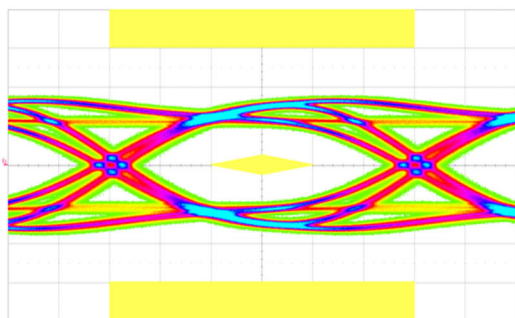


図 7-8. 超高速ダウンストリーム ポート 1

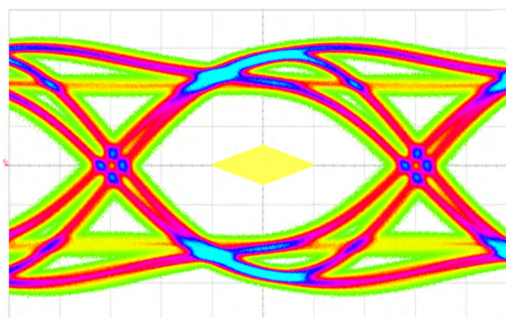


図 7-9. 超高速ダウンストリーム ポート 2

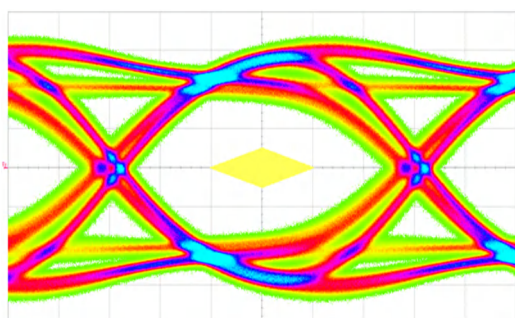


図 7-10. 超高速ダウンストリーム ポート 3

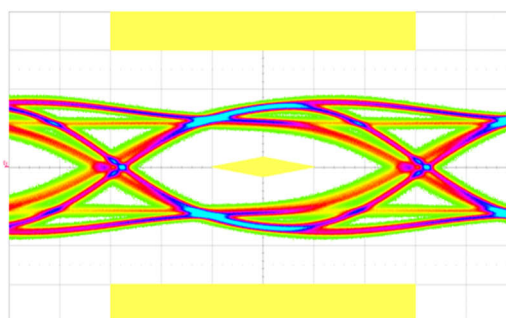


図 7-11. 超高速ダウンストリーム ポート 4

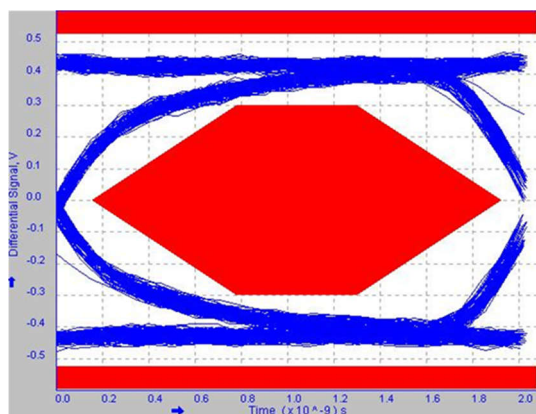


図 7-12. 高速ダウンストリーム ポート 1

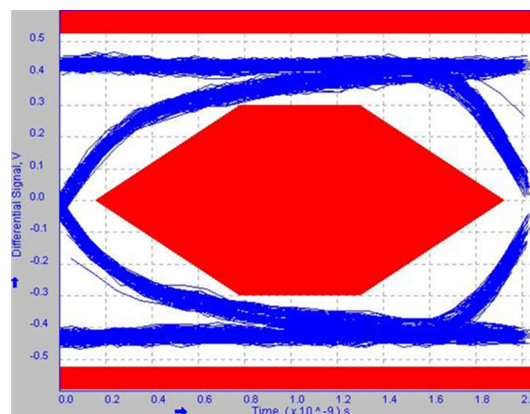


図 7-13. 高速ダウンストリーム ポート 2

7.2.3 アプリケーション曲線 (続き)

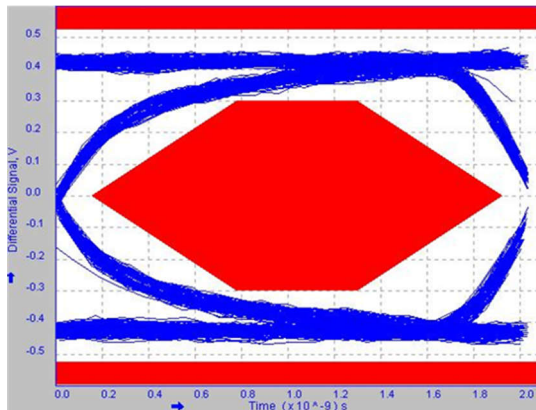


図 7-14. 高速ダウンストリーム ポート 3

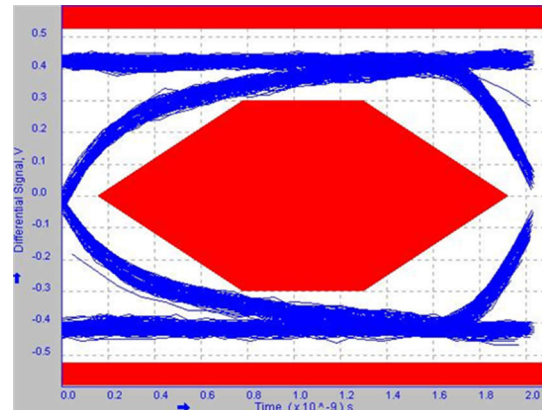


図 7-15. 高速ダウンストリーム ポート 4

7.3 電源に関する推奨事項

7.3.1 パワーアップおよびパワーダウン シーケンス

ホスト コントローラには、1.1V および 3.3V の両方の電源端子があります。以下のパワーアップおよびパワーダウン シーケンスは、これらの端子にどのように電力が供給されるかを示しています。

また、ホスト コントローラには次の 3 つのリセットがあります。PERST#、GRST#、内部パワーオンリセット。これらのリセットについては次のセクションで詳しく説明します。以下のパワーアップおよびパワーダウン シーケンスは、ホスト コントローラに PERST# がどのように適用されるかを示しています。

PCI Express 基準クロック (PCIE_REFCLK) のアプリケーションは、パワーアップ / パワーダウン シーケンスに重要であり、以下のパワーアップおよびパワーダウンに関する説明に含まれています。

7.3.1.1 パワーアップ シーケンス

1. PERST# をデバイスにアサートします。
2. 3.3V の後に 1.1V の電圧を印加します。推奨される 1.1V および 3.3V 電源ランブ時間は 1ms 以上 (0% ~ 100% で測定) です。
3. 1.1V と 3.3V の両方の電圧が推奨最小動作電圧に達するまでは、GRST# をアサートしたままにする必要があります。推奨動作条件を参照してください。水晶振動子の代わりに 48MHz リファレンス クロックを使用する場合、48MHz クロックが安定するまで GRST# をアサートしたままにする必要があります。
4. 安定した PCI Express リファレンス クロックを印加します。
5. PCI Express 仕様要件を満たすために、次の 2 つの遅延要件が満たされるまで PERST をデアサートできません。

安定した PCI Express リファレンス クロックを印加した後、少なくとも 100μs 待ちます。100μs という制限値は、PERST のデアサートに伴う安定したデバイス クロックの要件を満たしています。

電力を印加した後、少なくとも 100ms 待ちます。100ms という制限値は、PERST のデアサートに伴う安定した電力の要件を満たしています。

図 7-16 のパワーアップ シーケンス図を参照してください。

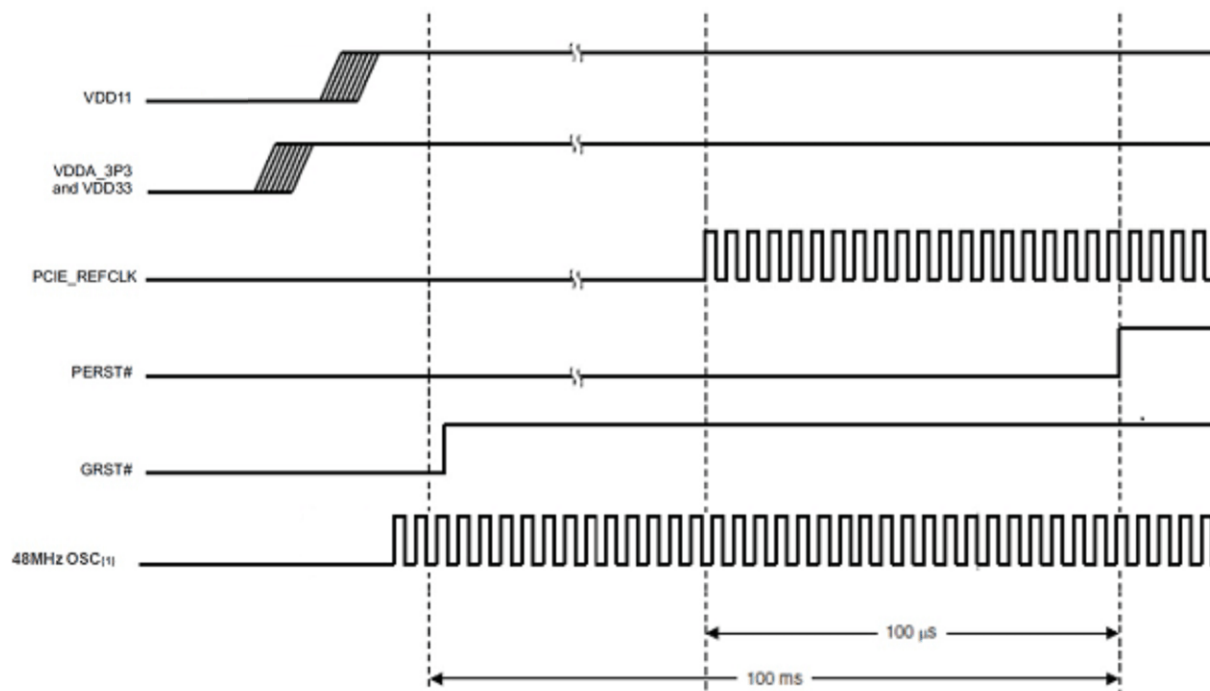


図 7-16. パワーアップ シーケンス

7.3.1.2 電源オフ シーケンス

1. PERST# をデバイスにアサートします。
2. 基準クロックを取り外します。
3. 3.3V と 1.1V の電圧を取り外します

図 7-17 のパワーダウン シーケンスの図を参照してください。システム シャットダウン後に VDD33_AUX 端子に電力を供給し続ける場合、ホスト コントローラのパワーダウン シーケンスは、図 7-17 に示すものとまったく同じです。

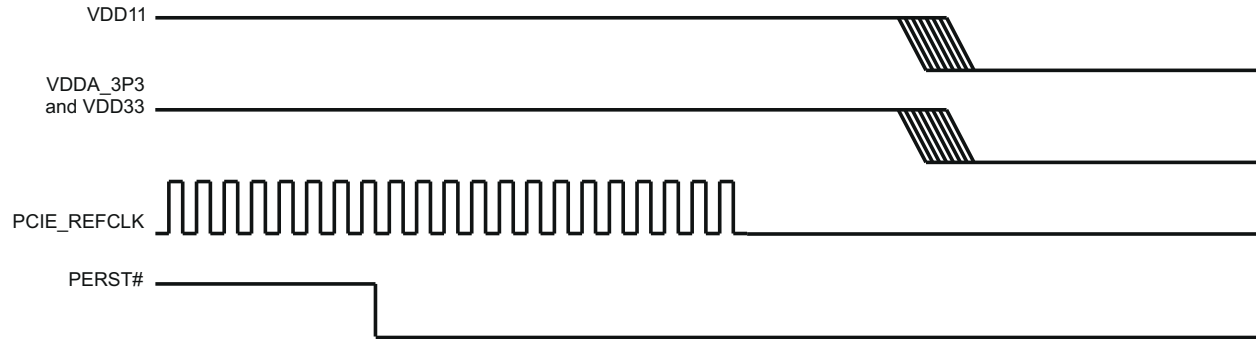


図 7-17. 電源オフ シーケンス

7.3.2 PCI Express パワー マネージメント

TUSB73X0 には、MSI-X テーブルと PBA がメモリ マップされたレジスタ空間に含まれています (表 8-195 を参照)。これらのレジスタには、ベース アドレスレジスタ 2/3 にプログラムされたアドレスからアクセスできます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

7.4.1.1 高速差動の配線

高速差動ペア (USB_DM と USB_DP) は、タイプ A USB コネクタに接続します。差動ペアトレースは、 $90\Omega \pm 15\%$ の差動インピーダンスで配線する必要があります。高速信号ペアは、パターン長を一致させる必要があります。高速 USB 信号ペア間の最大トレース長の不一致は、150mil 以下にする必要があります。総パターン長は最小限に抑えてください。6 インチを超える配線を行う場合は、シグナル インテグリティの懸念に対処するため、TI にお問い合わせください。差動トレースを最初に配線します。

差動ペアは可能な限りビアの数を最小限に抑えて最上層または最下層に配線します。終端コンデンサやカップリング コンデンサは不要です。コモン モード チョークが必要な場合は、チョークを USB コネクタの信号ピンのできるだけ近くに配置します。同様に、ESD クランプも USB コネクタの信号ピンのできるだけ近くに配置する必要があります (チョークよりも近くに配置)。

詳細については、『USB 2.0 基板の設計およびレイアウトのガイドライン』を参照してください。このガイドラインには、USB 2.0 差動ペア (DP/DM) の一般的な PCB 設計およびレイアウトのガイドラインが記載されています。

7.4.1.2 SuperSpeed 差動配線

SuperSpeed は、送信ペア (USB_SSTXM および USB_SSTXP)、受信ペア (USB_SSRXM および USB_SSRXP) という 2 つの差動配線ペアで構成されています。各差動ペアトレースは、 $90\Omega \pm 15\%$ の差動インピーダンスで配線する必要があります。高速信号ペアは、パターン長を一致させる必要があります。SuperSpeed USB 信号ペア間の最大パターン長の不一致を 5mil 以下にする必要があります。各差動ペアの合計長は 6 インチまでとされていますが、これは SS USB コンプライアンス チャネル仕様に基づくものであり、可能な限り避ける必要があります。SuperSpeed 差動ペアをできるだけ短くすることを推奨します。

送信差動ペアは、受信差動ペアと同じ長さである必要はありません。総パターン長を最小限に抑えます。差動トレースを最初に配線します。差動ペアは可能な限りビアの数を最小限に抑えて最上層または最下層に配線します。トランスミッタ

の差動ペアには、適切に動作させるために **0.1μF** カップリング コンデンサが必要です。これらのコンデンサのパッケージ / ケース サイズは **0402** 以下にする必要があります。**C** パックは許可されていません。コンデンサは、USB コネクタの信号ピンにできるだけ近づけ、対称に配置する必要があります。

コモン モード チョークが必要な場合は、チョークを USB コネクタの信号ピンのできるだけ近くに配置します (トランスミッタコンデンサよりも近くに配置)。同様に、**ESD** クランプも USB コネクタの信号ピンのできるだけ近くに配置する必要があります (チョークとトランスミッタのコンデンサよりも近くに配置)。

SuperSpeed 差動ペアのいずれかまたは両方でプラスとマイナスを入れ替えることができます。これは、差動配線が相互に交差しないようにするために必要な場合があります。ただし、トランスミッタ差動ペアを受信差動ペアと交換することはできません。

隣接するピンにパッドを使用しない場合は、**2010** パッドを内部ピンに使用することを推奨します。代わりに内部ピンの 1 つにパッドを使用し、次のパッドで外部ピンの間トレースをビアに配線します。

SS USB 差動信号ペアのクロストークを最小限に抑えるため、各インターフェイスの **TX** 信号ペアと **RX** 信号ペアの間隔をパターンの幅の **5 倍 (5W ルール)** にすることを推奨します。たとえば、**SS USB TX** 差動ペアのトレース幅が **5mil** の場合、**TX** と **RX** 差動ペアの間に **25mil** のスペースが必要です。この **5W** のルールを実装できない場合、**TX** と **RX** の差動ペア間のスペースをできるだけ最大化し、2 つの間にグラウンドフィルを配置する必要があります。この場合、各差動ペアを基板の反対側にグラウンドプレーンで配線することを推奨します。

7.4.2 レイアウト例

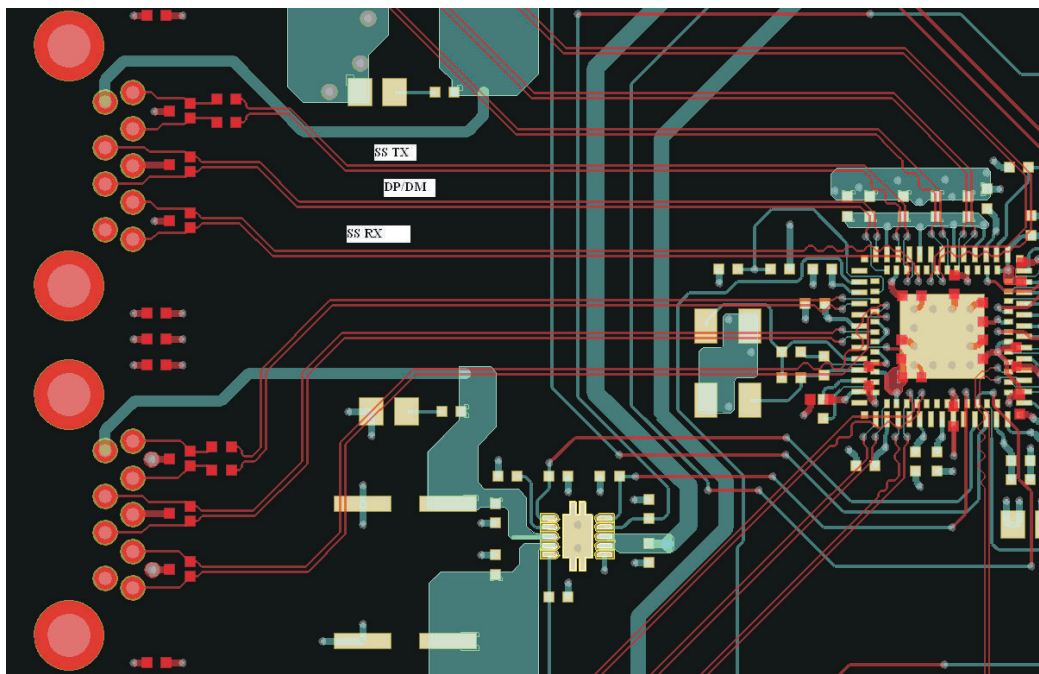


図 7-18. USB コネクタからデバイスへの USB3 および USB2 信号

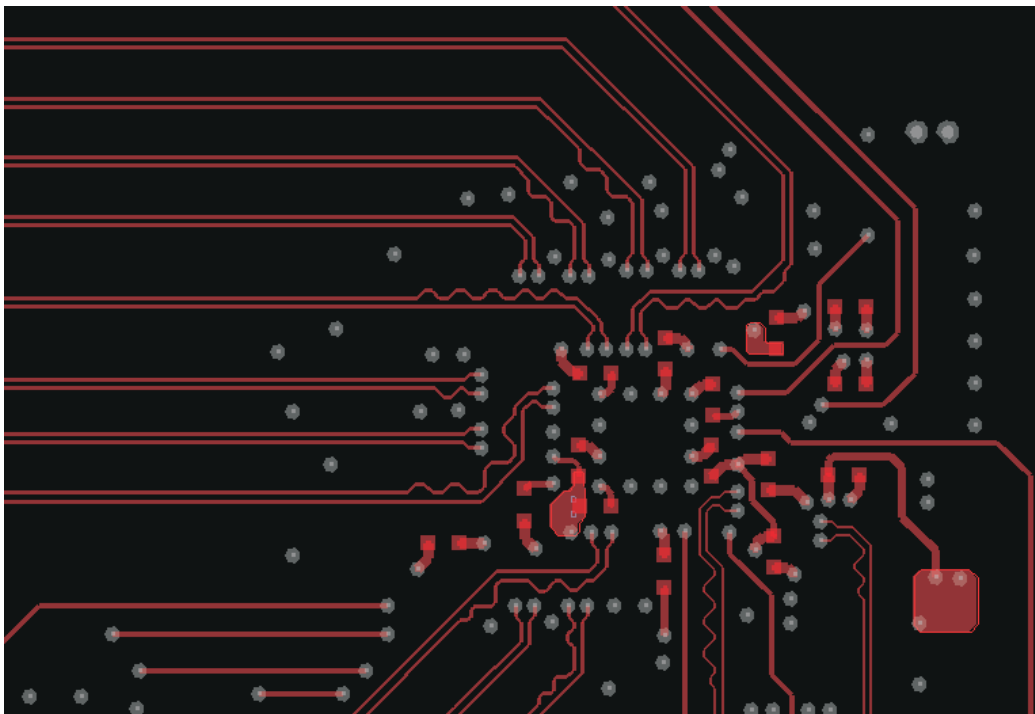


図 7-19. 長さの一致

8 レジスタ マップ

8.1 クラシック PCI 構成設定スペース

8.1.1 PCI 構成マップ

TUSB73X0 USB 3.0 ホストコントローラのプログラミング モデルは、標準の PCI デバイス プログラミング モデルに準拠しています。PCI 構成マップでは、タイプ 0 PCI ヘッダーが使用されます。

グローバルリセット (GRST) または内部で生成されたパワーオン リセットによってリセットされるスティッキー ビット、および PCI Express リセット (PERST) によってリセットされるビット、GRST、または内部で生成されたパワーオン リセットによってリセットされるビットについては、その旨が示されています。

表 8-1. PCI 構成レジスタ マップ

レジスタ名				オフセット
デバイス ID		ベンダ ID		000h
ステータス		コマンド		004h
クラスコード			リビジョン ID	008h
BIST	ヘッダー タイプ	レイテンシ タイマ	キャッシュライン サイズ	00Ch
ベース アドレス レジスタ 0				010h
ベース アドレス レジスタ 1				014h
ベース アドレス レジスタ 2				018h
ベース アドレス レジスタ 3				01Ch
予約済み				020h-028h
サブシステム ID		サブシステム ベンダ ID		02Ch
予約済み				030h
予約済み			機能ポインタ	034h
予約済み				038h
最大レイテンシ	最小グラント	割り込みピン	割り込みライン	03Ch
パワー マネージメント能力		次の項目ポインタ	PM CAP ID	040h
PM データ (RSVD)	PMCSR_BSE	パワー マネジメント CSR		044h
MSI メッセージ制御		次の項目ポインタ	MSI CAP ID	048h
MSI メッセージ アドレス				04Ch
MSI 上位メッセージ アドレス				050h
予約済み		MSI メッセージ データ		054h
予約済み				058h-05Ch
予約済み		FLADJ	SBRN	60h
予約済み				064h-06Ch
PCI Express 機能レジスタ		次の項目ポインタ	PCI Express 機能 ID	070h
デバイス機能				074h
デバイス ステータス		デバイス制御		078h
リンク機能				07Ch
リンク ステータス		リンク制御		080h
予約済み				084h-090h
デバイス機能 2				094h
デバイス ステータス 2		デバイス 制御 2		098h
リンク機能 2				09Ch
リンク ステータス 2		リンク 制御 2		0A0h
予約済み				0A4h-0ACh
シリアル バス CSR	シリアル バス ターゲットアドレス	シリアル バス インデックス	シリアル バス データ	0B0h
GPIO データ		GPIO 制御		0B4h
予約済み				0B8h-0BCh

表 8-1. PCI 構成レジスタ マップ (続き)

レジスタ名			オフセット
MSI-X メッセージ制御	次の項目ポインタ	MSI-X CAP ID	0C0h
MSI-X テーブル オフセットと BIR			0C4h
MSI-X PBA オフセットおよび BIR			0C8h
予約済み			0CCh
サブシステムへのアクセス			0D0h
汎用制御 0			0D4h
汎用制御 1			0D8h
汎用制御 2			0DCh
USB 制御			0E0h
ディエンファシスおよびスインギング制御			0E4h
イコライザ制御			0E8h
カスタム PHY 送信 / 受信制御			0ECh
予約済み			0F0h-0FCh

8.1.2 ベンダID レジスタ

この 16 ビット読み取り専用レジスタは、テキサス インストルメンツに割り当てられているベンダ ID である値 104Ch を格納しています。

PCI レジスタ オフセット: 00h

レジスタ タイプ: 読み取り専用

デフォルト値: 104Ch

表 8-2. PCI レジスタ 00h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	1	0	0	0	0	0	1	0	0	1	1	0	0

8.1.3 Device ID レジスタ

この 16 ビット読み取り専用レジスタは、TI が TUSB73X0 に対して割り当てたデバイス ID の値 8241h を格納しています。

PCI レジスタ オフセット: 02h

レジスタ タイプ: 読み取り専用

デフォルト値: 8241h

表 8-3. PCI レジスタ 02h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	1	0	0	0	0	0	1	0	0	1	0	0	0	0	0	1

8.1.4 コマンド レジスタ

コマンド レジスタを使用すると、TUSB73X0 の PCIe インターフェイスへのインターフェイスを制御できます

PCI レジスタ オフセット: 04h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000h

表 8-4. PCI レジスタ 04h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-5. ビット コマンド レジスタの説明

ビット	フィールド名	アクセス	説明
15:11	RSVD	r	予約済み。読み取り時に 0 を返します。
10	INT_DISABLE	rw	INTx# をディスエーブル。このビットは、デバイス固有の割り込みをイネーブルします。
9	FBB_ENB	r	高速連続をイネーブル。ホスト コントローラは高速な連続トランザクションを生成しないため、読み取り時にこのビットは 0 を返します。
8	SERR_ENB	rw	SERR イネーブルビット。このビットがセットされている場合、ホスト コントローラは PCI バスで検出された SERR アサートの代わりに、PCI Express インターフェイスで致命的なエラーおよび致命的でないエラーを通知できます。 0 = 致命的でないエラーおよび致命的なエラーの報告を無効にする (デフォルト) 1 = 致命的でないエラーおよび致命的なエラーの報告を有効にする
7	STEP_ENB	r	アドレス / データ ステッピング制御。ホスト コントローラはアドレス / データ ステッピングをサポートしておらず、このビットは 0b にハードワイヤードされています。
6	PERR_ENB	rw	PCI Express から受信したポイズンド TLP に応答して、ステータス レジスタ (オフセット 06h、 ステータス レジスタ を参照) のビット 8 (DATAPAR) の設定を制御します。このビットの設定に関係なく、受信したポイズンド TLP は、従来の PCI にパリティが悪い状態で転送されます。 0 = は、コントローラ データ パリティ エラー ビットの設定をディスエーブルにします (デフォルト) 1 = コントローラ データ パリティ エラー ビットの設定をイネーブルにします
5	VGA_ENB	r	VGA パレット スヌープをイネーブル有効。ホストコントローラは VGA パレット スヌーピングをサポートしていないため、読み取り時にこのビットは 0b を返します。
4	MWI_ENB	r	メモリの書き込みと無効化をイネーブル。ホスト コントローラはメモリ書き込みと無効化のイネーブルをサポートしていないため、読み取り時にこのビットは 0b を返します。
3	特殊	r	特別なサイクルをイネーブル。このホスト コントローラは特別なサイクルトランザクションには応答しないため、読み取り時にこのビットは 0 を返します。
2	CONTROLLER_ENB	rw	バス コントローラをイネーブル。このビットが設定セットされている場合、ホスト コントローラは PCI Express インターフェイス上でトランザクションを開始できるようになります。 0 = PCI Express インターフェイスはトランザクションを開始できません。ホスト コントローラは、PCI インターフェイス上のメモリおよび I/O トランザクションへの応答を無効にする必要があります (デフォルト)。 1 = PCI Express インターフェイスはトランザクションを開始できます。ホストコントローラは、PCI セカンダリ インターフェイスから PCI Express インターフェイスにメモリおよび I/O トランザクションを転送できます。
1	MEMORY_ENB	rw	メモリ空間をイネーブル。このビットを設定すると、ホスト コントローラが PCI Express インターフェイス上のメモリトランザクションに回答できるようになります。 0 = PCI Express レシーバはダウンストリーム メモリトランザクションを処理できず、サポートされていない要求 (デフォルト) で応答する必要があります 1 = PCI Express レシーバはダウンストリーム メモリトランザクションを処理できます。ホスト コントローラは、メモリトランザクションを PCI インターフェイスに転送できます。

表 8-5. ビット コマンド レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
0	IO_ENB	r	I/O スペースをイネーブル。このビットを設定すると、ホスト コントローラが PCI Express インターフェイス上の I/O トランザクションに応答できるようになります。 0 = PCI Express レシーバはダウンストリーム I/O トランザクションを処理できず、サポートされていない要求 (デフォルト) で応答する必要があります 1 = PCI Express レシーバはダウンストリーム I/O トランザクションを処理できます。ホスト コントローラは、I/O トランザクションを PCI インターフェイスに転送できます。

8.1.5 ステータス レジスタ

ステータス レジスタは、システムへの PCI Express インターフェイスに関する情報を提供します。

PCI レジスタ オフセット: 06h

レジスタ タイプ: 読み取り専用、読み取り / クリア

デフォルト値: 0010h

表 8-6. PCI レジスタ 06h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-7. ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
15	PAR_ERR	rcu	検出されたパリティ エラー。このビットは、PCI Express インターフェイスがボイズンド TLP を受信すると設定されます。このビットは、コマンド レジスタ (オフセット 04h、 コマンド レジスタ を参照) のビット 6 (PERR_ENB) の状態に関係なく設定されます。 0 = パリティ エラーなし 1 = パリティ エラー検出
14	SYS_ERR	rcu	システム エラーを通知。このビットは、ホスト コントローラが ERR_FATAL または ERR_NONFATAL メッセージを送信し、コマンド レジスタ (オフセット 04h、 コマンド レジスタ を参照) のビット 8 (SERR_ENB) が設定されている場合に設定されます。 0 = エラー通知なし 1 = ERR_FATAL または ERR_NONFATAL 通知あり
13	MABORT	rcu	コントローラの中断を受信。このビットは、ホスト コントローラの PCI Express インターフェイスが complete-with-unsupported-request ステータスを受信すると設定されます。 0 = PCI Express インターフェイスで非サポートの要求は受信なし 1 = PCI Express インターフェイスで非サポートの要求を受信
12	TABORT_REC	rcu	ターゲット中止を受信。このビットは、ホスト コントローラの PCI Express インターフェイスが completion-with-completer-abort ステータスを受信すると設定されます。 0 = PCI Express インターフェイスで Completer Abort の受信なし 1 = PCI Express インターフェイスで Completer Abort を受信
11	TABORT_SIG	rcu	ターゲット中止を通知。このビットは、PCI Express インターフェイスが completer abort ステータスで要求を完了すると設定されます。 0 = PCI Express インターフェイスで Completer Abort 通知なし 1 = PCI Express インターフェイスで Completer Abort を通知
10:9	DEVSEL_TIMING	r	DEVSEL のタイミング。これらのビットは PCI Express には適用されないため、読み取り専用のゼロです。

表 8-7. ステータス レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
8	DATAPAR	rcu	コントローラ データ パリティ エラー。このビットは、コマンド レジスタ (オフセット 04h、 コマンド レジスタ を参照) のビット 6 (PERR_ENB) が設定されており、ホスト コントローラが PCI Express インターフェイス上でボイズンドとマークされたデータを含む完了データを受信した場合、または PCI Express インターフェイス上で受信した書き込み要求をボイズンした場合に設定されます。 0 = プライマリ インターフェイスで修正不可能なデータ エラーの検出なし 1 = プライマリ インターフェイスで修正不可能なデータ エラーを検出。
7	FBB_CAP	r	高速連続対応。このビットは PCI Express デバイスにとって意味のあるコンテキストを持たず、0b に ハードワイヤードされています。
6	RSVD	r	予約済み。読み取り時に 0 を返します。
5	66MHZ	r	Hz 対応。このビットは PCI Express デバイスにとって意味のあるコンテキストを持たず、0b に ハードワイヤードされています。
4	CAPLIST	r	機能リスト。このビットは読み取り時に 1b を返し、ホスト コントローラが追加の PCI 機能をサポートしていることを示します。
3	INT_STATUS	ru	割り込みステータス。このビットは、機能の割り込みステータスを反映します。
2:0	RSVD	r	予約済み。読み取り時に 0 を返します。

8.1.6 クラス コードおよびリビジョン ID レジスタ

この読み取り専用レジスタは、TUSB73X0 の基本クラス、サブクラス、プログラミング インターフェイスを分類します。基本クラスは 0Ch で、デバイスがシリアル バス コントローラであることを示します。サブ クラスは 03h で、ユニバーサル シリアル バス ホスト コントローラとしての機能であることを示し、プログラミング インターフェイスは 30h であり、USB 3.0 xHCI ホストコントローラとしての機能であることを示します。さらに、TI チップ リビジョンは下位バイト (02h) に示されています。

PCI レジスタ オフセット: 08h

レジスタ タイプ: 読み取り専用

デフォルト値: 0C03 3002h

表 8-8. PCI レジスタ 06h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0

表 8-9. クラス コードおよびリビジョン ID レジスタの説明

ビット	フィールド名	アクセス	説明
31:24	BASECLASS	r	基本クラス。このフィールドは、読み取り時に 0Ch を返し、シリアル バス コントローラとして機能を分類します。
23:16	サブクラス	r	サブ クラス。このフィールドは、読み取り時に 03h を返し、特にユニバーサル シリアル バス ホスト コントローラとして機能を分類します。
15:8	PGMIF	r	プログラミング インターフェイス。このフィールドは、読み取り時に 30h を返し、USB 3.0 xHCI ホスト コントローラとして機能を識別します。
7:0	CHIPREV	r	シリコンのリビジョン。このフィールドは、機能のシリコン リビジョンを返します。このフィールドは 02h です。

8.1.7 キャッシュ ライン サイズ レジスタ

この 8 ビット レジスタは、レガシー互換性のための読み取り / 書き込みであり、TUSB73X0 の機能には適用されません。

PCI レジスタ オフセット: 0Ch

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 00h

表 8-10. PCI レジスタ 0Ch

ビット番号	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0

8.1.8 レイテンシ タイマ レジスタ

この読み取り専用レジスタは PCI Express デバイスに意味のあるコンテキストを持たず、読み取り時に 0 を返します。

PCI レジスタ オフセット: 0Dh

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-11. PCI レジスタ 0Dh

ビット番号	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0

8.1.9 ヘッダー タイプ レジスタ

この読み取り専用レジスタは、この機能がタイプ 0 の PCI ヘッダーを持っていることを示します。このレジスタのビット 7 は 0 であり、TUSB73X0 がマルチファンクション デバイスでないことを示します。

PCI レジスタ オフセット: 0Eh

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-12. PCI レジスタ 0Eh

ビット番号	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0

8.1.10 BIST レジスタ

TUSB73X0 は内蔵セルフ テスト (BIST) をサポートしていないため、この読み取り専用レジスタは、読み取り時に 00h を返します。

PCI レジスタ オフセット: 0Fh

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-13. PCI レジスタ 0Fh

ビット番号	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0

8.1.11 ベース アドレス レジスタ 0

このレジスタは、デバイス制御レジスタへのアクセスに使用されるメモリ アドレスをプログラムするために使用されます。

PCI レジスタ オフセット: 10h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0000 0004h

表 8-14. PCI レジスタ 10h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

表 8-15. ベース アドレス レジスタ 0 の説明

ビット	フィールド名	アクセス	説明
31:16	アドレス	rw	メモリ アドレス。TUSB73X0 の 64 ビット メモリ アドレス フィールドの下位 32 ビットです。TUSB73X0 は、16 ビットの読み取り / 書き込みビットを使用しており、これは 64kB のメモリ空間が必要であることを示します。
15:4	RSVD	r	予約済み。これらのビットは読み取り専用で、読み取り時に 0 を返します。
3	PRE_FETCH	r	プリフェッチ可能。このビットは読み取り専用で、0 はメモリ ウィンドウがプリフェッチ可能ではないことを示します。
2:1	MEM_TYPE	r	メモリ タイプ。このフィールドは読み取り専用で、10b はこのウィンドウが 64 ビットのアドレス空間の任意の場所に配置できることを示します。
0	MEM_IND	r	メモリ空間インジケータ。このフィールドは、メモリ空間が使用されていることを示す 0 を返します。

8.1.12 ベース アドレス レジスタ 1

このレジスタは、デバイス制御レジスタへのアクセスに使用されるメモリ アドレスをプログラムするために使用されます。

PCI レジスタ オフセット: 14h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-16. PCI レジスタ 14h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-17. ベース アドレス レジスタ 1 の説明

ビット	フィールド名	アクセス	説明
31:0	アドレス	rw	メモリ アドレス。このフィールドは、TUSB73X0 の 64 ビット メモリアドレスの上位 32 ビットを示します。

8.1.13 ベース アドレス レジスタ 2

このレジスタは、MSI-X テーブルと PBA へのアクセスに使用されるメモリ アドレスのプログラムに使用されます。

PCI レジスタ オフセット: 18h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0000 0004h

表 8-18. PCI レジスタ 18h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

表 8-19. ベース アドレス レジスタ 2 の説明

ビット	フィールド名	アクセス	説明
31:20	アドレス	rw	メモリ アドレス。TUSB73X0 の 64 ビット メモリ アドレス フィールドの下位 32 ビットでは、19 の読み取り / 書き込みビットを使用して、メモリ領域の 8MB が必要であることを示します。
19:4	RSVD	r	予約済み。これらのビットは読み取り専用で、読み取り時に 0 を返します。
3	PRE_FETCH	r	プリフェッチ可能。このビットは読み取り専用で、0 はメモリ ウィンドウがプリフェッチ可能ではないことを示します。
2:1	MEM_TYPE	r	メモリタイプ。このフィールドは読み取り専用で、10b はこのウィンドウが 64 ビットのアドレス空間の任意の場所に配置できることを示します。
0	MEM_IND	r	メモリ空間インジケータ。このフィールドは、メモリ空間が使用されていることを示す 0 を返します。

8.1.14 ベース アドレス レジスタ 3

このレジスタは、MSI-X テーブルと PBA へのアクセスに使用されるメモリ アドレスのプログラムに使用されます。

PCI レジスタ オフセット: 1Ch

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-20. PCI レジスタ 1Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-----------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
------------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

表 8-21. 表 9-3 ベース アドレス レジスタ 3 の説明

ビット	フィールド名	アクセス	説明
31:0	アドレス	rw	メモリ アドレス。このフィールドは、TUSB73X0 の 64 ビット メモリアドレスの上位 32 ビットを示します。

8.1.15 サブシステム ベンダID レジスタ

このレジスタは、システムおよびオプション カードの識別目的で使用され、特定のオペレーティング システムで必要になる場合があります。この読み取り専用レジスタは、サブシステム アクセスレジスタを直接反映しています。レジスタは読み取り / 書き込みで、EEPROM (存在する場合) によって初期化されるか、PCI オフセット D0h のサブシステム エイリアス レジスタを介して書き込むことができます。

PCI レジスタ オフセット: 2Ch

レジスタ タイプ: 読み取り専用

デフォルト値: 0000h

表 8-22. PCI レジスタ 2Ch

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.1.16 サブシステム ID レジスタ

このレジスタは、システムおよびオプション カードの識別目的で使用され、特定のオペレーティング システムで必要になる場合があります。この読み取り専用レジスタは、サブシステム アクセスレジスタを直接反映しています。レジスタは読み取り / 書き込みで、EEPROM (存在する場合) によって初期化されるか、PCI オフセット D0h のサブシステム エイリアス レジスタを介して書き込むことができます。

PCI レジスタ オフセット: 2Eh

レジスタ タイプ: 読み取り専用

デフォルト値: 0000h

表 8-23. PCI レジスタ 2Eh

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.1.17 機能ポインタ レジスタ

この読み取り専用レジスタは、PCI パワー マネジメント ブロックが配置されている PCI 構成ヘッダー内の位置を指すポインタを提供します。PCI パワー マネジメント レジスタは 40h から始まるため、このレジスタは 40h にハードワイヤードされています。

PCI レジスタ オフセット: 34h

レジスタ タイプ: 読み取り専用

デフォルト値: 40h

表 8-24. PCI レジスタ 34h

ビット番号	7	6	5	4	3	2	1	0
-------	---	---	---	---	---	---	---	---

表 8-24. PCI レジスタ 34h (続き)

リセット状態	0	1	0	0	0	0	0	0
--------	---	---	---	---	---	---	---	---

8.1.18 割り込みライン レジスタ

この読み取り / 書き込みレジスタはシステムによってプログラムされ、TUSB73X0 にどの割り込みラインが割り当てられたかをソフトウェアに示します。このレジスタのデフォルト値は FFh で、割り込みラインがまだ機能に割り当てられていないことを示します

PCI レジスタ オフセット: 3Ch

レジスタ タイプ: 読み取り専用

デフォルト値: FFh

表 8-25. PCI レジスタ 3Ch

ビット番号	7	6	5	4	3	2	1	0
リセット状態	1	1	1	1	1	1	1	1

8.1.19 割り込みピン レジスタ

割り込みピンレジスタは読み取り専用の 01h で、TUSB73X0 が INTA を使用することを示します。

PCI レジスタ オフセット: 3Dh

レジスタ タイプ: 読み取り専用

デフォルト値: 01h

表 8-26. PCI レジスタ 3Dh

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	1

8.1.20 最小グラント レジスタ

この読み取り専用レジスタは PCI Express デバイスに意味のあるコンテキストを持たず、読み取り時に 0 を返します。

PCI レジスタ オフセット: 3Eh

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-27. PCI レジスタ 3Eh

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.21 最大レイテンシ レジスタ

この読み取り専用レジスタは PCI Express デバイスに意味のあるコンテキストを持たず、読み取り時に 0 を返します。

PCI レジスタ オフセット: 3Fh

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-28. PCI レジスタ 3Fh

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.22 機能ID レジスタ

この読み取り専用レジスタは、リンクされたリスト項目を PCI パワー マネージメントのレジスタとして識別します。このレジスタは、読み取り時に 01h を返します。

PCI レジスタ オフセット: 40h

レジスタ タイプ: 読み取り専用

デフォルト値: 01h

表 8-29. PCI レジスタ 40h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	1

8.1.23 次の項目ポインタ レジスタ

この読み取り専用レジスタの内容は、TUSB73X0 のリンクされた機能リスト内の次の項目を示します。このレジスタは 48h であり、MSI 機能レジスタを示します。

PCI レジスタ オフセット: 41h

レジスタ タイプ: 読み取り専用

デフォルト値: 48h

表 8-30. PCI レジスタ 41h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	1	0	0	1	0	0	0

8.1.24 パワー マネージメント 機能レジスタ

この読み取り専用レジスタは、PCI パワー マネージメントに関連する TUSB73X0 の機能を示します。

PCI レジスタ オフセット: 42h

レジスタ タイプ: 読み取り専用

デフォルト値: xxx3h

表 8-31. PCI レジスタ 42h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	x	1	1	1	1	1	1	x	x	x	0	0	0	0	1	1

表 8-32. パワー マネージメント機能レジスタの説明

ビット	フィールド名	アクセス	説明
15:11	PME_SUPPORT	r	PME# サポート。この 5 ビットのフィールドは、TUSB73X0 が PME# をアサートできる電力状態を示します。AUX_DET ピンが 1 の場合、このフィールドは 11111 です。AUX_DET ピンが 0 の場合、このフィールドは 01111 です。
10	D2_SUPPORT	r	このビットは読み取り時に 1 を返し、その機能が D2 デバイスの電源状態をサポートしていることを示します。
9	D1_SUPPORT	r	このビットは読み取り時に 1 を返し、その機能が D1 デバイスの電源状態をサポートしていることを示します。
8:6	AUX_CURRENT	r	3.3 Vaux 補助電流要件。AUX_DET ピンが 1 の場合、このフィールドは 010 です。AUX_DET ピンが 0 の場合、このフィールドは 000 です。
5	DSI	r	デバイス固有の初期化。このビットは読み取り時に 0 を返し、汎用クラスドライバが TUSB73X0 を使用するにあたり、標準の PCI 構成ヘッダー以外に特別な初期化を必要としないことを示します。
4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	PME_CLK	r	PME# クロック。
2:0	PM_VERSION	r	パワー マネージメント バージョン。このフィールドは 3'b011 を返し、Rev 1.2 との互換性があることを示します。

8.1.25 パワー マネージメント制御 / ステータス レジスタ

このレジスタは、TUSB73X0 の現在の電力状態を決定および変更します。

PCI レジスタ オフセット: 44h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0008h

表 8-33. PCI レジスタ 44h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

表 8-34. パワー マネージメント制御 / ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
15	PME_STAT	rc	PME# ステータス。このビットはスティッキーであり、グローバル リセットによってのみリセットされます。
14:13	DATA_SCALE	r	データ スケール。TUSB73X0 はデータレジスタを使用しないため、この 2 ビットフィールドは読み取り時に 0 を返します。

表 8-34. パワー マネージメント制御 / ステータス レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
12:9	DATA_SEL	r	データの選択。TUSB73X0 はデータレジスタを使用しないため、この 4 ビットフィールドは読み取り時に 0 を返します。
8	PME_EN	rw	PME# イネーブル。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。
7:4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	NO_SOFT_RESET	r	ソフトリセットなし。このビットは 1 を返し、D3hot 状態から D0 状態に遷移するときに内部リセットが発生せず、デバイスが構成コンテキストを保持することを示します。
2	RSVD	r	予約済み。読み取り時に 0 を返します。
1:0	PWR_STATE	rw	電源の状態。この 2 ビットフィールドは、機能の現在の電力状態を判定し、機能を新しい電源状態に設定するために使用されます。このフィールドは、00 = D001 = D110 = D211 = D3hot のようにエンコードされます。

8.1.26 パワー マネージメントブリッジサポート拡張レジスタ

この読み取り専用レジスタは TUSB73X0 には適用されず、読み取り時に 00h を返します。

PCI レジスタ オフセット: 46h

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-35. PCI レジスタ 46h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.27 パワー マネージメント データ レジスタ

この読み取り専用レジスタは TUSB73X0 には適用されず、読み取り時に 00h を返します。

PCI レジスタ オフセット: 47h

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-36. PCI レジスタ 47h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.28 MSI 機能 ID レジスタ

この読み取り専用レジスタは、リンクされたリスト項目をメッセージ信号割り込み機能のレジスタとして識別します。このレジスタは、読み取り時に 05h を返します。

PCI レジスタ オフセット: 48h

レジスタ タイプ: 読み取り専用

デフォルト値: 05h

表 8-37. PCI レジスタ 48h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	1	0	1

8.1.29 次の項目ポインタ レジスタ

この読み取り専用レジスタの内容は、TUSB73X0 のリンクされた機能リスト内の次の項目を示します。このレジスタは 70h であり、PCI Express Capability レジスタであることを示します。

PCI レジスタ オフセット: 49h

レジスタ タイプ: 読み取り専用

デフォルト値: 70h

表 8-38. PCI レジスタ 49h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	1	1	1	0	0	0	0

8.1.30 MSI メッセージ制御レジスタ

このレジスタを使用して、MSI メッセージの送信を制御します。

PCI レジスタ オフセット: 4Ah

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0086h

表 8-39. PCI レジスタ 4Ah

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0

表 8-40. MSI メッセージ制御レジスタの説明

ビット	フィールド名	アクセス	説明
15:8	RSVD	r	予約済み。読み取り時に 0 を返します。
8	PVM_CAP	r	ベクトルごとのマスキング機能。このビットは読み取り専用で、0 は TUSB73X0 がベクトルごとのマスクをサポートしていないことを示します。
7	64CAP	r	64 ビット メッセージ機能。このビットは読み取り専用で、1 は TUSB73X0 が 64 ビット MSI メッセージ アドレッシングをサポートしていることを示します。
6:4	MM_EN	rw	複数メッセージをイネーブル。このビットは、TUSB73X0 が生成できる個別のメッセージの数を示します。 000 – 1 メッセージ (すべてのインタラプタが同じメッセージにマップ) 001 – 2 メッセージ (インタラプタ 0、2、4、6 はメッセージ 0 にマップ、インタラプタ 1、3、5、7 はメッセージ 1 にマップ) 010 – 4 メッセージ (インタラプタ 0 と 4 はメッセージ 0 に、インタラプタ 1 と 5 はメッセージ 1 に、インタラプタ 2 と 6 はメッセージ 2 に、インタラプタ 3 と 7 はメッセージ 3 にマップ) 011 – 8 メッセージ (インタラプタ # は対応するメッセージ # にマップ) 100 – 16 メッセージ (インタラプタ # は対応するメッセージ # にマップ) 101 – 32 メッセージ (インタラプタ # は対応するメッセージ # にマップ) 110 – 予約済み 111 – 予約済み
3:1	MM_CAP	r	複数メッセージ機能。このフィールドは、TUSB73X0 が生成できる個別のメッセージの数を示します。このフィールドは読み取り専用で、011 は TUSB73X0 が 8 つの個別のメッセージを通知できることを示します。
0	MSI_EN	rw	MSI イネーブル。このビットは、MSI 割り込み信号伝達をイネーブルにするために使用されます。TUSB73X0 が MSI 0 を通知するには、ソフトウェアで MSI 信号伝達をイネーブルにする必要があります – MSI 信号伝達は禁止されています 1 – MSI 信号伝達はイネーブルです

8.1.31 MSI 下位メッセージアドレス レジスタ

このレジスタには、割り込みを通知するときに MSI メッセージが書き込まれるアドレスの下位 32 ビットが含まれます。

PCI レジスタ オフセット: 4Ch

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-41. PCI レジスタ 4Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-42. MSI 下位メッセージアドレス レジスタの説明

ビット	フィールド名	アクセス	説明
31:2	アドレス	rw	システム指定のメッセージ アドレス
1:0	RSVD	r	予約済み。読み取り時に 0 を返します。

8.1.32 MSI 上位メッセージアドレス レジスタ

このレジスタには、割り込みを通知するときに MSI メッセージが書き込まれるアドレスの上位 32 ビットが含まれます。このレジスタが 0000 0000h の場合、32 ビット アドレッシングが使用されます。それ以外の場合は、64 ビット アドレッシングが使用されます。

PCI レジスタ オフセット: 50h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-43. PCI レジスタ 4Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.1.33 MSI メッセージデータ レジスタ

この 16 ビット レジスタには、MSI メッセージを送信するときにデバイスが送信するようソフトウェアによってプログラムされたデータが含まれます。

PCI レジスタ オフセット: 54h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000h

表 8-44. PCI レジスタ 54h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-45. MSI メッセージデータ レジスタの説明

ビット	フィールド名	アクセス	説明
15:4	MSG	rw	システム固有のメッセージ。このフィールドには、TUSB73X0 が変更することのできないメッセージ部分が含まれています。
3:0	MSG_NUM	rw	メッセージ番号。複数のメッセージが有効になっている場合、メッセージフィールドのこの部分にメッセージ番号を含めるように変更されることがあります。変更可能なビット数は、メッセージ制御レジスタで有効になっているメッセージの数によって異なります。 1 メッセージ – メッセージ データ ビットを変更できない 2 メッセージ – ビット 0 を変更可能 4 メッセージ – ビット 0:1 を変更可能 8 メッセージ – ビット 0:2 を変更可能 16 メッセージ – ビット 0:3 を変更可能 32 メッセージ – ビット 0:4 を変更可能

8.1.34 シリアルバス リリース番号レジスタ (SBRN)

この読み取り専用レジスタは 30h に設定されており、TUSB73X0 がユニバーサル シリアル バス仕様のリリース 3.0 に準拠していることを示します。

PCI レジスタ オフセット: 60h

レジスタ タイプ: 読み取り専用

デフォルト値: 00h

表 8-46. PCI レジスタ 60h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	1	1	0	0	0	0

8.1.35 フレーム長調整レジスタ (FLADJ)

このレジスタは、SOF カウンタを駆動するクロックを生成するクロック ソースからのオフセットを調整するために使用されます。このレジスタに新しい値が書き込まれると、TUSB73X0 によって実装されているすべての USB バスに対してフレームの長さが調整されます。このレジスタはグローバル リセットによってのみリセットされます。

PCI レジスタ オフセット: 61h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 20h

表 8-47. PCI レジスタ 61h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	1	0	0	0	0	0

表 8-48. フレーム長調整レジスタの説明

ビット	フィールド名	アクセス	説明
7:6	RSVD	r	予約済み。読み取り時に 0 を返します。
5:0	FRAME_LENGTH ⁽¹⁾	rw	フレーム長のタイミング値。このレジスタの 10 進値の変更は、16 ビット分の高速ビット時間に相当します。SOF サイクル時間は、59488 にこのフィールドの値を加えた値になります。デフォルト値は 10 進数の 32 (20h) で、SOF サイクル時間は 60000 です。

(1) このビットはスティッキー ビットであり、グローバル リセット (GRST) または内部で生成されたパワーオンリセットによってリセットされます。

8.1.36 PCI Express 機能 ID レジスタ

この読み取り専用レジスタは、リンクされたリスト項目を PCI Express 機能のレジスタとして識別します。このレジスタは、読み取り時に 10h を返します。

PCI レジスタ オフセット: 70h

レジスタ タイプ: 読み取り専用

デフォルト値: 10h

表 8-49. PCI レジスタ 70h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	1	0	0	0	0

8.1.37 次の項目ポインタ レジスタ

この読み取り専用レジスタの内容は、TUSB73X0 のリンクされた機能リスト内の次の項目を示します。このレジスタは C0h であり、MSI-X 機能レジスタを示します。

PCI レジスタ オフセット: 71h

レジスタ タイプ: 読み取り専用

デフォルト値: C0h

表 8-50. PCI レジスタ 71h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	1	1	0	0	0	0	0	0

8.1.38 PCI Express 機能レジスタ

このレジスタは、PCI Express に関連する TUSB73X0 の機能を示します。

PCI レジスタ オフセット: 72h

レジスタ タイプ: 読み取り専用

デフォルト値: 0002h

表 8-51. PCI レジスタ 72h

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 8-52. PCI Express 機能レジスタの説明

ビット	フィールド名	アクセス	説明
15:14	RSVD	r	予約済み。読み取り時に 0 を返します。
13:9	INT_NUM	r	割り込みメッセージ番号。このフィールドは、MSI および MSI-X のサポートに使用されます。
8	SLOT	r	スロットが実装されました。このビットは TUSB73X0 には有効ではなく、読み取り専用の 0 です。
7:4	DEV_TYPE	r	デバイス / ポート タイプ。この読み取り専用フィールドは、デバイスが PCI Express エンドポイントであることを示す 0000b を返します。
3:0	バージョン	r	機能バージョン。このフィールドは、PCI Express 機能のレビジョン 2 であることを示す 0010b を返します。

8.1.39 デバイス機能レジスタ

デバイス機能レジスタは、TUSB73X0 のデバイス固有の機能を示します。

PCI レジスタ オフセット: 74h

レジスタ タイプ: 読み取り専用、ハードウェア更新

デフォルト値: 0000 8FC3h

表 8-53. PCI レジスタ 74h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	1	0	0	0	1	1	1	1	1	1	0	0	0	0	1	1

表 8-54. デバイス機能レジスタの説明

ビット	フィールド名	アクセス	説明
31:29	RSVD	r	予約済み。読み取り時に 0 を返します。
28	FLR	r	機能レベルのリセット。TUSB73X0 には 1 つの機能しかないので、このビットは 0 に設定されます。
27:26	CSPLS	ru	キャプチャされたスロット電力制限スケール。このレジスタの値は、ホストが Set_Slot_Power_Limit メッセージを発行することでプログラムされます。Set_Slot_Power_Limit メッセージが受信されると、このフィールドに 9:8 ビットが書き込まれます。このレジスタの値は、スロット電力制限に使用されるスケールを指定します。 00 – 1.0x 01 – 0.1x 10 – 0.01x 11 – 0.001x
25:18	CSPLV	ru	キャプチャされたスロット電力制限値。このレジスタの値は、ホストが Set_Slot_Power_Limit メッセージを発行することでプログラムされます。Set_Slot_Power_Limit メッセージが受信されると、このフィールドに 7:0 ビットが書き込まれます。このレジスタの値とスロット電力制限スケールの値を組み合わせ、スロットに供給される電力の上限を指定します。電力制限は、このフィールドの値にスロット電力制限スケール フィールドの値を乗算して計算されます。
17:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15	RBER	r	役割ベースのエラー報告。このビットは、1 に配線されており、TUSB73X0 が役割ベースのエラー報告をサポートしていることを示します
14:12	RSVD	r	予約済み。読み取り時に 0 を返します。
11:9	EP_L1_LAT	r	エンドポイント L1 許容レイテンシ。このフィールドは、L1 から L0 状態への遷移に対して許容されるレイテンシを示します。このフィールドは、汎用制御レジスタ 2 の L1_LATENCY フィールドに書き込むことでプログラムできます。このレジスタのデフォルト値は、PHY が L1 状態を終了するまでのレイテンシです。このフィールドは、PHY が L1 状態を終了するまでのレイテンシ未満の値にプログラムすることはできません。
8:6	EP_L0S_LAT	r	エンドポイント L0s 許容レイテンシ。このフィールドは、L0s から L0 状態への遷移に対して許容されるレイテンシを示します。このフィールドは、汎用制御レジスタ 2 の L0s_LATENCY フィールドに書き込むことでプログラムできます。このレジスタのデフォルト値は、PHY が L0s 状態を終了するまでのレイテンシです。このフィールドは、PHY が L0s 状態を終了するまでのレイテンシ未満の値にプログラムすることはできません。

表 8-54. デバイス機能レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
5	ETFS	r	サポートされる拡張タグ フィールド。このフィールドはタグ フィールドのサイズを示し、0 としてエンコードされます。
4:3	PFS	r	サポートされるファントム機能。このフィールドは読み取り専用で、00b は機能番号がファントム機能に使用されていないことを示します。
2:0	MPSS	r	サポートされる最大ペイロード サイズ。このフィールドは、デバイスが TLP に対してサポートできる最大ペイロード サイズを示します。このフィールドは 011b にエンコードされ、TLP の最大ペイロード サイズが 1KB であることを示します。

8.1.40 デバイス制御レジスタ

デバイス制御レジスタは、PCI Express デバイス固有のパラメータを制御します。

PCI レジスタ オフセット: 78h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 2810h

表 8-55. PCI レジスタ 78h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	1	0	1	0	0	0	0	0	0	1	0	0	0	0

表 8-56. デバイス制御レジスタの説明

ビット	フィールド名	アクセス	説明
15	INITIATE_FLR	rw	機能レベルのリセットを開始。1b を書き込むと、機能レベルのリセットが開始されます。このビットからソフトウェアによって読み出される値は常に 0b です。
14:12	MRRS	rw	読み取り要求の最大サイズ。このフィールドは、TUSB73X0 が生成できる読み取り要求の最大サイズを設定するために、ホストソフトウェアによってプログラムされます。このフィールドは次のようにエンコードされます。 000 – 128B 001 – 256B 010 – 512B (デフォルト) 011 – 1024B 100 – 2048B 101 – 4096B 110 – 予約済み 111 – 予約済み
11	ENS	rw	スヌープなしを有効にします。アップストリーム デコード ウィンドウを介して VC0 以外の仮想チャネルにマッピングされたすべてのトラフィック クラスにマッピングされたアップストリーム メモリトランザクションに対し、TLP ヘッダー内の「No Snoop」フラグの設定を制御します。 0 – No snoop フィールドが 0 1 – No snoop フィールドが 1 (デフォルト)
10	APPE	rw	補助電源 PM をイネーブル。このビットはグローバル リセットによってのみリセットされます。
9	PFE	r	ファントム機能をイネーブル。TUSB73X0 はファントム機能をサポートしていないため、このビットは読み取り専用のゼロです。
8	ETFE	rw	拡張タグ フィールドをイネーブル。
7:5	MPS	rw	最大ペイロード サイズ。
4	ERO	rw	緩和された順序の有効化。
3	URRE	rw	サポートされていないリクエスト レポートをイネーブル。
2	FERE	rw	致命的エラー報告をイネーブル。
1	NFERE	rw	非致命的エラー報告をイネーブル。

表 8-56. デバイス制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
0	CERE	rw	訂正可能エラー報告をイネーブル。

8.1.41 デバイス ステータス レジスタ

デバイス ステータス レジスタは、PCI Express デバイス固有のパラメータを制御します。

PCI レジスタ オフセット: 7Ah

レジスタ タイプ: 読み取り専用、1 の書き込みによってクリア、ハードウェア更新

デフォルト値: 00x0h

表 8-57. PCI レジスタ 7Ah

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0

表 8-58. デバイス ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
15:6	RSVD	r	予約済み。読み取り時に 0 を返します。
5	PEND	ru	トランザクションが保留中です。
4	APD	ru	AUX 電源が検出されました。このビットは、AUX 電源が存在することを示します。 0 = AUX 電源は検出されませんでした。(AUX_DET ピンは 0) 1 = AUX 電源が検出されました。(AUX_DET ピンは 1) このビットは、AUX_DET ピンの状態に基づいて設定されます。
3	URD	rcu	サポートされていない要求を検出。
2	FED	rcu	致命的エラーが検出されました。
1	NFED	rcu	致命的でないエラーが検出されました。
0	CED	rcu	修正可能なエラーが検出されました。

8.1.42 リンク機能レジスタ

リンク機能レジスタは、TUSB73X0 のリンク固有の機能を示します。

PCI レジスタ オフセット: 7Ch

レジスタ タイプ: 読み取り専用

デフォルト値: 0007 xC12h

表 8-59. PCI レジスタ 7Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	x	x	1	1	1	0	0	0	0	0	1	0	0	1	0

表 8-60. リンク機能レジスタの説明

ビット	フィールド名	アクセス	説明
31:24	PORT_NUM	r	ポート番号。このフィールドは、PCI Express リンクのポート番号を示します。このフィールドは読み取り専用で、00h はリンクがポート 0 に関連付けられていることを示します。
23:19	RSVD	r	予約済み。読み取り時に 0 を返します。

表 8-60. リンク機能レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
18	CLK_PM	r	クロック パワー マネージメント。このビットは、TUSB73X0 が CLKREQ# プロトコルによるクロック パワー マネージメントをサポートしていることを示すため、1 にハードワイヤードされています。
17:15	L1_LATENCY	r	L1 終了のレイテンシ。このフィールドは、L1 状態から L0 状態に遷移するのに要する時間を示します。このフィールドによって報告される値は、汎用制御レジスタ 0 の L1_EXIT_LAT_ASYNC フィールドまたは L1_EXIT_LAT_COMMON フィールドによって決定されます。
14:12	L0S_LATENCY	r	L0s 終了のレイテンシ。このフィールドは、L0s 状態から L0 状態に遷移するのに要する時間を示します。このフィールドによって報告される値は、汎用制御レジスタ 0 の L0s_EXIT_LAT_ASYNC フィールドまたは L0s_EXIT_LAT_COMMON フィールドによって決定されます。
11:10	ASLPMS	r	アクティブ状態リンク PM サポート。このフィールドは、TUSB73X0 がサポートするアクティブ状態のパワー マネージメントレベルを示します。値 11b は、アクティブ状態のパワー マネージメントにより L0s と L1 の両方をサポートしていることを示します。
9:4	MLW	r	最大リンク幅。このフィールドは 000001b にエンコードされ、TUSB73X0 が 1x PCI Express リンクのみをサポートしていることを示します。
3:0	MLS	r	最大リンク速度。このフィールドは 0010b にエンコードされ、TUSB73X0 が 5Gb/s および 2.5Gb/s のリンク速度をサポートしていることを示します。

8.1.43 リンク制御レジスタ

リンク制御レジスタは、リンク固有の動作を制御するために使われます。

PCI レジスタ オフセット: 80h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000h

表 8-61. PCI レジスタ 80h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-62. リンク制御レジスタの説明

ビット	フィールド名	アクセス	説明
15:9	RSVD	r	予約済み。読み取り時に 0 を返します。
8	EN_CPM	rw	クロック パワー マネージメントをイネーブル。
7	ES	rw	拡張同期。
6	CCC	rw	共通クロックの構成。このビットは、PCI Express リンクの両端に共通クロックが供給されるときに設定されます。このビットは、L0s の終了レイテンシと L1 終了のレイテンシを選択するためにも使用されます。 0 – リファレンス クロックは非同期 (L0s 終了レイテンシと L1 終了レイテンシは汎用制御レジスタ 0 の L0s_EXIT_LAT_ASYNC および L1_EXIT_LAT_ASYNC フィールドに基づく) 1 – リファレンス クロックは同期 (L0s 終了レイテンシと L1 終了レイテンシは汎用制御レジスタ 0 の L0s_EXIT_LAT_COMMON および L1_EXIT_LAT_COMMON フィールドに基づく)
5	RL	r	リンクを再トレーニング。このビットは機能を持たず、読み取り専用の 0 です。
4	LD	r	リンクをディスエーブル。このビットは機能を持たず、読み取り専用の 0 です。
3	RCB	rw	読み取り完了境界。
2	RSVD	r	予約済み。読み取り時に 0 を返します。

表 8-62. リンク制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
1:0	ASLPMC	rw	アクティブ状態リンク PM 制御。このフィールドは、アクティブ状態 PM を有効または無効にするために使用されます。 00 – アクティブ状態 PM 無効 01 – L0s エントリ有効 10 – L1 エントリ有効 11 – L0s および L1 エントリ有効

8.1.44 リンク ステータス レジスタ

リンク ステータス レジスタは、PCI Express リンクの現在の状態を示します。

PCI レジスタ オフセット: 82h

レジスタ タイプ: 読み取り専用

デフォルト値: 101xh

表 8-63. PCI レジスタ 82h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	1	0	0	0	0	0	0	0	1	0	0	x	x

表 8-64. リンク ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
15	LINK_ABS	r	リンク自律帯域幅ステータス。このビットは機能を持たず、読み取り専用の 0 です。
14	LINK_BMS	r	リンク帯域幅管理ステータス。このビットは機能を持たず、読み取り専用の 0 です。
13	DLL_ACTIVE	r	データリンク層アクティブ。このビットは機能を持たず、読み取り専用の 0 です。
12	SCC	r	スロット クロックの構成。TUSB73X0 はプラットフォームから供給される 100MHz の差動リファレンス クロックを使用するため、このビットは 1 です。
11	LT	r	リンクトレーニング。このビットは機能を持たず、読み取り専用の 0 です。
10	TE	r	リンクを再トレーニング。このビットは機能を持たず、読み取り専用の 0 です。
9:4	NLW	r	ネゴシエートされたリンク幅。このフィールドは読み取り専用で、000001b はレーン幅が 1x であることを示します。
3:0	LS	r	リンク速度。このフィールドは、ネゴシエートされたリンク速度を示します。

8.1.45 デバイス機能 2 レジスタ

デバイス機能 2 レジスタは、TUSB73X0 のデバイス固有の機能を示します。

PCI レジスタ オフセット: 94h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0010h

表 8-65. PCI レジスタ 94h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

表 8-66. デバイス機能 2 レジスタの説明

ビット	フィールド名	アクセス	説明
31:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	CPLT_TO_DIS_SUP	r	完了タイムアウト無効化がサポートされています。このビットは読み取り専用で、1b は、完了タイムアウト無効化メカニズムがサポートされていることを示します。
3:0	CPLT_TO_RANGES	r	完了タイムアウト範囲がサポートされています。このフィールドは読み取り専用で、0000b は完了タイムアウトのプログラミングがサポートされていないことを示します。

8.1.46 デバイス制御 2 レジスタ

デバイス制御 2 レジスタは、PCI Express デバイス固有のパラメータを制御します。

PCI レジスタ オフセット: 98h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0800h

表 8-67. PCI レジスタ 98h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

表 8-68. デバイス制御 2 レジスタの説明

ビット	フィールド名	アクセス	説明
15:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	CPLT_TO_DIS	rw	完了タイムアウトの無効化。
3:0	CPLT_TO_VALUE	r	完了タイムアウト値。このフィールドは読み取り専用で、0000b は完了タイムアウトのプログラミングがサポートされていないことを示します。

8.1.47 リンク制御 2 レジスタ

リンク制御 2 レジスタは、リンク固有の動作を制御するために使われます。

PCI レジスタ オフセット: A0h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000h

表 8-69. PCI レジスタ A0h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 8-70. リンク制御 2 レジスタの説明

ビット	フィールド名	アクセス	説明
15:13	RSVD	r	予約済み。読み取り時に 0 を返します。
12	COMPLIANCE_DEEMPH ⁽¹⁾	rw	コンプライアンスのディエンファシス。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。
11	COMPLIANCE_SOS ⁽¹⁾	rw	コンプライアンス SOS。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。
10	ENT_MOD_COMPLIANCE ⁽¹⁾	rw	変更されたコンプライアンスを入力します。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。

表 8-70. リンク制御 2 レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
9:7	TRANSMIT_MARGIN ⁽¹⁾	rw	送信マージン。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。
6	SEL_DEEMPH	r	ディエンファシスを選択可能。このビットは機能を持たず、読み取り専用の 0 です。
5	HW_AUTO_SPEED_DIS	r	ハードウェア自律速度無効。この機能はサポートされていないため、このビットは読み取り専用の 0 です。
4	ENTER_COMPL ⁽¹⁾	rw	コンプライアンスを入力します。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。
3:0	TGT_LINK_SPEED ⁽¹⁾	rw	ターゲットリンク速度。このビットはスティッキーであり、グローバルリセットによってのみリセットされます。

(1) このビットはスティッキー ビットであり、グローバルリセット (GRST) または内部で生成されたパワーオンリセットによってリセットされます。

8.1.48 リンク ステータス 2 レジスタ

リンク ステータス 2 レジスタは、PCI Express リンクの現在の状態を示します。

PCI レジスタ オフセット: A2h

レジスタ タイプ: 読み取り専用

デフォルト値: 000xh

表 8-71. PCI レジスタ A2h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

表 8-72. リンク ステータス 2 レジスタの説明

ビット	フィールド名	アクセス	説明
15:1	RSVD	r	予約済み。読み取り時に 0 を返します。
0	DEEMPH_LEVEL	r	電流ディエンファシス レベル。

8.1.49 シリアルバス データ レジスタ

シリアル バス データ レジスタは、シリアル バス インターフェイス上のデータの読み書きに使用されます。シリアル バスにデータを書き込む場合、サイクルを開始するには、シリアル バス アドレス レジスタへの書き込み前に、このレジスタに書き込む必要があります。シリアル バスからデータを読み取るとき、このレジスタは REQBUSY (ビット 5 シリアル バス制御レジスタ) ビットがクリアされた後に読み出されたデータを格納します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: B0h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 00h

表 8-73. PCI レジスタ B0h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.50 シリアルバス インデックス レジスタ

シリアル バス インデックス レジスタに書き込まれた値は、シリアル バス デバイスから読み書きされるバイト アドレスを表します。シリアル バス ターゲット アドレス レジスタへの書き込みによってシリアル バス サイクルを開始する前に、シリアル バス インデックス レジスタに書き込みを行う必要があります。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: B1h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 00h

表 8-74. PCI レジスタ B1h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.51 シリアルバス ターゲット アドレス レジスタ

シリアル バス ターゲット アドレス レジスタは、シリアル バス サイクルのターゲットであるデバイスのアドレスを示すために使用されます。このレジスタは、サイクルが読み取りサイクルと書き込みサイクルのどちらであるかも示します。このレジスタに書き込むと、シリアル インターフェイスでサイクルが開始されます。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: B2h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 00h

表 8-75. PCI レジスタ B2h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

表 8-76. シリアル バス ターゲット アドレス レジスタの説明

ビット	フィールド名	アクセス	説明
7:1	TARGET_ADDR ⁽¹⁾	rw	シリアル バス ターゲットアドレス。このビットフィールドは、シリアル インターフェイスでの読み取りまたは書き込みトランザクションのターゲット アドレスを表します。
0	RW_CMD ⁽¹⁾	rw	読み取り / 書き込みコマンド。このビットは、シリアル バス サイクルが読み取りサイクルと書き込みサイクルのどちらであるかを判定するために使用されます。 0 – シングル バイトの書き込みが要求されました。 1 – シングル バイトの読み取りが要求されました。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.52 シリアルバス制御およびステータス レジスタ

シリアルバス制御およびステータスレジスタは、シリアルバスインターフェースの動作を制御するために使用されます。このレジスタは、シリアルバスの状態に関するステータス情報も提供します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: B3h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用、読み取り / クリア

デフォルト値: 00h

表 8-77. PCI レジスタ B3h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

表 8-78. シリアルバス制御およびステータス レジスタの説明

ビット	フィールド名	アクセス	説明
7	PROT_SEL ⁽¹⁾	rw	プロトコル選択。このビットは、使用されるシリアルバスアドレスモードの選択に使用されます。 0 – ターゲットアドレスとバイトアドレスが、シリアルバスで送信されます。 1 – ターゲットアドレスのみがシリアルバスで送信されます。
6	RSVD	r	予約済み。読み取り時に 0 を返します。
5	REQBUSY ⁽¹⁾	r	要求されたシリアルバスアクセスがビジーです。このビットは、シリアルバスサイクルの進行中に設定されます。 0 – シリアルバスサイクルなし 1 – シリアルバスサイクル進行中
4	ROMBUSY ⁽¹⁾	r	シリアルEEPROMアクセスビジー。TUSB73X0のシリアルEEPROM回路がシリアルEEPROMからレジスタをダウンロードするときに、このビットが設定されます。 0 – EEPROM アクティビティなし 1 – EEPROM ダウンロードが進行中
3	SBDETECT ⁽¹⁾	rwu	シリアルEEPROMが検出されました。このビットは、TUSB73X0によってシリアルEEPROMが検出されると自動的に設定されます。このビットの値は、シリアルバスインターフェースを有効化し、EEPROMロードが発生しているかどうかを制御するために使用されます。シリアルEEPROMは、PERST#またはGRST#の後に1回だけ検出されることに注意してください。 0 – EEPROM なし、EEPROM のロードプロセスが発生しない 1 – EEPROM あり、EEPROM のロードプロセスが実行 PERST#またはGRST#の後にシリアルEEPROMが検出されなかった場合でも、ソフトウェアはこのビットを設定してシリアルバスインターフェースをイネーブルできます。この状況では、EEPROM のロードプロセスは発生しません。
2	SBTEST ⁽¹⁾	rw	シリアルバステスト。このビットは、内部テストのために使用されます。このビットは、シリアルインターフェースクロックのクロックソースを制御します。 0 – 通常動作周波数約 100kHz のシリアルバスクロック 1 – テスト用に周波数を上げたシリアルバスクロック
1	SB_ERR ⁽¹⁾	rc	シリアルバスエラー。このビットは、ソフトウェアによるシリアルバスサイクル中にエラーが発生すると設定されます。 0 – エラーなし 1 – シリアルバスエラー
0	ROM_ERR ⁽¹⁾	rc	シリアルEEPROMロードエラー。このビットは、シリアルEEPROMからレジスタをダウンロードする際にエラーが発生すると設定されます。 0 – エラーなし 1 – EEPROM ロードエラー

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.1.53 GPIO 制御レジスタ

このレジスタは、8 本の GPIO ピンの方向を制御するために使用されます。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: B4h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0000h

表 8-79. PCI レジスタ B4h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-80. GPIO 制御レジスタの説明

ビット	フィールド名	アクセス	説明
15:4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	GPIO3_DIR ⁽¹⁾	rw	GPIO 3 データ方向。このビットは、GPIO3 を入力モードと出力モードのどちらにするかを選択します。 0 – 入力 、1 – 出力
2	GPIO2_DIR ⁽¹⁾	rw	GPIO 2 データ方向。このビットは、GPIO2 を入力モードと出力モードのどちらにするかを選択します。 0 – 入力 、1 – 出力
1	GPIO1_DIR ⁽¹⁾	rw	GPIO 1 データ方向。このビットは、GPIO1 を入力モードと出力モードのどちらにするかを選択します。 0 – 入力 、1 – 出力
0	GPIO0_DIR ⁽¹⁾	rw	GPIO 0 データ方向。このビットは、GPIO0 を入力モードと出力モードのどちらにするかを選択します。 0 – 入力 、1 – 出力

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.1.54 GPIO データ レジスタ

このレジスタは、GPIO ピンの状態を読み取り、出力モードである GPIO ピンの状態を変更するために使用されます。入力モードのビットへの書き込みは無視されます。パワーアップ時のデフォルト値は、GPIO 端子がデフォルトで汎用入力になっているため、その状態によって異なります。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: B6h

レジスタ タイプ: 読み取り / 書き込み、読み取り専用

デフォルト値: 0000h

表 8-81. PCI レジスタ B6h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

表 8-82. GPIO データ レジスタの説明

ビット	フィールド名	アクセス	説明
15:4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	GPIO3_DATA ⁽¹⁾	rw	GPIO 3 データ。このビットは、GPIO3 の状態を読み取ったり、出力モードで GPIO3 の状態を変更したりするために使用されます。
2	GPIO2_DATA ⁽¹⁾	rw	GPIO 2 データ。このビットは、GPIO2 の状態を読み取ったり、出力モードで GPIO2 の状態を変更したりするために使用されます。
1	GPIO1_DATA ⁽¹⁾	rw	GPIO 1 データ。このビットは、GPIO1 の状態を読み取ったり、出力モードで GPIO1 の状態を変更したりするために使用されます。
0	GPIO0_DATA ⁽¹⁾	rw	GPIO 0 データ。このビットは、GPIO0 の状態を読み取ったり、出力モードで GPIO0 の状態を変更したりするために使用されます。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.1.55 MSI-X 機能 ID レジスタ

この読み取り専用レジスタは、リンクされたリスト項目を MSI-X 機能のレジスタとして識別します。このレジスタは、読み取り時に 11h を返します。

PCI レジスタ オフセット: C0h

レジスタ タイプ: 読み取り専用

デフォルト値: 11h

表 8-83. PCI レジスタ C0h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	1	0	0	0	1

8.1.56 次の項目ポインタ レジスタ

この読み取り専用レジスタの内容は、TUSB73X0 のリンクされた機能リスト内の次の項目を示します。このレジスタは 00h であり、追加機能がサポートされていないことを示します。

PCI レジスタ オフセット: C1h

レジスタ タイプ: 読み取り専用

デフォルト値: 11h

表 8-84. PCI レジスタ C1h

ビット番号	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0

8.1.57 MSI-X メッセージ制御レジスタ

このレジスタを使用して、MSI-X メッセージの送信を制御します。

PCI レジスタ オフセット: C2h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0007h

表 8-85. PCI レジスタ C2h

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

表 8-86. MSI-X メッセージ制御レジスタの説明

ビット	フィールド名	アクセス	説明
15	MSIX_EN	rw	MSI-X イネーブル。
14	FUNC_MASK	rw	関数マスク。
13:11	RSVD	r	予約済み。読み取り時に 0 を返します。
10:0	TABLE_SIZE	r	MSI-X テーブル サイズ。テーブル サイズが 8 エントリであることを示すため、このフィールドは 07h に設定されます。

8.1.58 MSI-X テーブル オフセットおよび BIR レジスタ

このレジスタは、MSI-X テーブルがマップされている BAR とオフセットを示します。

PCI レジスタ オフセット: C4h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0002h

表 8-87. PCI レジスタ C4h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 8-88. MSI-X テーブル オフセットおよび BIR レジスタの説明

ビット	フィールド名	アクセス	説明
31:3	TABLE_OFFSET	r	テーブル オフセット。このフィールドは 000h に設定され、MSI-X テーブルがオフセット 18h の BAR の先頭から 0000h のオフセット位置にあることを示します。
2:0	TABLE_BIR	r	テーブル BIR。このフィールドは 010b に設定され、MSI-X テーブルがオフセット 18h の BAR にマップされていることを示します。

8.1.59 MSI-X PBA オフセットおよび BIR レジスタ

このレジスタは、MSI-X PBA がマップされている BAR とオフセットを示します。

PCI レジスタ オフセット: C8h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 1000h

表 8-89. PCI レジスタ C8h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

表 8-90. MSI-X PBA オフセットおよび BIR レジスタの説明

ビット	フィールド名	アクセス	説明
31:3	PBA_OFFSET	r	PBA オフセット。このフィールドは 200h に設定され、オフセット 18h で BAR の先頭から 1000h のオフセットに MSI-X PBA があることを示します。
2:0	PBA_BIR	r	PBA BIR。このフィールドは 010b に設定され、MSI-X PBA がオフセット 18h の BAR にマップされていることを示します。

8.1.60 サブシステム アクセス レジスタ

このレジスタは読み取り / 書き込みレジスタであり、その内容は PCI オフセット 2Ch および 2Eh のサブシステム ベンダ ID およびサブシステム ID レジスタにエイリアスされます。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: D0h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-91. PCI レジスタ D0h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-92. サブシステム アクセス レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	SubsystemID ⁽¹⁾	rw	サブシステム ID。このフィールドに書き込まれた値は、PCI オフセット 2Eh のサブシステム ID レジスタにエイリアスされます。
15:0	SubsystemVendorID ⁽¹⁾	rw	サブシステム ベンダ ID。このフィールドに書き込まれた値は、PCI オフセット 2Ch のサブシステム ベンダ ID レジスタにエイリアスされます。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.61 汎用制御 0 レジスタ

このレジスタは読み取り / 書き込みレジスタで、TUSB73X0 の各種機能を制御するために使用します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: D4h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0D9Bh

表 8-93. PCI レジスタ D4h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	1	1	0	1	1	0	0	1	1	0	1	1

表 8-94. 汎用制御 0 レジスタの説明

ビット	フィールド名	アクセス	説明
31:12	RSVD	r	予約済み。読み取り時に 0 を返します。
11:9	L1_EXIT_LAT_ASYNC ⁽¹⁾	rw	非同期クロックの L1 終了レイテンシ。このフィールドの値は、リンク制御レジスタの CCC ビットが 0 のときに、リンク機能レジスタの L1_LATENCY フィールドで通知される値です。このフィールドのデフォルトは 110b です。
8:6	L1_EXIT_LAT_COMMON ⁽¹⁾	rw	共通クロックの L1 終了レイテンシ。このフィールドの値は、リンク制御レジスタの CCC ビットが 1 のときに、リンク機能レジスタの L1_LATENCY フィールドで通知される値です。このフィールドのデフォルトは 110b です。
5:3	L0s_EXIT_LAT_ASYNC ⁽¹⁾	rw	非同期クロックの L0s 終了レイテンシ。このフィールドの値は、リンク制御レジスタの CCC ビットが 0 のときに、リンク機能レジスタの L0s_LATENCY フィールドで通知される値です。このフィールドのデフォルトは 011b です。
2:0	L0s_EXIT_LAT_COMMON ⁽¹⁾	rw	共通クロックの L0s 終了レイテンシ。このフィールドの値は、リンク制御レジスタの CCC ビットが 1 のときに、リンク機能レジスタの L0s_LATENCY フィールドで通知される値です。このフィールドのデフォルトは 011b です。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.62 汎用制御 1 レジスタ

このレジスタは読み取り / 書き込みレジスタで、TUSB73X0 の各種機能を制御するために使用します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: D8h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 001Bh

表 8-95. PCI レジスタ D8h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1

表 8-96. 汎用制御 1 レジスタの説明

ビット	フィールド名	アクセス	説明
31:6	RSVD	r	予約済み。読み取り時に 0 を返します。
5:3	L1ASPM_ENTRY_TIMER ⁽¹⁾	rw	L1ASPM エントリ タイマ。このフィールドは、L1ASPM エントリ タイマの値を指定します。このフィールドのデフォルト値は 011 で、8μs の値に対応します。
2:0	L0s_ENTRY_TIMER ⁽¹⁾	rw	L0s エントリ タイマ。このフィールドは、L0s エントリ タイマの値を指定します。このフィールドのデフォルト値は 011 で、4μs の値に対応します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.63 汎用制御 2 レジスタ

このレジスタは読み取り / 書き込みレジスタで、TUSB73X0 の各種機能を制御するために使用します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

注: TUSB73X0 設計のパス 1.0 では、このレジスタは読み取り専用の 0 であり、影響はありません。

PCI レジスタ オフセット: DCh

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 001Bh

表 8-97. PCI レジスタ DCh

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1

表 8-98. 汎用制御 2 レジスタの説明

ビット	フィールド名	アクセス	説明
31:6	RSVD	r	予約済み。読み取り時に 0 を返します。
5:3	L1_LATENCY ⁽¹⁾	rw	L1 最大終了のレイテンシ。このフィールドを使用して、L1 状態から終了するときに許容される最大レイテンシをプログラムします。これは、デバイス機能レジスタの L1 許容レイテンシ フィールドを設定するために使用されます。 000 – 1μs 未満 001 – 1μs 以上 2μs 未満 010 – 2μs 以上 4μs 未満 011 – 4μs 以上 8μs 未満 (デフォルト) 100 – 8μs 以上 16μs 未満 101 – 16μs 以上 32μs 未満 110 – 32μs ~ 64μs 111 – 64μs 超
2:0	L0s_LATENCY ⁽¹⁾	rw	L0s 最大終了のレイテンシ。このフィールドを使用して、L0s 状態から復帰するときに許容される最大レイテンシをプログラムします。これは、デバイス機能レジスタの L0s 許容レイテンシ フィールドを設定するために使用されます。 000 – 64ns 未満 001 – 64ns 以上 128ns 未満 010 – 128ns 以上 256ns 未満 011 – 256ns 以上 512ns 未満 (デフォルト) 100 – 512ns 以上 1μs 未満 101 – 1μs 以上 2μs 未満 110 – 2μs ~ 4μs 111 – 4μs 超

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.64 USB 制御レジスタ

このレジスタは、TUSB73X0 の USB 設定を制御するために使用される読み取り / 書き込みレジスタです。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: E0h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-99. PCI レジスタ E0h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-100. USB 制御レジスタの説明

ビット	フィールド名	アクセス	説明
31	USB_SPREAD_DIS ⁽¹⁾	rw	USB 拡散をディセーブル。このビットが 1 に設定されると、USB 3.0 クロックのスペクトラム拡散生成は無効化されます。
30	FREQ_SEL_EN ⁽²⁾	rw	周波数選択をイネーブル。このビットが 1 に設定されると、発振器が再起動します。このビットは、電源投入後に 1 回だけ書き込むことができます。
29:24	PLL_FREQ_SEL ⁽²⁾	r	PLL 周波数の選択。FREQSEL ピンが 1 の場合、このフィールドの値によって PLL への周波数選択入力に制御されます。また、発振器への周波数セレクト入力は、選択した周波数に応じて適切に設定されます。FREQSEL ピンが 0 の場合、このフィールドは無効になります。FREQ_SEL_EN ビットがセットされると、このフィールドはロックされ、変更できません。
23	HIDE_MSIX ⁽¹⁾	rw	MSI-X を非表示にします。このビットが設定されると、PCI Express 機能の次の項目ポインタ レジスタ (オフセット 71h) は 00h に設定され、BAR2 (オフセット 18h) および BAR3 (オフセット 1Ch) はゼロのみにになります。
22	PWRON_POLARITY ⁽²⁾	rw	PWRONx 極性。このビットが 0 (デフォルト) の場合、PWRONx# ピンはアクティブ Low になり、内部プルダウン抵抗がイネーブルになります。このビットが 1 の場合、PWRONx# ピンはアクティブ High になり、内部プルダウン抵抗がディセーブルになります。
21:17	RSVD	r	予約済み。読み取り時に 0 を返します。
16	PPC_NOT_PRESENT ⁽¹⁾	rw	ポート電源制御がありません。このビットが 0 の場合、TUSB73X0 はホストコントローラの機能パラメータで PPC ビットを強制的に 1 に設定し、システムがポート パワー スイッチをサポートしていることを示します。このビットが 1 に設定されると、TUSB73X0 はホストコントローラの機能パラメータで PPC ビットを強制的に 0 にし、システムがポート パワー スイッチをサポートしていないことを示します。
15:12	RSVD ⁽¹⁾	rw	予約済み。読み取り時に 0 を返します。
11	PORT4_DIS ⁽¹⁾	rw	USB ポート 4 をディセーブル。このビットを 1 に設定すると、TUSB73X0 のポート 4 はディセーブルになります。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
10	PORT3_DIS ⁽¹⁾	rw	USB ポート 3 をディセーブル。このビットを 1 に設定すると、TUSB73X0 のポート 3 はディセーブルになります。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
9	PORT2_DIS ⁽¹⁾	rw	USB ポート 2 をディセーブル。このビットを 1 に設定すると、TUSB73X0 のポート 2 はディセーブルになります。

表 8-100. USB 制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
8	PORT1_DIS ⁽¹⁾	rw	USB ポート 1 をディセーブル。このビットを 1 に設定すると、TUSB73X0 のポート 1 はディセーブルになります。
7	USB3_PORT4_NON_REM ⁽¹⁾	rw	USB 3.0 ポート 4 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 3.0 ポート 4 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
6	USB3_PORT3_NON_REM ⁽¹⁾	rw	USB 3.0 ポート 3 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 3.0 ポート 3 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
5	USB3_PORT2_NON_REM ⁽¹⁾	rw	USB 3.0 ポート 2 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 3.0 ポート 2 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。
4	USB3_PORT1_NON_REM ⁽¹⁾	rw	USB 3.0 ポート 1 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 3.0 ポート 1 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。
3	USB2_PORT4_NON_REM ⁽¹⁾	rw	USB 2.0 ポート 4 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 2.0 ポート 4 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
2	USB2_PORT3_NON_REM ⁽¹⁾	rw	USB 2.0 ポート 3 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 2.0 ポート 3 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
1	USB2_PORT2_NON_REM ⁽¹⁾	rw	USB 2.0 ポート 2 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 2.0 ポート 2 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。
0	USB2_PORT1_NON_REM ⁽¹⁾	rw	USB 2.0 ポート 1 取り外し不可。このビットを 1 に設定すると、TUSB73X0 は USB 2.0 ポート 1 に対応するポート ステータスおよび制御レジスタの DR ビットを強制的に 1 に設定します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

(2) このビットはスティッキー ビットであり、グローバル リセット (GRST) または内部で生成されたパワーオンリセットによってリセットされます。

8.1.65 ディエンファシスおよびスイング制御レジスタ

このレジスタは、カスタム PHY 送信 / 受信制御レジスタによってデフォルト設定がオーバーライドされる場合に、各 USB 3.0 ポートのディエンファシスおよび送信スイング設定を制御するために使用されます。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: E4h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-101. PCI レジスタ E4h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-102. ディエンファシスおよびスイング制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:28	PORT4_SWING ⁽¹⁾	rw	ポート 4 スイング。PORT4_SWING_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 4 の出力スイングを設定します。スイング信号の動作の詳細については、表 6-1 を参照してください。TUSB7320 の場合ポート 4 は存在せず、これらのビットは無効です。
27:24	PORT4_DE ⁽¹⁾	rw	ポート 4 ディエンファシス。PORT4_DE_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 4 のディエンファシス値を設定します。スイング信号の動作の詳細については、表 6-2 を参照してください。TUSB7320 の場合ポート 4 は存在せず、これらのビットは無効です。
23:20	PORT3_SWING ⁽¹⁾	rw	ポート 3 スイング。PORT3_SWING_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 3 の出力スイングを設定します。スイング信号の動作の詳細については、表 6-1 を参照してください。TUSB7320 の場合ポート 3 は存在せず、これらのビットは無効です。
19:16	PORT3_DE ⁽¹⁾	rw	ポート 3 ディエンファシス。PORT3_DE_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 3 のディエンファシス値を設定します。スイング信号の動作の詳細については、表 6-2 を参照してください。TUSB7320 の場合ポート 3 は存在せず、これらのビットは無効です。
15:12	PORT2_SWING ⁽¹⁾	rw	ポート 2 スイング。PORT2_SWING_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 2 の出力スイングを設定します。スイング信号の動作の詳細については、表 6-1 を参照してください。
11:8	PORT2_DE ⁽¹⁾	rw	ポート 2 ディエンファシス。PORT2_DE_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 2 のディエンファシス値を設定します。スイング信号の動作の詳細については、表 6-2 を参照してください。
7:4	PORT1_SWING ⁽¹⁾	rw	ポート 1 スイング。PORT1_SWING_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 1 の出力スイングを設定します。スイング信号の動作の詳細については、表 6-1 を参照してください。
3:0	PORT1_DE ⁽¹⁾	rw	ポート 1 ディエンファシス。PORT1_DE_OV ビットが 1 に設定されている場合、これらのビットを使用してポート 1 のディエンファシス値を設定します。スイング信号の動作の詳細については、表 6-2 を参照してください。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.1.66 イコライザ制御レジスタ

このレジスタは、カスタム PHY 送信 / 受信制御レジスタによってデフォルト設定がオーバーライドされる場合に、各 USB 3.0 ポートのイコライザ設定を制御するために使用されます。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオンリセットによってリセットされます。

PCI レジスタ オフセット: E8h

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-103. PCI レジスタ E8h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-104. イコライザ制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:28	PORT4_EQ_INIT ⁽¹⁾	rw	ポート 4 イコライザ - 初期化モード。PORT4_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 4 のイコライザ初期値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。TUSB7320 の場合ポート 4 は存在せず、これらのビットは無効です。
27:24	PORT4_EQ_FUNC ⁽¹⁾	rw	ポート 4 イコライザ - 機能モード。PORT4_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 4 のイコライザ機能値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。TUSB7320 の場合ポート 4 は存在せず、これらのビットは無効です。
23:20	PORT3_EQ_INIT ⁽¹⁾	rw	ポート 3 イコライザ - 初期化モード。PORT3_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 3 のイコライザ初期値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。TUSB7320 の場合ポート 3 は存在せず、これらのビットは無効です。
19:16	PORT3_EQ_FUNC ⁽¹⁾	rw	ポート 3 イコライザ - 機能モード。PORT3_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 3 のイコライザ機能値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。TUSB7320 の場合ポート 3 は存在せず、これらのビットは無効です。
15:12	PORT2_EQ_INIT ⁽¹⁾	rw	ポート 2 イコライザ - 初期化モード。PORT2_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 3 のイコライザ初期値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。
11:8	PORT2_EQ_FUNC ⁽¹⁾	rw	ポート 2 イコライザ - 機能モード。PORT2_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 3 のイコライザ機能値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。
7:4	PORT1_EQ_INIT ⁽¹⁾	rw	ポート 1 イコライザ - 初期化モード。PORT1_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 1 のイコライザ初期値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。
3:0	PORT1_EQ_FUNC ⁽¹⁾	rw	ポート 1 イコライザ - 機能モード。PORT1_EQ_OV ビットが 1 に設定されている場合、これらのビットは PHY のポート 1 のイコライザ機能値のソースとして使用されます。イコライザ値の動作の詳細については、表 6-3 を参照してください。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.1.67 カスタム PHY 送信 / 受信制御レジスタ

このレジスタは、各 USB 3.0 ポートのデフォルトのディエンファシス、送信スイング、およびレシーバ イコライゼーション設定を無効にできるようにするために使用します。このレジスタは、PCI Express リセット (PERST#)、GRST#、または内部で生成されたパワーオン リセットによってリセットされます。

PCI レジスタ オフセット: ECh

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0000h

表 8-105. PCI レジスタ ECh

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
------------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

表 8-106. カスタム PHY 送信 / 受信制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:27	RSVD	r	予約済み。読み取り時に 0 を返します。
26	PORT4_EQ_OV ⁽¹⁾	rw	ポート 4 イコライゼーションのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 4 のデフォルトのイコライゼーション設定を、イコライザ制御レジスタの PORT4_EQ_FUNC フィールドの値と、イコライザ制御レジスタの PORT4_EQ_INIT フィールドの値でオーバーライドします。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
25	PORT4_SWING_OV ⁽¹⁾	rw	ポート 4 スイングのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 4 のデフォルトのスイング設定を、ディエンファシスおよびスイング制御レジスタの PORT4_SWING フィールドの値でオーバーライドします。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
24	PORT4_DE_OV ⁽¹⁾	rw	ポート 4 ディエンファシスのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 4 のデフォルトのディエンファシス設定を、ディエンファシスおよびスイング制御レジスタの PORT4_DE フィールドに指定された値でオーバーライドします。TUSB7320 の場合ポート 4 は存在せず、このビットは無効です。
23:19	RSVD	r	予約済み。読み取り時に 0 を返します。
18	PORT3_EQ_OV ⁽¹⁾	rw	ポート 3 イコライゼーションのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 3 のデフォルトのイコライゼーション設定を、イコライザ制御レジスタの PORT3_EQ_FUNC フィールドの値と、イコライザ制御レジスタの PORT3_EQ_INIT フィールドの値でオーバーライドします。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
17	PORT3_SWING_OV ⁽¹⁾	rw	ポート 3 スイングのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 3 のデフォルトのスイング設定を、ディエンファシスおよびスイング制御レジスタの PORT3_SWING フィールドの値でオーバーライドします。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
16	PORT3_DE_OV ⁽¹⁾	rw	ポート 3 ディエンファシスのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 3 のデフォルトのディエンファシス設定を、ディエンファシスおよびスイング制御レジスタの PORT3_DE フィールドに指定された値でオーバーライドします。TUSB7320 の場合ポート 3 は存在せず、このビットは無効です。
15:11	RSVD	r	予約済み。読み取り時に 0 を返します。
10	PORT2_EQ_OV ⁽¹⁾	rw	ポート 2 イコライゼーションのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 2 のデフォルトのイコライゼーション設定を、イコライザ制御レジスタの PORT2_EQ_FUNC フィールドの値と、イコライザ制御レジスタの PORT2_EQ_INIT フィールドの値でオーバーライドします。
9	PORT2_SWING_OV ⁽¹⁾	rw	ポート 2 スイングのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 2 のデフォルトのスイング設定を、ディエンファシスおよびスイング制御レジスタの PORT2_SWING フィールドの値でオーバーライドします。
8	PORT2_DE_OV ⁽¹⁾	rw	ポート 2 ディエンファシスのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 2 のデフォルトのディエンファシス設定を、ディエンファシスおよびスイング制御レジスタの PORT2_DE フィールドに指定された値でオーバーライドします。
7:3	RSVD	r	予約済み。読み取り時に 0 を返します。
2	PORT1_EQ_OV ⁽¹⁾	rw	ポート 1 イコライゼーションのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 1 のデフォルトのイコライゼーション設定を、イコライザ制御レジスタの PORT1_EQ_FUNC フィールドの値と、イコライザ制御レジスタの PORT1_EQ_INIT フィールドの値でオーバーライドします。

表 8-106. カスタム PHY 送信 / 受信制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
1	PORT1_SWING_OV ⁽¹⁾	rw	ポート 1 スイングのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 1 のデフォルトのスイング設定を、ディエンファシスおよびスイング制御レジスタの PORT1_SWING フィールドの値でオーバーライドします。
0	PORT1_DE_OV ⁽¹⁾	rw	ポート 1 ディエンファシスのオーバーライド。このビットが 1 に設定されている場合、TUSB73X0 はポート 1 のデフォルトのディエンファシス設定を、ディエンファシスおよびスイング制御レジスタの PORT1_DE フィールドの値でオーバーライドします。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.2 PCI Express 拡張構成空間

8.2.1 PCI Express 拡張構成マップ

表 8-107. PCI Express 拡張構成レジスタ マップ

レジスタ名		オフセット
次の機能オフセット / 機能バージョン	PCI Express の高度なエラー報告機能 ID	100h
訂正不可能エラー ステータス レジスタ		104h
訂正不可能エラー マスク レジスタ		108h
訂正不可能エラー 重大度 レジスタ		10Ch
訂正可能エラー ステータス レジスタ		110h
訂正可能エラー マスク レジスタ		114h
高度なエラー機能と制御レジスタ		118h
ヘッダー ログ レジスタ		11Ch
ヘッダー ログ レジスタ		120h
ヘッダー ログ レジスタ		124h
ヘッダー ログ レジスタ		128h
予約済み		12Ch-14Fh
次の機能オフセット / 機能バージョン	デバイス シリアル番号機能 ID	150h
シリアル番号レジスタ (下位 DW)		154h
シリアル番号レジスタ (上位 DW)		158h
予約済み		15C-FFFh

8.2.2 高度なエラー報告機能レジスタ

この読み取り専用レジスタは、リンクされたリスト項目を PCI Express の高度なエラー報告機能のレジスタとして識別します。このレジスタは、読み取り時に 0001h を返します。

PCI Express 拡張レジスタ オフセット: 100h

レジスタ タイプ: 読み取り専用

デフォルト値: 0001h

表 8-108. PCI Express 拡張レジスタ 100h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

8.2.3 次の機能オフセット / 機能バージョン レジスタ

この読み取り専用レジスタは、PCI Express 拡張機能リンク リストの次の場所を示します。このレジスタの上位 12 ビットは 150h であり、デバイスのシリアル番号機能がオフセット 150h から開始されることを示します。下位 4 ビットは 2h であり、現在の機能ブロックのリビジョンを示します。

PCI Express 拡張レジスタ オフセット: 100h

レジスタ タイプ: 読み取り専用

デフォルト値: 1502h

表 8-109. PCI Express 拡張レジスタ 102h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	1	0	1	0	1	0	0	0	0	0	0	1	0

8.2.4 訂正不可能エラー ステータス レジスタ

訂正不可能エラー ステータス レジスタは、個別のエラーが発生したときのステータスを報告します。ソフトウェアは、目的の場所に 1 を書き込むことによってのみこれらのビットをクリアできます。

PCI Express 拡張レジスタ オフセット: 104h

レジスタ タイプ: 読み取り専用、読み取り / クリア

デフォルト値: 0000 0000h

表 8-110. PCI Express 拡張レジスタ 104h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-111. カスタム PHY 送信 / 受信制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:21	RSVD	r	予約済み。読み取り時に 0 を返します。
20	UR_ERROR ⁽¹⁾	rcu	サポートされていない要求エラー。このビットは、サポートされていない要求を受信するとアサートされます。
19	ECRC_ERROR ⁽¹⁾	rcu	拡張 CRC エラー。拡張 CRC エラーが検出されると、このビットがアサートされます。
18	MAL_TLP ⁽¹⁾	rcu	不正な TLP。このビットは、不正な TLP が検出されるとアサートされます。
17	RX_OVERFLOW ⁽¹⁾	rcu	レシーバ オーバーフロー。このビットは、送信デバイスが発行されたクレジット数を不正に超過したことをフロー制御ロジックが検出した際にアサートされます。
16	UNXP_CPL ⁽¹⁾	rcu	予期しない完了。このビットは、発行された要求に対応しない完了パケットを受信するとアサートされます。
15	CPL_ABORT ⁽¹⁾	rcu	コンプリーター中断。このビットは、TUSB73X0 が Completer Abort を通知するとアサートされます。
14	CPL_TIMEOUT ⁽¹⁾	rcu	完了タイムアウト。このビットは、発行された要求に対してタイムアウト期間内に完了を受信しなかった場合にアサートされます。

表 8-111. カスタム PHY 送信 / 受信制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
13	FC_ERROR ⁽¹⁾	rcu	フロー制御エラー。初期化中または通常動作中にフロー制御プロトコル エラーが検出されると、このビットがアサートされます。
12	PSN_TLP ⁽¹⁾	rcu	ボイズンド TLP。このビットは、ボイズンド TLP を受信するとアサートされます。
11:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	DLL_ERROR ⁽¹⁾	rcu	データリンク プロトコル エラー。このビットは、データリンク層プロトコル エラーが検出されるとアサートされます。
3:0	RSVD	r	予約済み。読み取り時に 0 を返します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.2.5 訂正不可能エラー マスク レジスタ

訂正不可能エラー マスク レジスタは、個々のエラーが発生したときに報告を制御します。ビットが 1 に設定されている場合、対応するエラー状態はログされず、拡張エラー報告機能ブロック内のステータス ビットは更新されません。

PCI Express 拡張レジスタ オフセット: 108h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-112. PCI Express 拡張レジスタ 108h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-113. ビット説明 – 訂正不可能エラー マスク レジスタ

ビット	フィールド名	アクセス	説明
31:21	RSVD	r	予約済み。読み取り時に 0 を返します。
20	UR_ERROR_MASK ⁽¹⁾	rw	サポートされていない要求エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
19	ECRC_ERROR_MASK ⁽¹⁾	rw	拡張 CRC エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
18	MAL_TLP_MASK ⁽¹⁾	rw	不正な TLP マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
17	RX_OVERFLOW_MASK ⁽¹⁾	rw	レシーバ オーバーフロー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
16	UNXP_CPL_MASK ⁽¹⁾	rw	予期しない完了マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
15	CPL_ABORT_MASK ⁽¹⁾	rw	コンプリーター中断マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている

表 8-113. ビット説明 – 訂正不可能エラー マスク レジスタ (続き)

ビット	フィールド名	アクセス	説明
14	CPL_TIMEOUT_MASK ⁽¹⁾	rw	完了タイムアウト マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
13	FC_ERROR_MASK ⁽¹⁾	rw	フロー制御エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
12	PSN_TLP_MASK ⁽¹⁾	rw	ポイズンド TLP マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
11:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	DLL_ERROR_MASK ⁽¹⁾	rw	データリンク プロトコル エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
3:0	RSVD	r	予約済み。読み取り時に 0 を返します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.2.6 訂正不可能エラー重大度レジスタ

訂正不可能エラー重大度レジスタは、個々のエラーを ERR_FATAL または ERR_NONFATAL として報告するかを制御します。ビットがセットされると、対応するエラー状態が致命的であると識別されます。ビットがクリアされると、対応するエラー状態が致命的ではないものとして識別されます。

PCI Express 拡張レジスタ オフセット: 10Ch

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0026 2030h

表 8-114. PCI Express 拡張レジスタ 10Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0

表 8-115. ビット説明 – 訂正不可能エラー重大度レジスタ

ビット	フィールド名	アクセス	説明
31:23	RSVD	r	予約済み。読み取り時に 0 を返します。
22	RSVD	r	予約済み。読み取り時に 1 を返します。
21	RSVD	r	予約済み。読み取り時に 0 を返します。
20	UR_ERROR_SEVR ⁽¹⁾	rw	サポートされていないリクエスト エラーの重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
19	ECRC_ERROR_SEVR ⁽¹⁾	rw	拡張 CRC エラー重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
18	MAL_TLP_SEVR ⁽¹⁾	rw	不正な TLP 重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知

表 8-115. ビット説明 – 訂正不可能エラー重大度レジスタ (続き)

ビット	フィールド名	アクセス	説明
17	RX_OVERFLOW_SEVR ⁽¹⁾	rw	レシーバ オーバーフローの重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
16	UNXP_CPL_SEVR ⁽¹⁾	rw	予期しない完了の重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
15	CPL_ABORT_SEVR ⁽¹⁾	rw	完全な中断重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
14	CPL_TIMEOUT_SEVR ⁽¹⁾	rw	完了タイムアウトの重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
13	FC_ERROR_SEVR ⁽¹⁾	rw	フロー制御エラーの重大度。0 – ERR_NONFATAL 1 を使用してエラー状態を通知 – ERR_FATAL を使用してエラー状態を通知
12	PSN_TLP_SEVR ⁽¹⁾	rw	ポイズンド TLP 重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
11:6	RSVD	r	予約済み。読み取り時に 0 を返します。
5	RSVD	r	予約済み。読み取り時に 1 を返します。
4	DLL_ERROR_SEVR ⁽¹⁾	rw	データリンク プロトコル エラーの重大度。 0 – ERR_NONFATAL を使用してエラー状態を通知 1 – ERR_FATAL を使用してエラー状態を通知
3:0	RSVD	r	予約済み。読み取り時に 0 を返します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.2.7 訂正可能エラー重大度レジスタ

訂正可能エラー ステータス レジスタは、個別のエラーが発生したときのステータスを報告します。ソフトウェアは、目的の場所に 1 を書き込むことによってのみこれらのビットをクリアできます。

PCI Express 拡張レジスタ オフセット: 110h

レジスタ タイプ: 読み取り専用、読み取り / クリア

デフォルト値: 0000 0000h

表 8-116. PCI Express 拡張レジスタ 110h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-117. ビット説明 – 訂正可能エラー重大度レジスタ

ビット	フィールド名	アクセス	説明
31:14	RSVD	r	予約済み。読み取り時に 0 を返します。
13	ANFES ⁽¹⁾	rcu	アドバイザリ の非致命的エラー ステータス。このビットは、アドバイザリ の非致命的エラーが報告されるとアサートされます。
12	REPLAY_TMOUT ⁽¹⁾	rcu	リプレイ タイマ タイムアウト。このビットは、確認応答されていない保留中の要求または完了に対してリプレイ タイマが満了するとアサートされます。

表 8-117. ビット説明 – 訂正可能エラー重大度レジスタ (続き)

ビット	フィールド名	アクセス	説明
11:9	RSVD	r	予約済み。読み取り時に 0 を返します。
8	REPLAY_ROLL ⁽¹⁾	rcu	REPLAY_NUM ロールオーバー。このビットは、保留中の要求または完了が確認応答確認応答されていない状態でリプレイ カウンタがロールオーバーするとアサートされます。
7	BAD_DLLP ⁽¹⁾	rcu	不正な DLLP エラー。このビットは、DLLP 受信中に PHY によって 8b/10b エラーが検出されるとアサートされます。
6	BAD_TLP ⁽¹⁾	rcu	不正な TLP エラー。このビットは、TLP 受信中に PHY によって 8b/10b エラーが検出されるとアサートされます。
5:1	RSVD	r	予約済み。読み取り時に 0 を返します。
0	RX_ERROR ⁽¹⁾	rcu	レシーバ エラー。このビットは、PHY によって 8b/10b エラーが検出されるとアサートされます。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.2.8 訂正可能エラー マスク レジスタ

訂正可能エラー ステータス レジスタは、個別のエラーが発生したときのステータスを報告します。ソフトウェアは、目的の場所に 1 を書き込むことによってのみこれらのビットをクリアできます。

PCI Express 拡張レジスタ オフセット: 114h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 2000h

表 8-118. PCI Express 拡張レジスタ 114h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-119. ビット説明 – 訂正可能エラー マスク レジスタ

ビット	フィールド名	アクセス	説明
31:14	RSVD	r	予約済み。読み取り時に 0 を返します。
13	ANFEM ⁽¹⁾	rw	アドバイザリの非致命的エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
12	REPLAY_TMOUT_MASK ⁽¹⁾	rw	リプレイ タイム タイムアウト マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
11:9	RSVD	r	予約済み。読み取り時に 0 を返します。
8	REPLAY_ROLL_MASK ⁽¹⁾	rw	REPLAY_NUM ロールオーバーマスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
7	BAD_DLLP_MASK ⁽¹⁾	rw	DLLP エラー マスクが正しくありません。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
6	BAD_TLP_MASK ⁽¹⁾	rw	TLP エラー マスクが正しくありません。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている
5:1	RSVD	r	予約済み。読み取り時に 0 を返します。
0	RX_ERROR_MASK ⁽¹⁾	rw	レシーバ エラー マスク。 0 – エラー状態はマスクされていない 1 – エラー状態はマスクされている

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオン リセットによってリセットされます。

8.2.9 高度なエラー機能と制御レジスタ

高度なエラー機能および制御レジスタを使うことで、システムは高度なエラー報告機能を監視および制御できます。

PCI Express 拡張レジスタ オフセット: 118h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0050h

表 8-120. PCI Express 拡張レジスタ 118h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0

表 8-121. ビット説明 – 高度なエラー機能と制御レジスタ

ビット	フィールド名	アクセス	説明
31:9	RSVD	r	予約済み。読み取り時に 0 を返します。
8	ECRC_CHK_EN ⁽¹⁾	rw	拡張 CRC チェックがイネーブル。 0 – 拡張 CRC チェックが無効 1 – 拡張 CRC チェックが有効
7	ECRC_CHK_CAPABLE	r	拡張 CRC チェック機能対応。この読み取り専用ビットは、値 1 を返し、TUSB73X0 が拡張 CRC 情報をチェックできることを示します。
6	ECRC_GEN_EN ⁽¹⁾	rw	拡張 CRC 生成イネーブル。 0 – 拡張 CRC 生成が無効 1 – 拡張 CRC 生成が有効
5	ECRC_GEN_CAPABLE	r	拡張 CRC 生成対応。この読み取り専用ビットは、値 1 を返し、TUSB73X0 が拡張 CRC 情報を生成できることを示します。
4:0	FIRST_ERR ⁽¹⁾	ru	最初のエラー ポインタ。この 5 ビット値は、検出された最初のエラー状態のクラスに対応する訂正不可能エラー ステータス レジスタ内のビット位置を示します。

(1) このビットは、PCI Express リセット (PERST)、GRST、または内部で生成されたパワーオンリセットによってリセットされます。

8.2.10 ヘッダー ログ レジスタ

ヘッダー ログ レジスタは、最後に検出されたエラー状態につながるパケットの TLP ヘッダーを格納します。オフセット 11Ch には、最初の DWORD が含まれます。オフセット 128h には、最後の DWORD (4DW TLP ヘッダーの場合) が含まれています。各 DWORD は、最下位バイトが最初に送信されたものとなるように格納されます。

PCI Express 拡張レジスタ オフセット: 11Ch、120h、124h、128h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0000h

表 8-122. PCI Express 拡張レジスタ 11Ch、120、124h、128h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.2.11 デバイス シリアル番号機能 ID レジスタ

この読み取り専用レジスタは、リンクされたリスト項目をデバイス シリアル番号機能として識別します。このレジスタは、読み取り時に 0003h を返します。

PCI Express 拡張レジスタ オフセット: 150h

レジスタ タイプ: 読み取り専用

デフォルト値: 0003h

表 8-123. デバイス シリアル番号機能 ID レジスタ

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

8.2.12 次の機能オフセット / 機能バージョン レジスタ

この読み取り専用レジスタは、PCI Express 拡張機能リンクリストの次の場所を示します。このレジスタの上位 12 ビットは 000h であり、デバイスのシリアル番号機能がリスト内の最後の機能であることを示します。下位 4 ビットは 1h であり、現在の機能ブロックのリビジョンを示します。

PCI Express 拡張レジスタ オフセット: 152h

レジスタ タイプ: 読み取り専用

デフォルト値: 0001h

表 8-124. 次の機能オフセット / 機能バージョン レジスタ

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

8.2.13 デバイス シリアル番号レジスタ

この読み取り専用レジスタは、TUSB73x0 のデバイス シリアル番号を識別します。デバイス シリアル番号は、IEEE で定義された 64 ビット拡張一意識別子 (EUI-64) の形式です。EUI-64 は TI の 24 ビットの会社 ID (OUI-24 呼ばれる) と 40 ビットの拡張識別子で構成されています。TI の OUI-24 は 080028h であり、デバイス シリアル番号レジスタのビット 63:40 にハードワイヤードされています。TUSB73x0 には、40 ビットの拡張識別子に対して 00 0000 0000h ~ 00 0FFF FFFFh の範囲が割り当てられています。そのため、デバイス シリアル番号レジスタのビット 39:32 は 00h にハードワイヤードされ、デバイス シリアル番号レジスタのビット 31:0 はデバイスごとに一意の値によって定義されます。

PCI Express 拡張レジスタ オフセット: 154h

レジスタ タイプ: 読み取り専用

デフォルト値: 0800 2800 XXXX XXXX h

表 8-125. デバイス シリアル番号レジスタ

ビット 番号	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット 状態	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット 状態	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 8-126. ビットの説明 - デバイス シリアル番号レジスタ

ビット	フィールド名	アクセス	説明
63:32	SERIAL_NUM_UPPER	r	シリアル番号 – 上位 DW。シリアル番号の上位 DW は、0800 2800h にハードワイヤードされています。
31:0	SERIAL_NUM_LOWER	r	シリアル番号 – 下位 DW。シリアル番号の下位 DW は、各デバイスで一意です。

8.3 xHCI メモリ マップ レジスタ空間

8.3.1 xHCI レジスタ マップ

TUSB73X0 には、メモリ マップ レジスタ空間に xHCI レジスタが含まれています。これらのレジスタには、ベース アドレス レジスタ 0/1 にプログラムされたアドレスからアクセスできます。

表 8-127. xHCI レジスタ マップ

レジスタ名	オフセット
ホスト コントローラ機能レジスタ	000h-01Fh
ホスト コントローラ動作レジスタ	020h-49Fh
ランタイム レジスタ	4A0h-5BFh
ドアベル レジスタ	5C0h-6C3h

表 8-127. xHCI レジスタ マップ (続き)

レジスタ名	オフセット
予約済み	6C4-9BFh
xHCI 拡張機能レジスタ	9C0h-9EBh
予約済み	9ECh-FFFFh

8.3.2 ホスト コントローラ機能レジスタ

これらのレジスタは TUSB7340 の制限値と機能を指定します。テーブル内のオフセットは、ベースアドレスレジスタ 0 にプログラムされたアドレスを基準としています。

表 8-128. ホスト コントローラ機能レジスタ マップ

レジスタ名	オフセット
HC インターフェイス バージョン	00h
予約済み	
機能長	
HC 構造パラメータ 1	04h
HC 構造パラメータ 2	08h
HC 構造パラメータ 3	0Ch
HC 機能パラメータ	10h
ドアベル オフセット	14h
ランタイム レジスタ空間オフセット	18h
予約済み	1Ch-1Fh

8.3.2.1 機能レジスタ長

この読み取り専用レジスタは、読み取り時に 20h を返します。これは、動作レジスタ空間の開始が、ベース アドレス レジスタ 0 にプログラムされたアドレスからのオフセット 20h であることを示します。

BAR0 レジスタ オフセット: 00h

レジスタ タイプ: 読み取り専用

デフォルト値: 0020h

表 8-129. HC 機能レジスタ 00h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

8.3.2.2 ホスト コントローラ インターフェイスのバージョン番号

この読み取り専用レジスタは、TUSB73X0 でサポートされている xHCI 仕様リビジョン番号を示します。

BAR0 レジスタ オフセット: 02h

レジスタ タイプ: 読み取り専用

デフォルト値: 0096h

表 8-130. HC 機能レジスタ 02h

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	1	0	0	1	0	1	1	0

8.3.2.3 ホスト コントローラ構造パラメータ 1

この読み取り専用レジスタは、TUSB73X0 でサポートされている基本的な構造パラメータを定義します。

BAR0 レジスタ オフセット:04h

レジスタ タイプ:読み取り専用

デフォルト値:0800 0840h

表 8-131. HC 機能レジスタ 04h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0

表 8-132. HC 構造パラメータ 1 の説明

ビット	フィールド名	アクセス	説明
31:24	MAX_PORTS	r	ポート数。TUSB7340 では、このフィールドは 08h で、8 つのポートがサポートされていることを示します。TUSB7320 では、このフィールドは 04h で、4 つのポートがサポートされていることを示します。このフィールドには、動作レジスタ空間においてアドレス指定可能なポート レジスタ セットの数も示されます。
23:19	RSVD	r	予約済み。読み取り時に 0 を返します。
18:8	MAX_INTRS	r	インタラプタの数。このフィールドは、実装されるインタラプタの数を指定します。TUSB73x0 は 8 つのインタラプタを実装しています。各インタラプタは、MSI-X のベクトルに割り当てられます。
7:0	MAX_SLOTS	r	デバイス スロット数。このフィールドは、サポートされるデバイス コンテキスト構造およびドアベル アレイ エントリの最大数を指定します。TUSB73x0 は 64 個のデバイス スロットをサポートします。

8.3.2.4 ホスト コントローラ構造パラメータ 2

この読み取り専用レジスタは、TUSB73X0 でサポートされている基本的な構造パラメータを定義します。

BAR0 レジスタ オフセット:08h

レジスタ タイプ:読み取り専用

デフォルト値:0C00 00F1h

表 8-133. HC 機能レジスタ 08h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	1

表 8-134. HC 構造パラメータ 2 の説明

ビット	フィールド名	アクセス	説明
31:27	MAX_SCRATCH_BUF	r	最大スクラッチパッド バッファ。このフィールドは、スクラッチパッド バッファ システム ソフトウェア予約の数を示します。TUSB73X0 は、1 つのスクラッチパッド バッファを使用します。
26	SPR	r	スクラッチパッドの復元。このビットは 1b で、TUSB73X0 が電源イベント全体にわたってスクラッチパッド バッファ領域の整合性を維持する必要があることを示します。
25:13	RSVD	r	予約済み。読み取り時に 0 を返します。
12:8	IOC_INTERVAL	r	IOC 間隔。このフィールドは 0b です。
7:4	ERST_MAX	r	イベントリング セグメントテーブル最大値。このフィールドは 1111b であり、TUSB73X0 が最大 32K のイベントリング セグメント テーブル エントリをサポートしていることを示します。
3:0	IST	r	アイソクロナス スケジューリングしきい値。このフィールドは 0001b で、ソフトウェアが TRB が実行される予定時刻の 1 マイクロフレーム前までに TRB を追加できることを示します。

8.3.2.5 ホスト コントローラ構造パラメータ 3

この読み取り専用レジスタは、TUSB73X0 でサポートされている基本的な構造パラメータを定義します。

BAR0 レジスタ オフセット:0Ch

レジスタ タイプ:読み取り専用

デフォルト値:07FF 00A0h

表 8-135. HC 機能レジスタ 0Ch

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

表 8-136. HC 構造パラメータ 3 の説明

ビット	フィールド名	アクセス	説明
31:16	U2_EXIT_LAT	r	U2 デバイス終了のレイテンシ。このフィールドは 07FFh で、TUSB73X0 が U2 から U0 に遷移する際のワースト ケースのレイテンシが 2047 μ sであることを示します。
15:8	RSVD	r	予約済み。読み取り時に 0 を返します。
7:0	U1_EXIT_LAT	r	U1 デバイス終了のレイテンシ。このフィールドは 0Ah で、TUSB73X0 がルート ハブのポートリンク状態を U1 から U0 に遷移する際のワーストケースのレイテンシが 10 μ sであることを示します。

8.3.2.6 ホスト コントローラの機能パラメータ

この読み取り専用レジスタは、TUSB73X0 でサポートされている機能パラメータを定義します。

BAR0 レジスタ オフセット: 10h

レジスタ タイプ: 読み取り専用

デフォルト値: 0270 102Xh

表 8-137. HC 機能レジスタ 10h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	1	0	0	1	1	1	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	1	1	1	1	0	0	0	0	0	1	1	0	x	1	0	1

表 8-138. HC 機能パラメータの説明

ビット	フィールド名	アクセス	説明
31:16	XECP	r	xHCI 拡張機能ポインタ。このフィールドの値は 0270h であり、最初の xHCI 拡張機能の開始位置が、ベース アドレス レジスタ 0 にプログラムされたアドレスから 09C0h のオフセット位置にあることを示します。
15:12	MAX_PSA_SIZE	r	プライマリ ストリーム アレイの最大サイズ。このフィールドの値は 1111 であり、TUSB73X0 が 64K のプライマリ ストリーム アレイ サイズをサポートしていることを示します。
11:10	RSVD	r	予約済み。読み取り時に 0 を返します。
9	SBD	r	セカンダリ帯域幅ドメイン レポート。このビットは 0 で、TUSB73X0 がセカンダリ帯域幅ドメイン レポートをサポートしていないことを示します。
8	FSE	r	強制停止イベント。このビットは 0 で、TUSB73X0 が強制停止イベントをサポートしていないことを示します。
7	NSS	r	セカンダリ SID サポートなし。このビットは 0 で、TUSB73X0 がセカンダリ ストリーム ID デコードをサポートしていることを示します。
6	LTC	r	レイテンシ許容メッセージ機能。このビットは 1 で、TUSB73X0 がレイテンシ許容メッセージをサポートしていることを示します。
5	LHRC	r	ライト HC リセット機能。このビットは 1 で、TUSB73X0 がライト ホスト コントローラのリセットをサポートしていることを示します。
4	PIND	r	ポート インジケータ。このビットは 0 で、TUSB73X0 がポート インジケータをサポートしていないことを示します。
3	PPC	r	ポート電源制御。このビットの値は、USB 制御レジスタの PPC_NOT_PRESENT ビットによって決定されます。
2	CSZ	r	コンテキスト サイズ。このビットは 1 で、TUSB73X0 が 64 バイトのコンテキスト データ構造を使用していることを示します。

表 8-138. HC 機能パラメータの説明 (続き)

ビット	フィールド名	アクセス	説明
1	BNC	r	帯域幅ネゴシエーション機能。このビットは 0 で、TUSB73X0 が帯域幅ネゴシエーションを実装していないことを示します。
0	AC64	r	64 ビット アドレス機能。このビットは 1 で、TUSB73X0 が 64 ビットのアドレスメモリ ポインタを実装していることを示します。

8.3.2.7 ドアベル オフセット

この読み取り専用レジスタは、読み取り時に 0000 05C0h を返します。これは、ドアベルアレイの開始が、ベース アドレスレジスタ 0 にプログラムされたアドレスからのオフセット 5C0h であることを示します。

BAR0 レジスタ オフセット: 14h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 05C0h

表 8-139. HC 機能レジスタ 14h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0

8.3.2.8 ランタイム レジスタ空間オフセット

この読み取り専用レジスタは、読み取り時に 0000 04A0h を返します。これは、ランタイム レジスタ空間の開始が、ベース アドレスレジスタ 0 にプログラムされたアドレスからのオフセット 4A0h であることを示します。

BAR0 レジスタ オフセット: 18h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 04A0h

表 8-140. HC 機能レジスタ 18h

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	1	0	0	1	0	1	0	0	0	0	0

8.3.3 ホスト コントローラ動作レジスタ

これらのレジスタは TUSB73X0 の動作を制御します。表 8-141 のオフセットは、動作ベースからのものであり、ベース アドレス レジスタ 0 にプログラムされるアドレスと、機能レジスタ長にプログラムされる値を加算した値です (機能レジスタ長を参照)。

表 8-141. ホストコントローラの動作レジスタ マップ

レジスタ名	オフセット
USB コマンド	00h
USB のステータス	04h
ページ サイズ	08h
予約済み	0Ch-13h
デバイス通知制御	14h
コマンドリング コントロール	18h-1Fh
予約済み	20h-2Fh
デバイス コンテキスト ベース アドレス アレイ ポインタ	30h-37h
構成	38h
予約済み	3Ch-3FFh
ポートレジスタセット 1-8	400h-47Fh

8.3.3.1 USB コマンド レジスタ

このレジスタは、TUSB73X0 によって実行されるコマンドを示します。

動作ベース レジスタのオフセット: 00h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-142. HC 動作レジスタ (動作ベース + 00h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.3.3.2 USB コマンド レジスタ

このレジスタは、TUSB73X0 によって実行されるコマンドを示します。

動作ベース レジスタのオフセット:00h

レジスタ タイプ:読み取り専用、読み取り / 書き込み

デフォルト値:0000 0000h

表 8-143. HC 動作レジスタ (動作ベース + 00h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-144. USB コマンド レジスタの説明

ビット	フィールド名	アクセス	説明
31:12	RSVD	r	予約済み。読み取り時に 0 を返します。
11	EU3S	rw	U3 MFINDEX 停止を有効化
10	EWE	rw	ラップ イベントを有効化
9	CRS	rw	コントローラの復元状態
8	CSS	rw	コントローラの保存状態
7	LHCRST	rw	ライト ホスト コントローラのリセット
6:4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	HSEE	rw	ホスト システム エラー イネーブル
2	INTE	rw	インタラプタ イネーブル
1	HCRST	rw	ホスト コントローラ リセット
0	R/S	rw	実行 / 停止。

8.3.3.3 USB ステータス レジスタ

このレジスタは、保留中の割り込みと TUSB73X0 の各種状態を示します。

動作ベース レジスタのオフセット:04h

レジスタ タイプ:読み取り専用、読み取り / クリア

デフォルト値:0000 0801h

表 8-145. HC 動作レジスタ (動作ベース + 04h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

表 8-146. USB ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
31:13	RSVD	r	予約済み。読み取り時に 0 を返します。
12	HCE	r	ホスト コントローラ エラー
11	CNR	r	コントローラの準備未完了
10	SRE	rc	保存 / 復元エラー。
9	RSS	r	状態ステータスを復元します。
8	SSS	r	状態ステータスを保存します。
7:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	PCD	rc	ポート変更検出
3	EINT	rc	イベント割り込み。
2	HSE	rc	ホスト システム エラー。
1	RSVD	r	予約済み。読み取り時に 0 を返します。
0	HCH	r	HC が停止しました。

8.3.3.4 ページ サイズ レジスタ

このレジスタは、TUSB73X0 でサポートされているページ サイズを示します。

動作ベース レジスタのオフセット: 08h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0001h

表 8-147. HC 動作レジスタ (動作ベース + 08h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 8-148. ページ サイズ レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15:0	PAGE_SIZE	r	ページ サイズ。TUSB73X0 は 4k バイトのページ サイズをサポートしているため、このフィールドは 0000 0001h に設定されています。

8.3.3.5 デバイス通知制御レジスタ

このレジスタは、特定の USB デバイス通知トランザクション パケットの受信のレポートをイネーブルまたはディセーブルにするためにソフトウェアによって使用されます。

動作ベース レジスタのオフセット: 14h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-149. HC 動作レジスタ (動作ベース + 14h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-150. デバイス通知制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15:0	NOTE_EN	rw	通知をイネーブル (N0-N15)。

8.3.3.6 コマンド リング制御レジスタ

この 64 ビット レジスタは、コマンド リング制御およびステータス機能を備え、コマンド リング デキュー ポインタのアドレスおよびサイクル ビット状態を識別します。

動作ベース レジスタのオフセット: 18h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000 0000 0000h

表 8-151. HC 動作レジスタ (動作ベース + 18h)

ビット 番号	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-152. コマンド リング制御レジスタの説明

ビット	フィールド名	アクセス	説明
31:6	COM_RING_POINT	rw	コマンドリング ポインタ。
5:4	RSVD	r	予約済み。読み取り時に 0 を返します。
3	CRR	r	コマンドリング実行中。
2	CA	rw	コマンド中断。
1	CS	rw	コマンド停止。
0	RCS	rw	リング サイクル状態。

8.3.3.7 デバイス コンテキスト ベース アドレス アレイ ポインタ レジスタ

この 64 ビットのレジスタは、デバイス コンテキスト ベース アドレス アレイのベース アドレスを識別します。

動作ベース レジスタのオフセット: 30h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000 0000 0000h

表 8-153. HC 動作レジスタ (動作ベース + 30h)

ビット 番号	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-154. デバイス コンテキスト ベース アドレス アレイ ポインタ レジスタの説明

ビット	フィールド名	アクセス	説明
31:6	DCBAAP	rw	デバイス コンテキスト ベース アドレス アレイ ポインタ。
5:0	RSVD	r	予約済み。読み取り時に 0 を返します。

8.3.3.8 構成レジスタ

このレジスタは、ランタイム xHC 構成パラメータを定義します。

動作ベース レジスタのオフセット: 38h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-155. HC 動作レジスタ (動作ベース + 38h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-156. 構成レジスタの説明

ビット	フィールド名	アクセス	説明
31:8	RSVD	r	予約済み。読み取り時に 0 を返します。
7:0	MAX_SLOTS_EN	rw	最大デバイス スロットが有効です。

8.3.3.9 ポートステータスおよび制御レジスタ

TUSB73X0 には、実装されている各ポートのポート ステータスおよび制御レジスタが実装されています。ポート ステータスおよび制御レジスタの数は、ホスト コントローラ構造パラメータ 1 レジスタの MAX_PORTS フィールドの値と同じです (ホスト コントローラ構造パラメータ 1 を参照)。

動作ベース レジスタのオフセット: $400h + (10h \times (n - 1))$ 、ここで、n = ポート番号

レジスタ タイプ: 読み取り専用、読み取り / 書き込み、読み取り / クリア

デフォルト値: X000 02A0h

表 8-157. HC 動作レジスタ (動作ベース + $400h + (10h \times (n - 1))$)。ここで、n = ポート番号

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0

表 8-158. ポート ステータスおよび制御レジスタの説明

ビット	フィールド名	アクセス	説明
31	WPR ⁽¹⁾	rc または r	ウォーム ポートリセット。このフィールドは、USB 3.0 プロトコル ポートに対してのみ有効です。USB 2.0 プロトコル ポートの場合、このビットは予約されています。
30	DR	r	デバイスはリムーバブル。このビットの値は、このレジスタに関連付けられたポート番号とポート タイプに対応する USB 制御レジスタの USBx_PORTy_NON_REM ビットにプログラムされた値によって決まります。
29:28	RSVD	r	予約済み。読み取り時に 0 を返します。
27	WOE ⁽¹⁾	rw	ウェイク オン過電流イネーブル。

表 8-158. ポート ステータスおよび制御レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
26	WDE ⁽¹⁾	rw	ウェイク オン接続解除イネーブル。
25	WCE ⁽¹⁾	rw	ウェイク オン接続イネーブル。
24	RSVD	r	予約済み。読み取り時に 0 を返します。
23	CEC ⁽¹⁾	rc または r	ポート設定エラーの変更。このフィールドは、USB 3.0 プロトコル ポートに対してのみ有効です。USB 2.0 プロトコル ポートの場合、このビットは予約されています。
22	PLC ⁽¹⁾	rc	ポートリンク状態の変更。
21	PRC ⁽¹⁾	rc	ポートのリセット変更。
20	OCC ⁽¹⁾	rc	過電流変化。
19	WRC ⁽¹⁾	rc または r	ウォーム ポートのリセット変更。このフィールドは、USB 3.0 プロトコル ポートに対してのみ有効です。USB 2.0 プロトコル ポートの場合、このビットは予約されています。
18	PEC ⁽¹⁾	rc	ポート イネーブル / ディスエーブルの変更。
17	CSC ⁽¹⁾	rc	接続ステータスの変更。
16	LWS	w	ポートリンク状態書き込みストロブ。このビットは読み取り時に 0 を返します。
15:14	PIC ⁽¹⁾	rw	ポート インジケータ制御。TUSB73X0 はポート インジケータをサポートしていないため、このフィールドは影響しません。
13:10	PORT_SPEED ⁽¹⁾	r	ポート速度
9	PP ⁽¹⁾	rw	ポート電源。
8:5	PLS ⁽¹⁾	rw	ポートリンク状態
4	PR ⁽¹⁾	rs	ポートのリセット。
3	OCA	r	過電流アクティブ。
2	RSVD	r	予約済み。読み取り時に 0 を返します。
1	PED ⁽¹⁾	rc	ポート イネーブル / ディスエーブル。
0	CCS ⁽¹⁾	r	現在の接続ステータス。

(1) このビットはスティッキー ビットであり、グローバル リセット (GRST) または内部で生成されたパワーオンリセットによってリセットされます。

8.3.3.10 ポート PM ステータスおよび制御レジスタ (USB 3.0 ポート)

TUSB73X0 には、実装されている各ポートのポート PM ステータスおよび制御レジスタが実装されています。ポート PM ステータスおよび制御レジスタの数は、ホスト コントローラ構造パラメータ 1 レジスタの MAX_PORTS フィールドの値と同じです (ホスト コントローラ構造パラメータ 1 を参照)。

動作ベース レジスタのオフセット: $404h + (10h \times (n - 1))$ 、ここで、 n = ポート番号

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-159. HC 動作レジスタ (動作ベース + $404h + (10h \times (n - 1))$)。ここで、 n = ポート番号

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-160. ポート PM ステータスおよび制御レジスタ (USB 3.0) の説明

ビット	フィールド名	アクセス	説明
31:17	RSVD	r	予約済み。読み取り時に 0 を返します。
16	FLA	rw	リンク PM を強制的に受け入れる。
15:8	U2_TIMEOUT ⁽¹⁾	rw	U2 タイムアウト。
7:0	U1_TIMEOUT ⁽¹⁾	rw	U1 タイムアウト。

(1) このビットはスティッキー ビットであり、グローバル リセット (GRST) または内部で生成されたパワーオン リセットによってリセットされます。

8.3.3.11 ポート PM ステータスおよび制御レジスタ (USB 2.0 ポート)

TUSB73X0 には、実装されている各ポートのポート PM ステータスおよび制御レジスタが実装されています。ポート PM ステータスおよび制御レジスタの数は、ホスト コントローラ構造パラメータ 1 レジスタの MAX_PORTS フィールドの値と同じです (ホスト コントローラ構造パラメータ 1 を参照)。

動作ベース レジスタのオフセット: $404h + (10h \times (n - 1))$ 、ここで、 n = ポート番号

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-161. HC 動作レジスタ (動作ベース + $404h + (10h \times (n - 1))$)。ここで、 n = ポート番号

ビット番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-162. ポート PM ステータスおよび制御レジスタ (USB 2.0) の説明

ビット	フィールド名	アクセス	説明
31:28	PORT_TEST_CTRL	rw	ポートテスト制御。
27:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15:8	L1_DEV_SLOT	rw	L1 デバイス スロット。
7:4	HIRD	rw	ホストが開始した再開時間。
3	RWE	rw	リモートウェークアップ イネーブル。
2:0	L1S	r	L1 のステータス。

8.3.3.12 ポート リンク情報レジスタ

TUSB73X0 には、実装される USB 3.0 ポートごとにポートリンク情報レジスタが実装されています。USB 2.0 ポートの場合、ポートリンク情報レジスタは予約されており、読み取り時に 0 を返します。ポートリンク情報レジスタの数は、ホスト コントローラ構造パラメータ 1 レジスタの MAX_PORTS フィールドの値と同じです (ホスト コントローラ構造パラメータ 1 を参照)。

動作ベース レジスタのオフセット: $408h + (10h \times (n - 1))$ 、ここで、 n = ポート番号

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0000h

表 8-163. HC 動作レジスタ (動作ベース + $408h + (10h \times (n - 1))$)。ここで、 n = ポート番号

ビット番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-164. ポート リンク情報レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15:0	LINK_ERROR_COUNT	r	リンク エラー カウンタ。

8.3.4 ホスト コントローラ ランタイム レジスタ

これらのレジスタは、現在のマイクロフレームを読み取り、TUSB73X0 のインタラプタを制御するために使用されます。表 8-165 のオフセットはランタイム ベースからのものであり、ベース アドレス レジスタ 0 にプログラムされたアドレスと、ランタイム レジスタ空間オフセットにプログラムされた値を加算した値です (ランタイム レジスタ空間オフセットを参照)。

表 8-165. ホスト コントローラ ランタイム レジスタ マップ

レジスタ名	オフセット
マイクロフレーム インデックス	00h
予約済み	04h-1Fh
インタラプタ レジスタ セット 0	20h-3Fh
インタラプタ レジスタ セット 1	40h-5Fh
インタラプタ レジスタ セット 2	60h-7Fh
インタラプタ レジスタ セット 3	80h-9Fh
インタラプタ レジスタ セット 4	A0h-BFh
インタラプタ レジスタ セット 5	C0h-DFh
インタラプタ レジスタ セット 6	E0h-FFh
インタラプタ レジスタ セット 7	100h-11Fh

8.3.4.1 マイクロフレーム インデックス レジスタ

このレジスタは、システム ソフトウェアが現在の周期フレームを決定するために使用されます。レジスタ値は、125 μ s ごとにインクリメントされます。

ランタイム ベース レジスタ オフセット: 00h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0000h

表 8-166. HC ランタイム レジスタ (ランタイム ベース + 00h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-167. マイクロフレーム インデックス レジスタの説明

ビット	フィールド名	アクセス	説明
31:14	RSVD	r	予約済み。読み取り時に 0 を返します。
13:0	MICROFRAME_IDX	r	マイクロフレーム インデックス。

8.3.4.2 インタラプタ管理レジスタ

TUSB73X0 には、実装されているインタラプタに 1 つずつ、計 8 つのインタラプタ管理レジスタが実装されています。

ランタイム ベースレジスタ オフセット: $20h + (20h \times \text{インタラプタ})$ 。ここで、インタラプタ = 0 ~ 7 です

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-168. HC ランタイム レジスタ (ランタイム ベース + $20h + (20h \times \text{インタラプタ})$)。ここで、インタラプタ = 0 ~ 7 です

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-169. インタラプタ管理レジスタの説明

ビット	フィールド名	アクセス	説明
31:2	RSVD	r	予約済み。読み取り時に 0 を返します。
1	IE	rw	割り込みイネーブル。
0	IP	rc	割り込み保留中。

8.3.4.3 インタラプタ モデレーション レジスタ

TUSB73X0 には、実装されているインタラプタに 1 つずつ、計 8 つの割り込み管理レジスタが実装されています。

ランタイム ベースレジスタ オフセット: $24h + (20h \times \text{インタラプタ})$ 。ここで、インタラプタ = 0 ~ 7 です

レジスタ タイプ: 読み出し / 書き込み

デフォルト値: 0000 0FA0h

表 8-170. HC ランタイム レジスタ (ランタイム ベース + $24h + (20h \times \text{インタラプタ})$)。ここで、インタラプタ = 0 ~ 7 です

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0	0

表 8-171. インタラプタ管理レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	IMODC	rw	割り込みモデレーション カウンタ。
15:0	IMODI	rw	割り込みモデレーション間隔。

8.3.4.4 イベント リング セグメント テーブル サイズ レジスタ

TUSB73X0 には、実装されているインタラプタに 1 つずつ、計 8 つのイベントリング セグメント テーブル サイズ レジスタが実装されています。

ランタイム ベースレジスタ オフセット: $28h + (20h \times \text{インタラプタ})$ 。ここで、インタラプタ = 0 ~ 7 です

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-172. HC ランタイム レジスタ (ランタイム ベース + 28h + (20h × インタラプタ)). ここで、インタラプタ = 0 ~ 7 です

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-173. イベント リング セグメント テーブル サイズ レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	RSVD	r	予約済み。読み取り時に 0 を返します。
15:0	ERSTS	rw	イベントリング セグメント テーブル サイズ。

8.3.4.5 イベント リング セグメント テーブル ベース アドレス レジスタ

TUSB73X0 には、実装されているインタラプタに 1 つずつ、計 8 つのイベントリング セグメント テーブル ベース アドレス レジスタが実装されています。

ランタイム ベース レジスタ オフセット: 30h + (20h × インタラプタ)。ここで、インタラプタ = 0 ~ 7 です

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000 0000 0000h

表 8-174. HC ランタイム レジスタ (ランタイム ベース + 30h + (20h × インタラプタ)). ここで、インタラプタ = 0 ~ 7 です

ビット 番号	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-175. イベント リング セグメント テーブル ベース アドレス レジスタの説明

ビット	フィールド名	アクセス	説明
63:4	ERST_BASE	rw	イベントリング セグメント テーブル ベース アドレス。

表 8-175. イベント リング セグメント テーブル ベース アドレス レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
3:0	RSVD	r	予約済み。読み取り時に 0 を返します。

8.3.4.6 イベント リング デキュー ポインタ レジスタ

TUSB73X0 には、実装されているインタラプタに 1 つずつ、計 8 つのイベント リング デキュー ポインタ レジスタが実装されています。

ランタイム ベース レジスタ オフセット: $38h + (20h \times \text{インタラプタ})$ 。ここで、インタラプタ = 0 ~ 7 です

レジスタ タイプ: 読み取り / 書き込み、読み取り / クリア

デフォルト値: 0000 0000 0000 0000h

表 8-176. HC ランタイム レジスタ (ランタイム ベース + $38h + (20h \times \text{インタラプタ})$)。ここで、インタラプタ = 0 ~ 7 です

ビット 番号	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-177. イベント リング デキュー ポインタ レジスタの説明

ビット	フィールド名	アクセス	説明
64:4	ERDP	rw	イベント リング デキュー ポインタ。
3	EHB	rc	イベント ハンドラがビジー。
2:0	DESI	rw	ERST セグメント インデックスのデキュー。

8.3.5 ホスト コントローラ ドアベル レジスタ

TUSB73X0 は、65 個のドアベル レジスタのアレイをサポートしており、その内訳はホスト コントローラ 用が 1 個、およびサポートされる各デバイス スロット用がそれぞれ 1 個となっています。最初のドアベル レジスタのアドレスは、ベース アドレスレジスタ 0 にプログラムされるアドレスと、[ドアベル オフセット](#)にプログラムされる値を加算した値です。

ドアベル ベース レジスタのオフセット: $00h + (04h \times \text{デバイス スロット})$ 、ここで、デバイス スロット = 0 ~ 64 です

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0000h

表 8-178. HC ドアベル レジスタ (ドアベル ベース + $(04h \times \text{デバイス スロット})$)、ここで、デバイス スロット = 0 ~ 64 です

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-179. インタラプタ管理レジスタの説明

ビット	フィールド名	アクセス	説明
31:16	DB_STREAM_ID	rw	ドアベル ストリーム ID。このフィールドは読み取り時に 0 を返します。
15:8	RSVD	r	予約済み。読み取り時に 0 を返します。
7:0	DB_TARGET	rw	ドアベル ターゲット。このフィールドは読み取り時に 0 を返します。

8.3.6 xHCI 拡張機能レジスタ

これらのレジスタは、TUSB73X0 の xHCI 拡張機能に使用されます。[表 8-180](#) のオフセットは、xHCI 拡張機能ベースからのものであり、ベース アドレス レジスタ 0 にプログラムされるアドレスと、[ホスト コントローラの機能パラメータ](#)の xHCI 拡張機能ポインタ フィールドにプログラムされる値の合計です。

表 8-180. xHCI 拡張機能レジスタ マップ

レジスタ名	オフセット
レガシー サポート機能	00h-07h
予約済み	08h-0Fh
xHCI サポート プロトコル機能 (USB 2.0)	10h-1Bh
予約済み	1Ch-1Fh
xHCI サポート プロトコル機能 (USB 3.0)	20h-2Bh

8.3.6.1 USB レガシー サポート機能レジスタ

このレジスタは、BIOS とオペレーティング システム間でホスト コントローラの所有権を調整するために使用されます。

xHCI 拡張機能ベース レジスタ オフセット: 00h

レジスタ タイプ: 読み取り専用、読み取り / 書き込み

デフォルト値: 0000 0201h

表 8-181. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 00h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-----------	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

表 8-181. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 00h) (続き)

リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1

表 8-182. USB レガシー サポート機能レジスタの説明

ビット	フィールド名	アクセス	説明
31:25	RSVD	r	予約済み。読み取り時に 0 を返します。
24	HC_OS_SEMA	rw	HC OS が所有するセマフォ。
23:17	RSVD	r	予約済み。読み取り時に 0 を返します。
16	HC_BIOS_SEMA	rw	HC BIOS が所有するセマフォ。
15:8	NEXT_CAP	r	次の機能ポインタ。このフィールドは 04h であり、USB 2.0 用の xHCI でサポートされるプロトコル機能が xHCI 拡張機能ベースからオフセット 10h で開始されることを示します。
7:0	CAPABILITY_ID	r	機能 ID。このフィールドは 01h で、この機能が USB レガシー サポート機能であることを示します。

8.3.6.2 USB レガシー サポート制御 / ステータス レジスタ

このレジスタは、BIOS ソフトウェアでシステム管理割り込みをイネーブルにするために使用されます。

xHCI 拡張機能ベース レジスタ オフセット: 04h

レジスタ タイプ: 読み取り専用、読み取り / クリア

デフォルト値: 0000 0000h

表 8-183. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 04h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8-184. USB レガシー サポート制御 / ステータス レジスタの説明

ビット	フィールド名	アクセス	説明
31	SMI_BAR	rc	BAR による SMI。
30	SMI_PCI_COM	rc	PCI コマンドによる SMI。
29	SMI_OS_CHANGE	rc	OS 所有権の変更時の SMI。
28:21	RSVD	r	予約済み。読み取り時に 0 を返します。
20	SMI_HOST_SYS_ERR	r	ホストシステムエラー時の SMI。
19:17	RSVD	r	予約済み。読み取り時に 0 を返します。
16	SMI_EVENT_INT	r	イベント割り込み時の SMI。
15	SMI_BAR_EN	rw	BAR イネーブル時の SMI。
14	SMI_PCI_COM_EN	rw	PCI コマンド イネーブル時の SMI。
13	SMI_OS_EN	rw	OS 所有権イネーブル時の SMI。

表 8-184. USB レガシー サポート制御 / ステータス レジスタの説明 (続き)

ビット	フィールド名	アクセス	説明
12:5	RSVD	r	予約済み。読み取り時に 0 を返します。
4	SMI_HOST_SYS_ERR_EN	rw	ホスト システム エラー イネーブル時の SMI。
3:1	RSVD	r	予約済み。読み取り時に 0 を返します。
0	USB_SMI_EN	rw	USB SMI イネーブル。

8.3.6.3 xHCI サポート プロトコル機能レジスタ (USB 2.0)

このレジスタは、サポートされているプロトコル機能が USB 2.0 用であることを示します。

xHCI 拡張機能ベース レジスタ オフセット: 10h

レジスタ タイプ: 読み取り専用

デフォルト値: 0200 0402h

表 8-185. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 10h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

表 8-186. xHCI サポート プロトコル機能レジスタ (USB 2.0) の説明

ビット	フィールド名	アクセス	説明
31:24	MAJOR_REV	r	メジャー リビジョン。サポートされているプロトコル機能は USB 仕様のリリース 2.0 に対応しているため、このフィールドは 02h です。
23:16	MINOR_REV	r	マイナー リビジョン。サポートされているプロトコル機能は USB 仕様のリリース 2.0 に対応しているため、このフィールドは 00h です。
15:8	NEXT_CAP	r	次の機能ポインタ。このフィールドは 04h であり、USB 3.0 用の xHCI でサポートされるプロトコル機能が xHCI 拡張機能ベースからオフセット 20h で開始されることを示します。
7:0	CAPABILITY_ID	r	機能 ID。このフィールドは 02h で、この機能がサポート プロトコル機能であることを示します。

8.3.6.4 xHCI サポート プロトコル名文字列レジスタ (USB 2.0)

この読み取り専用レジスタは 2042 5355h に設定されており、サポートされているプロトコル機能が USB 2.0 であることを示します。

xHCI 拡張機能ベース レジスタ オフセット: 14h

レジスタ タイプ: 読み取り専用

デフォルト値: 2042 5355h

表 8-187. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 14h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	0

TUSB7320, TUSB7340

JAJSOK5R – MARCH 2011 – REVISED AUGUST 2026

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	1	0	1	0	0	1	1	0	1	0	1	0	1	0	1

8.3.6.5 xHCI サポート プロトコル ポート レジスタ (USB 2.0)

このレジスタは、サポートされている USB 2.0 ポートの数とポート番号を示します。

xHCI 拡張機能ベース レジスタ オフセット: 18h

レジスタ タイプ: 読み取り専用

デフォルト値: 0001 0X01h

表 8-188. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 18h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	1

表 8-189. xHCI サポート プロトコル機能レジスタ (USB 2.0) の説明

ビット	フィールド名	アクセス	説明
31:19	RSVD	r	予約済み。読み取り時に 0 を返します。
18	IHI	r	統合ハブを実装。このフィールドは 0 で、ルートハブから外部ポートへのマッピングが xHCI 仕様のデフォルトマッピングに準拠していることを示します。
17	HSO	r	高速モードのみ。このフィールドは 0 で、USB 2.0 ポートが低速、全速、高速対応であることを示します。
16	L1C	r	L1 機能。このフィールドは 1 で、TUSB73X0 が USB 2.0 リンク パワー マネージメント L1 状態をサポートしていることを示します。
15:8	COMPATIBLE_PORT_CNT	r	互換性のあるポート数。TUSB7340 では、このフィールドは 04h で、4 つの USB 2.0 ポートがサポートされていることを示します。TUSB7320 では、このフィールドは 02h で、2 つの USB 2.0 ポートがサポートされていることを示します。
7:0	COMPATIBLE_PORT_OFF	r	互換性のあるポート オフセット。このフィールドは 01h で、最初の USB 2.0 ポートがポート 1 であることを示します。

8.3.6.6 xHCI サポート プロトコル機能レジスタ (USB 3.0)

このレジスタは、サポートされているプロトコル機能が USB 3.0 用であることを示します。

xHCI 拡張機能ベース レジスタ オフセット: 20h

レジスタ タイプ: 読み取り専用

デフォルト値: 0300 0002h

表 8-190. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 20h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 8-191. xHCI サポート プロトコル機能レジスタ (USB 3.0) の説明

ビット	フィールド名	アクセス	説明
31:24	MAJOR_REV	r	メジャー リビジョン。サポートされているプロトコル機能は USB 仕様のリリース 3.0 に対応しているため、このフィールドは 03h です。
23:16	MINOR_REV	r	マイナー リビジョン。サポートされているプロトコル機能は USB 仕様のリリース 3.0 に対応しているため、このフィールドは 00h です。
15:8	NEXT_CAP	r	次の機能ポインタ。このフィールドは 00h で、これが最後の機能能力であることを示します。
7:0	CAPABILITY_ID	r	機能 ID。このフィールドは 02h で、この機能がサポート プロトコル機能であることを示します。

8.3.6.7 xHCI サポート プロトコル名文字列レジスタ (USB 3.0)

この読み取り専用レジスタは 2042 5355h に設定されており、サポートされているプロトコル機能が USB 3.0 であることを示します。

xHCI 拡張機能ベース レジスタ オフセット: 24h

レジスタ タイプ: 読み取り専用

デフォルト値: 2042 5355h

表 8-192. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 24h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	1	0	1	0	0	1	1	0	1	0	1	0	1	0	1

8.3.6.8 xHCI サポート プロトコル ポート レジスタ (USB 3.0)

このレジスタは、サポートされている USB 3.0 ポートの数とポート番号を示します。

xHCI 拡張機能ベース レジスタ オフセット: 28h

レジスタ タイプ: 読み取り専用

デフォルト値: 0000 0X0Xh

表 8-193. xHCI 拡張機能レジスタ (xHCI 拡張機能ベース + 28h)

ビット 番号	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット 状態	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット 状態	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x	1

表 8-194. xHCI サポート プロトコル機能レジスタ (USB 3.0) の説明

ビット	フィールド名	アクセス	説明
31:19	RSVD	r	予約済み。読み取り時に 0 を返します。
18	IHI	r	統合ハブを実装。このフィールドは 0 で、ルート ハブから外部ポートへのマッピングが xHCI 仕様のデフォルト マッピングに準拠していることを示します。
17	HSO	r	高速モードのみ。このフィールドは USB 3.0 には適用されず、0 です。
16	L1C	r	L1 機能。このフィールドは USB 3.0 には適用されず、0 です。
15:8	COMPATIBLE_PORT_CNT	r	互換性のあるポート数。TUSB7340 では、このフィールドは 04h で、4 つの USB 3.0 ポートがサポートされていることを示します。TUSB7320 では、このフィールドは 02h で、2 つの USB 3.0 ポートがサポートされていることを示します。
7:0	COMPATIBLE_PORT_OFF	r	互換性のあるポート オフセット。TUSB7340 では、このフィールドは 05h で、最初の USB 3.0 ポートがポート 5 であることを示します。TUSB7320 では、このフィールドは 03h で、最初の USB 3.0 ポートがポート 3 であることを示します。

8.4 MSI-X メモリ マップ レジスタ空間

8.4.1 メモリ マップド レジスタ空間の MSI-X テーブルと PBA

TUSB73X0 には、MSI-X テーブルと PBA がメモリ マップされたレジスタ空間に含まれています。これらのレジスタには、ベース アドレスレジスタ 2/3 にプログラムされたアドレスからアクセスできます。詳細については、[PCI Express パワー マネージメント](#) セクションを参照してください。

表 8-195. MSI-X テーブルと PBA レジスタ マップ

レジスタ名	オフセット
エントリ 0 メッセージ アドレス	0000h
エントリ 0 メッセージの上位アドレス	0004h
エントリ 0 メッセージ データ	0008h
エントリ 0 ベクトル制御	000Ch
エントリ 1 メッセージ アドレス	0010h
エントリ 1 メッセージの上位アドレス	0014h
エントリ 1 メッセージ データ	0018h
エントリ 1 ベクトル制御	001Ch

表 8-195. MSI-X テーブルと PBA レジスタ マップ (続き)

レジスタ名	オフセット
エントリ 2 メッセージ アドレス	0020h
エントリ 2 メッセージの上位アドレス	0024h
エントリ 2 メッセージ データ	0028h
エントリ 2 ベクトル制御	002Ch
エントリ 3 メッセージ アドレス	0030h
エントリ 3 メッセージの上位アドレス	0034h
エントリ 3 メッセージ データ	0038h
エントリ 3 ベクトル制御	003Ch
エントリ 4 メッセージ アドレス	0040h
エントリ 4 メッセージの上位アドレス	0044h
エントリ 4 メッセージ データ	0048h
エントリ 4 ベクトル制御	004Ch
エントリ 5 メッセージ アドレス	0050h
エントリ 5 メッセージの上位アドレス	0054h
エントリ 5 メッセージ データ	0058h
エントリ 5 ベクトル制御	005Ch
エントリ 6 メッセージ アドレス	0060h
エントリ 6 メッセージの上位アドレス	0064h
エントリ 6 メッセージ データ	0068h
エントリ 6 ベクトル制御	006Ch
エントリ 7 メッセージ アドレス	0070h
エントリ 7 メッセージの上位アドレス	0074h
エントリ 7 メッセージ データ	0078h
エントリ 7 ベクトル制御	007Ch
予約済み	0080h-0FFFh
保留ビット 7 ~ 0	1000h
予約済み	1001h-1FFFh

これらのレジスタの説明については、『PCI ローカル バス仕様』リビジョン 3.0 を参照してください。

8.5 メモリ マップド レジスタ空間の MSI-X テーブルと PBA

表 8-196. MSI-X テーブルと PBA レジスタ マップ

レジスタ名	オフセット
エントリ 0 メッセージ アドレス	0000h
エントリ 0 メッセージの上位アドレス	0004h
エントリ 0 メッセージ データ	0008h
エントリ 0 ベクトル制御	000Ch
エントリ 1 メッセージ アドレス	0010h
エントリ 1 メッセージの上位アドレス	0014h
エントリ 1 メッセージ データ	0018h
エントリ 1 ベクトル制御	001Ch
エントリ 2 メッセージ アドレス	0020h
エントリ 2 メッセージの上位アドレス	0024h

表 8-196. MSI-X テーブルと PBA レジスタ マップ (続き)

レジスタ名	オフセット
エントリ 2 メッセージ データ	0028h
エントリ 2 ベクトル制御	002Ch
エントリ 3 メッセージ アドレス	0030h
エントリ 3 メッセージの上位アドレス	0034h
エントリ 3 メッセージ データ	0038h
エントリ 3 ベクトル制御	003Ch
エントリ 4 メッセージ アドレス	0040h
エントリ 4 メッセージの上位アドレス	0044h
エントリ 4 メッセージ データ	0048h
エントリ 4 ベクトル制御	004Ch
エントリ 5 メッセージ アドレス	0050h
エントリ 5 メッセージの上位アドレス	0054h
エントリ 5 メッセージ データ	0058h
エントリ 5 ベクトル制御	005Ch
エントリ 6 メッセージ アドレス	0060h
エントリ 6 メッセージの上位アドレス	0064h
エントリ 6 メッセージ データ	0068h
エントリ 6 ベクトル制御	006Ch
エントリ 7 メッセージ アドレス	0070h
エントリ 7 メッセージの上位アドレス	0074h
エントリ 7 メッセージ データ	0078h
エントリ 7 ベクトル制御	007Ch
予約済み	0080h-0FFFh
保留ビット 7 ~ 0	1000h
予約済み	1001h-1FFFh

これらのレジスタの説明については、『PCI ローカル バス仕様』リビジョン 3.0 を参照してください。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インストルメンツ [USB 2.0 ボード設計およびレイアウト ガイドライン](#) アプリケーション ノート
- テキサス インストルメンツ、『ユニバーサル シリアル バス 2.0 仕様』
- テキサス インストルメンツ、『ユニバーサル シリアル バス 3.0 仕様』
- テキサス インストルメンツ、『ユニバーサル シリアル バス (xHCI) 用の拡張可能ホスト コントローラ インターフェイス』、[リビジョン 0.96](#)
- テキサス インストルメンツ『[PCI Express ベース仕様](#)』[リビジョン 2.1](#)
- テキサス インストルメンツ、『[PCI Express カードの電氣的仕様](#)』、[リビジョン 2.0](#)
- テキサス インストルメンツ、『[PCI Express Mini カードの電氣的仕様](#)』、[リビジョン 1.2](#)
- テキサス インストルメンツ、『[PCI バス パワー マネージメント インターフェイス仕様](#)』、[リビジョン 1.2](#)
- テキサス インストルメンツ『[PCI ローカル バス仕様](#)』[リビジョン 3.0](#)
- テキサス インストルメンツ、『[64 ビット グローバル 識別子 \(EUI-64\) 登録機関のガイドライン](#)』

9.2 デバイス サポート

9.2.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インストルメンツの出版物は、単独またはテキサス・インストルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2.2 デバイスの命名規則

このデータシート全体にわたって、情報を伝達するため、いくつかの表記規則が使用されています。それらの表記規則のリストは次のとおりです。

1. 2 進数またはフィールドを識別するために、数値の後に小文字の **b** を付けます。例:000b は 3 ビットのバイナリフィールドです。
2. 16 進数またはフィールドを識別するには、小文字の **h** を数字の後に付けます。例:8AFh は 12 ビットの 16 進数フィールドです。
3. 本書に記載されているその他の数値のうち、末尾に **a**、**b** または **h** が付いていないものは、すべて 10 進数形式と見なされます。
4. 信号名や端子名の上にバー (例えば GRST) がある場合、それは論理 NOT 関数を表します。この信号がアサートされると、論理 Low、0、または 0b になります。
5. 差動信号名は P、N、+、または – という識別子で終わります。P または + 記号は、差動ペアに関連する正の信号を示します。N または – 記号は、差動ペアに関連する負の信号を示します。
6. RSVD は、参照されている項目が予約されていることを示します。
7. [レジスタ マップ](#) の各レジスタ ビットについて、ソフトウェア アクセス方式がアクセス列に示されています。このアクセス列の凡例には、次のエントリが含まれています。
 - **r** – ソフトウェアによる読み取りアクセス
 - **u** – ホスト コントローラの内部ハードウェアによる更新
 - **w** – ソフトウェアによる書き込みアクセス
 - **c** – ソフトウェアによる 1b のライトバックでアサートされたビットをクリア。フィールドにゼロを書き込んでも影響はありません
 - **s** – フィールドは、1 を書き込むことで設定できます。フィールドにゼロを書き込んでも影響はありません
 - **na** – アクセス不可または該当なし

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Windows XP™ and Windows Vista™ are trademarks of Microsoft Corporation.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

Linux® is a registered trademark of Linus Torvalds.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (March 2024) to Revision R (August 2026)	Page
• 24MHz クロッキングのサポートを削除.....	31

Changes from Revision P (August 2023) to Revision Q (March 2024)	Page
• 「パワーアップ シーケンス」セクションに「推奨される 1.1V および 3.3V 電源ランプ時間は 1ms 以上 (0% ~ 100% で測定) です」というテキストを追加.....	31

Changes from Revision O (August 2023) to Revision P (August 2023)	Page
• 「リファレンスデザイン 1」の図を更新して、A4 および B8 のピン名を訂正	25

Changes from Revision N (August 2022) to Revision O (August 2023)	Page
• 「製品情報」表のフォーマットを更新し、USB ポート数を追加	1
• 「パワーアップ シーケンス」の図を更新し、VDDA_3P3 および VDD33 の後に VDD11 電源ランプを表示	31

Changes from Revision M (July 2015) to Revision N (August 2022)	Page
• 「アプリケーション」セクションを更新	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 包括的な用語を使ってデータシートを更新。	1
• 推奨 VDD11 の最小値を 0.99V から 1.045V に変更.....	9
• VDD11 に脚注「1.1V -5%/+10% 電源を推奨」を追加	9
•	17
• 「リファレンス デザイン 1」の図の B8 のピン名を VDD11 から次に変更: NC	25

Changes from Revision L (August 2013) to Revision M (July 2015)	Page
• 「ピン構成および機能」、「ESD 定格」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加	1
• 24MHz クロッキングのサポートを削除しました。	3
• 「2 線式シリアルバス インターフェイス」セクションの最初の ItemizedList を削除.....	18
• 表 112 のビット行 30 の説明から、文の一部 (「PLL で...SEL フィールド」) を削除しました。	75
• 行 29:24 の表 112 から説明を削除し、「予約済み」に変更し、同行の「rw」を「w」に変更しました.....	75

Changes from Revision K (March 2011) to Revision L (May 2013)	Page
• テキスト「水晶振動子の代わりに 48MHz リファレンス クロックを使用する場合、48MHz クロックが安定するまで GRST# をアサートしたままにする必要があります。」を追加.....	31
• パワーアップ シーケンスの図を交換.....	31

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB7320IRKMR	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320IRKMR.A	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320IRKMT	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320IRKMT.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320IRKMTG4	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320IRKMTG4.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7320I RKM
TUSB7320RKMR	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7320 RKM
TUSB7320RKMR.A	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7320 RKM
TUSB7320RKMT	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7320 RKM
TUSB7320RKMT.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7320 RKM
TUSB7340IRKMR	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM
TUSB7340IRKMR.A	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM
TUSB7340IRKMT	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM
TUSB7340IRKMT.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM
TUSB7340IRKMTG4	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM
TUSB7340IRKMTG4.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TUSB7340I RKM

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB7340RKMR	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7340 RKM
TUSB7340RKMR.A	Active	Production	WQFN-MR (RKM) 100	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7340 RKM
TUSB7340RKMT	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7340 RKM
TUSB7340RKMT.A	Active	Production	WQFN-MR (RKM) 100	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	TUSB7340 RKM

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

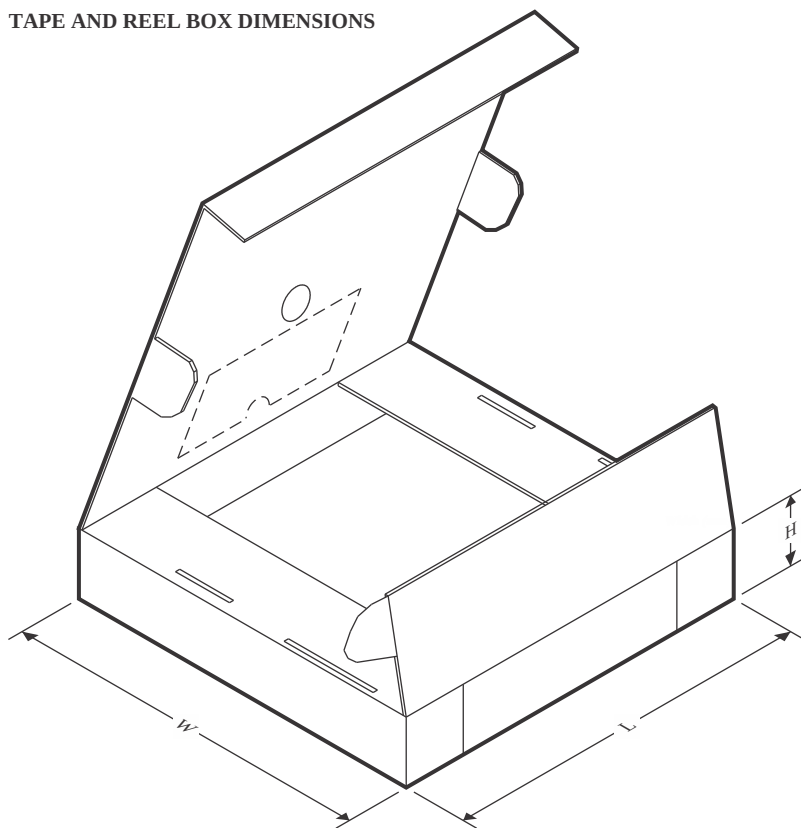


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB7320IRKMR	WQFN-MR	RKM	100	3000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7320IRKMT	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7320IRKMTG4	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7320RKMR	WQFN-MR	RKM	100	3000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7320RKMT	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7340IRKMR	WQFN-MR	RKM	100	3000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7340IRKMT	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7340IRKMTG4	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
TUSB7340RKMR	WQFN-MR	RKM	100	3000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB7340RKMT	WQFN-MR	RKM	100	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

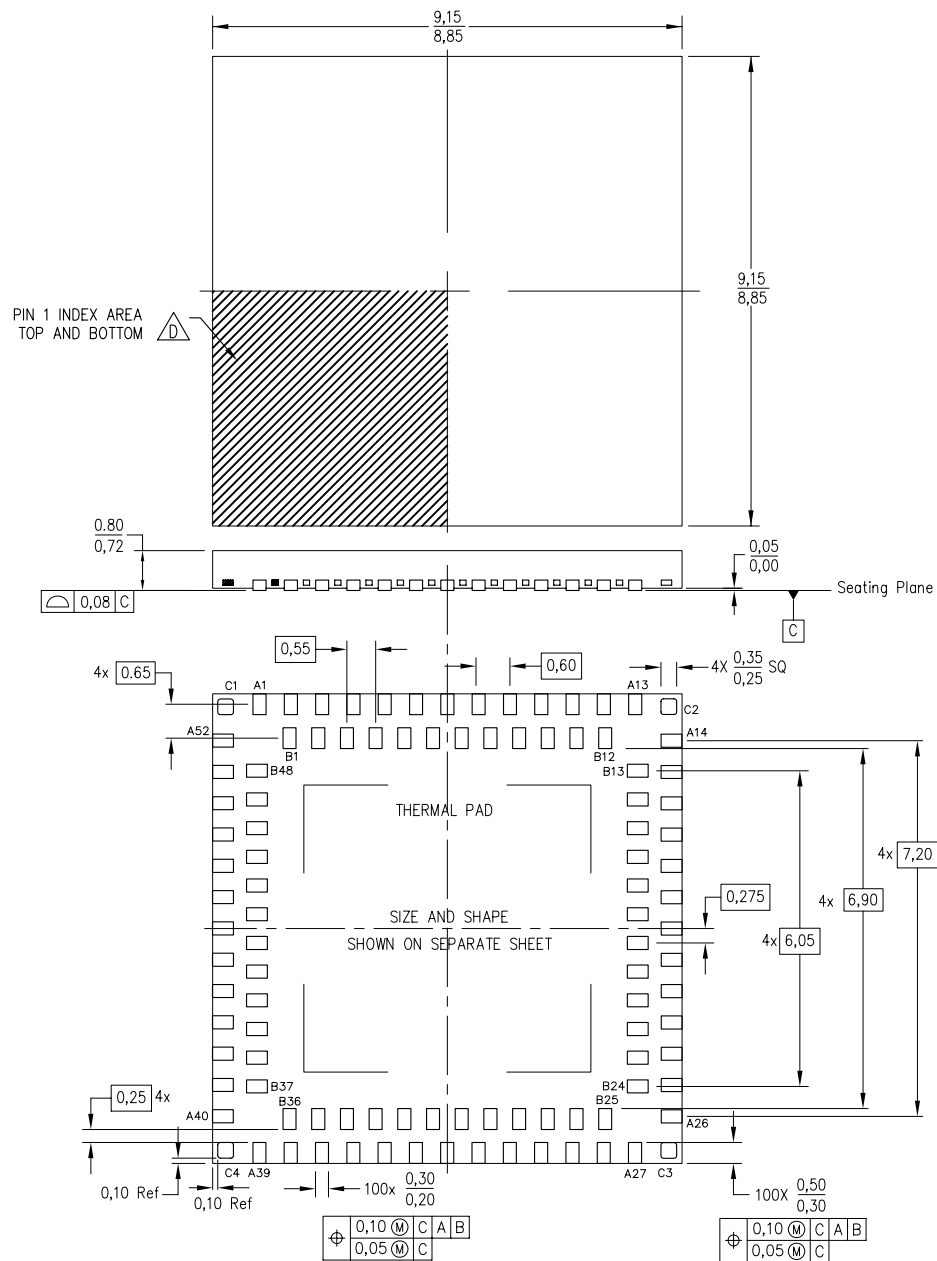


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB7320IRKMR	WQFN-MR	RKM	100	3000	367.0	367.0	38.0
TUSB7320IRKMT	WQFN-MR	RKM	100	250	210.0	185.0	35.0
TUSB7320IRKMTG4	WQFN-MR	RKM	100	250	210.0	185.0	35.0
TUSB7320RKMR	WQFN-MR	RKM	100	3000	367.0	367.0	38.0
TUSB7320RKMT	WQFN-MR	RKM	100	250	210.0	185.0	35.0
TUSB7340IRKMR	WQFN-MR	RKM	100	3000	367.0	367.0	38.0
TUSB7340IRKMT	WQFN-MR	RKM	100	250	210.0	185.0	35.0
TUSB7340IRKMTG4	WQFN-MR	RKM	100	250	210.0	185.0	35.0
TUSB7340RKMR	WQFN-MR	RKM	100	3000	367.0	367.0	38.0
TUSB7340RKMT	WQFN-MR	RKM	100	250	210.0	185.0	35.0

RKM (S-PWQFN-N100)

PLASTIC QUAD FLATPACK NO-LEAD



4211055/C 10/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - Quad Flatpack, No-leads (QFN) staggered multi-row package configuration.
 - Pin A1 identifiers are located on both top and bottom of the package and within the zone indicated.
The Pin A1 identifiers are either a molded, marked, or metal feature.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

RKM (S-PWQFN-N100)

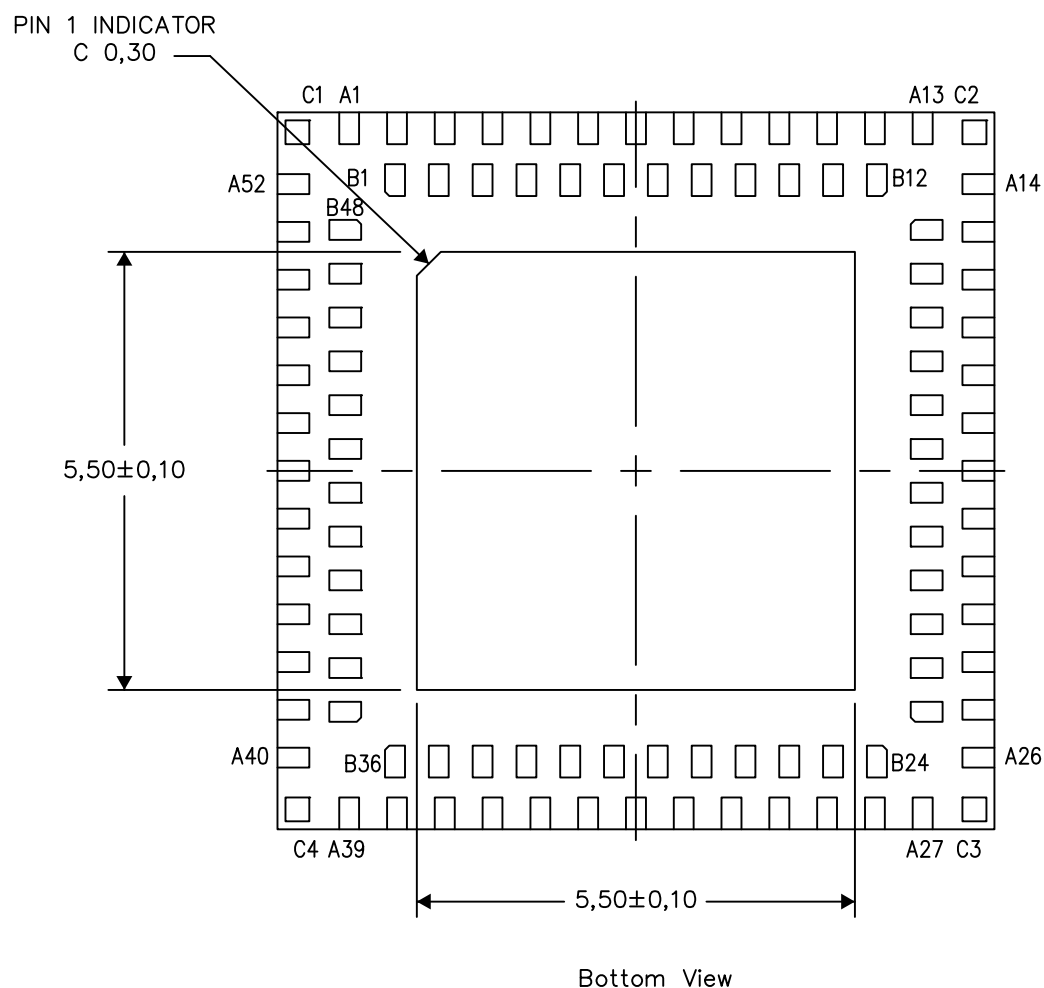
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



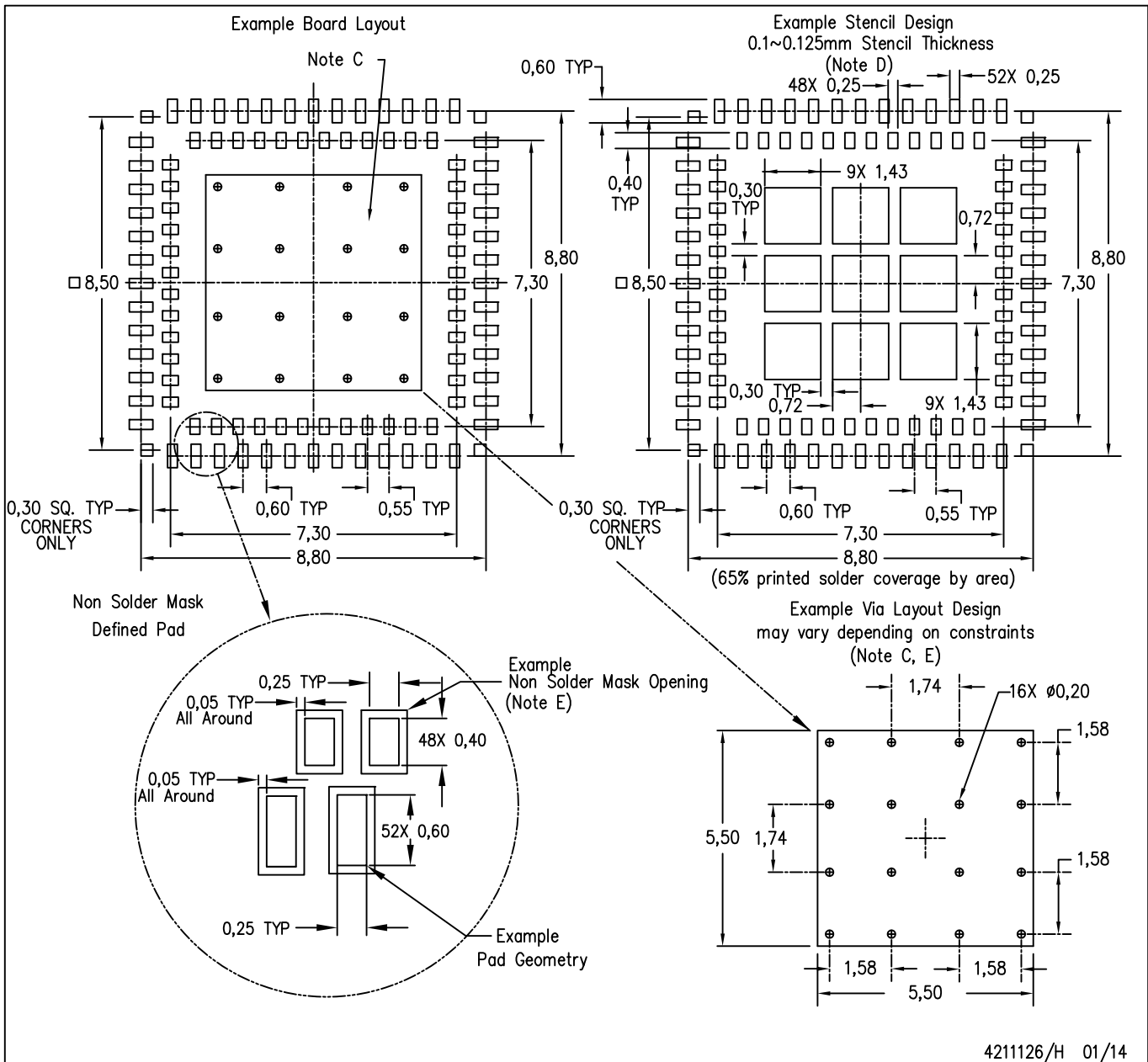
Exposed Thermal Pad Dimensions

4211101/D 01/14

NOTE: All linear dimensions are in millimeters

RKM (S-PWQFN-N100)

PLASTIC QUAD FLATPACK NO-LEAD



4211126/H 01/14

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月