TXE8124-Q1 車載 24 ビット割り込み出力、リセット入力、および I/O 構成レジスタを備えた SPI バス I/O エクスパンダ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ +125℃、T_A
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 1.65V～5.5V の動作電源電圧範囲
- Low スタンバイ消費電流:2.3µA (標準値)
- SPI SCLK 周波数
  - 10MHz (3.3V ～ 5.5V)
  - 5MHz (1.65V ～ 5.5V)
- SPI デイジー チェーンをサポート
- バースト モードによる SPI 読み取り / 書き込み
- 複数ポートを同時に設定するためのマルチポート SPI コマンド
- I_{OFF} でサポートされている入力ポート ピン
- アクティブ Low のリセット入力 ($\overline{RESET}$)
- オープン ドレインのアクティブ Low 割り込み出力 ($\overline{INT}$)
  - I/O ごとの割り込みマスクおよびステータス
  - ポートごとの割り込みステータス
- 組込みフェイルセーフ I/O 機能
- 個別 I/O 構成
  - 入力および出力機能
  - 極性反転
  - 出力のプッシュプルおよびオープン ドレインの選択
  - 内蔵プルアップまたはプルダウンの選択
  - 最後の I/O 状態を維持するためのバス ホールド機能
  - グリッチ フィルタのイネーブルの選択
- ウェッタブル フランクの VQFN パッケージ
- LED を直接駆動するための 10mA 駆動能力を備えたラッチ付き出力
- AEC Q100-004 準拠で 100mA 超のラッチアップ性能
- AEC - Q100 要件を上回る ESD 保護
  - 人体モデルで 2000V (AEC - Q100-002)
  - 荷電デバイス モデルで 1000V (AEC Q100-011)

2 アプリケーション

- オートモーティブ ディスプレイ
- ヘッド ユニット / デジタル コックピット
- 自動車向けインストルメント クラスタ
- 高性能コンピューティング
- ゾーン コントローラとボディドメイン コントローラ
- 車載各種ボディ モーター
- GPIO が制限されたプロセッサを使用する製品

3 説明

TXE8124-Q1 デバイスは、4 線式シリアル ペリフェラル インターフェイス (SPI) プロトコル用の汎用パラレル入出力 (I/O) 拡張を提供し、1.65V ～ 5.5V V_{CC} 動作用に設計されています。TXE8124-Q1 は、標準的なポイント ツー ポイント通信と、複数のデバイスのデイジーチェーン接続の両方をサポートしています。

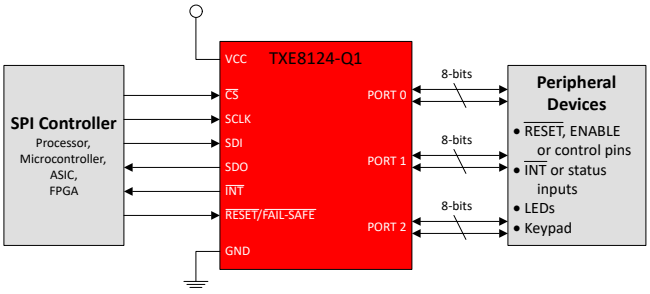
このデバイスは、3.3V ～ 5.5V で 10MHz、1.65V ～ 5.5V で 5MHz をサポートしています。TXE8124-Q1 のような I/O エキスパンダは、スイッチ、センサ、プッシュ ボタン、LED、ファンなどのために追加の I/O が必要な場合に使用するよう設計されています。

TXE8124-Q1 デバイスは、それぞれ 8 個の IO を備えた 3I/O ポートを持ち、速度、消費電力、柔軟性の面で I/O 性能を向上させるための追加機能を備えています。これには、I/O ごとに設定可能なオープン ドレインまたはプッシュプル出力、設定可能なプルアップおよびプルダウン抵抗、バス ホールド機能を備えたラッチ可能な入力、マスカブル割り込み、割り込みステータス レジスタ、グリッチ フィルタ、$\overline{FAIL\text{-}SAFE}$ ピンによって有効化されるフェイルセーフ レジスタモードが含まれます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TXE8124-Q1	(VSSOP、32)	8mm × 5mm
	(VQFN、32) (3)	5mm × 5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) VQFN は開発中製品ステータスであり、変更される可能性があります。



概略回路図

ADVANCE INFORMATION

ADVANCE INFORMATION

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 5
5.1 絶対最大定格 5
5.2 ESD レーティング 5
5.3 推奨動作条件 5
5.4 熱に関する情報 7
5.5 電気的特性 8
5.6 タイミング要件 10
5.7 SPI バスのタイミング要件 11
5.8 スイッチング特性 11
6 パラメータ測定情報 12
7 詳細説明 17
7.1 概要 17
7.2 機能ブロック図 17
7.3 機能説明 18
7.4 デバイスの機能モード 23
7.5 プログラミング 23
7.6 TXE8124 のレジスタ 30
8 アプリケーションと実装 56
8.1 使用上の注意 56
8.2 代表的なアプリケーション 56
8.3 電源に関する推奨事項 57
8.4 レイアウト 58
9 デバイスおよびドキュメントのサポート 60
9.1 ドキュメントの更新通知を受け取る方法 60
9.2 サポート・リソース 60
9.3 商標 60
9.4 静電気放電に関する注意事項 60
9.5 用語集 60
10 改訂履歴 61
11 メカニカル、パッケージ、および注文情報 61

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

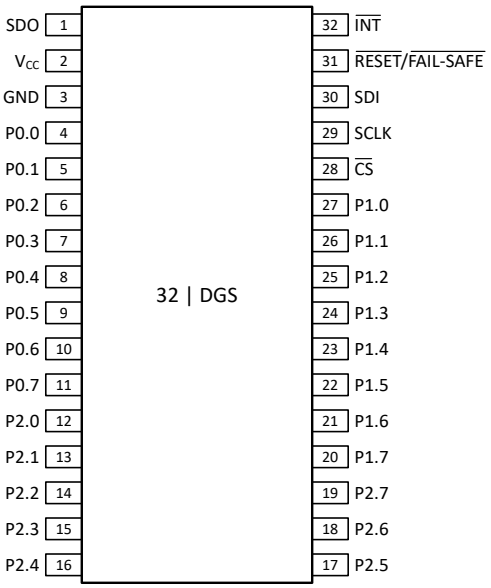


図 4-1. TXE8124-Q1 DGS (VSSOP) パッケージ、32 ピン (上面図)

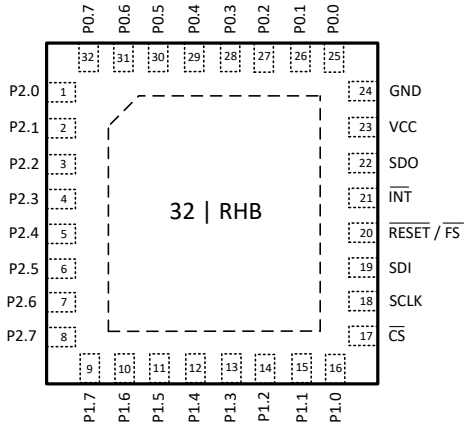


図 4-2. TXE8124-Q1 RHB (VQFN) パッケージ、32 ピン (上面図)

表 4-1. ピンの機能

ピン			タイプ(1)	
名称	DGS (VSSOP32)	RHB (VQFN)		
P2.0	12	1	I/O	P ポート入出力。電源投入時にポート 2 - IO #0 は入力として設定されます
P2.1	13	2	I/O	P ポート入出力。電源投入時にポート 2 - IO #1 は入力として設定されます
P2.2	14	3	I/O	P ポート入出力。電源投入時にポート 2 - IO #2 は入力として設定されます
P2.3	15	4	I/O	P ポート入出力。電源投入時にポート 2 - IO #3 は入力として設定されます
P2.4	16	5	I/O	P ポート入出力。電源投入時にポート 2 - IO #4 は入力として設定されます
P2.5	17	6	I/O	P ポート入出力。電源投入時にポート 2 - IO #5 は入力として設定されます
P2.6	18	7	I/O	P ポート入出力。電源投入時にポート 2 - IO #6 は入力として設定されます
P2.7	19	8	I/O	P ポート入出力。電源投入時にポート 2 - IO #7 は入力として設定されます
P1.7	20	9	I/O	P ポート入出力。電源投入時にポート 1 - IO #7 は入力として設定されます
P1.6	21	10	I/O	P ポート入出力。電源投入時にポート 1 - IO #6 は入力として設定されます
P1.5	22	11	I/O	P ポート入出力。電源投入時にポート 1 - IO #5 は入力として設定されます
P1.4	23	12	I/O	P ポート入出力。電源投入時にポート 1 - IO #4 は入力として設定されます
P1.3	24	13	I/O	P ポート入出力。電源投入時にポート 1 - IO #3 は入力として設定されます
P1.2	25	14	I/O	P ポート入出力。電源投入時にポート 1 - IO #2 は入力として設定されます
P1.1	26	15	I/O	P ポート入出力。電源投入時にポート 1 - IO #1 は入力として設定されます
P1.0	27	16	I/O	P ポート入出力。電源投入時にポート 1 - IO #0 は入力として設定されます
$\overline{CS}$	28	17	I	SPI チップ セレクト入力。内部プルアップ抵抗
SCLK	29	18	I	SPI シリアル クロック入力。内部プルダウン抵抗
SDI	30	19	I	SPI シリアル データ入力。
$\overline{RESET}$/ $\overline{FAIL\text{-}SAFE}$	31	20	I	アクティブ Low リセットまたはフェイルセーフ入力。外付けプルアップ抵抗が V_{CC} に接続します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	
名称	DGS (VSSOP32)	RHB (VQFN)		
$\overline{INT}$	32	21	O	オープン ドレイン割り込み出力。外付けプルアップ抵抗が V_{CC} に接続します。
SDO	1	22	O	SPI シリアル データ出力。プッシュプル出力
VCC	2	23	P	電源電圧
GND	3	24	G	グランド
P0.0	4	25	I/O	P ポート入出力。電源投入時にポート 0 - IO #0 は入力として設定されます
P0.1	5	26	I/O	P ポート入出力。電源投入時にポート 0 - IO #1 は入力として設定されます
P0.2	6	27	I/O	P ポート入出力。電源投入時にポート 0 - IO #2 は入力として設定されます
P0.3	7	28	I/O	P ポート入出力。電源投入時にポート 0 - IO #3 は入力として設定されます
P0.4	8	29	I/O	P ポート入出力。電源投入時にポート 0 - IO #4 は入力として設定されます
P0.5	9	30	I/O	P ポート入出力。電源投入時にポート 0 - IO #5 は入力として設定されます
P0.6	10	31	I/O	P ポート入出力。電源投入時にポート 0 - IO #6 は入力として設定されます
P0.7	11	32	I/O	P ポート入出力。電源投入時にポート 0 - IO #7 は入力として設定されます

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

				最小値	最大値	単位
V_{CC}	電源電圧			-0.5	6.5	V
V_I	入力電圧(2)			-0.5	6.5	V
V_O	出力電圧(2)			-0.5	6.5	V
I_{IK}	入力クランプ電流	$\overline{RESET}$、SCLK、SDI、$\overline{CS}$	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	$\overline{INT}$、SDO	V_O < 0		-20	mA
I_{IOK}	入力 / 出力クランプ電流	P0.0～P2.7	V_O < 0 または V_O > V_{CC}		±20	mA
I_{OL}	連続出力 Low 電流		V_O = 0～V_{CC}		50	mA
I_{OH}	連続出力 High 電流		V_O = 0～V_{CC}		-50	mA
I_{CC}	GND を流れる連続電流(3)				-200	mA
I_{CC}	V_{CC} を流れる連続電流(3)				160	mA
T_J	接合部温度			-40	150	°C
T_{stg}	保存温度			-40	150	°C

(1) *「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。*
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(3) 合計電流は、全負荷で実行できるチャネルの数を制限します。

5.2 ESD レーティング

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 に準拠、すべてのピン	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_{IH}	High レベル入力電圧	P ポート	0.7 × V_{CC}	VCC	V
		SCLK、SDI、$\overline{CS}$、$\overline{RESET}$、	0.7 × V_{CC}	VCC	V
V_{IL}	Low レベル入力電圧	P ポート	-0.5	0.3 × V_{CC}	V
		SCLK、SDI、$\overline{CS}$、$\overline{RESET}$、	-0.5	0.3 × V_{CC}	V
I_{OH}	High レベル出力電流 (V_{CC} ≥ 2.3V)	P ポート		-10	mA
	High レベル出力電流 (V_{CC} < 2.3V)			-5	mA
I_{OL}	Low レベル出力電流 (V_{CC} ≥ 2.97V)			15	mA
	Low レベル出力電流 (V_{CC} ≥ 2.3V)			10	mA
	Low レベル出力電流 (V_{CC} < 2.3V)			5	mA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
T_A	周辺温度		-40	130	°C

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		パッケージ		単位
		DGS (VSSOP)	RHB (VQFN)	
		32 ピン	32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.1	44.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	35.4	35.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	44.1	25.0	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.0	2.7	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	43.7	24.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	14.2	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{IK}	入力ダイオード クランプ電圧		I_I = -18mA		-1.2			V
V_{PORR}	パワーオン リセット電圧、V_{CC} 立ち上がり		V_I = V_{CC} または GND、I_O = 0				1.35	V
V_{PORF}	パワーオン リセット電圧、V_{CC} 立ち下がり				1.05			V
V_{OH}	High レベル出力電圧	P ポート	I_{OH} = -4mA	V_{CC} = 1.65V	1.27			V
			I_{OH} = -8mA	V_{CC} = 2.3V	1.73			V
				V_{CC} = 3V	2.4			V
				V_{CC} = 4.5V	4.0			V
				V_{CC} = 5.5V	4.95			V
			I_{OH} = -10mA	V_{CC} = 3.3V	2.53			V
				V_{CC} = 5V	4.3			V
				V_{CC} = 5.5V	4.85			V
		SDO	I_{OH} = -3mA		VCC - 0.4			V
V_{OL}	Low レベル出力電圧	P ポート	I_{OL} = 4mA	V_{CC} = 1.65V			0.24	V
			I_{OL} = 8mA	V_{CC} = 2.3V			0.36	V
				V_{CC} = 3V			0.25	V
				V_{CC} = 4.5V			0.17	V
				V_{CC} = 5.5V			0.15	V
			I_{OL} = 10mA	V_{CC} = 3.3V			0.40	V
				V_{CC} = 5V			0.33	V
				V_{CC} = 5.5V			0.32	V
		SDO	I_{OL} = 3mA				0.4	V
I_{OL}	Low レベル出力電流	$\overline{INT}$	V_{OL} = 0.4 V		4			mA
I_I	入力リーク電流	P ポート	V_I = V_{CC} または GND				±1	μA
			V_I = 3.6V	V_{CC} = 0V			±1	
		SDI、$\overline{RESET}$	V_I = V_{CC} または GND				±1	
		SCLK	V_I = GND				±1	μA
			V_I = V_{CC}				±65	μA
		$\overline{CS}$	V_I = V_{CC}				±1	μA
			V_I = GND				±65	μA

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
I_{CC}	静止時電流	スタンバイ モード	SDI、$\overline{CS}$ および $\overline{RESET}$ = V_{CC}、P ポート = V_{CC} または GND、I/O = 入力、I_O = 0mA、f_{SCLK} = 0MHz、–40°C < T_A ≤ 85°C、I/O レジスタ無効	V_{CC} = 5.5V		2.3	8	µA
				V_{CC} = 3.6V		2	7.5	µA
				V_{CC} = 2.7V		1.8	7.2	µA
				V_{CC} = 1.65V～1.95V		1.7	7	µA
			SDI、$\overline{CS}$ および $\overline{RESET}$ = V_{CC}、P ポート = V_{CC} または GND、I/O = 入力、I_O = 0mA、f_{SCLK} = 0MHz、–40°C < T_A ≤ 125°C、I/O レジスタ無効	V_{CC} = 5.5V		2.3	26	µA
				V_{CC} = 3.6V		2	24	µA
				V_{CC} = 2.7V		1.8	23.6	µA
				V_{CC} = 1.65V～1.95V		1.7	23.4	µA
	アクティブ電流	アクティブ モード (5MHz)	SDI、$\overline{CS}$ および $\overline{RESET}$ = V_{CC}、P ポート = V_{CC} または GND、I/O = 入力、I_O = 0mA、f_{SCLK} = 5MHz、SDO の 100pF 負荷、–40°C < T_A ≤ 125°C、I/O レジスタ無効	V_{CC} = 5.5V		150	170	µA
				V_{CC} = 3.6V		132	140	µA
				V_{CC} = 2.7V		127	135	µA
				V_{CC} = 1.65V～1.95V		124	130	µA
		アクティブ モード (10MHz)	SDI、$\overline{CS}$ および $\overline{RESET}$ = V_{CC}、P ポート = V_{CC} または GND、I/O = 入力、I_O = 0mA、f_{SCLK} = 10MHz、SDO の 100pF 負荷、–40°C < T_A ≤ 125°C、I/O レジスタ無効	V_{CC} = 5.5V		292	350	µA
				V_{CC} = 3.6V		257	285	µA
				V_{CC} = 2.7V		240	270	µA
				V_{CC} = 1.65V～1.95V		242	260	µA
I_{BHL}	バス ホールド low 維持電流		V_I を 0 から 0.3 × V_{CC} にランプ	V_{CC} = 1.65V			42	µA
				V_{CC} = 2.3V			62	µA
				V_{CC} = 3V			82	µA
				V_{CC} = 4.5V			125	µA
I_{BHH}	バス ホールド high 維持電流		V_I を V_{CC} から 0.7 × V_{CC} にランプ	V_{CC} = 1.65V			-32	µA
				V_{CC} = 2.3V			-52	µA
				V_{CC} = 3V			-72	µA
				V_{CC} = 4.5V			-115	µA
I_{BHLO}	バス ホールド オーバードライブ電流		V_I を 0 から V_{CC} にランプ	V_{CC} = 1.95V	170			µA
				V_{CC} = 2.7V	260			µA
				V_{CC} = 3.6V	340			µA
				V_{CC} = 5.5V	500			µA
I_{BHHO}	バス ホールド high オーバーライド電流		V_I を V_{CC} から 0 にランプ	V_{CC} = 1.95V	-170			µA
				V_{CC} = 2.7V	-260			µA
				V_{CC} = 3.6V	-340			µA
				V_{CC} = 5.5V	-500			µA
$R_{pu(int)}$	内部プルアップ抵抗	$\overline{CS}$			70	100	140	kΩ
		P ポート			70	100	140	kΩ
$R_{pd(int)}$	内部プルダウン抵抗	P ポート			70	100	140	kΩ
		SCLK			70	100	140	kΩ
C_I	入力ピン容量	SCLK	V_I = V_{CC} または GND				8	pF
		SDI					8	pF
		$\overline{CS}$					8	pF
		$\overline{RESET}$					8	pF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
C_{IO}	入力 / 出力ピンの容量	P ポート	V_{IO} = V_{CC} または GND				8.5	pF

5.6 タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
RESET					
t_w	リセット パルス幅、SDO C_{LOAD} = 100pF (図 6-1)		100		ns
t_{REC}	リセット復帰時間、SDO C_{LOAD} = 100pF (図 6-1)			100	ns
t_{RESET}	リセットまでの時間、SDO C_{LOAD} = 100pF (図 6-1)			80	ns
パワーオン リセット					
t_{FT}	落下率 (図 8-3) (図 8-4)		0.1	2000	ms
t_{RT}	立ち上がりレート (図 8-3) (図 8-4)		0.1	2000	ms
t_{TRR_GND}	再ランプ時間 (V_{CC} が GND まで低下する場合) (図 8-3)		1		µs
t_{TRR_POR50}	再ランプ時間 (V_{CC} が V_{POR_MIN} - 50mV まで低下する場合) (図 8-4)		40		µs
V_{CC_GH}	V_{CC} にグリッチが発生することはあるが、t_{VCC_GW} = 1µs のときに機能が途絶しないレベル (図 8-5)			1.2	V
t_{VCC_GW}	V_{CC_GH} = 0.5 × V_{CC} のときに、機能が途絶しないグリッチ幅 (図 8-5)			10	µs
フェイルセーフ IO					
fs_{EN}	フェイルセーフ IO 有効時間 (100pF 負荷) (図 6-2)	通常モードでは出力 High、フェイルセーフ モードでは出力 Low		100	ns
		通常モードでは出力 Low、フェイルセーフ モードでは出力 high		100	ns
		通常モードでは出力 high、フェイルセーフ モードでは入力 (500Ω のプルダウン負荷)		70	ns
		通常モードでは出力 low、フェイルセーフ モードでは入力 (500Ω のプルダウン負荷)		70	ns
fs_{DIS}	フェイルセーフ IO 無効時間 (100pF 負荷) (図 6-2)	通常モードでは出力 High、フェイルセーフ モードでは出力 Low		100	ns
		通常モードでは出力 Low、フェイルセーフ モードでは出力 high		100	ns
		通常モードでは入力、フェイルセーフ モードでは出力 High (500Ω プルダウン負荷)		110	ns
		通常モードでは入力、フェイルセーフ モードでは出力 low (500Ω プルダウン負荷)		90	ns
デジタル IO					

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
T_{GW}	デジタル グリッチ フィルタ幅	70	230	ns

5.7 SPI バスのタイミング要件

自由気流での動作温度範囲内、および SDO C_{LOAD} = 100pF (特に記述のない限り) (図 6-3 を参照)

		最小値	最大値	単位
SPI バス - 10MHz				
f_{SCLK}	SPI クロック周波数、3.3V < V_{CC} < 5.5V		10	MHz
t_{CSS}	$\overline{CS}$ から SCLK 立ち上がりまでのセットアップ時間	50		ns
t_{CSH}	SCLK から $\overline{CS}$ への立ち下がりデアサート ホールド時間	50		ns
t_{CSD}	$\overline{CS}$ ディセーブル時間	50		ns
t_{DS}	SDI から SCLK までのセットアップ時間	10		ns
t_{DH}	SDI から SCLK までのホールド時間	10		ns
t_{LOW}	SCLK Low 時間	45		ns
t_{HIGH}	SCLK High 時間	45		ns
$t_{V\ (SDO)}$	SDO の有効時間		27	ns
$t_{DIS\ (SDO)}$	SDO ディセーブル時間		50	ns
SPI バス - 5MHz				
f_{SCLK}	SPI クロック周波数、1.65V < V_{CC} < 5.5V		5	MHz
t_{CSS}	$\overline{CS}$ から SCLK 立ち上がりまでのセットアップ時間	50		ns
t_{CSH}	SCLK から $\overline{CS}$ への立ち下がりデアサート ホールド時間	100		ns
t_{CSD}	$\overline{CS}$ ディセーブル時間	100		ns
t_{DS}	SDI から SCLK までのセットアップ時間	10		ns
t_{DH}	SDI から SCLK までのホールド時間	10		ns
t_{LOW}	SCLK Low 時間	90		ns
t_{HIGH}	SCLK High 時間	90		ns
$t_{V\ (SDO)}$	SDO の有効時間		54	ns
$t_{DIS\ (SDO)}$	SDO ディセーブル時間		100	ns

5.8 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	最小値	標準値	最大値	単位
t_{iv}	割り込み有効時間、INT C_{LOAD} = 100pF、R_{PU} = 4.7kΩ (図 6-4)	P ポート	$\overline{INT}$			0.2	µs
t_{ir}	割り込みリセット遅延時間、INT C_{LOAD} = 100pF、R_{PU} = 4.7kΩ (図 6-4)	SCLK	$\overline{INT}$			0.4	µs
t_{pv}	出力データ有効時間、SDO C_{LOAD} = 100pF (図 6-5)	SCLK	P ポート			100	ns
t_{ps}	入力データ セットアップ時間、SDO C_{LOAD} = 100pF (図 6-5)	P ポート	SCLK	26			ns
t_{ph}	入力データ ホールド時間、SDO C_{LOAD} = 100pF (図 6-5)	SCLK	P ポート	2.5			ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6 パラメータ測定情報

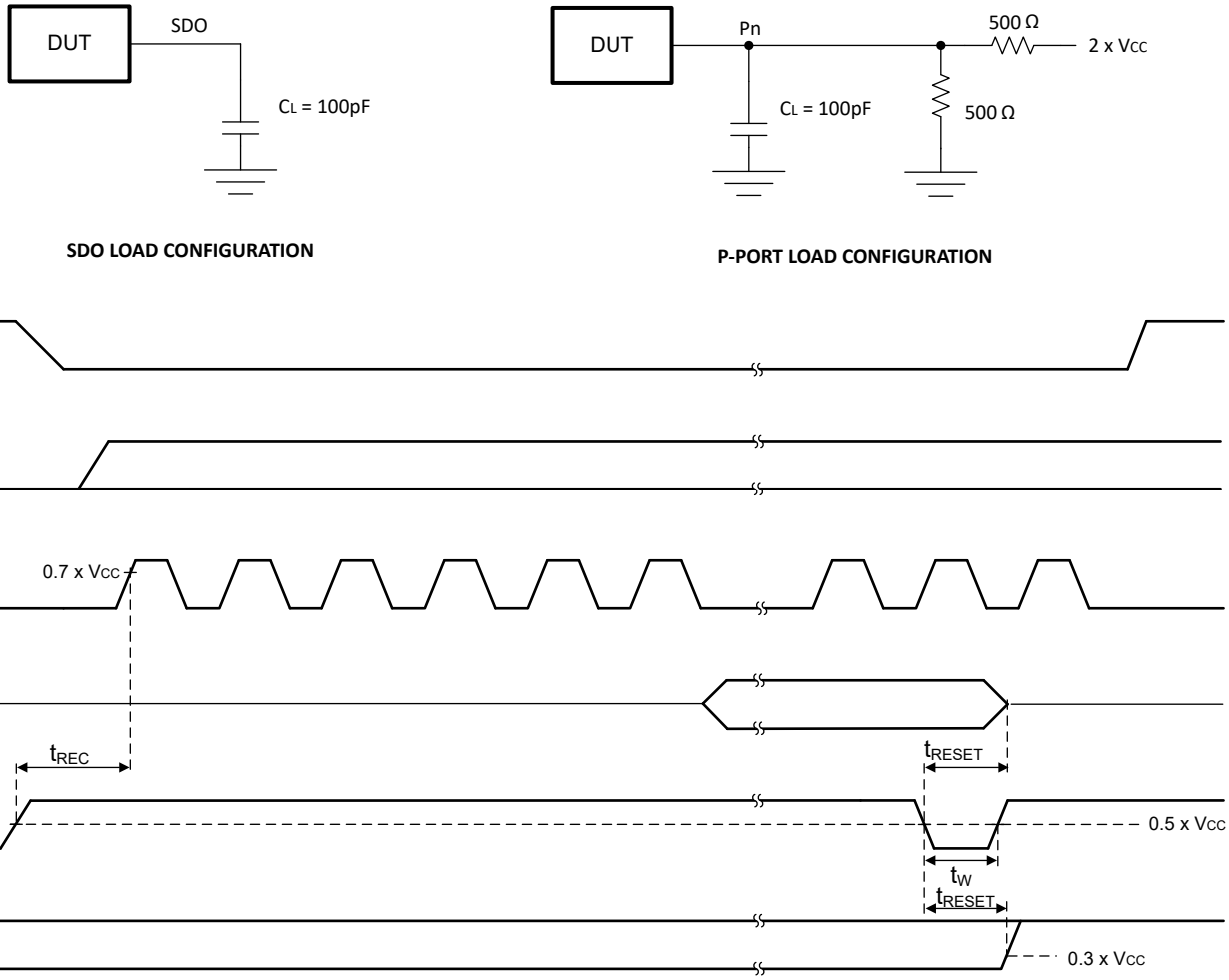


図 6-1. リセット負荷構成

A. 1. C_L にはプローブと治具の容量が含まれます。
2. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Zo = 50Ω、tr/tf ≤ 10ns。
3. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

Copyright © 2026 Texas Instruments Incorporated

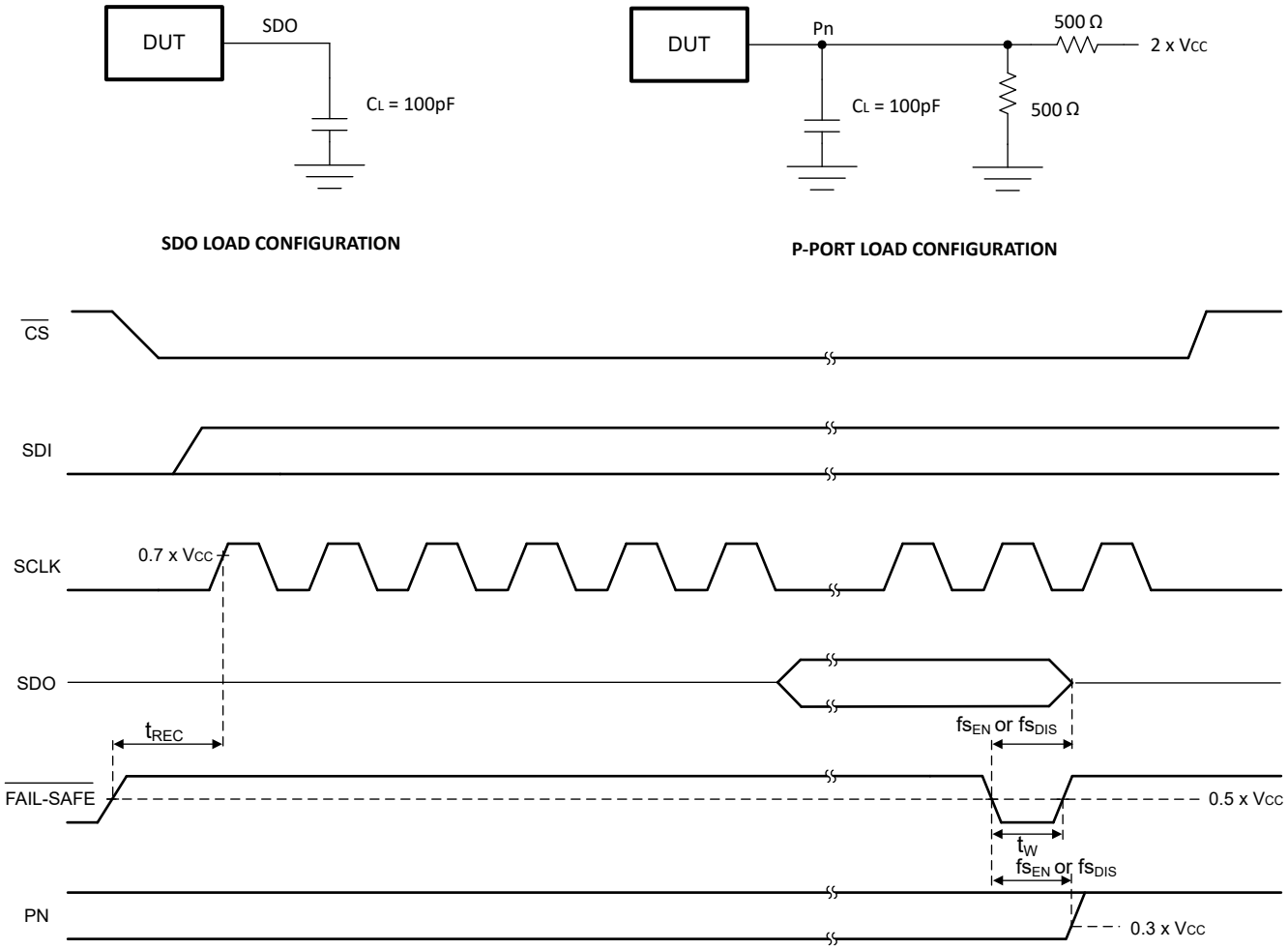
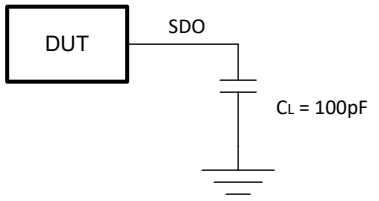


図 6-2. フェイルセーフ負荷構成

A. 1. C_L にはプローブと治具の容量が含まれます。
2. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Zo = 50Ω、tr/tf ≤ 10ns。
3. フェイルセーフ ピンは、RESET ピンとの共有ピンです。
4. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

ADVANCE INFORMATION



SDO LOAD CONFIGURATION

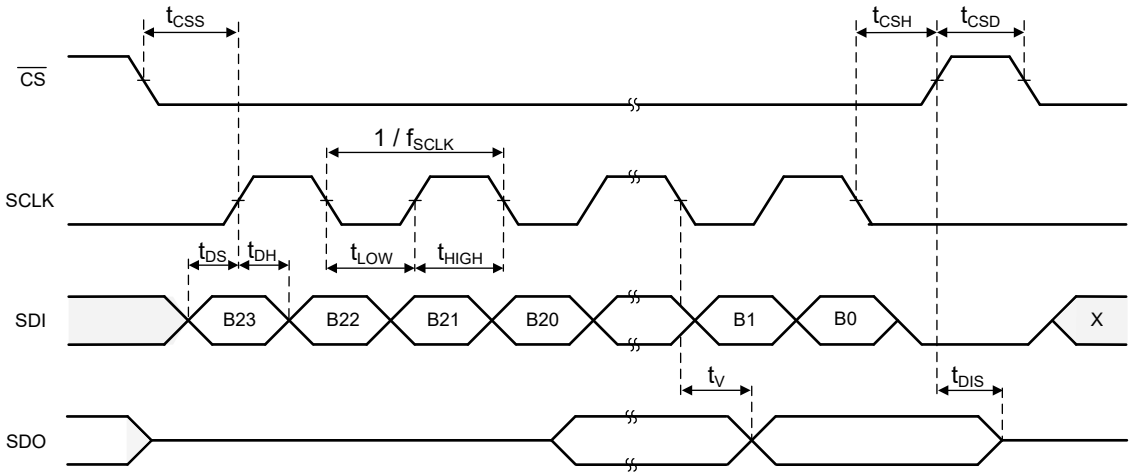
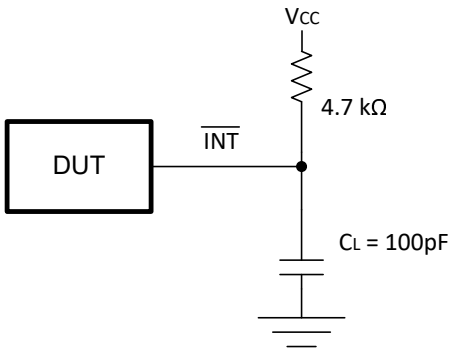


図 6-3. SPI タイミング図 - 入力

A. C_L にはプローブと治具の容量が含まれます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated



INTERRUPT LOAD CONFIGURATION

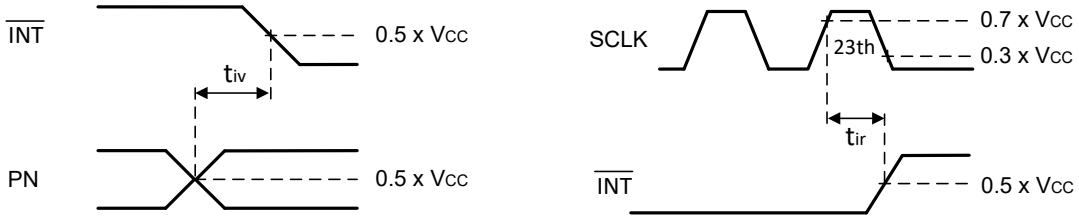
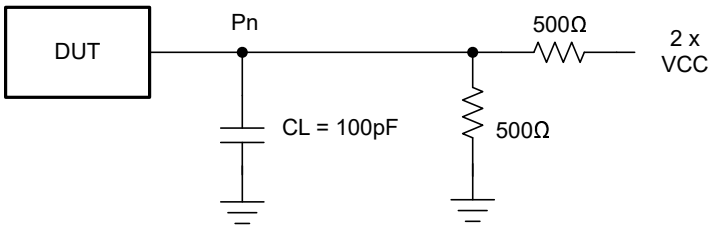


図 6-4. 割り込み負荷構成

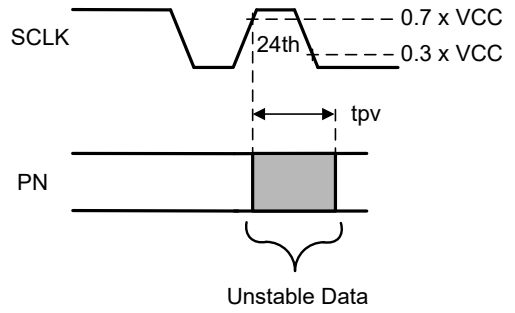
A. 1. C_L にはプローブと治具の容量が含まれます。
2. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Zo = 50Ω、tr/tf ≤ 10ns。

ADVANCE INFORMATION

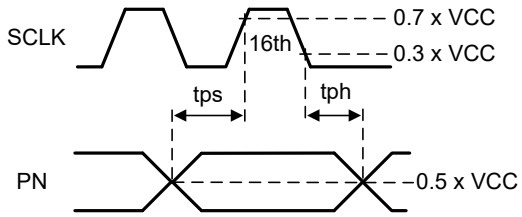
ADVANCE INFORMATION



P-PORT LOAD CONFIGURATION



WRITE MODE (R/$\overline{W}$ = 0)



READ MODE ($\overline{R}$/W = 1)

図 6-5. P ポートの負荷構成およびタイミング波形

A. 1. C_L にはプローブと治具の容量が含まれます。
2. t_{pv} は、SCLK で 0.7 × V_{CC} から 50% の I/O (On) 出力まで測定されます。
3. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Zo = 50Ω、tr/tf ≤ 10ns。

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

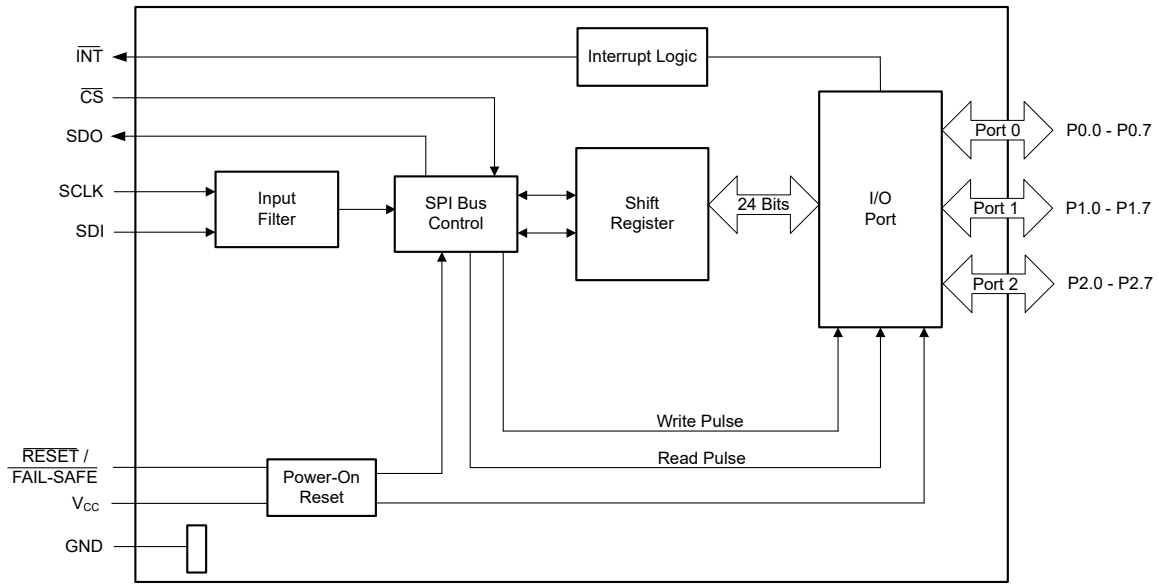
TXE8124-Q1 のデジタル コアは 8 ビットのレジスタで構成されており、ユーザーは I/O ポートの特定を構成することができます。電源オン時、またはリセット後に、I/O は入力として構成されます。ただし、方向構成レジスタに書き込むことにより、システム コントローラは I/O を入力または出力のどちらにも構成することが可能です。各入力または出力のデータは、対応する入力ポート レジスタまたは出力ポート レジスタに保持されます。入力ポート レジスタの極性は、極性反転レジスタで反転できます。ソフトウェア リセット レジスタを除くすべてのレジスタは、システム コントローラによって読み取り可能です。

TXE8124-Q1 には、I/O ポートの強化に特化した構成可能な I/O 機能が搭載されています。構成可能な I/O 機能とレジスタには、プルアップ抵抗とプルダウン抵抗のイネーブルとディセーブル、バス ホールドのラッチ可能な入力、マスク可能な割り込み、割り込みステータス レジスタ、個別のプログラム可能なオープン ドレインまたはプッシュプル出力が含まれています。これらの構成レジスタにより柔軟性が向上するため、I/O は強化され、ユーザーは消費電力やスピードの設計を最適化できるようになります。

デバイスの他の機能には、入力ポートの状態が変化するたびに $\overline{INT}$ ピンで発生する割り込みがあります。デバイスをデフォルトの状態にリセットするには、$\overline{RESET}$ ピンに Low 論理レベルを印加するか、ソフトウェア リセット コマンドを送信するか、またはデバイスの電源を一度切ってパワーオン リセットを行います。TXE8124-Q1 のオープン ドレイン割り込み出力 ($\overline{INT}$) は、いずれかの入力状態が最後に読み取られた状態と異なる場合にアクティブになり、入力状態が変化したことをシステム コントローラに通知するために使用されます。$\overline{INT}$ ピンは、プロセッサの割り込み入力に接続することができます。このラインで割り込み信号を送信することにより、デバイスは SPI バスで通信しなくても、リモート I/O ポートに受信データがあるかどうかをプロセッサに通知することができます。デバイスは、シンプルなターゲット デバイスとして機能します。

タイムアウト時またはその他の不正な動作時に、$\overline{RESET}$ 入力ピンに low をアサートするか、または V_{CC} ピンへの電源を一度切ってパワーオン リセット (POR) することにより、システム コントローラはデバイスをリセットします。リセットによりレジスタはデフォルト状態に戻り、SPI ステート マシンが初期化されます。$\overline{RESET}$ 機能でも POR でも、同じようにリセット / 初期化を行えますが、$\overline{RESET}$ 機能はデバイスの電源をオフにする必要がありません。

7.2 機能ブロック図

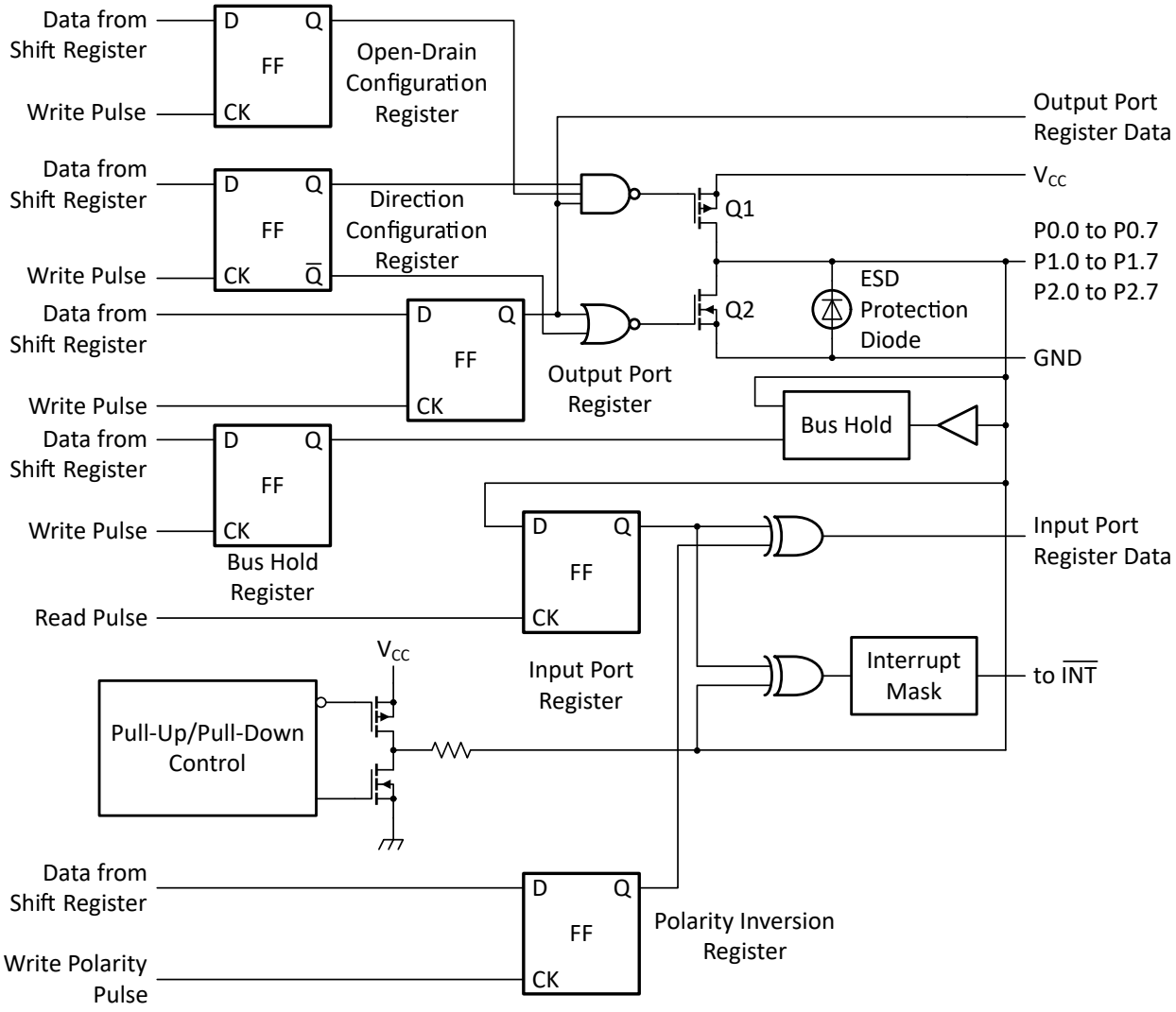


A. すべての I/O は、リセット時に入力に設定されます。

図 7-1. ロジック図

ADVANCE INFORMATION

ADVANCE INFORMATION



A. 電源オンまたはリセット時に、すべてのレジスタがデフォルト値に戻ります。

図 7-2. P0.0 から P2.7 の概略回路図

7.3 機能説明

7.3.1 I/O ポート

I/O が入力として構成されている場合、FET Q1 と Q2 はオフになり (図 7-2 を参照)、高インピーダンス入力が生成されます。

I/O が出力として構成されている場合、Q1 または Q2 は出力ポート レジスタの状態に応じてイネーブルになります。この場合、I/O ピンと電源または GND の間に低インピーダンスのパスがあります。この I/O ピンに印加される外部電圧は、適切に動作させるために推奨レベルを超えないようにする必要があります。

7.3.2 割り込み出力 (INT)

TXE8124-Q1 デバイスは、入力 I/O のいずれかの立ち上がりエッジまたは立ち下がりエッジで割り込みを生成します (その I/O の割り込みがマスクされていない場合)。入力ピンの状態が入力読み出しレジスタの状態と異なる場合、対応する割り込みフラグビットが設定され、$\overline{INT}$ 出力がアサートされます。$\overline{INT}$ ピンはオープン ドレインであり、割り込み機能を使用するには V_{CC} への外部プルアップ抵抗が必要です。それ以外の場合、このピンはフローティングのままにできます。

Copyright © 2026 Texas Instruments Incorporated

出力として構成された I/O は、割り込みを生成しません。実際のピン レベルが、保存されている入力ポート レジスタ値と一致しない場合、ピンを出力から入力に切り替えると、障害割り込みが発生する可能性があります。I/O ポートがあらかじめ入力状態にあり、出力に切り替わる割り込みを検出しても、この動作によって割り込みフラグはクリアされません。この動作は、割り込みピンのみをマスクします。ポートが入力として再構成されると、割り込みは元に戻ります。

以下の条件では、割り込みステータス ビットがクリアされ、$\overline{\text{INT}}$ ピンがデアサートされます。

- $\overline{\text{RESET}}$ ピンからのハードウェア リセット - POR が割り込みをアサートする際、割り込みが一時的にデアサートされます
- フェイルセーフ モードに移行 - 割り込みは無効化およびデアサートされます
- 割り込みフラグ ステータス レジスタの読み取り
- 割り込みマスク レジスタで対応するビットを 1 に設定

TXE8124-Q1 には 4 つの割り込み発生源があります:

1. **スマート入力ピン割り込み**:スマート割り込みは、I/O ポート レベルでスマート割り込みレジスタの対応するポート ビットを設定することでイネーブルまたはディスエーブルになります。スマート割り込み (対応するレジスタ ビットを 0 とする) がイネーブルで、割り込みが生成されると、I/O 状態が初期ロジック状態に戻るか、割り込みが割り込みフラグ ステータス レジスタを読み取った場合、割り込みがクリアされます。各種の割り込みクリア シナリオについては、表 7-1 を参照してください。誤った IO トグルによって割り込みクリアを見逃すのを防ぐため、TI は入力グリッチ フィルタ イネーブル レジスタでグリッチ フィルタをイネーブルにすることを強く推奨します。
2. **通常入力ピン割り込み**:スマート割り込みがディセーブル (対応するレジスタ ビットが 1) の場合、I/O 状態を初期ロジック状態に戻すと、割り込みをクリアできず、割り込みフラグ ステータス レジスタを読み取る場合にのみ、割り込みがクリアされます。

表 7-1. スマート割り込み用の割り込みフラグ クリア シナリオ

スマート割り込み	IO 入力が変化したときの $\overline{\text{CS}}$ 状態	割り込みフラグ クリア
無効	$\overline{\text{CS}}$ = High	$\overline{\text{CS}}$ を Low、SPI が割り込みフラグ ステータス レジスタを読み取り
無効	$\overline{\text{CS}}$ = Low	割り込みフラグ ステータス レジスタの読み取り
イネーブル	$\overline{\text{CS}}$ = High	a. IO 状態が初期状態に戻ります。 b. $\overline{\text{CS}}$ を Low、SPI が割り込みフラグ ステータス レジスタを読み取り。
イネーブル	$\overline{\text{CS}}$ = Low	a. 初期状態に戻る IO 状態は、$\overline{\text{CS}}$ が High になってから少なくとも 30ns 後に、割り込みフラグを自動的にクリアします。 b. 割り込みフラグ ステータス レジスタの読み取り。

3. **POR 割り込み**:各 POR 回復のフォルト ステータス レジスタに POR フォルト ビットが設定され、割り込みも生成されます。割り込みは、フォルト ステータス レジスタが読み取られたときにのみクリアされます。
4. **フェイルセーフ冗長性故障割り込み**:フェイルセーフ冗長チェックが有効な場合、フェイルセーフ冗長チェックの失敗が発生すると、故障ステータス レジスタにフェイルセーフ同期故障ビットが設定されます。この動作により、割り込みも生成されます。割り込みは、フォルト ステータス レジスタが読み取られたときにのみクリアされます。

割り込みマスク

すべての入力 I/O からの割り込みは、デフォルトではマスクされていません。割り込みをマスクするには、割り込みマスク レジスタで対応する I/O ビットを設定する必要があります。POR 回復によって生成された割り込みはマスクできません。

ADVANCE INFORMATION

入力 I/O の状態が変化し、割り込みマスク レジスタの対応ビットが 1 に設定されると、割り込みはマスクされ、$\overline{INT}$ ピンはアサートされません。割り込みフラグ ステータス レジスタの対応ビットも 0 のままになり、割り込みマスク ビットによってブロックされます。

フェイルセーフ冗長チェック イネーブル ビットが 0 の場合、フェイルセーフ冗長性チェックが失敗したことによって生成される割り込みはディセーブルになります。

マルチ ポート コマンドを使用すると、同時に複数のポートを割り込みマスク用に構成できます。

7.3.3 リセット入力 ($\overline{RESET}$)

$\overline{RESET}$ 入力をアサートして、V_{CC} 電源を動作レベルに保持しながら、システムを初期化することができます。リセットを行うには、t_W の最小時間の間、$\overline{RESET}$ ピンを Low に保持します。TXE8124-Q1 のレジスタと SPI のステート マシンは、$\overline{RESET}$ が LOW に設定されると、デフォルト状態に変更されます。$\overline{RESET}$ が High に設定されると、P ポートの I/O レベルは外部から、またはコントローラを使用して変更できます。アクティブ接続が使用されない場合、この入力には V_{CC} へのプルアップ抵抗が必要です。$\overline{RESET}$ がトグル切り替えされると、Input Port レジスタは GPIO ピンの状態を反映して更新されます。

7.3.4 バス ホールド

TXE8124-Q1 は、すべての入力 I/O にバス ホールド (バス キーパー) 機能をサポートしており、システムが低消費電力状態またはスタンバイ状態に入る場合に非常に有用です。これにより、低消費電力状態に対応する外部プルアップまたはプルダウン抵抗が不要になります。この機能はデフォルトでは無効であり、ソフトウェアによる設定で有効にする必要があります。

バス ホールド機能を有効にすると、I/O はその I/O の直前のアクティブ レベルを保持します。外部デバイスがロジック 1 を駆動すると、TXE8124-Q1 は内部のバス ホールド用プルアップを有効にします。コントローラが低消費電力状態に入り、その出力ピンがハイ インピーダンス状態になると、内部のバス ホールド用プルアップが I/O を High に保持し、入力がフローティング状態になるのを防ぎます。外部デバイスがロジック 0 を駆動した場合も同様で、TXE8124-Q1 は内部のバス ホールド用プルダウンを有効にします。また、この機能によりデバイスは直前の状態を保持するため、フローティング入力上のノイズによって TXE8124-Q1 が割り込みを生成するのを防ぎます。

バス ホールド機能が有効な場合、外部ドライバは、リーク電流や基板上の他の回路によって生じる電流のシンクまたはソース (仕様で + または – で示される) が、保持電流またはオーバーライド電流の条件を満たすことを保証する必要があります。例えば、バスホールドが High 状態で有効な場合、ライン上の外部デバイスが TXE8124-Q1 から供給される電流は、$I_{BHH(MAX)}$ の制限を超えてはなりません。制限を超えた場合、対応するポート ピンの電圧が $V_{IL(MAX)}$ を下回り、バス ホールド プルダウンをトリガする場合があります。同様に、バスホールドを上書きする必要がある場合、外部デバイスは TXE8124-Q1 から $I_{BHO(MIN)}$ の電流をシンクできる必要があり、これによりデバイスがバス ホールドを解除できるようになります。

デバイス内で追加のリーク電流が発生するのを避けるため、ソフトウェアはバス ホールド機能とプルアップまたはプルダウン選択を同時に使用しないようにする必要があります。

7.3.5 フェイルセーフ モード

SPI コントローラは、この機能を有効にし、ピンの機能をリセットからフェイルセーフに変更するために、フェイルセーフ有効化レジスタをプログラムすることで、TXE8124-Q1 をフェイルセーフ状態に設定するオプションを持っています。

このレジスタは、POR イベントまたはその他の故障シナリオ中にクリアされる可能性があります。SPI コントローラへの割り込みを生成する故障シナリオがある場合、SPI コントローラは毎回このレジスタを書き換える必要があります。割り込みが生成されると、SPI コントローラは故障ステータス レジスタを読み取って割り込みの原因を把握できます。

TXE8124-Q1 をフェイルセーフ モードに設定するには、フェイルセーフ イネーブル レジスタのビット 0 を 1 にする必要があります。

冗長性を確保するには、2 つのデバイス構成レジスタに書き込んで I/O 構成をプログラムする必要があります。これらのレジスタのいずれかが破損し、内容が一致しない場合は、割り込みが発生します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

たとえば、フェイルセーフ モードで I/O ピン P0.1 を出力し、High に設定する場合、フェイルセーフ モードを構成するシーケンスは次のようになります。

1. フェイルセー フイネーブル レジスタ 1 のビット 0 を 1 に設定
2. フェイルセー フイネーブル レジスタ 2 のビット 0 を 1 に設定
3. ポート 0 用のフェイルセーフ方向構成レジスタ 1 のポート 0 においてビット 1 (P0.1) を 1 に設定
4. ポート 0 用のフェイルセーフ方向構成レジスタ 2 のポート 0 においてビット 1 (P0.1) を 1 に設定
5. ポート 0 用のフェイルセーフ出力レジスタ 1 のポート 0 においてビット 1 (P0.1) を 1 に設定
6. ポート 0 用のフェイルセーフ出力レジスタ 2 のポート 0 においてビット 1 (P0.1) を 1 に設定
7. フェイルセーフ冗長性チェック レジスタのビット 0 を 1 に設定
8. $\overline{\text{RESET}}$/FAIL-SAFE ピンをアサート

7.3.6 ソフトウェア リセット呼び出し

ソフトウェア リセット呼び出しは、TXE8124-Q1 デバイスに対する SPI バス トランザクションであり、ソフトウェア リセット レジスタに書き込みを行うことで、デバイスを電源投入時のデフォルト状態にリセットするよう指示します。この動作により、顧客のアプリケーションはデバイスの電源を入れ直したり、$\overline{\text{RESET}}$ ピンをアサート / デアサートしたりすることなく、デバイスをリセットできます。これは、$\overline{\text{RESET}}$ ピンがフェイルセーフ モードで使用されている場合に特に役立ちます。

7.3.7 デイジー チェーン

例の実装図 7-3 に示すように、複数の TXE8124-Q1 デバイスをデイジーチェーン構成で接続することで、サポートされる I/O ポート数を拡張できます。デイジーチェーン動作モードでは、コントローラの SDO は最初の TXE8124-Q1 の SDI に接続されます。最初の TXE8124-Q1 の SDO は、次の TXE8124-Q1 の SDI に接続されます。この接続は最後の TXE8124-Q1 まで続き、SDO はコントローラの SDI に接続されます。デイジー チェーン接続でデバイスを接続する場合、チェーンの最後段のデバイスからの SDO をサンプリングする際には、SCLK 周波数を低下させる必要があることがあります。これは、チェーン内の各デバイスのデータ有効時間が累積されることに加え、最も遠いデバイスまでの SCLK の伝搬遅延も加算されるためです。

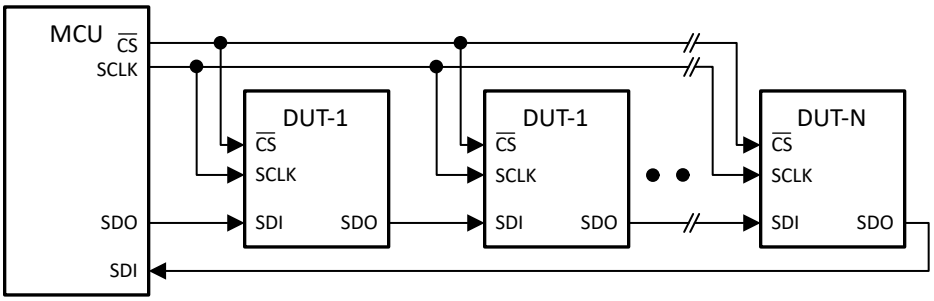


図 7-3. SPI デイジーチェーンの図

コントローラは、デイジーチェーン動作を自動構成するためのヘッダを送信し、その後にチェーン内のデバイスのレジスタアドレスを送信します。アドレスは、チェーン内で最も遠いデバイス (コントローラの SDI から最も遠く、コントローラの SDO に最も近いデバイス) のアドレスから順に送信されます。データはアドレスの後に送信され、チェーン内で最も遠いデバイスのデータが最初に送信されます。データを受信する際は、チェーン内で最も遠いデバイスのデータが最初に受信されます。

デイジーチェーン トランザクションのフレームについては、図 7-4 を参照してください。最終デバイスに到達するまで、同じシーケンスがチェーン全体にわたって繰り返されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

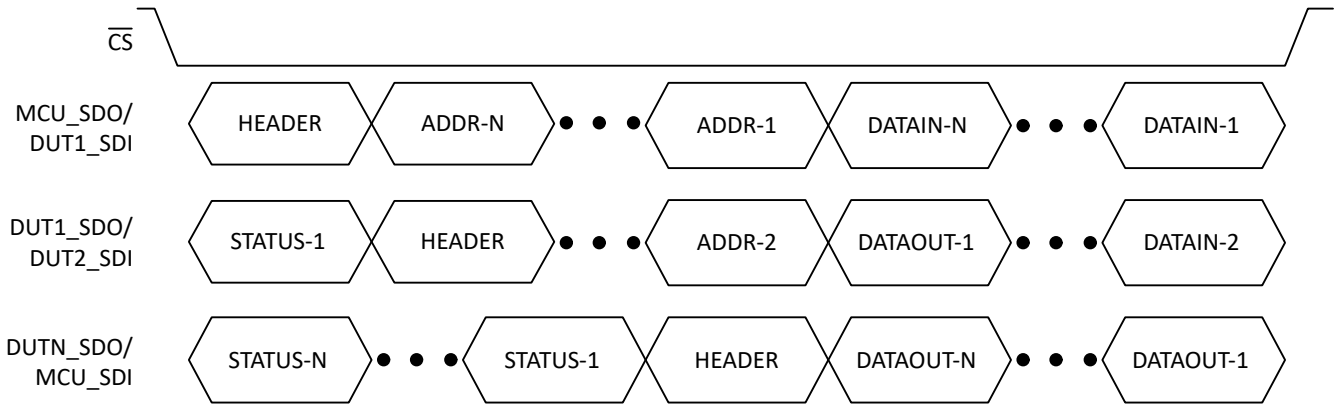


図 7-4. SPI デイジーチェーン データ フレーム

ヘッダ セグメント

ヘッダ セグメントのビット 15 と 14 はヘッダ ID であり、デバイス コントローラがヘッダ セグメントを受信していることを検出するために使用されます。ヘッダ ID ビットは値 01 を取り、これがヘッダ セグメントであることを示します。

ビット 13 ～ 5 は予約済みであり、ビット 4 ～ 0 はチェーン内のデバイス数を示します。デイジーチェーン接続できるデバイスの最大数は 31 です。

アドレス セグメント (レジスタ アドレス)

ビット 15 は SPI 動作モードを示します (1 = 読み取り操作、0 = 書き込み操作)。レジスタ アドレスについては、図 7-5 の最初のバイトと 2 番目のバイトを参照してください。

ステータス セグメント

ビット 15 と 14 はステータス セグメントを示し、ステータス セグメントであることを示すために 11 に設定されます。ビット 13 ～ 8 は故障ステータス レジスタを示し、ビット 7 ～ 0 は常に 0 として送信されます。

7.3.8 マルチ ポート

セクション 7.5.2 に示すように、2 番目のバイトの LSB はマルチポート機能を有効にします。このビットが 1 の場合、SDI 上の後続の書き込みデータ バイトの各ビットは、それぞれ個別のポートに対応します。したがって、LSB ビット B0 は P0 ポート、B1 は P1 ポート、B2 は P2 ポートを示します。マルチポート プログラミングを使用すると、特定のポートのすべての I/O は同じ構成になります。マルチポート アクセス時には、SDO は最初のバイトとして故障ステータス レジスタの値を出力し、その後にデータ バイトとして 0 を出力します。

7.3.9 機能レジスタのマッピング

TXE8124-Q1 デバイス レジスタはレジスタ バンクとして実装され、図 7-5 に示すように、ポートの実際のレジスタ アドレスは、機能アドレス 0 とポート番号を連結することで構成されます。これにより、顧客のソフトウェアはバースト転送を使用して、すべてのポートに対する特定の機能をより効率的に設定または読み出すことができます。

表 7-2 に、機能アドレスに従ったレジスタとマルチポートのサポートを示します。

表 7-2. TXE8124-Q1 機能マップ

機能アドレス					レジスタ名	マルチ ポート	アクセス
B20	B19	B18	B17	B16			
0	0	0	0	0	スクラッチ レジスタ	なし	RW
0	0	0	0	1	Device_ID	なし	R
0	0	0	1	0	入力ポート レジスタ	あり	R
0	0	0	1	1	出力ポート レジスタ	あり	RW
0	0	1	0	0	方向構成レジスタ	あり	RW

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-2. TXE8124-Q1 機能マップ (続き)

機能アドレス					レジスタ名	マルチ ポート	アクセス
B20	B19	B18	B17	B16			
0	0	1	0	1	極性反転レジスタ	あり	RW
0	0	1	1	0	プッシュプル/オープン ドレイン選択レジスタ	あり	RW
0	1	0	0	0	プルアップまたはプルダウン有効レジスタ	あり	RW
0	1	0	0	1	プルアップまたはプルダウン選択レジスタ	あり	RW
0	1	0	1	0	バス ホルダ レジスタ	あり	RW
0	1	0	1	1	スマート割り込みレジスタ	なし	RW
0	1	1	0	0	割り込みマスク レジスタ	あり	RW
0	1	1	0	1	入力グリッチ フィルタ有効レジスタ	なし	RW
0	1	1	1	0	割り込みフラグ ステータス レジスタ	なし	R
0	1	1	1	1	割り込みポート ステータス レジスタ	なし	R
1	0	0	1	0	フェイルセーフ有効レジスタ 1	なし	RW
1	0	0	1	1	フェイルセーフ有効レジスタ 2	あり	RW
1	0	1	0	0	フェイルセーフ方向構成レジスタ 1.	あり	RW
1	0	1	0	1	フェイルセーフ方向構成レジスタ 2.	あり	RW
1	0	1	1	0	フェイルセーフ出力レジスタ 1	あり	RW
1	0	1	1	1	フェイルセーフ出力レジスタ 2	あり	RW
1	1	0	0	0	フェイルセーフ冗長性チェック レジスタ	なし	RW
1	1	0	0	1	フォルト ステータス レジスタ	なし	R
1	1	0	1	0	ソフトウェア リセット レジスタ	なし	WO

7.4 デバイスの機能モード

7.4.1 パワーオン リセット

デバイスに 0V から電源が供給され、V_{CC} に適用されるとき、内部パワーオン リセットにより、電源が V_{POR} に達するまで TXE8124-Q1 はリセット状態に保持されます。その時点でリセット状態が解除され、TXE8124-Q1 レジスタと SPI ステート マシンはデフォルト状態に初期化されます。パワーリセット サイクルを行うには、その動作の後で V_{CC} を V_{PORF} 未満まで $t_{TRR_POR_50}$ の時間だけ下げてから、再び動作電圧まで戻す必要があります。

7.5 プログラミング

7.5.1 SPI

TXE8124-Q1 デバイスは、SPI を使用してデバイス構成、動作パラメータを設定し、診断情報を読み取ります。SPI プロトコルは、シリアル クロック (SCLK)、アクティブ LOW チップ セレクト ($\overline{CS}$)、シリアル データ入力 (SDI)、シリアル データ出力 (SDO) の 3 つの入力と 1 つの出力を使用します。クロック パルスとデータがデバイスに入力される前に、$\overline{CS}$ を low に駆動する必要があります。$\overline{CS}$ が high の場合、デバイスは SCLK と SDI 上のすべてのアクティビティを無視します。

TXE8124-Q1 デバイスは、SPI モード 0 (CPOL = 0、CPHA = 0) をサポートしています。アイドル時、クロック (SCLK) は Low になります。データは SCLK の立ち上がりエッジでサンプリングされ、立ち下がりエッジで変更されます。

TXE8124-Q1 では、独立したチップセレクトを備えた SPI バスに加えて、デイジー チェーン構成もサポートされています。デイジー チェーン構成は、複数の周辺機器を直列に接続し、1 つのデバイスの出力を次のデバイスの入力に供給することができます。デイジー チェーンは、チェーン全体に必要な CS ラインが 1 つだけであるため、$\overline{CS}$ ラインの数を減らすのに役立ちます。データは、各クロック サイクル中にチェーン内のすべてのデバイスを介して移行されます。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.2 SPI データ形式

TXE8124-Q1 SPI データ ワードの長さは、[16 + (N × 8)] ビットです (N は書き込むデータ バイト数)。1 バイトの書き込みまたは読み取りの場合、24 ビットのデータが MSB 先行で送受信されます。SPI データは、サンプリングが行われる SCLK の立ち上がりエッジの間は安定している必要があります。

コントローラから TXE8124-Q1 までの SDI ピンのデータ フォーマットを図 7-5 に示します。

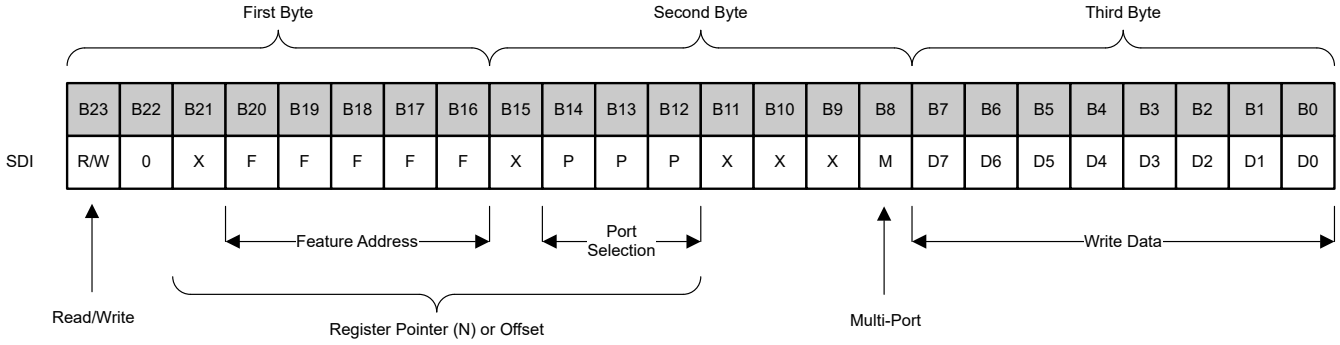


図 7-5. TXE8124-Q1 SPI SDI データ フレーム フォーマット

最初と 2 番目のバイトはフレームの必須部分です。SDI フレームの B23 ビットは R/$\overline{W}$ です。ここで、1 は読み取り動作、0 は書き込み動作です。B22 ビットは、ポイント ツー ポイント接続 (デイジー チェーントポロジではない場合) では常に 0 です。B20 ～ B16 は、このポートの機能レジスタに対応しています。B14 ～ B12 はポートを選択するためのものです。B8 ビットはマルチポート動作に使用され、マルチポート機能を使用する場合にのみ 1 に設定する必要があります。ビット B21 ～ B12 は、デバイスのレジスタ ポインタ (またはレジスタ テーブル内のオフセット) を示します。

3 バイト目以降では、8 ビットの書き込みデータがシフト入力され、レジスタ ポインタで指定されたレジスタに書き込まれます。シングル転送では N = 1、バースト モードでは N > 1 です。バースト転送では、レジスタ ポインタが内部でインクリメントされ、シフト入力されたデータは更新された内部レジスタ ポインタに書き込まれます。フレーム内で定義されていないビットは、将来の互換性のために 0 として送信する必要があります。

TXE8124-Q1 からコントローラへの SDO ピンのデータ フォーマットを図 7-6 に示します。

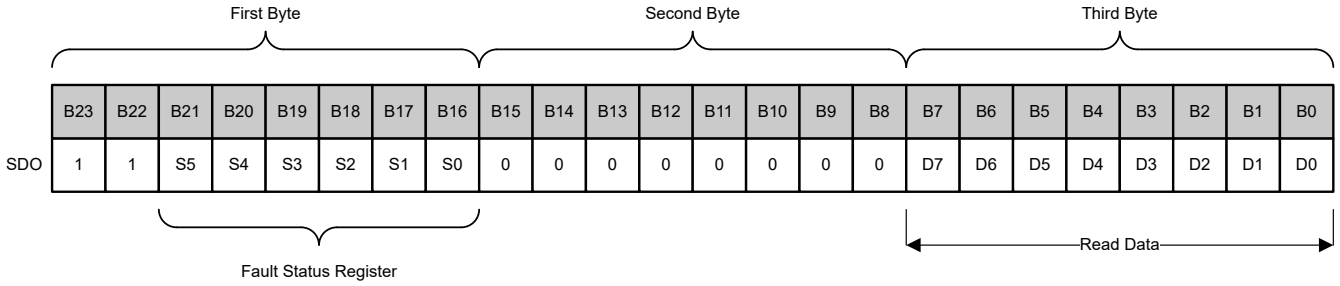


図 7-6. SPI SDO データ フォーマット

最初と 2 番目のバイトは、すべての SPI バス通信操作で共通です。B23 と B22 は、有効なステータスを示すために 1 に設定されます。B21 ～ B16 は、故障ステータス レジスタのステータス ビットです。2 番目のバイトは常に 0 に設定されます。3 バイト目以降では、SDI ピンからデバイスにシフト入力されたレジスタ ポインタに対応するレジスタの 8 ビットの読み取りデータがシフト出力されます。バースト転送 (N > 1) の場合、レジスタ ポインタは内部でインクリメントされ、データがシフト出力されます。

7.5.3 バースト モード

バースト モード トランザクションでは、最初のレジスタ ポインタはコントローラ デバイスによって指定され、ペリフェラルに送信されます。その後のアクセスでは、レジスタ ポインタは自動的に次の有効アドレス (次のポートに対応する 2 番目のアド

Copyright © 2026 Texas Instruments Incorporated

レス バイト) へインクリメントされます。この自動アドレス インクリメントは、CS がアクティブ low のままで、SCLK パルスが周辺デバイスによって受信される限り継続されます。

バースト モード トランザクションが順次続くにつれて、レジスタ ポインタはアドレスを自動的に進めます。更新されたレジスタ ポインタに対応する有効なレジスタが存在しない場合、またはそのレジスタが読み取り専用の場合、書き込まれたデータは無視されます。SDO でも同様に、デバイスのアドレス空間にマップされていないレジスタに対して、ペリフェラルは 0 を出力します。

複数ポートに対して同じレジスタを設定またはアクセスする場合、TI は、SPI バスの実効データ スループットを向上させるために、バースト モードを使用することを強く推奨します。

7.5.4 SPI 書き込み

SPI 書き込み動作は、コントローラ デバイスから周辺デバイスにデータを送信するために使用されます。SPI 書き込みは、図 7-7 に示すシングル バイト書き込み、または図 7-8 に示すバースト書き込みで実行できます。バースト書き込みでは、複数バイトをデバイスに書き込むことができます。この動作は SPI バス上で実行され、コントローラ デバイスが $\overline{CS}$ を low に駆動し、シリアル クロック (SCLK) を生成して、ペリフェラルにデータを送信します。SPI 書き込みは、通常、周辺装置の構成、制御コマンドの送信、データの転送に使用されます。SPI シングル書き込み中、デバイスはレジスタ ポインタで指定されたレジスタの最後のデータを送信します。SPI バースト書き込みでは、アドレスが自動的にインクリメントされ、デバイスは更新されたレジスタ ポインタで指定されたレジスタの最後のデータを送信します。

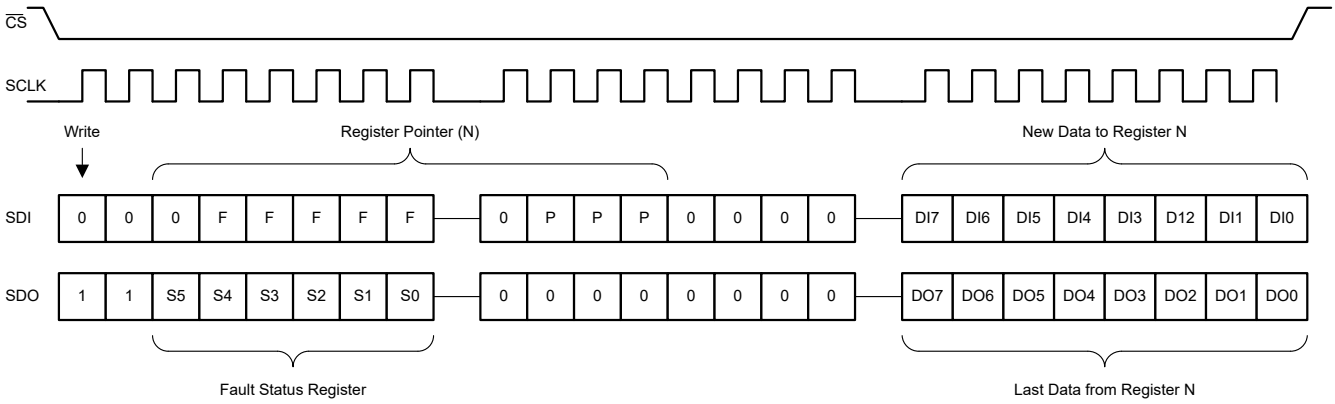


図 7-7. SPI シングル書き込み

ADVANCE INFORMATION

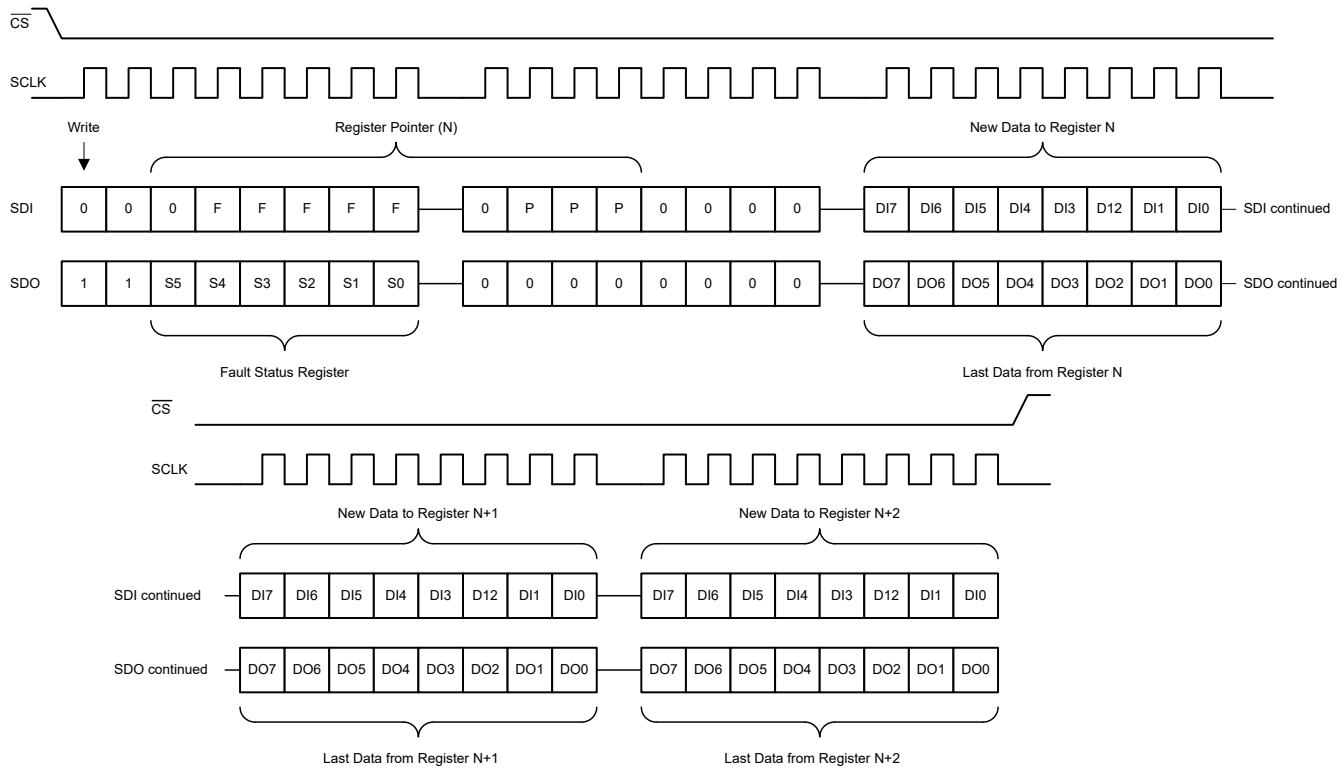


図 7-8. SPI バースト書き込み

SPI 書き込み手順:

1. $\overline{CS}$ を low に駆動します。この動作により、内部シフト レジスタが有効になります。
2. 24 ビットのデータを MSB ファースト方式でデバイスに移行します (MSB ビット)。SCLK の立ち上がりエッジの間、データは安定している必要があります。
3. MSB ビットは、書き込み動作であることを示す「0」である必要があります。
4. SDO ピンで、デバイスは最初の 2 ビットを 2'b11 として送信します (ステータス セグメントであることを示します)。次の 6 ビットは、故障ステータス レジスタ のビット 5 ～ 0 です。次の 8 ビットはすべて 0 であり、その後にレジスタ ポインタで選択されたレジスタの現在のデータ (8 ビット) が続きます。
5. 最後のデータビットが転送された後、転送するデータがない場合は SCLK を low に駆動します。
6. データバイトが SDI に送られると、レジスタの以前の内容が SDO に送られます。
7. 書き込みサイクルを終了するために $\overline{CS}$ をデアサート (High に駆動) します。

7.5.5 SPI 読み取り

TXE8124-Q1 の SPI 読み出し操作は、図 7-9 に示すシングル読み出しモードで特定のレジスタからデータを取得するか、または図 7-10 に示すバースト モードで連続するレジスタからデータを取得するために使用されます。

Copyright © 2026 Texas Instruments Incorporated

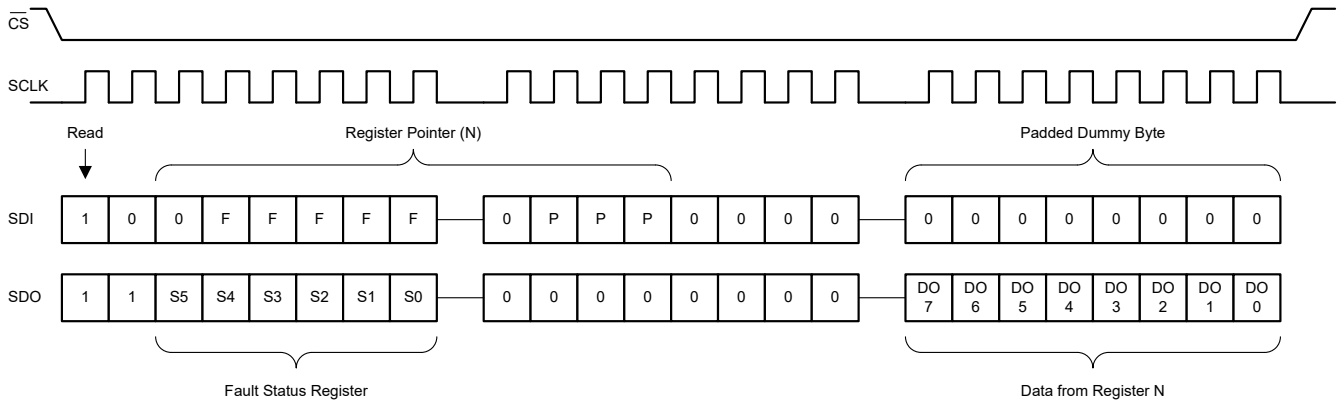


図 7-9. SPI 単一読み取り

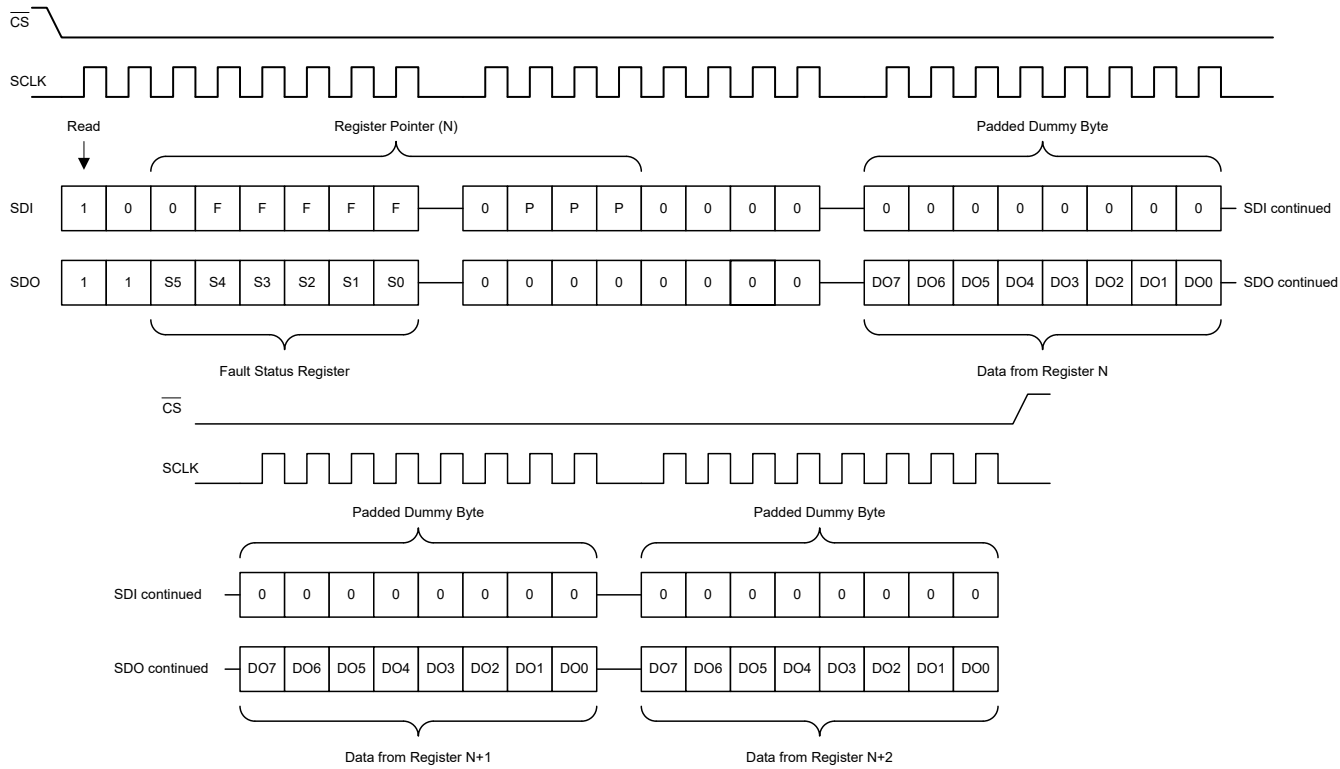


図 7-10. SPI バースト読み取り

SPI 読み取り動作手順:

1. $\overline{CS}$ を low に駆動します。この動作により、内部シフト レジスタが有効になります。
2. 24 ビットのデータを MSB ファースト方式でデバイスに移行します。SCLK の立ち上がりエッジの間、データは安定している必要があります
3. MSB ビットは、読み取り専用転送であることを示す「1」である必要があります。
4. 3 番目のデータ バイトは NOP (無動作) であり、ダミー データ バイトです。
5. SDO ピンでは、デバイスは最初の 2 ビットとして 2'b11 (ステータス セグメントであることを示す) を送信し、その後に故障ステータス レジスタのビット 5 ～ 0 の 6 ビットを送信します。次の 8 ビットはすべて 0 であり、その後にレジスタ ポインタで選択されたレジスタの現在のデータ (8 ビット) が続きます。
6. 最後のデータビットが転送された後、転送するデータがない場合は SCLK を low に駆動します。
7. 読み取りサイクルを終了するために $\overline{CS}$ をデアサート (High に駆動) します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.5.6 SPI デイジー チェーン

デイジーチェーン動作モードでは、コントローラからの SPI トランザクションはヘッダ (16 ビット)、アドレス (Nx16 ビット)、データ (Nx8 ビット) の 3 種類のセグメントで構成されています。TXE8124-Q1 は同じデータを受信してチェーン内の次のデバイスに送信する際、トランザクションにステータス (16 ビット) を追加し、アドレス セグメントを削除するとともに、チェーン内での自身の位置に対応するデータ セグメントを置き換えます。

図 7-11 は、デイジーチェーン接続された 2 台のデバイスに対するデイジーチェーン書き込みの例を示しています。ヘッダ バイトはチェーン長 (CL) 値 2 を設定して送信され、その後に DUT2、DUT1 のアドレス、続いて DUT2、DUT1 の 8 ビットのデータ入力が送信されます。最初のデバイスがデータをシフト出力する際、まずステータス セグメントを送信し、その後に元のヘッダ、DUT2 のアドレス、DUT1 からのデータ出力、そして DUT2 のデータ入力を送信します。チェーン内の最後のデバイスは、まずステータスを送信し、その後に DUT1 のステータス、最後に DUT2、DUT1 のデータ出力を送信します。

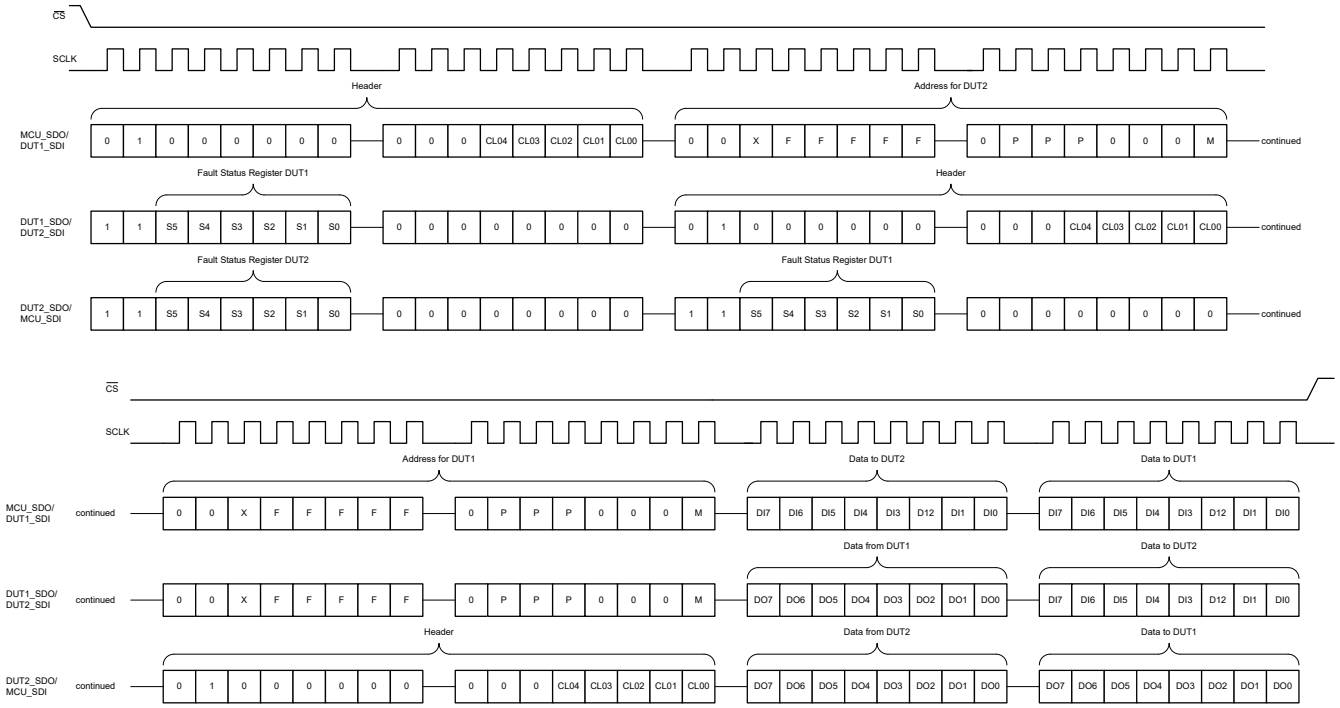


図 7-11. SPI デイジーチェーンの書き込み

図 7-12 に、デイジーチェーン内の 2 つのデバイスのデイジーチェーン読み取りの例を示します。ヘッダ バイトはチェーン長 (CL) 値 2 で送信され、その後に DUT2、DUT1 のアドレス、続いて DUT2、DUT1 の 8 ビットのダミー データ入力が送信されます。最初のデバイスがデータをシフト出力する際、まずステータス セグメントを送信し、その後に元のヘッダ、DUT2 のアドレス、DUT1 からのデータ出力、そして DUT2 のダミー データ入力を送信します。チェーン内の最後のデバイスは、まずステータスを送信し、その後に DUT1 のステータス、最後に DUT2、DUT1 のデータ出力を送信します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

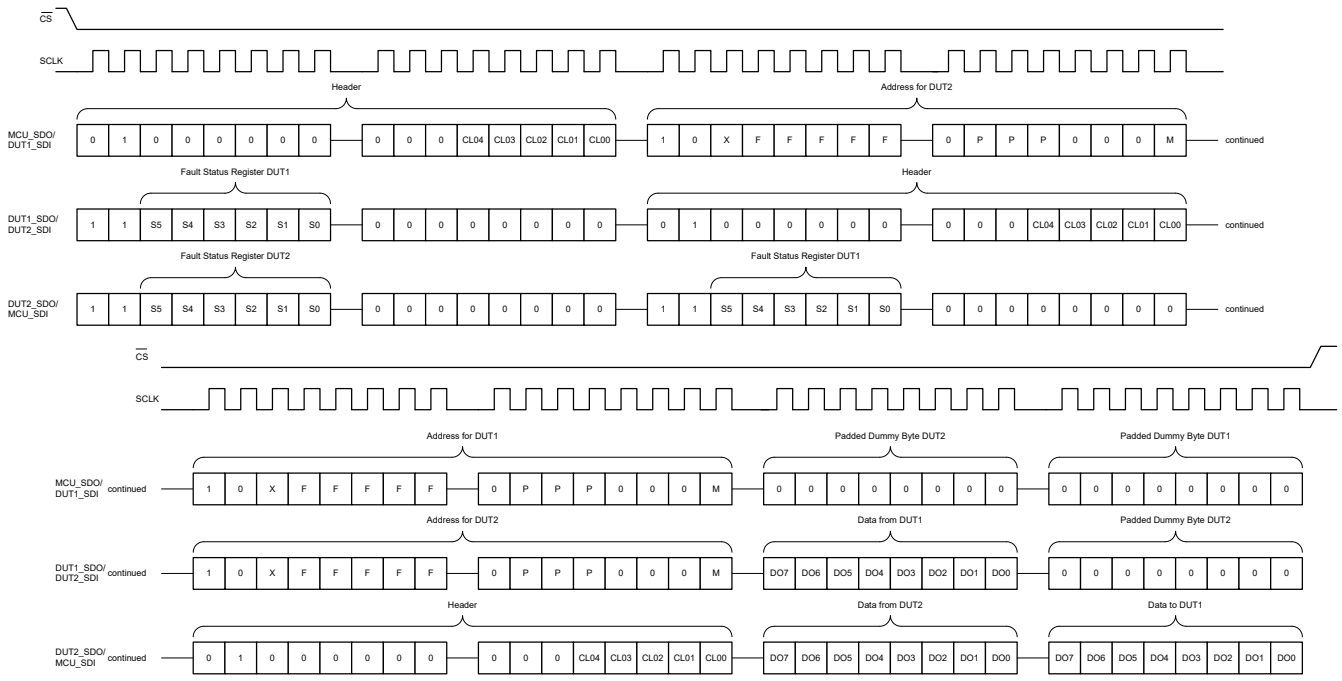


図 7-12. SPI デイジーチェーンの読み取り

ADVANCE INFORMATION

ADVANCE INFORMATION

7.6 TXE8124 のレジスタ

TXE8124 レジスタのメモリマップされたレジスタを、表 7-3 に示します。表 7-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-3. TXE8124 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	Scratch_Register	スクラッチ レジスタ	セクション 7.6.1
10h	Device_ID_Register	Device ID レジスタ	セクション 7.6.2
20h + 式	Input_Port_Register_y	入力ポート レジスタ	セクション 7.6.3
30h + 式	Output_Port_Register_y	出力ポート レジスタ	セクション 7.6.4
40h + 式	Direction_Configuration_Register_y	方向構成レジスタ	セクション 7.6.5
50h + 式	Polarity_Inversion_Register_y	極性反転レジスタ	セクション 7.6.6
60h + 式	Push_Pull/ Open_Drain_Selection_Register_y	プッシュプル / オープン ドレイン選択レジスタ	セクション 7.6.7
80h + 式	Pull-up/Pull-down_Enable_Register_y	プルアップ / プルダウン イネーブル レジスタ	セクション 7.6.8
90h + 式	Pull-up/Pull-down_Selection_Register_y	プルアップ / プルダウン選択レジスタ	セクション 7.6.9
A0h + 式	Bus_Holder_Register_y	バス ホルダ レジスタ	セクション 7.6.10
B0h	Smart_Interrupt_Register	スマート割り込みレジスタ	セクション 7.6.11
C0h + 式	Interrupt_Mask_Register_y	割り込みマスク レジスタ	セクション 7.6.12
D0h + 式	Interrupt_Glitch_Filter_Enable_Register_y	割り込みグリッチ フィルタ有効レジスタ	セクション 7.6.13
E0h + 式	Interrupt_Flag_Status_Register_y	割り込みフラグ ステータス レジスタ	セクション 7.6.14
F0h	Interrupt_Port_Status_Register	割り込みポート ステータス レジスタ	セクション 7.6.15
120h	Fail-Safe_Enable_Register-1	フェイルセーフ イネーブル レジスタ -1	セクション 7.6.16
130h	Fail-Safe_Enable_Register-2	フェイルセーフ イネーブル レジスタ -2	セクション 7.6.17
140h + 式	Fail-Safe_Direction_Configuration_Register-1_y	フェイルセーフ方向設定レジスタ -1	セクション 7.6.18
150h + 式	Fail-Safe_Direction_Configuration_Register-2_y	フェイルセーフ方向設定レジスタ -2	セクション 7.6.19
160h + 式	Fail-Safe_Output_Register-1_y	フェイルセーフ出力レジスタ -1	セクション 7.6.20
170h + 式	Fail-Safe_Output_Register-2_y	フェイルセーフ出力レジスタ -2	セクション 7.6.21
180h	Fail-Safe_Redundancy_Check_Register	フェイルセーフ冗長性チェック レジスタ	セクション 7.6.22
190h	Fault_Status_Register	フォルト ステータス レジスタ	セクション 7.6.23
1A0h	Software_Reset_Register	ソフトウェア リセット レジスタ	セクション 7.6.24

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-4. TXE8124 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 7-4. TXE8124 のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.1 Scratch_Register (オフセット = 0h) [リセット = 00h]

Scratch_Register は 図 7-13 に示されており、表 7-5 で説明されています。

概略表に戻ります。

スクラッチ レジスタは、ブランク レジスタとの間でコードを読み書きし、コーディングの問題を解決するためのテスト レジスタです

図 7-13. Scratch_Register

7	6	5	4	3	2	1	0
Scratch_Value							
R/W-0h							

表 7-5. Scratch_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Scratch_Value	R/W	0h	8 ビット スクラッチ値

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.2 Device_ID_Register (オフセット = 10h) [リセット = 01h]

Device_ID_Register は 図 7-14 に示されており、表 7-6 で説明されています。

概略表に戻ります。

デバイス ID を保持するデバイス識別レジスタ。

図 7-14. Device_ID_Register

7	6	5	4	3	2	1	0
Device_ID							
R-1h							

表 7-6. Device_ID_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Device_ID	R	1h	デバイス識別 0: TXE8116 1 : TXE8124

ADVANCE INFORMATION

7.6.3 Input_Port_Register_y (オフセット = 20h + 式) [リセット = XXh]

Input_Port_Register_y は 図 7-15 に示されており、表 7-7 で説明されています。

概略表に戻ります。

あるピンが入力として設定されている場合、入力ポート レジスタには、そのポートの各ピンに入力されているロジック レベルが反映されます。出力として構成した場合、対応するピンは 0 として読み取られます。入力ポート レジスタは、読み取り専用です。これらのレジスタに書き込みを行っても、影響はありません。デフォルト値は、外部から印加されるロジック レベルによって決まります。

オフセット = 20h + (y * 1h)、ここで y = 0h～2h

図 7-15. Input_Port_Register_y

7	6	5	4	3	2	1	0
IPy.7	IPy.6	IPy.5	IPy.4	IPy.3	IPy.2	IPy.1	IPy.0
R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh

表 7-7. Input_Port_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IPy.7	R	Xh	Py.7 入力ピン値
6	IPy.6	R	Xh	Py.6 入力ピン値
5	IPy.5	R	Xh	Py.5 入力ピン値
4	IPy.4	R	Xh	Py.4 入力ピン値
3	IPy.3	R	Xh	Py.3 入力ピン値
2	IPy.2	R	Xh	Py.2 入力ピン値
1	IPy.1	R	Xh	Py.1 入力ピン値
0	IPy.0	R	Xh	Py.0 入力ピン値

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.4 Output_Port_Register_y (オフセット = 30h + 式) [リセット = 00h]

Output_Port_Register_y は 図 7-16 に示されており、表 7-8 で説明されています。

概略表に戻ります。

出力ポート レジスタは、構成レジスタで出力として設定されている場合、ピン Py.0 ～ Py.7 の出力ロジック レベルを反映します。このレジスタのビット値は、入力として定義されたピンには影響しません。このレジスタを読み出すと、実際のピンの値ではなく、レジスタに格納されている値が読み出されます。

オフセット = 30h + (y * 1h)、ここで y = 0h～2h

図 7-16. Output_Port_Register_y

7	6	5	4	3	2	1	0
OPy.7	OPy.6	OPy.5	OPy.4	OPy.3	OPy.2	OPy.1	OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-8. Output_Port_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OPy.7	R/W	0h	Py.7 出力値
6	OPy.6	R/W	0h	Py.6 出力値
5	OPy.5	R/W	0h	Py.5 出力値
4	OPy.4	R/W	0h	Py.4 出力値
3	OPy.3	R/W	0h	Py.3 出力値
2	OPy.2	R/W	0h	Py.2 出力値
1	OPy.1	R/W	0h	Py.1 出力値
0	OPy.0	R/W	0h	Py.0 出力値

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.5 Direction_Configuration_Register_y (オフセット = 40h + 式) [リセット = 00h]

Direction_Configuration_Register_y は 図 7-17 に示されており、表 7-9 で説明されています。

概略表に戻ります。

方向構成レジスタは、I/O ピンの方向を構成します。このレジスタのビットが 0 に設定されている場合、対応するポート ピンはハイ インピーダンス入力として有効になります。このレジスタのビットを 1 に設定すると、対応するポート ピンは出力として有効になります。

オフセット = 40h + (y * 1h)、ここで y = 0h～2h

図 7-17. Direction_Configuration_Register_y

7	6	5	4	3	2	1	0
DIRy.7	DIRy.6	DIRy.5	DIRy.4	DIRy.3	DIRy.2	DIRy.1	DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-9. Direction_Configuration_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIRy.7	R/W	0h	Py.7 構成 0: ピンは入力モードです 1: ピンは出力モードです
6	DIRy.6	R/W	0h	Py.6 構成 0: ピンは入力モードです 1: ピンは出力モードです
5	DIRy.5	R/W	0h	Py.5 構成 0: ピンは入力モードです 1: ピンは出力モードです
4	DIRy.4	R/W	0h	Py.4 構成 0: ピンは入力モードです 1: ピンは出力モードです
3	DIRy.3	R/W	0h	Py.3 構成 0: ピンは入力モードです 1: ピンは出力モードです
2	DIRy.2	R/W	0h	Py.2 構成 0: ピンは入力モードです 1: ピンは出力モードです
1	DIRy.1	R/W	0h	Py.1 構成 0: ピンは入力モードです 1: ピンは出力モードです
0	DIRy.0	R/W	0h	Py.0 構成 0: ピンは入力モードです 1: ピンは出力モードです

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.6 Polarity_Inversion_Register_y (オフセット = 50h + 式) [リセット = 00h]

Polarity_Inversion_Register_y は 図 7-18 に示されており、表 7-10 で説明されています。

概略表に戻ります。

極性反転レジスタは、構成レジスタで入力として定義されているピン Py.0 ～ Py7 の極性を反転させることができます。このレジスタのビットがセットされると、対応するピンの極性が反転します。このレジスタのビットがクリアされると、対応するピンの極性はそのまま保持されます。

オフセット = 50h + (y * 1h)、ここで y = 0h～2h

図 7-18. Polarity_Inversion_Register_y

7	6	5	4	3	2	1	0
Ply.7	Ply.6	Ply.5	Ply.4	Ply.3	Ply.2	Ply.1	Ply.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-10. Polarity_Inversion_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	Ply.7	R/W	0h	Py.7 極性反転 0: 極性は変更されません 1: 極性が反転します
6	Ply.6	R/W	0h	Py.6 極性反転 0: 極性は変更されません 1: 極性が反転します
5	Ply.5	R/W	0h	Py.5 極性反転 0: 極性は変更されません 1: 極性が反転します
4	Ply.4	R/W	0h	Py.4 極性反転 0: 極性は変更されません 1: 極性が反転します
3	Ply.3	R/W	0h	Py.3 極性反転 0: 極性は変更されません 1: 極性が反転します
2	Ply.2	R/W	0h	Py.2 極性反転 0: 極性は変更されません 1: 極性が反転します
1	Ply.1	R/W	0h	Py.1 極性反転 0: 極性は変更されません 1: 極性が反転します
0	Ply.0	R/W	0h	Py.0 極性反転 0: 極性は変更されません 1: 極性が反転します

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.7 Push_Pull/Open_Drain_Selection_Register_y (オフセット = 60h + 式) [リセット値 = 00h]

図 7-19 に、Push_Pull/Open_Drain_Selection_Register_y を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

プッシュプル / オープン ドレイン選択レジスタを使用して、ピンをプッシュプルまたはオープン ドレインとして選択します。ビットがセットされると、対応するピンはオープン ドレインとして設定されます (Q1 は無効、Q2 は有効)。ビットがクリアされると、対応するピンはプッシュプルとして構成されます (Q1 と Q2 はアクティブ)。

オフセット = 60h + (y * 1h)、ここで y = 0h～2h

図 7-19. Push_Pull/Open_Drain_Selection_Register_y

7	6	5	4	3	2	1	0
PPODy.7	PPODy.6	PPODy.5	PPODy.4	PPODy.3	PPODy.2	PPODy.1	PPODy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-11. Push_Pull/Open_Drain_Selection_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PPODy.7	R/W	0h	Py.7 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
6	PPODy.6	R/W	0h	Py.6 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
5	PPODy.5	R/W	0h	Py.5 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
4	PPODy.4	R/W	0h	Py.4 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
3	PPODy.3	R/W	0h	Py.3 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
2	PPODy.2	R/W	0h	Py.2 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
1	PPODy.1	R/W	0h	Py.1 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます
0	PPODy.0	R/W	0h	Py.0 出力構成ビット 0: ピンは出力プッシュプルとして構成されています 1: ピンは出力オープン ドレインとして構成されます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.8 Pull-up/Pull-down_Enable_Register_y (オフセット = 80h + 式) [リセット = 00h]

表 7-12 に、Pull-up/Pull-down_Enable_Register_y を示し、図 7-20 にその説明を示します。

概略表に戻ります。

Pull-Up/Pull-Down Enable レジスタを使用すると、GPIO ピンのプルアップ / プルダウン抵抗をイネーブル / ディセーブルにすることができます。このビットを設定すると、ピンにプルアップ / プルダウン抵抗を選択できるようになります。このビットをクリアすると、ピンからプルアップ / プルダウン抵抗が切り離されます。

オフセット = 80h + (y * 1h)、ここで y = 0h～2h

図 7-20. Pull-up/Pull-down_Enable_Register_y

7	6	5	4	3	2	1	0
PEy.7	PEy.6	PEy.5	PEy.4	PEy.3	PEy.2	PEy.1	PEy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-12. Pull-up/Pull-down_Enable_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PEy.7	R/W	0h	Py.7 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
6	PEy.6	R/W	0h	Py.6 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
5	PEy.5	R/W	0h	Py.5 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
4	PEy.4	R/W	0h	Py.4 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
3	PEy.3	R/W	0h	Py.3 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
2	PEy.2	R/W	0h	Py.2 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
1	PEy.1	R/W	0h	Py.1 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています
0	PEy.0	R/W	0h	Py.0 のプルアップ / プルダウン有効化 0: ピンのプルアップ / プルダウンを無効化 1: このピンではプルアップ / プルダウンが有効になっています

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.9 Pull-up/Pull-down_Selection_Register_y (オフセット = 90h + 式) [リセット = 00h]

表 7-13 に、Pull-up/Pull-down_Selection_Register_y を示し、図 7-21 にその説明を示します。

概略表に戻ります。

プルアップ / プルダウン選択レジスタにより、ユーザーは各 GPIO ピンにプルアップ抵抗またはプルダウン抵抗を設定できます。このビットを設定すると、ピンのプルアップ抵抗が有効になります。このビットをクリアすると、ピンのプルダウン抵抗が有効になります。プルアップ / プルダウン機能が無効になっている場合、このレジスタに書き込んでも効果はありません。

オフセット = 90h + (y * 1h)、ここで y = 0h～2h

図 7-21. Pull-up/Pull-down_Selection_Register_y

7	6	5	4	3	2	1	0
PUDy.7	PUDy.6	PUDy.5	PUDy.4	PUDy.3	PUDy.2	PUDy.1	PUDy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-13. Pull-up/Pull-down_Selection_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PUDy.7	R/W	0h	Py.7 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
6	PUDy.6	R/W	0h	Py.6 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
5	PUDy.5	R/W	0h	Py.5 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
4	PUDy.4	R/W	0h	Py.4 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
3	PUDy.3	R/W	0h	Py.3 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
2	PUDy.2	R/W	0h	Py.2 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
1	PUDy.1	R/W	0h	Py.1 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます
0	PUDy.0	R/W	0h	Py.0 のプルアップ / プルダウン選択 0: このピンではプルダウン抵抗が有効になっています 1: プルアップ抵抗は、このピンでイネーブルされます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.10 Bus_Holder_Register_y (オフセット = A0h + 式) [リセット = 00h]

Bus_Holder_Register_y は 図 7-22 に示されており、表 7-14 で説明されています。

概略表に戻ります。

バス ホールド レジスタは、GPIO ピンのバス ホールドまたはバス キーパー機能を有効または無効にします。この機能は、ピンが入力として設定されている場合にのみ使用できます。レジスタのビットが設定されると、ピンを駆動しているデバイスの出力がハイ インピーダンス状態になった場合でも、対応する入力ピンは直前の論理状態を保持します。

オフセット = A0h + (y * 1h)、ここで y = 0h～2h

図 7-22. Bus_Holder_Register_y

7	6	5	4	3	2	1	0
BHy.07	BHy.6	BHy.5	BHy.4	BHy.3	BHy.2	BHy.1	BHy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-14. Bus_Holder_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BHy.07	R/W	0h	Py.7 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
6	BHy.6	R/W	0h	Py.6 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
5	BHy.5	R/W	0h	Py.5 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
4	BHy.4	R/W	0h	Py.4 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
3	BHy.3	R/W	0h	Py.3 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
2	BHy.2	R/W	0h	Py.2 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
1	BHy.1	R/W	0h	Py.1 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル
0	BHy.0	R/W	0h	Py.0 バス ホルダ構成 0: ピンのバス ホールドがディスエーブル 1: ピンのバス ホールドがイネーブル

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.11 Smart_Interrupt_Register (オフセット = B0h) [リセット = 00h]

Smart_Interrupt_Register は 図 7-23 に示されており、表 7-15 で説明されています。

概略表に戻ります。

このレジスタは、スマート割り込み機能を有効または無効にするために使用されます。ビットが 0 に設定されている場合 (スマート割り込みが有効)、いずれかの入力ピンで状態変化が発生すると割り込みが生成され、入力が元の状態に戻ると割り込みはクリアされます。
ビットが 1 に設定されている場合 (スマート割り込み無効)、いずれかの入力ピンで状態変化が発生すると割り込みが生成され、入力が元の状態に戻っても割り込みはクリアされません。割り込みステータス フラグ レジスタを読み出すと、割り込みはクリアされます。
この機能は、ポート レベルでのみイネーブルになります。

図 7-23. Smart_Interrupt_Register

7	6	5	4	3	2	1	0
予約済み					SI.P2	SI.P1	SI.P0
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-15. Smart_Interrupt_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	使用できません。
2	SI.P2	R/W	0h	ポート 2 のスマート割り込み 0: 有効 1: 無効
1	SI.P1	R/W	0h	ポート 1 のスマート割り込み 0: 有効 1: 無効
0	SI.P0	R/W	0h	ポート 0 のスマート割り込み 0: 有効 1: 無効

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.12 Interrupt_Mask_Register_y (オフセット = C0h + 式) [リセット = FFh]

Interrupt_Mask_Register_y は 図 7-24 に示されており、表 7-16 で説明されています。

概略表に戻ります。

割り込みマスク レジスタにより、ピンからの割り込み生成を有効または無効にできます。マスク レジスタのビットが設定されている場合、ピンの入力状態が変化しても割り込みはアサートされません。マスク レジスタのビットがクリアされている場合、ピンの入力状態が変化すると割り込みが発生します。

オフセット = C0h + (y * 1h)、ここで y = 0h～2h

図 7-24. Interrupt_Mask_Register_y

7	6	5	4	3	2	1	0
IMy.7	IMy.6	IMy.5	IMy.4	IMy.3	IMy.2	IMy.1	IMy.0
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-16. Interrupt_Mask_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IMy.7	R/W	1h	Py.7 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
6	IMy.6	R/W	1h	Py.6 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
5	IMy.5	R/W	1h	Py.5 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
4	IMy.4	R/W	1h	Py.4 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
3	IMy.3	R/W	1h	Py.3 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
2	IMy.2	R/W	1h	Py.2 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
1	IMy.1	R/W	1h	Py.1 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます
0	IMy.0	R/W	1h	Py.0 割り込みマスク ビット 0: ピンの状態が変化しても、割り込みはマスクされません 1: ピンの状態が変化しても、割り込みはマスクされます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.13 Interrupt_Glitch_Filter_Enable_Register_y (オフセット = D0h + 式) [リセット = 00h]

Interrupt_Glitch_Filter_Enable_Register_y は 図 7-25 に示されており、表 7-17 で説明されています。

概略表に戻ります。

割り込みグリッチ フィルタ レジスタは、I/O のグリッチ フィルタを有効または無効にします。ビットが 1 に設定されている場合、対応するピンのグリッチ フィルタは有効になります。ビットが 0 に設定されているなら、対応するピンのグリッチ フィルタは無効になります。

オフセット = D0h + (y * 1h)、ここで y = 0h～2h

図 7-25. Interrupt_Glitch_Filter_Enable_Register_y

7	6	5	4	3	2	1	0
GFy.7	GFy.6	GFy.5	GFy.4	GFy.3	GFy.2	GFy.1	GFy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-17. Interrupt_Glitch_Filter_Enable_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GFy.7	R/W	0h	Py.7 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
6	GFy.6	R/W	0h	Py.6 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
5	GFy.5	R/W	0h	Py.5 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
4	GFy.4	R/W	0h	Py.4 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
3	GFy.3	R/W	0h	Py.3 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
2	GFy.2	R/W	0h	Py.2 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
1	GFy.1	R/W	0h	Py.1 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です
0	GFy.0	R/W	0h	Py.0 グリッチ フィルタ イネーブル ビット 0: グリッチ フィルタは無効です 1: グリッチ フィルタは有効です

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.14 Interrupt_Flag_Status_Register_y レジスタ (オフセット = E0h + 式) [リセット = 00h]

Interrupt_Flag_Status_Register_y は 図 7-26 に示されており、表 7-18 で説明されています。

概略表に戻ります。

割り込みステータス レジスタは、割り込みの発生源を特定するために使用される読み取り専用ビットです。読み出し値がロジック 1 の場合、対応する入力ピンは割り込みのソースであることを示しています。ロジック 0 の場合、入力ピンは割り込みのソースではないことを示しています。割り込みマスク レジスタの対応するビットが 1 (マスク) に設定されている場合、割り込みステータス ビットは論理 0 を返します。

オフセット = E0h + (y * 1h)、ここで y = 0h～2h

図 7-26. Interrupt_Flag_Status_Register_y

7	6	5	4	3	2	1	0
ISy.7	ISy.6	ISy.5	ISy.4	ISy.3	ISy.2	ISy.1	ISy.0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-18. Interrupt_Flag_Status_Register_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ISy.7	R	0h	Py.7 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
6	ISy.6	R	0h	Py.6 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
5	ISy.5	R	0h	Py.5 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
4	ISy.4	R	0h	Py.4 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
3	ISy.3	R	0h	Py.3 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
2	ISy.2	R	0h	Py.2 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
1	ISy.1	R	0h	Py.1 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです
0	ISy.0	R	0h	Py.0 割り込みステータス ビット 0: ピンは割り込みのソースではありません 1: ピンは割り込みのソースです

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.15 Interrupt_Port_Status_Register (オフセット = F0h) [リセット = 00h]

Interrupt_Port_Status_Register は 図 7-27 に示されており、表 7-19 で説明されています。

概略表に戻ります。

このレジスタは、割り込みの発生源となる IO ポートを特定するために使用されます。ビットの値が 1 の場合、対応する IO ポートが割り込みの発生源であることを示します。値が 0 の場合、IO ポート内のいずれの入力ピンも割り込みを生成していないことを示します。

図 7-27. Interrupt_Port_Status_Register

7	6	5	4	3	2	1	0
予約済み					IPS.P2	IPS.P1	IPS.P0
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-19. Interrupt_Port_Status_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	使用できません。
2	IPS.P2	R/W	0h	ポート 2 の割り込みステータス 0: ポート 2 からの割り込みなし 1: ポート 2 からの割り込み
1	IPS.P1	R/W	0h	ポート 1 の割り込みステータス 0: ポート 1 からの割り込みなし 1: ポート 1 からの割り込み
0	IPS.P0	R/W	0h	ポート 0 の割り込みステータス 0: ポート 0 からの割り込みなし 1: ポート 0 からの割り込み

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.16 Fail-Safe_Enable_Register-1 (オフセット = 120h) [リセット = 00h]

図 7-28 に Fail-Safe_Enable_Register-1 を示し、表 7-20 にその説明を示します。

概略表に戻ります。

このレジスタは、リセット ピンをフェイルセーフ ピンとして再構成します。このレジスタは POR または故障状態でクリアされます (故障ステータス レジスタに記載)。
このデバイスにはフェイルセーフ レジスタが 2 つあり、内蔵された冗長性を用いて I/O 構成を設定するために書き込みを行う必要があります。2 つのレジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

図 7-28. Fail-Safe_Enable_Register-1

7	6	5	4	3	2	1	0
予約済み							FS1EN
R-0h							R/W-0h

表 7-20. Fail-Safe_Enable_Register-1 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	使用できません。
0	FS1EN	R/W	0h	フェイルセーフ イネーブル ビット 0: ディスエーブル 1:イネーブル

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.17 Fail-Safe_Enable_Register-2 (オフセット = 130h) [リセット = 00h]

図 7-29 に Fail-Safe_Enable_Register-2 を示し、表 7-21 にその説明を示します。

概略表に戻ります。

このレジスタは、リセット ピンをフェイルセーフ ピンとして再構成します。このレジスタは POR または故障状態でクリアされます (故障ステータス レジスタに記載)。
このデバイスにはフェイルセーフ レジスタが 2 つあり、内蔵された冗長性を用いて I/O 構成を設定するために書き込みを行う必要があります。2 つのレジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

図 7-29. Fail-Safe_Enable_Register-2

7	6	5	4	3	2	1	0
予約済み							FS2EN
R-0h							R/W-0h

表 7-21. Fail-Safe_Enable_Register-2 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	使用できません。
0	FS2EN	R/W	0h	フェイルセーフ イネーブル ビット 0: ディスエーブル 1:イネーブル

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.18 Fail-Safe_Direction_Configuration_Register-1_y (オフセット = 140h + 式) [リセット = 00h]

図 7-30 に、Fail-Safe_Direction_Configuration_Register-1_y を示し、表 7-22 に、その説明を示します。

概略表に戻ります。

フェールセーフ方向構成レジスタ -1 は、デバイスがフェールセーフ状態になったときの I/O ピンの方向を構成します。これらのレジスタのビットが 0 に設定されている場合、対応する IO ピンはフェイルセーフ モード中にハイ インピーダンス入力として有効になります。ビットが 1 に設定されている場合、対応する IO ピンはフェイルセーフ モード時に出力として有効になります。
冗長性を確保するために、各ポートには 2 つのレジスタがあり、I/O 構成を設定するにはこれらのレジスタに書き込む必要があります。レジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

オフセット = 140h + (y * 1h)、ここで y = 0h～2h

図 7-30. Fail-Safe_Direction_Configuration_Register-1_y

7	6	5	4	3	2	1	0
FS1DIRy.7	FS1DIRy.6	FS1DIRy.5	FS1DIRy.4	FS1DIRy.3	FS1DIRy.2	FS1DIRy.1	FS1DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-22. Fail-Safe_Direction_Configuration_Register-1_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FS1DIRy.7	R/W	0h	Py.7 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
6	FS1DIRy.6	R/W	0h	Py.6 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
5	FS1DIRy.5	R/W	0h	Py.5 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
4	FS1DIRy.4	R/W	0h	Py.4 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
3	FS1DIRy.3	R/W	0h	Py.3 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
2	FS1DIRy.2	R/W	0h	Py.2 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
1	FS1DIRy.1	R/W	0h	Py.1 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
0	FS1DIRy.0	R/W	0h	Py.0 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.19 Fail-Safe_Direction_Configuration_Register-2_y (オフセット = 150h + 式) [リセット = 00h]

図 7-31 に、Fail-Safe_Direction_Configuration_Register-2_y を示し、表 7-23 に、その説明を示します。

概略表に戻ります。

フェールセーフ方向構成レジスタ -2 は、デバイスがフェールセーフ状態になったときの I/O ピンの方向を構成します。これらのレジスタのビットが 0 に設定されている場合、対応する IO ピンはフェイルセーフ モード中にハイ インピーダンス入力として有効になります。ビットが 1 に設定されている場合、対応する IO ピンはフェイルセーフ モード時に出力として有効になります。
冗長性を確保するために、各ポートには 2 つのレジスタがあり、I/O 構成を設定するにはこれらのレジスタに書き込む必要があります。レジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

オフセット = 150h + (y * 1h)、ここで y = 0h～2h

図 7-31. Fail-Safe_Direction_Configuration_Register-2_y

7	6	5	4	3	2	1	0
FS2DIRy.7	FS2DIRy.6	FS2DIRy.5	FS2DIRy.4	FS2DIRy.3	FS2DIRy.2	FS2DIRy.1	FS2DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-23. Fail-Safe_Direction_Configuration_Register-2_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FS2DIRy.7	R/W	0h	Py.7 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
6	FS2DIRy.6	R/W	0h	Py.6 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
5	FS2DIRy.5	R/W	0h	Py.5 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
4	FS2DIRy.4	R/W	0h	Py.4 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
3	FS2DIRy.3	R/W	0h	Py.3 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
2	FS2DIRy.2	R/W	0h	Py.2 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
1	FS2DIRy.1	R/W	0h	Py.1 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます
0	FS2DIRy.0	R/W	0h	Py.0 フェイルセーフ構成ビット 0: ピンは入力モードに構成されています 1: ピンは出力モードに構成されます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.20 Fail-Safe_Output_Register-1_y (オフセット = 160h + 式) [リセット = 00h]

図 7-32 に、Fail-Safe_Output_Register-1_y を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

フェイルセーフ出力レジスタ 1 は、フェイルセーフ設定レジスタで出力として定義されたピンの出力レベルを設定します。レジスタのビット値は、入力として定義されたピンには影響しません。
冗長性を確保するため、各ポートには 2 つのレジスタがあり、同じ出力値を書き込む必要があります。レジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

オフセット = 160h + (y * 1h)、ここで y = 0h～2h

図 7-32. Fail-Safe_Output_Register-1_y

7	6	5	4	3	2	1	0
FS1OPy.7	FS1OPy.6	FS1OPy.5	FS1OPy.4	FS1OPy.3	FS1OPy.2	FS1OPy.1	FS1OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-24. Fail-Safe_Output_Register-1_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FS1OPy.7	R/W	0h	Py.7 のフェイルセーフ出力値
6	FS1OPy.6	R/W	0h	Py.6 のフェイルセーフ出力値
5	FS1OPy.5	R/W	0h	Py.5 のフェイルセーフ出力値
4	FS1OPy.4	R/W	0h	Py.4 のフェイルセーフ出力値
3	FS1OPy.3	R/W	0h	Py.3 のフェイルセーフ出力値
2	FS1OPy.2	R/W	0h	Py.2 のフェイルセーフ出力値
1	FS1OPy.1	R/W	0h	Py.1 のフェイルセーフ出力値
0	FS1OPy.0	R/W	0h	Py.0 のフェイルセーフ出力値

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.21 Fail-Safe_Output_Register-2_y (オフセット = 170h + 式) [リセット = 00h]

図 7-33 に、Fail-Safe_Output_Register-2_y を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

フェイルセーフ出力レジスタ 2 は、フェイルセーフ設定レジスタで出力として定義されたピンの出力レベルを設定します。レジスタのビット値は、入力として定義されたピンには影響しません。
冗長性を確保するため、各ポートには 2 つのレジスタがあり、同じ出力値を書き込む必要があります。レジスタの値が一致しない場合、割り込みが生成され、対応する故障ステータスが設定されます。

オフセット = 170h + (y * 1h)、ここで y = 0h～2h

図 7-33. Fail-Safe_Output_Register-2_y

7	6	5	4	3	2	1	0
FS2OPy.7	FS2OPy.6	FS2OPy.5	FS2OPy.4	FS2OPy.3	FS2OPy.2	FS2OPy.1	FS2OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-25. Fail-Safe_Output_Register-2_y フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FS2OPy.7	R/W	0h	Py.7 のフェイルセーフ出力値
6	FS2OPy.6	R/W	0h	Py.6 のフェイルセーフ出力値
5	FS2OPy.5	R/W	0h	Py.5 のフェイルセーフ出力値
4	FS2OPy.4	R/W	0h	Py.4 のフェイルセーフ出力値
3	FS2OPy.3	R/W	0h	Py.3 のフェイルセーフ出力値
2	FS2OPy.2	R/W	0h	Py.2 のフェイルセーフ出力値
1	FS2OPy.1	R/W	0h	Py.1 のフェイルセーフ出力値
0	FS2OPy.0	R/W	0h	Py.0 のフェイルセーフ出力値

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.22 Fail-Safe_Redundancy_Check_Register (オフセット = 180h) [リセット = 00h]

図 7-34 に、Fail-Safe_Redundancy_Check_Register を示し、表 7-26 に、その説明を示します。

概略表に戻ります。

フェイルセーフ冗長チェック レジスタは、フェイルセーフ冗長レジスタ (フェイルセーフ有効レジスタ、フェイルセーフ方向設定レジスタ、およびフェイルセーフ出力レジスタ) のチェックを有効にするために使用されます。

図 7-34. Fail-Safe_Redundancy_Check_Register

7	6	5	4	3	2	1	0
予約済み							FSCHECKEN
R-0h							R/W-0h

表 7-26. Fail-Safe_Redundancy_Check_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	使用できません。
0	FSCHECKEN	R/W	0h	フェイルセーフ チェック イネーブル ビット 0: ディスエーブル 1: イネーブル

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.23 Fault_Status_Register (オフセット = 190h) [リセット = 01h]

Fault_Status_Register は 図 7-35 に示されており、表 7-27 で説明されています。

概略表に戻ります。

故障ステータス レジスタは、故障状態が発生したときに設定されます。ビット 0 は、POR 復帰のために 1 に設定されます。冗長レジスタに不一致がある場合、ビット 1 が設定されます。デバイスがフェイルセーフ モードにある場合、ビット 2 が設定されます。これらのフラグは、故障状態が解消されてもクリアされません。これらのビットは、故障ステータス レジスタを読み出した場合にのみクリアできます。

図 7-35. Fault_Status_Register

7	6	5	4	3	2	1	0
予約済み					FSMODEACTIVE	REGMISMATCH	POR
R-0h					R-0h	R-0h	R-1h

表 7-27. Fault_Status_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	使用できません。
2	FSMODEACTIVE	R	0h	フェイルセーフ機能が有効です
1	REGMISMATCH	R	0h	レジスタの不一致によりフェイルセーフ機能はクリアされます
0	POR	R	1h	POR 復帰ステータス

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.6.24 Software_Reset_Register (オフセット = 1A0h) [リセット = 00h]

Software_Reset_Register は 図 7-36 に示されており、表 7-28 で説明されています。

概略表に戻ります。

このレジスタは、デバイスのソフトウェア リセットをトリガするために使用されます。リセット状態に入ると、レジスタは自動的にクリアされます。

図 7-36. Software_Reset_Register

7	6	5	4	3	2	1	0
予約済み						Register_Reset	Device_Reset
R-0h						R/W1S-0h	R/W1S-0h

表 7-28. Software_Reset_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	使用できません。
1	Register_Reset	R/W1S	0h	設定すると、すべてのレジスタがリセットされます
0	Device_Reset	R/W1S	0h	設定すると、デバイス全体がリセットされます

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

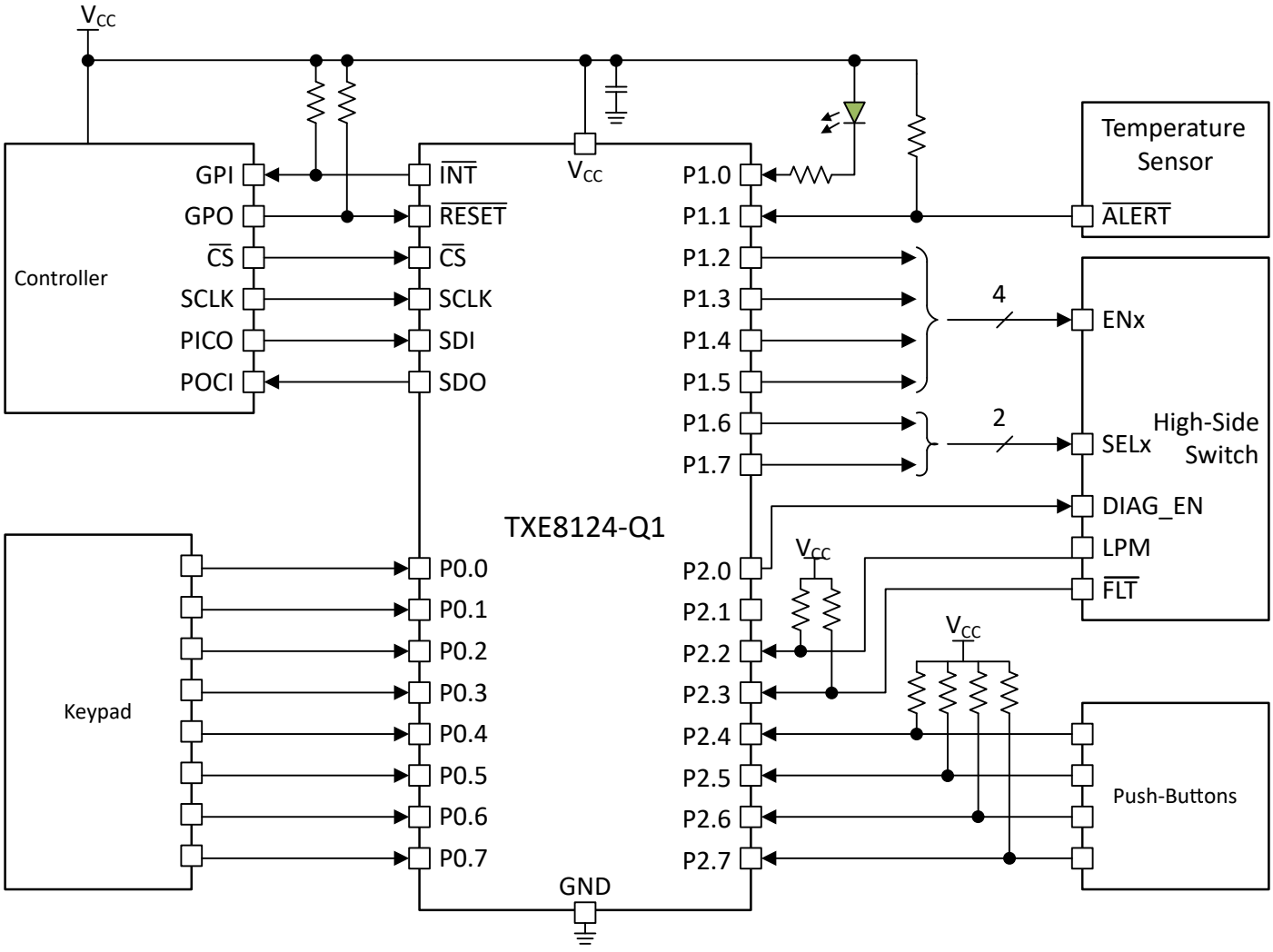
以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TXE8124-Q1 のアプリケーションでは、このデバイスを SPI コントローラ (プロセッサ) へのターゲットとして接続して使用し、SPI バスには任意の数の他のターゲット デバイスを含めることができます。TXE8124-Q1 はコントローラから離れた場所で、コントローラが監視または制御する必要のある GPIO の近くに配置されます。

8.2 代表的なアプリケーション

図 8-1 は、TXE8124-Q1 デバイスを使用可能なアプリケーションを示します。



注

P0.0～P0.7、P1.0、P1.1、P2.2～P2.7 は入力として構成されています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

注

P1.2 ～ P1.7、P2.0、P2.1 は出力として構成されています。

注

フローティングになる可能性のある (P ポート上の) 入力には抵抗が必要です。ドライバにより入力がフローティングにならないのであれば、抵抗は不要です。出力 (P ポート内) にプルアップ抵抗は不要です。

図 8-1. 代表的なアプリケーション回路図

以下に、デバイスへのアクセスに使用できるアプリケーション コードの例を示します。

```
uint32_t SPIExchangeData(uint32_t transmitData)
{
   uint32_t receiveData=0x0;

   for(int i = 23; i >= 0; i--)
   {
        // Shift out MSB first
        SPISendBit((transmitData >> i) & 0x01);
        receiveData |= SPIGetBit() << i;
   }

   return(receiveData);
}

uint32_t  SPITransmitReceive(uint32_t  RnW,  uint32_t  regPointer,  uint32_t  multiPort,  uint32_t
transmitData)
{
    uint32_t regWrData=0x0;
    uint32_t regRdData=0x0;

    regWrData = RnW          << 23 | \
                regPointer   << 12 | \
                mulitPort    << 8  | \
                transmitData << 0;

    regRdData = SPIExchangeData(regWrData);

    return(regRdData);
}
```

8.3 電源に関する推奨事項

8.3.1 パワーオン リセットの要件

グリッチやデータ破損が発生した場合、パワーオン リセット機能を使用して TXE8124-Q1 をデフォルト状態にリセットできます。パワーオン リセットを実行するには、デバイスを完全にリセットするためにパワー サイクルを完了させる必要があります。このリセットは、アプリケーションでデバイスの電源を初めてオンにしたときにも発生します。

図 8-2 および 図 8-3 に、2 種類のパワーオン リセットを示します。

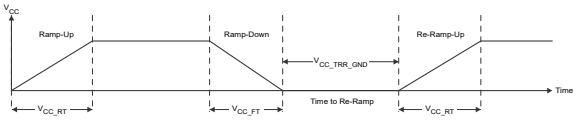


図 8-2. V_{CC} は 0V まで低下してから、再度上昇します

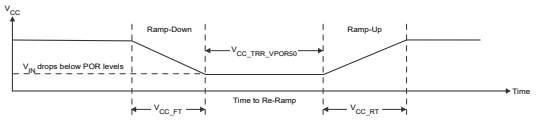


図 8-3. V_{CC} は POR スレッショルドを下回るまで低下してから、再度上昇します

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

電源のグリッチは、このデバイスのパワーオン リセット性能にも影響を及ぼす可能性があります。グリッチ幅 (t_{VCC_GW}) と高さ (V_{CC_GH}) は互いに依存します。バイパス容量、ソース インピーダンス、デバイス インピーダンスは、パワーオン リセット性能に影響を及ぼす要因です。これらの仕様を測定する方法の詳細については、図 8-4 を参照してください。

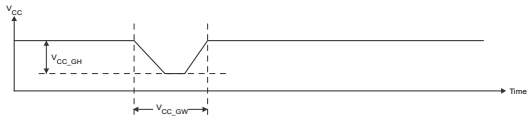


図 8-4. グリッチ幅とグリッチ高さ

V_{POR} は、パワーオン リセットに不可欠です。V_{POR} は、リセット条件が解放され、すべてのレジスタと SPI ステート マシンがデフォルト状態に初期化される電圧レベルです。V_{POR} の値は、0 に低下するか、または 0 から低下した V_{CC} に応じて変わります。図 8-5 で、この仕様の詳細について説明します。

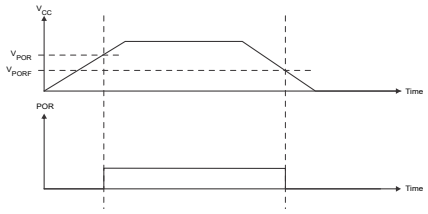


図 8-5. V_{POR}

8.4 レイアウト

8.4.1 レイアウトのガイドライン

TXE8124-Q1 のプリント回路基板 (PCB) レイアウトでは、一般的な PCB レイアウトの慣例に従う必要がありますが、適合したインピーダンスや差動ペアなどの高速データ転送は、SPI 信号速度では大きな問題にはなりません。

すべての PCB レイアウトにおいて、信号トレースを直角に曲げないこと、集積回路 (IC) の近接部を離れるときに信号トレースが互いに離れていくように配置すること、トレース幅を太くして電源とグランドのトレースを通常時に大容量の電流が流れるようにすることが最善策です。バイパス コンデンサとデカップリング コンデンサは、一般的に電源ピンの電圧の制御に使用されます。大容量コンデンサを使用すると、短時間の電源グリッチ時に追加電力を供給し、容量の小さいコンデンサを使用すると、高周波リップルをフィルタリングできます。これらのコンデンサは、できる限り TXE8124-Q1 の近くに配置してください。理想的な配置を「レイアウト例」に示します。

「レイアウト例」に示すレイアウト例では、信号配線に最上層を使用し、電源とグランド (GND) に分割プレーンとして最下層を使用することで、2 層のみの PCB を製造することができます。ただし、信号配線密度の高い基板では、4 層基板が推奨されます。4 層 PCB では、信号を最上層と最下層に配線し、内部の 1 層をグランド プレーン専用にして、もう 1 つの内部層を電源プレーン専用にすることが一般的です。電源とグランドにプレーンまたは分割プレーンを使用する基板レイアウトの場合は、電源または GND に接続する必要がある表面実装部品パッドのすぐ隣にビアを配置し、ビアを内部層または基板の反対側に電気的に接続します。ビアは、信号パターンを基板の反対側に配線する必要がある場合にも使用されますが、この方法は「レイアウト例」には示されていません。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

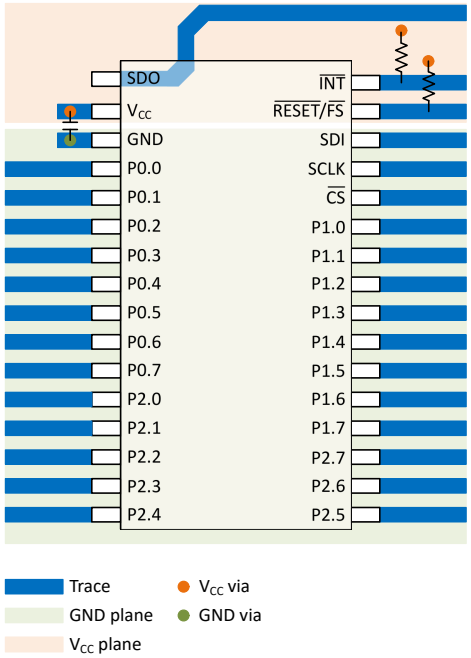


図 8-6. TXE8124-Q1 レイアウト

ADVANCE INFORMATION

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2025) to Revision B (July 2026) **Page**

- TXE8116 を削除して別個のデータシートに公開 1
- TXE8116-Q1 データシートの VQFN パッケージのピン配置を更新 3
- ROC 表で IOL の最大値を 10mA として更新 5
- ROC 表の冗長接合部温度を削除 5
- VOH および VOL の制限値を 1.65V で更新 8
- バス ホールド維持電流の制限値を訂正 8
- バス ホールド維持電流のテスト条件を更新 8
- IBHLO および IBHHO の説明を訂正 8
- $\overline{\text{INT}}$ 動作のクリアを明確化 18
- バス ホールド機能の説明を追加 20
- 機能レジスタマッピングの説明を更新 22
- SPI SDO データ フレーム フォーマットを追加 24
- シングルおよびバースト SPI 書き込みのトランザクション図を追加 25
- シングルおよびバースト SPI 読み取りのトランザクション図を追加 26
- SPI の書き込み / 読み取りに疑似コードを追加 56

Changes from Revision * (May 2025) to Revision A (September 2025) **Page**

- ドキュメント全体を通して VQFN パッケージを追加 1
- ROC 表で VCC ≥ 2.97V における IOL の最大値を更新 5

日付	改訂	注
2025 年 5 月	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTXE8124QDGSRQ1	Active	Preproduction	VSSOP (DGS) | 32	250 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTXE8124QWRHBRQ1	Active	Preproduction	VQFN (RHB) | 32	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TXE8124QDGSRQ1	Active	Production	VSSOP (DGS) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TE8124Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXE8124-Q1 :

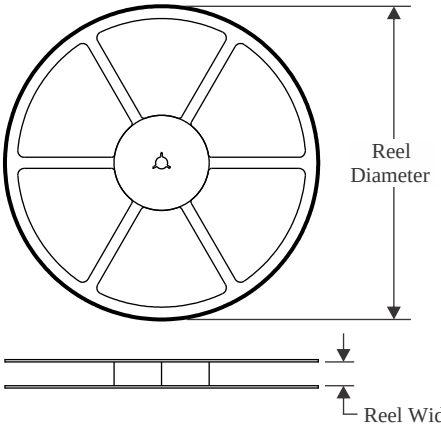
- Catalog : TXE8124

NOTE: Qualified Version Definitions:

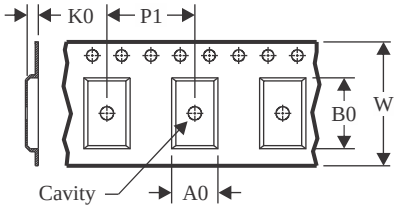
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

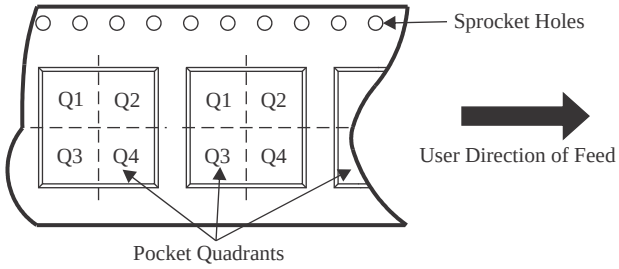


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

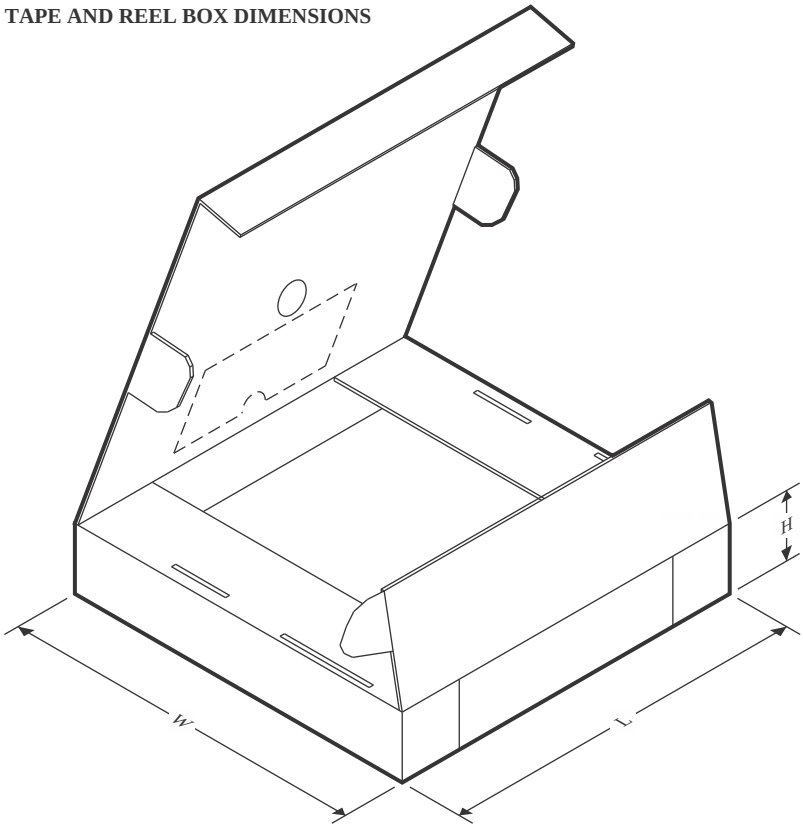
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

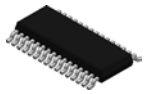
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXE8124QDGSRQ1	VSSOP	DGS	32	5000	330.0	16.4	5.65	8.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXE8124QDGSRQ1	VSSOP	DGS	32	5000	353.0	353.0	32.0

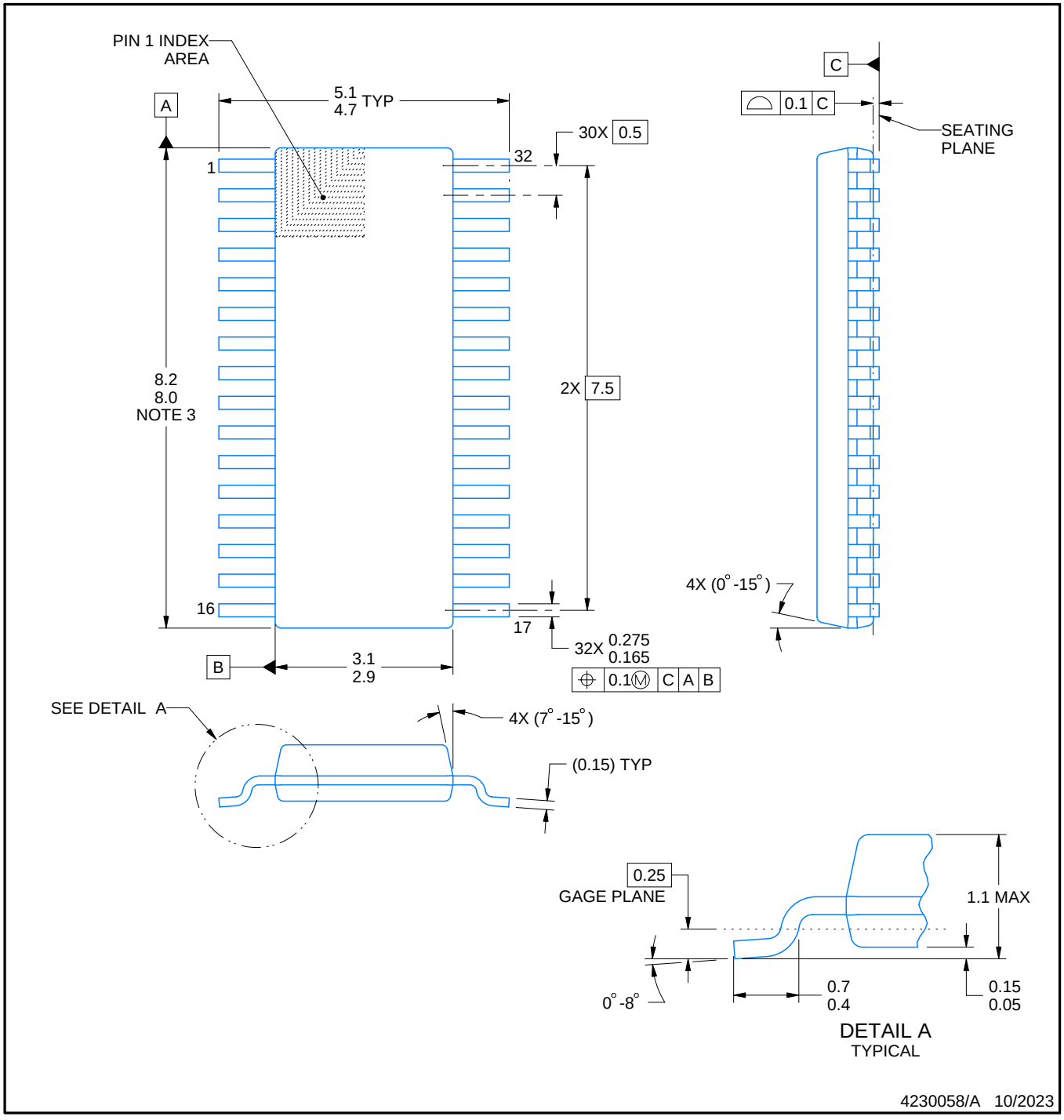


PACKAGE OUTLINE

DGS0032A

VSSOP - 1.1 mm max height

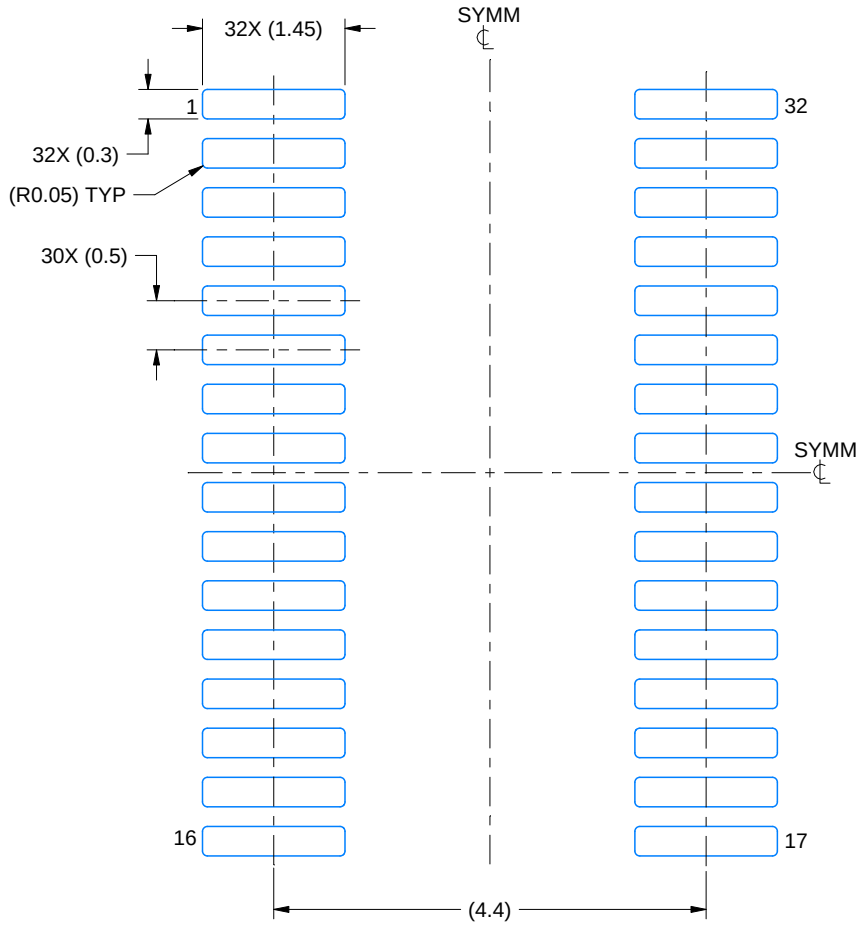
SMALL OUTLINE PACKAGE



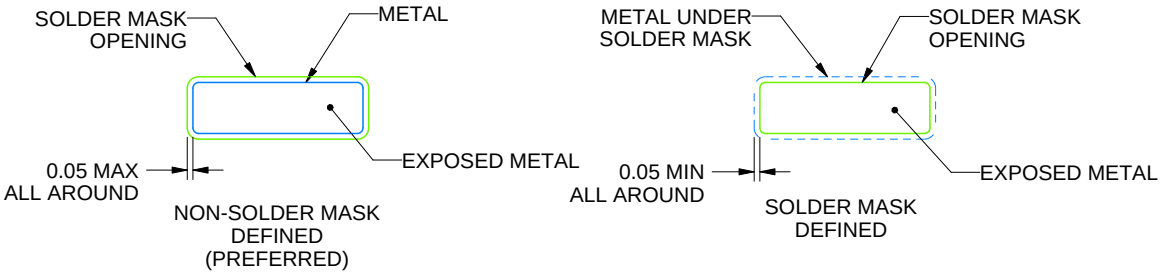
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 13X

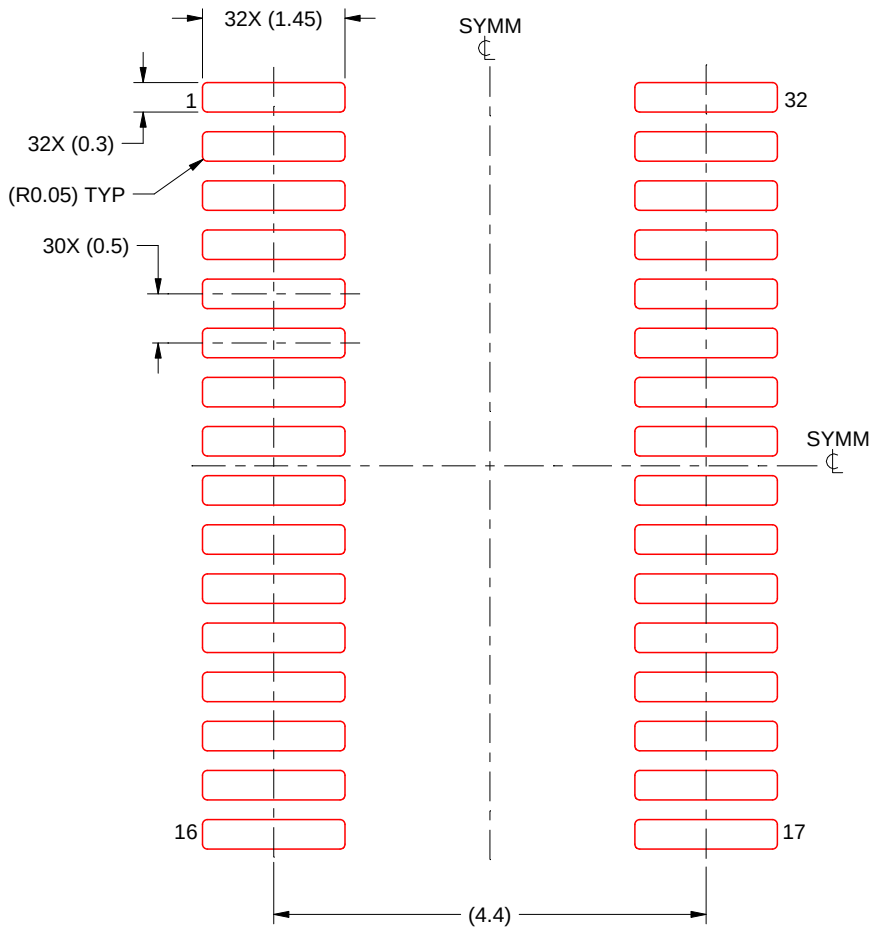


SOLDER MASK DETAILS

4230058/A 10/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4230058/A 10/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

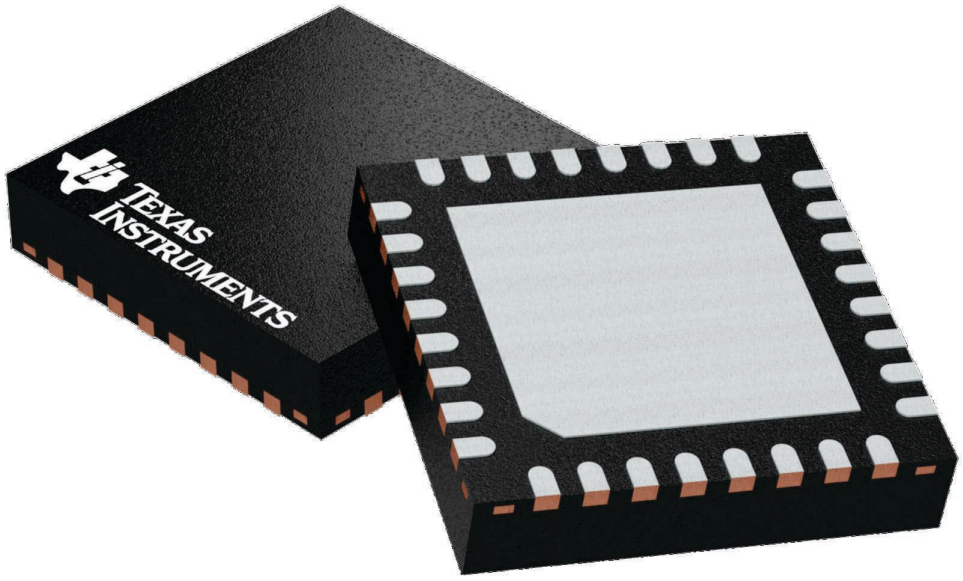
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

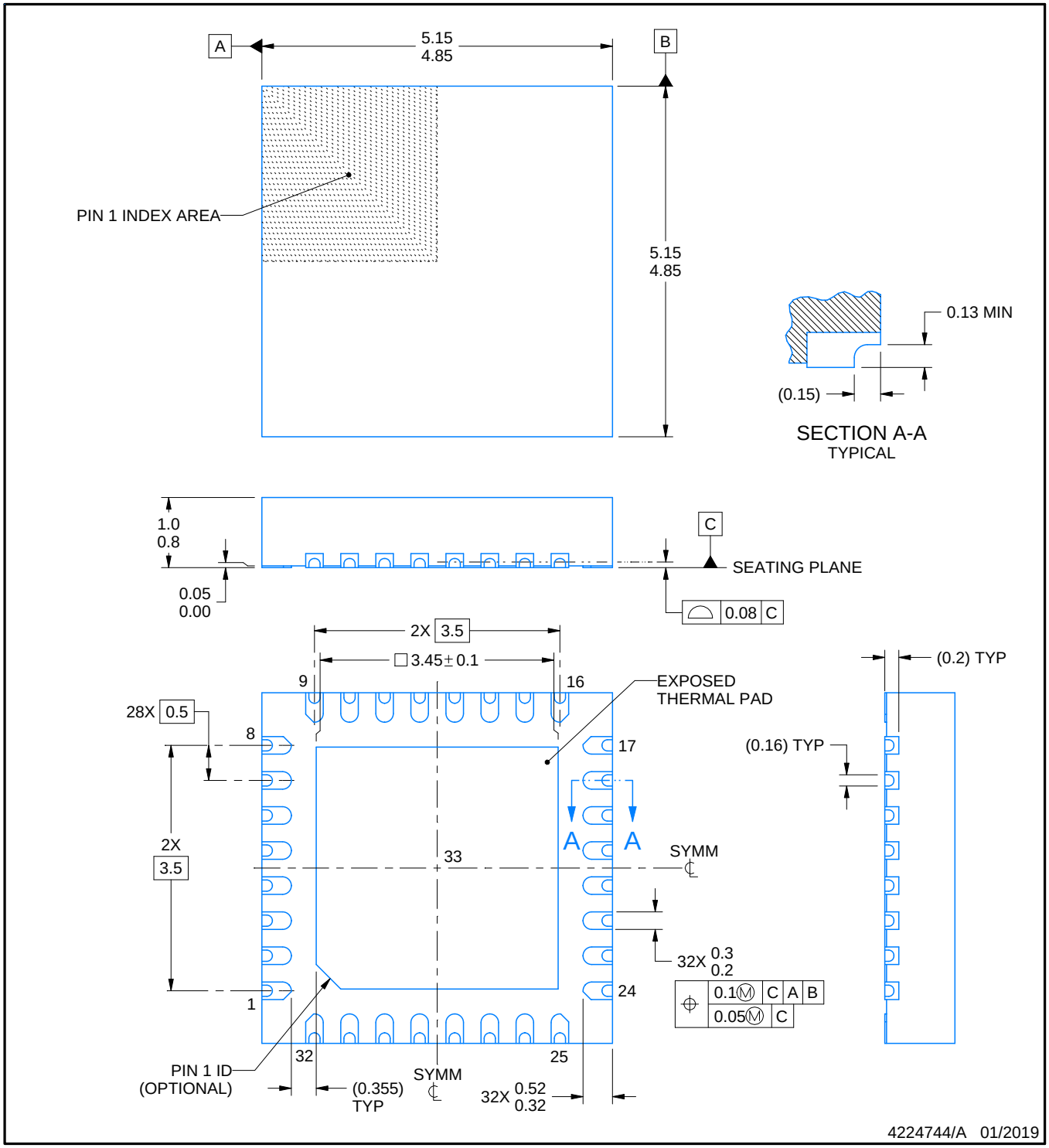
4224745/A

RHB0032T

PACKAGE OUTLINE

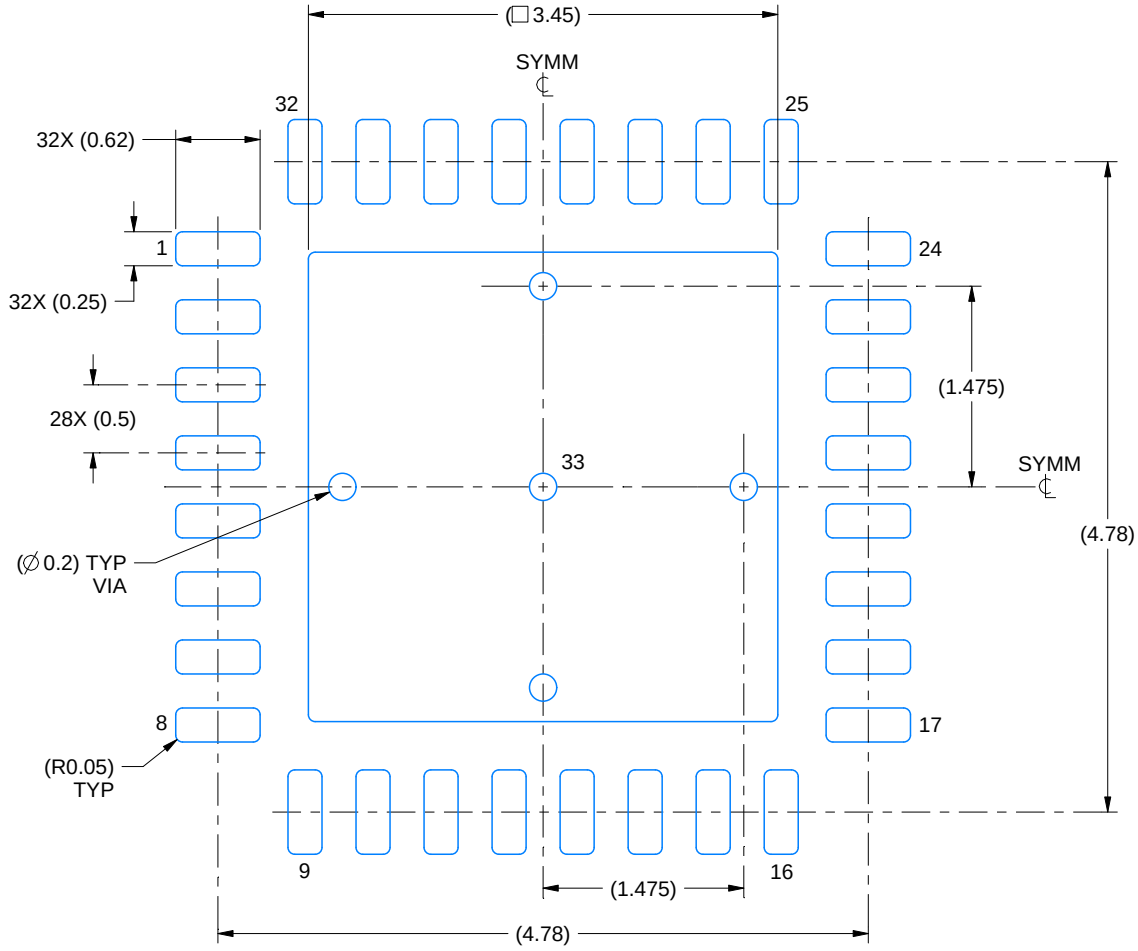
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

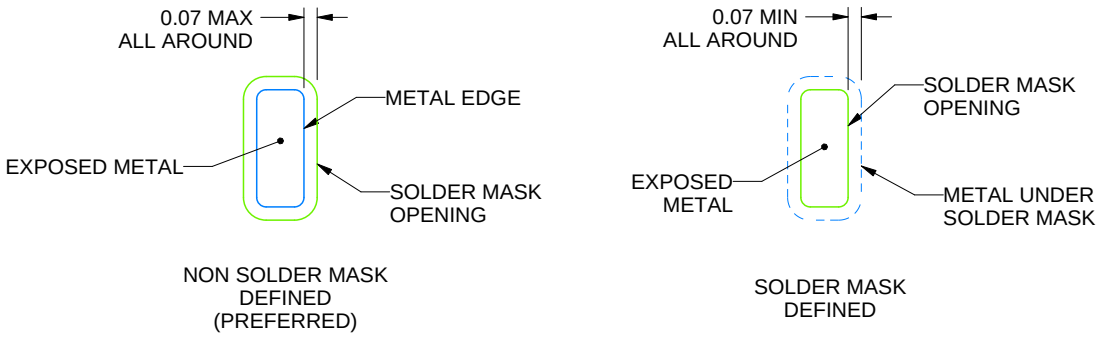
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE:18X

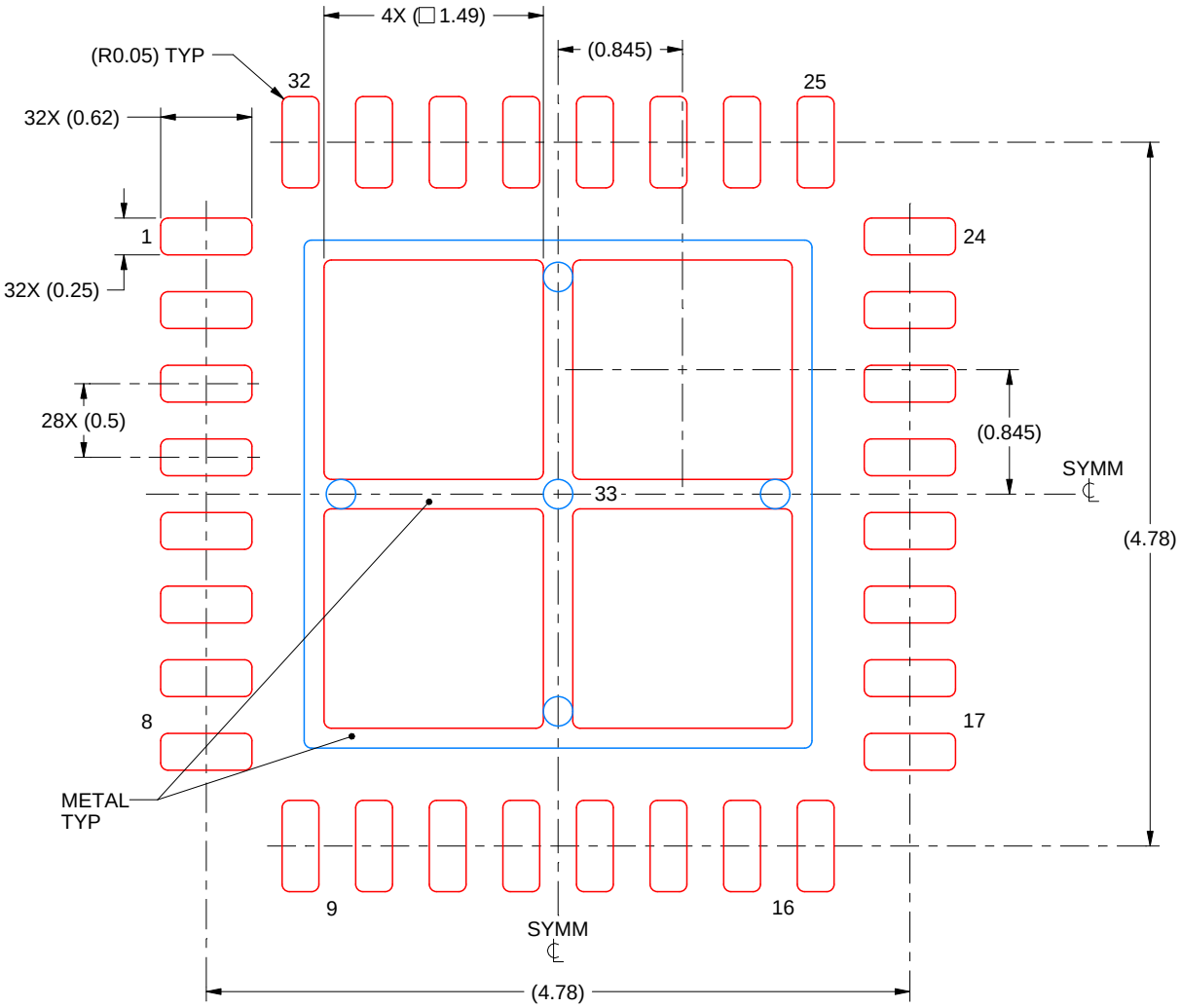


SOLDER MASK DETAILS

4224744/A 01/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月