TXS0102 オープン ドレインおよびプッシュプル アプリケーション向け、2 ビット双方向電圧レベル トランスレータ

1 特長

- 方向制御信号不要
- 最大データ レート:
  - 24Mbps (プッシュプル)
  - 2Mbps (オープンドレイン)
- テキサス・インスツルメンツの NanoStar™ 集積回路パッケージで提供
- 1.65V～3.6V (A ポート)、2.3V～5.5V (B ポート) ($V_{CCA} \leq V_{CCB}$)
- V_{CC} 絶縁機能:いずれかの V_{CC} 入力が GND レベルになると、両方のポートが高インピーダンス状態に移行
- 電源投入のシーケンス不要:V_{CCA} または V_{CCB} のいずれかが最初に立ち上げ可能
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護:
  - A ポート:
    - 2500V、人体モデル (A114-B)
    - 250V、マシン モデル(A115-A)
    - 1500V、デバイス帯電モデル (C101)
  - B ポート:
    - 8kV、人体モデル (A114-B)
    - 250V、マシン モデル(A115-A)
    - 1500V、デバイス帯電モデル (C101)

2 アプリケーション

- I^2C/SMBus
- UART
- GPIO

3 説明

この 2 ビット非反転トランスレータは、双方向の電圧レベル トランスレータであり、これを使用してデジタル スイッチングを確立することにより、動作電圧が混在するシステムへの対応が可能になります。設定可能な 2 本の独立した電源レールを採用しており、1.65V～3.6V の動作電圧に対応する A ポートは V_{CCA} 電源に追従し、2.3V～5.5V の動作電圧に対応する B ポートは V_{CCB} 電源に追従します。このため高低いずれのロジック信号レベルにも対応し、1.8V、2.5V、3.3V、5V の任意の電圧ノード間で双方向変換が可能になります。

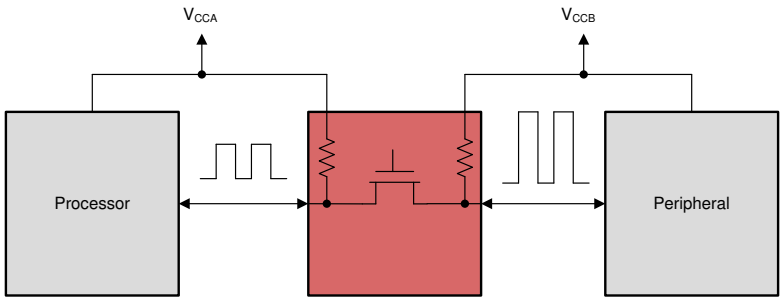
出力イネーブル (OE) 入力を Low にすると、全 I/O がハイ インピーダンス状態になるため、電源の静止電流を大幅に削減できます。

パワーアップまたは パワーダウン時にデバイスを高インピーダンス状態にするには、プルダウン抵抗を介して OE を GND に接続し、ドライバの電流ソース能力によって抵抗の最小値が決まります。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
TXS0102	DCT (SSOP、8)	2.95mm × 4mm
	DCU (VSSOP、8)	2mm × 3.1mm
	DQE (X2SON、8)	1.4mm × 1mm
	DQM (SON、8)	1.8mm × 1.2mm
	YZP (DSBGA、8)	1.9mm × 0.9mm
	DTT (DSBGA、8)	1.95mm × 1mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TXS0102 の代表的なアプリケーション ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 6
5.6 スイッチング特性、V_{CCA} = 1.8 ± 0.15 V ... 7
5.7 スイッチング特性、V_{CCA} = 2.5 ± 0.2 V ... 8
5.8 スイッチング特性、V_{CCA} = 3.3 ± 0.3 V ... 9
5.9 スイッチング特性：T_{sk}、T_{MAX} ... 10
5.10 動作特性: V_{CCA} = 1.5V ～ 3.3V、V_{CCB} = 1.5V ～ 3.3V ... 11
5.11 代表的特性 ... 12
6 パラメータ測定情報 ... 13
7 詳細説明 ... 15
7.1 概要 ... 15
7.2 機能ブロック図 ... 15
7.3 機能説明 ... 16
7.4 デバイスの機能モード ... 17
8 アプリケーションと実装 ... 18
8.1 アプリケーション情報 ... 18
8.2 代表的なアプリケーション ... 18
8.3 電源に関する推奨事項 ... 19
8.4 レイアウト ... 20
9 デバイスおよびドキュメントのサポート ... 21
9.1 ドキュメントのサポート ... 21
9.2 ドキュメントの更新通知を受け取る方法 ... 21
9.3 サポート・リソース ... 21
9.4 商標 ... 21
9.5 静電気放電に関する注意事項 ... 21
9.6 用語集 ... 21
10 改訂履歴 ... 22
11 メカニカル、パッケージ、および注文情報 ... 22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

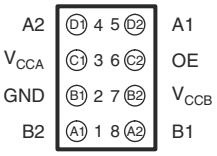


図 4-1. YZP パッケージ、8 ピン DSBGA (底面図)

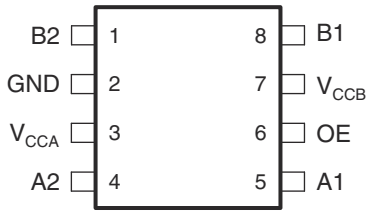


図 4-2. DCT または DCU パッケージ、8 ピン SSOP および VSSOP (上面図)

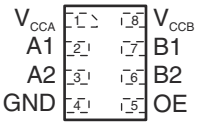


図 4-3. DQE または DQM パッケージ、8 ピン X2SON (上面図)

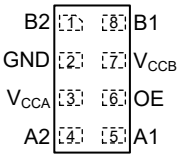


図 4-4. DTT パッケージ、8 ピン SOP (上面図)

表 4-1. ピンの機能

ピン				種類[1]	説明
名称	番号				
	DCT、DCU、DTT	DQE、DQM	YZP		
A1	5	2	D2	I/O	入力 / 出力 A。V_{CCA} を基準とする。
A2	4	3	D1	I/O	入力 / 出力 A。V_{CCA} を基準とする。
B1	8	7	A2	I/O	入力 / 出力 B。V_{CCB} を基準とする。
B2	1	6	A1	I/O	入力 / 出力 B。V_{CCB} を基準とする。
GND	2	4	B1	—	グランド
OE	6	5	C2	I	出力イネーブル (アクティブ High)。OE を Low にすると、すべての出力が 3 ステート モードになります。V_{CCA} を基準とする。
V_{CCA}	3	1	C1	P	A ポートの電源電圧。$1.65V \le V_{CCA} \le 3.6V$ かつ $V_{CCA} \le V_{CCB}$
V_{CCB}	7	8	B2	P	B ポートの電源電圧。$2.3V \le V_{CCB} \le 5.5V$

(1) I = 入力、O = 出力、I/O = 入力および出力、P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CCA}	電源電圧 A		-0.5	4.6	V
V_{CCB}	電源電圧 B		-0.5	6.5	V
V_I	入力電圧(2)	A ポート	-0.5	4.6	V
		B ポート	-0.5	6.5	
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧(2)	A ポート	-0.5	4.6	V
		B ポート	-0.5	6.5	
V_O	High または Low 状態で出力に印加される電圧(2) (3)	A ポート	-0.5	V_{CCA} + 0.5	V
		B ポート	-0.5	V_{CCB} + 0.5	
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_j	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) セクション 5.1 の一覧に記載された値を超えるストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「セクション 5.3」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。「セクション 5.3」の一覧に記載された制限を超えて暴露されることにより、デバイスの信頼性に影響することがあります。
(2) 入力電流と出力電流の定格を順守しても、入力電圧と出力の負電圧の定格を超えることがあります。
(3) 出力電流の定格を順守しても、出力の正電圧の定格を最大 6.5V 超過することがあります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠	A ポート	±2500	V
			B ポート	±8000	
		帯電デバイスモデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠	A ポート	±1500	
			B ポート	±1500	

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2) (3) (4) (5)

			V_{CCA}	V_{CCB}	最小値	最大値	単位
V_{CCA}	電源電圧 A				1.65	3.6	V
V_{CCB}	電源電圧 B				2.3	5.5	V
V_{IH}	High レベル入力電圧	A ポート I/O	1.65V ～ 1.95V	2.3V ～ 5.5V	V_{CCI} - 0.2	V_{CCI}	V
			2.3V ～ 3.6V		V_{CCI} - 0.4	V_{CCI}	
		B ポート I/O	1.65V ～ 3.6V		V_{CCI} - 0.4	V_{CCI}	
		OE 入力	1.65V ～ 3.6V		V_{CCA} x 0.65	5.5	
V_{IL}	Low レベル入力電圧	A ポート I/O	1.65V ～ 3.6V	2.3V ～ 5.5V	0	0.15	V
		B ポート I/O			0	0.15	
		OE 入力			0	V_{CCA} x 0.35	
Δt/Δv	入力遷移の立ち上がり時間と立ち下がり時間	A ポート I/O	1.65V ～ 3.6V	2.3V ～ 5.5V		10	ns/V
		B ポート I/O				10	ns/V
		OE 入力				10	ns/V
T_A	外気温度での動作時				-40	85	°C

(1) V_{CCI} は入力ポートに関連付けられた V_{CC} です。
(2) V_{CCO} は出力ポートに関連付けられた V_{CC} です。
(3) 有効な V_{OL} が維持されることを保証するために、最大 V_{IL} 値が提供されます。V_{OL} 値は V_{IL} にパスゲートトランジスタの電圧降下を加えたものです。
(4) V_{CCA} は V_{CCB} 以下であり、V_{CCA} は 3.6V を超えてはなりません。
(5) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。

5.4 熱に関する情報

熱評価基準(1)		TXS0102						単位
		DCU	DQE	DCT	DTT	YZP	DQM	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	239.8	229.6	168.5	219.8	105.8	212.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	88.5	89.1	84.6	139.0	1.6	84.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	151.6	128.0	96.1	122.3	10.8	118.1	°C/W
Y_{JT}	接合部から上面への特性パラメータ	30.9	2.8	15.1	17.5	3.1	2.8	°C/W
Y_{JB}	接合部から基板への特性パラメータ	150.5	127.7	94.7	122.2	10.8	117.8	°C/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

外気温度範囲での動作時 (特に記述のない限り) (1)、(2)、(3)

パラメータ		テスト条件	V_{CCA}	V_{CCB}	外気温度での動作時 (T_A)						単位
					25°C			-40℃ ～ 85℃			
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{OHA}	ポート A 出力 High 電圧	I_{OH} = –20uA $V_{IB} \geq V_{CCB}$ - 0.4V	1.65V ～ 3.6V	2.3V ～ 5.5V				V_{CCA} x 0.67			V
V_{OLA}	ポート A 出力 Low 電圧	I_{OL} = 1mA $V_{IB} \leq$ 0.15V	1.65V ～ 3.6V	2.3V ～ 5.5V						0.4	
V_{OHB}	ポート B 出力 High 電圧	I_{OH} = –20uA $V_{IB} \geq V_{CCB}$ - 0.4V	1.65V ～ 3.6V	2.3V ～ 5.5V				V_{CCB} x 0.67			
V_{OLB}	ポート B 出力 Low 電圧	I_{OL} = 1mA $V_{IB} \leq$ 0.15V	1.65V ～ 3.6V	2.3V ～ 5.5V						0.4	
I_I	入力リーク電流	OE $V_I = V_{CC}$ または GND	1.65V ～ 3.6V	2.3V ～ 5.5V			±1			±2	μA
I_{off}	部分的パワーダウン電流	A ポート	0V	0V ～ 5.5V			±1			±2	
	部分的パワーダウン電流	B ポート	0V ～ 3.6V	0V			±1			±2	
I_{OZ}	トライステート出力電流	A または B ポート $V_I = V_{CCI}$ または GND $V_O = V_{CCO}$ または GND OE = GND	1.65V ～ 3.6V	2.3V ～ 5.5V	-1		1	-2		2	μA
I_{CCA}	V_{CCA} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	1.65V ～ V_{CCB}	2.3V ～ 5.5V						2.4	μA
I_{CCA}	V_{CCA} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	3.6V	0V						2.2	μA
I_{CCA}	V_{CCA} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	0V	5.5V				-2			μA
I_{CCB}	V_{CCB} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	1.65V ～ V_{CCB}	2.3V ～ 5.5V						12	μA
I_{CCB}	V_{CCB} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	3.6V	0V				-1			μA
I_{CCB}	V_{CCB} の電源電流	$V_I = V_{CCI}$ または GND I_O = 0	0V	5.5V						3	μA
I_{CCA} + I_{CCB}	複合電源電流	$V_I = V_{CCI}$ または GND I_O = 0	1.65V ～ V_{CCB}	2.3V ～ 5.5V						14.4	μA
C_i	入力容量	OE	3.3V	3.3V		2.5				3.5	pF
C_{io}	入力と出力の間の内部容量	A または B ポート	3.3V	3.3V		10					pF
C_{io}	入力と出力の間の内部容量	A ポート	3.3V	3.3V		5			6		pF
C_{io}	入力と出力の間の内部容量	B ポート	3.3V	3.3V		6			7.5		pF

(1) V_{CCI} は入力ポートに関連付けられた V_{CC} です
(2) V_{CCA} は V_{CCB} 以下であり、V_{CCA} は 3.6V を超えてはなりません。
(3) V_{CCO} は出力ポートに関連付けられた V_{CC} です

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性、V_{CCA} = 1.8 ± 0.15 V

パラメータ		送信元	送信先	テスト条件		B ポート電源電圧 (V_{CCB})									単位
						2.5 ± 0.2V			3.3 ± 0.3V			5.0 ± 0.5V			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
t_{PHL}	伝搬遅延 (High から Low)	A	B	プッシュプル	-40℃ ～ 85℃			5.3			5.4			6.8	ns
t_{PHL}	伝搬遅延 (High から Low)	A	B	オープンドレイン	-40℃ ～ 85℃	2.3		8.8	2.4		9.6	2.6		10	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	プッシュプル	-40℃ ～ 85℃			6.8			7.1			7.5	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	オープンドレイン	-40℃ ～ 85℃	45		260	36		208	27		198	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	プッシュプル	-40℃ ～ 85℃			4.4			4.5			4.7	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	オープンドレイン	-40℃ ～ 85℃	1.9		5.3	1.1		4.4	1.2		4	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	プッシュプル	-40℃ ～ 85℃			5.3			4.5			0.5	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	オープンドレイン	-40℃ ～ 85℃	45		175	36		140	27		102	ns
t_{en}	有効化時間	OE	A または B		-40℃ ～ 85℃			200			200			200	ns
t_{dis}	無効化時間	OE	A または B		-40℃ ～ 85℃			200			200			200	ns
t_{rA}	出力立ち上がり時間	B	A	プッシュプル	-40℃ ～ 85℃	3.2		9.5	2.3		9.3	2		7.6	ns
t_{rA}	出力立ち上がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	38		165	30		132	22		95	ns
t_{rB}	出力立ち上がり時間	A	B	プッシュプル	-40℃ ～ 85℃	4		10.8	2.7		9.1	2.7		7.6	ns
t_{rB}	出力立ち上がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	34		145	23		106	10		58	ns
t_{fA}	出力立ち下がり時間	B	A	プッシュプル	-40℃ ～ 85℃	2		5.9	1.9		6	1.7		13.3	ns
t_{fA}	出力立ち下がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	4.4		6.9	4.3		6.4	4.2		6.1	ns
t_{fB}	出力立ち下がり時間	A	B	プッシュプル	-40℃ ～ 85℃	2.9		13.8	2.8		16.2	2.8		16.2	ns
t_{fB}	出力立ち下がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	6.9		13.8	7.5		16.2	7		16.2	ns

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性、V_{CCA} = 2.5 ± 0.2 V

パラメータ		送信元	送信先	テスト条件		B ポート電源電圧 (V_{CCB})									単位
						2.5 ± 0.2V			3.3 ± 0.3V			5.0 ± 0.5V			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
t_{PHL}	伝搬遅延 (High から Low)	A	B	プッシュプル	-40℃ ～ 85℃			3.2			3.7			3.8	ns
t_{PHL}	伝搬遅延 (High から Low)	A	B	オープンドレイン	-40℃ ～ 85℃	1.7		6.3	2		6	2.1		5.8	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	プッシュプル	-40℃ ～ 85℃			3.5			4.1			4.4	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	オープンドレイン	-40℃ ～ 85℃	43		250	36		206	27		190	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	プッシュプル	-40℃ ～ 85℃			3			3.6			4.3	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	オープンドレイン	-40℃ ～ 85℃	1.8		4.7	2.6		4.2	1.2		4	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	プッシュプル	-40℃ ～ 85℃			2.5			1.6			1	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	オープンドレイン	-40℃ ～ 85℃	44		170	37		140	27		103	ns
t_{en}	有効化時間	OE	A または B		-40℃ ～ 85℃			200			200			200	ns
t_{dis}	無効化時間	OE	A または B		-40℃ ～ 85℃			200			200			200	ns
t_{rA}	出力立ち上がり時間	B	A	プッシュプル	-40℃ ～ 85℃	2.8		7.4	2.6		6.6	1.8		5.6	ns
t_{rA}	出力立ち上がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	3		149	28		121	24		89	ns
t_{rB}	出力立ち上がり時間	A	B	プッシュプル	-40℃ ～ 85℃	3.2		8.3	2.9		7.2	2.4		6.1	ns
t_{rB}	出力立ち上がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	35		151	24		112	12		64	ns
t_{fA}	出力立ち下がり時間	B	A	プッシュプル	-40℃ ～ 85℃	1.9		5.7	1.9		5.5	1.8		5.3	ns
t_{fA}	出力立ち下がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	4.4		6.9	4.3		6.2	4.2		5.8	ns
t_{fB}	出力立ち下がり時間	A	B	プッシュプル	-40℃ ～ 85℃	2.2		7.8	2.4		6.7	2.6		6.6	ns
t_{fB}	出力立ち下がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	5.1		8.8	5.4		9.4	5.4		10.4	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性、V_{CCA} = 3.3 ± 0.3 V

パラメータ		送信元	送信先	テスト条件		B ポート電源電圧 (V_{CCB})						単位
						3.3 ± 0.3V			5.0 ± 0.5V			
						最小値	標準値	最大値	最小値	標準値	最大値	
t_{PHL}	伝搬遅延 (High から Low)	A	B	プッシュ プル	-40℃ ～ 85℃			2.4			3.1	ns
t_{PHL}	伝搬遅延 (High から Low)	A	B	オープンドレイン	-40℃ ～ 85℃	1.3		4.2	1.4		4.6	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	プッシュ プル	-40℃ ～ 85℃			4.2			4.4	ns
t_{PLH}	伝搬遅延 (Low から High)	A	B	オープンドレイン	-40℃ ～ 85℃	36		204	28		165	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	プッシュ プル	-40℃ ～ 85℃			2.5			3.3	ns
t_{PHL}	伝搬遅延 (High から Low)	B	A	オープンドレイン	-40℃ ～ 85℃	1		124	1		97	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	プッシュ プル	-40℃ ～ 85℃			2.5			2.6	ns
t_{PLH}	伝搬遅延 (Low から High)	B	A	オープンドレイン	-40℃ ～ 85℃	3		139	3		105	ns
t_{en}	有効化時間	OE	A または B		-40℃ ～ 85℃			200			200	ns
t_{dis}	無効化時間	OE	A または B		-40℃ ～ 85℃			200			200	ns
t_{rA}	出力立ち上がり時間	B	A	プッシュ プル	-40℃ ～ 85℃	2.3		5.6	1.9		4.8	ns
t_{rA}	出力立ち上がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	25		116	19		85	ns
t_{rB}	出力立ち上がり時間	A	B	プッシュ プル	-40℃ ～ 85℃	2.5		6.4	2.1		7.4	ns
t_{rB}	出力立ち上がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	26		116	14		72	ns
t_{fA}	出力立ち下がり時間	B	A	プッシュ プル	-40℃ ～ 85℃	2		5.4	1.9		5	ns
t_{fA}	出力立ち下がり時間	B	A	オープンドレイン	-40℃ ～ 85℃	4.3		6.1	4.2		5.7	ns
t_{fB}	出力立ち下がり時間	A	B	プッシュ プル	-40℃ ～ 85℃	2.3		7.4	2.4		7.6	ns
t_{fB}	出力立ち下がり時間	A	B	オープンドレイン	-40℃ ～ 85℃	5		7.6	4.8		8.3	ns

Copyright © 2026 Texas Instruments Incorporated

5.9 スイッチング特性：T_{sk}、T_{MAX}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CCA}	V_{CCB}	外気温度での動作時 (T_A) -40℃ ～ 125℃ 最小値	標準値	最大値	単位
T_{MAX} - 最大データ レート	50% デューティサイクル入力 1 チャネルスイッチング	プッシュプル駆動	1.8 ± 0.15V	2.5V ± 0.2V			21	Mbps
			1.8 ± 0.15V	3.3V ± 0.3V			22	
			1.8 ± 0.15V	5V ± 0.5V			24	
			2.5V ± 0.2V	2.5V ± 0.2V			20	
			2.5V ± 0.2V	3.3V ± 0.3V			22	
			2.5V ± 0.2V	5V ± 0.5V			24	
			3.3V ± 0.3V	3.3V ± 0.3V			23	
			3.3V ± 0.3V	5V ± 0.5V			24	
		オープン ドレイン駆動	1.8 ± 0.15V	1.8 ± 0.15V			2	
			1.8 ± 0.15V	2.5V ± 0.2V			2	
			1.8 ± 0.15V	3.3V ± 0.3V			2	
			1.8 ± 0.15V	5V ± 0.5V			2	
			2.5V ± 0.2V	2.5V ± 0.2V			2	
			2.5V ± 0.2V	3.3V ± 0.3V			2	
			2.5V ± 0.2V	5V ± 0.5V			2	
			3.3V ± 0.3V	3.3V ± 0.3V			2	
			3.3V ± 0.3V	5V ± 0.5V			2	
t_w	パルス持続時間、データ入力	プッシュプル駆動	1.65V ～ 3.6V	2.3V ～ 5.5V	20			ns
		オープン ドレイン駆動	1.65V ～ 3.6V	2.3V ～ 5.5V	500			
t_{sk} - 出力スキュー	同じパッケージの同じ方向へのスイッチングの 2 つの出力間のスキュー		1.65V ～ 3.6V	2.3V ～ 5.5V			0.7	ns

Copyright © 2026 Texas Instruments Incorporated

5.10 動作特性: V_{CCA} = 1.5V ～ 3.3V、V_{CCB} = 1.5V ～ 3.3V

T_A = 25℃ (1)

パラメータ		テスト条件	電源電圧 (特に記載がない限り、V_{CCA} = V_{CCB})			単位
			1.8 ± 0.15V	2.5 ± 0.2V	3.3 ± 0.3V	
			標準値	標準値	標準値	
C_{pdA} (2)	A ポート入力、B ポート出力から B 出力へ出力の有効化	A ポート CL = 0、RL = オープン f = 10MHz t_{rise} = t_{fall} = 1ns	4.1	4.2	4.7	pF
	B ポート入力、A ポート出力から B 出力へ出力の有効化		9.0	7.3	7.8	
C_{pdB} (3)	A ポート入力、B ポート出力から B 出力へ出力の有効化		11.0	9.9	9.2	
	B ポート入力、A ポート出力から B 出力へ出力の有効化		5.6	7.1	7.4	
C_{pdA} (2)	A ポート入力、B ポート出力から B 出力へ出力の無効化	B ポート CL = 0、RL = オープン f = 10MHz t_{rise} = t_{fall} = 1ns	0.1	0.1	0.1	pF
	B ポート入力、A ポート出力から B 出力へ出力の無効化		0.1	0.1	0.1	
C_{pdB} (3)	A ポート入力、B ポート出力から B 出力へ出力の無効化		0.2	0.2	0.2	
	B ポート入力、A ポート出力から B 出力へ出力の無効化		0.2	0.2	0.18	

(1) 消費電力容量がどのように消費電力を影響するかについての詳細は、CMOS 消費電力と C_{pd} 計算アプリケーション ノートを参照してください。
(2) A ポートのトランシーバあたりの消費電力容量
(3) B ポートのトランシーバあたりの消費電力容量

Copyright © 2026 Texas Instruments Incorporated

5.11 代表的特性

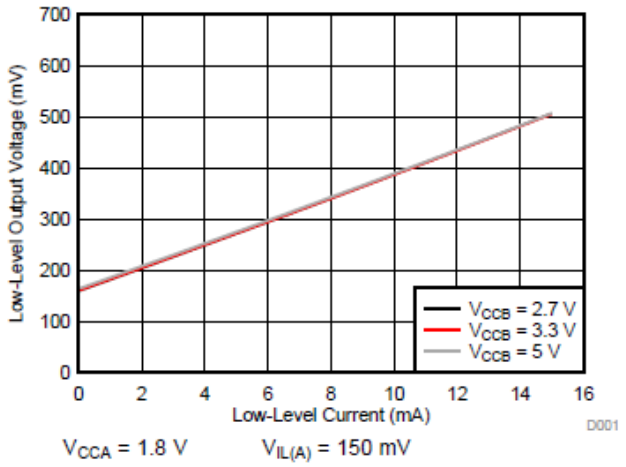


図 5-1. Low レベル出力電圧 ($V_{OL(Bx)}$) と Low レベル電流 ($I_{OL(Bx)}$) との関係

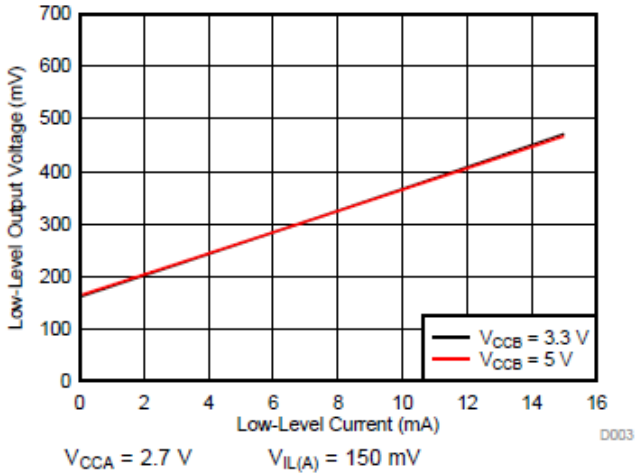


図 5-2. Low レベル出力電圧 ($V_{OL(Bx)}$) と Low レベル電流 ($I_{OL(Bx)}$) との関係

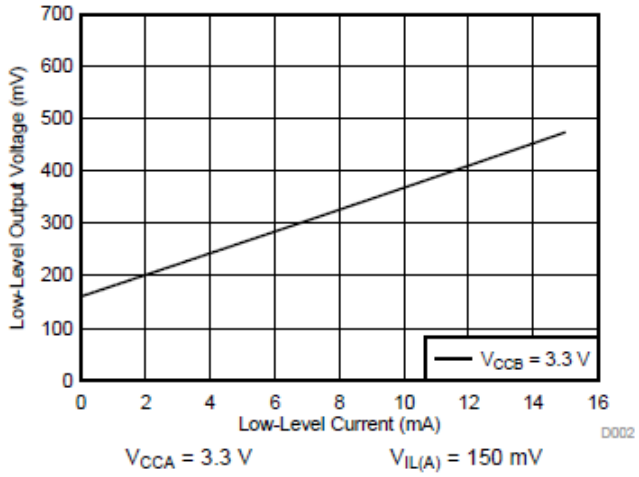


図 5-3. Low レベル出力電圧 ($V_{OL(Bx)}$) と Low レベル電流 ($I_{OL(Bx)}$) との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

特に記述のない限り、すべての入力パルスは、以下の特性を持つジェネレータで生成されます。

- PRR 10MHz
- Z_O = 50Ω
- dv/dt ≧ 1V/ns

注

すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

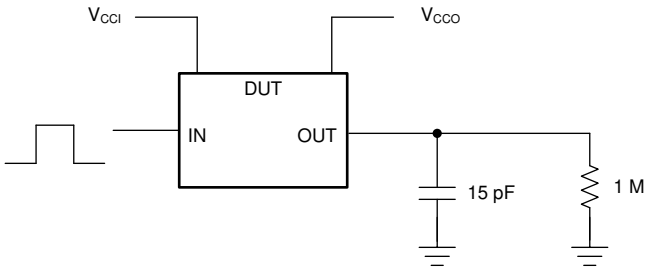


図 6-1. プッシュプル ドライバを使用したデータ レート、パルス幅、伝搬遅延、出力の立ち上がり時間と立ち下がり時間の測定

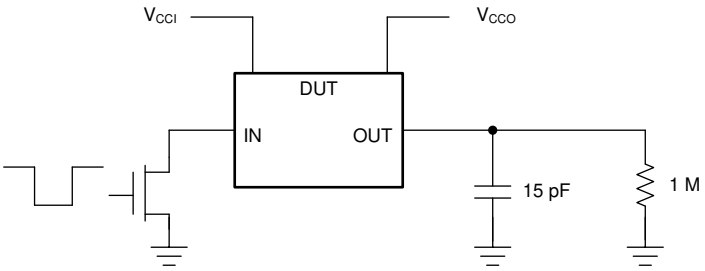


図 6-2. オープン ドレイン ドライバを使用したデータ レート、パルス幅、伝搬遅延、出力の立ち上がり時間と立ち下がり時間の測定

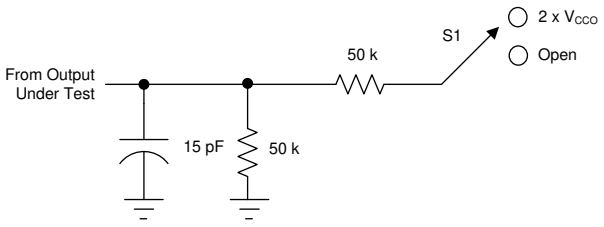


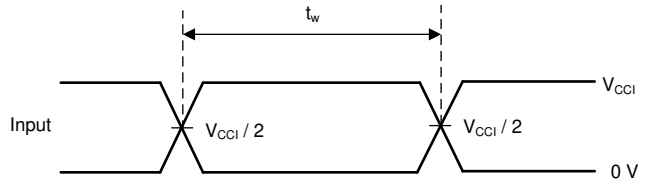
図 6-3. イネーブル / ディセーブル時間測定用の負荷回路

表 6-1. イネーブル / ディセーブルのタイミング用のスイッチ構成

TEST	S1
t_{PZL} (2)、t_{PLZ} (1)	2 × V_{CCO}
t_{PHZ} (1)、t_{PZH} (2)	オープン

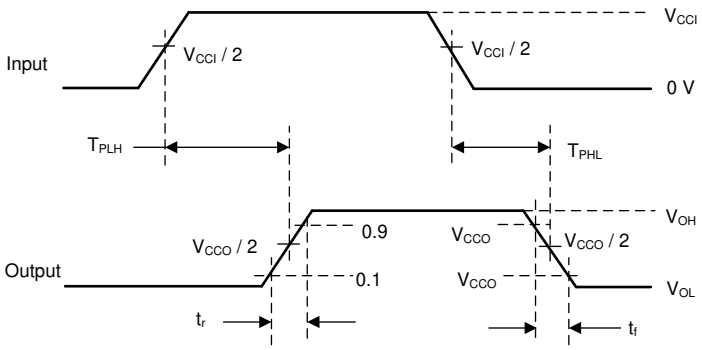
(1) t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
(2) t_{PZL} と t_{PZH} は t_{en} と同じです。

Copyright © 2026 Texas Instruments Incorporated



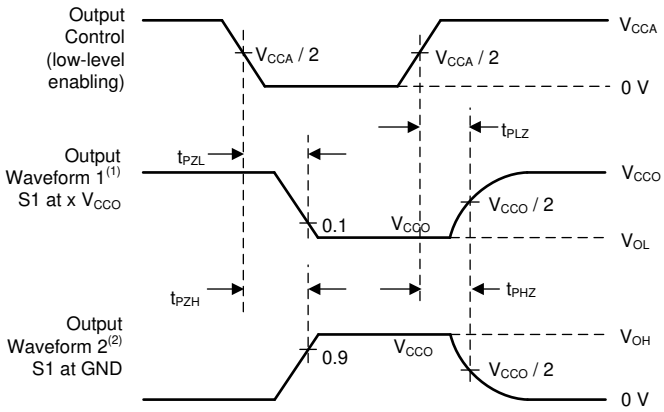
(1) いずれの入力パルスも一度に 1 つずつ測定され、測定するたびに 1 回遷移します。

図 6-4. 電圧波形のパルス幅



(1) いずれの入力パルスも一度に 1 つずつ測定され、測定するたびに 1 回遷移します。

図 6-5. 電圧波形の伝搬遅延時間



(1) 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
(2) 波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。

図 6-6. 電圧波形のイネーブル時間とディセーブル時間

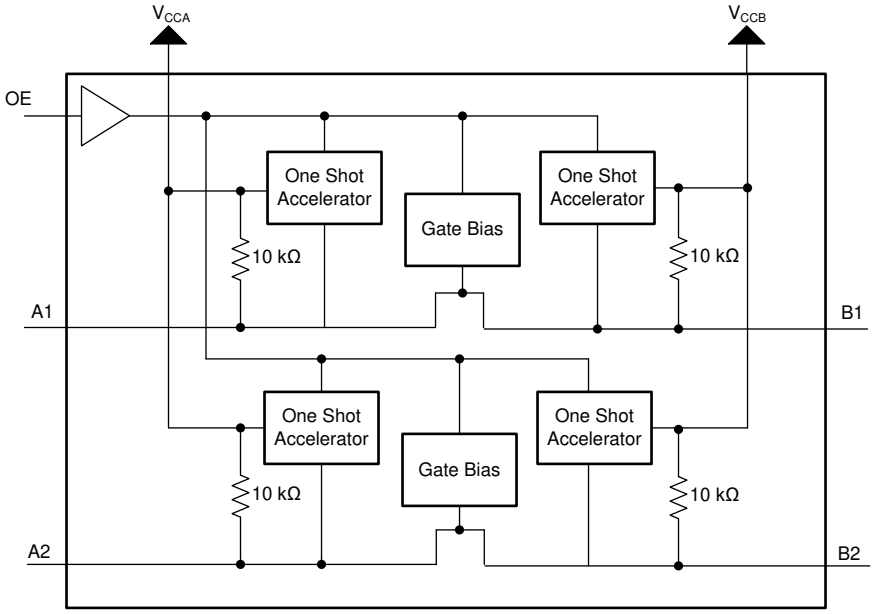
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TXS0102 デバイスは、ロジック電圧レベル変換専用に設計された双方向電圧レベル トランスレータです。A ポートは 1.65V ～3.6V の範囲の I/O 電圧に対応しており、B ポートは 2.3V ～ 5.5V の範囲の I/O 電圧に対応しています。このデバイスは、全体的なデータ レートを向上させるエッジ レート アクセラレータ (ワンショット) を備えたパス ゲート アーキテクチャです。オープンドレイン アプリケーションでよく使用される 10kΩ プルアップ抵抗が便利に統合されているため、外部抵抗は不要です。このデバイスはオープン ドレイン アプリケーション用に設計されていますが、プッシュプル CMOS ロジック出力の変換も可能です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アーキテクチャ

TXS0102 アーキテクチャ (図 7-1 を参照してください。) は、A から B または B から A へのデータ フローの方向を制御するために方向制御信号を必要としない、自動方向検知基数のトランスレータです。

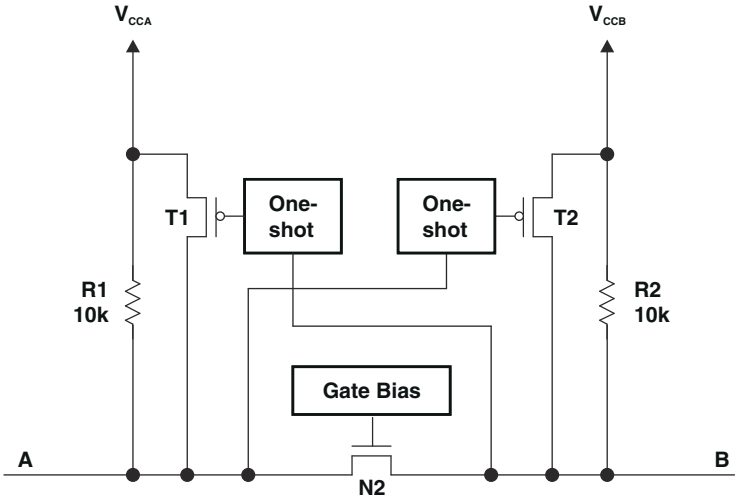


図 7-1. TXS0102 セルのアーキテクチャ

これらの 2 つの双方向チャネルにより、データ フローの方向が方向制御信号なしで独立して決定されます。各 I/O ピンは、入力または出力として自動的に再構成できます。この方法で、自動方向制御機能を実現しています。

この TXS0102 デバイスは TI の*スイッチ*型電圧トランスレータ ファミリの一部であり、この電圧変換を可能にするために 2 つの主要回路を採用しています。

1. A ポートを B ポートに接続する N チャネル パスゲート トランジスタ トポロジ
2. A ポートまたは B ポートの立ち上がりエッジを検出して高速化する出力ワンショット (O.S.) エッジ レート アクセラレータ回路

双方向の電圧変換用に、DC 電流を供給するためのプルアップ抵抗がデバイスに内蔵されています。N チャネル パス トランジスタの V_{GATE} ゲート バイアスは、低電圧側の V_{CC} よりも約 1 レベル上のスレッショルド電圧 (V_T) で設定されています。データは、制御信号によるガイダンスなしに、どちらの方向にも流れることができます。

O.S. 立ち上がりエッジ レート アクセラレータ回路は、入力エッジの遷移を監視することで出力スルーレートを高速化し、デバイス全体でデータ レートを維持するのに役立ちます。Low から High への信号の立ち上がりエッジの間、O.S. 回路は PMOS トランジスタ (T1、T2) をオンにして、ドライバの電流駆動能力を約 30ns か入力エッジの 95% に達するまで高めます。

このエッジレートの加速は、Low から High の遷移時に 10kΩ の内部プルアップ抵抗をバイパスして信号を高速化することで、高 AC 駆動を実現します。この加速位相で、ドライバの出力抵抗は約 50Ω～70Ω まで低下します。動的 I_{CC} と信号競合の可能性を最小限に抑えるため、ユーザーは信号の方向を逆にする前に O.S. 回路がオフになるのを待つ必要があります。最悪の場合の持続時間は、データシートの*表 6-1* のセクションに記載されている最小パルス幅の数値に等しい。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 入力ドライバの要件

連続 DC 電流シンク能力は、TXS0102I/O ピンにインターフェースされる外部システム レベルのオープン ドレイン (またはプッシュ プル) ドライバによって決まります。これらの双方向 I/O 回路の高帯域は、入力から出力へ、また出力から入力への高速な変更を容易にするために使用されるため、内部の 10kΩ プルアップ抵抗によって決まる数百マイクロアンペアの DC 電流ソース能力を備えています。

信号の立ち下がり時間 (t_{fA}、t_{fB}) は、TXS0102 データ I/O を駆動する外部デバイスのエッジ レートと出力インピーダンス、およびデータ ラインの容量性負荷によって異なります。

同様に、t_{PHL} と最大データ レートも外部ドライバの出力インピーダンスに依存します。データシートの t_{fA}、t_{fB}、t_{PHL}、および最大データ レートの値は、外部ドライバの出力インピーダンスが 50Ω 未満であることを 想定しています。

7.3.3 出力負荷に関する検討事項

テキサス・インスツルメンツでは、過度の容量性負荷を防止し、適切なワンショット (O.S.) トリガを確実に実行するため、PCB 配線長を短くして慎重に PCB レイアウトを行うことを推奨します。PCB 信号パターン長は、反射の往復遅延がワンショット期間よりも短くなるように十分に短く保つ必要があり、これにより反射はソース ドライバーで Low インピーダンスに遭遇します。O.S. 回路は、約 30ns 間オン状態を維持するように設計されています。駆動可能な集中負荷の最大容量も、ワンショット持続時間に直接依存します。

非常に大きな容量性負荷では、信号が正のレールまで完全に駆動される前にワンショットがタイムアウトする可能性があります。O.S. 持続時間は、動的 ICC、負荷駆動能力、最大ビット レートに関する検討事項間のトレードオフを最適化するように設定されています。PCB パターン長とコネクタの両方が、TXS0102 デバイス出力の容量を増加させるため、O.S. の再トリガー、バス競合、出力信号の振動、またはその他のシステムレベルの悪影響を回避するために、この集中負荷容量を考慮することをお勧めします。

7.3.4 イネーブルおよびディセーブル

TXS0102 デバイスには OE 入力があり、これを使用して OE を低く設定し、すべての I/O を Hi-Z 状態にすることでデバイスを無効にします。ディセーブル時間 (t_{dis}) は、OE が Low になってから出力がディセーブル (高インピーダンス) になるまでの遅延を示します。イネーブル時間 (t_{en}) は、OE が High になった後でワンショット回路が動作するためにユーザーが許容する必要がある時間を示します。

7.3.5 I/O ラインのプルアップ抵抗またはプルダウン抵抗

各 A ポート I/O には V_{CCA} への 10kΩ プルアップ抵抗が内部に備わっており、各 B ポート I/O には V_{CCB} への 10kΩ プルアップ抵抗が内部に備わっています。より小さい値のプルアップ抵抗が必要な場合は、I/O から V_{CCA} または V_{CCB} に外部抵抗を追加する必要があります (内部の 10kΩ 抵抗と並列)。ただし、より小さい値のプルアップ抵抗を追加すると V_{OL} レベルに影響します。OE ピンが Low の場合、TXS0102 の内部プルアップは無効になります。

7.4 デバイスの機能モード

このデバイスには、イネーブルとディセーブルの 2 つの機能モードがあります。デバイスをディセーブルにするには、OE 入力を Low に設定します。これにより、すべての I/O が高インピーダンス状態になります。OE 入力を High に設定すると、デバイスがイネーブルになります。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

この TXS0102 デバイスは、2 つの電圧ノード間のデジタルスイッチング互換性ギャップをブリッジし、電子システムで見られる ロジック スレッショルド レベルを正常にインターフェースするために使用できます。相互に異なるインターフェイス電圧で動作するデバイスやシステムのインターフェイスとして、ポイント ツー ポイントのトポロジで使用します。主なターゲット アプリケーションの用途は、I^2C や 1 線式など、データが双方向で制御信号が利用できないデータ I/O でのオープンドレイン ドライバとのインターフェイスです。このデバイスは、プッシュプル ドライバがデータ I/O に接続されているアプリケーションでも使用できますが、このようなプッシュプル アプリケーションには TXB0102 の方が適している場合があります。

8.2 代表的なアプリケーション

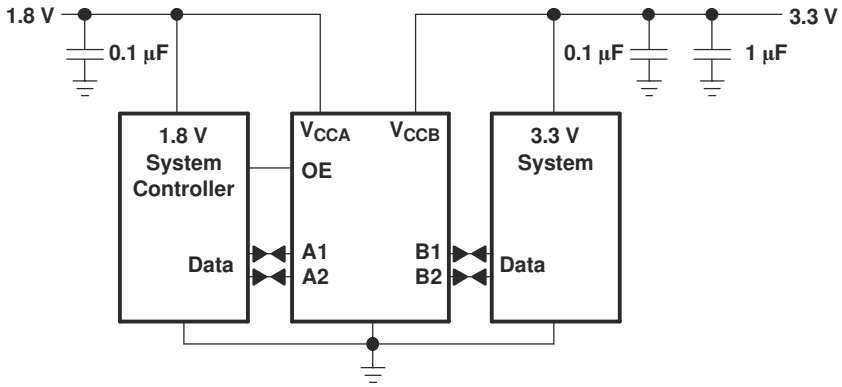


図 8-1. 代表的なアプリケーション回路

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを使用します。$V_{CCA} \leqq V_{CCB}$ であることを確認します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	1.65～3.6V
出力電圧範囲	2.3～5.5V

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲:
  - TXS0102 デバイスを駆動している電源電圧を使用して、入力電圧範囲を決定します。有効なロジック High の場合、値は入力ポートの VIH を超えている必要があります。有効なロジック Low の場合、値は入力ポートの VIL 未満である必要があります。
- 出力電圧範囲:
  - TXS0102 デバイスを駆動している電源電圧を使用して、出力電圧範囲を決定します。
  - TXS0102 デバイスには 10kΩ の内部プルアップ抵抗があります。信号トレースの総 RC を削減するため、必要に応じて外付けプルアップ抵抗を追加することもできます。
  - 外部プルダウン抵抗により、出力 VOH と VOL が減少します。外部プルダウン抵抗による VOH を計算するために 式 1 を使用します。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 10kq) \quad (1)$$

ここで

- V_{CCx} は V_{CCA} または V_{CCB} の電源電圧です。
- R_{PD} は外部プルダウン抵抗の値です

8.2.3 アプリケーション曲線

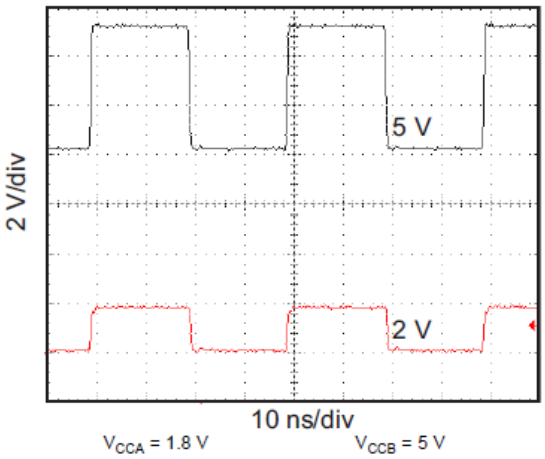


図 8-2. 2.5MHz 信号のレベル変換

8.3 電源に関する推奨事項

動作中は、常に $V_{CCA} \leq V_{CCB}$ であることを確認してください。電源投入時の各電源のシーケンスによってデバイスが損傷することはないため、どの電源でも先にランプアップできます。出力イネーブル (OE) 入力回路は、V_{CCA} から電力が供給されるように設計されており、OE 入力が Low のときはすべての出力が高インピーダンス状態になります。パワーアップまたは パワーダウン時に出力を高インピーダンス状態にするには、OE 入力ピンをプルダウン抵抗を介して GND に接続し、V_{CCA} と V_{CCB} が完全に上昇して安定するまで有効にしないでください。ドライバの電流ソース能力によって、グランドへのプルダウン抵抗の最小値が決まります。

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスの信頼性を確保するには、次のような一般的なプリント基板レイアウトのガイドラインに従うことをお勧めします。

- バイパス コンデンサは電源に使用し、V_{CCA} ピン、V_{CCB} ピン、および G_{ND} ピンのできるだけ近くに配置する必要があります。
- 過度の負荷を避けるため、配線長を短くする必要があります。
- PCB 信号のパターン長は、反射の往復遅延がワンショット持続時間 (約 30 ns) よりも短くなるように十分に短く保つ必要があります。これにより、反射はソースドライバーで Low インピーダンスに遭遇します。

8.4.2 レイアウト例

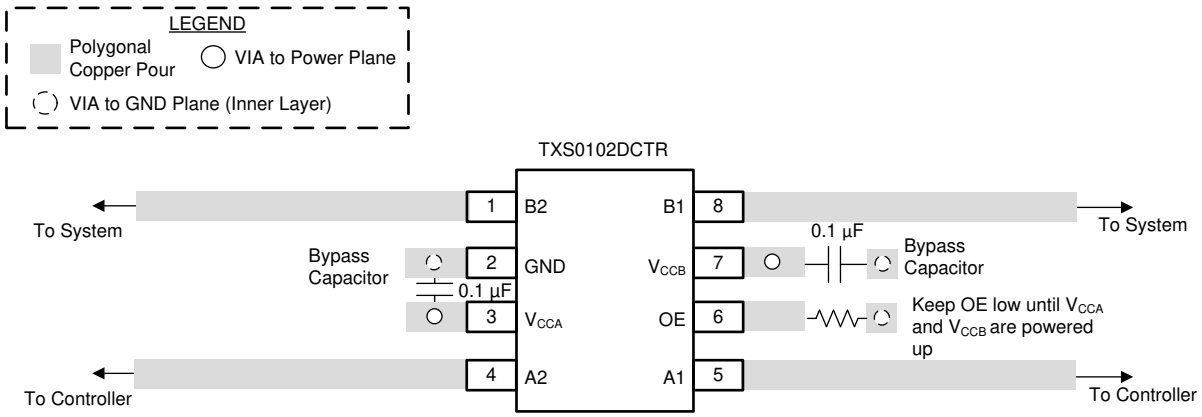


図 8-3. TXS0102 レイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『TXS 型トランスレータによる電圧変換ガイド』アプリケーション・ノート
- テキサス・インスツルメンツ、『TXS および LSF 自動双方向変換デバイスで VOL に影響する要素』アプリケーション・ノート
- テキサス・インスツルメンツ、『TXS、TXB、および LSF 自動双方向変換デバイスのバイアス要件』アプリケーション・ノート
- テキサス・インスツルメンツ、『プルアップ / プルダウン抵抗が TXS および TXB デバイスにもたらす影響』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック入門』アプリケーション・ノート
- テキサス・インスツルメンツ、『TI ロジック / リニア製品ガイド』セレクション / ソリューション・ガイド
- テキサス・インスツルメンツ、『洗濯機ソリューション・ガイド』セレクション / ソリューション・ガイド
- テキサス・インスツルメンツ、『TI スマートフォン・ソリューション・ガイド』セレクション / ソリューション・ガイド

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

NanoStar™ is a trademark of Texas Instruments Incorporated.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision K (August 2025) to Revision L (January 2026)	Page
• YZP パッケージの熱に関する情報を追加	5

Changes from Revision J (July 2023) to Revision K (August 2025)	Page
• すべてのパッケージの熱特性を更新し、YZP パッケージの熱に関する情報を削除し、DTT 熱に関する情報を追加しました。	5
• ICCA/ICCB の劣化を更新	6
• 更新された値	7
• 更新された値	8
• 更新された値	9

Changes from Revision I (August 2018) to Revision J (July 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS0102DCTR	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTR.A	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTR.B	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTRE4	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTRE4.A	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTRE4.B	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTT	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTT.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTTE4	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTE4.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTG4	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTG4.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCUR	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCUR.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCUR.B	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCURG4	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS0102DCURG4.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCURG4.B	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUT	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUT.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUT.B	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUTG4	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUTG4.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUTG4.B	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DQER	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQER.A	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQER.B	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQMR	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMR.A	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMR.B	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4.A	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4.B	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DTTR	Active	Production	X1SON (DTT) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	3HOH
TXS0102YZPR	Active	Production	DSBGA (YZP) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102YZPR.B	Active	Production	DSBGA (YZP) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2H

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXS0102 :

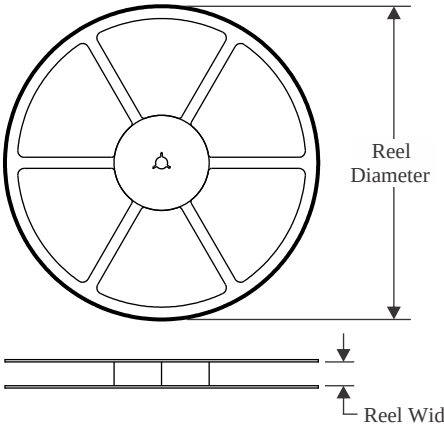
- Automotive : TXS0102-Q1

NOTE: Qualified Version Definitions:

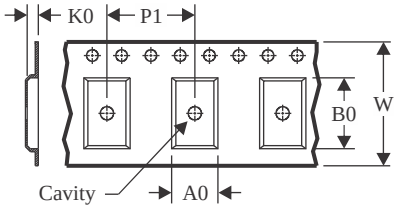
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

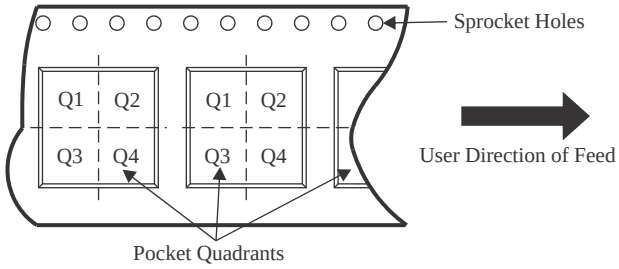


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

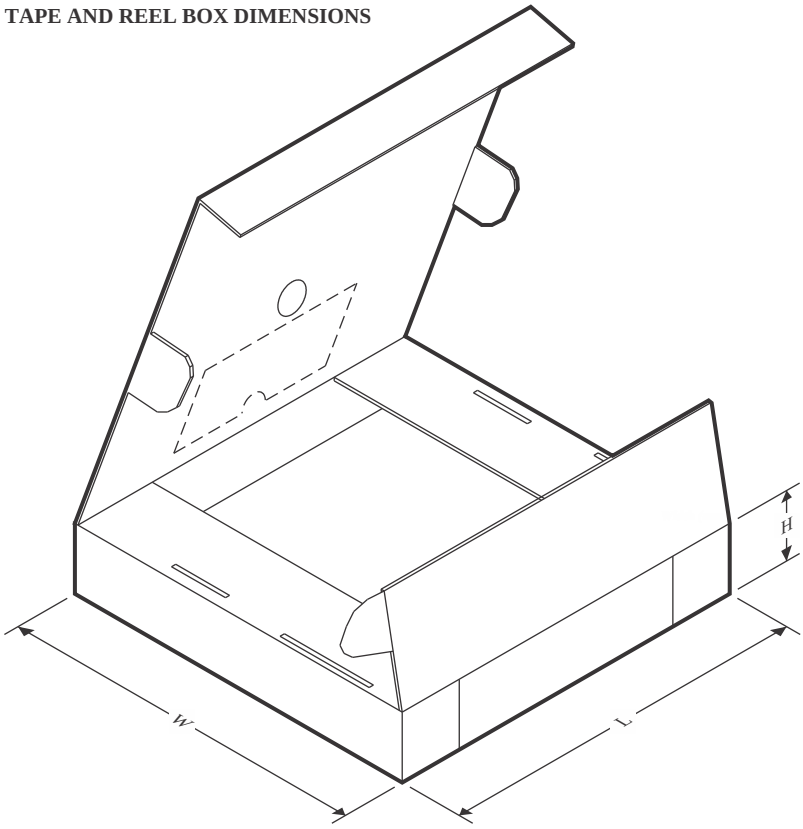
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXS0102DCTR	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTRE4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTT	SSOP	DCT	8	250	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
TXS0102DCTTE4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTTG4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DCUR	VSSOP	DCU	8	3000	180.0	9.0	2.25	3.4	1.0	4.0	8.0	Q3
TXS0102DCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DCUTG4	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DQER	X2SON	DQE	8	5000	180.0	8.4	1.2	1.6	0.55	4.0	8.0	Q1
TXS0102DQMR	X2SON	DQM	8	3000	180.0	8.4	1.57	2.21	0.59	4.0	8.0	Q1
TXS0102DQMR	X2SON	DQM	8	3000	180.0	9.5	1.4	2.0	0.5	4.0	8.0	Q1
TXS0102DQMRG4	X2SON	DQM	8	3000	180.0	9.5	1.4	2.0	0.5	4.0	8.0	Q1
TXS0102DQMRG4	X2SON	DQM	8	3000	180.0	8.4	1.57	2.21	0.59	4.0	8.0	Q1
TXS0102DTTR	X1SON	DTT	8	5000	180.0	8.4	1.15	2.1	0.48	4.0	8.0	Q1
TXS0102YZPR	DSBGA	YZP	8	3000	180.0	8.4	1.02	2.02	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

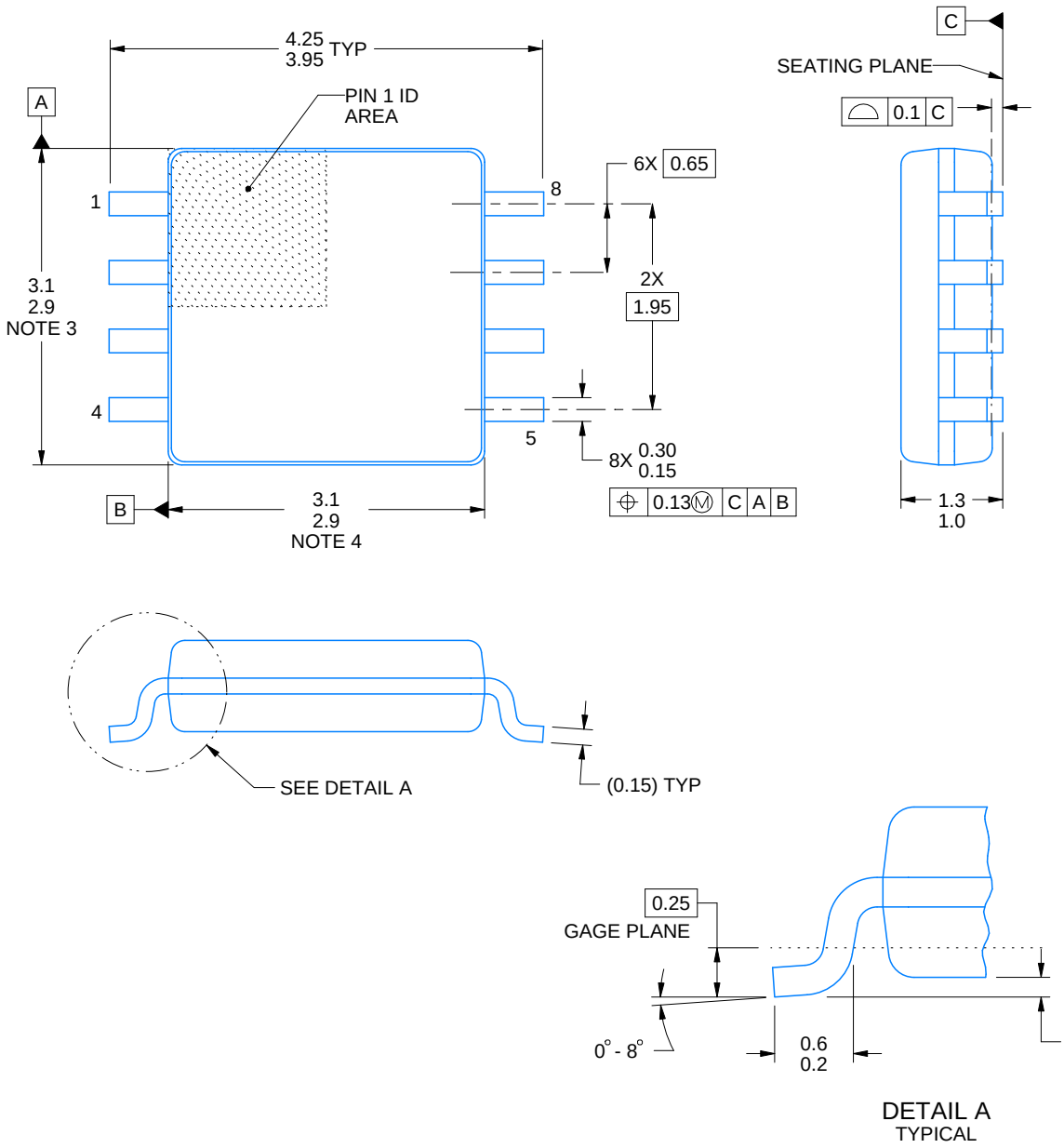
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXS0102DCTR	SSOP	DCT	8	3000	183.0	183.0	20.0
TXS0102DCTRE4	SSOP	DCT	8	3000	183.0	183.0	20.0
TXS0102DCTT	SSOP	DCT	8	250	190.0	190.0	30.0
TXS0102DCTTE4	SSOP	DCT	8	250	183.0	183.0	20.0
TXS0102DCTTG4	SSOP	DCT	8	250	183.0	183.0	20.0
TXS0102DCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
TXS0102DCUR	VSSOP	DCU	8	3000	182.0	182.0	20.0
TXS0102DCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
TXS0102DCUTG4	VSSOP	DCU	8	250	202.0	201.0	28.0
TXS0102DQER	X2SON	DQE	8	5000	202.0	201.0	28.0
TXS0102DQMR	X2SON	DQM	8	3000	202.0	201.0	28.0
TXS0102DQMR	X2SON	DQM	8	3000	184.0	184.0	19.0
TXS0102DQMRG4	X2SON	DQM	8	3000	184.0	184.0	19.0
TXS0102DQMRG4	X2SON	DQM	8	3000	202.0	201.0	28.0
TXS0102DTTR	X1SON	DTT	8	5000	210.0	185.0	35.0
TXS0102YZPR	DSBGA	YZP	8	3000	182.0	182.0	20.0

PACKAGE OUTLINE

DCT0008A

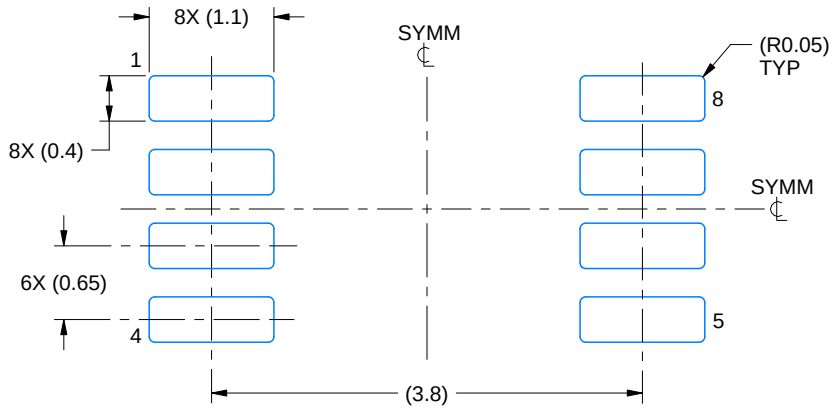
SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE

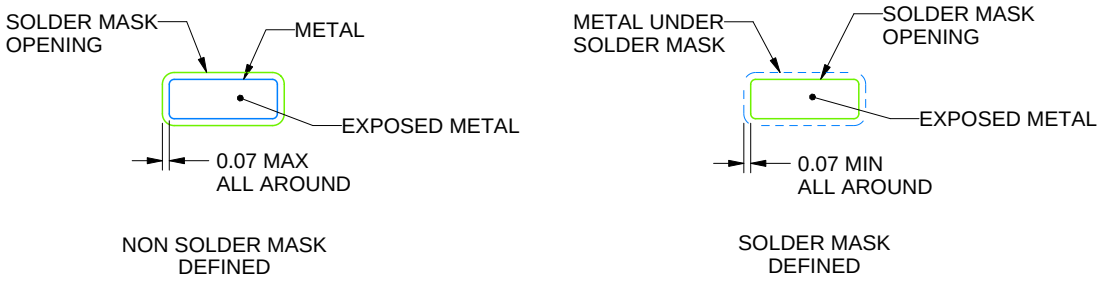


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

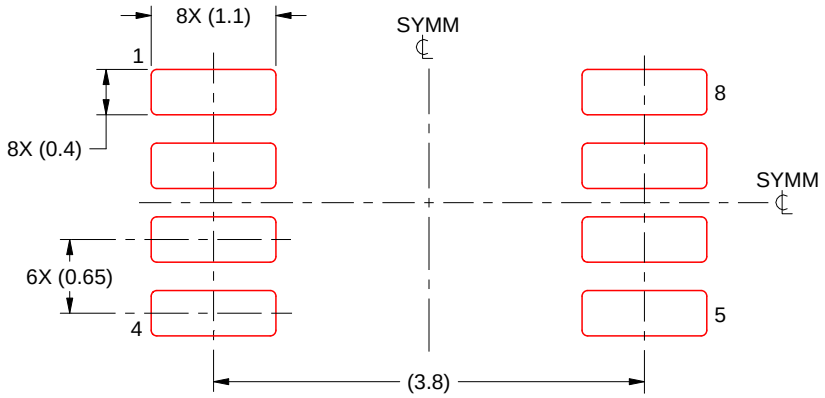


SOLDER MASK DETAILS

4220784/D 10/2025

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220784/D 10/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

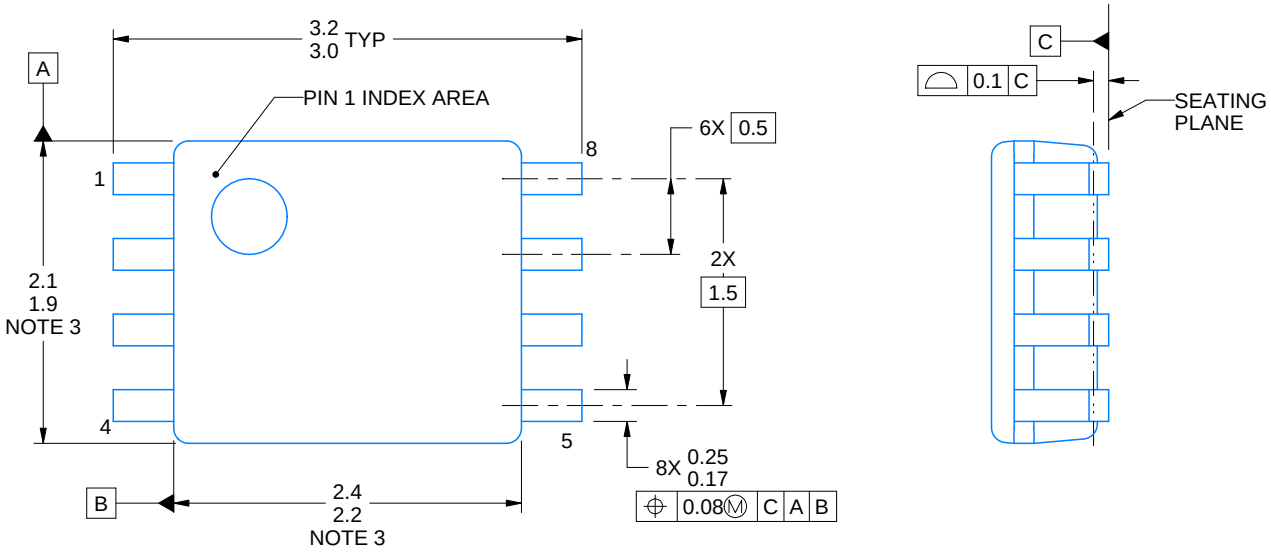
DCU0008A

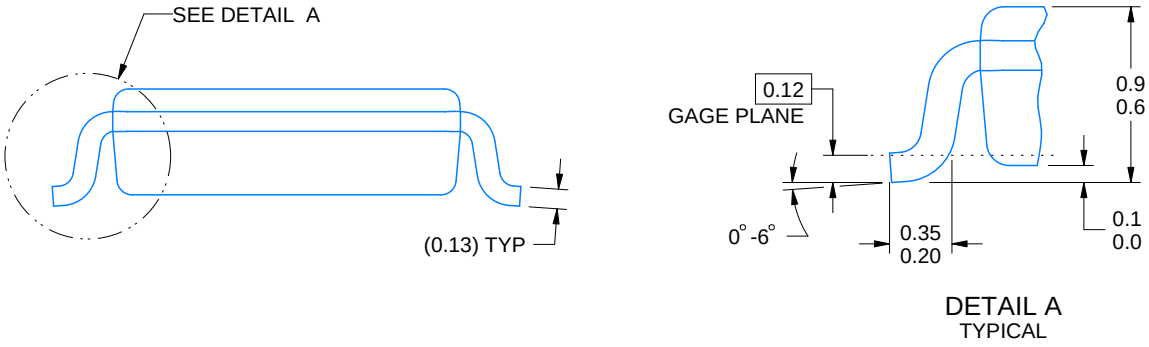


PACKAGE OUTLINE

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE

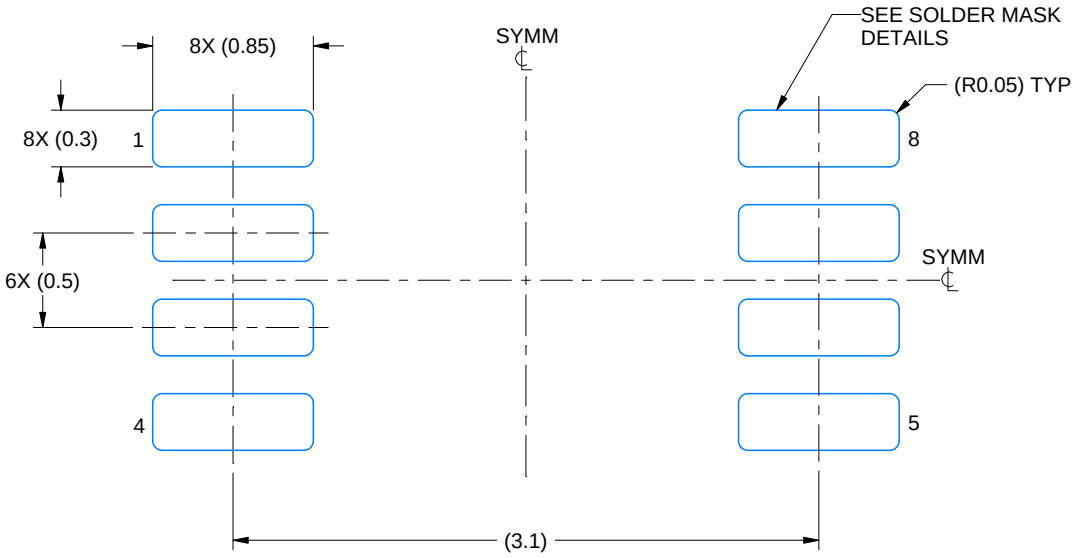




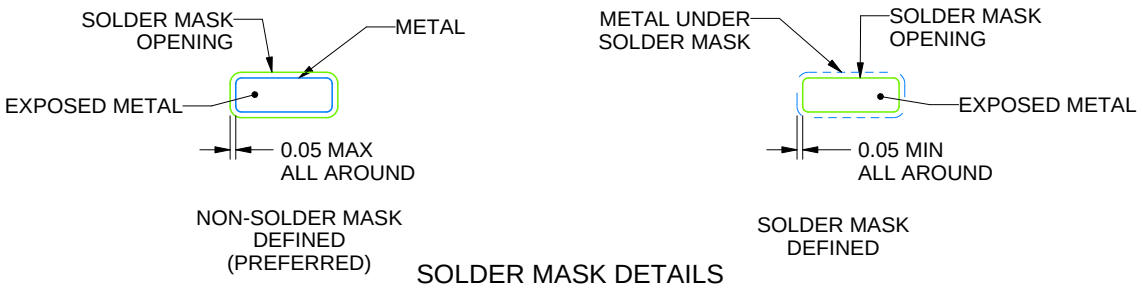
4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

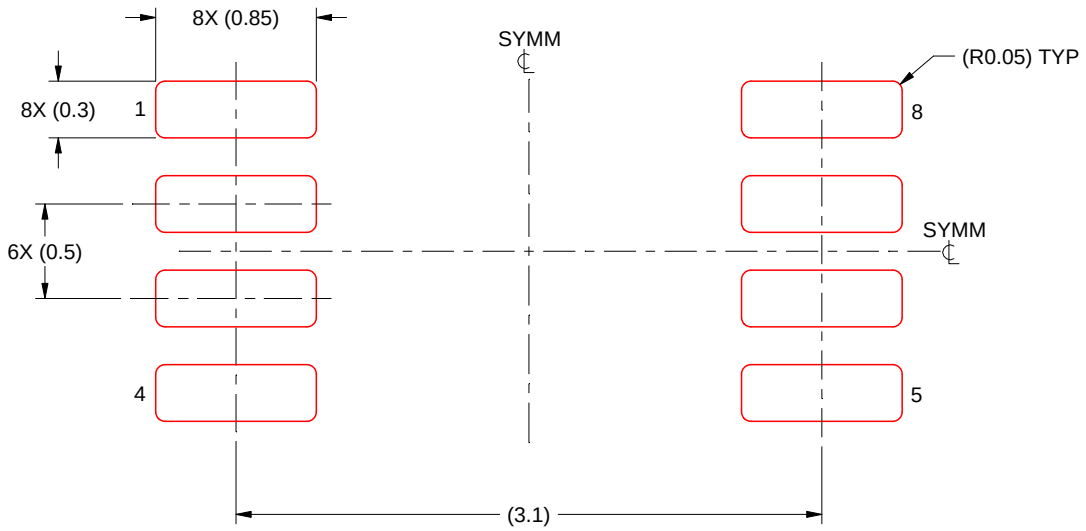


SOLDER MASK DETAILS

4225266/A 09/2014

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



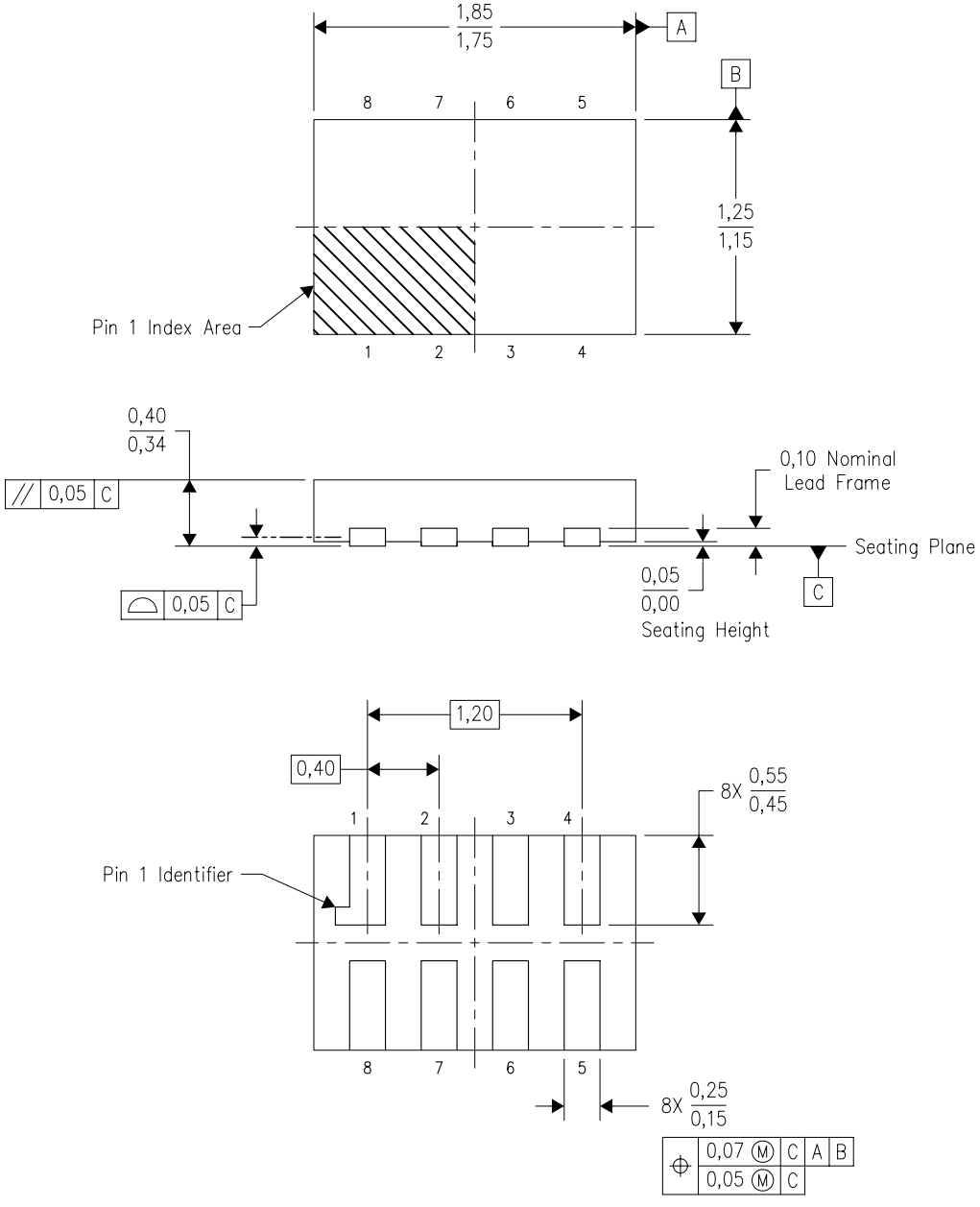
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DQM (R–PX2SON–N8) PLASTIC SMALL OUTLINE NO–LEAD

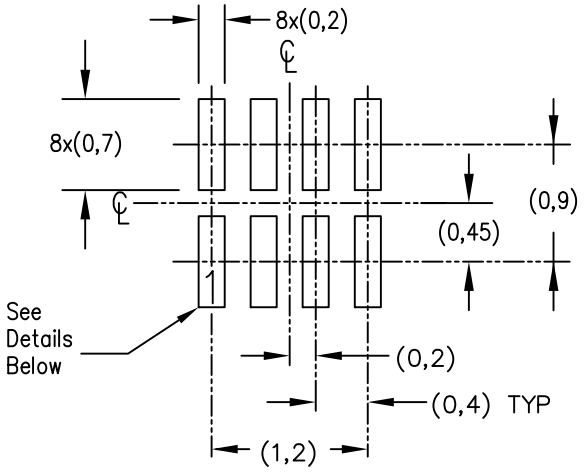


4210302/A 06/2009

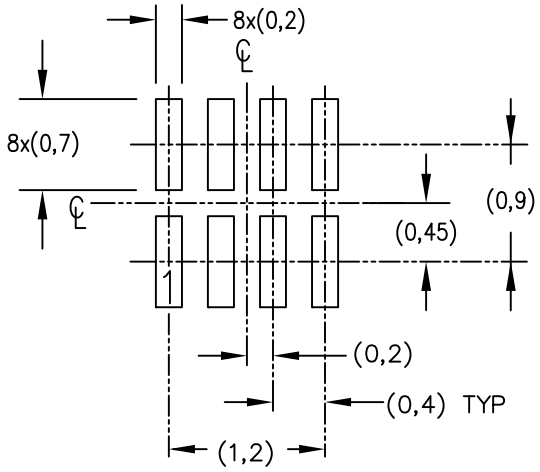
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. SON (Small Outline No–Lead) package configuration.

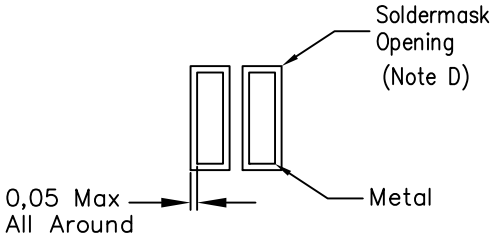
DQM (R–PX2SON–N8) PLASTIC SMALL OUTLINE NO–LEAD

Example Board Layout

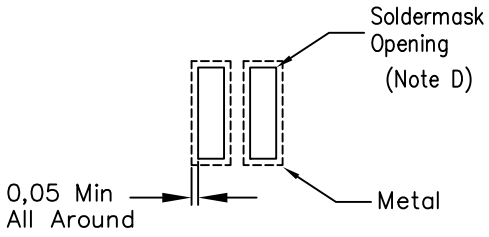


Example Stencil Design
0.1mm Thick Stencil
(Note C)





Non Solder Mask Defined Pad



Solder Mask Defined Pad

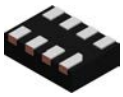
Solder Mask Details

4218746/A 07/13

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
D. Customers should contact their board fabrication site for recommended solder mask tolerances.

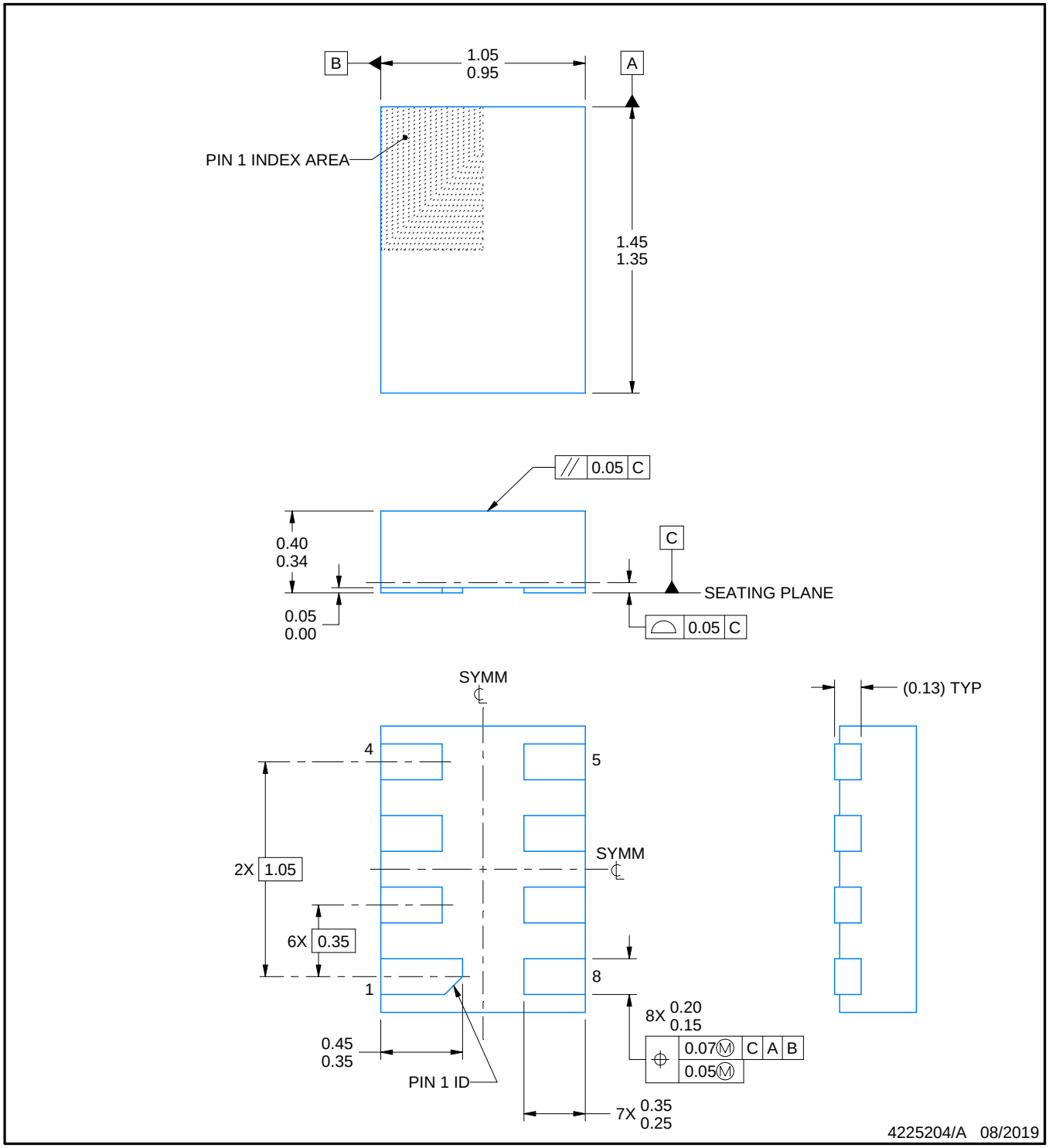
PACKAGE OUTLINE

DQE0008A



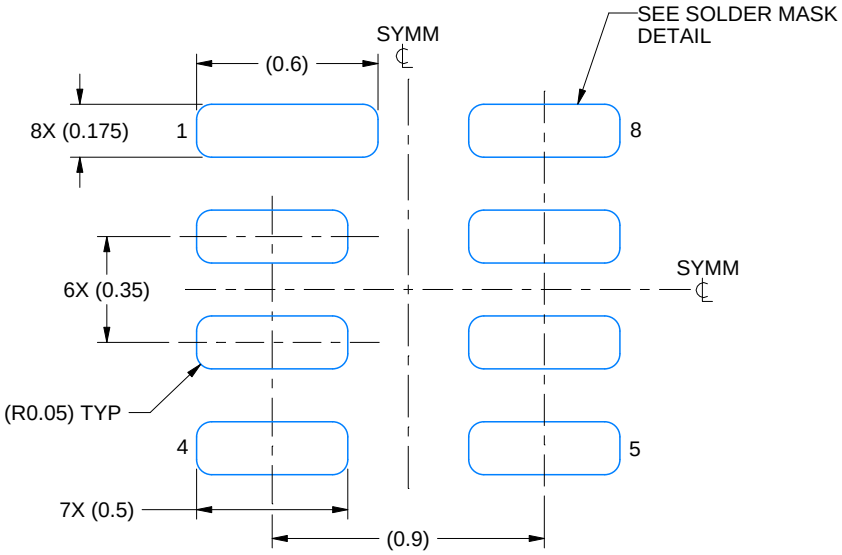
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

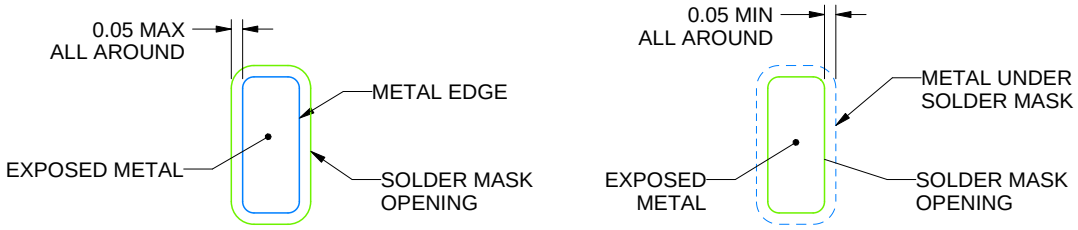


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package complies to JEDEC MO-287 variation X2EAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

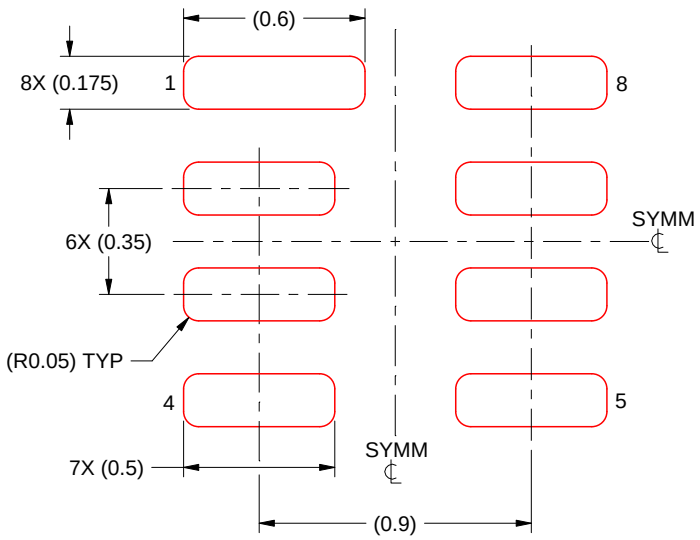


SOLDER MASK DETAILS

4225204/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



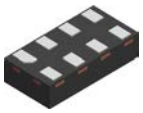
SOLDER PASTE EXAMPLE
BASED ON 0.075 MM THICK STENCIL
SCALE: 40X

4225204/A 08/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

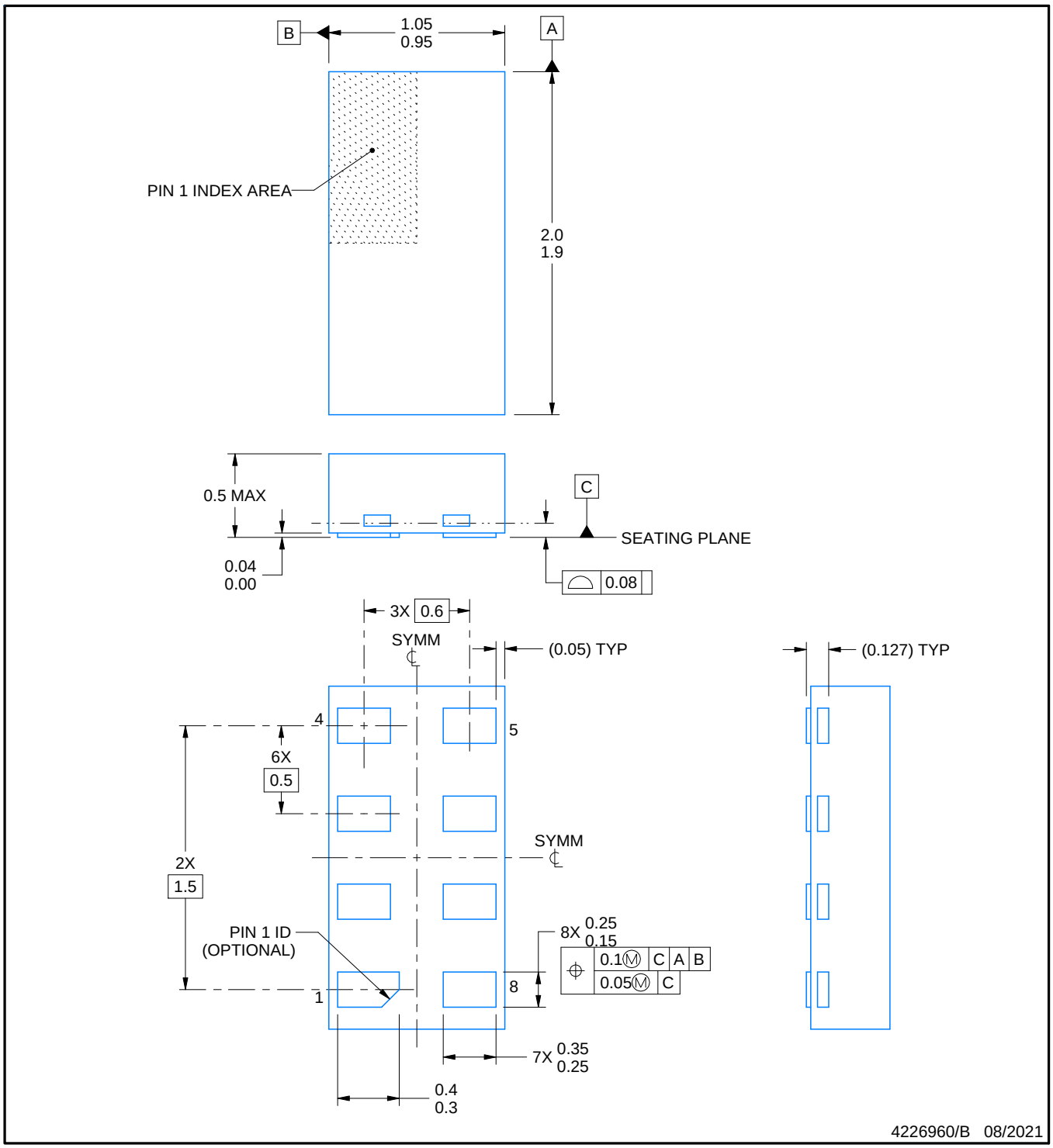
DTT0008A



PACKAGE OUTLINE

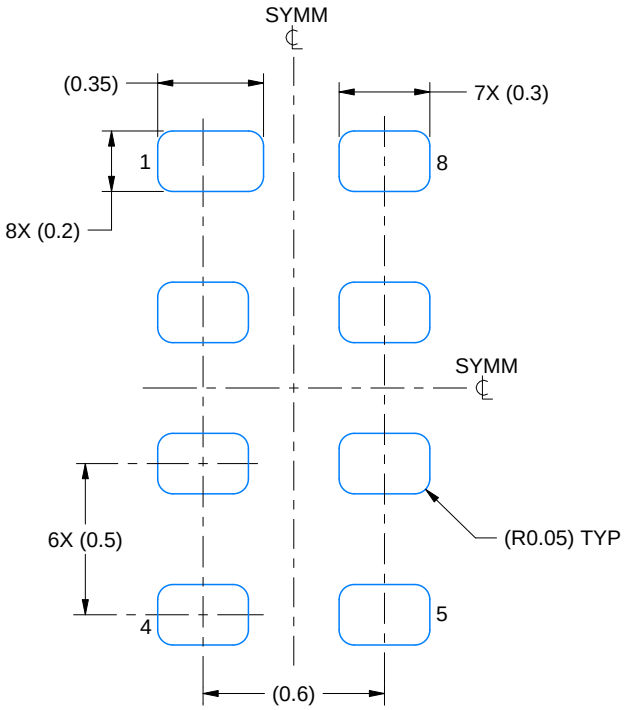
X1SON - 0.5 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

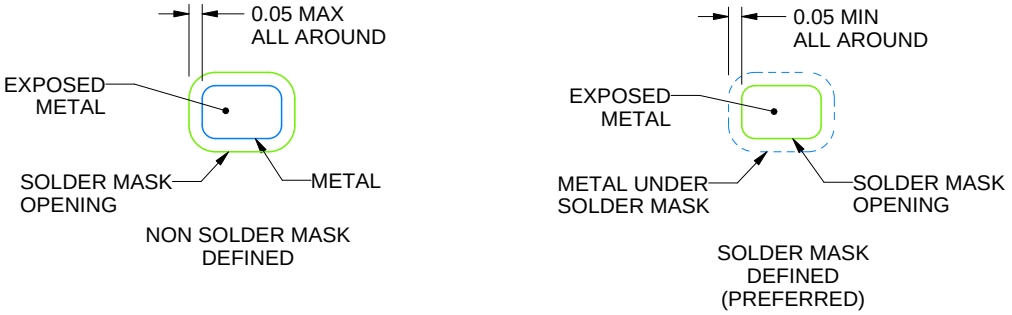


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X

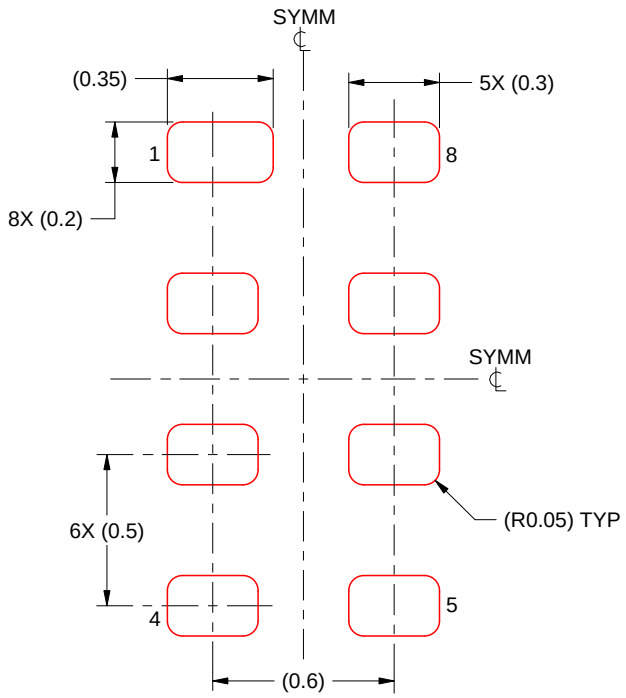


SOLDER MASK DETAILS

4226960/B 08/2021

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4226960/B 08/2021

NOTES: (continued)

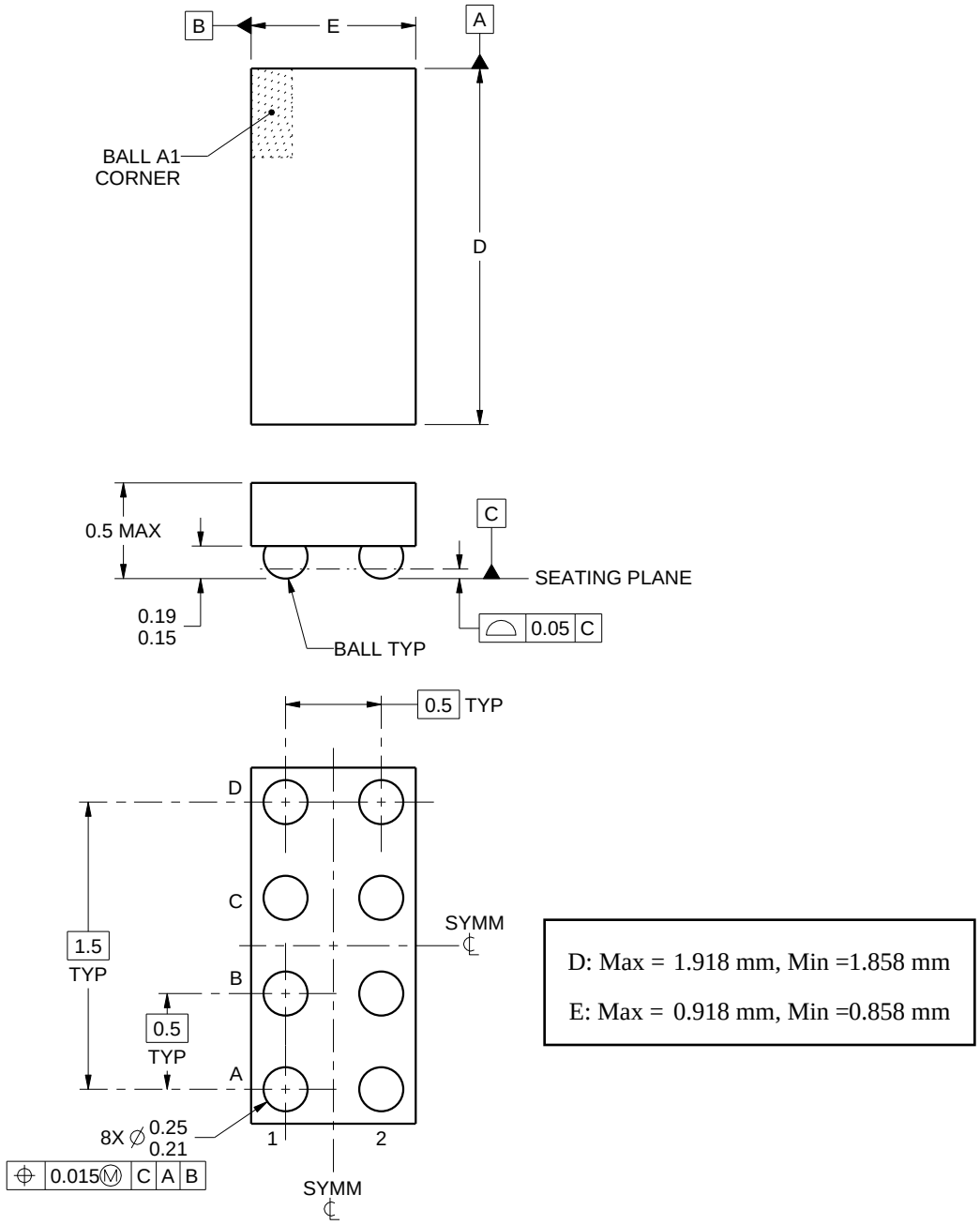
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YZP0008

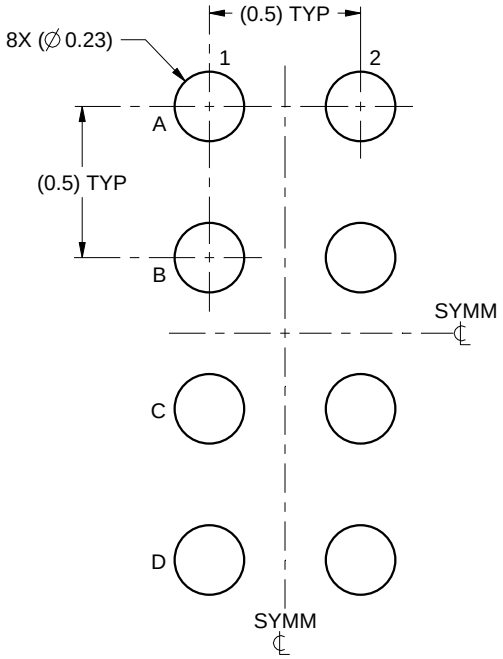
DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY

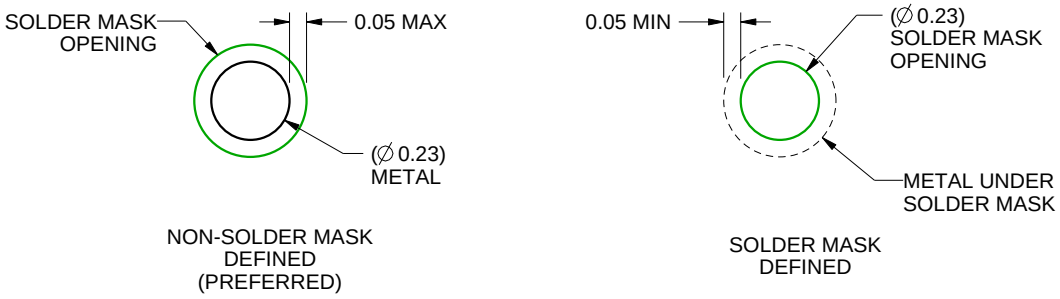


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

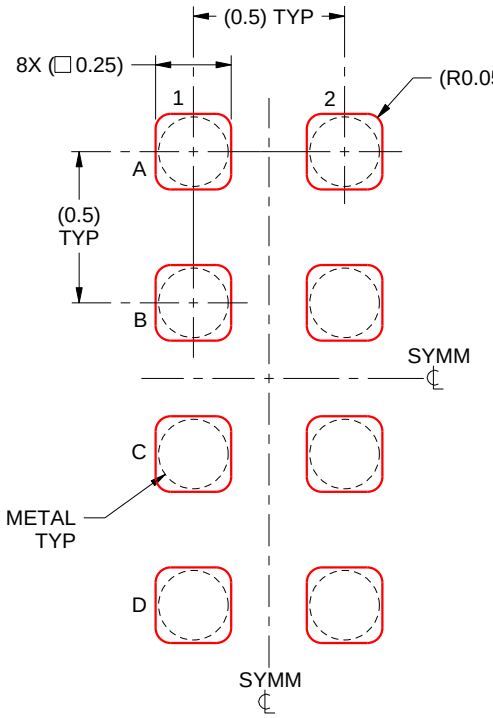


SOLDER MASK DETAILS
NOT TO SCALE

4223082/A 07/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4223082/A 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月