

μA741 汎用オペアンプ

1 特長

- 短絡保護
- 広い同相電圧範囲と差動電圧範囲
- 周波数補償が不要
- ラッチアップなし

2 アプリケーション

- DVD レコーダおよびプレーヤ
- プロ用オーディオ ミキサー

3 説明

μA741 デバイスは、汎用オペアンプです。

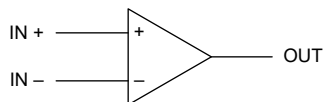
同相入力電圧範囲が広く、ラッチアップがないため、このアンプは電圧フォロワ アプリケーションの優れた選択肢となります。デバイスは短絡保護されており、内部の周波数補償機能により外付け部品を使用せずに安定性を確保できます。

μA741C デバイスは 0°C～70°C で動作します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
μA741CD	SOIC (8)	4.90mm × 3.91mm
μA741CP	PDIP (8)	9.81mm × 6.35mm
μA741CPS	SO (8)	6.20mm × 5.30mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



機能ブロック図



目次

1 特長.....	1	6 アプリケーションと実装.....	9
2 アプリケーション.....	1	7 電源に関する推奨事項.....	10
3 説明.....	1	8 レイアウト.....	10
4 ピン構成および機能.....	3	8.1 レイアウトのガイドライン.....	10
5 仕様.....	4	8.2 レイアウト例.....	10
5.1 絶対最大定格.....	4	9 デバイスおよびドキュメントのサポート.....	12
5.2 推奨動作条件.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	12
5.3 熱に関する情報.....	4	9.2 商標.....	12
5.4 電気的特性: μ A741C.....	5	9.3 静電気放電に関する注意事項.....	12
5.5 電気的特性: μ A741Y.....	6	9.4 用語集.....	12
5.6 スイッチング特性: μ A741C.....	6	10 改訂履歴.....	13
5.7 スイッチング特性: μ A741Y.....	6	11 メカニカル、パッケージ、および注文情報.....	14
5.8 代表的特性.....	7		

4 ピン構成および機能

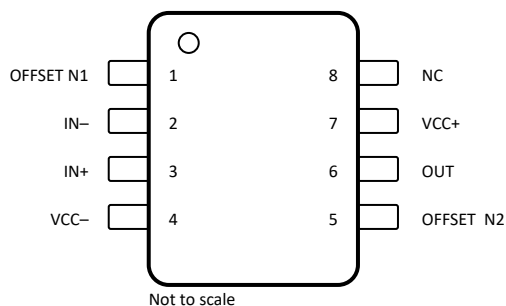


図 4-1. uA741C PS パッケージ 8 ピン SO 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
IN+	3	I	非反転入力
IN-	2	I	反転入力
NC	8	—	内部接続なし
OFFSET N1	1	I	外部入力オフセット電圧を調整
OFFSET N2	5	I	外部入力オフセット電圧を調整
OUT	6	O	出力
VCC+	7	—	正電源
VCC-	4	—	負電源

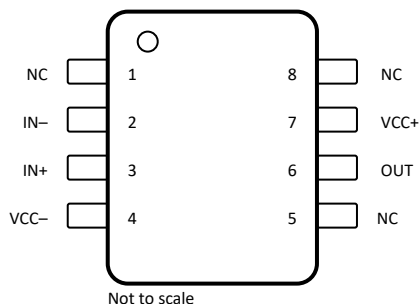


図 4-2. uA741C D または P パッケージ 8 ピン SOIC、PDIP 上面図

表 4-2. ピンの機能

ピン		I/O	説明
名称	番号		
IN+	3	I	非反転入力
IN-	2	I	反転入力
NC	8	—	内部接続なし
NC	1	—	内部接続なし
NC	5	—	内部接続なし
OUT	6	O	出力
VCC+	7	—	正電源
VCC-	4	—	負電源

5 仕様

5.1 絶対最大定格

仮想接合部温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
電源電圧、 V_{CC} ⁽²⁾	$\mu A741C$		-18	18	V
差動入力電圧、 V_{ID} ⁽³⁾	$\mu A741C$		-15	15	V
入力電圧、 V_I (任意の入力) ^{(2) (4)}	$\mu A741C$		-15	15	V
出力短絡時間 ⁽⁵⁾			制限なし		
連続総許容損失			セクション 5.3 を参照してください。		
60 秒間のケース温度	$\mu A741C$		該当なし	該当なし	°C
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 60 秒間	$\mu A741C$		該当なし	該当なし	°C
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	D、P、PS パッケージ	$\mu A741C$		260	°C
動作時の接合部温度、 T_J				150	°C
保管温度範囲、 T_{stg}	$\mu A741C$		-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 特に記述のない限り、すべての電圧値は、 V_{CC+} と V_{CC-} の間の中間点を基準にしています。
- (3) 差動電圧は、 $IN-$ を基準とする $IN-$ です。
- (4) 入力電圧の大きさは、電源電圧の大きさまたは 15V (小さい方) を決して超えないようにする必要があります。
- (5) 出力は、グランドまたはいずれかの電源に短絡できます。

5.2 推奨動作条件

			最小値	最大値	単位
V_{CC+}	電源電圧		5	15	V
V_{CC-}			-5	-15	
T_A	外気温度での動作時	$\mu A741C$	0	70	°C

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		$\mu A741$			単位
		D (SOIC)	P (PDIP)	PS (SO)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.7	87.4	119.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.7	89.3	66	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	82.2	64.4	70	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	27.8	49.8	27.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	81.4	64.1	69	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.4 電気的特性 : $\mu\text{A}741\text{C}$

指定された仮想接合部温度で、 $V_{\text{CC}\pm} = \pm 15\text{V}$ (特に記述のない限り)

パラメータ		テスト条件 ⁽¹⁾		最小値	標準値	最大値	単位
V_{IO}	入力オフセット電圧	$V_{\text{O}} = 0$	25°C	0.3		6	mV
			フルレンジ			7.5	
I_{IO}	入力オフセット電流	$V_{\text{O}} = 0$	25°C	0.005		200	nA
			フルレンジ			300	
I_{IB}	入力バイアス電流	$V_{\text{O}} = 0$	25°C	0.01		500	nA
			フルレンジ			800	
V_{ICR}	同相入力電圧範囲	25°C		± 12	± 13		V
		フルレンジ		± 12			
V_{OM}	最大ピーク出力電圧スイング	$R_{\text{L}} = 10\text{k}\Omega$	25°C	± 12	± 14.95		V
		$R_{\text{L}} \geq 10\text{k}\Omega$	フルレンジ	± 12			
		$R_{\text{L}} = 2\text{k}\Omega$	25°C	± 10			
		$R_{\text{L}} \geq 2\text{k}\Omega$	フルレンジ	± 10			
A_{VD}	大信号差動電圧増幅	$R_{\text{L}} \geq 2\text{k}\Omega$	25°C	20	200		V/mV
		$V_{\text{O}} = \pm 10\text{V}$	フルレンジ	15			
r_{i}	入力抵抗	25°C		540			G Ω
r_{o}	出力抵抗	$f = 1\text{MHz}$, $I_{\text{O}} = 0\text{A}$	25°C	575			Ω
C_{i}	入力容量	25°C		3			pF
CMRR	同相除去比	$V_{\text{IC}} = V_{\text{ICRmin}}$	25°C	70	90		dB
			フルレンジ	70			
k_{SVS}	電源電圧感度 ($\Delta V_{\text{IO}}/\Delta V_{\text{CC}}$)	$V_{\text{CC}} = \pm 9\text{V} \sim \pm 15\text{V}$	25°C	30	150		$\mu\text{V/V}$
			フルレンジ		150		
I_{OS}	短絡出力電流	25°C		± 80			mA
I_{CC}	電源電流	$V_{\text{O}} = 0$, 無負荷	25°C	0.13	2.8		mA
			フルレンジ		3.3		

(1) 特に記述のない限り、すべての特性は、同相入力電圧が 0 の開ループ条件で測定されます。 $\mu\text{A}741\text{C}$ のフルレンジは 0°C ~ 70°C です。

5.5 電気的特性 : μ A741Y

指定された仮想接合部温度で、 $V_{CC\pm} = \pm 15V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件 ⁽¹⁾	最小値	標準値	最大値	単位
V_{IO} 入力オフセット電圧	$V_O = 0$		0.3	5	mV
I_{IO} 入力オフセット電流	$V_O = 0$		0.005	200	nA
I_{IB} 入力バイアス電流	$V_O = 0$		0.01	500	nA
V_{ICR} 同相入力電圧範囲		± 12	± 13		V
V_{OM} 最大ピーク出力電圧スイング	$R_L = 10k\Omega$	± 12	± 14.95		V
	$R_L = 2k\Omega$	± 10	± 14.8		
A_{VD} 大信号差動電圧増幅	$R_L \geq 2k\Omega$	20	200		V/mV
r_i 入力抵抗			540		G Ω
r_o 出力抵抗	$f = 1MHz$, $I_O = 0A$		575		Ω
C_i 入力容量			3		pF
CMRR 同相除去比	$V_{IC} = V_{ICRmin}$	70	90		dB
k_{SVS} 電源電圧感度 ($\Delta V_{IO}/\Delta V_{CC}$)	$V_{CC} = \pm 9V \sim \pm 15V$		30	150	$\mu V/V$
I_{OS} 短絡出力電流			± 80		mA
I_{CC} 電源電流	$V_O = 0$, 無負荷		0.13	2.8	mA

(1) 特に記述のない限り、すべての特性は、同相電圧が 0 の開ループ条件で測定されます。

5.6 スイッチング特性 : μ A741C

自由気流での動作温度範囲内、 $V_{CC\pm} = \pm 15V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_r 立ち上がり時間	$V_I = 20mV$, $R_L = 2k\Omega$		0.3		μs
オーバーシュート係数	$C_L = 100pF$		5%		
SR ユニティ ゲインでのスルーレート	$V_I = 10V$, $R_L = 2k\Omega$ $C_L = 100pF$		0.5		V/ μs

5.7 スイッチング特性 : μ A741Y

自由気流での動作温度範囲内、 $V_{CC\pm} = \pm 15V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_r 立ち上がり時間	$V_I = 20mV$, $R_L = 2k\Omega$		0.3		μs
オーバーシュート係数	$C_L = 100pF$		5%		
SR ユニティ ゲインでのスルーレート	$V_I = 10V$, $R_L = 2k\Omega$ $C_L = 100pF$		0.5		V/ μs

5.8 代表的特性

高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

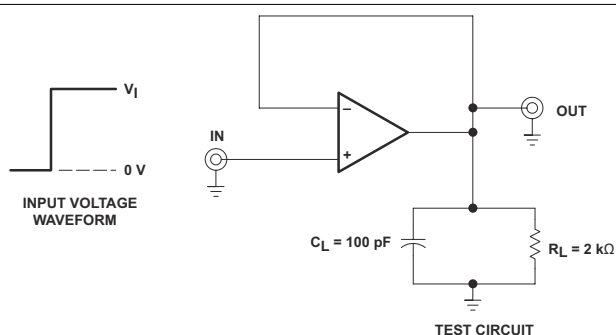


図 5-1. 立ち上がり時間、オーバーシュート、スルーレート

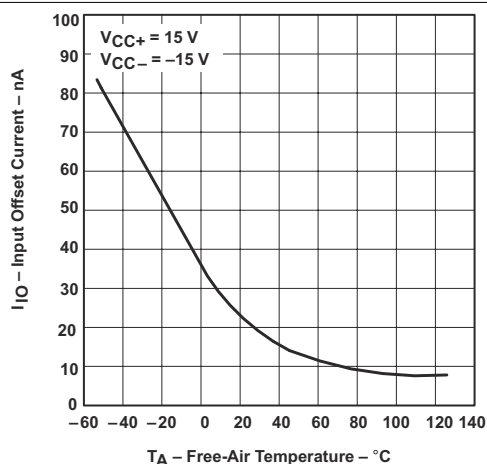


図 5-2. 入力オフセット電流と自由気流温度との関係

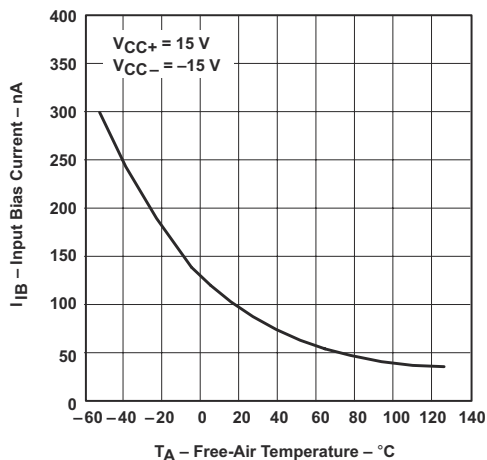


図 5-3. 入力バイアス電流と自由気流温度との関係

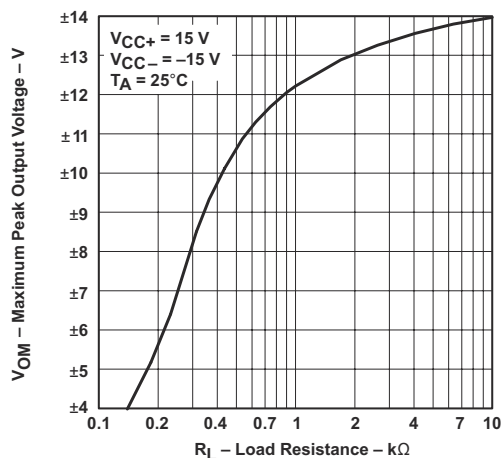


図 5-4. 最大出力電圧と負荷抵抗との関係

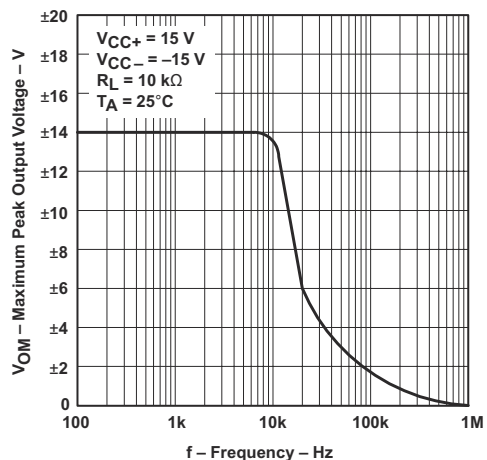


図 5-5. 最大ピーク出力電圧と周波数との関係

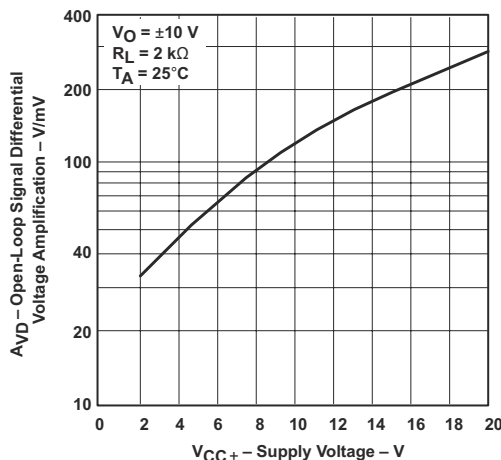


図 5-6. 開ループ信号差動電圧増幅と電源電圧との関係

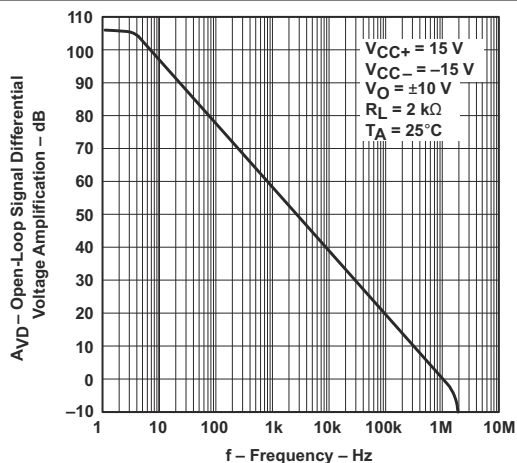


図 5-7. 開ループ大信号差動電圧増幅と周波数との関係

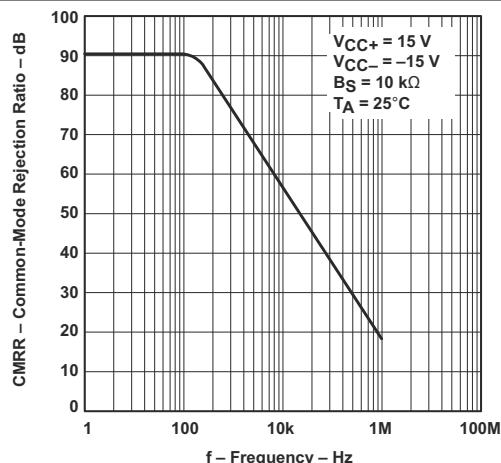


図 5-8. 同相除去比と周波数との関係

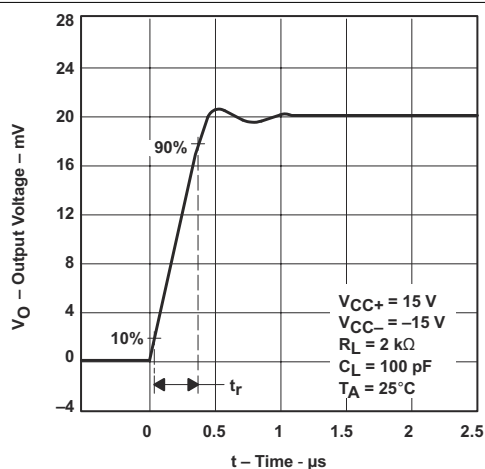


図 5-9. 出力電圧と経過時間との関係

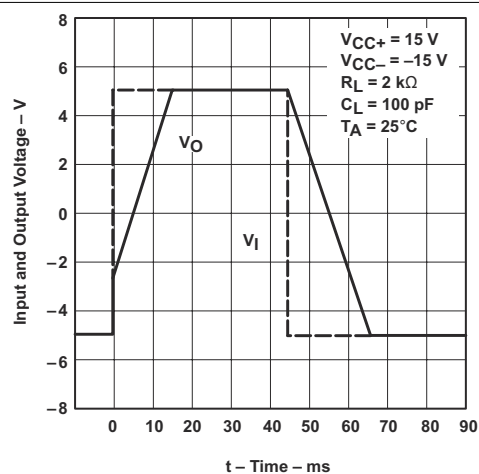


図 5-10. ボルテージフォロワの大信号パルス応答

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7 電源に関する推奨事項

μA741 デバイスは、 $\pm 5 \sim \pm 15V$ で動作することが規定されています。また、多くの仕様は $0^{\circ}C \sim 70^{\circ}C$ で適用されます。[セクション 5.8](#) に、動作電圧または温度によって大きく変動する可能性があるパラメータを示します。

電源ピンの近くに $0.1\mu F$ のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス コンデンサの配置の詳細については、[セクション 8.1](#) を参照してください。

注意

電源電圧が $\pm 18V$ を超えると、デバイスに恒久的な損傷を与える可能性があります ([セクション 5.1](#) を参照)。

8 レイアウト

8.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対して局所的に Low インピーダンスの電源を供給することにより、結合ノイズを低減します。
 - 各電源ピンとグラウンドの間に低 ESR $0.1\mu F$ のセラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグラウンドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンド プレーン専用です。グラウンド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グラウンド電流の流れに注意しながら、デジタル グラウンドとアナログ グラウンドを物理的に分離してください。詳細については、「[回路基板のレイアウト技法](#)」を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離して配置できない場合、影響を受けやすい配線をノイズの多い配線と平行にするのではなく、直角に交差させる方がはるかに良い結果が得られます。
- デカップリング コンデンサをデバイスのできるだけ近くに配置します。[セクション 8.2](#) に示すように、 R_F と R_G を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力パターンはできるだけ短くしてください。入力パターンは回路の中でも最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲に、駆動型の低インピーダンス ガードリングの配置を検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位にある配線からのリーク電流を大幅に低減できます。

8.2 レイアウト例

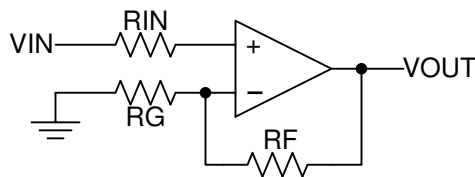


図 8-1. 非反転構成のオペアンプの回路図

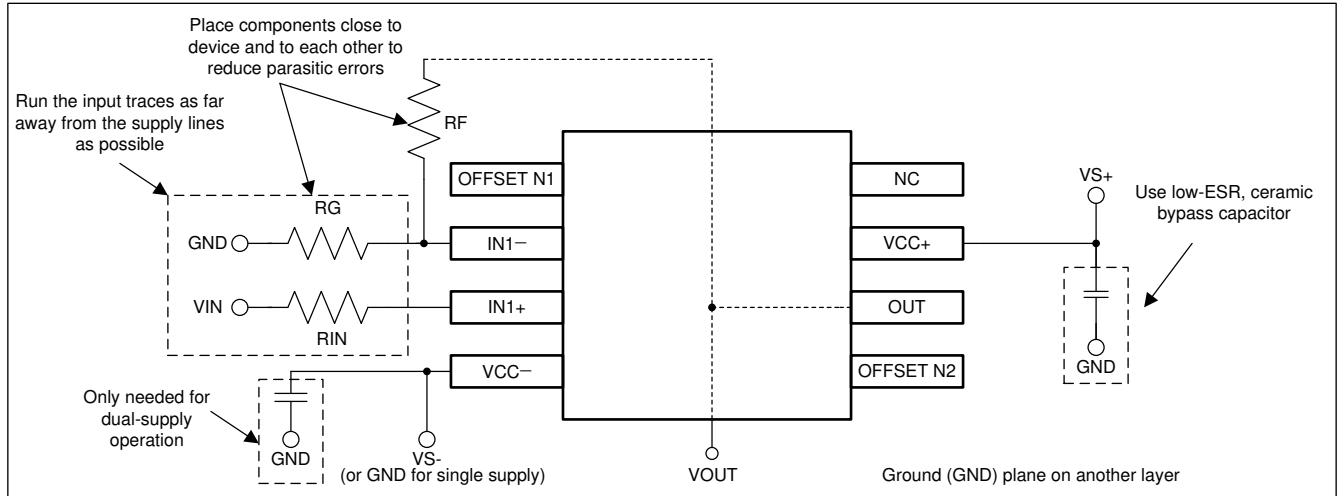


図 8-2. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 商標

すべての商標は、それぞれの所有者に帰属します。

9.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.4 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (January 2018) to Revision H (January 2026)	Page
• オフセット電圧ヌル機能を削除.....	1
• オフセット電圧のヌル機能を削除.....	1
• 概略回路図を削除.....	1
• 機能ブロック図を更新。.....	1
• 「uA741C D、P パッケージ」のピン 1 および 5 を「Offset N1」と「Offset N2」から「内部接続なし (NC)」に変更.....	3
• オフセットヌル (OFFSET N1 と OFFSET N2 のいずれか) と V_{CC-} の間の電圧を削除.....	4
• D の接合部 周囲間の熱抵抗を 129.2°C/W から 138.7°C/W に変更.....	4
• D の接合部からケース (上面) への熱抵抗を 73.6°C/W から 78.7°C/W に変更.....	4
• D の接合部から基板への熱抵抗を 72.4°C/W から 82.2°C/W に変更.....	4
• D の接合部から上面への特性パラメータを 25.9°C/W から 27.8°C/W に変更.....	4
• D の接合部から基板への特性パラメータを 71.7°C/W から 81.4°C/W に変更.....	4
• 15V (標準値) での μA741C の入力オフセット電圧を 1mV から 0.3mV に変更.....	5
• 15V (標準値) での μA741C の入力オフセット電流を 20nA から 0.005nA に変更.....	5
• 15V (標準値) での μA741C の入力バイアス電流を 80nA から 0.01nA に変更.....	5
• 15V (標準値) での μA741C の最大ピーク出力電圧スイングの $R_L = 10\text{k}\Omega$ での値を $\pm 14\text{V}$ から $\pm 14.95\text{V}$ に変更.....	5
• 15V (標準値) での μA741C の入力抵抗を $2\text{M}\Omega$ から $540\text{G}\Omega$ に変更.....	5
• 15V (標準値) での μA741C の出力抵抗を 75Ω から 575Ω に変更.....	5
• 15V (標準値) での μA741C の入力容量を 1.4pF から 3pF に変更.....	5
• 15V (標準値) での μA741C の短絡出力電流を $\pm 25\text{mA}$ から $\pm 80\text{mA}$ に変更.....	5
• 15V (標準値) での μA741C の 25°C での電源電流を 1.7mA から 0.13mA に変更.....	5
• μA741C の電気的特性の「全消費電力」セクションを削除.....	5
• 15V (標準値) での μA741Y の入力オフセット電圧を 1mV から 0.3mV に変更.....	6
• オフセット電圧の調整範囲を削除.....	6
• 15V (標準値) での μA741Y の入力オフセット電流を 20nA から 0.005nA に変更.....	6
• 15V (標準値) での μA741Y の入力バイアス電流を 80nA から 0.01nA に変更.....	6
• 15V (標準値) での μA741Y の最大ピーク出力電圧スイングの $R_L = 10\text{k}\Omega$ での値を $\pm 14\text{V}$ から $\pm 14.95\text{V}$ に変更.....	6
• 15V (標準値) での μA741Y の最大ピーク出力電圧スイングの $R_L = 2\text{k}\Omega$ での値を $\pm 13\text{V}$ から $\pm 14.8\text{V}$ に変更.....	6
• 15V (標準値) での μA741Y の入力抵抗を $2\text{M}\Omega$ から $540\text{G}\Omega$ に変更.....	6
• 15V (標準値) での μA741Y の出力抵抗を 75Ω から 575Ω に変更.....	6
• 15V (標準値) での μA741Y の入力容量を 1.4pF から 3pF に変更.....	6
• 15V (標準値) での μA741Y の短絡出力電流を $\pm 25\text{mA}$ から $\pm 80\text{mA}$ に変更.....	6
• 15V (標準値) での μA741Y の 25°C での電源電流を 1.7mA から 0.13mA に変更.....	6
• μA741Y の電気的特性の「全消費電力」セクションを削除.....	6

Changes from Revision F (May 2017) to Revision G (January 2018)	Page
• 「絶対最大定格」表における電源電圧の単位を「 $^{\circ}\text{C}$ 」から「V」に変更	4

Changes from Revision D (February 2014) to Revision E (January 2015)	Page
• 「アプリケーション」セクション、「製品情報」表、「端子機能」表、「ESD 定格」表、「熱に関する情報」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクシ	

ン、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• 「代表的特性」を「仕様」セクションに移動。.....	7

Changes from Revision E (January 2015) to Revision F (May 2017)	Page
• 最新のドキュメントおよび翻訳基準に合わせて、データシートのテキストを更新.....	1
• 「説明」セクションから、 μ A741M デバイス (生産中止パッケージ) に関するテキストを削除	1
• 「製品情報」表に μ A741CD、 μ A741CP、 μ A741CPS デバイスを追加	1
• 「製品情報」表から μ A741x デバイスを削除	1
• 「ピン構成および機能」セクションのピン配置図とピン機能表を更新	3
• 「ピン構成および機能」セクションから μ A741M のピン配置図に関する情報を削除	3
• 「絶対最大定格」表に動作時の接合部温度 (T_J) とその値を追記	4
• 「絶対最大定格」表から μ A741M に関するテキストを削除	4
• 「推奨動作条件」表から μ A741M デバイスに関するテキストを削除	4
• 「消費電力定格」表を削除	4
• 「熱に関する情報」表と値を追加	4
• 「スイッチング特性」表から μ A741M を削除	6
• 図 5-1 の誤字を訂正.....	7
• 図 8-2 のピン 1 と 5 を「NC」から「Offset N1」と「Offset N2」に変更.....	10

Changes from Revision C (January 2014) to Revision D (February 2014)	Page
• 「代表的特性」グラフを修正し、余分な行を削除。.....	7

Changes from Revision B (September 2000) to Revision C (January 2014)	Page
• 新しい テキサス・インスツルメンツのデータシート フォーマットにドキュメントを更新 - 仕様変更なし。.....	1
• 「注文手続き情報」表を削除。.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UA741CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	UA741C
UA741CDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UA741C
UA741CDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UA741C
UA741CP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UA741CP
UA741CP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UA741CP
UA741CPE4	Active	Production	PDIP (P) 8	50 TUBE	-	Call TI	Call TI	0 to 70	
UA741CPSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	U741
UA741CPSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	U741
UA741CPSRE4	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	U741

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UA741CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UA741CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UA741CDR	SOIC	D	8	2500	353.0	353.0	32.0
UA741CPSR	SO	PS	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
UA741CP	P	PDIP	8	50	506	13.97	11230	4.32
UA741CP.A	P	PDIP	8	50	506	13.97	11230	4.32

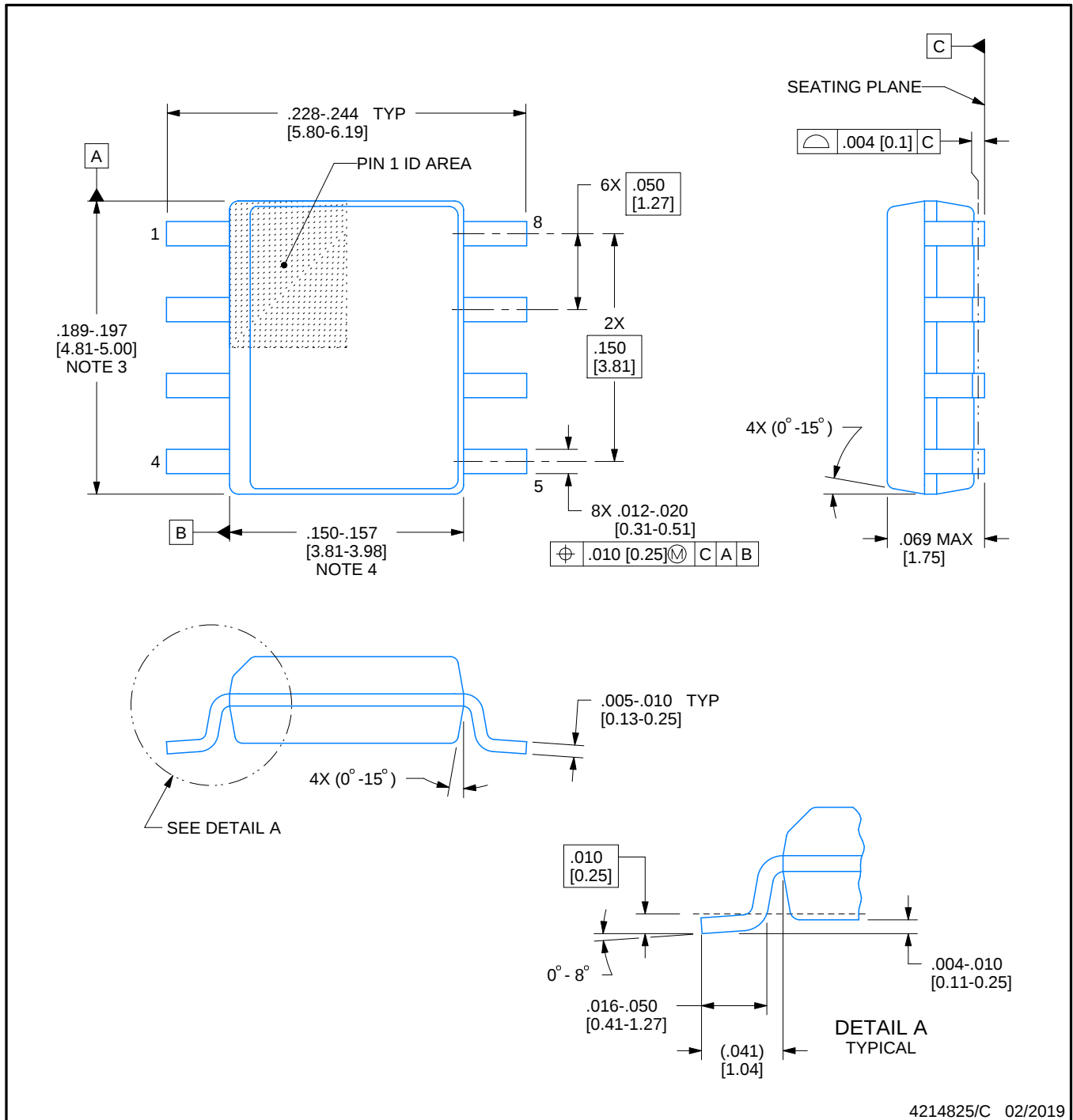


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

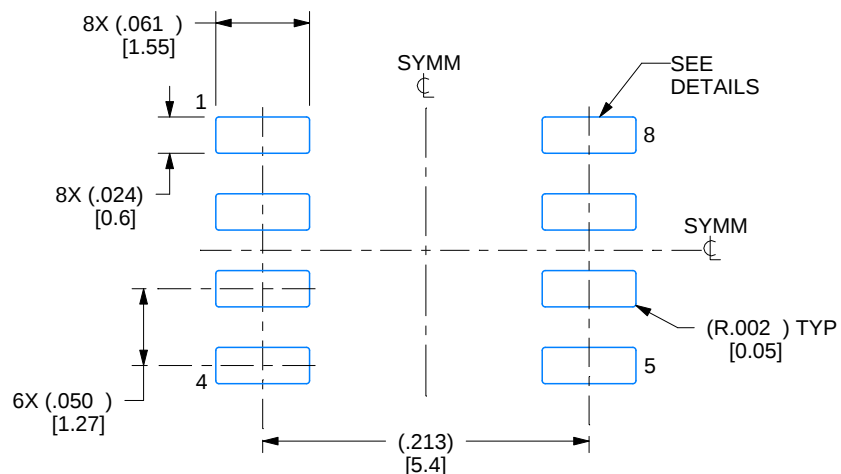
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

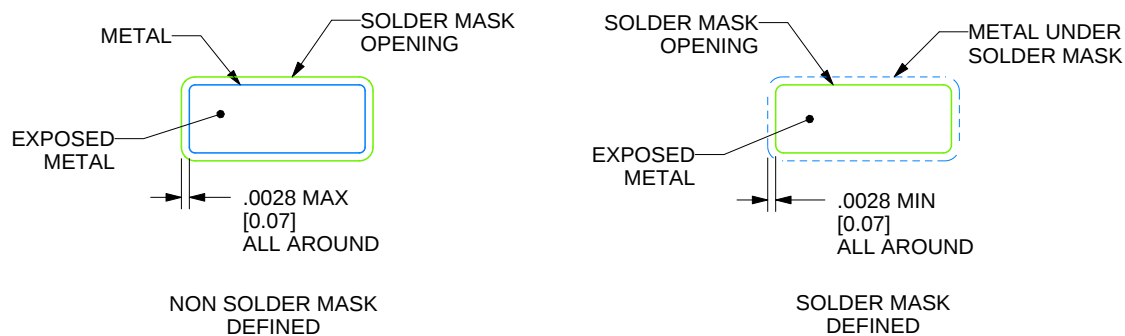
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

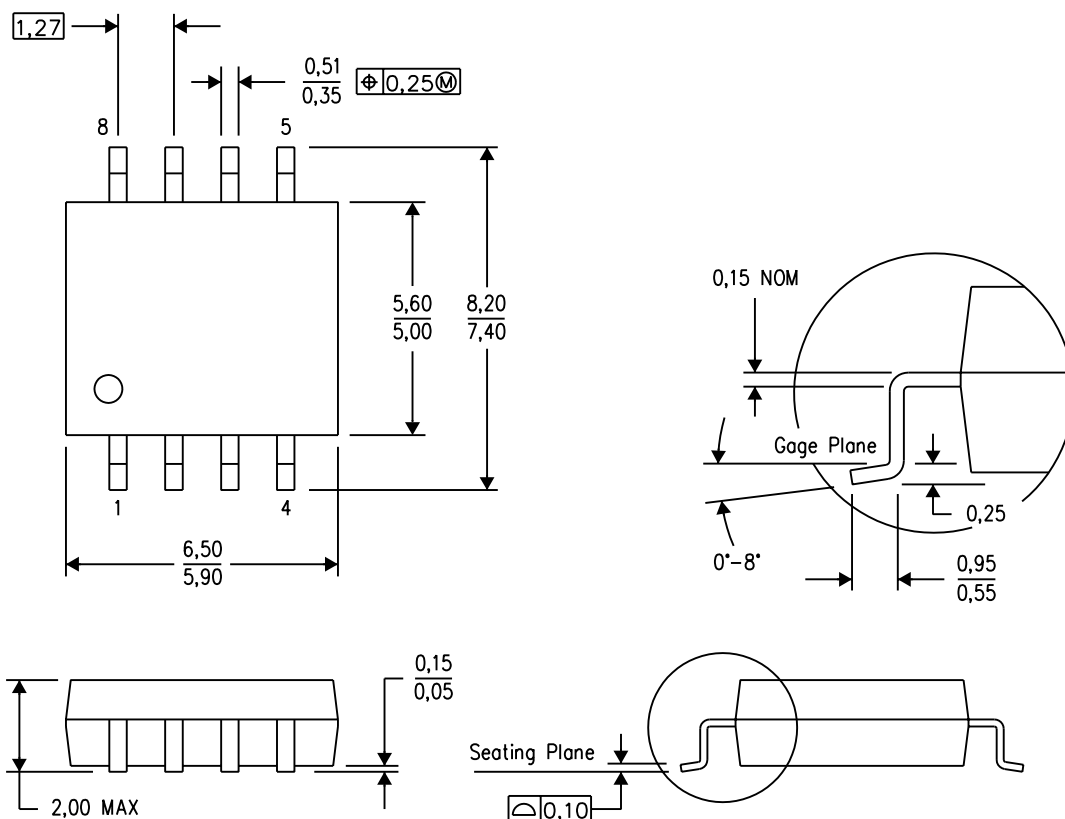
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

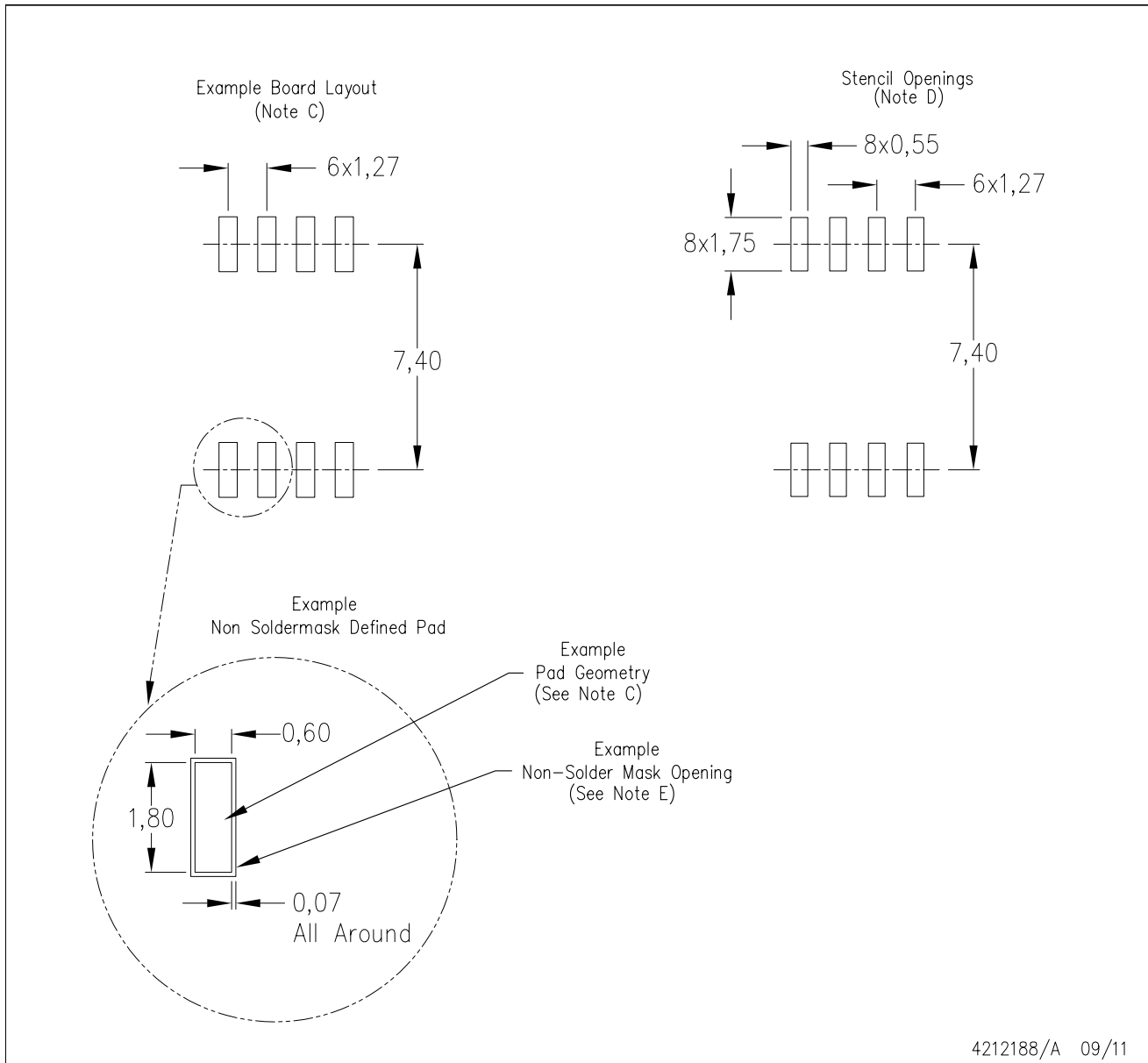


4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

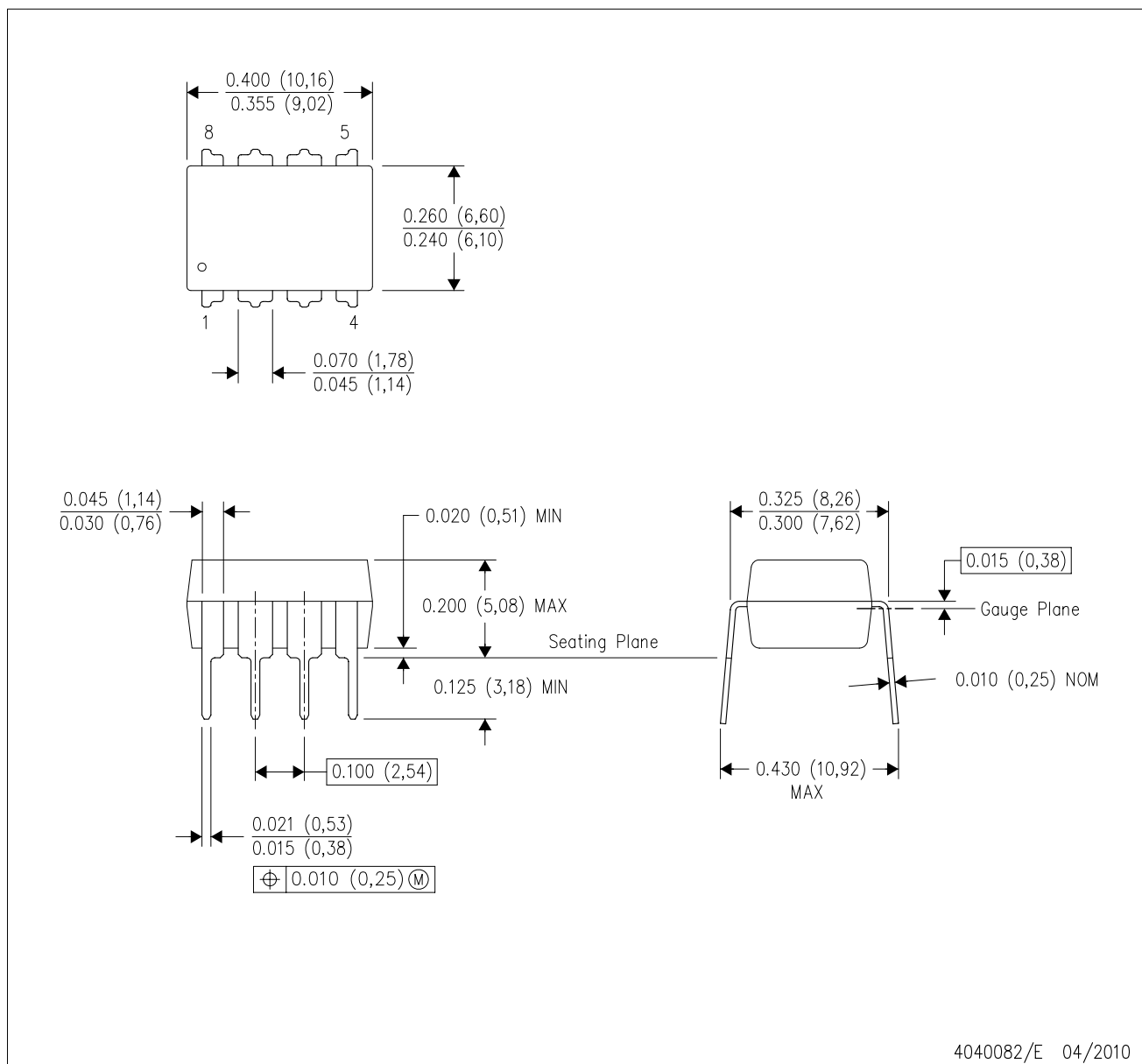
PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月