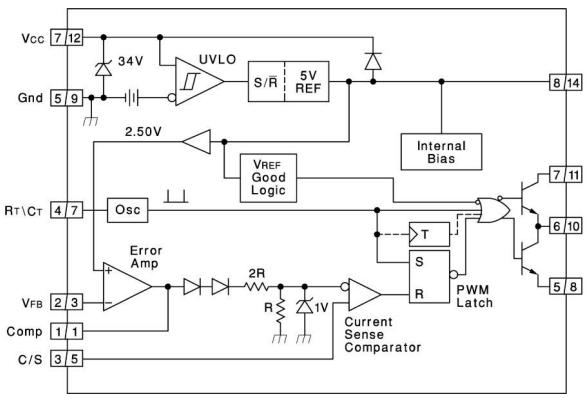
UC2842AQ、UC2843AQ、UC2844AQ、UC2845AQ 電流モード PWM コントローラ

1 特長

- 拡張温度範囲：-40℃～125℃
- オフラインおよび DC-DC コンバータ用に最適化
- 低いスタートアップ電流 (0.5mA 未満)
- トリムされた発振器放電電流
- 自動的なフィードフォワード補償
- パルス単位の電流制限
- 拡張された負荷応答特性
- ヒステリシス付きの低電圧誤動作防止
- 二重パルスの抑制
- 大電流のトーテムポール出力
- 内部トリムされたバンドギャップ リファレンス
- 500kHz 動作
- 低 r_o のエラー アンプ

2 アプリケーション

- スイッチ モード電源 (SMPS)
- DC/DC コンバータ
- パワー モジュール
- 産業用 PSU
- バッテリ駆動 PSU



機能図

3 概要

UC2842A/3A/4A/5A 制御 IC ファミリは、UC2842/3/4/5 ファミリのピン互換の改良版です。電流モードのスイッチモード電源の制御に必要な機能を備えたこのファミリは、次のような改良された機能を備えています。スタートアップ電流は 0.5mA 未満に設計されています。発振器放電は 8.3mA に調整されます。低電圧誤動作防止時には、5V 以上の V_{CC} に対して出力段は 1.2V 未満で最低 10mA をシンクできます。

このファミリの製品の相違点を以下の表に示します。

パッケージ情報

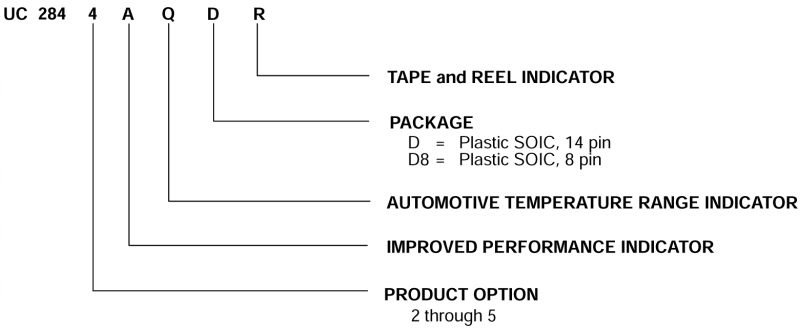
部品番号	パッケージ (1)	パッケージ サイズ(2)
UC2842A、UC2843A、UC2844A、UC2845A	D (SOIC、8)	4.90mm × 6.00 mm
	D (SOIC、14)	8.65mm × 6.00 mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号 (1)	UVLO オン	UVLO オフ	最大デューティ サイクル
UC2842A	16 V	10 V	100% 未満
UC2843A	8.5 V	7.9 V	100% 未満
UC2844A	16 V	10 V	50% 未満
UC2845A	8.5 V	7.9 V	50% 未満

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



注文情報

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 電気的特性 ... 6
5.4 代表的特性 ... 7
6 パラメータ測定情報 ... 8
7 詳細説明 ... 10
7.1 機能ブロック図 ... 10
8 アプリケーションと実装 ... 11
8.1 アプリケーション情報 ... 11
9 デバイスおよびドキュメントのサポート ... 13
9.1 ドキュメントの更新通知を受け取る方法 ... 13
9.2 サポート・リソース ... 13
9.3 商標 ... 13
9.4 静電気放電に関する注意事項 ... 13
9.5 用語集 ... 13
10 改訂履歴 ... 13
11 メカニカル、パッケージ、および注文情報 ... 13

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

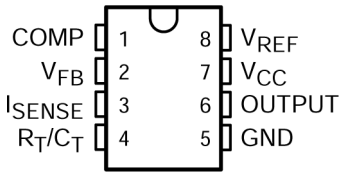


図 4-1. D 8 ピン パッケージ (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
COMP	1	O	低インピーダンスの 1MHz 内部エラー アンプを出力します。このアンプは、ピーク電流制限または PWM コンパレータへの入力でもあり、開ループ ゲイン (AVOL) は 90dB です。このピンは最大 6mA をシンクでき、内部的に電流が制限されていません。
V_{FB}	2	I	エラー アンプへの入力。パワー コンバータの電圧帰還ループを制御して安定性を確保するために使用できます。
I_{SENSE}	3	I	本コントローラのピーク電流制限機能 (PWM コンパレータ) の入力。電流検出抵抗と組み合わせて使用する場合、エラー アンプの出力電圧によって、電源システムのサイクル単位のピーク電流制限が制御されます。最大ピーク電流検出信号は、内部で 1V にクランプされます。「機能ブロック図」を参照してください。
R_T/C_T	4	I	外部タイミング抵抗 (RT) とタイミング コンデンサ (CT) を使用してプログラムされる。内部発振器への入力。これらのタイミング部品の適切な選択については、「発振器」を参照してください。470pF～4.7nF の容量値を使用することをお勧めします。また、タイミング抵抗には 5kΩ～100kΩ の値を選択することをお勧めします。
GND	5	GND	コントローラ信号グランド。
出力	6	O	1A トーテムポール ゲートドライバの出力。このピンは、最大 1A のゲートドライバ電流をシンクおよびソースできます。ゲートドライバ電流を制限するには、ゲートドライバ抵抗を使用する必要があります。
V_{CC}	7	I	デバイスに電力を供給するアナログ コントローラ バイアス入力。合計 VCC 電流は、静止 VCC 電流と平均 OUTPUT 電流の和です。スイッチング周波数と MOSFET ゲート電荷 Qg が判明していれば、平均 OUTPUT 電流は次の式で計算できます。 IOUTPUT = Qg × fSW このピンには、最小のパターン長でグランドに直接接続されたバイパス コンデンサ (通常 0.1µF) が必要です。VCC にも、設計で使用するメイン スイッチング FET のゲート容量の 10 倍以上のバイパス コンデンサを追加する必要があります。
V_{REF}	8	O	ゲートドライバへのバイアス入力。このピンには、設計で使用するメイン スイッチング FET のゲート容量の 10 倍より大きいバイアス コンデンサが必要です。

Copyright © 2024 Texas Instruments Incorporated

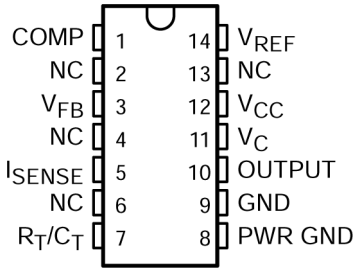


図 4-2. D 14 ピン パッケージ (上面図)

表 4-2. ピンの機能

ピン		種類 (1)	説明
名称	番号		
COMP	1	I/O	エラー アンプ補償ピン
NC	2	-	接続しない
VFB	3	I	エラー アンプ入力
NC	4	-	接続しない
ISENSE	5	I	電流検出コンパレータ入力
NC	6	-	接続しない
RT/CT	7	I/O	発振器の RC 入力
PWR GND	8	GND	出力 PWM のグランド端子
GND	9	GND	デバイス電源のグランド端子
出力	10	O	PWM 出力
V_S	11	-	出力 PWM の正電圧電源
V_{CC}	12	-	デバイスの正電源電圧
NC	13	-	接続しない
V_{REF}	14	O	オシレータの電圧リファレンス

(1) I = 入力、O = 出力、I/O = 入出力、GND = グランド。

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

	最小値	最大値	単位
V_{CC} 電圧 (低インピーダンスのソース)		30	V
V_{CC} 電圧 (I_{CC} mA)	自己制限		
出力電流 I_O		±1	A
出力エネルギー (容量性負荷)		5	µJ
アナログ入力 (ピン 3、5)	-0.3	6.3	V
エラー アンプの出力シンク電流		10	mA
T_A < +25℃での消費電力 (D パッケージ)		1	W
パッケージの熱インピーダンス:D (8 ピン) パッケージの θ_{JA} ((3) を参照、標準値):	117.4		℃/W
保管温度範囲、T_{stg}	-65	150	℃
ケースから 1.6mm (1/16 インチ) 離れた場所の半田付け (10 秒間) 時リード温度		300	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 特に記述のない限り、電圧値はグランドを基準としており、電流は、指定されたピンに流れ込む方向が正、そのピンから流れ出る方向が負です。
(3) 長期にわたる高温保存または最大推奨動作条件での長時間使用は、デバイスの寿命を縮める可能性があります。強化プラスチック パッケージの詳細については、http://www.ti.com/ep_quality を参照してください。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2024 Texas Instruments Incorporated

5.3 電気的特性

T_A = -40℃～125℃、V_{CC} = 15V ([1])、R_T = 10kΩ、C_T = 3.3nF、T_A = T_J (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
リファレンス部					
出力電圧	T_J = 25℃、I_O = 1mA	4.95	5.0	5.05	V
ライン レギュレーション電圧	V_{IN} = 12 V→25 V		6	20	mV
負荷レギュレーション電圧	I_O = 1mA～20mA		6	25	mV
温度安定性	注 2 および 3 を参照		0.2	0.4	mV/℃
総出力変動電圧	ライン、負荷、温度	4.9		5.1	V
出力ノイズ電圧	f = 10Hz～10kHz、[2]T_J = 25℃		50		μV
長期的安定性	1000 時間、[2]T_A = 125℃		5	25	mV
出力短絡電流		-30	-100	-180	mA
発振器セクション					
初期精度	[4] の T_J = 25℃を参照	47	52	57	kHz
電圧安定性	V_{CC} = 12V～25V		0.2	1	%
温度安定性	T_A = 最小値～最大値、[2]		5		%
振幅 (ピークツーピーク)	V (ピン 7)、[2]		1.7		V
放電電流	T_J = 25℃	7.8	8.3	8.8	
	V (ピン 7) = 2V、[3] T_J = 全範囲	7.5		8.8	mA
エラー アンプ部					
入力電圧	COMP = 2.5 V	2.45	2.5	2.55	V
入力バイアス電流			-0.3	-1	μA
開ループ電圧ゲイン (A_{VOL})	V_O = 2V～4V	65	90		dB
ユニティ ゲイン帯域幅	T_J = 25℃[2]	0.7	1		MHz
PSRR	V_{CC} = 12V～25V	60	70		dB
出力シンク電流	FB = 2.7V、COMP = 1.1V	2	6		mA
出力ソース電流	FB = 2.3V、COMP = 5V	-0.5	-0.8		mA
VOUT が High	FB = 2.3V、R_L = 15kΩ を GND に接続	5	6		V
VOUT が Low	FB = 2.7V、R_L = 15kΩ を V_{REF} に接続		0.7	1.1	V
電流検出部					
ゲイン	[3] および [4]	2.85	3	3.15	V/V
最大入力信号	COMP = 5V、[3]	0.9	1	1.1	V
PSRR	V_{CC} = 12V～25V、[3]		70		dB
入力バイアス電流			-2	-10	μA
出力の遅延	I_{SENSE} = 0V～2V、[2]		150	300	ns
出力部 (OUT)					
Low レベル出力電圧	I_{OUT} = 20mA		0.1	0.4	V
	I_{OUT} = 200 mA		1.5	2.2	
High レベル出力電圧	I_{OUT} = -20mA	13	13.5		V
	I_{OUT} = -200 mA	12	13.5		
立ち上がり時間	C_L = 1nF、[2]T_J = 25℃		25	150	ns
立ち下がり時間	C_L = 1nF、[2]T_J = 25℃		25	150	ns
UVLO 飽和	V_{CC} = 5V、I_{OUT} = 10mA		0.7	1.2	V
低電圧誤動作防止部					

Copyright © 2024 Texas Instruments Incorporated

T_A = -40℃～125℃、V_{CC} = 15V ((1))、R_T = 10kΩ、C_T = 3.3nF、T_A = T_J (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
開始スレッショルド	UC2842A、UC2844A	15	16	17	V
	UC2843A、UC2845A	7.8	8.4	9	
ターンオン後の最小動作電圧	UC2842A、UC2844A	9	10	11	V
	UC2843A、UC2845A	7	7.6	8.2	
PWM 部					
最大デューティ サイクル	UC2842A、UC2843A	92	96	100	%
	UC2844A、UC2845A	46	48	50	
最小デューティ サイクル				0	%
総スタンバイ電流					
スタートアップ電流			0.3	0.5	mA
動作電源電流	FB = 0V、SENSE = 0V		11	17	mA
V_{CC} 内部ツェナー電圧	ICC = 25mA	30	39		V

(1) V_{CC} は、開始スレッショルドより高く調整してから、15V に設定します。
(2) 実製品の検査は行っていません。
(3) V_{FB} を 0V にして、ラッチのトリップ ポイントで測定されたパラメータ。
(4) ゲインは$A = \frac{\Delta V_{COMP}}{\Delta V_{SENSE}}$ によって定義されます (0 ≤ VSENSE ≤ 0.8V)。

5.4 代表的特性

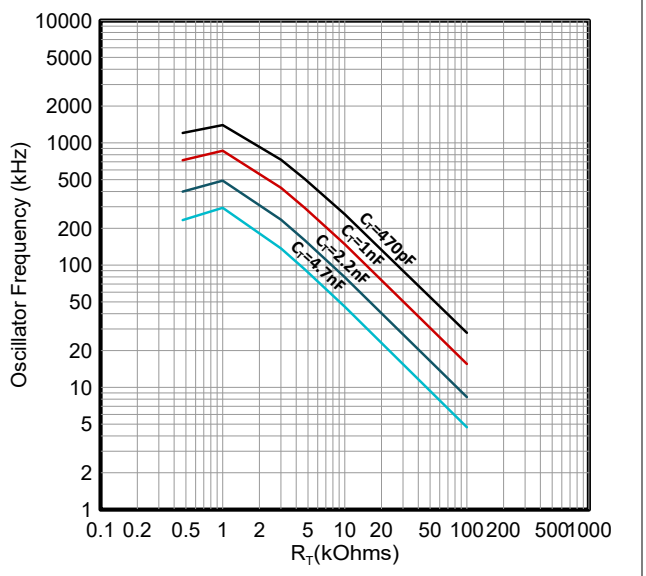


図 5-1. 発振器の周波数とタイミング抵抗との関係

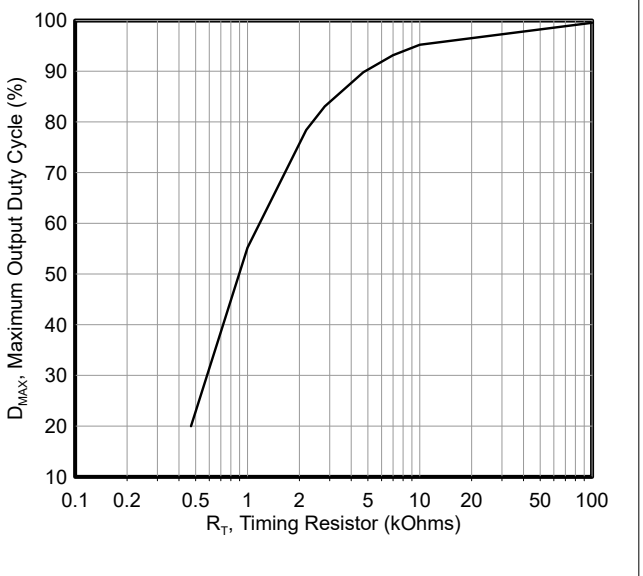


図 5-2. 最大デューティ サイクルとタイミング抵抗との関係

6 パラメータ測定情報

エラー アンプは最大で 0.5mA をソース、2mA をシンクできます。

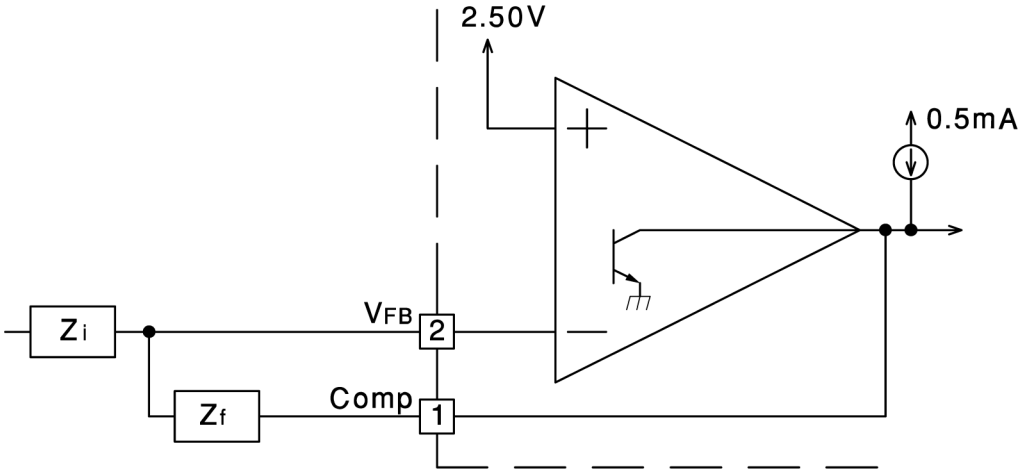


図 6-1. エラー アンプの構成

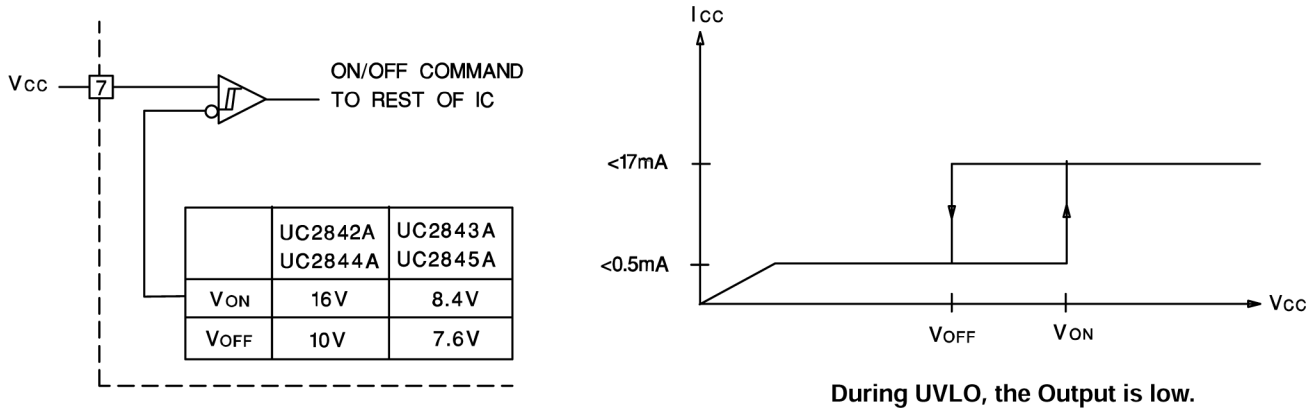
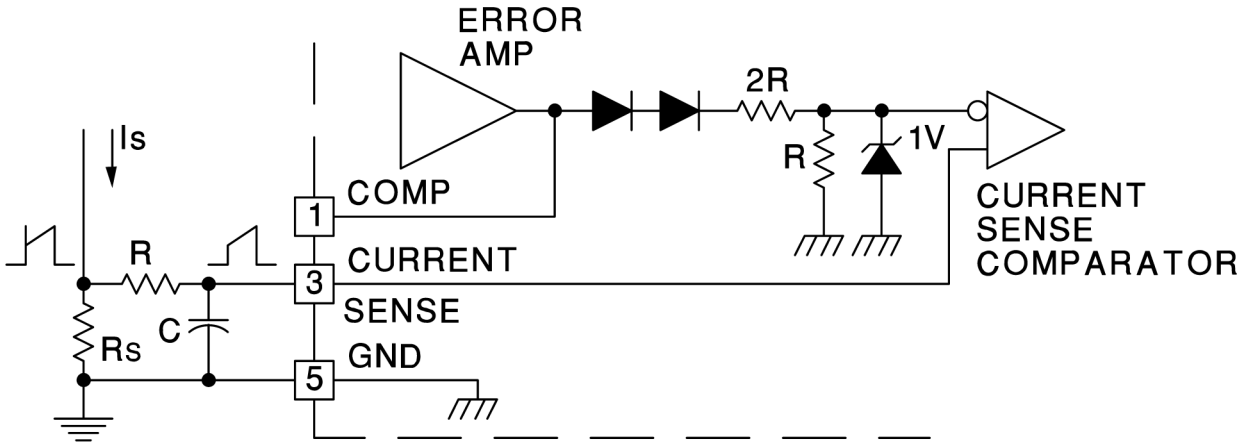


図 6-2. 低電圧誤動作防止

Copyright © 2024 Texas Instruments Incorporated



Peak Current (Is) is Determined By The Formula:

$$Ismax' \frac{1.0V}{RS}$$

A small RC filter may be required to supress switch transients.

図 6-3. 電流検出回路

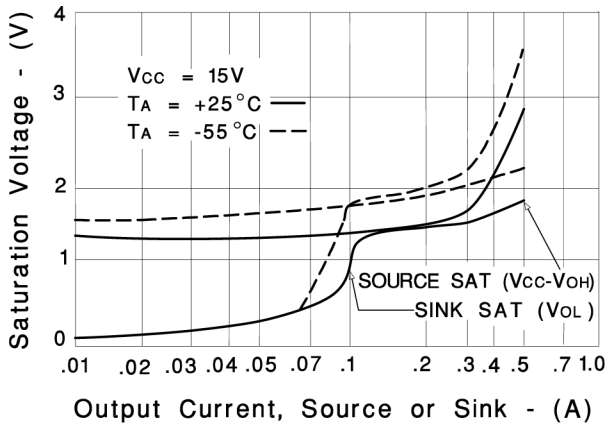


図 6-4. 出力飽和特性

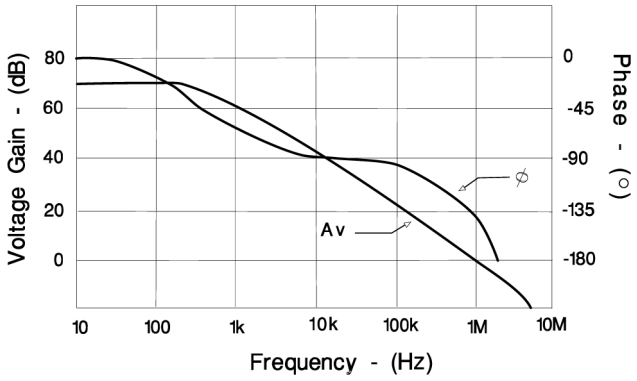
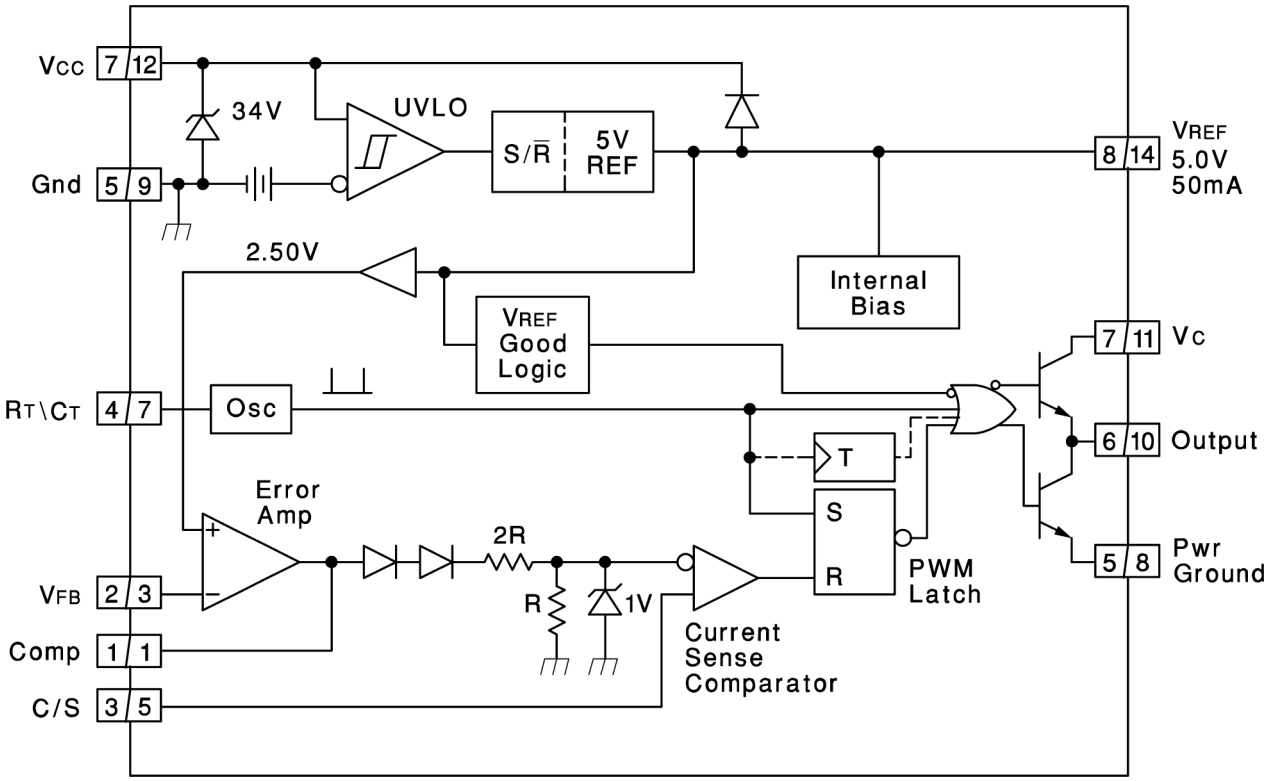


図 6-5. エラー アンプの開ループ周波数応答

7 詳細説明

7.1 機能ブロック図



注

A = DIL-8 のピン番号。B = SO-14 のピン番号。

2844A と 2845A でのみ使用されるフリップ フロップをトグルします。

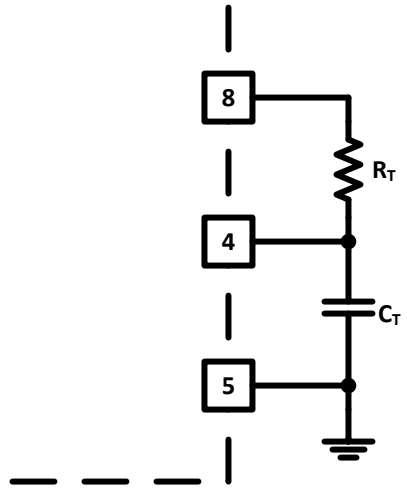
Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報



$$\text{For } R_T > 5\text{ k} \quad f \approx \frac{1.72}{R_T \times C_T}$$

図 8-1. 発振器

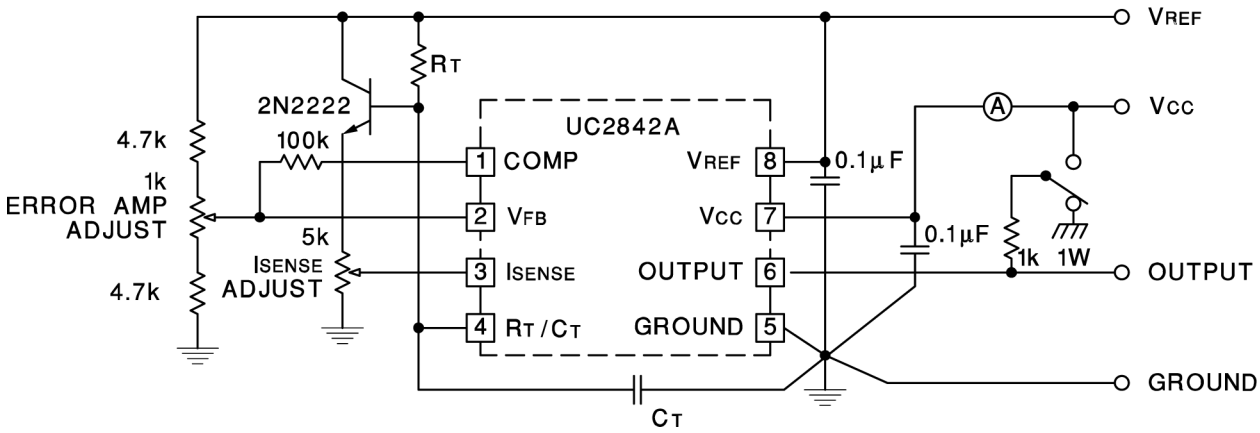


図 8-2. 開ループの実験室用テスト装置

容量性負荷に起因して大きなピーク電流が発生する場合、接地方法に注意を払う必要があります。タイミング コンデンサとバイパス コンデンサは、一点グランドでピン 5 の近くに接続する必要があります。トランジスタと 5k のポテンショメータは、発振器の波形をサンプリングし、ピン 3 に可変のランプを適用するために使われます。

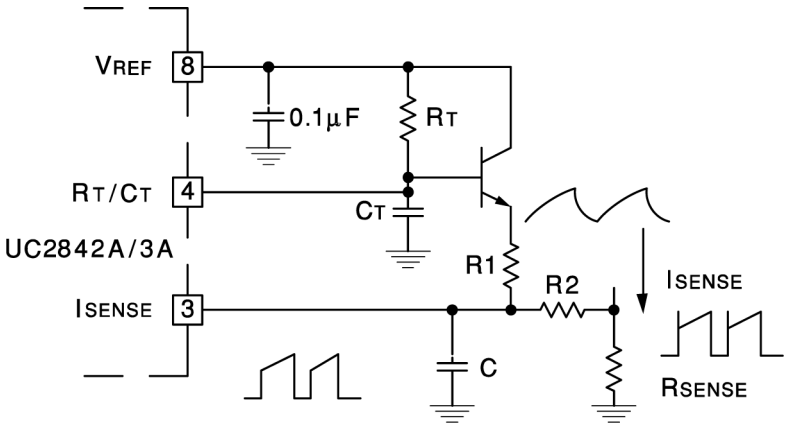


図 8-3. スロープ圧縮

発振器のランプの一部を電流検出信号と抵抗的に加算することで、50% を超えるデューティ サイクルを必要とするコンバータのための勾配補償を行えます。コンデンサ C は R2 とともにフィルタを構成し、立ち上がりエッジのスイッチ スパイクを抑制します。

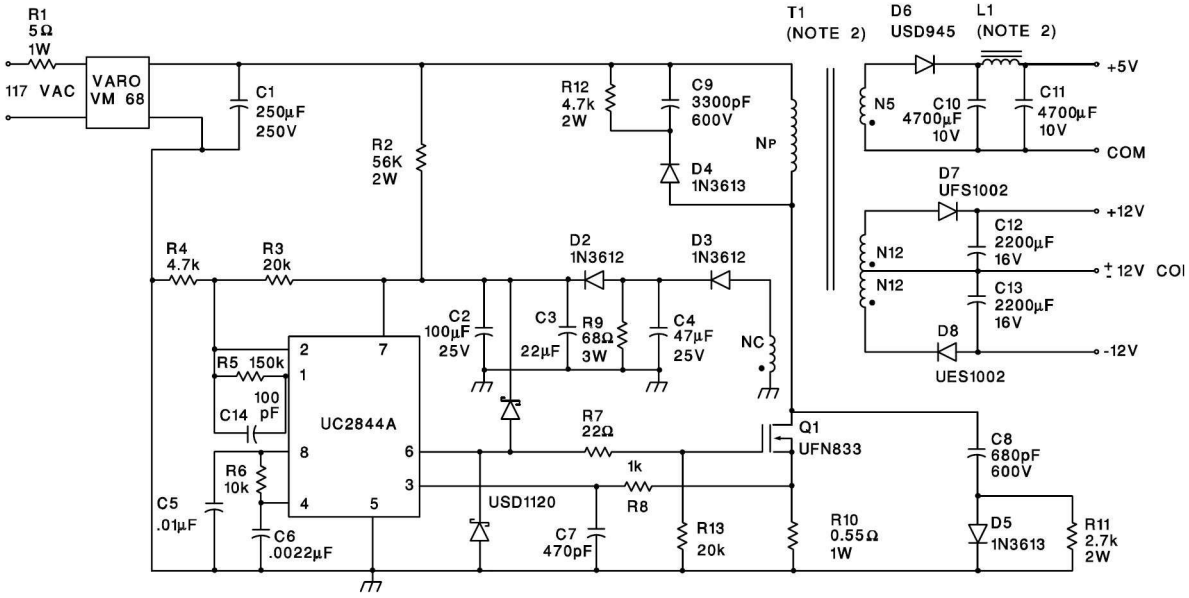


図 8-4. オフライン フライバック レギュレータ

1. 入力電圧:AC 95V～130V (50Hz/60Hz)
2. ライン絶縁耐圧:3750 V
3. スイッチング周波数 40kHz
4. 効率、全負荷:70%
5. 出力電圧:
   a. +5V、±5%、1A～4A 負荷
   b. +12V、±3%、0.1A～0.3A 負荷リップル電圧:100mV P-P 以下
   c. -12V、±3%、0.1A～0.3A 負荷リップル電圧:100mV P-P 以下

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2003) to Revision A (October 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 絶対最大定格の半田付け (10 秒間) 時のリード温度を 260℃から 300℃に変更	5
• 「ESD 定格」表に HBM = ±2000V、CDM = ±1500V を追加	5
• 「電気的特性」表の出力部の立ち上がり / 立ち下がり時間の標準値 を 50ns から 25ns に変更	6
• 「電気的特性」表の PWM 部の UC2842/3A の最大デューティ サイクルの最小値を 94% から 92% に変更	6
• 「電気的特性」表の PWM 部の UC2844/5A の最大デューティ サイクルの最小値を 47% から 46% に変更	6
• 「電気的特性」表の総スタンバイ電流の VCC ツェナー電圧の標準値を 34V から 39V に変更	6
• 「代表的特性」セクションを追加	7
• 「代表的特性」セクションの「周波数と Rt との関係」と「最大デューティ サイクルと Rt との関係」のグラフを更新	7

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて使用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2842AQD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	(2842AQ, UC2842AQ)
UC2842AQD8R	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2842AQ, UC2842AQ)
UC2842AQD8R.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2842AQ, UC2842AQ)
UC2842AQDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2842AQ, UC2842AQ)
UC2842AQDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2842AQ, UC2842AQ)
UC2843AQD8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2843AQ, UC2843AQ)
UC2843AQD8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2843AQ, UC2843AQ)
UC2843AQD8R	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2843AQ, UC2843AQ)
UC2843AQD8R.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2843AQ, UC2843AQ)
UC2843AQDR	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	(2843AQ, UC2843AQ)
UC2844AQD8R	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2844AQ, UC2844AQ)
UC2844AQD8R.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See UC2844AQD8R	(2844AQ, UC2844AQ)
UC2845AQD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	(2845AQ, UC2845AQ)
UC2845AQD8R	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2845AQ, UC2845AQ)
UC2845AQD8R.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2845AQ, UC2845AQ)
UC2845AQDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2845AQ, UC2845AQ)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2845AQDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2845AQ, UC2845AQ)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

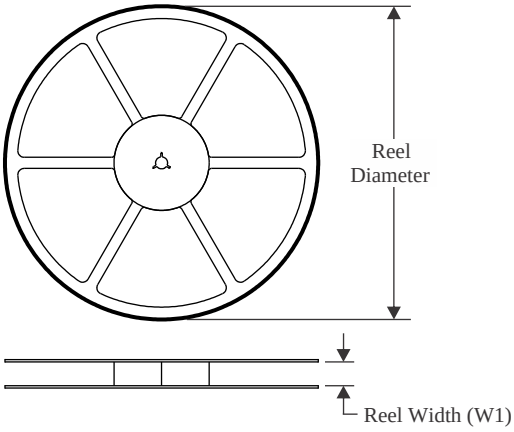
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

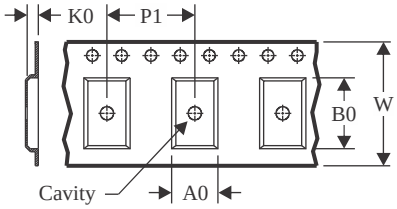
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

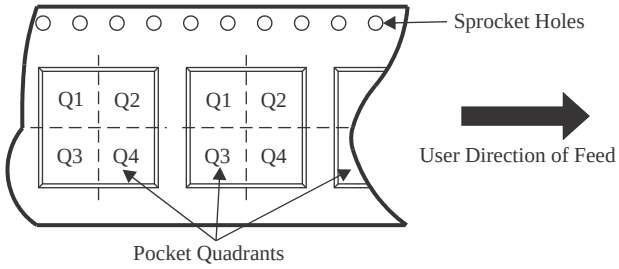


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

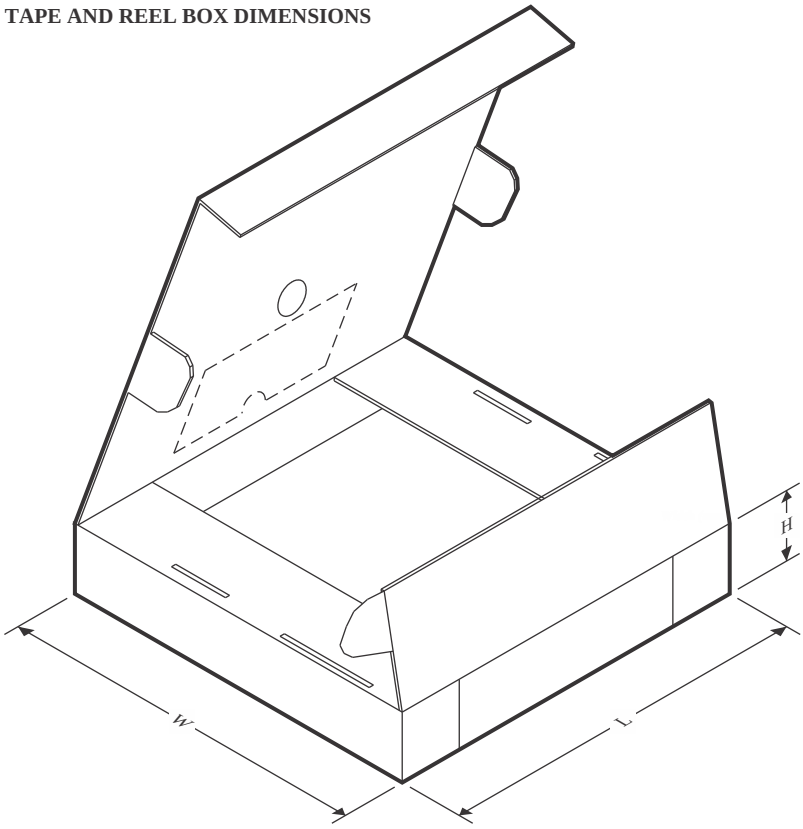
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC2842AQD8R	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842AQD8R	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842AQDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2843AQD8R	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2844AQD8R	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845AQD8R	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845AQDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

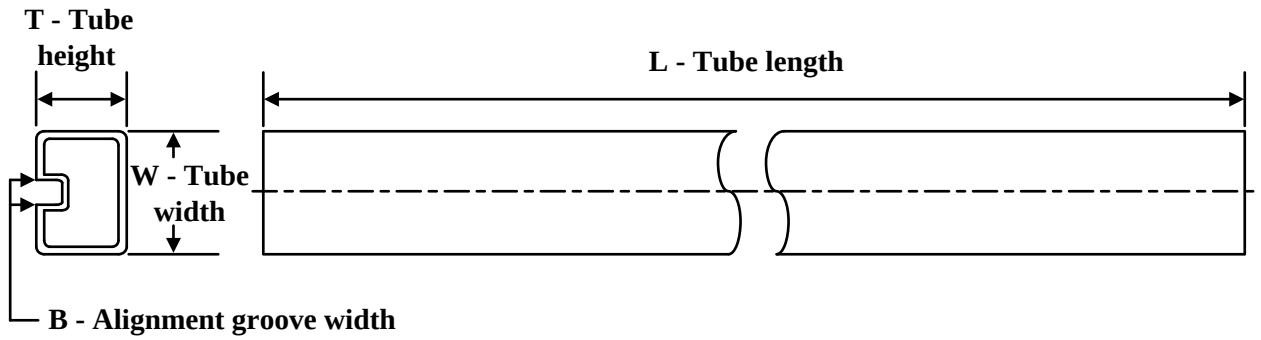
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

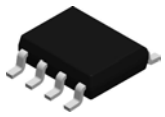
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UC2842AQD8R	SOIC	D	8	2500	353.0	353.0	32.0
UC2842AQD8R	SOIC	D	8	2500	367.0	367.0	35.0
UC2842AQDR	SOIC	D	14	2500	353.0	353.0	32.0
UC2843AQD8R	SOIC	D	8	2500	353.0	353.0	32.0
UC2844AQD8R	SOIC	D	8	2500	353.0	353.0	32.0
UC2845AQD8R	SOIC	D	8	2500	353.0	353.0	32.0
UC2845AQDR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC2843AQD8	D	SOIC	8	75	506.6	8	3940	4.32
UC2843AQD8.A	D	SOIC	8	75	506.6	8	3940	4.32

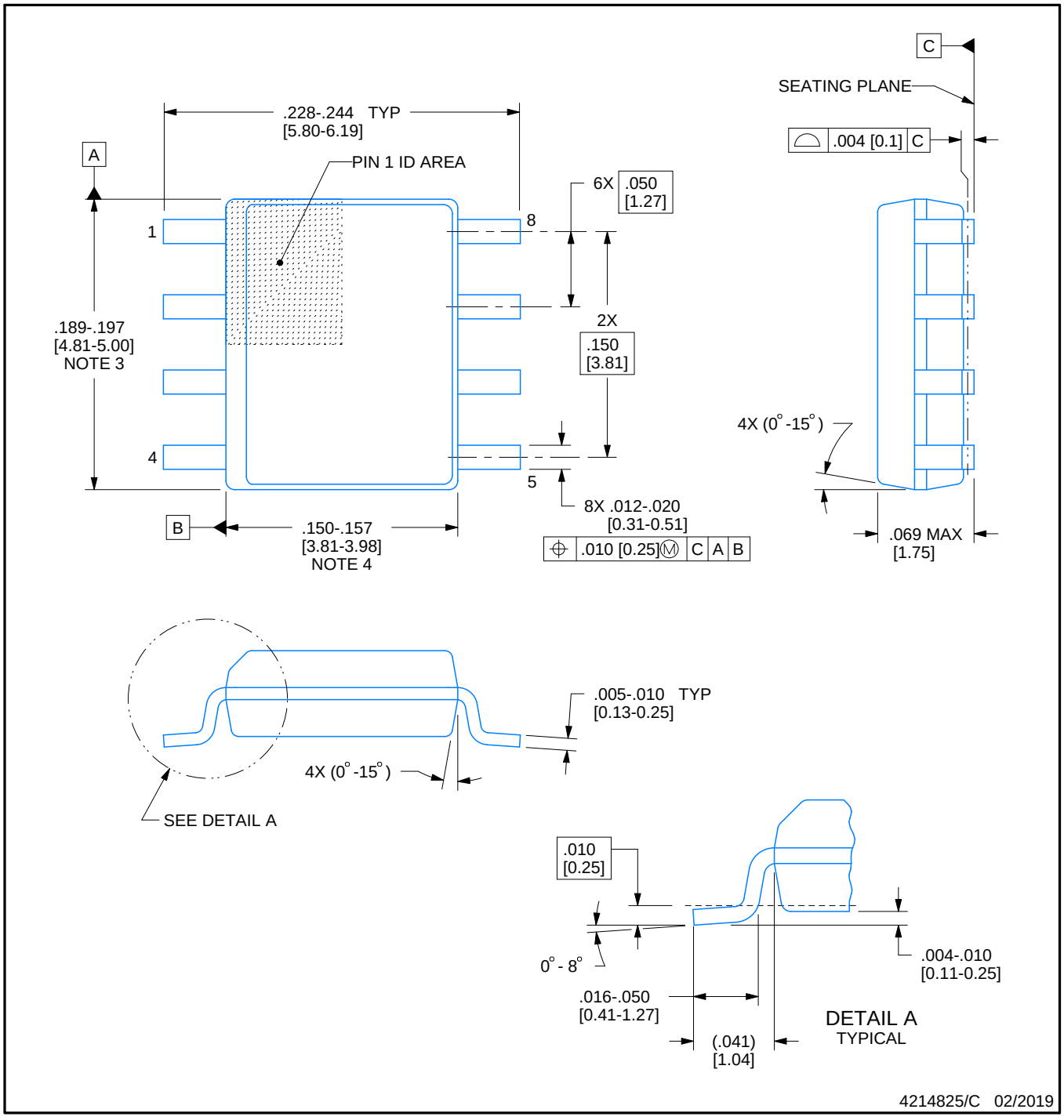


PACKAGE OUTLINE

D0008A

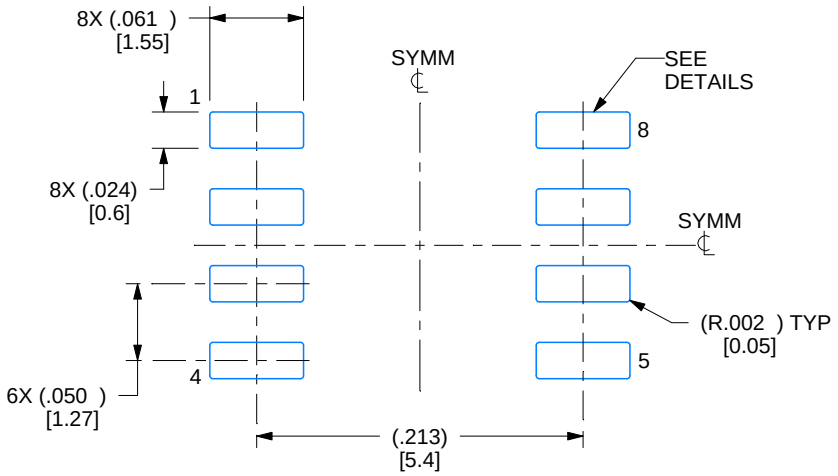
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

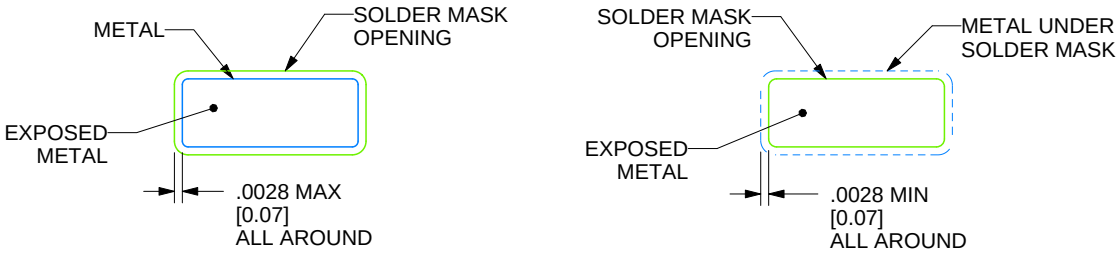


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

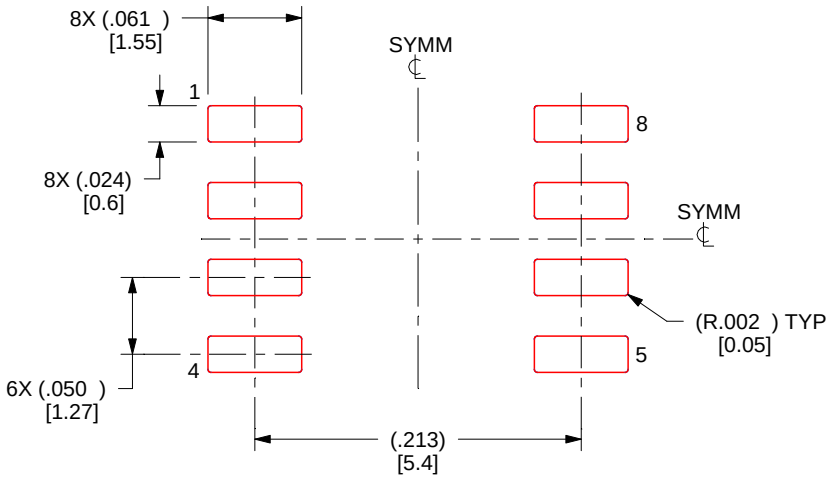
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

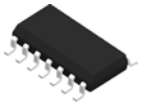


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

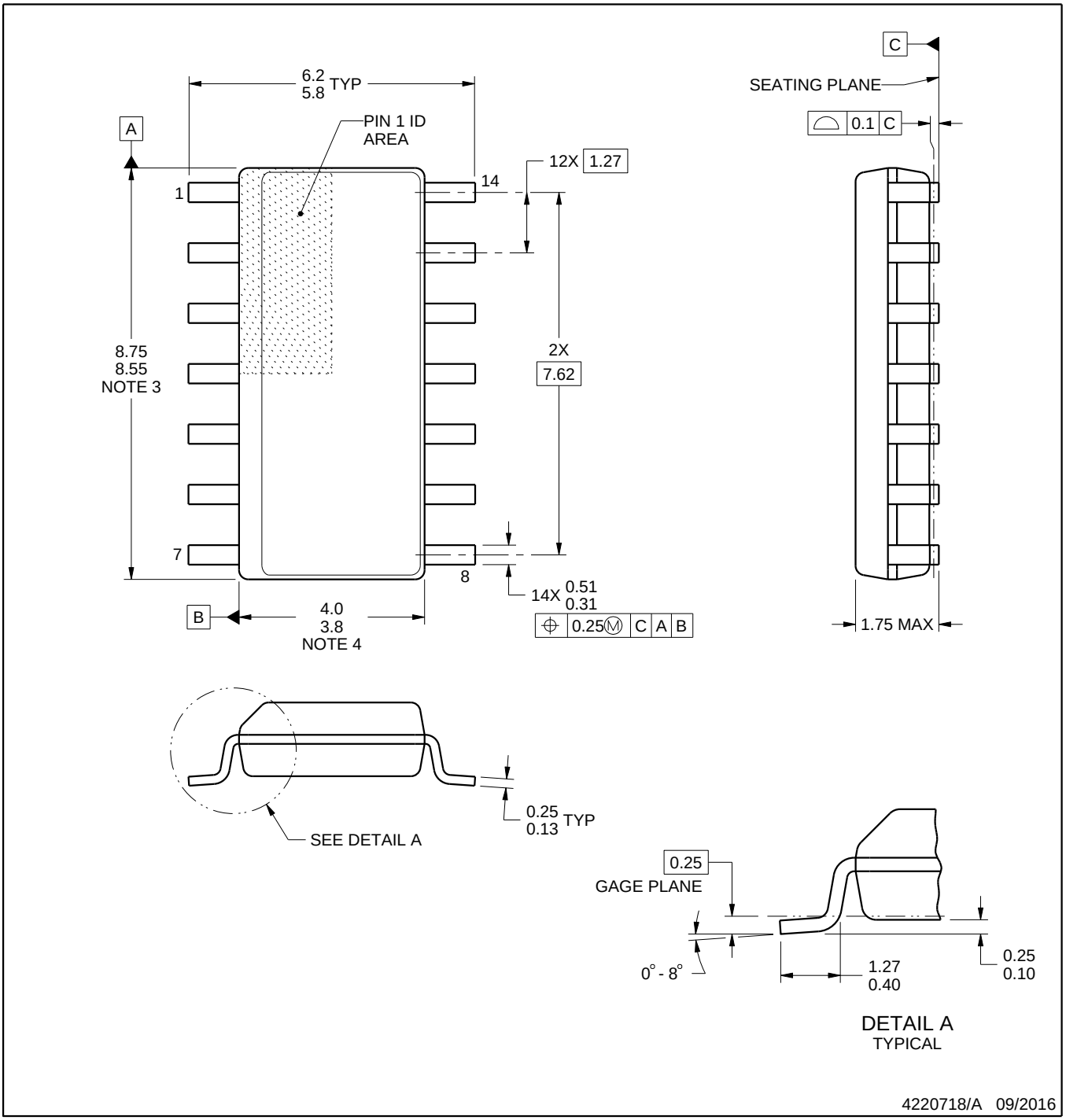


PACKAGE OUTLINE

D0014A

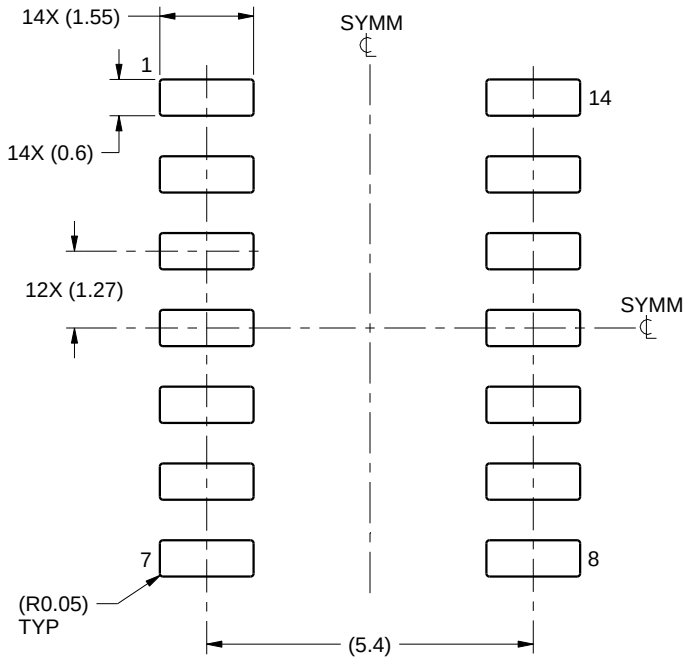
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

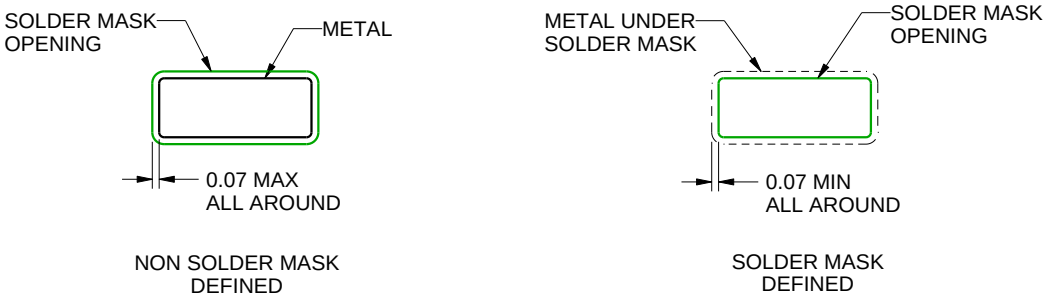


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

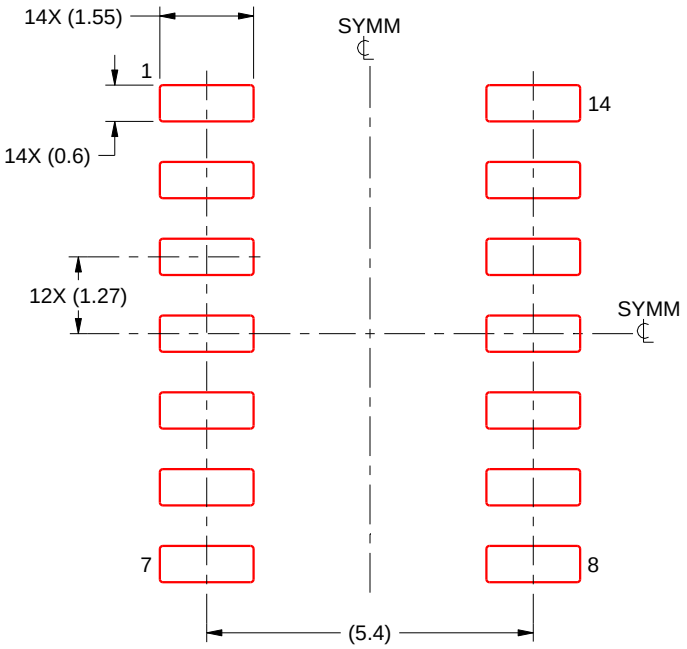
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月