UCx84xA 電流モード PWM コントローラ

1 特長

- オフラインおよび DC/DC コンバータ用に最適化
- 低いスタートアップ電流 (0.5mA 未満)
- トリムされた発振器放電電流
- 自動フィードフォワード補償
- パルス単位の電流制限
- 拡張された負荷応答特性
- ヒステリシス付きの低電圧誤動作防止
- 二重パルスの抑制
- 大電流のトーテムポール出力
- 内部トリム付きのバンドギャップ参照
- 最高 500kHz での動作
- WEBENCH® Power Designer により、UCx84xA を使用するカスタム設計を作成

2 アプリケーション

- スイッチ・モード電源 (SMPS)
- DC/DC コンバータ
- 電源モジュール
- 産業用 PSU
- バッテリ駆動 PSU

3 概要

UCx84xA ファミリの制御デバイスは、UCx84x ファミリとピン互換の強化版です。このファミリのデバイスは、電流モードまたはスイッチ モードの電源を制御するために必要な機能を備えており、多くの機能が改良されています。スタートアップ電流は 0.5mA 未満で、発振器放電が 8.3mA にトリムされ、UVLO 時に出力段は 5V を超える V_{CC} に対して 1.2V 未満で 10mA 以上をシンクできます。

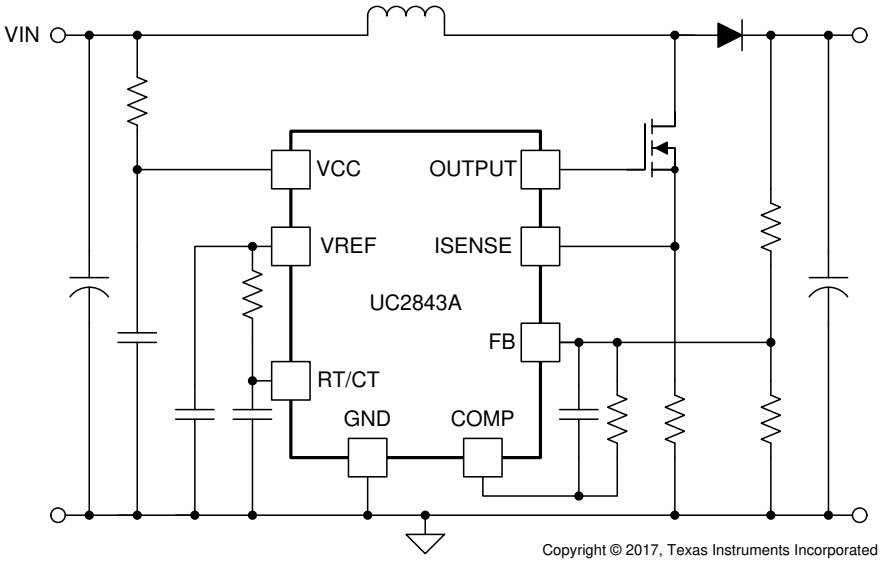
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UC1842A、UC1843A、UC1844A、UC1845A	JG (CDIP、8)	6.67mm × 9.60 mm
	FK (LCCC、20)	8.89mm × 8.89 mm
UC2843A	FN (PLCC、20)	9.90mm × 9.90mm
UC2842A、UC2843A、UC2844A、UC2845A、UC3842A、UC3843A、UC3844A、UC3845A	P (PDIP、8)	9.81mm × 9.43 mm
	D (SOIC、8)	4.90mm × 6.00 mm
	D (SOIC、14)	8.65mm × 6.00 mm
	DW (SOIC、16)	10.30mm × 10.30mm

(1) 詳細については、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

デバイス比較表

デバイス	UVLO オン	UVLO オフ	最大デューティ サイクル
UC1842A	16 V	10 V	100% 未満
UC1843A	8.4 V	7.6 V	100% 未満
UC1844A	16 V	10 V	50% 未満
UC1845A	8.4 V	7.6 V	50% 未満



Copyright © 2017, Texas Instruments Incorporated

アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 6
5.6 代表的特性 ... 8
6 詳細説明 ... 9
6.1 概要 ... 9
6.2 機能ブロック図 ... 9
6.3 機能説明 ... 9
6.4 デバイスの機能モード ... 12
7 アプリケーションと実装 ... 13
7.1 アプリケーション情報 ... 13
7.2 代表的なアプリケーション ... 13
8 電源に関する推奨事項 ... 20
9 レイアウト ... 21
9.1 レイアウトのガイドライン ... 21
9.2 レイアウト例 ... 22
10 デバイスおよびドキュメントのサポート ... 23
10.1 デバイスのサポート ... 23
10.2 ドキュメントのサポート ... 23
10.3 関連リンク ... 24
10.4 ドキュメントの更新通知を受け取る方法 ... 24
10.5 サポート・リソース ... 24
10.6 商標 ... 24
10.7 静電気放電に関する注意事項 ... 24
10.8 用語集 ... 24
11 改訂履歴 ... 24
12 メカニカル、パッケージ、および注文情報 ... 26

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

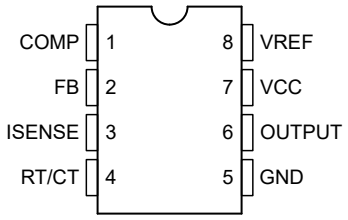


図 4-1. CDIP、PDIP、SOIC パッケージ、8 ピン JG、P、D (上面図)

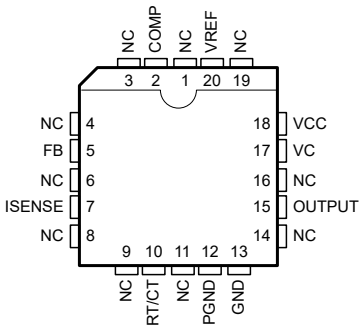


図 4-2. LCCC および PLCC パッケージ、20 ピン FK および FN (上面図)

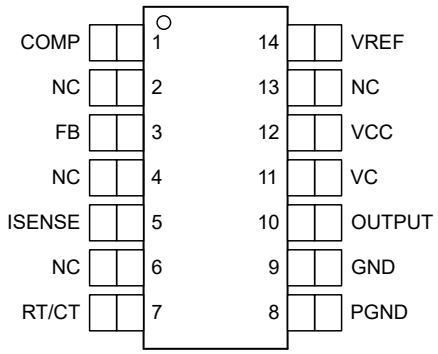


図 4-3. SOIC パッケージ、14 ピン D (上面図)

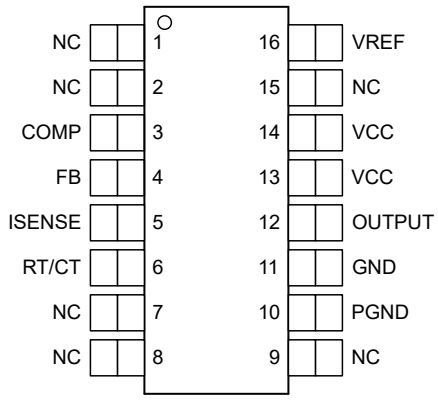


図 4-4. SOIC パッケージ、16 ピン DW (上面図)

Copyright © 2024 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン					種類[1]	説明
名称	番号					
	CDIP (8)、PDIP (8)、SOIC (8)	LCCC (20)、PLCC (20)	SOIC (14)	SOIC (16)		
COMP	1	2	1	3	O	低インピーダンスの 1MHz 内部エラー アンプを出力します。このアンプは、ピーク電流制限または PWM コンパレータへの入力でもあり、開ループ ゲイン (AVOL) は 80dB です。このピンは最大 6mA をシンクでき、内部的に電流が制限されていません。
FB	2	5	3	4	I	エラー アンプへの入力で、パワー コンバータの電圧帰還ループを制御して安定性を確保するために使用できます。
GND	5	13	9	11	—	コントローラの信号グランド。
ISENSE	3	7	5	5	I	UVx84xA コントローラのピーク電流制限、PWM コンパレータへの入力。電流検出抵抗と組み合わせて使用する場合、エラー アンプの出力電圧によって、電源システムのサイクル単位のピーク電流制限が制御されます。最大ピーク電流検出信号は、内部で 1V にクランプされます。セクション 6.2 を参照してください。
出力	6	15	10	12	O	1A トーテムポール ゲートドライバの出力。このピンは、最大 1A のゲートドライバ電流をシンクおよびソースできます。ゲートドライバ電流を制限するには、ゲートドライバ抵抗を使用する必要があります。
PGND	—	12	8	10	—	電源グランドとゲートドライバのリターン。このピンを搭載したデバイスでは、スター グランド手法を使用して、ゲートドライバの電流を信号グランド ピン (GND) から別の方向に転送できます。この手法により、ゲートドライバのリターン電流に起因する PWM コントローラの不安定性を低減できます。
RT/CT	4	10	7	6	I	外部タイミング抵抗 (RT) とタイミング コンデンサ (CT) を使用してプログラムされる。内部発振器への入力。これらのタイミング部品の適切な選択については、セクション 6.3.5 を参照してください。470pF～4.7nF の容量値を使用することをお勧めします。また、タイミング抵抗には 5kΩ～100kΩ の値を選択することをお勧めします。
VC	—	17	11	—	I	ゲートドライバへのバイアス入力。このピンがない PWM コントローラの場合、ゲートドライバは VCC ピンからバイアスされます。このピンには、設計で使用するメイン スイッチング FET のゲート容量の 10 倍より大きいバイアス コンデンサが必要です。
VCC	7	18	12	13、14	I	ゲートドライバへのバイアス入力。このピンには、設計で使用するメイン スイッチング FET のゲート容量の 10 倍より大きいバイアス コンデンサが必要です。
VREF	8	20	14	15	O	PWM コントローラのリファレンス電圧出力。このピンで供給する電力は、通常動作時に 10mA を超えないようにする必要があります。この出力は、約 100mA で短絡保護されています。このリファレンスは内部コンパレータにも使用され、1μF の高周波バイパス コンデンサが必要です。VCC コンデンサも、VREF ピンのコンデンサの 10 倍以上にする必要があります。
NC	—	1、3、4、6、8、9、11、14、16、19	2、4、6、13	1、2、7、8、9、16	—	内部接続なし。

(1) I = 入力、O = 出力

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧 (低インピーダンスのソース)	VCC ピン		30	V
負荷電流、I_{OUT}			±1	A
出力エネルギー (容量性負荷)			5	µJ
アナログ入力		-0.3	6.3	V
最大の負電圧	すべてのピン	-0.3		V
VC と VCC との間の差動電圧	VC ピン	-0.3		V
エラー アンプの出力シンク電流、I_{COMP}			10	mA
T_A ≦ 25℃での消費電力			1	W
リード温度 (半田付け、10 秒)			300	℃
接合部温度、T_J		-55	150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件*でも、*本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	バイアス電源電圧	VCC ピン		11		V
V_{FB}、V_{RC}、V_{VFB}	アナログ・ピンの電圧	FB、ISENSE、RT/CT ピン	-0.1		5	V
V_{OUT}	ゲート・ドライバの出力電圧		-0.1		V_{CC}	V
I_{VCC}	電源バイアス電流				25	mA
I_{VREF}	出力電流	VREF ピン			10	mA
f_{OSC}	発振器の周波数				500	kHz
T_A	動作温度 (空気流あり)	UC184xA	-55		125	℃
		UC284xA	-40		85	
		UC384xA	0		70	

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		UC184xA		UC2843A	UC284xA、UC384xA				単位
		JG (CDIP)	FK (LCCC)	FN (PLCC)	P (PDIP)	D (SOIC)	D (SOIC)	DW (SOIC)	
		8 ピン	20 ピン	20 ピン	8 ピン	8 ピン	14 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	—	—	56.7	74.1	117.4	87.9	73.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	64	36.2	34.6	63.4	51.5	42.2	35	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	92.5	35.4	21.8	50.5	61	44.7	38.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	—	—	10.4	34.6	7.8	8.8	9.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	—	—	21.5	49.2	60.2	44.3	37.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	15.1	4.1	—	—	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。spra953

5.5 電気的特性

特に記述のない限り、これらの仕様は T_A = -55℃～125℃ (UC184xA)、T_A = -40℃～125℃ (UC284xAQ)、T_A = -40℃～85℃ (UC284xA)、T_A = 0℃～70℃ (UC384xA)、T_A = T_J、V_{CC} = 15V(4)、R_T = 10kΩ、C_T = 3.3nF で適用されます。

パラメータ	テスト条件		最小値	標準値	最大値	単位
リファレンス						
出力電圧	T_J = 25℃、I_O = 1mA	UC184xA、UC284xA	4.95	5	5.05	V
		UC384xA	4.9	5	5.1	
ライン レギュレーション	12V ≦ V_{IN} ≦ 25V			6	20	mV
負荷レギュレーション	1 ≦ I_O ≦ 20mA			6	25	mV
温度安定性	(1) (6) を参照			0.2	0.4	mV/℃
総出力変動	ライン、負荷、温度	UC184xA、UC284xA	4.9		5.1	V
		UC384xA	4.82		5.18	
出力ノイズ電圧	10Hz ≦ f ≦ 10kHz、T_J = 25℃(1)			50		μV
長期安定性	T_A = 125℃、1000 時間(1)			5	25	mV
出力短絡			-30	-100	-180	mA
発振器						
初期精度	T_J = 25℃(5)		47	52	57	kHz
電圧安定性	12V ≦ V_{CC} ≦ 25V			0.2%	1%	
温度安定性	T_{MIN} ≦ T_A ≦ T_{MAX} (1)			5%		
振幅	$V_{RT/CT}$ のピーク ツー ピーク(1)			1.7		V
放電電流	T_J = 25℃、$V_{RT/CT}$ = 2V(7)		7.8	8.3	8.8	mA
	$V_{RT/CT}$ = 2V(7)	UC184xA、UC284xA	7.5		8.8	
		UC384xA	7.6		8.8	

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記述のない限り、これらの仕様は T_A = -55℃～125℃ (UC184xA)、T_A = -40℃～125℃ (UC284xAQ)、T_A = -40℃～85℃ (UC284xA)、T_A = 0℃～70℃ (UC384xA)、T_A = T_J、V_{CC} = 15V(4)、R_T = 10kΩ、C_T = 3.3nF で適用されます。

パラメータ		テスト条件		最小値	標準値	最大値	単位
エラー アンプ							
	入力電圧	V_{COMP} = 2.5V	UC184xA、UC284xA	2.45	2.5	2.55	V
			UC384xA	2.42	2.5	2.58	
	入力バイアス電流				-0.3	-1	μA
					-0.3	-2	
A_{VOL}	開ループ ゲイン	2V ≦ V_O ≦ 4V		65	90		dB
	ユニティ ゲイン帯域幅	T_J = 25℃(1)		0.7	1		MHz
CMRR	同相除去比	12V ≦ V_{CC} ≦ 25V		60	70		dB
	出力シンク電流	V_{FB} = 2.7V、V_{COMP} = 1.1V		2	6		mA
	出力ソース電流	V_{FB} = 2.3V、V_{COMP} = 5V		-0.5	-0.8		mA
	V_{OUT} High	V_{FB} = 2.3V、R_L = 15kΩ をグランドに接続		5	6		V
	V_{OUT} Low	V_{FB} = 2.7V、R_L = 15kΩ を VREF に接続			0.7	1.1	V
電流検出							
	ゲイン	(2) (3) を参照		2.85	3	3.15	V/V
	最大入力信号	V_{COMP} = 5V(2)		0.9	1	1.1	V
PSRR	電源除去比	12 ≤ V_{CC} ≤ 25V(2)			70		dB
	入力バイアス電流				-2	-10	μA
	出力の遅延	V_{ISENSE} = 0～2V(1)			150	300	ns
出力							
	出力 Low レベル	I_{SINK} = 20mA			0.1	0.4	V
		I_{SINK} = 200mA			1.5	2.2	
	出力 High レベル	I_{SOURCE} = 20mA		13	13.5		V
		I_{SOURCE} = 200mA		12	13.5		
	立ち上がり時間	T_J = 25℃、C_L = 1nF(1)			25	150	ns
	立ち下がり時間	T_J = 25℃、C_L = 1nF(1)			25	150	ns
	UVLO 飽和	V_{CC} = 5V、I_{SINK} = 10mA			0.7	1.2	V
低電圧誤動作防止							
	開始スレッショルド	UC1842A、UC1844A、UC2842A、UC2844A		15	16	17	V
		UC3842A、UC3844A		14.5	16	17.5	
		UCx843A、UCx845A		7.8	8.4	9	
	ターンオン後の最小動作電圧	UC1842A、UC1844A、UC2842A、UC2844A		9	10	11	V
		UC3842A、UC3844A		8.5	10	11.5	
		UCx843A、UCx845A		7	7.6	8.2	
PWM							
	最大デューティ サイクル	UCx842A、UCx843A		92%	96%	100%	
		UCx844A、UCx845A		46%	48%	50%	
	最小デューティ サイクル					0%	
総スタンバイ電流							
	スタートアップ電流				0.3	0.5	mA
	動作電源電流	V_{FB} = V_{ISENSE} = 0V			11	17	mA

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記述のない限り、これらの仕様は T_A = -55℃～125℃ (UC184xA)、T_A = -40℃～125℃ (UC284xAQ)、T_A = -40℃～85℃ (UC284xA)、T_A = 0℃～70℃ (UC384xA)、T_A = T_J、V_{CC} = 15V(4)、R_T = 10kΩ、C_T = 3.3nF で適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{CC} ツェナー電圧	I_{CC} = 25mA	30	39		V

(1) 設計により検証されていますが、製品で 100% のテストは行われていません。
(2) パラメータは、V_{FB} = 0 でラッチのトリップ ポイントで測定されます。
(3) ゲインの定義:A = $\Delta V_{COMP}/\Delta V_{ISENSE}$、0 ≦ V_{ISENSE} ≦ 0.8V。
(4) V_{CC} は、開始スレッショルドより高く調整してから、15V に設定します。
(5) UCx842A および UCx843A の場合、出力周波数は発振器の周波数と同じです。UCx844A および UCx845A の場合、出力周波数は発振器の周波数の 1/2 です。
(6) 温度安定性は平均温度係数と呼ばれることもあり、次のように表わされます。温度安定性 = $(V_{REF(max)} - V_{REF(min)})/(T_{J(max)} - T_{J(min)})V_{REF(max)}$ および $V_{REF(min)}$ は、適切な温度範囲にわたって測定された最大および最小のリファレンス電圧です。電圧の極値は、温度の極値で発生するとは限らないことに注意してください。
(7) このパラメータは、R_T = 10kΩ で、V_{REF} に対して測定されます。これにより、測定に約 300µA の電流が追加されます。RT/CT ピンに流れる合計電流は、測定された値より約 300µA 大きくなります。

5.6 代表的特性

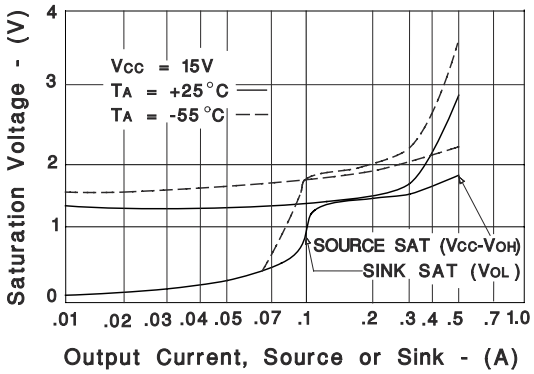


図 5-1. 出力飽和特性

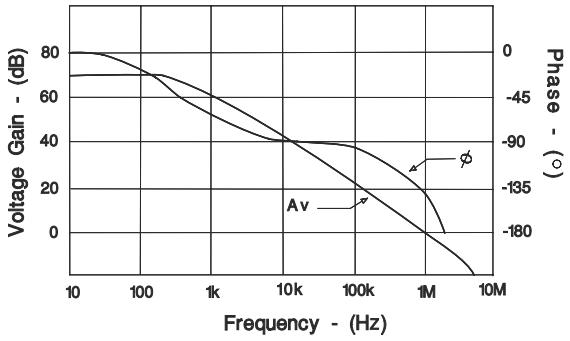


図 5-2. エラー アンプの開ループ周波数応答

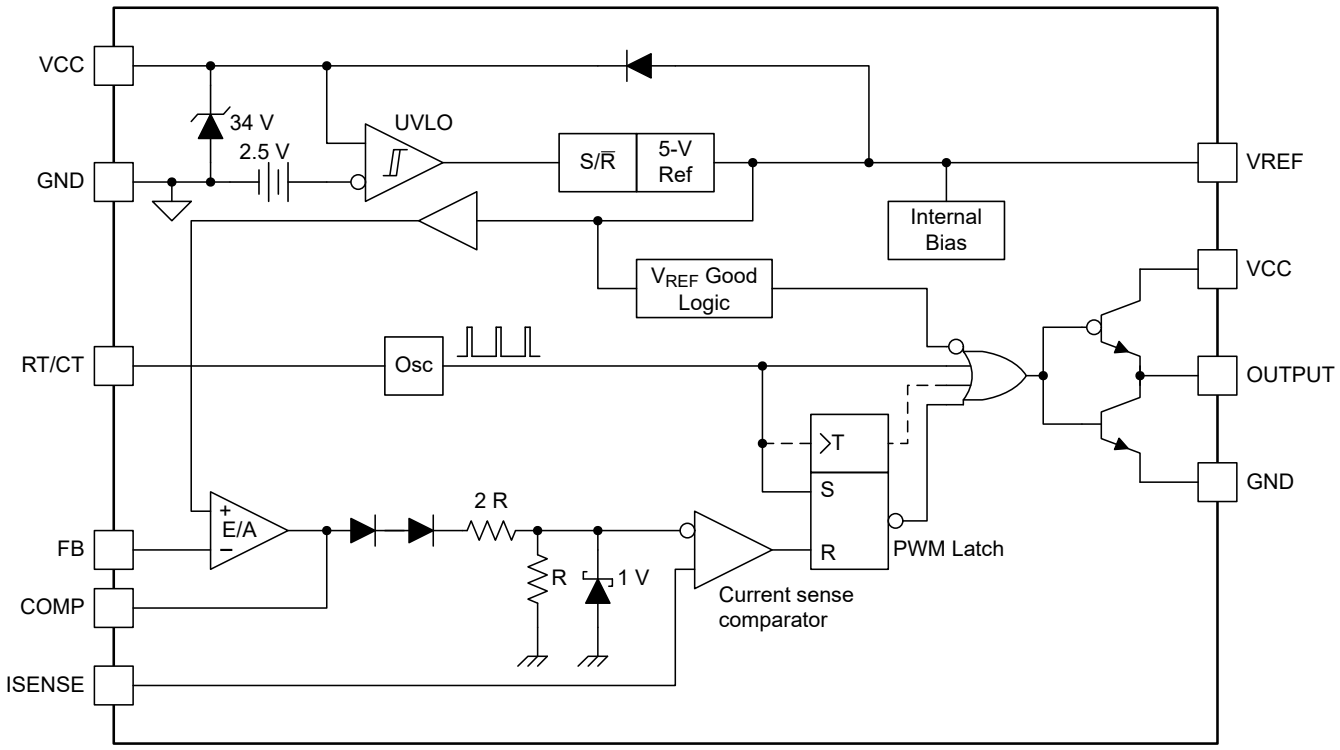
Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

6.1 概要

UCx84xA ファミリの固定周波数パルス幅変調 (PWM) コントローラは、500kHz のスイッチング周波数で動作するように設計されています。これらのコントローラはピーク電流モード (PCM) 用に設計されており、絶縁型および非絶縁型の電源設計に使用できます。これらのコントローラは出力から FET を直接駆動でき、最大 1A のゲート・ドライバ電流をソースおよびシンクできます。これらのデバイスには低インピーダンス・アンプも内蔵されており、非絶縁設計で使用して、電源出力電圧と帰還ループを制御できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 パルス単位の電流制限

パルス単位の制限は、電流モード制御スキーマに固有のものです。誤差電圧をクランプするだけで、ピーク電流の上限を設定できます。正確な電流制限により、磁気およびパワー半導体素子を最適化するとともに、信頼性の高い電源動作を提供できます。

6.3.2 電流検出回路

ピーク電流 (I_S) は式 1 で求められます。

$$I_{S(max)} \times \frac{1\,V}{R_S} \tag{1}$$

スイッチの過渡を抑制するため、小型の RC フィルタが必要な場合があります。

Copyright © 2024 Texas Instruments Incorporated

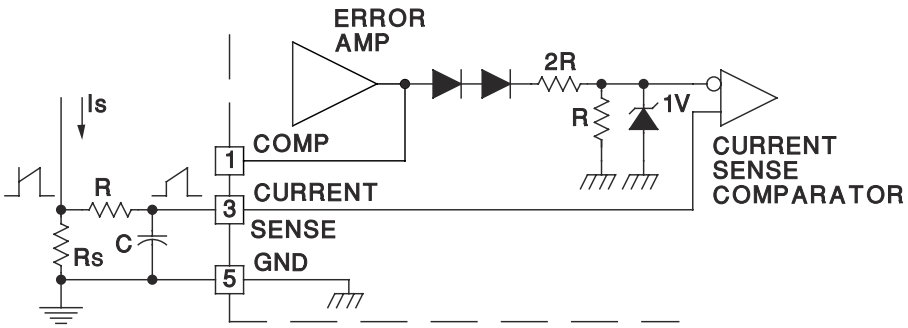


図 6-1. 電流検出回路図

6.3.3 エラー・アンプの構成

エラー・アンプは最大で 0.8mA をソース、6mA をシンクできます。

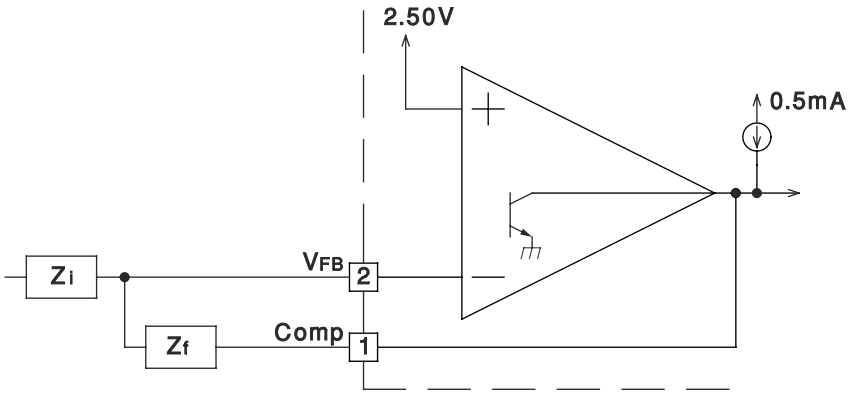


図 6-2. エラー・アンプの構成図

6.3.4 低電圧誤動作防止

UCx84xA デバイスには、電源オンおよび電源オフ シーケンス中の動作を制御するため、低電圧誤動作防止保護回路が搭載されています。UCx842A、UCx843A、UCx844A、UCx845A デバイスの低電圧誤動作防止スレッショルドは、オフライン電源と DC/DC コンバータという 2 つのアプリケーション グループ用に最適化されています。UCx842A および UCx844A デバイスは VCC_{ON} から VCC_{OFF} までの範囲が広いため、オフラインの AC 入力アプリケーションに理想的です。UCx843A および UCx845A コントローラは、VCC_{ON} から VCC_{OFF} へのヒステリシスがはるかに狭いため、入力がレギュレートされている DC/DC アプリケーションで使用できます。

UVLO 時の IC の電源電流は通常 0.3mA です。この VCC 電流は UCx84x ファミリよりも大幅に少ないため、ラインからの電力が小さくなります。スタートアップ電流の低減は、IC が高電圧の DC レールで起動してから、メイン トランスの補助巻線にブートストラップする、オフライン電源で特に重要な考慮点です。その後、IC のスタートアップ電流によってサイズが設定されたスタートアップ抵抗で電力が消費されます。UCx84xA バージョンのファミリでは、UCx84x ファミリと比べてこの値が 50% 小さいため、抵抗での電力損失も同じ割合で低減されます。ターンオン スレッショルドを超えると、IC の電源電流が通常約 11mA まで増加します。UCx84xA シリーズのデバイスは、低電圧誤動作防止時に、パワーアップ時のミラー効果によってパワー MOSFET が寄生的にオンになることを防止します。この設計では、低電圧誤動作防止時の低トーテムポール トランジスタの動作が改善されているため、IC は飽和電圧が 0.7V と低いときに最大 10mA の大電流をシンクできます。これに対して、UCx84x デバイスは同じ条件で最大でもわずか 0.2mA しかシンクできません。

Copyright © 2024 Texas Instruments Incorporated

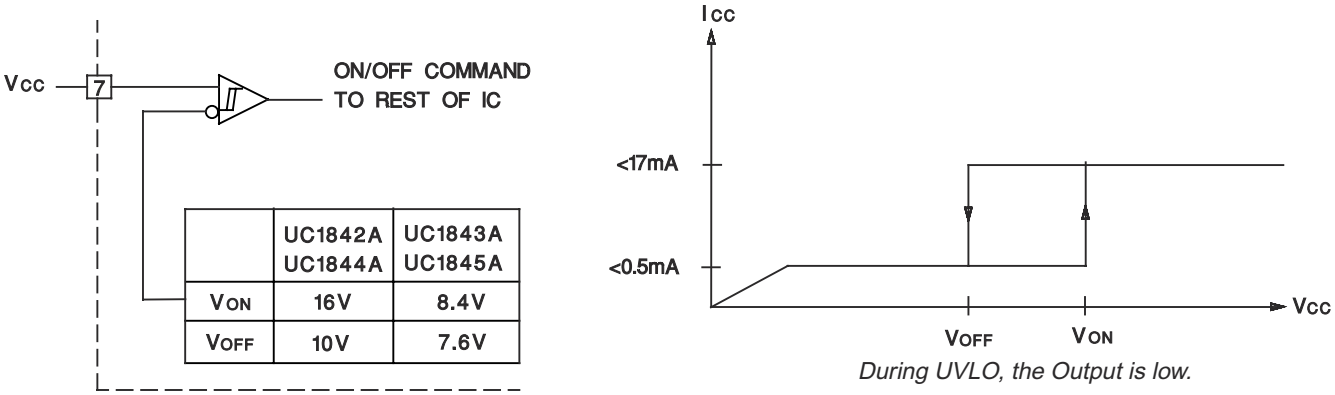


図 6-3. 低電圧誤動作防止

6.3.5 発振器

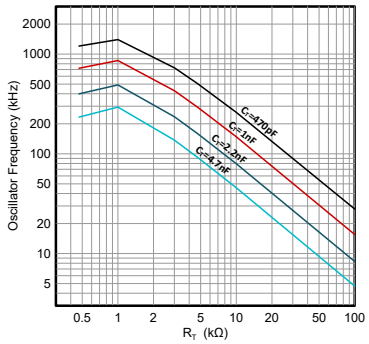


図 6-4. 発振器の周波数とタイミング抵抗との関係

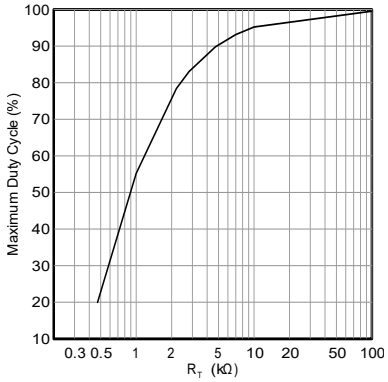
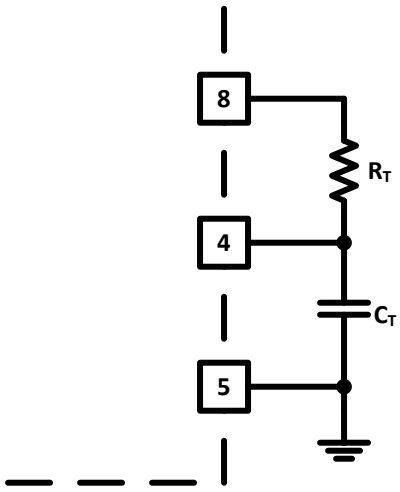


図 6-5. 最大デューティ サイクルとタイミング抵抗との関係



$$\text{For } R_T > 5\text{ k} \quad f \approx \frac{1.72}{R_T \times C_T}$$

図 6-6. 発振器セクション

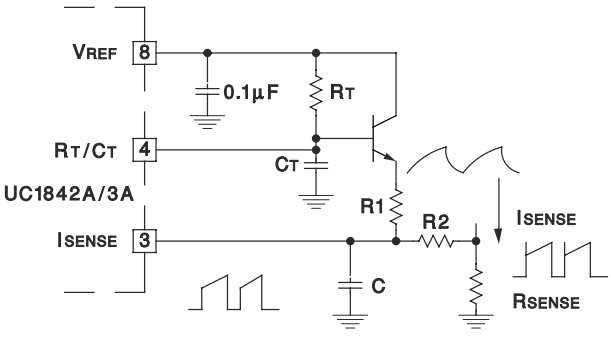


図 6-7. スロープ補償

正確な最大デューティ サイクルによる高周波数での正確な動作については、図 6-5 を参照してください。これは、トリムされた発振器の放電電流により、UCx84xA ファミリのデバイスで実現可能になったものです。これにより、製造時の変動による初期放電電流やデッドタイムへの影響を打ち消すことができます。以前のバージョンの UCx84x デバイスは、発振器の放電電流の範囲が 2:1 よりも大きかったため、最大デューティ サイクルのプログラミングの信頼性が低下する問題がありました。

発振器のランプの一部を電流検出信号と抵抗的に加算することで、50% を超えるデューティ サイクルを必要とするコンバータの勾配補償を行えます。コンデンサ C は R2 とともにフィルタを形成し、リーディング エッジのスイッチ スパイクを抑制します。

6.4 デバイスの機能モード

6.4.1 通常動作

この IC は、ピーク電流モード (PCM) 制御または電圧モード (VM) 制御で使用できます。コンバータが PCM で動作しているときは、電圧アンプの出力によりコンバータのピーク電流とデューティ サイクルがレギュレートされます。IC が VM 制御で使用されるときは、電圧アンプの出力によりパワー コンバータのデューティ サイクルがレギュレートされます。内蔵のエラー アンプと外部のフィードバック回路を使用すると、システムのピーク電流とデューティ サイクルをレギュレートできます。

6.4.2 低電圧誤動作防止 (UVLO) のスタートアップ

システムのスタートアップ時に、VCC 電圧は 0 から上昇を開始します。VCC 電圧が起動スレッショルドに達するまで、IC は UVLO モードで動作します。VCC が UVLO 起動スレッショルドに達すると、デバイスはアクティブになり、リファレンス電圧は 5V まで上昇します。

6.4.3 UVLO ターンオフ モード

VCC へのバイアス電圧が UVLO の最小動作電圧を下回ると、PWM スイッチングが停止し、リファレンス電圧が非アクティブになり、0 V に戻ります。VCC ピンに UVLO 起動スレッショルドより高い電圧を印加することで、デバイスを再起動できます。

Copyright © 2024 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

UCx84xA コントローラは、ピーク電流モードのパルス幅変調器です。これらのコントローラにはオンボード・アンプが搭載されており、絶縁型または非絶縁型の電源設計に使用できます。オンボードのトーテムポール・ゲート・ドライバは、1A のピーク電流を供給できます。これは、最大 500kHz のスイッチング周波数で動作できる高速 PWM です。

7.2 代表的なアプリケーション

オフライン・フライバック・コンバータでの UC3842A の代表的なアプリケーションを、図 7-1 に示します。UC3842A は、1 次インダクタの電流ランプを検出する、小さな電流検出抵抗を内蔵した内部電流制御ループを使用します。この電流検出抵抗は、インダクタの電流波形を、1 次側 PWM コンパレータに直接入力される電圧信号に変換します。この内部ループによって、入力電圧の変化に対する応答が決定されます。外部電圧制御ループでは、出力電圧の一部を、エラー・アンプの入力におけるリファレンス電圧と比較します。オフライン絶縁型アプリケーションで使用する場合、絶縁出力の電圧フィードバックは、2 次側のエラー・アンプと、TL431 などの調整可能な電圧リファレンスを使用して実現されます。この誤差信号は、コレクタが VREF ピンに接続され、エミッタが FB に接続されている光アイソレータを使用して、1 次側と 2 次側の絶縁境界をまたぐものです。外側の電圧制御ループによって、負荷の変化に対する応答が決定されます。

Copyright © 2024 Texas Instruments Incorporated

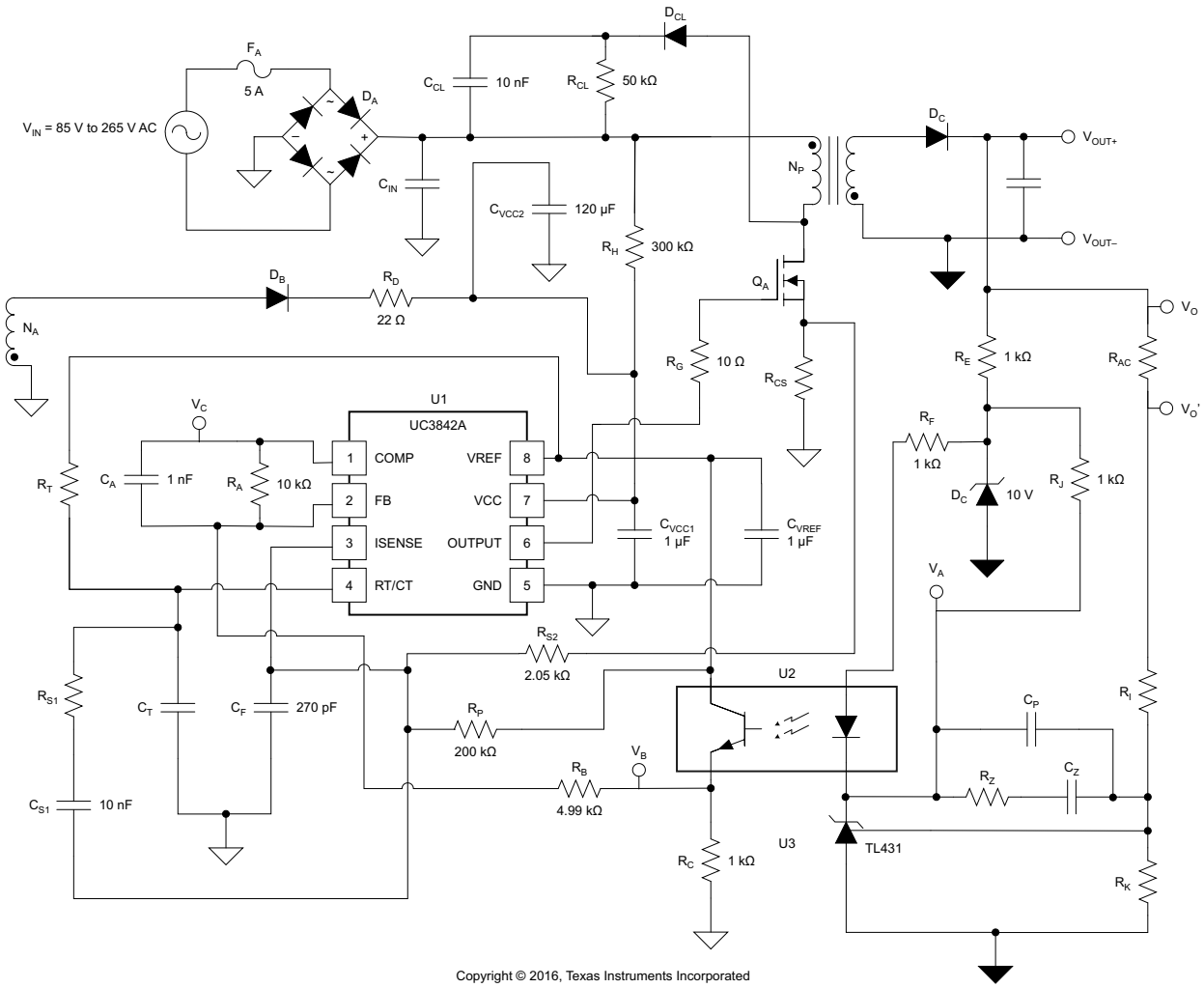


図 7-1. 代表的なフライバック・アプリケーションの回路

Copyright © 2024 Texas Instruments Incorporated

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを入力パラメータとして使用します。

表 7-1. 設計パラメータ

パラメータ		最小値	標準値	最大値	単位
入力特性					
V_{IN}	入力電圧 (RMS)	85		265	V
f_{LINE}	ライン周波数	47		63	Hz
出力特性					
V_{OUT}	出力電圧	11.75	12	12.25	V
	出力リップル電圧		50		mV_{PP}
I_{OUT}	出力電流		4	4.33	A
	負荷ステップ	11.75		12.25	V
システム特性					
η	最大負荷効率	86%			

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、UCx84xA デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する。
- 設計のレポートを PDF で印刷し、設計を共有する。

WEBENCH ツールの詳細は、www.ti.com/WEBENCH でご覧になれます。

7.2.2.2 UC2842A の設計手順

このアプリケーション設計手順では、UC2842A のピーク電流モード コントローラをオフライン フライバック コンバータで、ユニバーサル入力から 12V、48W のレギュレートされた出力へ、セットアップして使用する方法を示します。

連続モードのフライバック アプリケーションで UC2842A のピーク電流モード コントローラをセットアップし、これを使用した設計を行うには、電力段に関するいくつかの事項を把握する必要があります。まず、出力電力レベル (P_{OUT})、効率 (η)、最小入力電圧 ($V_{IN(min)}$)、ライン周波数 (f_{LINE})、最小バルク電圧に基づいて、必要な入力バルク容量 (C_{IN}) を計算します。この設計例では、$V_{BULK(min)}$ = 95V にします。

$$V_{INripple} = \frac{2 \times \frac{P_{OUT}}{\eta} \times \left[0.25 + \frac{1}{\pi} \times \arcsin \times \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right]}{\left(2 \times V_{IN(min)}^2 - V_{BULK(min)}^2 \right) \times f_{LINE}} \quad (2)$$

$$C_{IN} = \frac{2 \times \frac{P_{OUT}}{\eta} \times \left[0.25 + \frac{1}{\pi} \times \arcsin \times \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right]}{\left(2 \times V_{IN(min)}^2 - V_{BULK(min)}^2 \right) \times f_{LINE}} \approx 180\ \mu F \quad (3)$$

出力コンデンサ (C_{OUT}) のサイズは、大信号の過渡応答時に出力電圧が 10% を超えて降下しないように設定されています。設計のこの時点では、電圧ループのクロスオーバー周波数 (f_C) が 2.5kHz と想定します。

$$C_{OUT} \geq \frac{\frac{I_{OUT}}{f_C}}{V_{OUT} \times 10\%} \approx 1.33mF \quad (4)$$

この設計で選択した C_{OUT} は 2200µF のコンデンサで、等価直列抵抗 (ESR) は 45mΩ です。

次に、最小入力電圧と出力電圧に基づいて、トランスの最大 1 次 / 2 次巻線比 (N_{PS}) を計算します。

$$N_{PS} \leq \frac{V_{IN(min)} \times \sqrt{2}}{V_{OUT}} = \frac{85\ V \times \sqrt{2}}{12\ V} \approx 10 \quad (5)$$

その次に、UC2842A の出力電圧とバイアス電圧に基づいて、トランスの補助 / 2 次の巻線比 (N_{AS}) を計算します。

$$N_{AS} \leq \frac{V_{VCC}}{V_{OUT}} = \frac{12\ V}{12\ V} = 1 \quad (6)$$

トランスの巻線比を決定すると、最小バルク電圧、デューティ サイクル (D)、反射出力電流、効率から、トランスの最小 1 次側磁化インダクタンス (L_{PM}) を計算できます。この設計で使用するトランスは、L_{PM} が 1.7mH で、N_{PS} = 10、N_{AS} = 1、f_{SW} = 100kHz です。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULK(min)} + N_{PS} \times V_{OUT}} \approx 0.56 \quad (7)$$

$$L_{PM} \geq \frac{V_{BULK\,(min)} \times D}{\frac{70\% \times I_{OUT} \times f_{sw}}{\eta \times N_{PS}}} = 1.632mH \approx 1.7mH \quad (8)$$

トランスを選択したら、1 次側磁化インダクタンス リップル (I_{LPM}) とトランス全体での反射出力電流から、トランスの 1 次側ピーク電流 (I_{LpPK}) を計算できます。

$$I_{LPM} = \frac{V_{BULK(min)} \times D}{f_{SW} \times L_M} \approx 0.31\ A \quad (9)$$

$$I_{LpPK} = \frac{I_{OUT}}{N_{PS} \times (1 - D)} + \frac{I_{LM}}{2} \approx 1.1\ A \quad (10)$$

1 次側ピーク電流を計算した後で、電流検出抵抗 (R_{CS}) を選択できます。

$$R_{CS} = \frac{1\ V}{I_{LpPK} \times 1.3} = 0.725\ \Omega \approx 0.75\ \Omega \quad (11)$$

Copyright © 2024 Texas Instruments Incorporated

抵抗 R_{S1} および R_{S2} を使用して、設計の勾配補償を設定します。コンデンサ C_{S1} は DC ブロッキング コンデンサで、プルアップ抵抗 R_P を使用して、ノイズ耐性のため電流検出信号を多少オフセットします。R_P と R_{S2} は、電流検出信号に 50mV の DC オフセットを追加するよう、事前に選択済みです。

R_{S1} は、勾配補償がフライバック インダクタのリップル電流下り勾配の 1/2 に設定されるように選択します。このために、2 次磁化インダクタンス (L_{SM}) を計算し、R_{S1} で次の計算を行います。R_{S1} の式の 1.7V は、発振器のピーク ツー ピークのリップル電圧振幅です。

$$R_{S1} = \frac{1.7\ V \times R_{S2} \times f_{SW} \times (2 \times L_{SM} \times N_{PS})}{V_{OUT} \times (1-D) \times R_{CS}} - R_{S2} = 27.72\ k\Omega \approx 27.4\ k\Omega \quad (12)$$

ここで、

- $R_{S2} = 2.05\ k\Omega$

抵抗 R_I と R_K は出力リファレンスに選択されており、R_K の値を事前に選択し、TL431 のリファレンス電圧 ($V_{TL431REF}$) が分かれば計算できます。R_K に 2.49kΩ を選択すると、R_I が計算され、この抵抗には標準の抵抗値として 9.53kΩ が選択されます。

$$R_I = \frac{R_K \times (V_{OUT} - V_{TL431REF})}{V_{TL431REF}} = \frac{2.49\ k\Omega \times (12\ V - 2.5\ V)}{2.5\ V} = 9.462\ k\Omega \approx 9.53\ k\Omega \quad (13)$$

UC2842A コントローラを使用したこの設計には、多くの部品を持つ、興味深い制御ループがあります。$G_{OPTO}(f)$ は、この設計の光アイソレータ全体についての近似伝達関数です。光アイソレータの極周波数は、f_P で表されます。この設計で使用する光アイソレータの電流伝送比は 1 で、極周波数は約 5kHz です。部品の配置とノード電圧については、図 7-1 を参照してください。補償を簡素化するため、電圧ループ (f_C) は光アイソレータの極より低くクロスオーバーする必要があります。

$$s(f) = 2 \times \pi \times 1i \times f \quad (14)$$

$$f_P = 5\ kHz \quad (15)$$

$$G_{OPTO}(f) = \frac{\Delta V_B}{\Delta V_A} = \frac{R_C}{R_F} \times \frac{ctr}{\frac{s(f)}{2 \times \pi \times f_P} + 1} \quad (16)$$

$G_{BC}(f)$ は、光アイソレータの出力から PWM の制御電圧 への推定伝達関数です。

$$G_{BC}(f) = \frac{\Delta V_C}{\Delta V_B} = \frac{R_A}{R_B} \times \frac{1}{s(f) \times R_A \times C_A + 1} \quad (17)$$

デューティ サイクルは、バルク入力電圧 (V_{BULK}) によって異なります。V_{BULK} は、通常動作時に 95V～375V の範囲で変動します。これにより、デューティ サイクルは 24%～56% の範囲で変動します。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULK} + N_{PS} \times V_{OUT}} = 0.24 \text{ to } 0.56 \quad (18)$$

$G_{CO}(f)$ は、制御 (V_C) から出力への推定伝達関数です。ここで、変数 Q は品質係数です。

Copyright © 2024 Texas Instruments Incorporated

$$G_{CO}(f) = \frac{\Delta V_{OUT}}{\Delta V_C} = N_{PS} \times \frac{1-D}{1+D} \times \left[\frac{s(f) \times ESR \times C_{OUT} + 1}{s(f) \times R_{OUT} \times C_{OUT} + 1}\right] \times \left[1 - \frac{s(f) L_{SM} \times D}{R_{OUT} \times (1-D)^2}\right] \times \frac{\frac{1}{3}}{1 + \frac{s(f)}{2 \times \pi \times \frac{f_{SW} \times}{2} Q} + \left(\frac{s(f)}{2 \times \pi \times \frac{f_{SW}}{2}}\right)^2} \quad (19)$$

品質係数 (Q) は、1 次側の磁化インダクタンスの電圧変化 (S_N) をデューティ サイクルの関数で表したものとして定義されます。これには勾配補償 (S_E) が追加されます。

$$S_N = \frac{V_{BULK} \times R_{CS}}{L_{PM}} \quad (20)$$

$$S_E = 1.7\ V \times \frac{R_{S2} \times f_{SW}}{R_{S1} + R_{S2}} \quad (21)$$

$$Q = \frac{1}{\pi\left[\left(1 + \frac{S_E}{S_N}\right) \times (1-D) - 0.5\right]} \quad (22)$$

電圧ループが安定していることを確認するには、フライバック コンバータの右半面のゼロ周波数 (f_{RHPZ}) の半分よりもクロスオーバー周波数が低い必要があります。最小バルク電圧における右半面のゼロ周波数は、約 9.8kHz です。この設計例で、電圧ループの目標クロスオーバーは 1kHz です。実際の f_C は、目標よりも高い場合と低い場合があります。

$$f_{RHPz} = \frac{(N_{PS})^2}{\frac{2 \times \pi \times Lpm}{R_{OUT}} \frac{D}{(1-D)^2}} \approx 9.8kHz \quad (23)$$

$$f_C \le \frac{f_{RHPz}}{2} \approx 5\ kHZ \quad (24)$$

$G_{CO}(f)$ の DC ゲインは、バルク入力電圧とともに変化します。抵抗 R_Z は、コンバータへの入力が $V_{BULK(min)}$ のときに電圧ループをクロスオーバーし、最大クロスオーバー周波数の 1/5 でクロスオーバーするよう選択します。

$$R_Z = \frac{R_I}{\left|G_{OPTO}(f_C/5) \times G_{BC}(f_C/5) \times G_O \times G_{CO}(f_C/5)\right|} = 23.95\ k\Omega, \text{ a } 23.7\ k\Omega \text{ was used} \quad (25)$$

コンデンサ C_Z は、電圧ループのクロスオーバーで 45° の位相マージンが追加されるよう選択します。この設計例では、6.8nF のコンデンサが使用されています。

$$C_Z = \frac{1}{2\pi \times \frac{f_C}{5} \times R_Z} \approx 6.7\ nF \quad (26)$$

コンデンサ C_P は、制御ループの高周波ゲインが減衰するように選択します。

$$C_P = \frac{C_Z}{10} = 680\ pF \quad (27)$$

$G_C(f)$ は、TL431 の補償の推定伝達関数です。

Copyright © 2024 Texas Instruments Incorporated

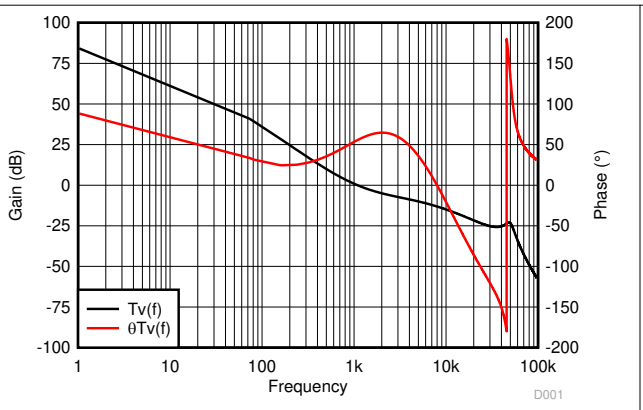
$$G_C(f) = \frac{\Delta V_C}{\Delta V_O'} = \frac{s(f) \times R_Z \times C_Z + 1}{s(f) \times R_I \times (C_Z + C_P) \times \left(\frac{s(f) \times R_Z \times C_Z \times C_P}{C_Z + C_P} + 1 \right)} \quad (28)$$

$T_V(f)$ は、システムの閉ループ ゲインの推定される理論的な伝達関数です。実際の回路では帰還ループ応答が異なる場合があり、実際の回路の性能と信頼性を満たすため、ネットワーク アナライザで調整が必要な場合があります。帰還ループの応答は、設計パラメータのワースト ケース変動に照らして評価する必要があります。

$$T_V(f) = G_C(f) \times G_{OPTO}(f) \times G_{BC}(f) \times G_O \times G_{CO}(f_C) \quad (29)$$

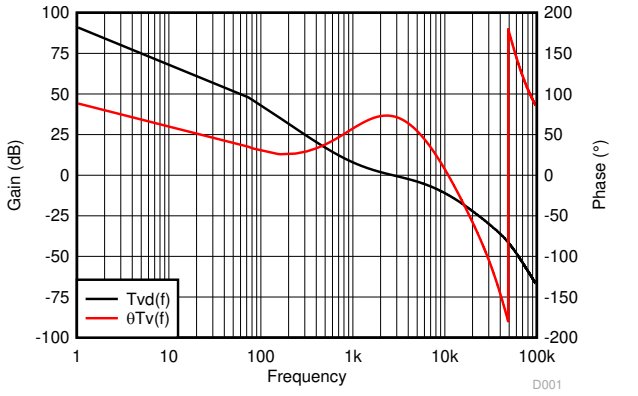
このアプリケーション例では、この設計手法により 1kHz で理論的な帰還ループ ($T_V(f)$) クロスオーバーが生成され、最小入力バルク電圧 95V で約 55° の位相マージンが得られます。高ラインでの理論的な電圧ループは、2.7kHz でクロスオーバーし、位相マージンは 72° です。図 7-2 と図 7-3 を参照してください。$T_V(f)$ は、ネットワーク アナライザで評価し、必要なら実際の回路動作に基づいてループ補償を調整する必要があります。また、過渡テストを行い、デバイスが安定していることを確認します。

7.2.3 アプリケーション曲線



V_{BULK} = 95V

図 7-2. 電圧ループ・ゲイン



V_{BULK} = 375V

図 7-3. 電圧ループ・ゲイン

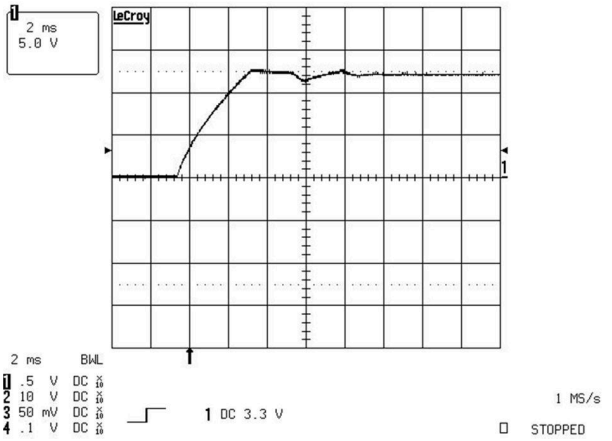


図 7-4. V_{OUT} スタートアップ全負荷

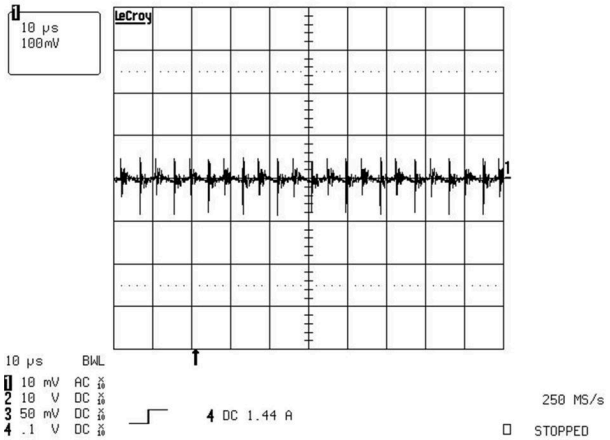


図 7-5. V_{OUT} リップル電圧

8 電源に関する推奨事項

UCx84xA は、絶縁型または非絶縁型のピーク電流モード制御の電源で使用することをお勧めします。このデバイスは、降圧、昇圧、フライバック、およびフォワード・コンバータ・ベースの電源トポロジで使用できます。

Copyright © 2024 Texas Instruments Incorporated

9 レイアウト

9.1 レイアウトのガイドライン

- スター グランド手法を使用する必要があります。
- 電流ループは、できるだけ短く狭い範囲に維持する必要があります。
- IC のグランドと電源グランドは、入力バルク コンデンサのリターン側で接続する必要があります。電源段からの高周波と大電流が信号グランドのパスを流れないことを確認します。
- 高周波バイパス コンデンサ (C_{VCC1}) は、VCC ピンと GND ピンとの間で、ピンにできるだけ近い場所に配置する必要があります。
- 抵抗 R_{S2} とコンデンサ C_F は、電流検出信号用のローパス フィルタを形成します。C_F は、CS および GND ピンのできるだけ近くに配置する必要があります。
- コンデンサ C_{VREF} は、VREF および GND ピンのできるだけ近くに配置する必要があります。
- 単層の基板上でウェーブ半田用に配置された SMD 部品を、図 9-1 に示します。複数の層を使用する場合は、相互接続を容易にし、電流ループ領域を減らすため、一部の部品を再配置できます。半田付けプロセスで可能なら、SMD 部品を垂直方向に配置すると、相互接続やループ領域が改善される場合があります。

Copyright © 2024 Texas Instruments Incorporated

9.2 レイアウト例

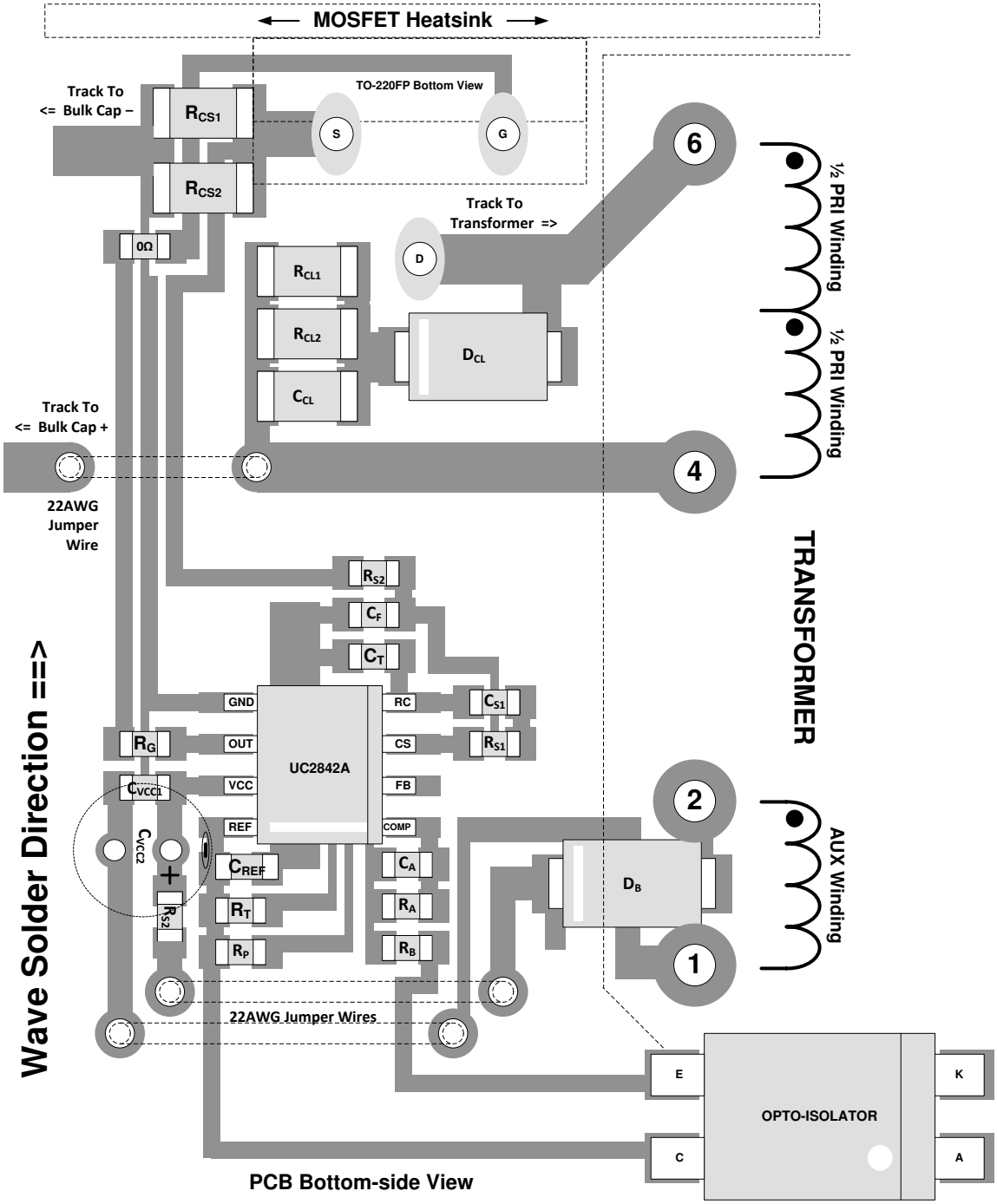


図 9-1. レイアウトの図

Copyright © 2024 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 開発サポート

- テキサス・インスツルメンツのエンジニア間サポート・フォーラム、https://e2e.ti.com/

10.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、UCx84xA デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する。
- 設計のレポートを PDF で印刷し、設計を共有する。

WEBENCH ツールの詳細は、www.ti.com/WEBENCH でご覧になれます。

10.1.2 デバイス命名規則

C_{IN}	入力バルク容量
C_{OUT}	出力容量
D	デューティ・サイクル
ESR	等価直列抵抗
$G_{BC}(f)$	光アイソレータの出力から PWM 制御電圧への概算の伝達関数。
G_O	制御から出力への伝達関数の DC ゲイン。
$G_{OPTO}(f)$	設計に含まれている光アイソレータ全体にわたる近似の伝達関数。
I_{LPM}	トランスの 1 次側の平均電流
I_{LpPK}	トランスの 1 次側のピーク電流
L_{PM}	トランスの 1 次側の磁化インダクタンス
L_{SM}	トランスの 2 次側の磁化インダクタンス
N_{PS}	トランスの 1 次側と 2 次側の巻線比
N_{AS}	トランスの補助と 2 次側の巻線比
$T_V(f)$	帰還制御ループの伝達関数。
$V_{INripple}$	入力リップル電圧

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

設計レビュー：150W 電流モード・フライバック (SLUP078)

Copyright © 2024 Texas Instruments Incorporated

10.3 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 10-1. 関連リンク

製品	プロダクト・フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
UC1842A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC1843A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC1844A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC1845A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC2842A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC2843A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC2844A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC2845A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC3842A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC3843A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC3844A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
UC3845A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

10.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision G (July 2022) to Revision H (October 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 ... 1
- D-8、D-14、P-8 パッケージの「熱に関する情報」を変更 ... 6
- 「電気的特性」の「出力」セクションで立ち上がりおよび立ち下がり時間の標準値を 50ns から 25ns に変更 ... 6
- 「電気的特性」の「出力」セクションで出力 Low レベルの標準値を 15V から 1.5V に変更 ... 6
- 「電気的特性」の「PWM」セクションで UCx842/3A の最大デューティ サイクルの最小値を 94% から 92% に変更 ... 6
- 「電気的特性」の「PWM」セクションで UCx844/5A の最大デューティ サイクルの最小値を 47% から 46% に変更 ... 6
- 「電気的特性」の「総スタンバイ電流」セクションで VCC ツェナー電圧の標準値を 34V から 39V に変更 ... 6
- 「代表的特性」の周波数と RT との関係および最大デューティ サイクルと RT との関係の図を更新 ... 8

Changes from Revision F (October 2017) to Revision G (July 2022) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 ... 1

Changes from Revision E (October 2017) to Revision F (October 2017) **Page**

- 「特長」、「アプリケーションと実装」、「デバイスおよびドキュメントのサポート」の 3 か所に WEBENCH のリンクを追加。 ... 1
- 「アプリケーション概略図」に著作権情報を追加 ... 1
- UC284xA の自由気流での動作温度を 125℃から 85℃に変更 ... 5
- UC384xA の自由気流での動作温度を -40℃から 0℃に変更 ... 5
- UC384xA の自由気流での動作温度を 85℃から 70℃に変更 ... 5
- 周波数 (f) の計算を正しい式に変更。 ... 11
- C_{OUT} の式を、訂正済みの式に変更。 ... 15
- L_{PM} の式を、訂正済みの式に変更。 ... 15
- $G_{CO}(f)$ の定義と式を追加。 ... 15
- f_{RHPz} の式を、訂正済みの式に変更。 ... 15

Changes from Revision D (July 2011) to Revision E (July 2016) **Page**

- 「アプリケーション」セクション、「製品情報」表、「ピン構成および機能」セクション、「仕様」セクション、「詳細説明」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 ... 1
- 「注文情報」表を削除 (データシートの末尾にある POA を参照) ... 1

Changes from Revision C (August 2010) to Revision D (July 2011) **Page**

- 絶対最大定格表を、最大負電圧および GND ピンの注とともに変更。 ... 5

Changes from Revision B (September 2009) to Revision C (August 2010) **Page**

- I_{SINK} の電圧を訂正。 ... 6

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて使用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670405PA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
5962-8670405XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/ 883B
5962-8670406PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
5962-8670406XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/ 883B
5962-8670407PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
5962-8670407XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/ 883B
5962-8670408PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A
5962-8670408XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/ 883B
UC1842AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842AJ
UC1842AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842AJ
UC1842AJ883B	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
UC1842AJ883B.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
UC1842AL883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/ 883B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1842AL883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/883B
UC1843AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843AJ
UC1843AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843AJ
UC1843AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
UC1843AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
UC1843AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/883B
UC1843AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/883B
UC1844AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844AJ
UC1844AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844AJ
UC1844AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
UC1844AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
UC1844AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/883B
UC1844AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/883B
UC1845AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845AJ
UC1845AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845AJ
UC1845AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1845AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A
UC1845AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/883B
UC1845AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/883B
UC2842AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2842A UC2842 AD8
UC2842AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842A UC2842 AD8
UC2842AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842A UC2842 AD8
UC2842ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADWTR	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADWTR.A	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2842AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2842ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2843AD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2843AD
UC2843AD8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2843AD8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843AD
UC2843ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843AD
UC2843AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2843AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2843ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2844AD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2844AD
UC2844AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844AD
UC2844ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844AD
UC2844AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN
UC2844AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN
UC2844ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2844AQD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	(2844AQ, UC2844AQ)
UC2844AQDR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2844AQ, UC2844AQ)
UC2844AQDR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2844AQ, UC2844AQ)
UC2845AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2845ADW
UC2845ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2845ADW
UC2845AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC2845AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC2845ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC3842AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3842A UC3842 AD8
UC3842AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3842AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8
UC3842AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8
UC3842ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	UC3842ADW
UC3842ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	UC3842ADW
UC3842AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-40 to 85	UC3842J
UC3842J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-40 to 85	UC3842J
UC3843AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3843A UC3843 AD8
UC3843AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3843AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN
UC3843ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN
UC3844AD	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AD.A	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AD8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3844AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3844ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3845AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3845A UC3845 AD8
UC3845AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8
UC3845AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3845AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8
UC3845ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN
UC3845AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN
UC3845ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UC1842A, UC1843A, UC1844A, UC1845A, UC2843A, UC3842A, UC3842M, UC3843A, UC3844A, UC3845A :

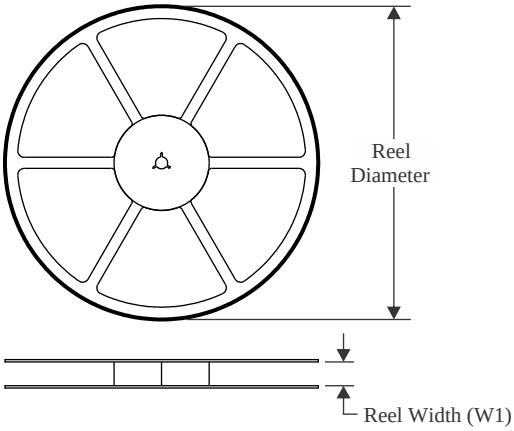
- Catalog : UC3842A, UC3843A, UC3844A, UC3845A, UC3842, UC3845AM
- Automotive : UC2843A-Q1
- Enhanced Product : UC1842A-EP, UC1843A-EP, UC1844A-EP, UC1845A-EP, UC1842A-EP, UC1843A-EP, UC1844A-EP, UC1845A-EP
- Military : UC1842A, UC1842, UC1843A, UC1844A, UC1845A
- Space : UC1842A-SP, UC1843A-SP, UC1844A-SP, UC1845A-SP, UC1842A-SP, UC1843A-SP, UC1844A-SP, UC1845A-SP

NOTE: Qualified Version Definitions:

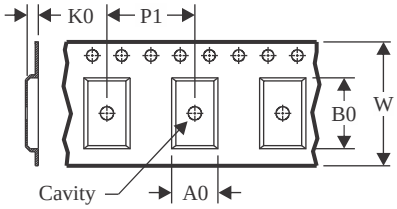
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

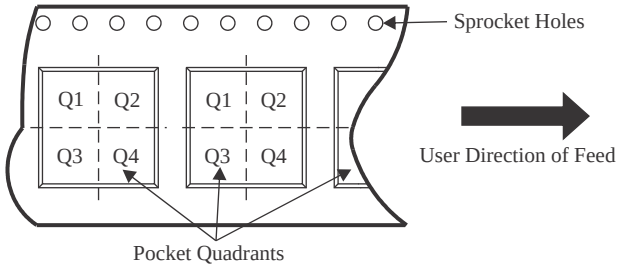


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

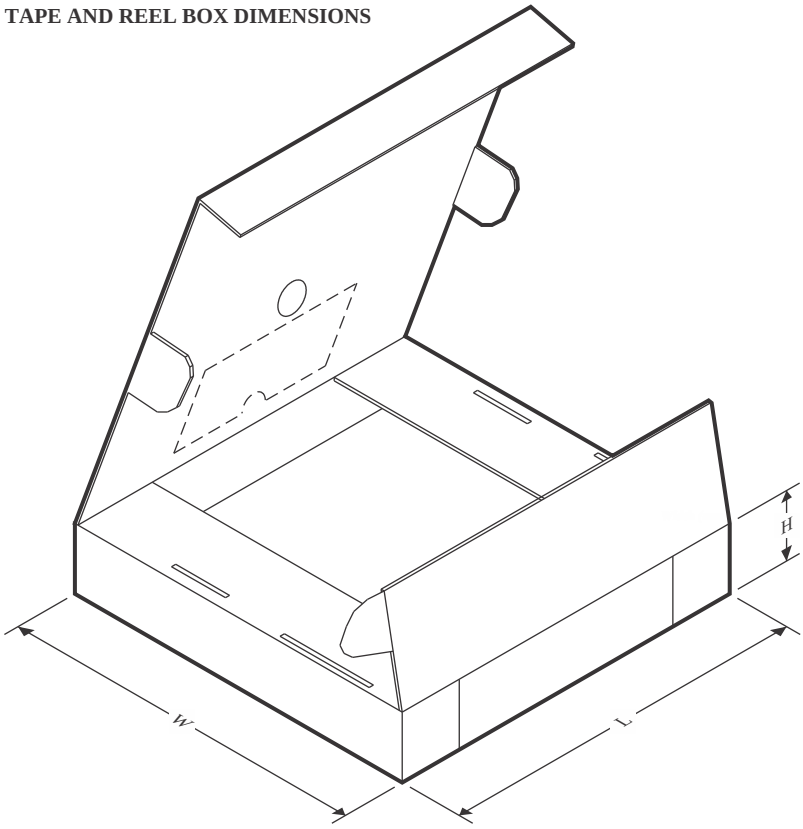


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC2842AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2842ADWTR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UC2843AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2843ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2844ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844AQDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2845AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3842AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3842ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3843AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3843ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3844AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3844ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC3845AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3845ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

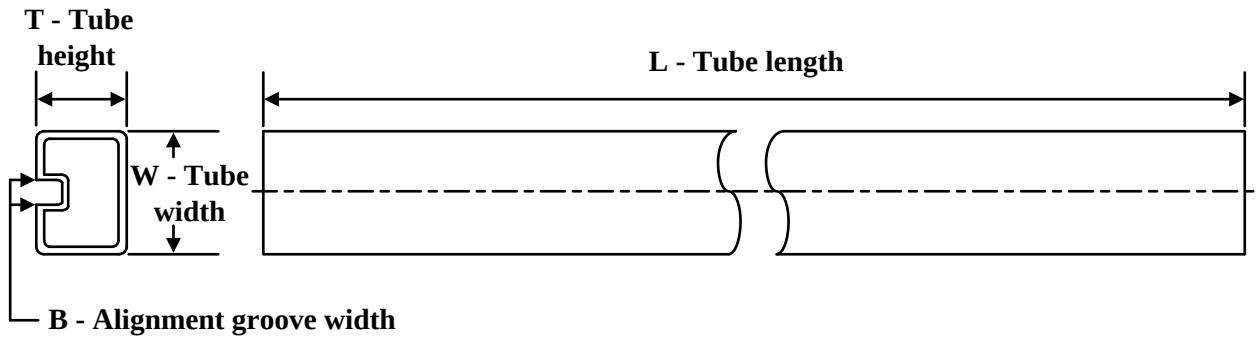
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UC2842AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2842ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2842ADWTR	SOIC	DW	16	2000	353.0	353.0	32.0
UC2843AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2843ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2844ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844AQDR	SOIC	D	14	2500	353.0	353.0	32.0
UC2845AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2845ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3842AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3842ADTR	SOIC	D	14	2500	340.5	336.1	32.0
UC3843AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3843ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3844AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3844ADTR	SOIC	D	14	2500	333.2	345.9	28.6
UC3845AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3845ADTR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8670405XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670406XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670407XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670408XA	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC2842AD	D	SOIC	14	50	507	8	3940	4.32
UC2842AD.A	D	SOIC	14	50	507	8	3940	4.32
UC2842ADG4	D	SOIC	14	50	507	8	3940	4.32
UC2842ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC2842ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC2842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AD8	D	SOIC	8	75	507	8	3940	4.32
UC2843AD8.A	D	SOIC	8	75	507	8	3940	4.32
UC2843AD8G4	D	SOIC	8	75	507	8	3940	4.32
UC2843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AN.A	P	PDIP	8	50	506	13.97	11230	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC2843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AD	D	SOIC	14	50	507	8	3940	4.32
UC2845AD.A	D	SOIC	14	50	507	8	3940	4.32
UC2845ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC2845ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC2845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AD	D	SOIC	14	50	507	8	3940	4.32
UC3842AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3842ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3842ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC3842ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC3842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AD	D	SOIC	14	50	507	8	3940	4.32
UC3843AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3843ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AD	D	SOIC	14	50	507	8	3940	4.32
UC3844AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3844AD8	D	SOIC	8	75	507	8	3940	4.32
UC3844AD8.A	D	SOIC	8	75	507	8	3940	4.32

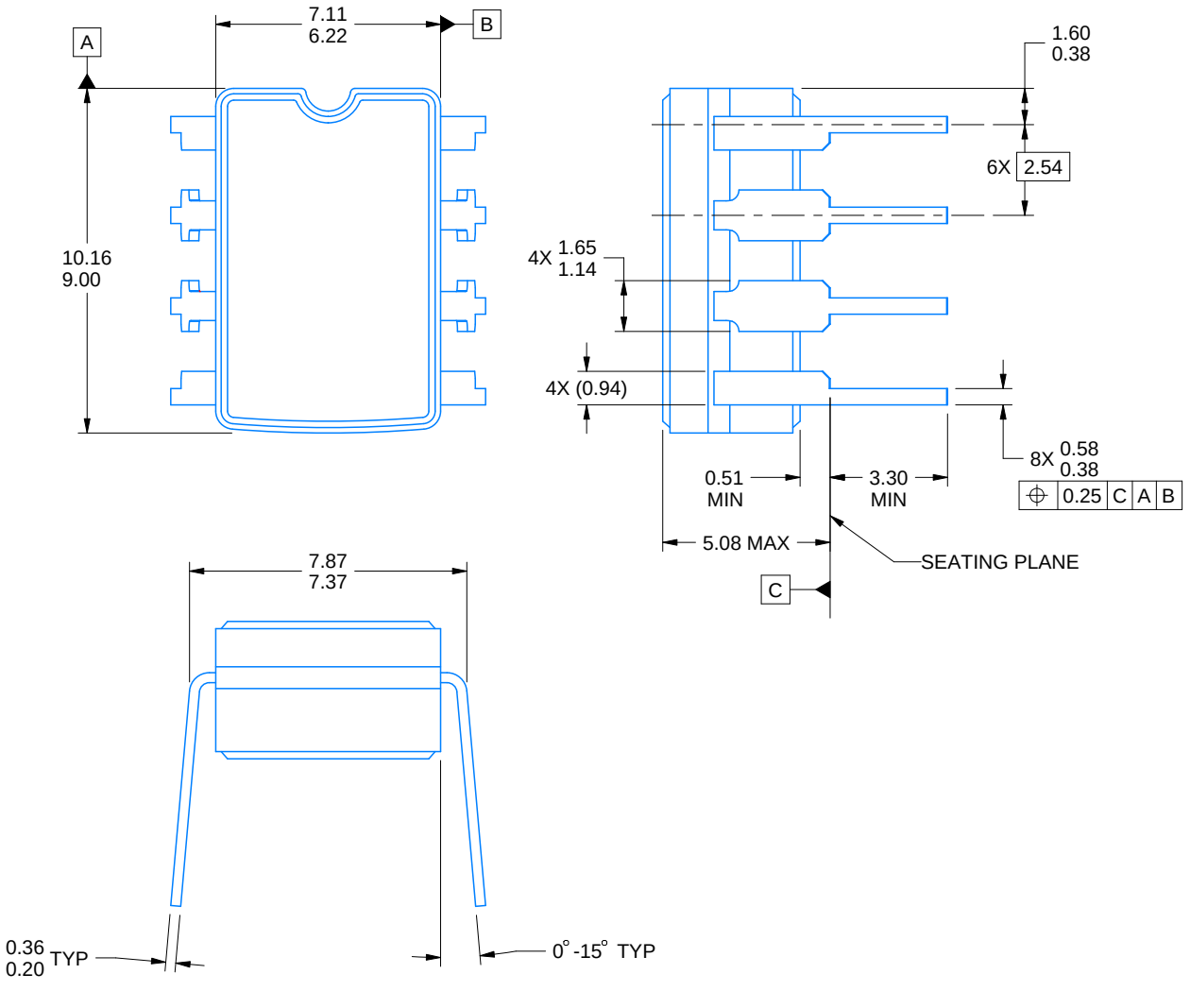
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC3844AD8G4	D	SOIC	8	75	507	8	3940	4.32
UC3844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845AD	D	SOIC	14	50	507	8	3940	4.32
UC3845AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3845ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845ANG4	P	PDIP	8	50	506	13.97	11230	4.32

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

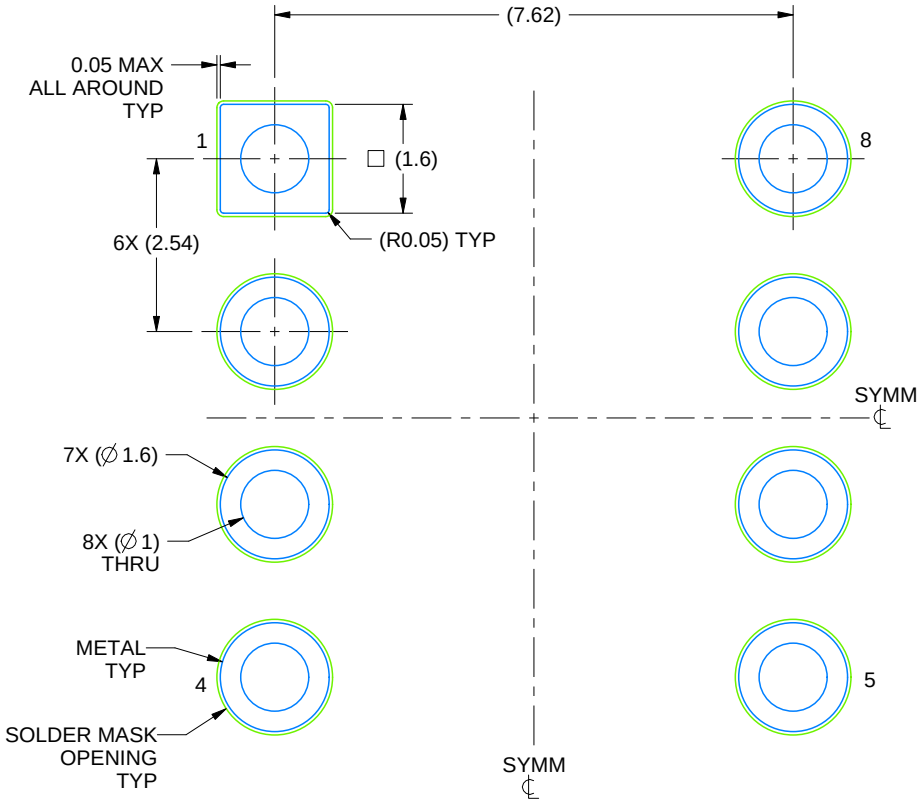
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

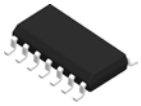
CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

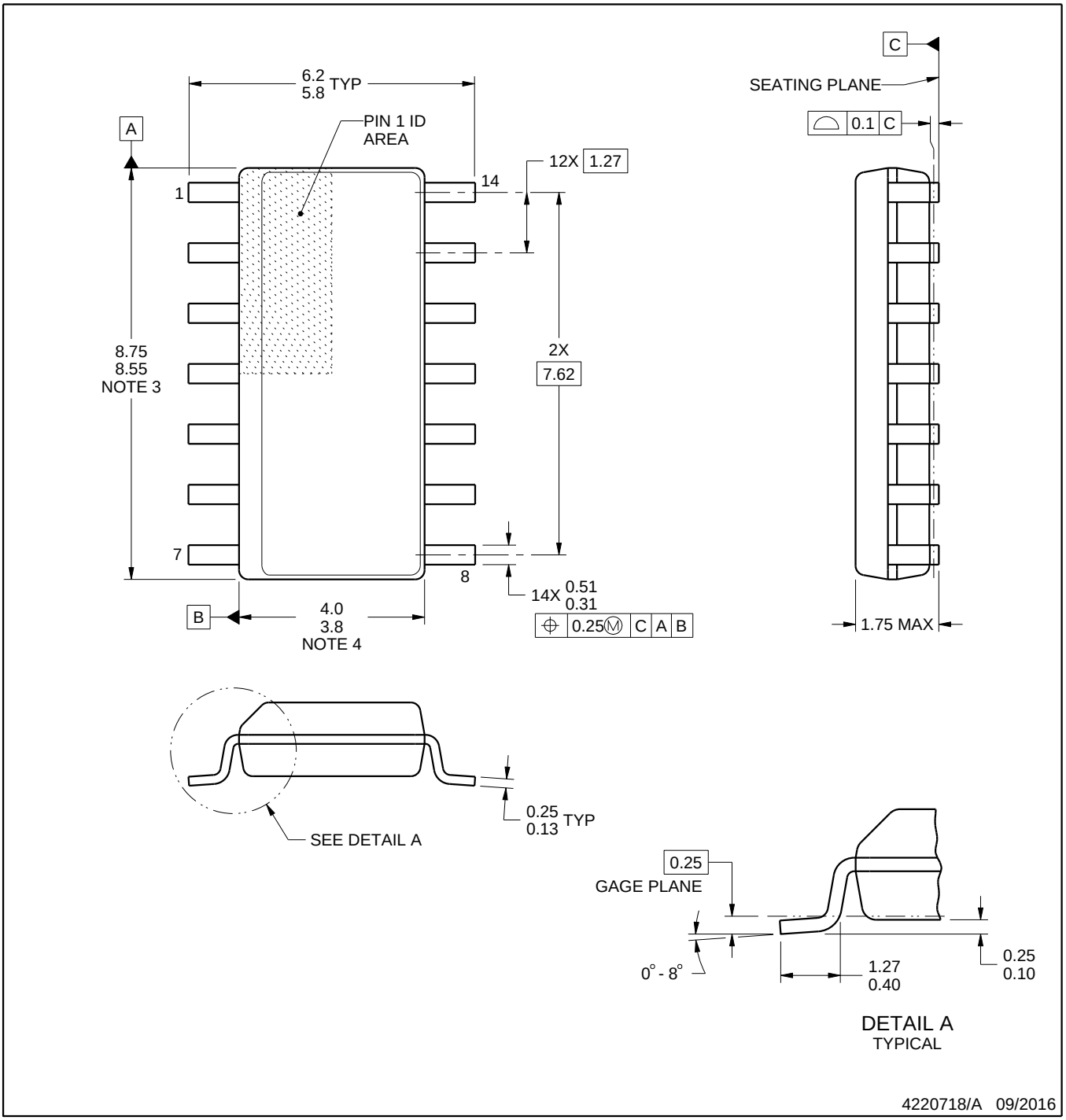


PACKAGE OUTLINE

D0014A

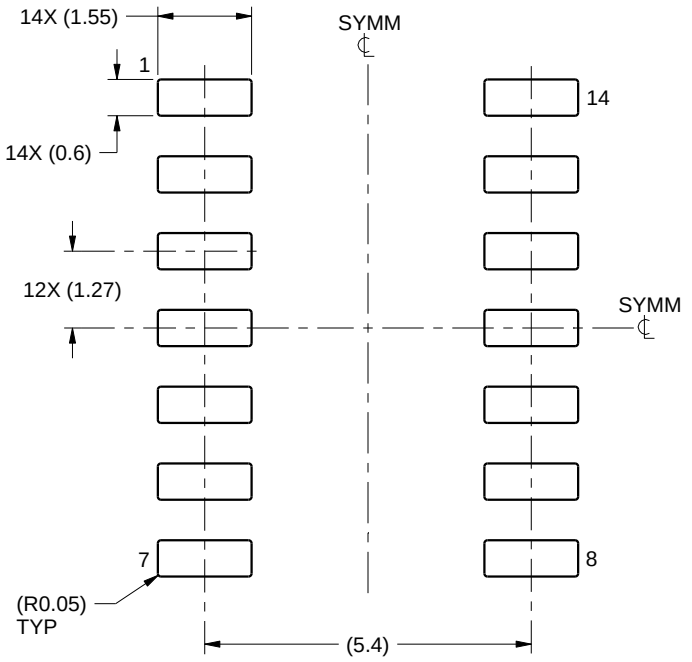
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

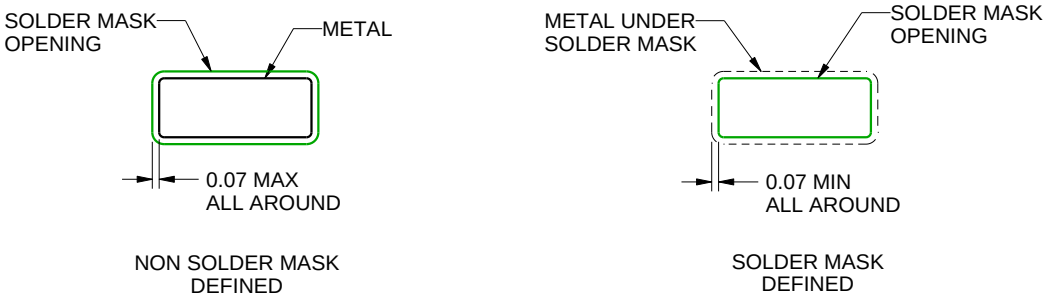


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

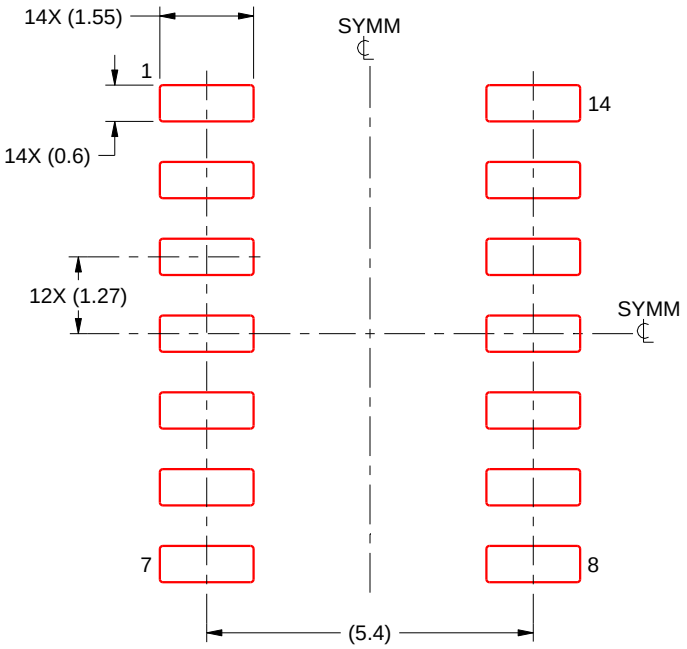
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

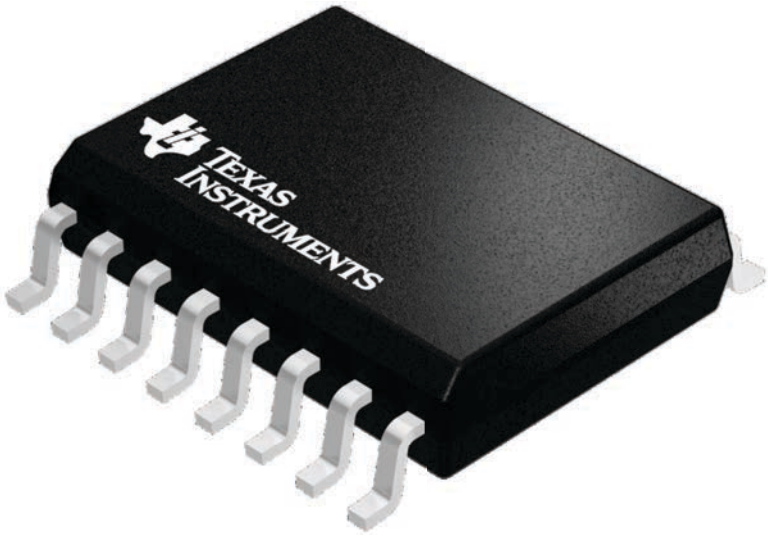
DW 16

SOIC - 2.65 mm max height

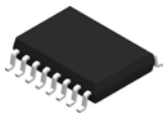
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

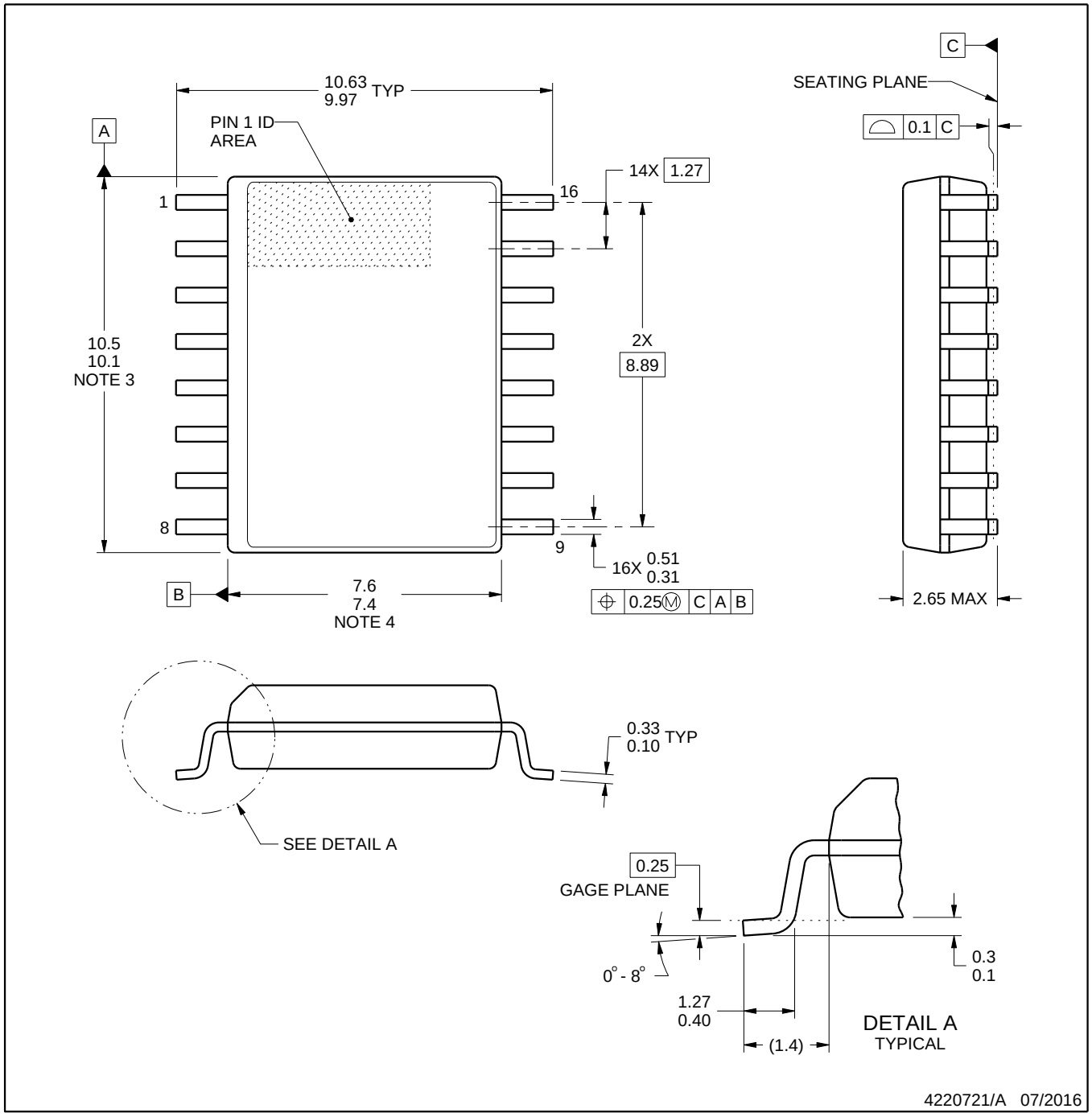


PACKAGE OUTLINE

DW0016A

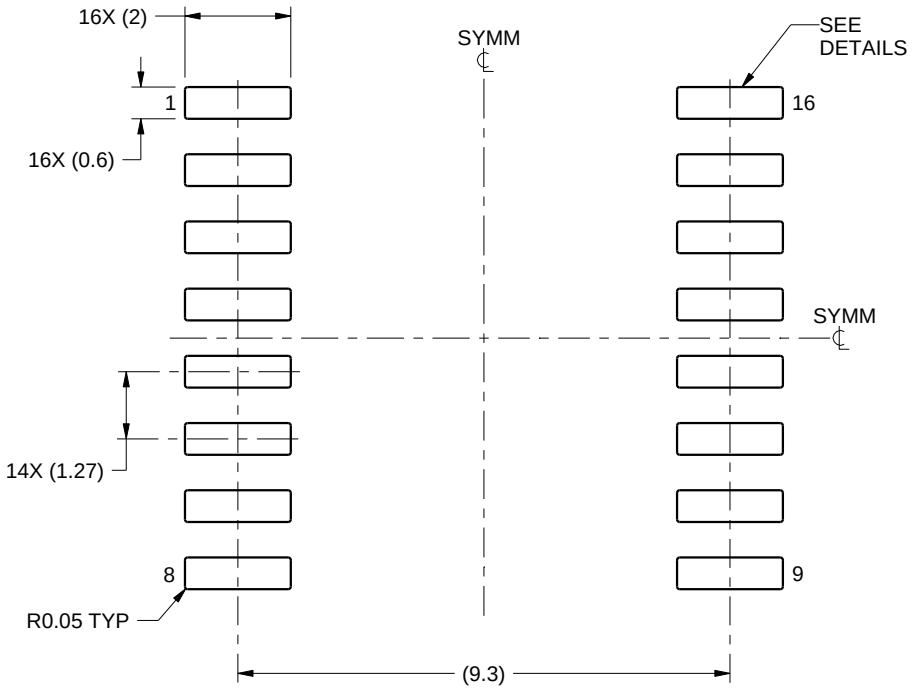
SOIC - 2.65 mm max height

SOIC

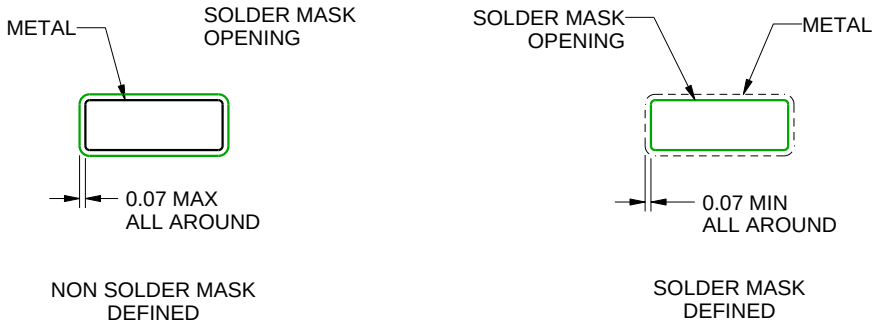


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

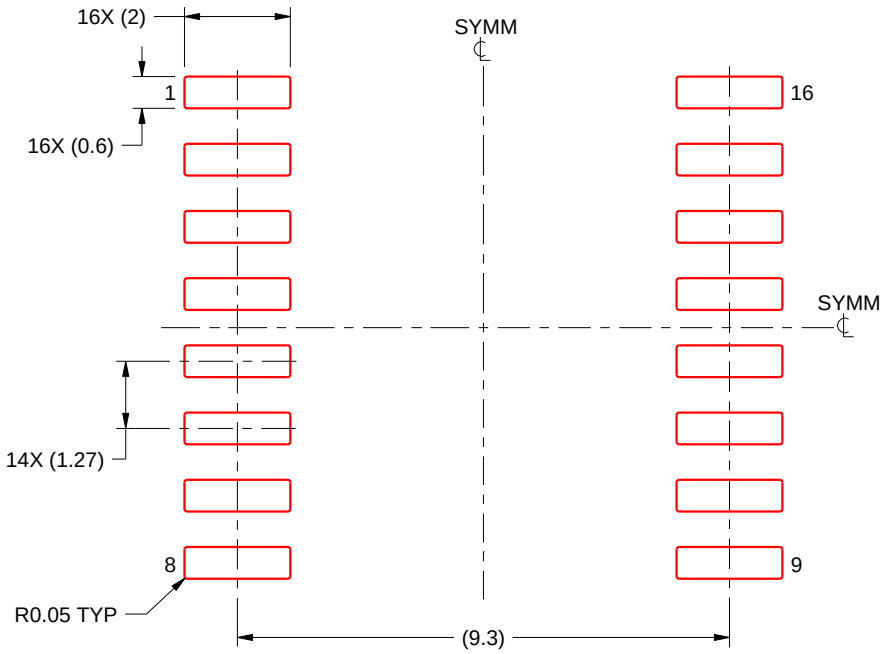


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

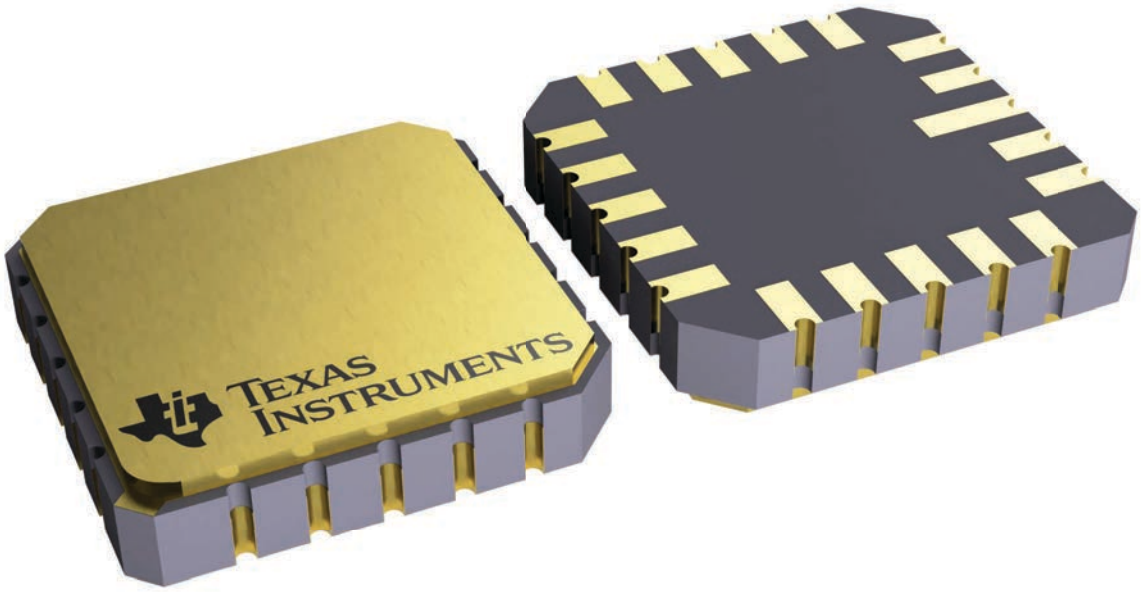
FK 20

LCCC - 2.03 mm max height

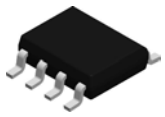
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

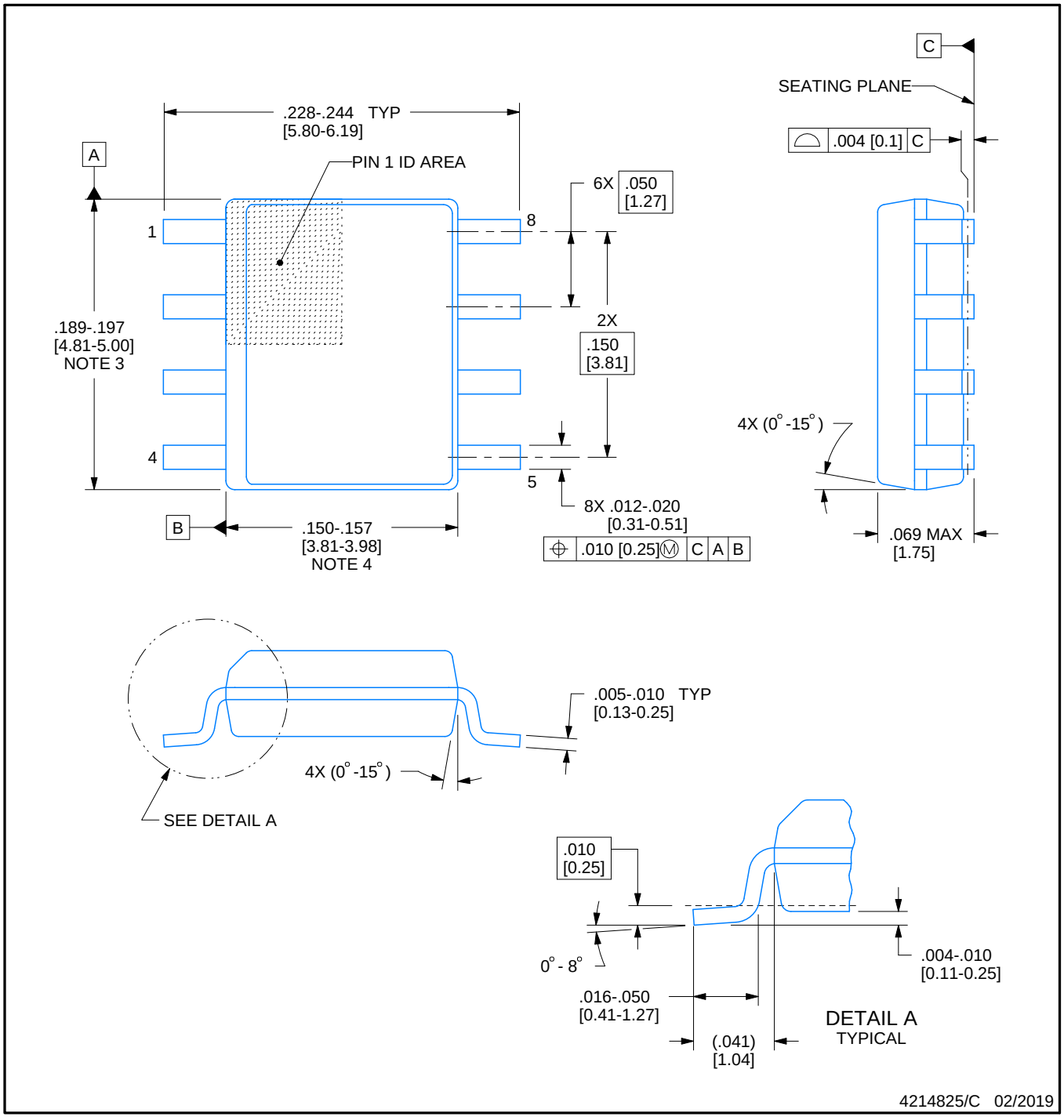


PACKAGE OUTLINE

D0008A

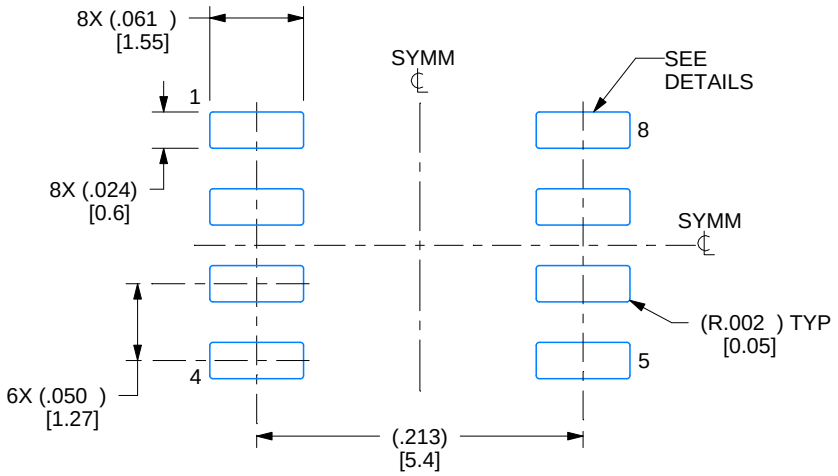
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

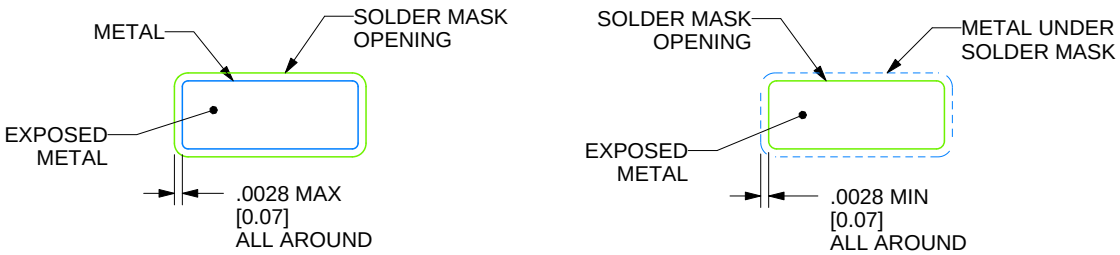


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

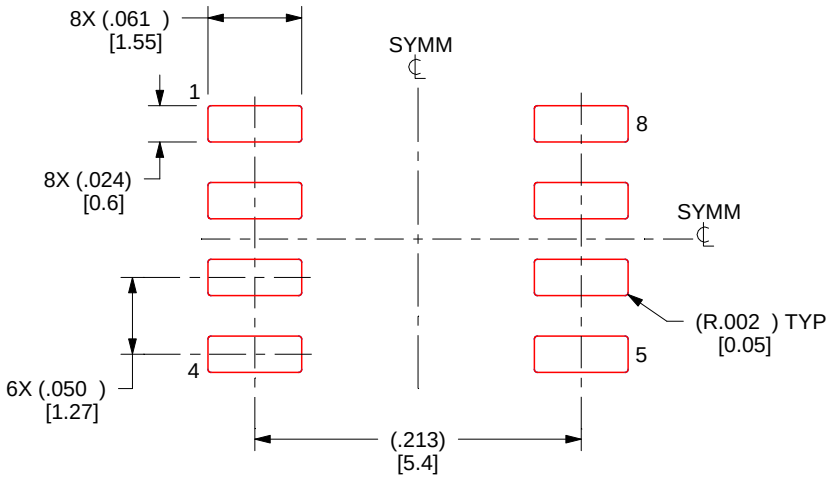
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



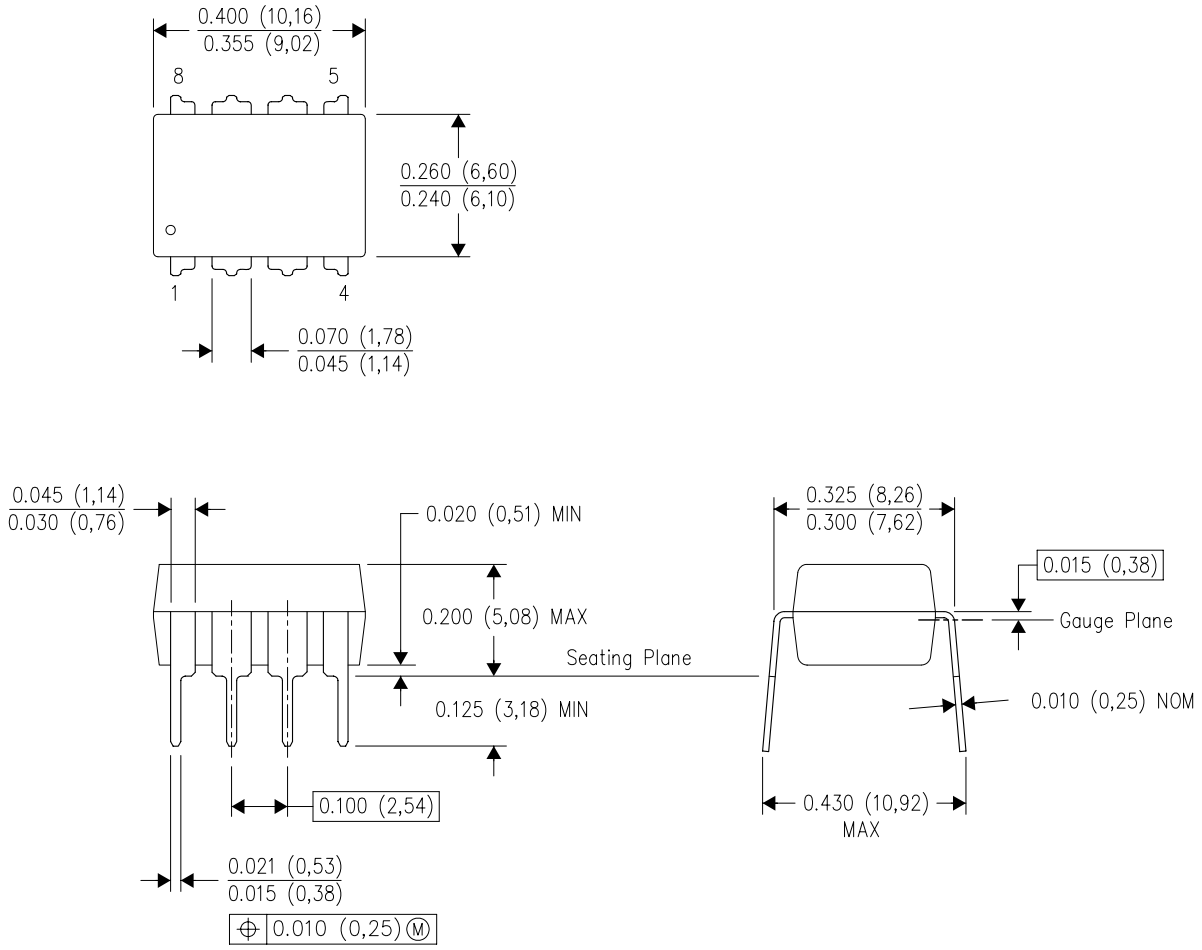
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月