UC1842, UC2842, UC3842, UC1843, UC2843, UC3843
UC1844, UC2844, UC3844, UC1845, UC2845, UC3845
JAJSJ34H – APRIL 1997 – REVISED OCTOBER 2024

UCx84x 電流モード PWM コントローラ

1 特長

- オフラインおよび DC-DC コンバータ用に最適化
- 低いスタートアップ電流 (1mA 未満)
- 自動フィードフォワード補償
- パルス単位の電流制限
- 拡張された負荷応答特性
- ヒステリシス付きの低電圧誤動作防止
- ダブル パルス抑制
- 大電流トーテムポール出力
- 内部トリムされたバンドギャップ リファレンス
- 最大 500kHz 動作
- 出力抵抗の低いエラー アンプ

2 アプリケーション

- あらゆる極性のスイッチング・レギュレータ
- トランスと結合の DC-DC コンバータ

3 概要

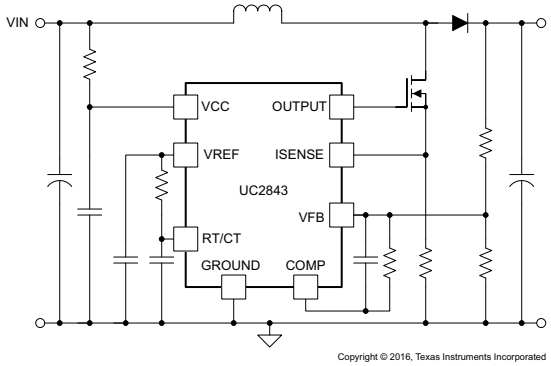
UCx84x シリーズの制御 IC には、オフラインや DC-DC 固定周波数の電流モード制御スキーマを最小限の外付け部品で実装するために必要な機能が搭載されています。低電圧誤動作防止 (UVLO) 回路が内蔵され、スタートアップ電流が 1mA 未満で、エラー アンプ入力で高精度のリファレンス電圧がトリムされて正確性を実現します。それ以外にも、ラッチ動作を可能にするロジック、電流制限制御の機能を持つパルス幅変調 (PWM) コンパレータ、および高いピーク電流をソースまたはシンクするように設計されたトーテムポール出力段が内蔵されています。出力段は、N チャネル MOSFET の駆動用に設計されており、オフ状態では Low になります。

UCx84x ファミリには、各種のパッケージ オプション、温度範囲オプション、最大デューティ サイクル、およびターンオンとターンオフのスレッショルドやヒステリシスの範囲が用意されています。ターンオンやターンオフのヒステリシスが大きいデバイスはオフライン電源に適した選択肢であり、ヒステリシス範囲が狭いデバイスは DC/DC アプリケーション用に設計されています。UC184x デバイスは -55℃～125℃、UC284x シリーズは -40℃～85℃、UC384x シリーズは 0℃～70℃の温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UC184x	JG (CDIP、8)	7.62mm × 6.67 mm
	FK (LCCC、20)	8.89mm × 8.89 mm
	W (CFP、14)	9.21mm × 6.3 mm
UC284x	D (SOIC、8)	4.90mm × 6.00 mm
	D (SOIC、14)	8.65mm × 6.00 mm
	P (PDIP、8)	9.81mm × 9.43 mm
UC384x	D (SOIC、8)	4.90mm × 6.00 mm
	D (SOIC、14)	8.65mm × 6.00 mm
	P (PDIP、8)	9.81mm × 9.43 mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 3
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 6
6.5 電気的特性 ... 7
6.6 代表的特性 ... 9
7 詳細説明 ... 11
7.1 概要 ... 11
7.2 機能ブロック図 ... 11
7.3 機能説明 ... 12
7.4 デバイスの機能モード ... 20
8 アプリケーションと実装 ... 21
8.1 アプリケーション情報 ... 21
8.2 代表的なアプリケーション ... 22
8.3 電源に関する推奨事項 ... 34
8.4 レイアウト ... 34
9 デバイスおよびドキュメントのサポート ... 37
9.1 ドキュメントの更新通知を受け取る方法 ... 37
9.2 サポート・リソース ... 37
9.3 商標 ... 37
9.4 静電気放電に関する注意事項 ... 37
9.5 用語集 ... 37
10 改訂履歴 ... 37
11 メカニカル、パッケージ、および注文情報 ... 38

Copyright © 2024 Texas Instruments Incorporated

4 デバイス比較表

UVLO		温度範囲	最大デューティ・サイクル
16V でターンオン 10V でターンオフ オフライン・アプリケーションに適切	8.4V でターンオン 7.6V でターンオフ DC-DC アプリケーションに適切		
UC1842	UC1843	-55℃～125℃	最大 100%
UC2842	UC2843	-40℃～85℃	
UC3842	UC3843	0℃～70℃	
UC1844	UC1845	-55℃～125℃	最大 50%
UC2844	UC2845	-40℃～85℃	
UC3844	UC3845	0℃～70℃	

5 ピン構成および機能

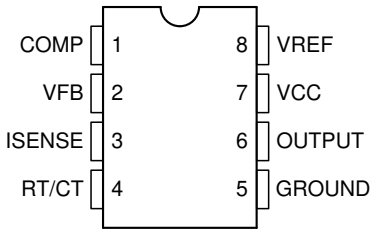


図 5-1. D、JG、P パッケージ 8 ピン SOIC、CDIP、PDIP 上面図

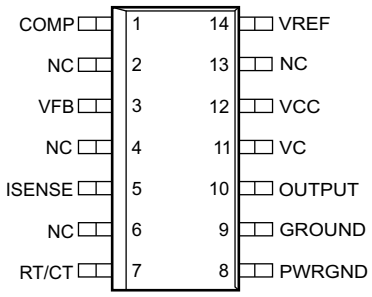


図 5-2. D および W パッケージ 14 ピン SOIC および CFP 上面図

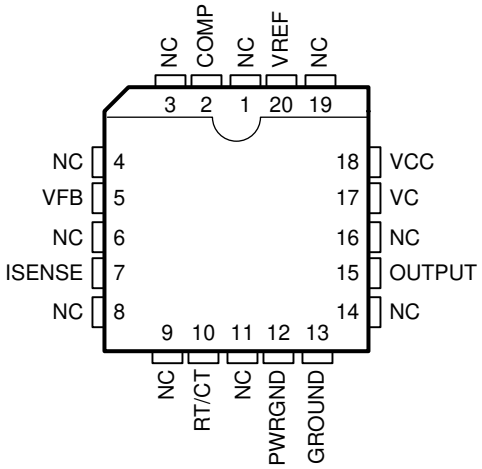


図 5-3. FK パッケージ 20 ピン LCCC 上面図

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピンの機能

ピン				種類 (1)	説明
名称	SOIC、CDIP、PDIP (8)	SOIC、CFP (14)	LCCC (20)		
COMP	1	1	2	O	エラー アンプ補償ピン。エラー アンプの出力を変更するには、外部補償部品をこのピンに接続します。エラー アンプは内部的に電流制限されるため、ユーザーは COMP を外部で GROUND に強制的に接続することでゼロ デューティ サイクルを指定できます。
グランド	5	9	13	G	アナログ グランド。PWRGND がないデバイス パッケージでは、GROUND が電源グランドとアナログ グランドの両方として機能します。
PWRGND	—	8	12	G	電源グランド。PWRGND がないデバイス パッケージでは、GROUND が電源グランドとアナログ グランドの両方として機能します。
ISENSE	3	5	7	I	1 次側電流検出ピン。電流検出抵抗に接続します。PWM はこの信号を使用して、OUTPUT スイッチの導通を終了します。電圧ランプをこのピンに適用して、電圧モード制御構成でデバイスを動作させることができます。
NC	—	2、4、6、13	1、3、4、6、8、9、11、14、16、19	—	接続しない
出力	6	10	15	O	OUTPUT は、外部 MOSFET のゲート駆動です。OUTPUT は、MOSFET を直接駆動することを意図したオンチップ ドライバ段の出力です。最大 1A のピーク電流が、このピンからソースおよびシンクされます。VCC がターンオン スレッショルドを下回ると、OUTPUT はアクティブに Low に保持されます。
RT/CT	4	7	10	I/O	固定周波数発振器の設定ポイント。このピンから、タイミング抵抗 R_{RT} を VREF に、タイミング コンデンサ C_{CT} を GROUND に接続して、スイッチング周波数を設定します。最高の性能を得るには、タイミング コンデンサからデバイスの GROUND へのリードをできるだけ短く、直線的にします。可能であれば、タイミング コンデンサと他のすべての機能に別々のグランド配線を使用します。 発振器の周波数は、次の式で推定できます。 $f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}}$ (1) f_{OSC} がヘルツ単位の場合、R_{RT} は Ω、C_{CT} はファラッド単位です。5kΩ より小さいタイミング抵抗を使用してはいけません。UCx842 および UCx843 の OUTPUT ゲート駆動の周波数 f_{SW} は、最大 100% のデューティ サイクルで f_{OSC} と等しくなります。UCx844 および UCx845 の周波数は、最大 50% のデューティ サイクルで f_{OSC} 周波数の半分に等しくなります。
VC	—	11	17	I	出力ゲート駆動のバイアス電源入力。このピンがない PWM コントローラの場合、ゲート ドライバは VCC ピンからバイアスされます。VC には、設計で使用するメイン スイッチング FET のゲート容量の 10 倍より大きいバイパス コンデンサが必要です。
VCC	7	12	18	I	デバイスに電力を供給するアナログ コントローラ バイアス入力。合計 VCC 電流は、静止 VCC 電流と平均 OUTPUT 電流の和です。スイッチング周波数と MOSFET ゲート電荷 Q_g が判明していれば、平均 OUTPUT 電流は次の式で計算できます。 $I_{OUTPUT} = Q_g \times f_{SW}$ (2) このピンには、最小のパターン長で GROUND に直接接続されたバイパス コンデンサ (通常 0.1µF) が必要です。VCC にも、設計で使用するメイン スイッチング FET のゲート容量の 10 倍以上のバイパス コンデンサを追加する必要があります。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン				種類 (1)	説明
名称	SOIC、CDIP、PDIP (8)	SOIC、CFP (14)	LCCC (20)		
VFB	2	3	5	I	内部エラー アンプへの反転入力。VFB を使用してパワー コンバータの電圧帰還ループを制御し、安定性を確保します。
VREF	8	14	20	O	5V のリファレンス電圧 VREF は、タイミング抵抗を経由して発振器のタイミング コンデンサに充電電流を供給するために使用されます。リファレンス電圧の安定性のため、セラミック コンデンサをピンのできるだけ近くに接続して VREF をグランドにバイパスすることが重要です。0.1µF 以上のセラミックが必要です。VREF の外部負荷に、追加の VREF バイパスが必要です。

(1) I = 入力、O = 出力、G = グランド

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{VCC}	低インピーダンスのソース		30	V
	I_{VCC} < 30mA		自己制限	
V_{VFB} および V_{ISENSE}	アナログ入力電圧	-0.3	6.3	V
V_{VC}	入力電圧、Q および D パッケージのみ		30	V
I_{OUTPUT}	出力駆動電流		±1	A
I COMP	エラー アンプの出力シンク電流		10	mA
E_{OUTPUT}	出力エネルギー (容量性負荷)		5	µJ
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±2000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
V_{VCC} および V_{VC} (1)	電源電圧		12		28	V
V_{VFB}	入力電圧				2.5	V
V_{ISENSE}	入力電圧				1	V
I_{VCC}	電源電流、外部制限				25	mA
I_{OUTPUT}	平均出力電流				200	mA
I_{VREF}	リファレンス出力電流				-20	mA
f_{OSC}	オシレータの周波数			100	500	kHz
T_A	自由空気での動作温度	UC184x	-55		125	℃
		UC284x	-40		85	
		UC384x	0		70	

(1) VC および POWER GROUND に対するこれらの推奨電圧は、D パッケージにのみ適用されます。

6.4 熱に関する情報

熱評価基準(1)		UCx84x				単位
		D (SOIC)	D (SOIC)	P (PDIP)	FK (LCCC)	
		8 ピン	14 ピン	8 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	117.4	87.9	74.1	—	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.5	42.2	63.4	36.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	61	44.7	50.5	35.4	℃/W

Copyright © 2024 Texas Instruments Incorporated

6.4 熱に関する情報 (続き)

熱評価基準(1)		UCx84x				単位
		D (SOIC)	D (SOIC)	P (PDIP)	FK (LCCC)	
		8 ピン	14 ピン	8 ピン	20 ピン	
ψ_{JT}	接合部から上面への特性パラメータ	7.8	8.8	34.6	—	℃/W
ψ_{JB}	接合部から底面までの熱特性パラメータ	60.2	44.3	49.2	—	℃/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	—	—	—	4.1	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。spra953

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)。UC184x では -55℃ ≦ T_A ≦ 125℃。UC284x では -40℃ ≦ T_A ≦ 85℃。UC384x では 0℃ ≦ T_A ≦ 70℃。V_{CC} = 15V(2)。VCC からグランドへ 0.1µF のコンデンサ、VREF からグランドへ 0.1µF のコンデンサを接続。R_{RT} = 10kΩ、C_{CT} = 3.3nF、T_J = T_A。

パラメータ		テスト条件		最小値	標準値	最大値	単位
リファレンス セクション							
V_{VREF}	リファレンス電圧	I_{VREF} = 1mA、T_J = 25℃	UC184x、UC284x	4.95	5	5.05	V
			UC384x	4.9	5	5.1	
	ライン レギュレーション	12 ≦ VCC ≦ 25V			6	20	mV
	負荷レギュレーション	1 ≦ I_{VREF} ≦ 20mA			6	25	mV
	温度安定性	(1) (3) を参照			0.2	0.4	mV/℃
	総出力変動	ライン、負荷、温度 (1)	UC184x、UC284x	4.9		5.1	V
			UC384x	4.82		5.18	
	出力ノイズ電圧	10Hz ≦ f_{OSC} ≦ 10kHz、(1) T_J = 25℃			50		µV
	長期的安定性	T_A = 125℃、1000 時間 (1)			5	25	mV
	出力短絡			-30	-100	-180	mA
発振器セクション							
f_{OSC}	初期精度	T_J = 25℃(5)		47	52	57	kHz
	電圧安定性	12 ≦ VCC ≦ 25V			0.2%	1%	
	温度安定性	T_{MIN} ≦ T_A ≦ T_{MAX} (1)			5%		
$V_{RT/CT}$	振幅	ピーク ツー ピーク (1)			1.7		V
エラー アンプ セクション							
V_{VFB}	入力電圧	V_{COMP} = 2.5V	UC184x、UC284x	2.45	2.5	2.55	V
			UC384x	2.42	2.5	2.58	
I_{VFB}	入力バイアス電流		UC184x、UC284x			-1	µA
			UC384x			-2	
A_{VOL}		2 ≦ V_{COMP} ≦ 4V		65	90		dB
	ユニティ ゲイン帯域幅	T_J = 25℃ (1)		0.7	1		MHz
PSRR	電源除去比	12 ≦ VCC ≦ 25V		60	70		dB
$I_{(snk)}$	COMP シンク電流	V_{VFB} = 2.7V、V_{COMP} = 1.1V		2	6		mA
$I_{(src)}$	COMP ソース電流	V_{VFB} = 2.3V、V_{COMP} = 5V		-0.5	-0.8		

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。UC184x では -55℃ ≦ T_A ≦ 125℃。UC284x では -40℃ ≦ T_A ≦ 85℃。UC384x では 0℃ ≦ T_A ≦ 70℃。V_{VCC} = 15V(2)。VCC からグランドへ 0.1µF のコンデンサ、VREF からグランドへ 0.1µF のコンデンサを接続。R_{RT} = 10kΩ、C_{CT} = 3.3nF、T_J = T_A。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{COMP} High	High レベル出力電圧	V_{VFB} = 2.3V、R_L = 15kΩ を COMP からグランドに接続	5	6		V
V_{COMP} Low	Low レベル出力電圧	V_{VFB} = 2.7V、R_L = 15kΩ を COMP から VREF に接続		0.7	1.1	
電流検出セクション						
A_{CS}	ゲイン	(4) (6) を参照	2.85	3	3.15	V/V
V_{ISENSE}	最大入力信号	V_{COMP} = 5V (4)	0.9	1	1.1	V
PSRR	電源除去比	12V ≦ V_{VCC} ≦ 25V (1) (4)		70		dB
I_{ISENSE}	入力バイアス電流			-2	-10	µA
t_{DLY}	出力の遅延	V_{ISENSE} が 0V から 2V に変化 (1)		150	300	ns
出力セクション						
V_{OUT} Low	Low レベル OUTPUT 電圧	I_{SINK} = 20mA		0.1	0.4	V
		I_{SINK} = 200mA		1.5	2.2	
V_{OUT} High	High レベル OUTPUT 電圧	I_{SOURCE} = 20mA	13	13.5		V
		I_{SOURCE} = 200mA	12	13.5		
t_{RISE}	立ち上がり時間 (1)	C_{OUTPUT} = 1nF、T_J = 25℃		25	150	ns
t_{FALL}	立ち下がり時間 (1)	C_{OUTPUT} = 1nF、T_J = 25℃		25	150	ns
低電圧誤動作防止 (UVLO)						
VCC_{ON}	イネーブル スレッショルド	UC1842/4 および UC2842/4	15	16	17	V
		UC3842/4	14.5	16	17.5	
		UCx843/5	7.8	8.4	9	
VCC_{OFF}	UVLO オフのスレッショルド	UC1842/4 および UC2842/4	9	10	11	V
		UC3842/4	8.5	10	11.5	
		UCx843/5	7	7.6	8.2	
PWM						
D_{MAX}	最大デューティ サイクル	UCx842/3	92%	97%	100%	
		UC1844/5 および UC2844/5	46%	48%	50%	
		UC3844/5	47%	48%	50%	
D_{MIN}	最小デューティ サイクル				0%	
総スタンバイ電流						
I_{VCC}	スタートアップ電流			0.5	1	mA
I_{VCC}	動作電源電流	V_{VFB} = V_{ISENSE}= 0V		11	17	
	VCC ツェナー電圧	I_{VCC} = 25mA	30	39		V

(1) 設計により規定されています。実製品の検査は行っていません。
(2) VCC を起動スレッショルドより高く調整してから、15V に設定します。
(3) 温度安定性は平均温度係数とも呼ばれ、次の式で表されます。

$$\text{Temp Stability} = \frac{\text{VREF}_{(\max)} - \text{VREF}_{(\min)}}{T_{J(\max)} - T_{J(\min)}}$$

VREF_{min} と VREF_{max} は、適切な温度範囲にわたって測定された最大および最小のリファレンス電圧です。電圧の極値は、温度の極値で発生するとは限らないことに注意してください。
(4) パラメータは、VFB = 0V で、ラッチのトリップ ポイントで測定されます。
(5) 出力スイッチング周波数 f_{SW} は、UCx842 および UCx843 の場合は発振器周波数 f_{OSC} と同じです。出力スイッチング周波数 f_{SW} は、UCx844 および UCx845 の場合は発振器周波数 f_{OSC} の半分です。
(6) ゲインの定義:A = $\Delta V_{COMP}/\Delta V_{ISENSE}$、0V ≤ V_{ISENSE} ≤ 0.8V。

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性

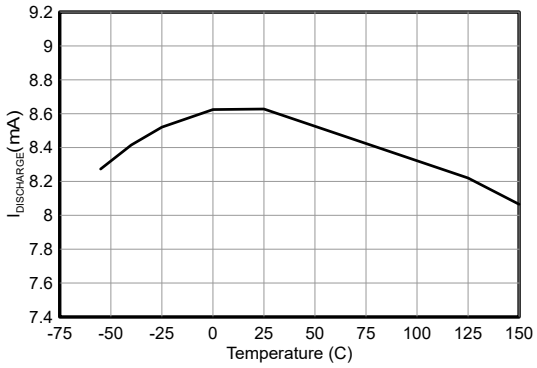


図 6-1. VCC = 15V、V_{OSC} = 2V での発振器放電電流と温度との関係

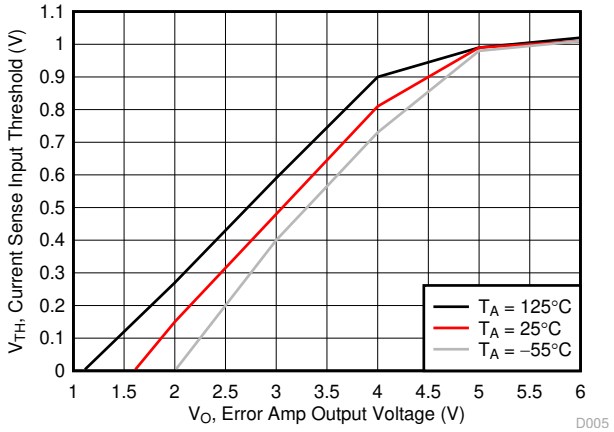


図 6-2. VCC = 15V での電流検出入力スレッショルドとエラー アンプ出力電圧との関係

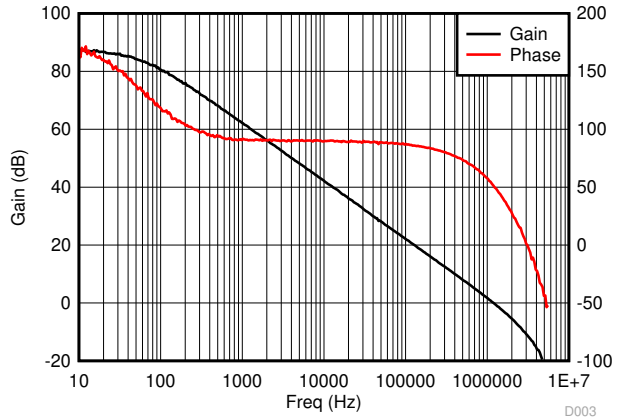


図 6-3. エラー アンプの開ループ ゲインおよび位相と周波数との関係、VCC = 15V、R_L = 100kΩ、T_A = 25℃

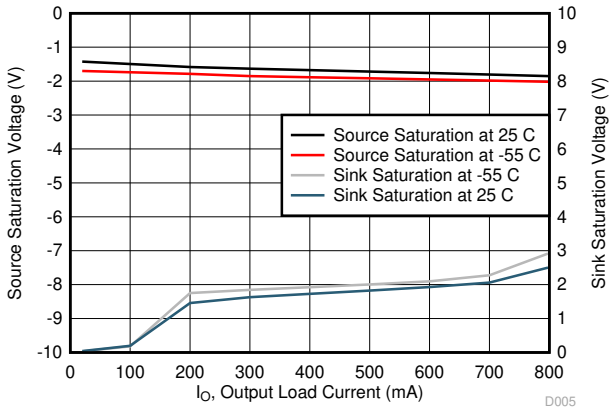


図 6-4. VCC = 15V、5ms の入力パルスでの OUTPUT 飽和電圧と負荷電流との関係

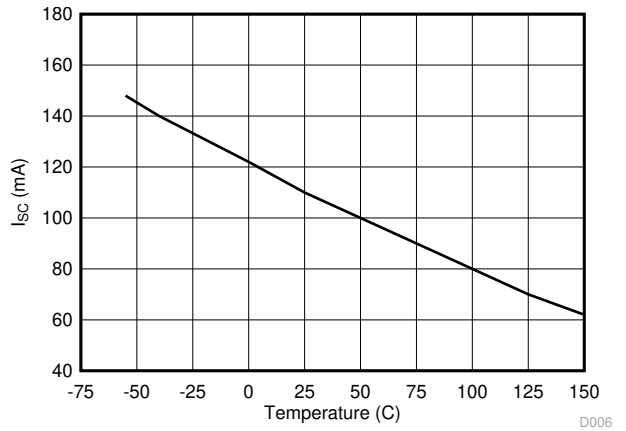


図 6-5. VCC = 15V での VREF 短絡電流と温度との関係

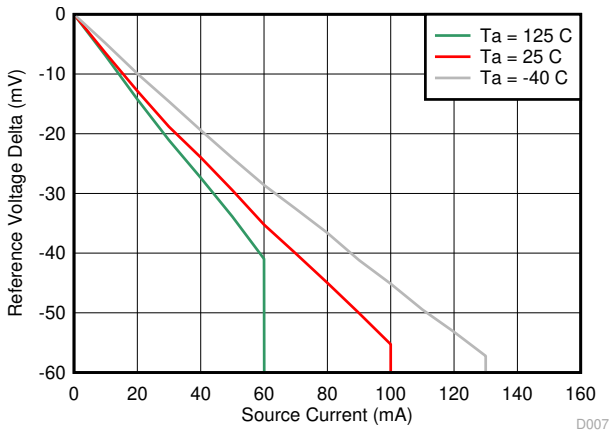


図 6-6. VREF 電圧とソース電流との関係

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性 (続き)

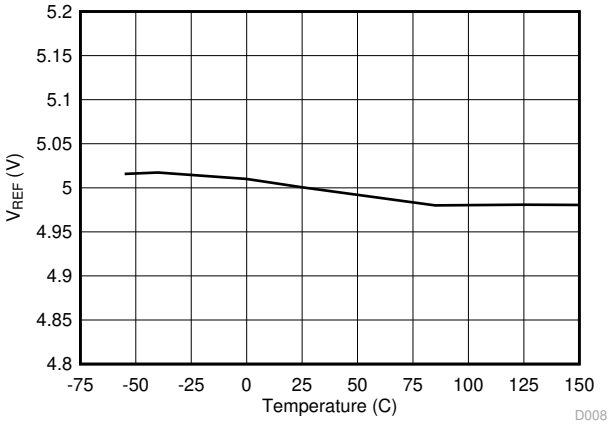


図 6-7. VREF 電圧と温度との関係

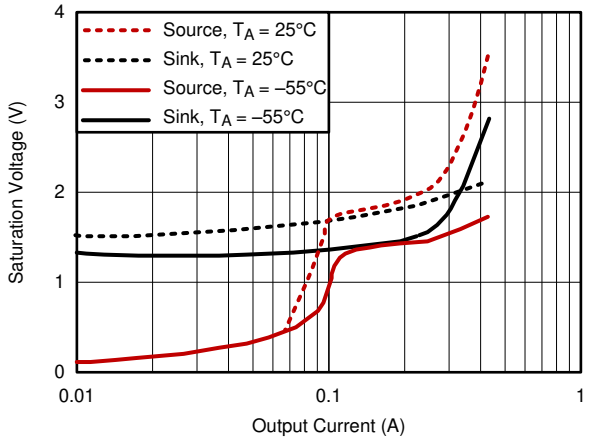


図 6-8. 出力飽和

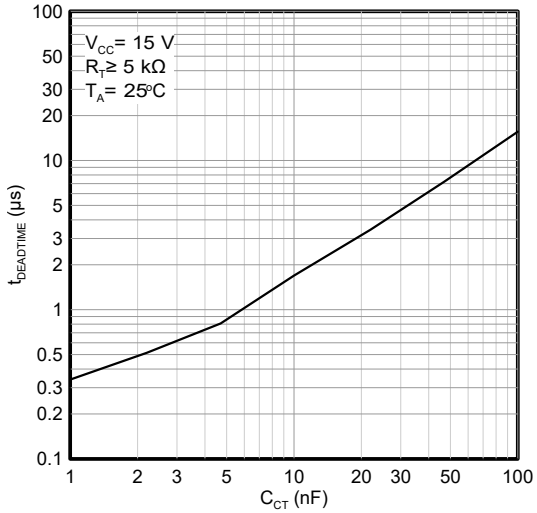


図 6-9. デッドタイムとタイミング容量 C_{CT} との関係

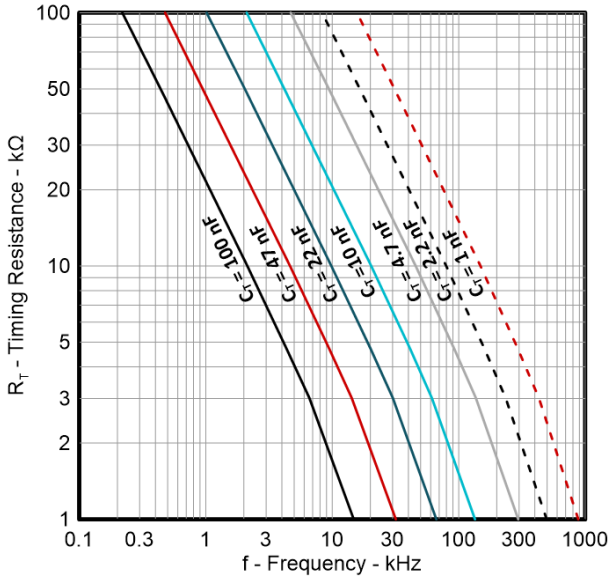


図 6-10. タイミング抵抗 R_{RT} と周波数との関係

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

UCx84x シリーズの制御 IC には、AC-DC または DC-DC 固定周波数の電流モード制御スキーマを最小限の外付け部品で実装するために必要な機能が搭載されています。保護回路には、低電圧誤動作防止 (UVLO) と電流制限が含まれます。内部回路では、スタートアップ電流が 1mA 未満で、エラー アンプ入力で高精度のリファレンス電圧がトリムされて正確性を実現します。ラッチ動作を検証するロジック、電流制限制御の機能を持つパルス幅変調 (PWM) コンパレータ、および高いピーク電流をソースまたはシンクするように設計されたトーテム ポール出力段が内蔵されています。出力段は、N チャネル MOSFET の駆動用に設計されており、オフ状態では Low になります。

これらのシリーズに属する製品間の主な違いは、UVLO スレッショルド、許容可能な周囲温度範囲、最大デューティ サイクルです。UCx842 および UCx844 デバイスはオフラインの AC/DC アプリケーション向けに設計されており、UVLO スレッショルドの標準値は 16V (オン) および 10V (オフ) です。UCx843 および UCx845 デバイスは、DC/DC アプリケーションで使用されるレギュレートされた入力電圧用に設計されており、対応する標準スレッショルドは 8.4V (オン) および 7.6V (オフ) です。UCx842 および UCx843 デバイスは、100% に近いデューティ サイクルで動作します。UCx844 および UCx845 は、内部にトグル フリップ フロップが追加されているため、デューティ サイクルの範囲は 0%～50% で、2 クロック サイクルごとに出力がオフになります。

UC184x シリーズのデバイスは -55℃～125℃、UC284x シリーズのデバイスは -40℃～85℃、UC384x デバイスは 0℃～70℃の温度範囲で動作が規定されています。

7.2 機能ブロック図

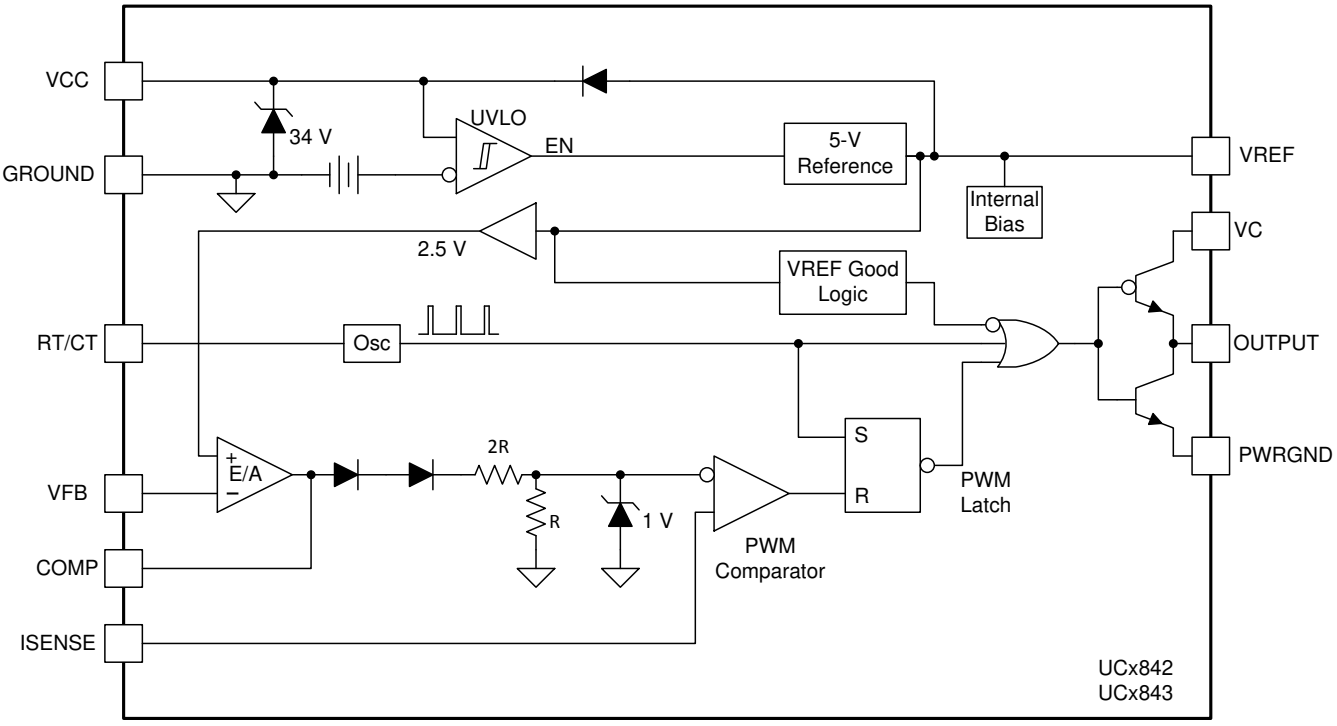


図 7-1. UCx842 および UCx843 のブロック図、トグルなし

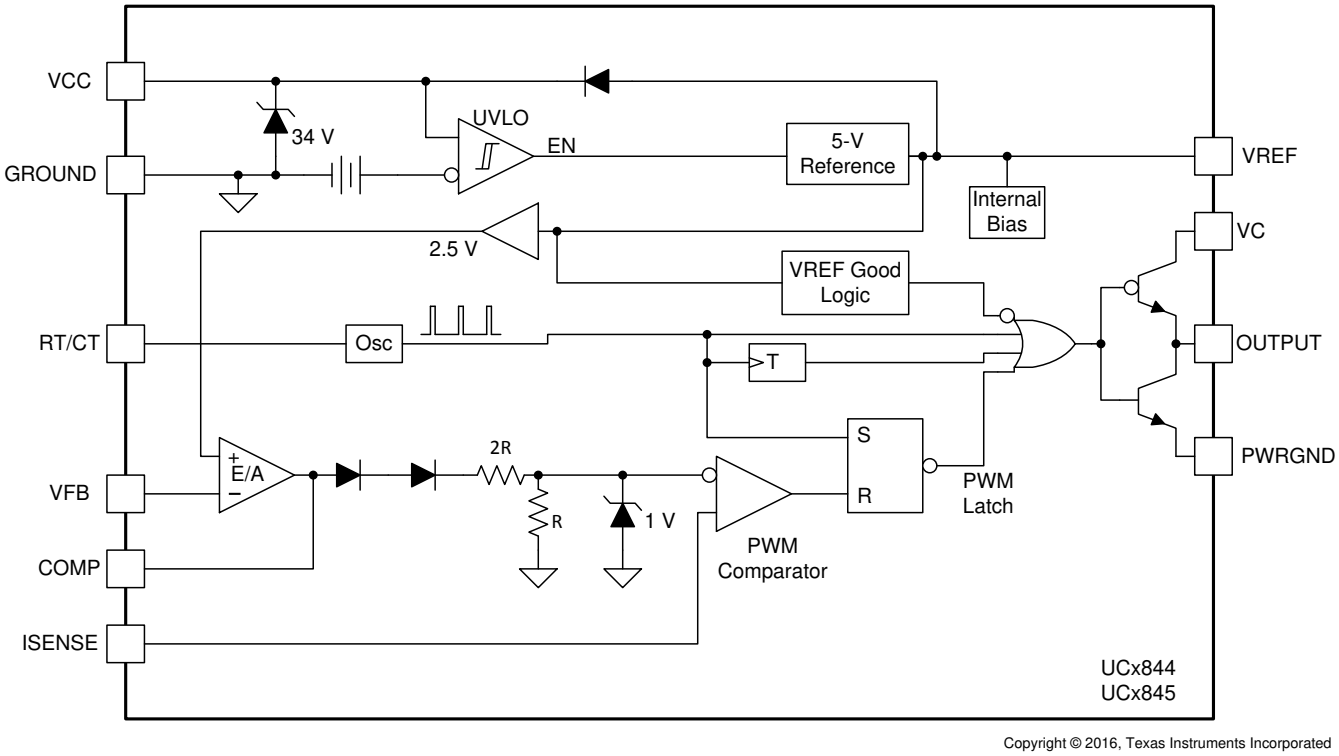


図 7-2. UCx844 および UCx845 のブロック図、トグルあり

7.3 機能説明

7.3.1 ピンの詳細説明

7.3.1.1 COMP

UCx84x ファミリのエラー・アンプは電流源と並列のオープン・コレクタで、ユニティ・ゲイン帯域幅は 1MHz です。COMP 端子は、ソース電流とシンク電流の両方に対応できます。エラー・アンプは内部的に電流制限されているため、COMP を外部から GROUND に接続することでゼロ・デューティ・サイクルを指定できます。

7.3.1.2 VFB

VFB は、エラー・アンプの反転入力です。VFB を使用してパワー・コンバータの電圧帰還ループを制御し、安定性を確保します。最大の安定性を得るため、VFB リードの長さはできるだけ短くし、VFB の浮遊容量をできるだけ少なくします。

7.3.1.3 ISENSE

UCx84x の電流センス入力は、PWM コンパレータに接続します。ISENSE は、MOSFET のソース電流検出抵抗に接続します。PWM はこの信号を使用して、OUTPUT スイッチの導通を終了します。電圧ランプをこのピンに適用して、電圧モード制御構成でデバイスを動作させるか、勾配補償を追加できます。リーディング エッジ ノイズによる誤トリガを防止するため、RC 電流検出フィルタが必要な場合があります。電流検出アンプのゲインは、通常 3V/V です。

7.3.1.4 RT/CT

RT/CT は発振器のタイミング・ピンです。固定周波数動作の場合、VREF から RT/CT に抵抗を接続して、タイミング・コンデンサの充電電流を設定します。タイミング・コンデンサを RT/CT から GROUND に接続して周波数を設定します。最高の性能を得るには、タイミング・コンデンサから GROUND へのリードをできるだけ短く、直線的にします。可能であれば、タイミング・コンデンサと他のすべての機能に別々のグランド配線を使用します。

UCx84x の発振器は 500kHz で動作できます。デバイスは、外付け抵抗を使用して外部コンデンサの充電電流を設定し、これによって発振器の周波数が決定されます。タイミング抵抗の値の推奨範囲は 5kΩ～100kΩ です。タイミング・コンデンサの値の推奨範囲は 1nF～100nF です。

Copyright © 2024 Texas Instruments Incorporated

$$f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}} \quad (3)$$

この式で、スイッチング周波数 f_{SW} は Hz 単位、R_{RT} は Ω 単位、C_{CT} はファラッド単位です。

7.3.1.5 GROUND

GROUND は、グランドに戻る信号と電力です。信号がスイッチング電流の影響を受けないように、信号のリターン・パスと大電流のゲート・ドライバ・パスは分離することをお勧めします。

7.3.1.6 出力

UCx84x デバイスの大電流バイポーラ トーテム ポール出力は、最大 1A のピーク電流をシンクまたはソースします。OUTPUT ピンは MOSFET を直接駆動できます。UCx842 および UCx843 デバイスの OUTPUT は、発振器と同じ周波数でスイッチングされ、100% に近いデューティ サイクルで動作できます。UCx844 および UCx845 デバイスでは、内部 T フリップ フロップにより、OUTPUT のスイッチング周波数は発振器の半分になります。これにより、UCx844 および UCx845 の最大デューティ サイクルは 50% 未満に制限されます。電源レールとグランドへの高インピーダンスによるオーバーシュートとアンダーシュートを防止するために、OUTPUT ピンにショットキー ダイオードが必要な場合があります。低電圧誤動作防止中に外部のリーク電流が発生してパワー スイッチがアクティブにならないよう、MOSFET のゲートとソースとの間にブリーダ抵抗を配置できます。VCC がゲート電圧定格を超えたときに MOSFET ゲートの過電圧ストレスを防止するため、外部クランプ回路が必要になることがあります。

7.3.1.7 VCC

VCC は、このデバイスの電源入力接続です。通常動作では、電流制限抵抗を経由して VCC に電力を供給します。静止 VCC 電流はわずか 0.5mA ですが、合計電源電流は OUTPUT 電流に応じて高くなります。合計 VCC 電流は、静止 VCC 電流と平均 OUTPUT 電流の合計です。動作周波数と MOSFET ゲート電荷 (Q_g) が判明していれば、式 4 で平均 OUTPUT 電流を計算できます。

$$I_{OUTPUT} = Q_g \times f_{SW} \quad (4)$$

UCx84x には、標準値 34V の VCC 電源電圧クランプがあります。ただし、低インピーダンス ソースからの VCC の絶対最大値は 30V です。推奨 VCC 電圧より高い入力電圧を持つアプリケーションでは、ソースのインピーダンスを増やすため、VCC と直列に抵抗を配置します。この抵抗の最大値は、式 5 で計算されます。

$$R_{VCC\,(max)} = \frac{V_{IN\,(min)} - V_{VCC\,(max)}}{I_{VCC} + \left(Q_g \times f_{SW}\right)} \quad (5)$$

式 5 で、$V_{IN(min)}$ は VCC に電源を供給するために使用される最小電圧、$V_{VCC(max)}$ は最大 VCC クランプ電圧、I_{VCC} はゲート ドライバ電流を除いた IC の電源電流、Q_g は外部パワー MOSFET のゲート電荷、f_{SW} はスイッチング周波数です。

UCx84x ファミリのターンオンおよびターンオフのスレッショルドは、製品によって大きく異なります。UCx842 と UCx844 では 16V と 10V、UCx843 と UCx855 では 8.4V と 7.6V です。ノイズに関連する問題を防止するため、電解コンデンサで VCC をフィルタし、セラミック コンデンサでグランドにバイパスします。これらのコンデンサは、IC のピンの近くに配置します。

7.3.1.8 VREF

VREF はエラー アンプの電圧リファレンスで、IC 内にある他の多くの内部回路でも使用されます。高速スイッチング ロジックは、ロジック電源として VREF を使用します。UCx84x ファミリの場合、5V リファレンス電圧の公差は ±2% です。出力短絡電流は 30mA です。リファレンス電圧の安定性を確保し、高速スイッチング過渡によるノイズの問題を防止するため、IC パッケージの近くにセラミック コンデンサを配置して、VREF をグランドにバイパスします。0.1µF 以上のセラミック コン

Copyright © 2024 Texas Instruments Incorporated

デンサが必要です。リファレンスの外部負荷には、追加の VREF バイパスが必要です。セラミック コンデンサの他に電解コンデンサも使用できます。

VCC が 1V より高く、UVLO スレッショルドより低い場合、5kΩ の抵抗により VREF がグランドにプルダウンされます。VCC が UVLO スレッショルドを下回ると VREF が Low に保持されるため、電源システムのステータスを示すロジック出力として VREF を使用できます。

7.3.2 パルス単位の電流制限

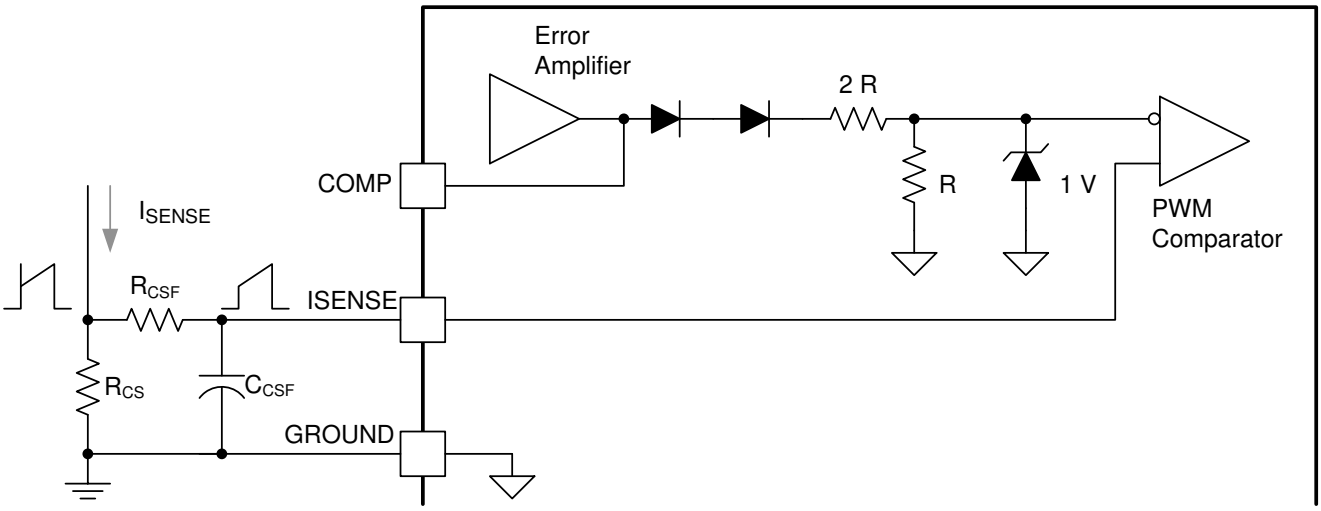
パルス単位の制限は、電流モード制御スキーマに固有のものです。誤差電圧をクランプするだけで、ピーク電流の上限を設定できます。正確な電流制限により、磁気およびパワー半導体素子を最適化するとともに、信頼性の高い電源動作を提供できます。

7.3.3 電流検出

外部直列抵抗 R_{CS} が電流を検出して、ISENSE ピンの入力電圧に変換します。ISENSE ピンは、PWM コンパレータへの非反転入力です。ISENSE 入力は、エラー アンプの出力電圧に比例する信号と比較されます。電流検出アンプのゲインは、通常 3V/V です。ピーク I_{SENSE} 電流は、式 6 で計算されます。

$$I_{SENSE} = \frac{V_{ISENSE}}{R_{CS}} \tag{6}$$

V_{ISENSE} の標準値は 1V です。寄生回路のインピーダンスに加えて、2 次側ダイオードまたは等価な容量性負荷の逆回復によって発生するスイッチ過渡を抑制するために、小型の RC フィルタ (R_{CSF} および C_{CSF}) が必要な場合もあります。このフィルタの時定数は、コンバータのスイッチング周期よりも大幅に短くできます。



Copyright © 2016, Texas Instruments Incorporated

図 7-3. 電流検出回路図

7.3.4 出力抵抗の低いエラー アンプ

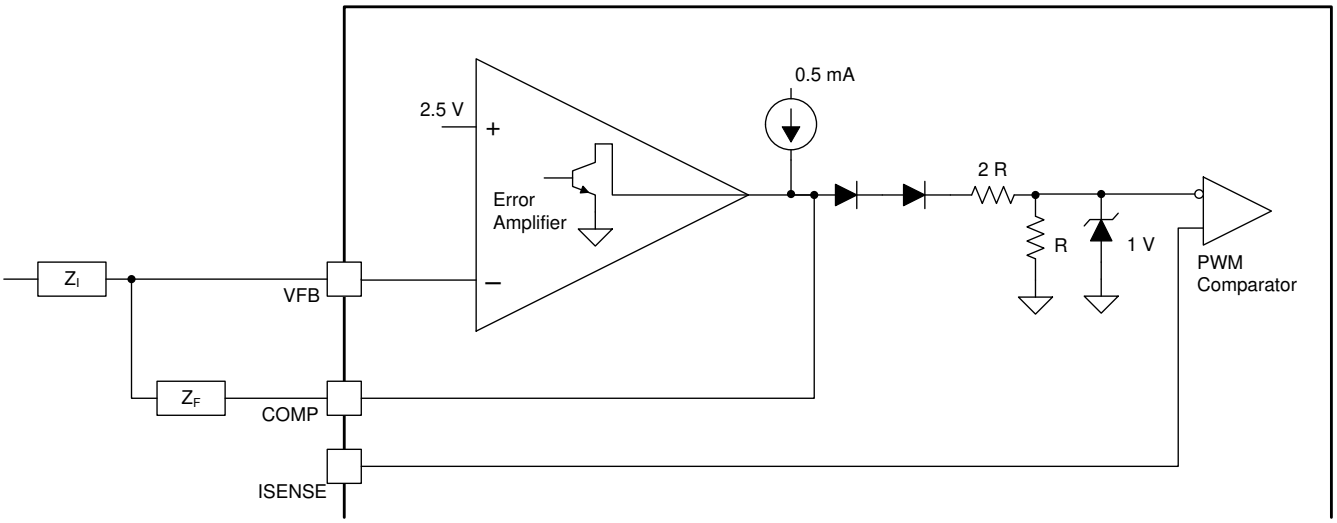
エラー アンプの出力は、電流源と並列のオープン コレクタです。出力抵抗が低いため、エラー アンプのフィードバックとして、補償ピンの入力にさまざまなインピーダンス ネットワークを使用できます。エラー アンプの出力 COMP は、TL431 など外部にある 2 次側の調整可能な電圧レギュレータを使用し、光アイソレータ経由で 2 次側から 1 次側への絶縁境界をまたいでエラー信号を送信することにより、2 次側レギュレーションの制御ポートとして多く使用されます。この構成では、COMP ピンを光アイソレータのフィードバックに直接接続します。1 次側では、UCx48x のエラー アンプへの反転入力 VFB を、GROUND に接続する必要があります。VFB を GROUND に接続すると、エラー アンプの出力 COMP が強

Copyright © 2024 Texas Instruments Incorporated

制的に High 状態になり、ソース電流は通常は 0.8mA になります。光アイソレータは、エラー アンプの出力 High レベル VOH より低い COMP ピンを制御するため、ソース電流能力に打ち勝つ必要があります。

1 次側レギュレーションでは、エラー アンプ VFB への反転入力を構成し、分圧抵抗を使用して、レギュレーション対象のコンバータ出力電圧に比例する信号を供給します。VFB と COMP との間に、電圧ループ補償部品を追加します。エラー アンプへの内部非反転入力は、2.5V にトリムされます。安定性を最大限に高めるため、VFB リードの長さはできるだけ短くし、VFB の浮遊容量を最小限に抑えます。

COMP の内部分圧抵抗は R:2R の比率で維持されます。内部抵抗の実際の値は、どのようなアプリケーションでも重要ではありません。



エラー アンプは、最大 0.5mA の電流をソースまたはシンクできます。

図 7-4. エラー アンプの構成の回路図

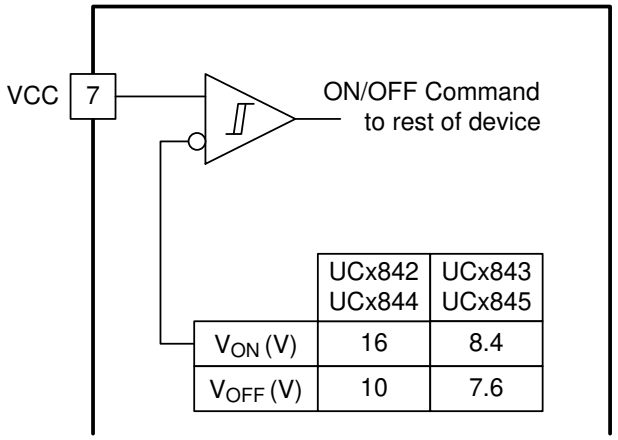
7.3.5 低電圧誤動作防止

UCx84x デバイスには、電源オンおよび電源オフ シーケンス中の動作を制御するため、低電圧誤動作防止保護回路が搭載されています。UVLO 回路により、出力段をイネーブルする前に、VCC が UCx84x を完全に動作させるのに十分であることが保証されます。UCx842、UCx843、UCx844、UCx845 デバイスの低電圧誤動作防止スレッショルドは、オフライン電源と DC/DC コンバータという 2 つのアプリケーション グループ用に最適化されています。UCx842 および UCx844 デバイスは、6V ヒステリシスにより、電源シーケンス中の VCC 発振を防止します。VCC_{ON} から VCC_{OFF} までの範囲が広いため、これらのデバイスはオフライン AC 入力アプリケーションに理想的です。UCx843 および UCx845 コントローラは、VCC_{ON} から VCC_{OFF} へのヒステリシスがはるかに狭いため、入力がレギュレートされている DC/DC アプリケーションで使用できます。

図 7-7 に示すように、オフライン コンバータの整流された入力から効率的にブートストラップするためのスタートアップ電流は 1mA 未満です。通常の回路動作中、VCC は D_{BIAS} と C_{VCC} を持つ補助巻線 N_A から生成されます。ただし、スタートアップ時には、R_{START} により C_{VCC} を 16V まで充電する必要があります。スタートアップ電流が 1mA の場合、R_{START} は 100kΩ まで大きくでき、V_{AC} = 90V RMS (低ライン) のときでも C_{VCC} を充電します。これにより、高いライン条件 (V_{AC} = 130V RMS) でも、R_{START} での消費電力は 350mW 未満になります。

UVLO 中、IC の電源電流は 1mA 未満です。ターンオン スレッショルドを超えると、IC の電源電流が最大値の 17mA まで増加します (標準値 11mA)。低電圧誤動作防止中に、出力ドライバは高インピーダンス状態にバイアスされ、わずかな電流をシンクします。低電圧誤動作防止中に外部のリーク電流が発生してパワー スイッチがアクティブにならないよう、MOSFET のゲートとソースとの間にブリーダ抵抗を配置できます。

Copyright © 2024 Texas Instruments Incorporated



	UCx842 UCx844	UCx843 UCx845
V_{ON} (V)	16	8.4
V_{OFF} (V)	10	7.6

Copyright © 2016, Texas Instruments Incorporated

図 7-5. UVLO スレッショルド

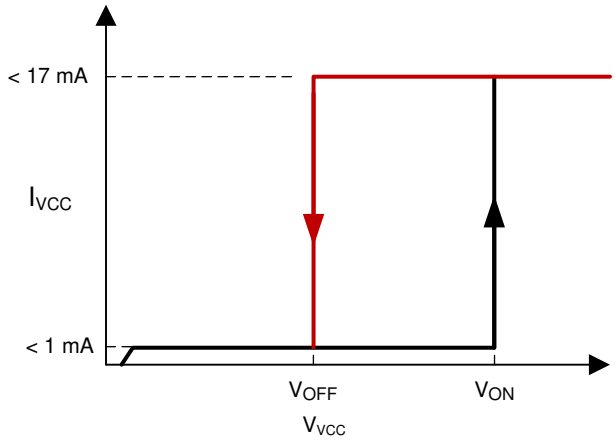


図 7-6. UVLO のオンおよびオフのプロファイル

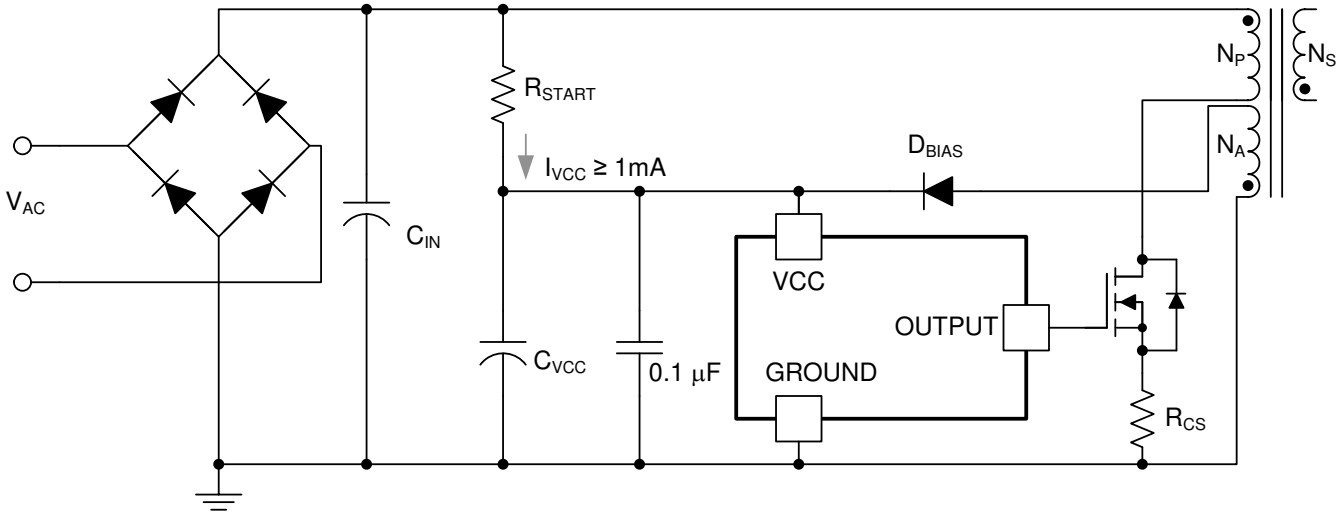


図 7-7. UCx84x への電力供給

7.3.6 発振器

発振器により、最大 500kHz のスイッチング周波数を使用できます。出力ゲートドライブは、UCx842 および UCx843 デバイスの発振器と同じ周波数で、100% に近いデューティ サイクルで動作できます。UCx844 および UCx845 デバイスでは、出力周波数は発振器の半分です。これは、内部の T フリップ フロップによって 2 クロック サイクルごとに出力がブランクになるためです。このため、これらのデバイスの最大デューティ サイクルはスイッチング周波数の 50% 未満になります。VREF から RT/CT に接続される外付け抵抗 R_{RT} は、RT/CT から GROUND に接続されるタイミング コンデンサ C_{CT} の充電電流を設定します。内部発振器の正のランプ時間を設定するため、RT/CT の R_{RT} 値は 5kΩ より大きくすることを推奨します。R_{RT} の値を 5kΩ 以上にすると、内部インピーダンスと外部の発振器設定抵抗との間で良好な比率が維持され、温度変化に対する周波数変化が最小限に抑えられます。推奨される最小値より小さい値を使用すると、温度、部品の公差、またはプロセスの変動に対して周波数ドリフトが発生する可能性があります。

発振器の波形のピーク ツー ピーク振幅は、UCx84x デバイスでは 1.7V です。UCx842 および UCx843 の最大デューティ サイクルは約 100% ですが、UCx844 および UCx845 は内部のトグル フリップ フロップによって最大 50% にクランプされます。このデューティ サイクルのクランプは、ほとんどのフライバックおよびフォワード コンバータに利点があります。IC の性能を最適化するには、デッドタイムが発振器のクロック周期の 15% を超えないようにする必要があります。放電電流は室温において通常 6mA で、これによりデッドタイムが設定されます。図 6-9 を参照してください。放電中またはデッド

Copyright © 2024 Texas Instruments Incorporated

タイム中は、内部クロック信号によって出力が Low 状態になります。これにより、最大デューティ サイクル D_{MAX} が次のように制限されます。

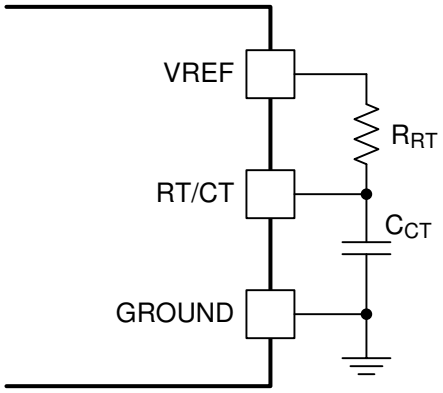
$$D_{MAX} = 1 - (t_{DEADTIME} \times f_{OSC}) \quad (7)$$

式 8 は UCx842 および UCx843 ユニットに適用されます。これは、OUTPUT が発振器と同じ周波数でスイッチングされ、最大デューティ サイクルが約 100% に達する可能性があるためです。

$$D_{MAX} = 1 - \left(t_{DEADTIME} \times \frac{f_{OSC}}{2}\right) \quad (8)$$

式 8 は UCx844 および UCx845 ユニットに適用されます。これは、OUTPUT が発振器の半分の周波数でスイッチングされ、最大デューティ サイクルは約 50% のためです。

パワー トランジスタがオフになると、ノイズ スパイクが発振器の RT/CT 端子に結合されます。デューティ サイクルが高いとき、このスパイクが発生すると、RT/CT の電圧はスレッショルド レベル (約 2.7V で、内部の発振器回路によって決定されます) に近くなります。振幅の大きいスパイクが発生すると、早すぎる発振器のトリップが発生します。ノイズ スパイクを最小限に抑えるには、できるだけ大きい C_{CT} を選択し、デッドタイムは C_{CT} とともに増加することに注意してください。C_{CT} は 1000pF 未満にしないことをお勧めします。多くの場合、この問題を引き起こすノイズは外部の寄生成分によって、電源オフ時に OUTPUT がグランドより低くプルダウンされることが原因です。これは、MOSFET を駆動するときに特に当てはまります。GROUND から OUTPUT へのショットキー ダイオード クランプを使用すると、このような出力ノイズが発振器に送られることを防止できます。



Copyright © 2016, Texas Instruments Incorporated

R_{RT} > 5kΩ の場合: $f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}}$

図 7-8. 発振器セクションの回路図

7.3.7 同期

同期を強制的に行う最も簡単な方法は、標準に近い構成でタイミング・コンデンサ C_{CT} を使用することです。C_{CT} を直接グランドに接続する代わりに、C_{CT} と直列に小さな抵抗をグランドに接続します。この抵抗は同期パルスの入力として機能し、同期パルスによって C_{CT} の電圧が発振器の内部上限スレッショルドより高くなります。PWM は、同期パルスが発生するまで、R_{RT} と C_{CT} で設定された周波数で動作できます。この方式には、勾配補償にローカル・ランプを使用できるなど、いくつかの利点があります。UC3842/3/4/5 の発振器は、同期パルス・ストリームより低い周波数に設定する必要があります。通常は、抵抗の両端に 0.5V パルスを印加した状態で 20% に設定します。

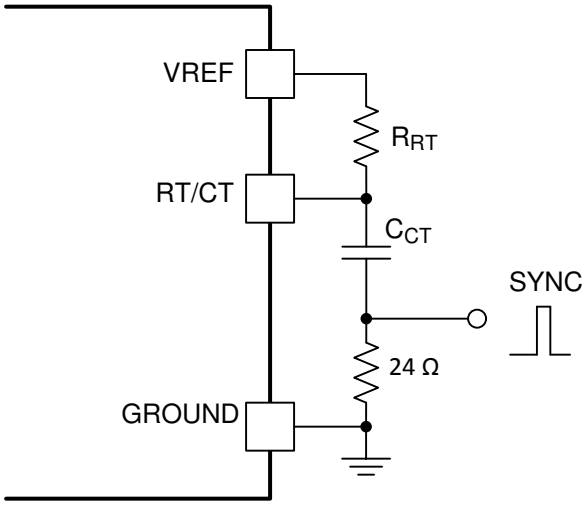


図 7-9. 発振器の同期

7.3.8 シャットダウン技法

PWM コントローラ (図 7-10 を参照) は、ISENSE の電圧を 1V 以上に上げるか、COMP 端子をグランドよりダイオード電圧降下 2 つ分上の 1V より下にプルするかの、2 つの方法でシャットダウンできます。いずれの方法でも、PWM コンパレータの出力は High になります (図 7-10 を参照)。PWM ラッチはリセット・ドミナントなので、COMP 端子または ISENSE 端子のシャットダウン状態が解消されて、その次のクロックサイクルまで、出力は Low に維持されます。1 つの例として、SCR を追加し、VCC を低い UVLO スレッショルド未満にサイクルしてリセットを行うと、外部でラッチされるシャットダウンを実現できます。この時点でリファレンス電圧はオフになり、SCR をリセットできます。

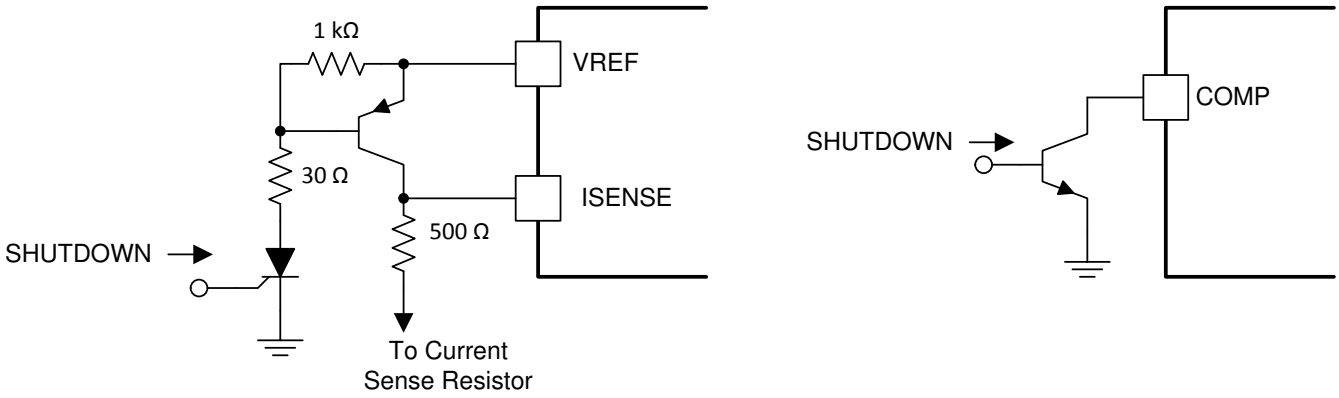
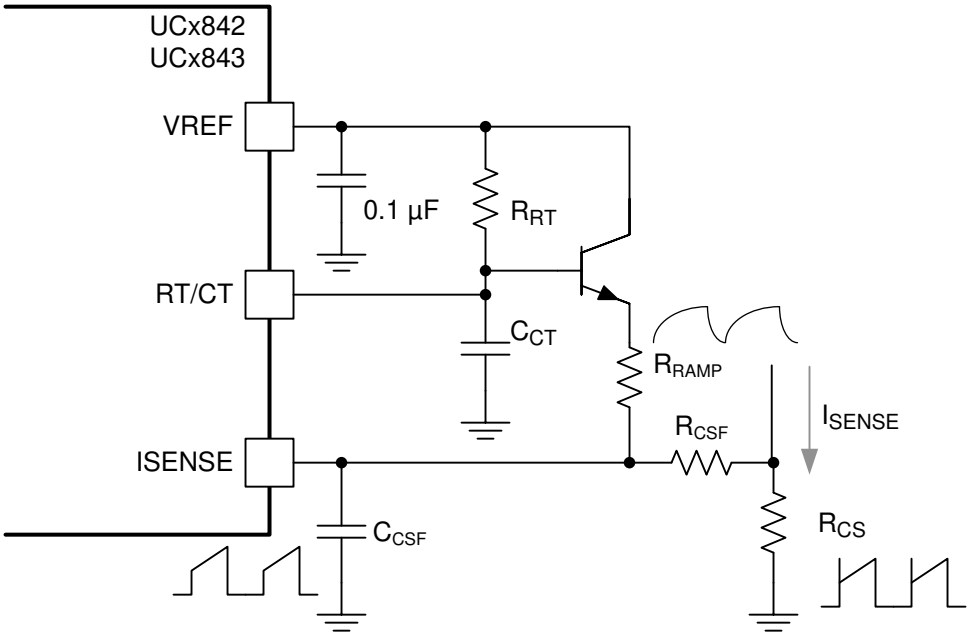


図 7-10. シャットダウン技法

7.3.9 勾配補償

発振器のランプの一部を、電流検出信号と抵抗的に加算すると、50% を超えるデューティ・サイクルを必要とするコンバータの勾配補償を行うことができます (図 7-11 を参照)。コンデンサ C_{CSF} は R_{CSF} とともにフィルタを形成し、リーディング・エッジのスイッチ・スパイクを抑制することに留意してください。

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

図 7-11. 勾配補償

7.3.10 ソフト スタート

パワーアップしたら、デューティ サイクル 0 から PWM パルス幅を徐々に広げるのが望ましい方法です。UCx84x デバイスにはソフトスタート制御が内蔵されていませんが、3 つの部品を使用して外部に簡単に実装できます。R/C ネットワークを使用して、エラー アンプの出力を制御する時定数を設定します。また、トランジスタを使用して、各ノードの通常動作から部品を絶縁します。同時に、トランジスタのゲインによる増幅で、負荷による RT/CT 時定数への影響も最小限に抑えられます。

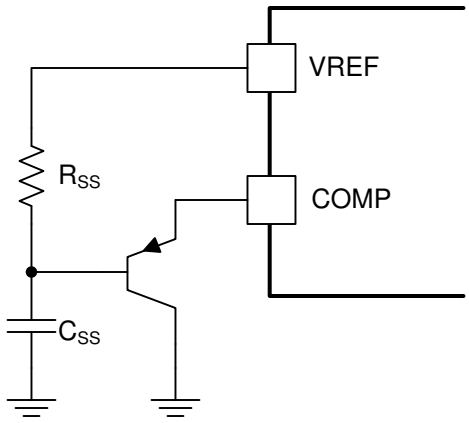


図 7-12. ソフトスタート回路

7.3.11 電圧モード

デューティ サイクル制御 (電圧モード) では、エラー アンプの出力を人工的なランプと比較することで、パルス幅変調を実現します。発振器のタイミング コンデンサ C_{CT} を使用して、電流モードと電圧モードの両方の IC で、のこぎり波を生成します。UCx84x を電圧モード構成で使用するには、こののこぎり波を電流検出入力 ISENSE に入力し、PWM コンパレータの誤差電圧と比較します。こののこぎり波を使用し、この方法における実際の 1 次側電流ではなくパルス幅を決定します。ループ補償は、従来の電圧モード コントローラとほぼ同じですが、従来型の電圧モード コントローラで使用されている

相互コンダクタンス (電流) タイプのアンプと比べて、UCx84x の電圧アンプは出力抵抗が低いため、わずかな相違が生じます。トポロジと補償の詳細については、『フィードバック ループの終了』(SLUP068) を参照してください。

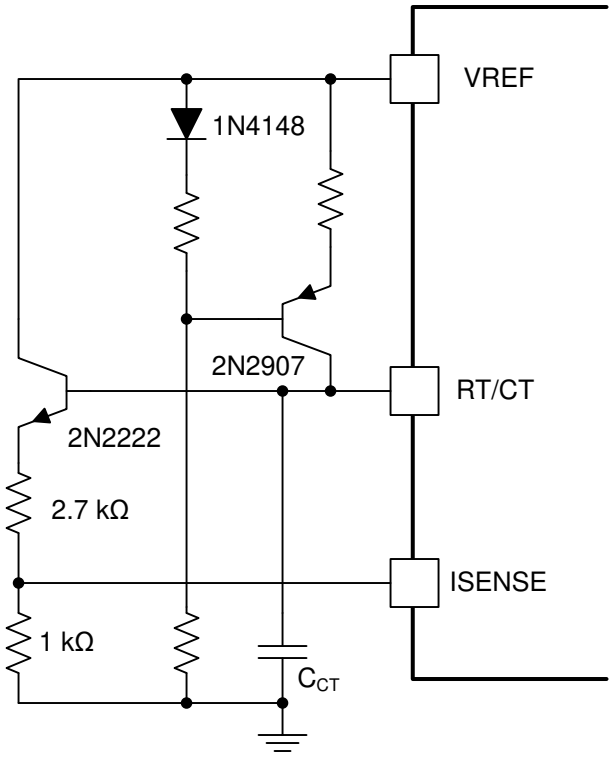


図 7-13. 電流モード PWM を電圧モード PWM として使用

7.4 デバイスの機能モード

7.4.1 通常動作

通常動作モードでは、IC をピーク電流モードまたは電圧モード制御で使用できます。コンバータがピーク電流モードで動作しているとき、コントローラはコンバータのピーク電流とデューティ・サイクルをレギュレートします。IC を電圧モード制御で使用すると、コントローラはパワー・コンバータのデューティ・サイクルをレギュレートします。内蔵のエラー・アンプと外部のフィードバック回路を使用すると、システムのピーク電流とデューティ・サイクルをレギュレートできます。

7.4.2 UVLO モード

システムのスタートアップ時に、VCC 電圧は 0V から上昇を開始します。VCC 電圧が対応するターンオン スレッショルドに達するまで、IC は UVLO モードで動作します。このモードでは、VREF ピンの電圧は生成されません。VCC が 1V を超え、ターンオン スレッショルドを下回っているとき、VREF ピンは 5kΩ の抵抗によってアクティブに Low になります。これによって、VREF をロジック信号として使い、UVLO モードを示すことができます。VCC へのバイアス電圧が UVLO-off スレッショルドを下回ると、PWM スイッチングは停止し、VREF は 0V に戻ります。VCC ピンに UVLO-on スレッショルドより高い電圧を印加することで、デバイスを再起動できます。

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

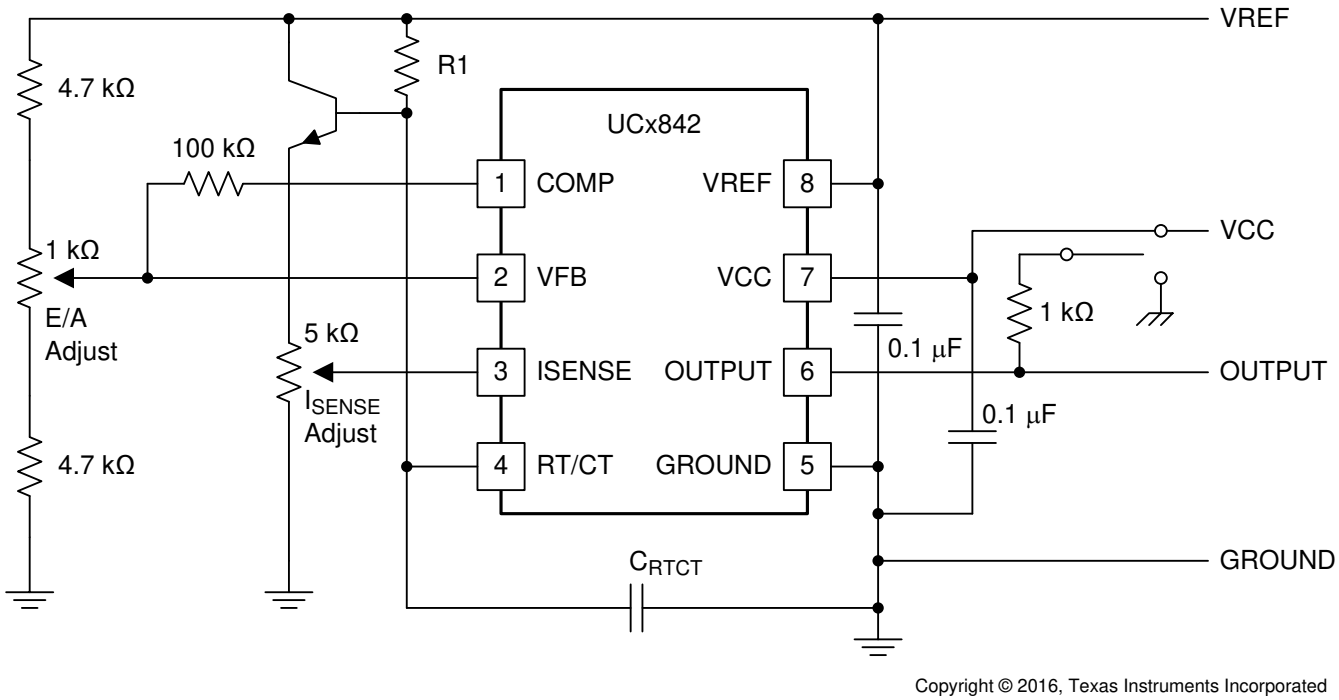
8.1 アプリケーション情報

UCx84x コントローラは、ピーク電流モードのパルス幅変調器です。これらのコントローラにはオンボード・アンプが搭載されており、絶縁型および非絶縁型の電源設計に使用できます。オンボードのトーテム・ポール・ゲート・ドライバは、1A のピーク電流を供給できます。これは、最大 500kHz のスイッチング周波数で動作できる高速 PWM です。

8.1.1 開ループのテスト装置

以下に示すアプリケーションは、開ループの実験室用テスト装置です。この回路は、UCx84x デバイスと内部回路のセットアップおよび使用方法を示すものです。

開ループの実験室用テスト装置 (図 8-1 を参照) では、負荷に関連するピーク電流が大きいため、接地方法に注意する必要があります。タイミング コンデンサとバイパス コンデンサは、単一点グランドの GROUND 端子の近くに接続できます。トランジスタと 5kΩ のポテンショメータは発振器の波形をサンプリングし、ISENSE 端子に可変のランプを適用します。



Copyright © 2016, Texas Instruments Incorporated

図 8-1. 開ループの実験室用テスト装置

8.2 代表的なアプリケーション

オフライン フライバック コンバータでの UC2842 の代表的なアプリケーションを、図 8-2 に示します。UC2842 は、1 次インダクタの電流ランプを検出する、小さな電流検出抵抗を内蔵した内部電流制御ループを使用します。 この電流検出抵抗は、インダクタの電流波形を、1 次側 PWM コンパレータに直接入力される電圧信号に変換します。この内部ループによって、入力電圧の変化に対する応答が決定されます。外部電圧制御ループでは、出力電圧の一部を、エラー アンプの入力におけるリファレンス電圧と比較します。 オフライン絶縁型アプリケーションで使用する場合、絶縁出力の電圧フィードバックは、2 次側のエラー アンプと、TL431 などの調整可能な電圧リファレンスを使用して実現されます。この誤差信号は、コレクタが VREF ピンに接続され、エミッタが VFB に接続されている光アイソレータを使用して、1 次側と 2 次側の絶縁境界をまたぐものです。 外側の電圧制御ループによって、負荷の変化に対する応答が決定されます。

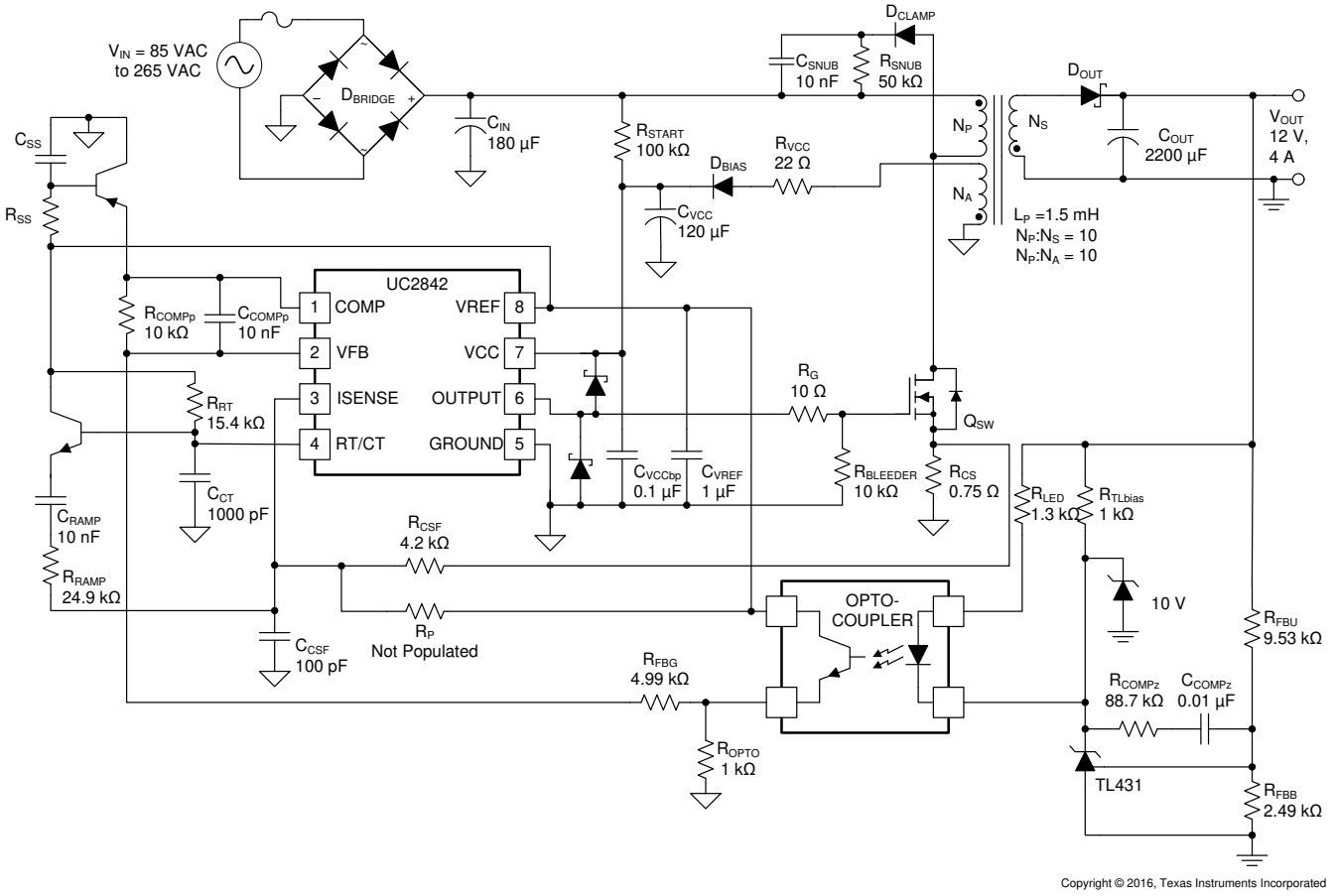


図 8-2. 代表的なアプリケーション設計例の回路図

8.2.1 設計要件

ユニバーサル AC 入力から 12V の出力電圧で 48W を供給できるオフライン・フライバック・コンバータの標準的な性能要件を、表 8-1 に示します。この設計では、連続電流モード PWM コンバータでピーク 1 次電流制御を使用します。

表 8-1. 性能要件

パラメータ		テスト条件	最小値	公称値	最大値	単位
V_{IN}	入力電圧		85	115/230	265	V_{RMS}
f_{LINE}	ライン周波数		47	50/60	63	Hz
V_{OUT}	出力電圧	$I_{OUT(min)} \leqq I_{OUT} \leqq I_{OUT(max)}$	11.75	12	12.25	V
V_{RIPPLE}	出力リップル電圧	$I_{OUT(min)} \leqq I_{OUT} \leqq I_{OUT(max)}$			100	mVpp
I_{OUT}	出力電流		0	4		A

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 性能要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
f_{SW}	スイッチング周波数			100		kHz
η	効率			85%		

8.2.2 詳細な設計手順

ここでは、UC2842 を使用してオフラインのユニバーサル入力連続電流モード (CCM) フライバック・コンバータを設計する手順の概要を示します。設計の手順で参照されている部品名については、図 8-2 を参照してください。

8.2.2.1 入力バルク容量と最小バルク電圧

バルク容量は、並列に接続された 1 つ以上のコンデンサで構成され、多くの場合、差動モードの伝導ノイズを抑制するためにコンデンサ間にインダクタンスが配置されます。入力コンデンサの値によって、最小バルク電圧が設定されます。最小の入力容量を使用してバルク電圧を低く設定すると、ピークの 1 次側電流が大きくなり、MOSFET スイッチ、トランス、および出力コンデンサのストレスが増加します。 大きな入力コンデンサを使用してバルク電圧を高く設定すると、入力ソースからのピーク電流が大きくなり、コンデンサが物理的に大きくなります。 サイズと部品のストレスを調整すると、許容される最小入力電圧が決定されます。1 次側バルク容量の必要な合計値 C_{IN} は、コンバータの電力レベル P_{OUT}、効率目標 η、最小入力電圧 $V_{IN(min)}$ に基づき、式 9 を使用して、許容される最小バルク電圧レベル $V_{BULK(min)}$ を維持するように選択されます。

$$C_{IN} = \frac{2 \times P_{IN} \times \left(0.25 + \frac{1}{\pi} \times \arcsin\left(\frac{V_{BULK\,(min)}}{\sqrt{2} \times V_{IN\,(min)}}\right)\right)}{\left(2 \times V_{IN\,(min)}^2 - V_{BULK\,(min)}^2\right) \times f_{LINE\,(min)}} \tag{9}$$

この式で、$V_{IN(min)}$ は最小 AC 入力電圧である 85VRMS の RMS 値です。この入力の最小ライン周波数は $f_{LINE(min)}$ と表記され、47Hz です。C_{IN} の式に基づいて、最小バルク電圧 75V を実現するには、コンバータ効率を 85% と想定すると、バルク コンデンサを 126µF より大きくする必要があります。この設計では、部品の公差と効率の推定値を考慮し、180µF が選択されています。

8.2.2.2 トランスの巻線比と最大デューティ サイクル

トランスの設計は、特定のアプリケーションに適したスイッチング周波数を選択することから始まります。UC2842 は最大 500kHz のスイッチングが可能ですが、コンバータ全体のサイズ、スイッチング損失、コア損失、システム互換性、通信周波数帯域との干渉などを考慮して、一般的に使用できる最適な周波数が決まります。このオフライン コンバータでは、トランスのサイズと EMI フィルタのサイズを最小化しながら許容可能な損失を維持するための折衷案として、スイッチング周波数 f_{SW} を 110kHz に選択します。

トランスの 1 次側と 2 次側の巻線比 N_{PS} は、要求される MOSFET の電圧定格と、2 次側ダイオードの電圧定格に基づいて選択できます。最大入力電圧は 265VRMS なので、式 10 に示すようにピーク バルク入力電圧を計算できます。

$$V_{BULK\,(max)} = \sqrt{2} \times V_{IN\,(max)} \approx 375\ V \tag{10}$$

システムのコストを最小限に抑えるため、どこでも入手可能な 650V MOSFET が選択されています。ドレインの最大電圧ストレスを定格値の 80% までディレーティングし、最大バルク入力電圧の 30% までのリーク インダクタンス電圧スパイクを許容できるようにするには、式 11 に示すように、反射出力電圧を 130V 未満にする必要があります。

$$V_{REFLECTED} = 0.8 \times \left(V_{DS(rated)} - 1.3 \times V_{BULK(max)}\right) = 130.2\ V \tag{11}$$

12V 出力の 1 次側と 2 次側のトランスの最大巻線比 N_{PS} は、次の式で選択できます。

$$N_{PS} = \frac{V_{REFLECTED}}{V_{OUT}} = 10.85 \quad (12)$$

この設計例では、N_{PS} = 10 の巻線比を使用します。

補助巻線を使用して、UC2842 にバイアス電圧を供給します。安定した動作のため、ターンオン後にバイアス電圧を VCC の最小動作電圧よりも高く維持する必要があります。コントローラの UC2842 バージョンの最小 VCC 動作電圧は 10V です。補助巻線は 12V バイアス電圧をサポートするよう選択されているため、電圧が最小動作レベルを超えても IC の損失を低く維持できます。1 次と補助の巻線比 N_{PA} は、式 13 で計算できます。

$$N_{PA} = N_{PS} \times \frac{V_{OUT}}{V_{BIAS}} = 10 \quad (13)$$

出力ダイオードには、出力電圧に反射入力電圧を加えた値と等しい電圧ストレスが発生します。

$$V_{DIODE} = \frac{V_{BULK\ (max)}}{N_{PS}} + V_{OUT} = 49.5\ V \quad (14)$$

この設計では、リンギングによる電圧スパイクを許容するため、定格ブロッキング電圧が 60V を超えるショットキー ダイオードをお勧めします。このダイオードの順方向電圧降下 V_F は 0.6V と推定されます。

高いピーク電流を回避するため、この設計のフライバック コンバータは連続導通モードで動作します。N_{PS} が決定されてから、最大デューティ サイクル D_{MAX} は、CCM フライバック コンバータの伝達関数を使用して計算できます。

$$\frac{V_{OUT} + V_F}{V_{BULK\ (min)}} = \left(\frac{1}{N_{PS}}\right) \times \left(\frac{D_{MAX}}{1 - D_{MAX}}\right) \quad (15)$$

$$D_{MAX} = \frac{N_{PS} \times (V_{OUT} + V_F)}{V_{BULK(min)} + N_{PS} \times (V_{OUT} + V_F)} = 0.627 \quad (16)$$

最大デューティ サイクルが 50% を超え、設計がオフライン (AC 入力) アプリケーションなので、このアプリケーションには UC2842 が最適です。

8.2.2.3 トランスのインダクタンスとピーク電流

この設計例では、CCM 条件に基づいてトランスの磁化インダクタンスを選択します。コンバータができるだけ広い動作範囲にわたって、不連続電流モードに移行せず、CCM を維持できるよう、インダクタンスの値を選択します。これによって、大電流の発生による損失を最小化し、出力リップルも減らすことができます。この例のトランスの設計では、インダクタンスのサイズを調整して、コンバータが CCM 動作に移行するとき約 10% の負荷と最小バルク電圧を確保し、出力リップルを最小限に抑えます。

CCM フライバックのインダクタ L_P は、式 17 を使用して計算できます。

$$L_P = \frac{1}{2} \times \frac{(V_{BULK\ (min)})^2 \times \left(\frac{N_{PS} \times V_{OUT}}{V_{BULK\ (min)} + N_{PS} \times V_{OUT}}\right)^2}{0.1 \times P_{IN} \times f_{SW}} \quad (17)$$

式 17 で、入力電力 P_{IN} は、最大出力電力 P_{OUT} を目標効率 η で除算して推定されます。f_{SW} はスイッチング周波数です。UC2842 の場合、スイッチング周波数は発振器の周波数と等しく、110kHz に設定されます。したがって、トランスのインダクタンスは約 1.8mH にすることができます。この設計では、磁化インダクタンスの値として 1.5mH のインダクタンスを選択します。

Copyright © 2024 Texas Instruments Incorporated

計算されたインダクタの値とスイッチング周波数に基づいて、MOSFET と出力ダイオードの電流ストレスを計算できます。

CCM フライバックの 1 次側 MOSFET のピーク電流は、式 18 に示すように計算できます。

$$I_{PK_{MOSFET}} = \frac{P_{IN}}{V_{BULK\,(min)} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}} + \left(\frac{V_{BULK\,(min)}}{2 \times L_m} \times \frac{\frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}}{f_{SW}} \right) \quad (18)$$

MOSFET のピーク電流は 1.36A です。式 19 に示すように、MOSFET の RMS 電流は 0.97A と計算されます。したがって、1 次側スイッチとして使用するため、IRFB9N65A を選択します。

$$I_{RMS_{MOSFET}} = \sqrt{\frac{{D_{MAX}}^3}{3} \times \left(\frac{V_{BULK\,(min)}}{L_P \times f_{SW}} \right)^2 - \left(\frac{{D_{MAX}}^2 \times I_{PK_{MOSFET}} \times V_{BULK\,(min)}}{L_P \times f_{SW}} \right) + \left({D_{MAX}} \times {I_{PK_{MOSFET}}}^2 \right)} \quad (19)$$

出力ダイオードのピーク電流は、2 次側に反射される MOSFET のピーク電流と等しくなります。

$$I_{PK_{DIODE}} = N_{PS} \times I_{PK_{MOSFET}} = 13.634\ A \quad (20)$$

ダイオードの平均電流は合計出力電流 4A と等しいので、必要な 60V 定格と 13.6A のピーク電流要件と組み合わせ、出力ダイオードとして 48CTQ060-1 が選択されています。

8.2.2.4 出力コンデンサ

合計出力容量は、出力電圧リップルの要件に基づいて選択します。この設計では、0.1% の電圧リップルを想定しています。0.1% のリップル要件に基づいて、式 21 を使用してコンデンサの値を選択できます。

$$C_{OUT} \geq \frac{I_{OUT} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + N_{PS} \times V_{OUT}}}{0.001 \times V_{OUT} \times f_{SW}} = 1865\ \mu F \quad (21)$$

この設計では、デバイスの公差を考慮して、2200µF のコンデンサが選択されています。

8.2.2.5 電流検出ネットワーク

電流検出ネットワークは、1 次側電流検出抵抗 R_{CS}、フィルタリング部品 R_{CSF} および C_{CSF}、オプションの R_P で構成されます。通常、直流検出信号には、メイン・パワー MOSFET のターンオンに関連する大きな振幅のリーディング・エッジ・スパイク、出力整流器の逆回復、および寄生容量の充電と放電などの他の要因が含まれています。したがって、C_{CSF} と R_{CSF} はローパス・フィルタを形成し、リーディング・エッジのスパイクを抑制する耐性を持ちます。このコンバータでは、C_{CSF} に 100pF を選択します。

R_P を使用しない場合、R_{CS} は、1V に規定されている ISENSE ピンの最大振幅に基づいて、トランスの 1 次側の最大ピーク電流を設定します。1 次側のピーク電流を 1.36A にするには、R_{CS} に 0.75Ω の抵抗を選択します。

ISENSE の高い電流検出スレッショルドにより、システムのノイズ耐性が向上しますが、電流検出抵抗での損失も大きくなります。これらの電流検出損失は、R_P を使用してオフセット電圧を電流センス信号に注入することで最小化できます。R_P および R_{CSF} は、電流検出信号からデバイスのリファレンス電圧 VREF までの分圧抵抗回路を形成し、電流検出電圧にオフセットを追加します。この技法でも、サイクル単位の過電流保護を含めた電流モード制御を実現できます。必要なオフセット値 (V_{OFFSET}) を計算するには、式 22 を使用します。

$$V_{OFFSET} = \frac{R_{CSF}}{R_{CSF} + R_P} \times V_{REF} \quad (22)$$

Copyright © 2024 Texas Instruments Incorporated

R_P を追加してから、それに合わせて電流検出抵抗 R_{CS} を調整します。

8.2.2.6 ゲート ドライブ抵抗

R_G は、パワー スイッチ Q_{SW} のゲート ドライバ抵抗です。この抵抗の値は、EMI 準拠テストや効率テストと合わせて選択する必要があります。R_G に大きな抵抗値を使用すると、MOSFET のターンオンとターンオフが低速になります。スイッチング速度が遅いと、EMI は減少しますが、スイッチング損失が増加します。スイッチング損失と EMI 性能との間のトレードオフは、慎重に検討する必要があります。この設計では、ゲート駆動抵抗に 10Ω の抵抗を選択しています。

8.2.2.7 VREF コンデンサ

高精度の 5V リファレンス電圧は、いくつかの重要な機能を実行します。リファレンス電圧は内部で 2.5V に分圧され、エラー アンプの非反転入力に接続されることで、出力電圧を正確にレギュレートします。またリファレンス電圧は、内部バイアス電流やスレッショルドを設定し、発振器の上限と下限のスレッショルドなどの機能も果たします。このため、リファレンス電圧はセラミック コンデンサ (C_{VREF}) を使用してバイパスする必要があります。このコンバータでは、1μF、16V のセラミック コンデンサが選択されています。このコンデンサをプリント基板の物理的なレイアウトに配置するときは、対応する VREF ピンと GROUND ピンにできるだけ近づける必要があります。

8.2.2.8 RT/CT

内部発振器は、タイミング コンデンサ (C_{CT}) とタイミング抵抗 (R_{RT}) を使用して、発振器の周波数と最大デューティ サイクルをプログラムします。動作周波数は、セクション 8.2.3 の曲線に基づいてプログラムできます。これらのグラフでは、タイミング コンデンサを選択すると、タイミング抵抗を見つけることができます。タイミング コンデンサには温度係数がフラットなものが最適です。ほとんどの COG や NPO タイプのコンデンサは、この条件を満たします。このコンバータでは、R_{RT} と C_{CT} が 110kHz のスイッチングで動作するよう、15.4kΩ と 1000pF が選択されています。

8.2.2.9 スタートアップ回路

スタートアップ時に、IC は高電圧バルクから高電圧抵抗 (R_{START}) を介して直接電力を受け取ります。スタートアップ抵抗の選択は、電力損失とスタートアップ時間との間のトレードオフです。最小入力電圧で R_{START} を流れる電流は、UVLO 条件での VCC 電流 (最大値で 1mA) を上回る必要があります。R_{START} には 100kΩ の抵抗が選択されており、低ライン条件で 1mA のスタートアップ電流を供給します。スタートアップ抵抗は物理的に 2 つの直列の 50kΩ 抵抗で構成されており、高電圧要件と高ラインでの電力定格を満たします。

VCC が UVLO-on スレッショルドを超えて充電されると、UC2842 は最大動作電流の消費を開始します。VCC コンデンサは、スタートアップ時に、出力がレギュレートされたレベルに達するまで、電圧が UVLO-off スレッショルドを下回ることを防止するために十分なエネルギーを供給する必要があります。バルク容量が大きいと、より多くのエネルギーを保持できますが、スタートアップ時間が遅くなります。この設計では、十分なエネルギーを供給し、スタートアップ時間を約 2 秒に維持するため、120μF のコンデンサが選択されています。

8.2.2.10 電圧帰還補償

帰還補償は閉ループ制御とも呼ばれ、定常状態の誤差を低減または除去し、システムのパラメータの変化に対する感度を低減して、目的の周波数範囲全体にわたってシステムのゲインまたは位相を変更し、小信号負荷の乱れやノイズがシステム性能に及ぼす影響を減らして、不安定なシステムから安定したシステムを生み出すことができます。摂動があったとしても、最終的にその摂動が消滅する場合、システムは安定します。ピーク電流モード フライバックは、外部電圧帰還ループを使用してコンバータを安定させます。電圧ループを十分に補償するには、電力段の開ループ パラメータを決定する必要があります。

8.2.2.10.1 電力段の極とゼロ

固定周波数フライバックを補償するための最初のステップは、コンバータが連続導通モード (CCM) と不連続導通モード (DCM) のどちらかを確認することです。 1 次側インダクタンス L_P が、DCM/CCM 境界モード動作のインダクタンスであるクリティカル インダクタンス L_{Pcrit} より大きい場合、コンバータは CCM で動作します。

$$L_P > L_{Pcrit}, \text{then CCM} \tag{23}$$

Copyright © 2024 Texas Instruments Incorporated

$$L_{Pcrit} = \frac{R_{OUT} \times (N_{PS})^2}{2 \times f_{SW}} \times \left(\frac{V_{IN}}{V_{IN} + V_{OUT} \times N_{PS}}\right)^2 \quad (24)$$

入力電圧範囲全体にわたって、選択したインダクタの値はクリティカル インダクタよりも大きくなります。したがって、コンバータは CCM で動作し、補償ループは CCM フライバックの式に基づいて設計する必要があります。

電流から電圧への変換は、グランド基準の電流検出抵抗 R_{CS} と 2R/R の内部分圧抵抗を使用して外部で行われ、内部の電流検出ゲイン A_{CS} = 3 が設定されます。 これらの内部抵抗の正確な値は重要ではないことに注意してください。ただし、IC は分圧抵抗比を厳密に制御できるため、実際の抵抗値の変動に関係なく、互いに相対的な値が維持されます。

式 25 に示すピーク電流モード制御 CCM フライバック コンバータの固定周波数電圧制御ループの DC 開ループ ゲイン G_O は、最初に出力負荷 R_{OUT}、1 次側と 2 次側の巻線比 N_{PS}、最大デューティ サイクル D を使用して、式 25 で近似されます。

$$G_O = \frac{R_{OUT} \times N_{PS}}{R_{CS} \times A_{CS}} \times \frac{1}{\frac{(1-D)^2}{\tau_L} + (2 \times M) + 1} \quad (25)$$

式 25 で、D は式 26、τ_L は式 27、M は式 28 で計算されます。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULKmin} + (N_{PS} \times V_{OUT})} \quad (26)$$

$$\tau_L = \frac{2 \times L_P \times f_{SW}}{R_{OUT} \times (N_{PS})^2} \quad (27)$$

$$M = \frac{V_{OUT} \times N_{PS}}{V_{BULKmin}} \quad (28)$$

この設計では、出力電圧 V_{OUT} が 12V で 48W のコンバータは、出力負荷 R_{OUT} に対応し、全負荷時に 3Ω と等しくなります。計算結果から、最大デューティ サイクルは 0.627、電流検出抵抗 R_{CS} は 0.75Ω、1 次側と 2 次側の巻線比 N_{PS} は 10、開ループ ゲインは 3.082、すなわち 9.776dB です。

CCM フライバックには注目対象として 2 つのゼロがあります。ESR と出力容量は、左半面のゼロである ω_{ESRz} を電力段に供給し、このゼロの周波数 f_{ESRz} は式 30 で計算されます。

$$\omega_{ESRz} = \frac{1}{R_{ESR} \times C_{OUT}} \quad (29)$$

$$f_{ESRz} = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}} \quad (30)$$

出力容量が 2200µF で、合計 ESR が 43mΩ なら、f_{ESRz} のゼロは 1.682kHz にあります。

CCM フライバック コンバータは、伝達関数の右半面 RHP にゼロが存在します。RHP のゼロは、周波数の増加による立ち上がりゲイン振幅が左半面のゼロと同じ 20dB/decade ですが、リードの代わりに 90° の位相ラグが追加されます。この位相ラグは、ループ全体の帯域幅を制限する傾向があります。RHP ゼロ ω_{RHPz} の周波数位置 f_{RHPz}、は、出力負荷、デューティ サイクル、1 次側インダクタンス L_P、1 次側と 2 次側の巻線比 N_{PS} の関数です。

$$\omega_{RHPz} = \frac{R_{OUT} \times (1-D)^2 \times (N_{PS})^2}{L_P \times D} \quad (31)$$

Copyright © 2024 Texas Instruments Incorporated

$$f_{RHPz} = \frac{R_{OUT} \times (1 - D)^2 \times (N_{PS})^2}{2 \times \pi \times L_P \times D} \quad (32)$$

入力電圧が高く、負荷が軽くなるほど、右半面のゼロ周波数は増加します。設計では一般に、右半面のゼロ周波数が最も小さくなるワーストケースを考慮し、入力が最小で負荷が最大の状況でも、コンバータが補償を行える必要があります。75V DC 入力で 1 次インダクタンスが 1.5mH の場合、RHP のゼロ周波数 f_{RHPz} は最大デューティ サイクル、全負荷時で 7.07kHz になります。

電力段には、1 つの支配的な極である ω_{P1} が、低い周波数 f_{P1} の対象領域に存在します。この周波数は、デューティ サイクル D、出力負荷、出力容量に関係しており、式 34 のように計算されます。また、コンバータのスイッチング周波数の半分に 2 極 f_{P2} が存在します。この周波数は式 36 で計算されます。この例では、極 f_{P1} は 40.37Hz、f_{P2} は 55kHz です。

$$\omega_{P1} = \frac{\frac{(1 - D)^3}{\tau_L} + 1 + D}{R_{OUT} \times C_{OUT}} \quad (33)$$

$$f_{P1} = \frac{\frac{(1 - D)^3}{\tau_L} + 1 + D}{2 \times \pi \times R_{OUT} \times C_{OUT}} \quad (34)$$

$$\omega_{P2} = \pi \times f_{SW} \quad (35)$$

$$f_{P2} = \frac{f_{SW}}{2} \quad (36)$$

8.2.2.10.2 スロープ補償

勾配補償は、デューティ サイクルが 50% を超える場合に発生の可能性のある、大信号の分数調波不安定性です。この場合、1 次側インダクタの立ち上がり電流勾配が、2 次側の立ち下がり電流勾配と一致しない可能性があります。分数調波の発振によって出力電圧リップルが増加し、コンバータの電力処理能力が制限される可能性もあります。

勾配補償の目標は、理想的な品質係数 Q_P を、スイッチング周波数の半分において 1 に等しくすることです。Q_P は式 37 で計算されます。

$$Q_P = \frac{1}{\pi \times [M_C \times (1 - D) - 0.5]} \quad (37)$$

式 37 で、D は 1 次側スイッチのデューティ サイクル、M_C はスロープ補償係数で、式 38 によって定義されます。

$$M_C = \frac{S_e}{S_n} + 1 \quad (38)$$

式 38 で、S_e は補償ランプの勾配、S_n はインダクタの立ち上がり勾配です。勾配補償の最適な目標は、Q_P を 1 にすることです。式 38 を再編成すると、勾配補償の理想的な値が決定されます。

$$M_{ideal} = \frac{\frac{1}{\pi} + 0.5}{1 - D} \quad (39)$$

この設計で十分な勾配補償を行うには、D が最大値の 0.627 に達したとき、M_C を 2.193 にする必要があります。

ISENSE ピンでのインダクタの立ち上がり勾配 S_n は、式 40 で計算されます。

Copyright © 2024 Texas Instruments Incorporated

$$S_n = \frac{V_{INmin} \times R_{CS}}{L_P} = 0.038 \frac{V}{\mu s} \quad (40)$$

補償スロープ S_e は、式 41 で計算されます。

$$S_e = (M_C - 1) \times S_n = 44.74 \frac{mV}{\mu s} \quad (41)$$

補償スロープは、R_{RAMP} と R_{CSF} によってシステムに追加されます。C_{RAMP} AC カップリング コンデンサで、電流検出にオフセットを追加することなく、発振器の電圧ランプを使用できます。高周波短絡を近似するため、開始点として 10nF などの値を選択し、必要に応じて調整を加えます。抵抗 R_{RAMP} および R_{CSF} は、発振器の充電勾配から分割電圧を形成し、この比例ランプを ISENSE ピンに注入して勾配補償を追加します。R_{RAMP} の値を R_{RT} 抵抗よりも大幅に大きくすると、内部発振器への過剰な負荷により周波数シフトが発生するのを回避できます。 発振器の充電勾配は、式 43 に示すように、RT/CT のこぎり波のピーク ツー ピーク電圧 V_{OSCpp} である 1.7V と、最小オン時間を使用して計算されます。

$$t_{ONmin} = \frac{D}{f_{SW}} \quad (42)$$

$$S_{OSC} = \frac{V_{OSCpp}}{t_{ONmin}} = \frac{1.7\ V}{5.7\ \mu s} = 298 \frac{mV}{\mu s} \quad (43)$$

44.74mV/µs の補償勾配を実現するため、式 44 で抵抗 R_{CSF} を計算します。この設計では、R_{ramp} に 24.9kΩ、R_{CSF} に 4.2kΩ の抵抗が選択されています。

$$R_{CSF} = \frac{R_{RAMP}}{\frac{S_{OSC}}{S_e} - 1} \quad (44)$$

8.2.2.10.3 開ループ・ゲイン

電力段の極とゼロを計算し、勾配補償を決定してから、CCM フライバック・コンバータの出力段の開ループ・ゲインと位相を、周波数の関数としてプロットできます。電力段の伝達関数は式 45 で特性付けできます。

$$H_{OPEN}(s) = G_0 \times \frac{\left(1 + \frac{s(f)}{\omega_{ESRz}}\right) \times \left(1 - \frac{s(f)}{\omega_{RHPz}}\right)}{1 + \frac{s(f)}{\omega_{P1}}} \times \frac{1}{1 + \frac{s(f)}{\omega_{P2} \times Q_P} + \frac{s(f)^2}{(\omega_{P2})^2}} \quad (45)$$

開ループ・ゲインと位相のボード線図は、式 46 を使用してプロットできます。

$$Gain_{OPEN}(s) = 20 \times \log(|H_{OPEN}(s)|) \quad (46)$$

(図 8-3 および図 8-4 を参照)。

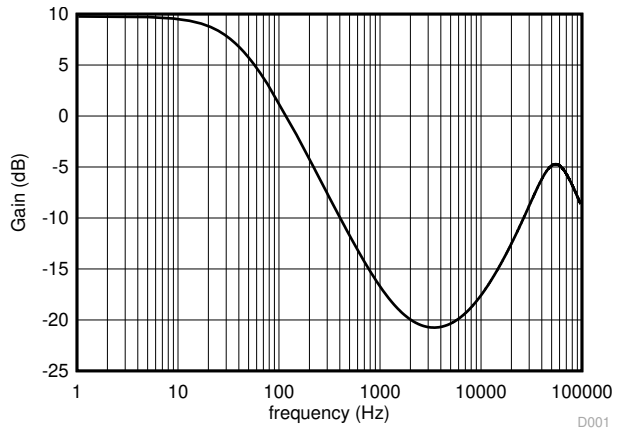


図 8-3. コンバータの開ループ・ボード線図 - ゲイン

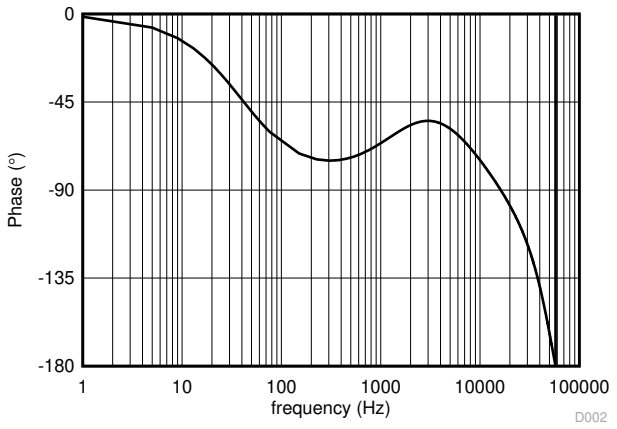


図 8-4. コンバータの開ループ・ボード線図 - 位相

8.2.2.10.4 補償ループ

補償ループの設計では、動作範囲全体にわたって安定したシステムを作り上げるため必要なゲイン、極、ゼロを設計できるよう、適切な部品を選択する必要があります。ループは TL431、フォトカプラ、エラー アンプという 3 つの異なる部分で構成されます。これらの各段を電力段と組み合わせることで、安定した堅牢なシステムが実現できます。

優れた過渡応答を得るには、最終的な設計の帯域幅をできるだけ大きくする必要があります。CCM フライバックの帯域幅 f_{BW} は、RHP ゼロ周波数の 1/4 に制限されます。式 47 より、約 1.77kHz と計算されます。

$$f_{BW} = \frac{f_{RHPz}}{4} \tag{47}$$

f_{BW} での開ループ電力段のゲインは、式 46 で計算でき、ボード線図 (図 8-3) でも観測できます。この値は -19.55dB で、f_{BW} での位相は -58°です。

補償ループの 2 次側部分では、まずレギュレートされた定常状態の出力電圧を確立します。レギュレートされた出力電圧を設定するため、TL431 可変高精度シャント レギュレータは、高精度の電圧リファレンスと内部オペアンプを搭載しているので、絶縁型コンバータの 2 次側での使用に理想的です。コンバータの出力端子から TL431 の REF ピンまでの分圧抵抗は、目的の消費電力に基づいて選択します。TL431 の REF 入力電流はわずか 2μA なので、1mA の分圧電流 I_{FB_REF} に合わせて抵抗を選択すると、誤差が最小限に抑えられます。最上位の分圧抵抗 R_{FBU} は、式 48 を使用して計算します。

$$R_{FBU} = \frac{V_{OUT} - REF_{TL431}}{I_{FB_REF}} \tag{48}$$

TL431 のリファレンス電圧 REF_{TL431} の標準値は 2.495V です。R_{FBU} には 9.53kΩ の抵抗を選択します。出力電圧を 12V に設定するには、R_{FBB} に 2.49kΩ を使用します。

$$R_{FBB} = \frac{REF_{TL431}}{V_{OUT} - REF_{TL431}} \times R_{FBU} \tag{49}$$

適切な位相マージンを得るには、補償器のゼロ、すなわち f_{COMPz} が必要で、これを目的の帯域幅の 1/10 に配置する必要があります。

$$f_{COMPz} = \frac{f_{BW}}{10} \tag{50}$$

Copyright © 2024 Texas Instruments Incorporated

$$\omega_{COMPz} = 2 \times \pi \times f_{COMPz} \quad (51)$$

このコンバータでは、f_{COMPz} を約 177Hz に設定する必要があります。直列抵抗 R_{COMPz} とコンデンサ C_{COMPz} を TL431 のカソードから REF にわたって配置することで、補償器のゼロ位置が設定されます。C_{COMPz} を 0.01µF に設定すると、R_{COMPz} は式 52 で計算されます。

$$R_{COMPz} = \frac{1}{\omega_{COMPz} \times C_{COMPz}} \quad (52)$$

R_Z に 88.7kΩ、C_Z に 0.01µF の標準値を使用すると、179Hz の位置にゼロが配置されます。

図 8-2 を参照すると、R_{TLbias} は ツェナー ダイオード D_{REG} から供給されるレギュレート済み電圧から、TL431 にカソード電流を供給します。堅牢な性能を実現するため、TL431 をバイアスするために 10V のツェナーを使用して 10mA を供給し、R_{TLbias} に 1kΩ の抵抗を使用します。

補償ループの TL431 部分のゲインは、次の式で記述できます。

$$G_{TL431}(s) = \left(R_{COMPz} + \frac{1}{s(f) \times C_{ZCOMPz}}\right) \times \frac{1}{R_{FBU}} \quad (53)$$

右半面ゼロまたは ESR ゼロのうち、どちらか低い方の周波数に補償極が必要です。前の分析によれば、右半面ゼロである f_{RHPz} は 7.07kHz、ESR ゼロである f_{ESRz} は 1.68kHz です。したがって、この設計では補償極 を 1.68kHz に設定する必要があります。フォトカプラには、周波数上の特性評価が困難な寄生極が含まれているため、フォトカプラには 1kΩ のプルダウン抵抗 R_{OPTO} がセットアップされ、これによって寄生フォトカプラの極は、この設計が対象とする範囲の外に移動します。

必要な補償極は、R_{COMPp} および C_{COMPp} を使用して 1 次側エラー アンプに追加できます。R_{COMPp} に 10kΩ を選択すると、C_{COMPp} に必要な値は式 54 で決定されます。

$$C_{COMPp} = \frac{1}{2 \times \pi \times f_{ESRz} \times R_{COMPp}} = 9.46\ nF \quad (54)$$

補償極を 1.59kHz に設定するため、C_{COMPp} には 10nF のコンデンサを使用します。

要求される帯域幅を得るため、1 次側エラー アンプに DC ゲインを追加する必要がある場合があります。これは、必要に応じてループ ゲインを調整するのに役立ちます。R_{FBG} に 4.99kΩ を使用すると、エラー アンプの DC ゲインを 2 に設定できます。この時点で、補償ループのエラー アンプ段のゲイン伝達関数 $G_{EA}(s)$ を特性化できます。

$$G_{EA}(s) = \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + s(f) \times C_{COMPp} \times R_{COMPp}}\right) \quad (55)$$

目的の周波数範囲で電流伝達率 (CTR) の標準値が 100% であるフォトカプラを使用すると、CTR = 1 になります。それによって、フォトカプラ段の伝達関数 $G_{OPTO}(s)$ は次の式と等しくなります。

$$G_{OPTO}(s) = \frac{CTR \times R_{OPTO}}{R_{LED}} \quad (56)$$

フォトカプラの内部ダイオードへのバイアス抵抗 R_{LED} と、光エミッタへのプルダウン抵抗 R_{opto} を使用して、絶縁境界をまたぐゲインを設定します。R_{OPTO} はすでに 1kΩ に設定されていますが、R_{LED} の値はまだ決定されていません。

合計閉ループ ゲイン $G_{TOTAL}(s)$ は、開ループの電力段 $H_o(s)$、光ゲイン GOPTO(s)、エラー アンプのゲイン $G_{EA}(s)$、TL431 段のゲイン $G_{TL431}(s)$ の組み合わせです。

Copyright © 2024 Texas Instruments Incorporated

$$G_{TOTAL}(s) = |H_{OPEN}(s)| \times |G_{OPTO}(s)| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (57)$$

R_{LED} に必要な値を選択して、目的のクロスオーバー周波数 f_{BW} を実現できます。目的のクロスオーバー周波数で合計ループ ゲインを 1 に設定し、式 57 を再整理することで、R_{LED} に最適な値を式 58 のように決定できます。

$$R_{LED} \leq |H_{OPEN}(s)| \times |CTR \times C_{OPTO}| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (58)$$

R_{LED} の要件には、1.3kΩ の抵抗が適しています。

補償ループの構造に基づいて、補償ループ全体の伝達関数は式 59 に示すように記述されます。

$$G_{CLOSED}(s) = H_{OPEN}(s) \times \left(\frac{CTR \times R_{OPTO}}{R_{LED}}\right) \times \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + \left(s \times C_{COMPp} \times R_{COMPp}\right)}\right) \times \left(\frac{R_{COMPz} + \left(\frac{1}{s \times C_{COMPz}}\right)}{R_{FBU}}\right) \quad (59)$$

最終的な閉ループ ボード線図を、図 8-5 と図 8-6 に示します。このコンバータのクロスオーバー周波数は約 1.8kHz で、位相マージンは約 67° です。

システムの安定性を確保するため、部品の公差を含め、すべてのコーナー ケースにわたってループの安定性をチェックすることをお勧めします。

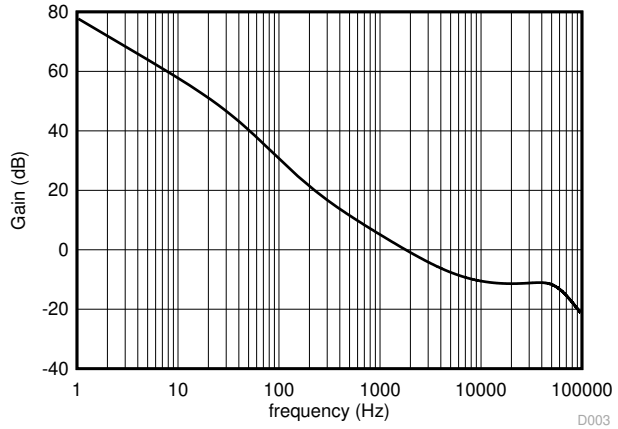


図 8-5. コンバータの閉ループのボード線図 - ゲイン

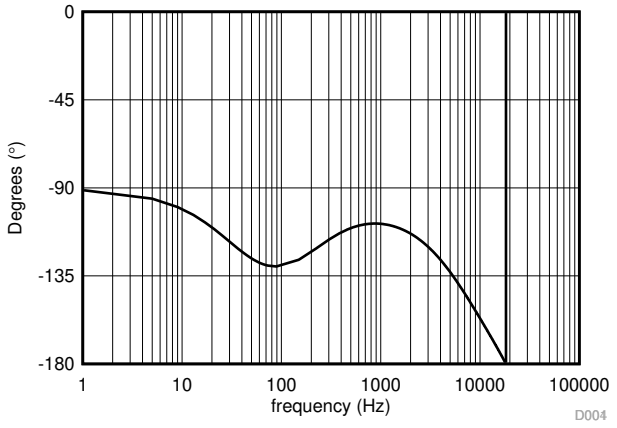


図 8-6. コンバータの閉ループのボード線図 - 位相

Copyright © 2024 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

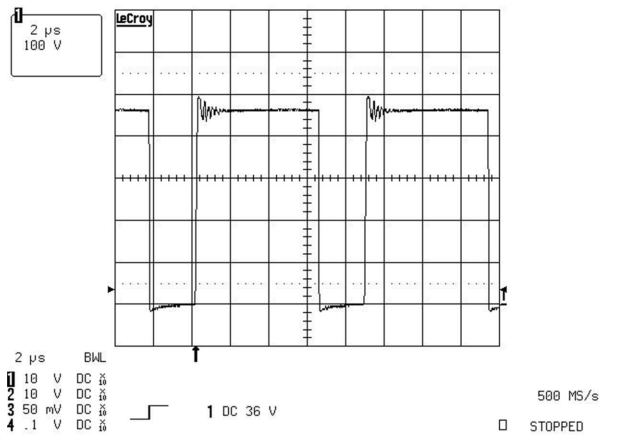


図 8-7. 240V AC 入力での 1 次側 MOSFET のドレインからソースへの電圧 (100V/div)

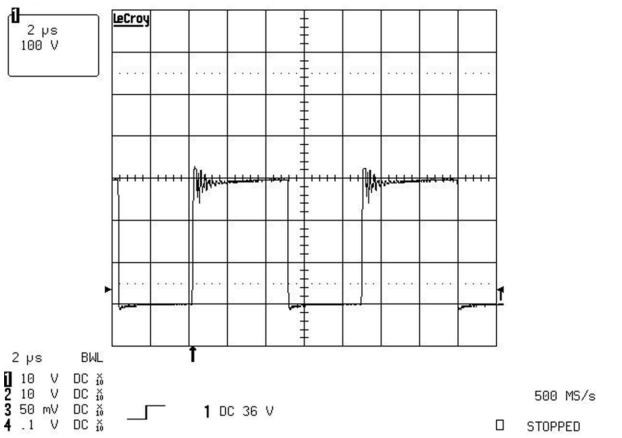


図 8-8. 120V AC 入力での 1 次側 MOSFET のドレインからソースへの電圧 (100V/div)

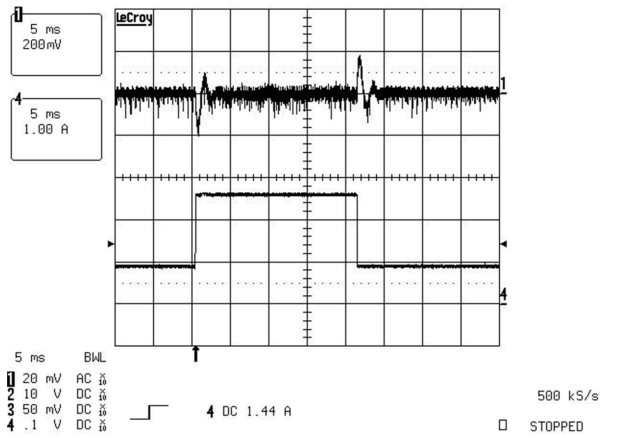


図 8-9. 0.9A～2.7A の負荷過渡時の出力電圧 (CH1：AC 結合の出力電圧、200mV/div。CH4：出力電流、1A/div)

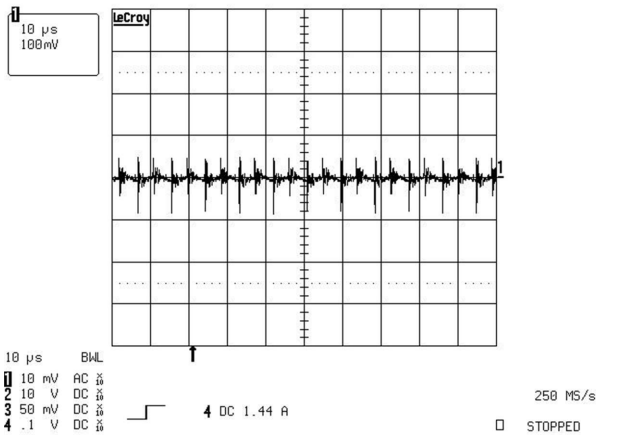


図 8-10. 全負荷時の出力電圧リップル (100mV/div)

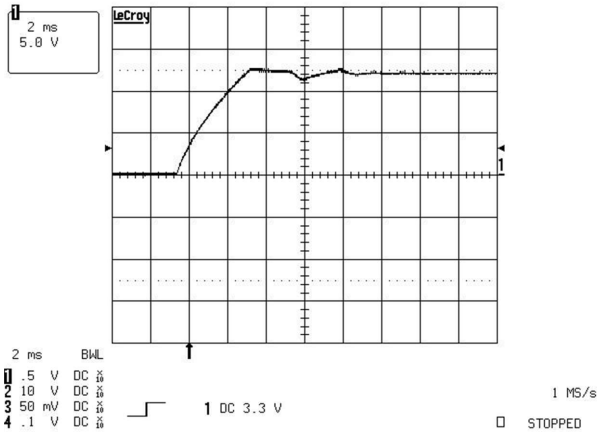


図 8-11. 全負荷スタートアップ時の出力電圧動作 (5V/div)

8.3 電源に関する推奨事項

IC の電源 (VCC) ピンとリファレンス電圧 (VREF) ピンを、0.1µF～1µF のセラミック コンデンサでグランドにバイパスすることが重要です。最適なノイズ フィルタリングを実現するには、コンデンサを実際のピン接続のできるだけ近くに配置する必要があります。また、オフライン アプリケーションでは、スタートアップ時に電源電圧 (VCC) を UVLO ターンオフ スレッショルドよりも高く保持するために、2 つ目のより大きなフィルタ コンデンサが必要な場合があります。

リーディング エッジ ノイズによる誤トリガを防止するため、ISENSE に RC 電流検出フィルタが必要な場合があります。RC フィルタの時定数は、最小オン時間パルス幅を十分に下回るようにします。

電源レールとグランドへの高インピーダンスによるオーバーシュートとアンダーシュートを防止するため、OUTPUT ピンにショットキー ダイオードが必要な場合があります。低電圧誤動作防止中に外部のリーク電流が発生してパワー スイッチがアクティブにならないよう、MOSFET のゲートとソースとの間にブリーダ抵抗を配置する必要があります。

高速スイッチング過渡によるノイズの問題を防止するため、IC パッケージの近くにセラミック コンデンサを配置して、VREF をグランドにバイパスします。0.1µF 以上のセラミック コンデンサが必要です。リファレンスの外部負荷には、追加の VREF バイパスが必要です。セラミック コンデンサに加えて電解コンデンサも使用できます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 フィードバック配線

フィードバック配線は、インダクタやノイズの多い電源の配線とできるだけ離すようにします。フィードバック配線はできるだけ直線的に、多少太めにします。これら 2 つはトレードオフになることもありますが、どちらかを選ぶ必要があるときは、配線を EMI や他のノイズ源から遠ざけることのほうが重要です。可能なら、PCB 上でインダクタと反対側の面にフィードバック配線を置き、両方の間がグランド プレーンで分離されるようにします。

8.4.1.2 バイパス コンデンサ

値の小さいセラミック バイパス コンデンサを使用する場合は、デバイスの VCC ピンのできるだけ近くに配置する必要があります。これにより、配線のインダクタンスの影響を可能な限り排除し、内部デバイスのレールにクリーンな電圧電源を供給できます。表面実装コンデンサを使用すると、リード長が短くなり、スルーホール部品によって生成される事実上のアンテナにノイズが結び付く可能性が低くなります。

8.4.1.3 補償部品

安定性を最大限に高めるため、IC の近くに外部補償部品を配置できます。VFB リードはできるだけ短くし、VFB 浮遊容量はできるだけ小さくします。フィルタ コンデンサについての説明と同じ理由で、表面実装の部品をお勧めします。これらの部品は、スイッチング ノイズの大きい配線にあまり近付けないようにします。

Copyright © 2024 Texas Instruments Incorporated

8.4.1.4 配線とグランド プレーン

すべての電源 (大電流) 配線はできるだけ短く、直線的で、太くします。標準的な PCB 基板では、配線の絶対最小値をアンペアあたり 15mil (0.381mm) にすることをお勧めします。インダクタ、出力コンデンサ、出力ダイオードは、可能な限り互いに近く配置します。これにより、電源配線に大きなスイッチング電流が流れて EMI が放射されることを低減できます。これによつてリード インダクタンスと抵抗も減少するので、電圧誤差を引き起こすノイズ スパイク、リンギング、抵抗性損失も減少します。

IC、入力コンデンサ、出力コンデンサ、および出力ダイオード (該当する場合) のグランドは、グランド プレーンに直接、かつ互いに近接して接続できます。PCB の両側にグランド プレーンを配置することも推奨されます。これにより、グランド ループの誤差を低減するとともに、インダクタから放射される EMI をより多く吸収し、ノイズを低減できます。2 層より多い多層基板の場合、グランド プレーンを使用して電源プレーン (電源配線と部品が配置されているプレーン) と信号プレーン (帰還や補償とその部品が配置されているプレーン) を分離し、性能を向上させることができます。多層基板では、配線や異なるプレーンを接続するためにビアを使用する必要があります。配線で 1 つのプレーンから別のプレーンに大量の電流を送る必要がある場合は、200mA の電流ごとに 1 つの標準ビアを使用するのが適切です。

スイッチング電流ループが同じ方向に流れるように部品を配置します。スイッチング レギュレータの動作方法により、2 つの電力状態があります。1 つはスイッチがオンのとき、もう 1 つはスイッチがオフのときです。いずれの状態でも、現在導通している電源部品によって電流ループが形成されます。2 つの状態のそれぞれで、電流ループが同じ方向に導通するように、電源部品を配置します。これにより、2 つの半サイクル間の配線による磁界の反転を防止し、放射 EMI を低減できます。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

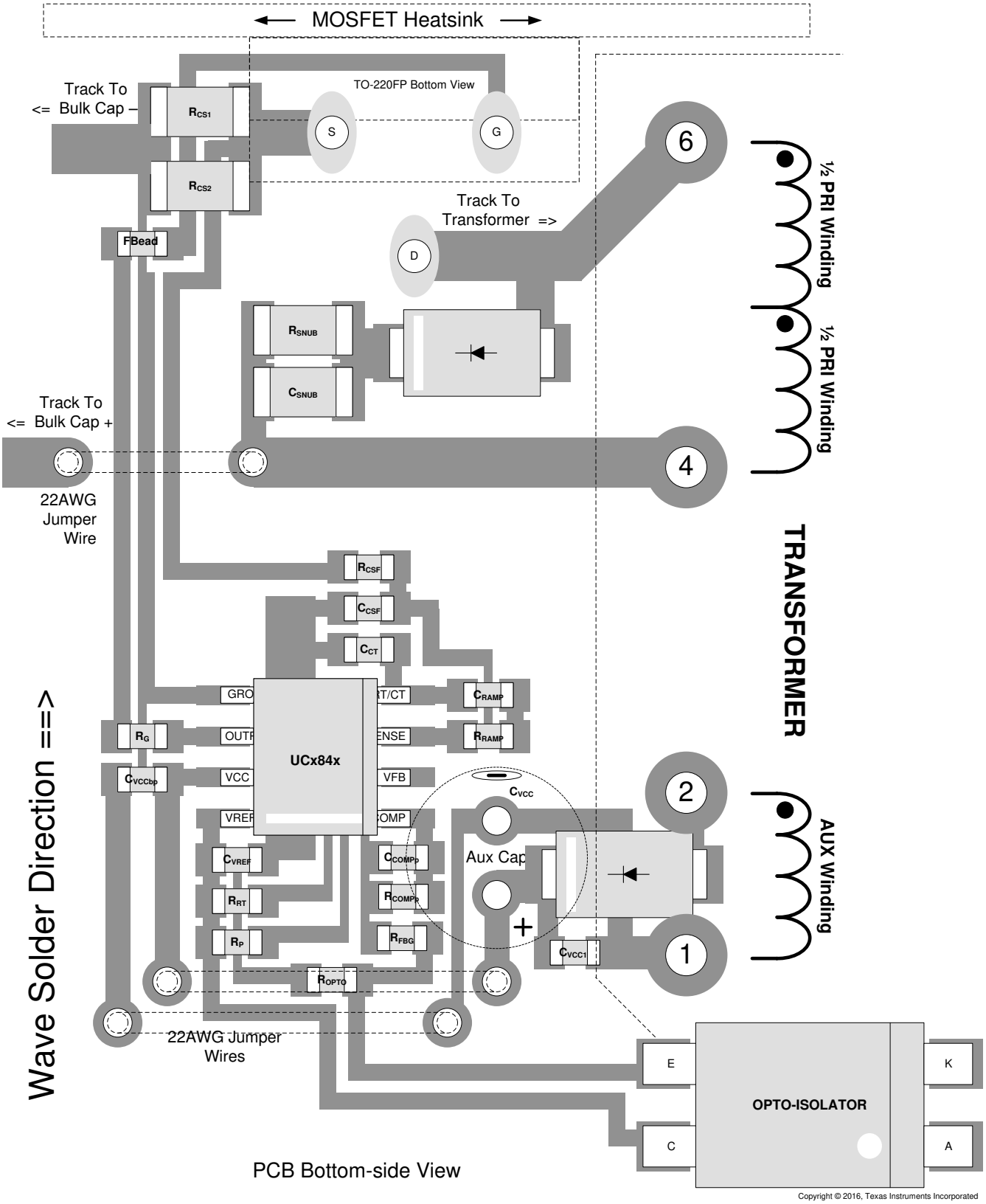


図 8-12. UCx84x のレイアウト例

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (July 2022) to Revision H (October 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「ESD 定格」の CDM 定格を ±3000V から ±2000V に変更。	6
• D-8、D-14、P-8 パッケージの「熱に関する情報」を変更	6
• 「電気的特性」の「出力」セクションで立ち上がりおよび立ち下がり時間の標準値を 50ns から 25ns に変更	7
• 「電気的特性」の「PWM」セクションで UCx842/3 の最大デューティ サイクルの最小値を 95% から 92% に変更	7
• 「電気的特性」の「総スタンバイ電流」セクションで VCC ツェナー電圧の標準値を 34V から 39V に変更	7
• 「代表的特性」のグラフの $I_{discharge}$、$t_{deadtime}$、周波数を更新	9

Changes from Revision F (April 2020) to Revision G (July 2022)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

Changes from Revision E (January 2017) to Revision F (April 2020)	Page
• UVLO 表を更新	7

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670401PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
5962-8670401VPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401VPA UC1842
5962-8670401VPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401VPA UC1842
5962-8670401XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
5962-8670402PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843
5962-8670402XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/ 883B
5962-8670403PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
5962-8670403VXA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403VXA UC1844L QMLV
5962-8670403VXA.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403VXA UC1844L QMLV
5962-8670403XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/ 883B
5962-8670404DA	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	See UC1845W883B	5962-8670404DA UC1845W/883B
5962-8670404PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670404VPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404VPA UC1845
5962-8670404VPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404VPA UC1845
5962-8670404VXA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404VXA UC1845L QMLV
5962-8670404VXA.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404VXA UC1845L QMLV
5962-8670404XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1842J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842J
UC1842J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842J
UC1842J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
UC1842J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
UC1842L883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
UC1842L883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
UC1842W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842W
UC1842W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842W
UC1843J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843J
UC1843J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843J
UC1843J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1843J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843
UC1843L	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843L
UC1843L.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843L
UC1843L883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/883B
UC1843L883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/883B
UC1844J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844J
UC1844J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844J
UC1844J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
UC1844J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
UC1844L883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/883B
UC1844L883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/883B
UC1845J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845J
UC1845J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845J
UC1845J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845
UC1845J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845
UC1845L	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845L
UC1845L.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845L

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1845L883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1845L883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1845W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845W
UC1845W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845W
UC1845W883B	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-	5962-8670404DA UC1845W/883B
UC1845W883B.A	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404DA UC1845W/883B
UC2842D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8G4	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8TR	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8TR.A	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2842N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2842NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2843D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2843
UC2843D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2843DTR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843DTR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2843N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2843NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2844D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2844D
UC2844D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2844
UC2844D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844
UC2844D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844
UC2844DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844D
UC2844DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844D
UC2844N	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2844N.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2844NG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2845D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2845
UC2845D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC2845N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC2845NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC3842D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842D8TR	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3842D8TR.A	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3842N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3842NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3843D	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843D.A	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843D8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843DG4	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3843N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3843NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3844D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844DTRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844N	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N
UC3844N.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3844NG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N
UC3845AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	0 to 70	UC3845AJ
UC3845AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	0 to 70	UC3845AJ
UC3845D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3845
UC3845D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845DTR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845DTR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N
UC3845N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N
UC3845NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UC1842, UC1842-SP, UC1843, UC1844, UC1844-SP, UC1845, UC1845-SP, UC3842, UC3843, UC3844, UC3845, UC3845AM :

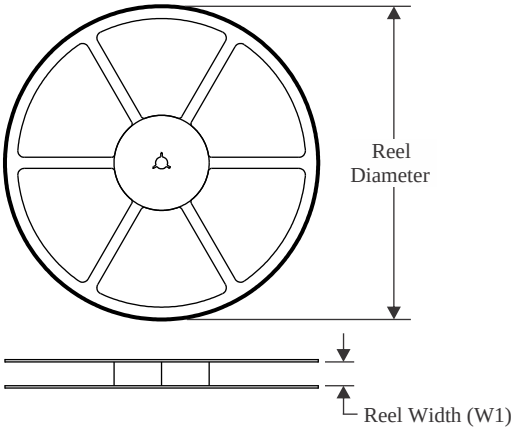
- Catalog : UC3842, UC1842, UC3843, UC3844, UC1844, UC3845, UC1845, UC3842M, UC3845A
- Enhanced Product : UC1845A-EP
- Military : UC1842, UC1843, UC1844, UC1845, UC1845A
- Space : UC1842-SP, UC1843-SP, UC1844-SP, UC1845-SP, UC1845A-SP

NOTE: Qualified Version Definitions:

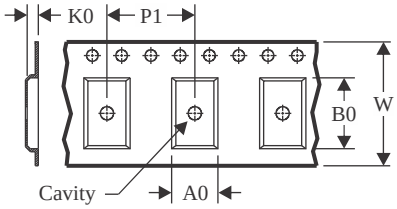
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

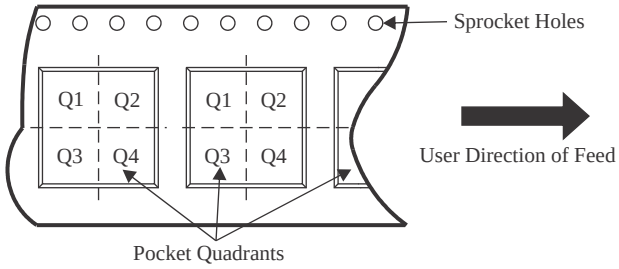


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

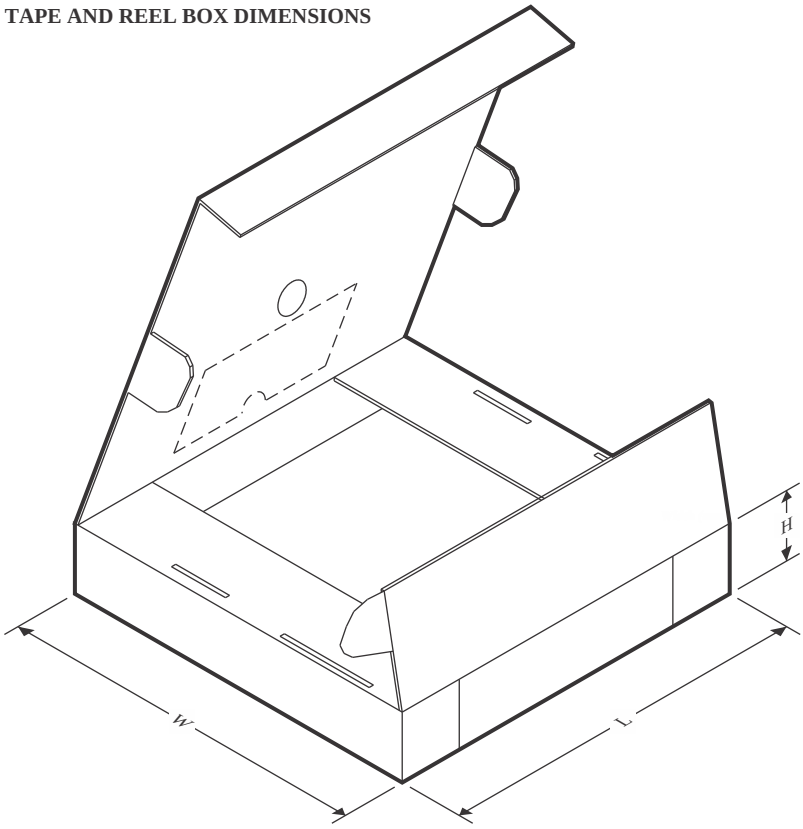
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC2842D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2843D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2843DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2844DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2845D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3842D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3842DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3843D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3843DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3844D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3844DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3845D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3845DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

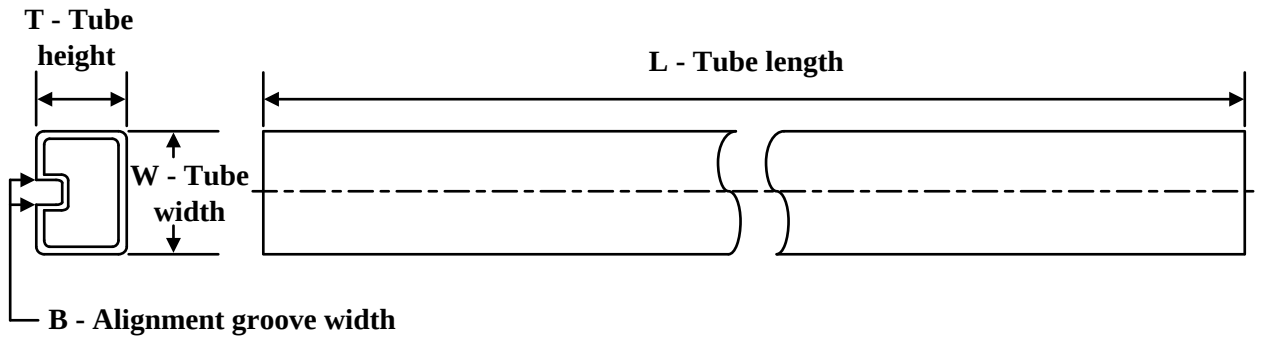
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UC2842D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2842DTR	SOIC	D	14	2500	340.5	336.1	32.0
UC2843D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2843DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2844DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2845D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2845DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3842D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3842DTR	SOIC	D	14	2500	340.5	336.1	32.0
UC3843D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3843DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3844D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3844DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3845D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3845DTR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE

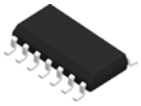


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8670401XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670402XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403VXA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403VXA.A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404DA	W	CFP	14	25	506.98	26.16	6220	NA
5962-8670404VXA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404VXA.A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404XA	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842W	W	CFP	14	25	506.98	26.16	6220	NA
UC1842W.A	W	CFP	14	25	506.98	26.16	6220	NA
UC1843L	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845W	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W.A	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W883B	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W883B.A	W	CFP	14	25	506.98	26.16	6220	NA
UC2842D	D	SOIC	14	50	507	8	3940	4.32
UC2842D.A	D	SOIC	14	50	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC2842D8	D	SOIC	8	75	507	8	3940	4.32
UC2842D8.A	D	SOIC	8	75	507	8	3940	4.32
UC2842D8G4	D	SOIC	8	75	507	8	3940	4.32
UC2842N	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843D	D	SOIC	14	50	507	8	3940	4.32
UC2843D.A	D	SOIC	14	50	507	8	3940	4.32
UC2843DG4	D	SOIC	14	50	507	8	3940	4.32
UC2843N	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844N	P	PDIP	8	50	506	13.97	11230	4.32
UC2844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845D	D	SOIC	14	50	507	8	3940	4.32
UC2845D.A	D	SOIC	14	50	507	8	3940	4.32
UC2845DG4	D	SOIC	14	50	507	8	3940	4.32
UC2845N	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842D	D	SOIC	14	50	507	8	3940	4.32
UC3842D.A	D	SOIC	14	50	507	8	3940	4.32
UC3842D8	D	SOIC	8	75	507	8	3940	4.32
UC3842D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3842N	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843D	D	SOIC	14	50	507	8	3940	4.32
UC3843D.A	D	SOIC	14	50	507	8	3940	4.32
UC3843D8	D	SOIC	8	75	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC3843D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3843D8G4	D	SOIC	8	75	507	8	3940	4.32
UC3843DG4	D	SOIC	14	50	507	8	3940	4.32
UC3843N	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844D	D	SOIC	14	50	507	8	3940	4.32
UC3844D.A	D	SOIC	14	50	507	8	3940	4.32
UC3844D8	D	SOIC	8	75	507	8	3940	4.32
UC3844D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3844N	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845D	D	SOIC	14	50	507	8	3940	4.32
UC3845D.A	D	SOIC	14	50	507	8	3940	4.32
UC3845DG4	D	SOIC	14	50	507	8	3940	4.32
UC3845N	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845NG4	P	PDIP	8	50	506	13.97	11230	4.32

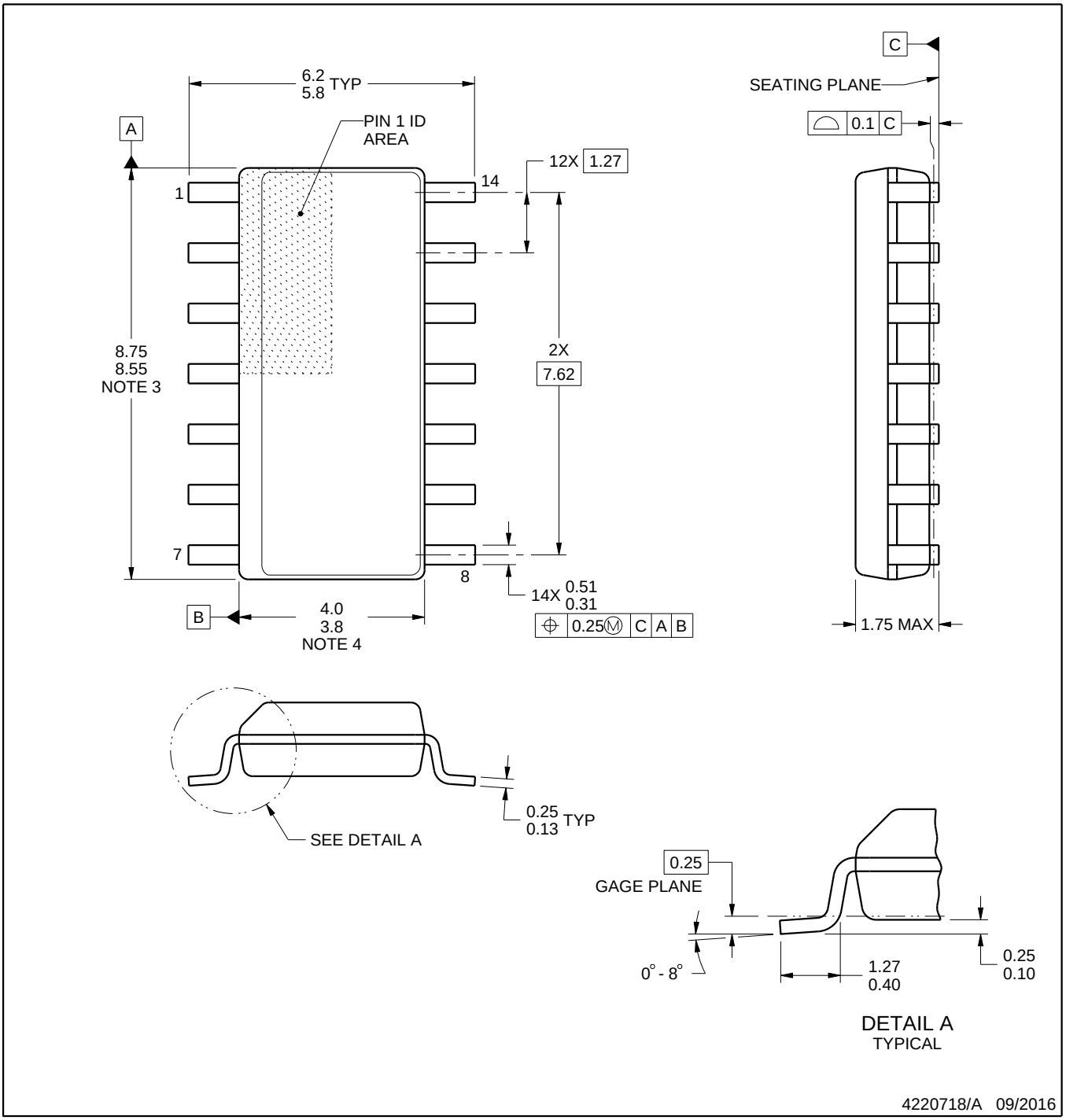


PACKAGE OUTLINE

D0014A

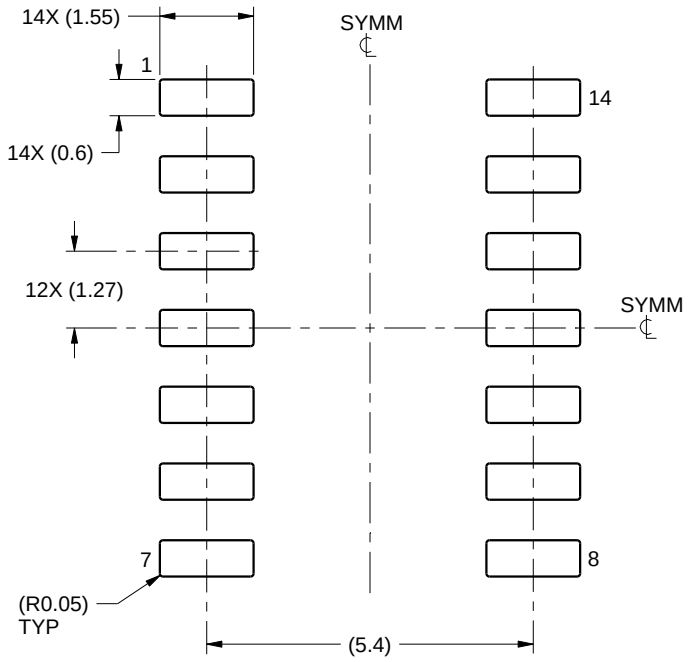
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

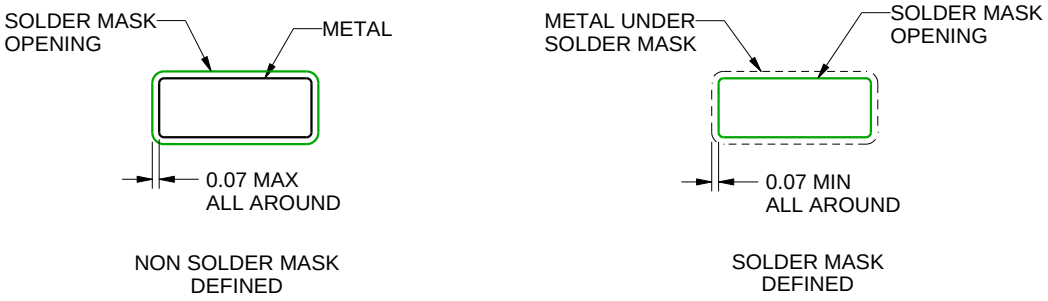


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

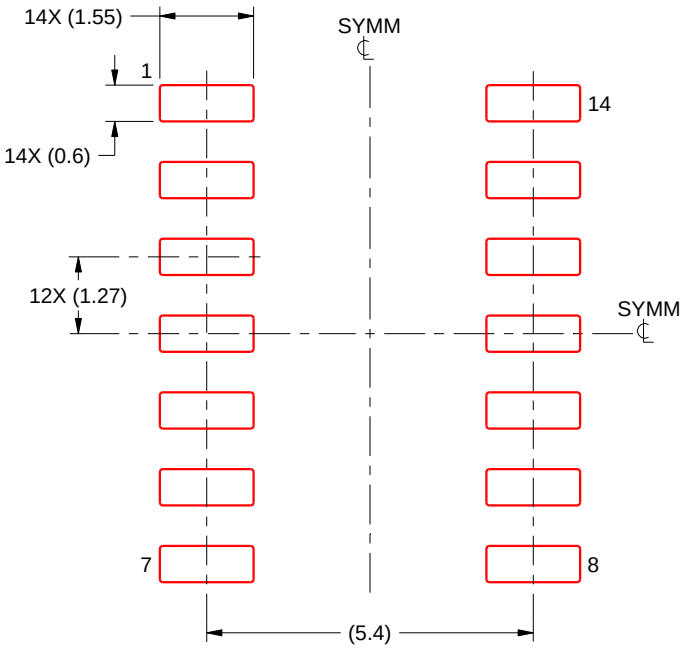
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



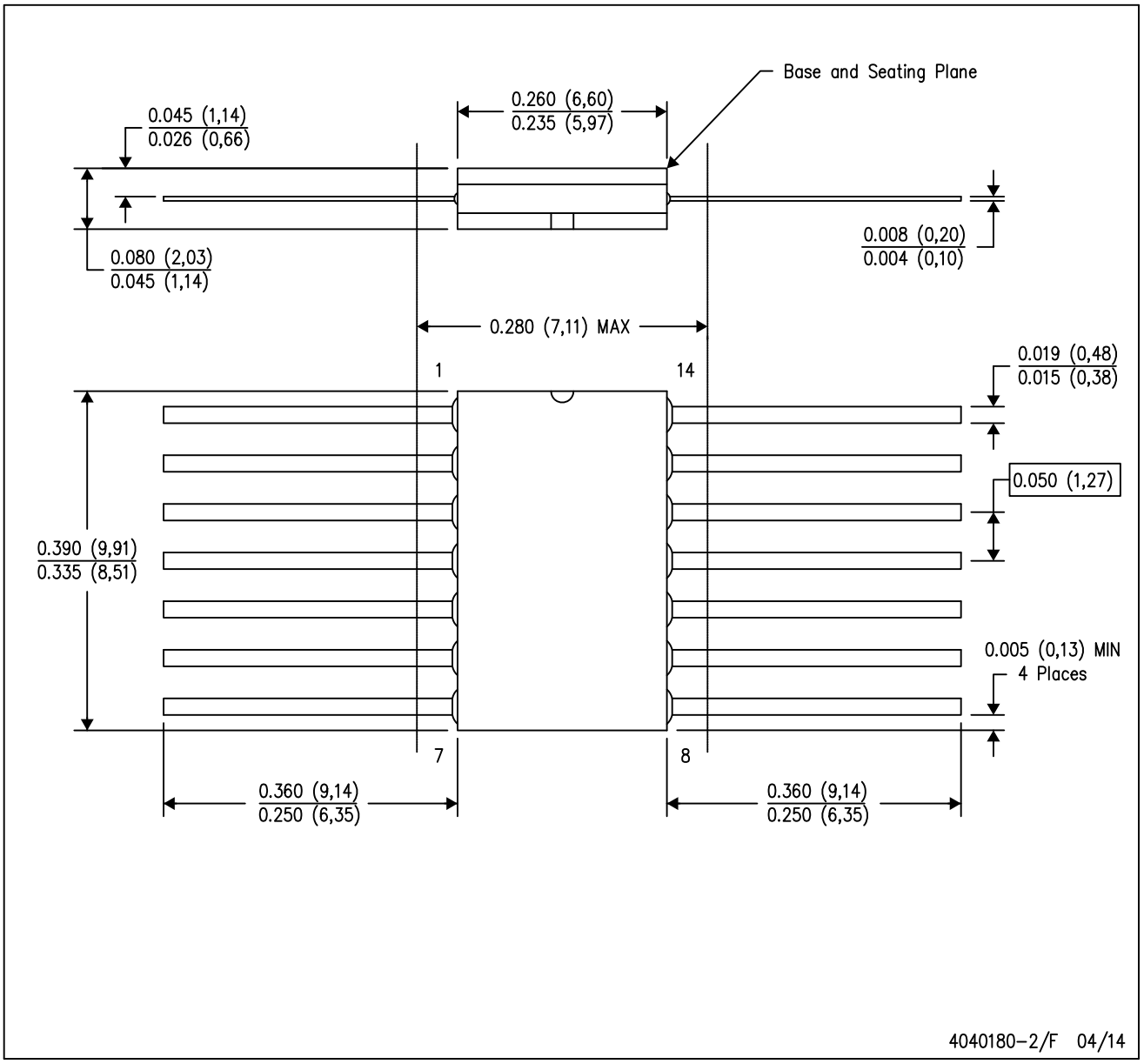
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

GENERIC PACKAGE VIEW

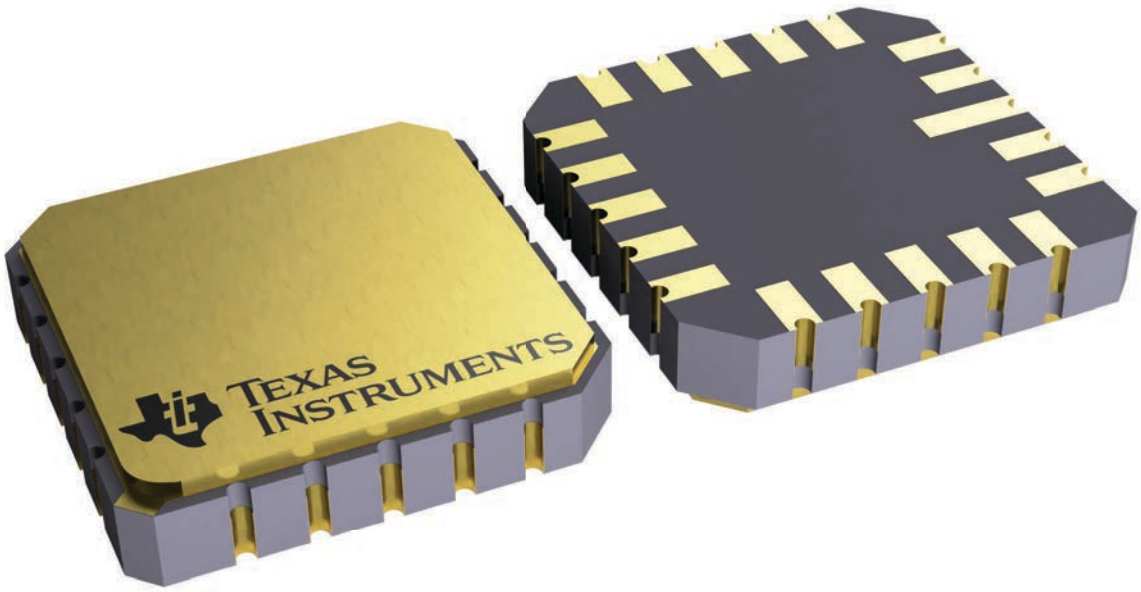
FK 20

LCCC - 2.03 mm max height

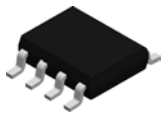
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

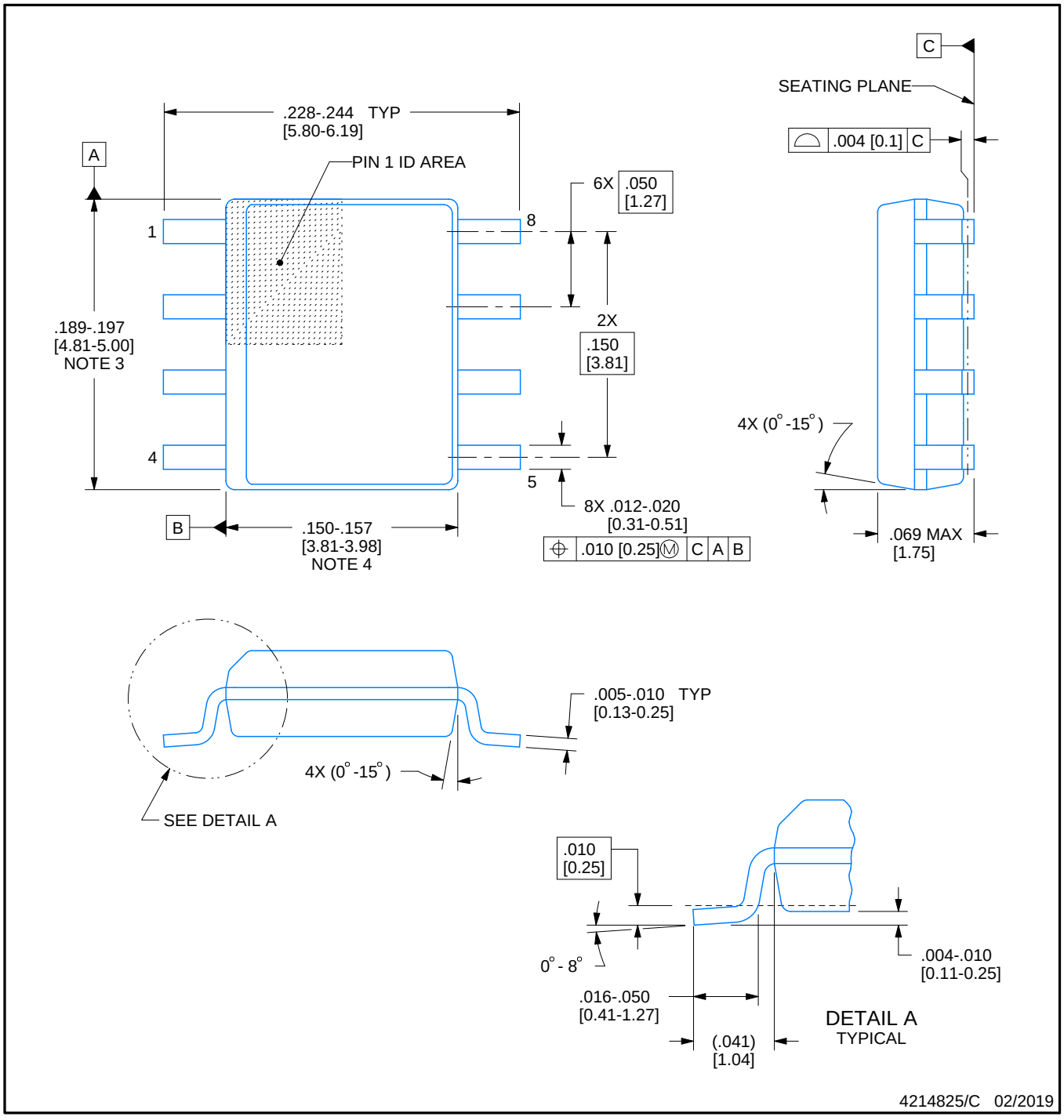


PACKAGE OUTLINE

D0008A

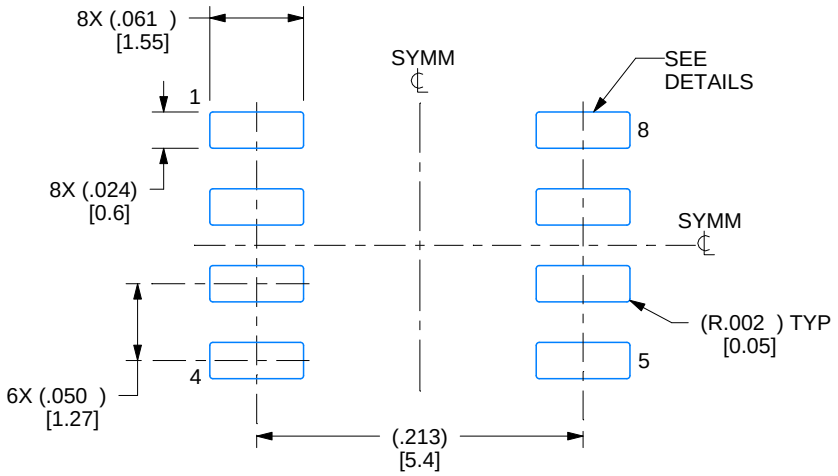
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

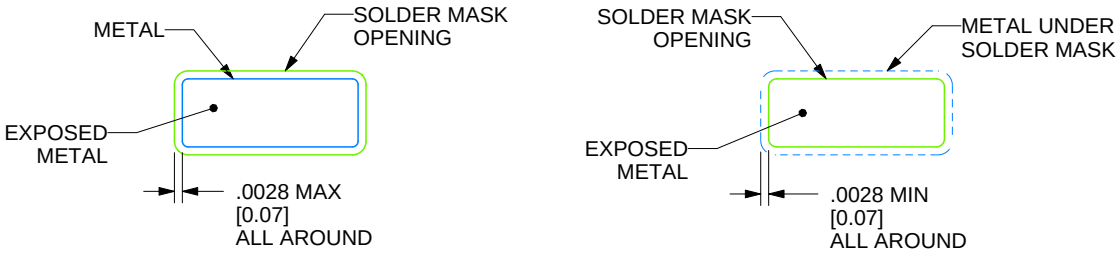


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

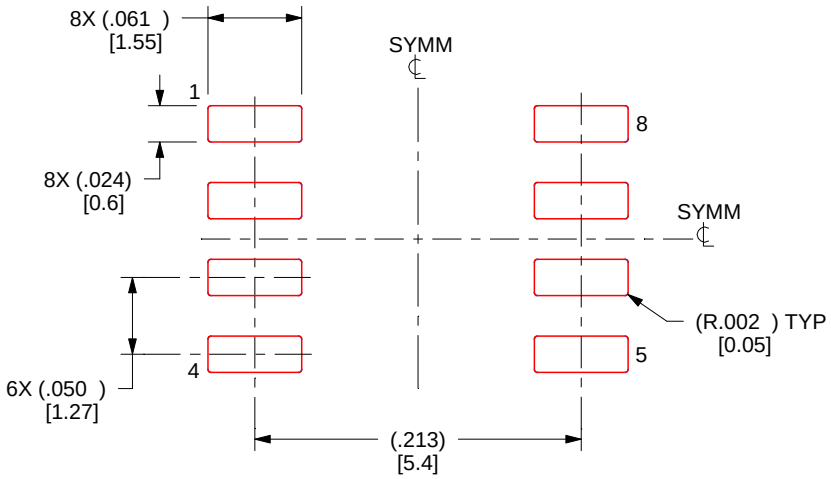
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



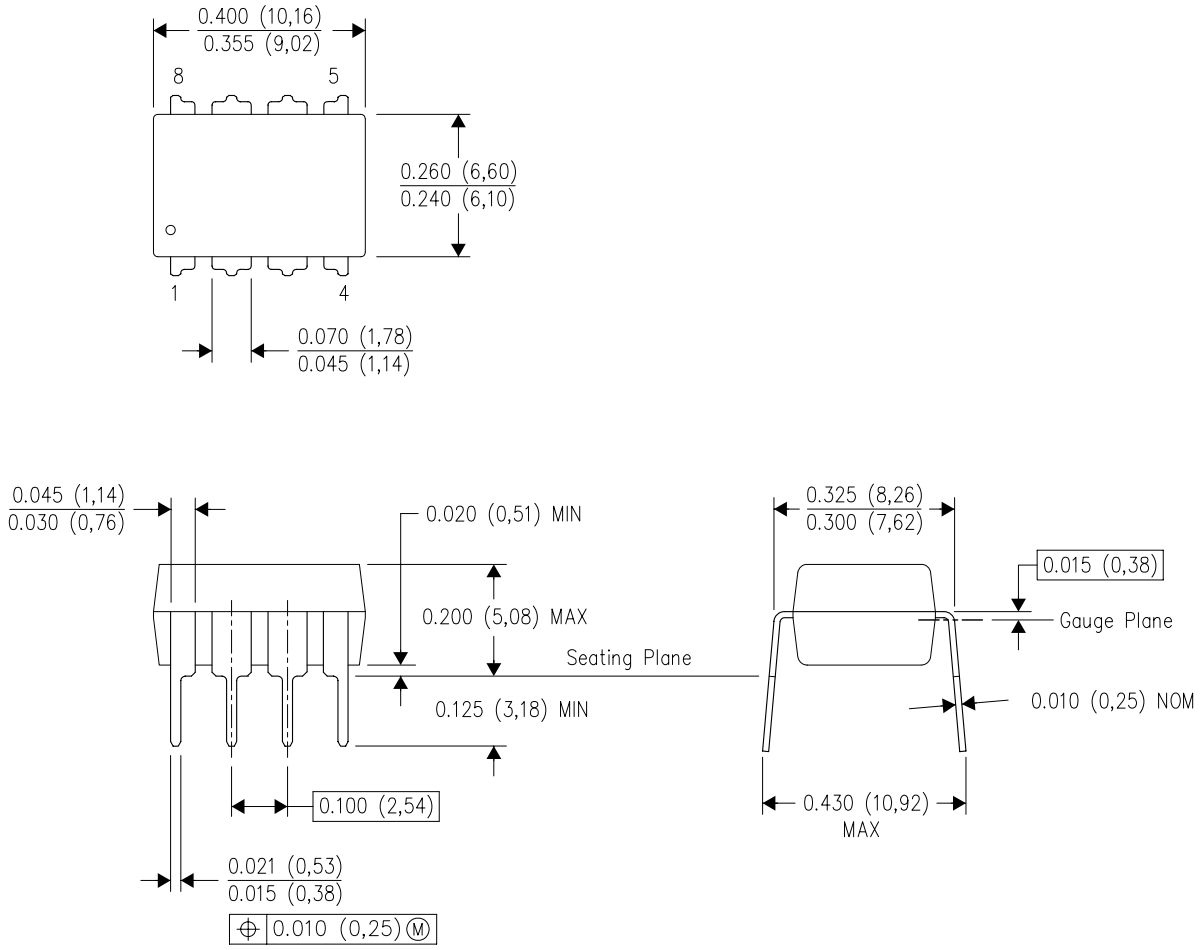
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



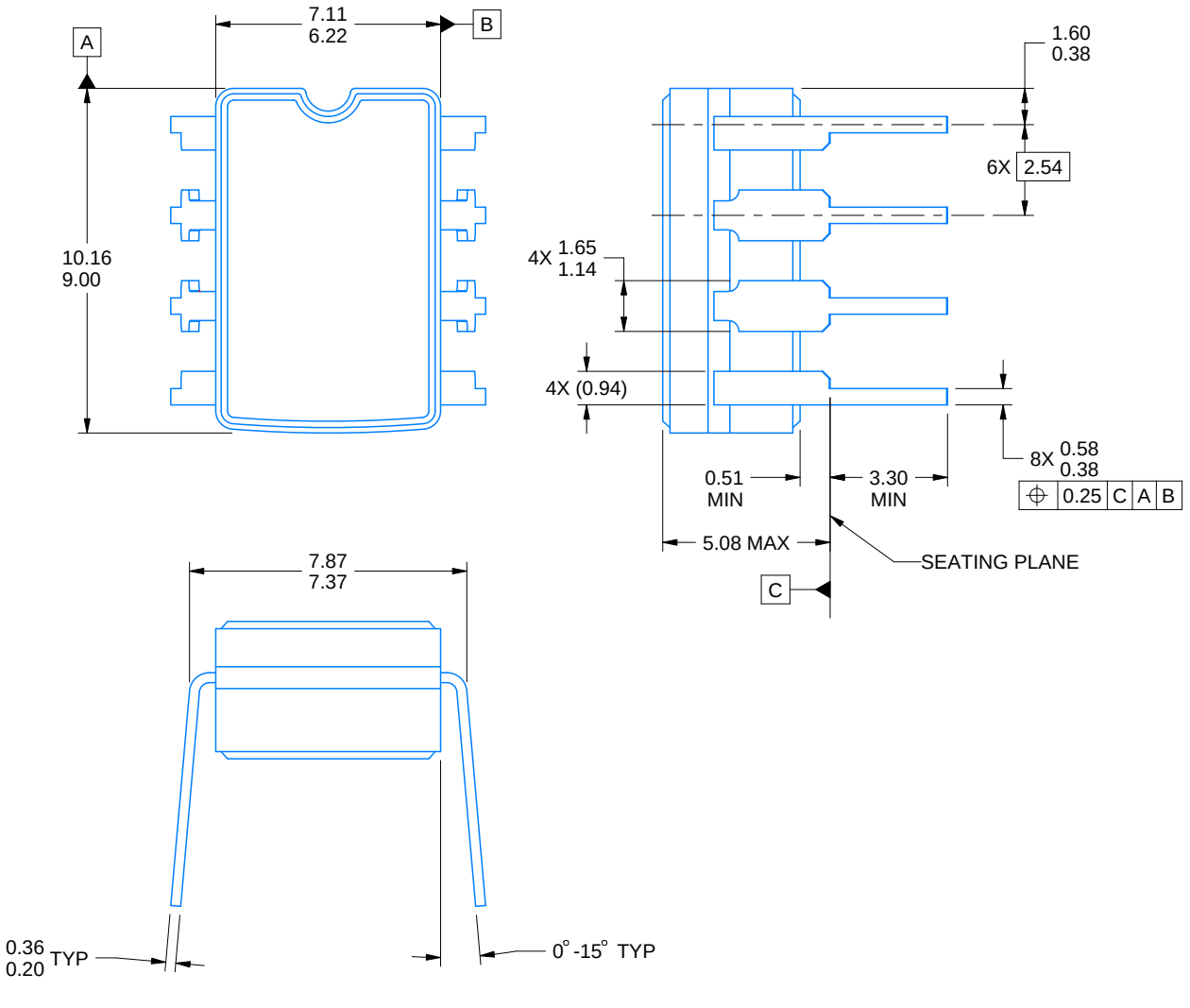
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

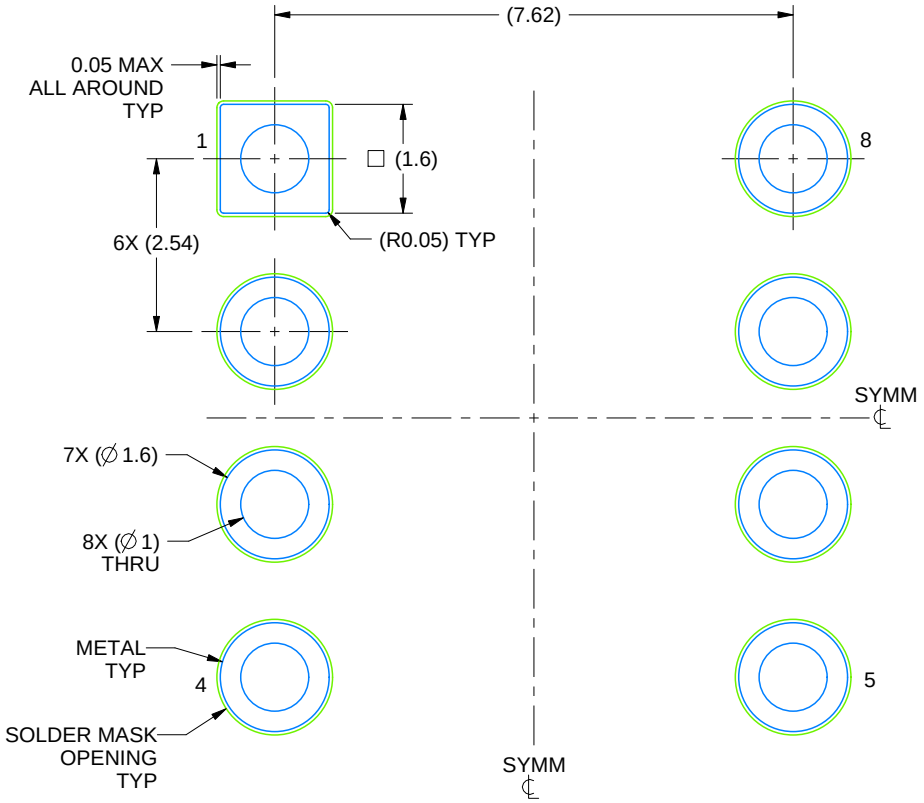
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月