UCC21225A 4A、6A、2.5kV$_{RMS}$ LGA パッケージ絶縁型デュアル チャネル ゲート ドライバ

1 特長

- 汎用:デュアル ローサイド、デュアル ハイサイド、またはハーフ ブリッジ ドライバ
- 5 × 5mm、省スペース LGA-13 パッケージ
- スイッチング パラメータ:
  - 標準伝搬遅延:19ns
  - 最大遅延マッチング:5ns
  - 最大パルス幅歪み:6ns
- 100V/ns を超える CMTI
- ピーク ソース 4A、ピーク シンク 6A の出力
- TTL および CMOS 互換の入力
- 入力 VCCI 範囲:3V ～ 18V
- 5V UVLO で最大 25V の VDD
- オーバーラップおよびデッド タイムをプログラミング可能
- 5ns 未満の入力過渡変動を遮断
- 高速なディセーブルによる電源シーケンス
- 安全関連認証:
  - DIN V VDE V 0884-11:2017-01 に準拠した 3535V$_{PK}$ 絶縁
  - UL 1577 に準拠した絶縁耐圧:2500V$_{RMS}$ (1 分間)
  - GB 4943.1-2022 に準拠した CQC

2 アプリケーション

- サーバー、テレコム、IT、および産業用インフラストラクチャ
- DC/DC および AC/DC 電源
- モータードライブおよび DC/AC ソーラー インバータ
- HEV および BEV バッテリ充電器

3 説明

UCC21225A は、5mm × 5mm LGA-13 パッケージで 4A ソースおよび 6A シンクのピーク電流を備えた絶縁型デュアル チャネル ゲート ドライバです。UCC21225A はパワー トランジスタを最高 5MHz で駆動し、クラス最高の伝搬遅延とパルス幅歪みを実現するように設計されています。

入力側は、2.5kV$_{RMS}$ の絶縁バリアによって 2 つの出力ドライバと分離されており、最小同相過渡耐性 (CMTI) は 100V/ns です。2 つの 2 次側ドライバ間は、内部的に機能絶縁されているため、700V$_{DC}$ までの電圧で動作します。

本ドライバは、プログラム可能なデッド タイム (DT) を備えた 2 つのローサイド、2 つのハイサイド、またはハーフブリッジ ドライバとして構成できます。ディセーブル ピンが High に設定されると、両方の出力が同時にシャットダウンし、オープンまたは接地したときには通常動作します。

このデバイスは、最大 25V の VDD 電源電圧に対応できます。3V ～ 18V の広い入力 VCCI 範囲により、本ドライバはアナログ コントローラとデジタル コントローラの両方とのインターフェイス接続に最適な選択肢となります。すべての電源電圧ピンには、低電圧誤動作防止 (UVLO) 機能が搭載されています。

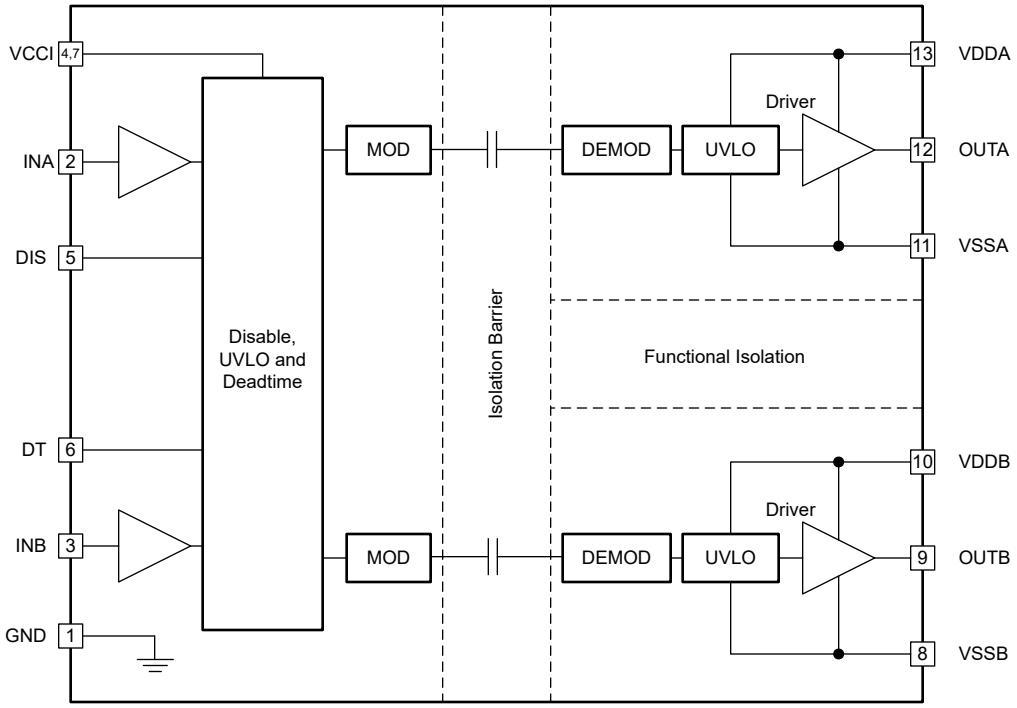
これらすべての高度な機能により、UCC21225A は多様な電源アプリケーションにおいて高電力密度、高効率、および堅牢性を実現します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UCC21225ANPL	NPL (LGA、13)	5mm × 5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電力定格.....6
5.6 絶縁仕様.....6
5.7 安全関連認証.....7
5.8 安全限界値.....7
5.9 電気的特性.....8
5.10 スイッチング特性.....9
5.11 絶縁特性および熱ディレーティング曲線.....10
5.12 代表的特性.....11
6 パラメータ測定情報.....15
6.1 伝搬遅延とパルス幅歪み.....15
6.2 立ち上がりおよび立ち下がり時間.....15
6.3 入力とディセーブルの応答時間.....15
6.4 プログラム可能なデッド タイム.....16
6.5 電源オン時の UVLO 出力遅延.....16
6.6 CMTI テスト.....18
7 詳細説明.....19
7.1 概要.....19
7.2 機能ブロック図.....19
7.3 機能説明.....19
7.4 デバイスの機能モード.....23
8 アプリケーションと実装.....25
8.1 使用上の注意.....25
8.2 代表的なアプリケーション.....25
8.3 電源に関する推奨事項.....34
8.4 レイアウト.....34
9 デバイスおよびドキュメントのサポート.....38
9.1 デバイス サポート.....38
9.2 ドキュメントのサポート.....38
9.3 ドキュメントの更新通知を受け取る方法.....38
9.4 認証.....38
9.5 サポート・リソース.....38
9.6 商標.....38
9.7 静電気放電に関する注意事項.....38
9.8 用語集.....38
10 改訂履歴.....39
11 メカニカル、パッケージ、および注文情報.....39

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

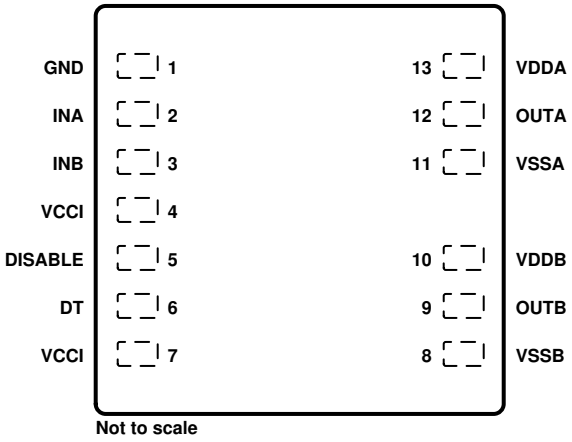


図 4-1. NPL パッケージ 13 ピン LGA 上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
無効化	5	I	High がアサートされると両方のドライバ出力を無効化し、Low に設定されるかオープンのままである場合は有効化します。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。離れた場所にあるマイコンに接続する場合は、DIS ピンの近くで約 1nF の低 ESR または ESL コンデンサを使用してバイパスします。
DT	6	I	プログラム可能なデッド タイム機能。 DT を VCCI に接続すると、出力の重複が許可されます。DT をオープンのままにすると、デッド タイムが 15ns 未満に設定されます。DT と GND の間に 500Ω ～ 500kΩ の抵抗 (RDT) を配置すると、次式に従ってデッド タイムが調整されます。DT (ns) = 10 × R_{DT} (kΩ)。ノイズ耐性を向上させるために、DT ピンの近くに 2.2nF 以上のセラミック コンデンサを並列に接続することをお勧めします。
GND	1	G	1 次側のグランド基準。1 次側のすべての信号はこのグランドを基準とします。
INA	2	I	A チャネルの入力信号。INA 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。
INB	3	I	B チャネルの入力信号。INB 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。
OUTA	12	O	ドライバ A の出力。A チャネルの FET または IGBT のゲートに接続します。
OUTB	9	O	ドライバ B の出力。B チャネルの FET または IGBT のゲートに接続します。
VCCI	4	P	1 次側の電源電圧。デバイスのできるだけ近くに配置された低 ESR または ESL コンデンサを使用して、局所的に GND にデカップリングされます。
VCCI	7	P	1 次側の電源電圧。このピンはピン 4 と内部で短絡しています。
VDDA	13	P	ドライバ A の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR または ESL コンデンサを使って VSSA に対して局所的にデカップリングします。
VDDB	10	P	ドライバ B の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR または ESL コンデンサを使って VSSB に対して局所的にデカップリングします。
VSSA	11	G	2 次側のドライバ A のグランド。2 次側の A チャネルのグランド リファレンス電圧。
VSSB	8	G	2 次側のドライバ B のグランド。2 次側の B チャネルのグランド リファレンス電圧。

(1) P = 電源、G = グランド、I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力バイアス ピン電源電圧	VCCI (GND 基準)	-0.3	20	V
ドライバ バイアス電源	VDDA-VSSA、VDDB-VSSB	-0.3	30	V
出力信号電圧	OUTA (VSSA 基準)、OUTB (VSSB 基準)	-0.3	V_{VDDA}+0.3、V_{VDDB}+0.3	V
	OUTA (VSSA 基準)、OUTB (VSSB 基準)、200ns の過渡	-2	V_{VDDA}+0.3、V_{VDDB}+0.3	V
入力信号電圧	INA、INB、DIS、DT (GND 基準)	-0.3	V_{VCCI}+0.3	V
	INA、INB 過渡 (50ns)	-5	V_{VCCI}+0.3	V
チャネル間電圧	VSSA-VSSB、VSSB-VSSA		700	V
接合部温度、T_J (2)		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) T_J の推奨動作条件を維持するには、セクション 5.4 を参照してください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
VCCI	VCCI 入力電源電圧	3	18	V
VDDA、VDDB	ドライバ出力バイアス電源	6.5	25	V
T_A	周囲温度	-40	125	°C
T_J	接合部温度	-40	130	°C

5.4 熱に関する情報

熱評価基準(1)		UCC21225A	単位
		LGA (13)(2)	
$R_{\theta JA}$	接合部から周囲への熱抵抗	98.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	48.8	
$R_{\theta JB}$	接合部から基板への熱抵抗	78.9	
ψ_{JT}	接合部から上面への特性パラメータ	26.2	
ψ_{JB}	接合部から基板への特性パラメータ	76.8	

(1) 従来および最新の熱評価基準の詳細については、半導体および IC パッケージの熱評価基準アプリケーション ノートを参照してください。
(2) 無風状態の標準 JESD51-9 エリア アレイ SMT テスト ボード (2s2p)、VSSA および VSSB を直下のプレーンに接続する直径 12mil、1 オンスの銅ビア (VSSA 用に 3 個のビア、VSSB 用に 3 個のビア)。

5.5 電力定格

			値	単位
P_D	UCC21225A による消費電力	VCCI = 18V、VDDA/B = 12V、INA/B = 3.3V、3.5MHz 50% デューティ サイクルの方形波、1nF 負荷	1.25	W
P_{DI}	UCC21225A の送信側による消費電力		0.05	
P_{DA}、P_{DB}	UCC21225A の各ドライバ側による消費電力		0.60	

5.6 絶縁仕様

パラメータ		テスト条件	値	単位
CLR	外部空間距離(1)(2)	空気中での最短のピン間距離	3.5	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	3.5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>21	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ		I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I-III	
		定格商用電源 V_{RMS} が 300V 以下	I-II	
DIN V VDE V 0884-11 (VDE V 0884-11):2017-01(3)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	792	V_{PK}
V_{IOWM}	最大動作絶縁電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB)、テスト (図 5-3 を参照。)	560	V_{RMS}
		DC 電圧	792	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	3535	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	IEC 62368-1 に準拠したテスト手法、1.2/50µs 波形、$V_{TEST} = 1.3 \times V_{IOSM}$ (認定)	3500	V_{PK}
q_{pd}	見掛けの電荷(5)	メソッド a、入出力安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	<5	pC
		メソッド a、環境テストのサブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	<5	
		メソッド b1、ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s	<5	

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	値	単位
C_{IO}	絶縁バリア容量、入力から出力へ(6)	V_{IO} = 0.4 sin (2πft)、f = 1MHz	1.2	pF
R_{IO}	絶縁抵抗、入力から出力へ	V_{IO} = 500V (T_A = 25℃時)	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	V_{TEST} = V_{ISO} = 3000V_{RMS}、t = 60 s (認定)、 V_{TEST} = 1.2 × V_{ISO} = 3000V_{RMS}、t = 1 秒 (100% 出荷時)	2500	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) パッケージ寸法の許容誤差:±0.05mm。
(3) 本カプラは、最大動作定格内での基礎電気絶縁のみを目的として設計されています。適切な保護回路を使用して、安全定格への適合性を確認してください。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	UL	CQC
DIN V VDE V 0884-11:2017-01 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1-2022 による認証
基本絶縁最大過渡過電圧:3535V_{PK}、 最大反復ピーク電圧:792V_{PK}、 最大サージ絶縁電圧:2719V_{PK}	シングル保護:2500V_{RMS}	基本絶縁、 高度 ≤ 5000m、 熱帯気候、最大動作電圧:320V_{RMS}
認証番号:40016131	認証番号:E181974	認証番号:CQC18001186974

5.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	側	最小値	標準値	最大値	単位
I_S	安全出力電源電流(1)	$R_{\theta JA}$ = 98.0°C/W、VDDA/B = 12V、T_A = 25°C、T_J = 150°C 図 5-1 を参照	ドライバ A、ドライバ B			50	mA
		$R_{\theta JA}$ = 98.0°C/W、VDDA/B = 25V、T_A = 25°C、T_J = 150°C	ドライバ A、ドライバ B			24	mA
P_S	安全電源(1)	$R_{\theta JA}$ = 98.0°C/W、T_J = 25°C、T_A = 150°C 図 5-2 を参照	入力			0.05	W
			ドライバ A			0.60	
			ドライバ B			0.60	
			合計			1.25	
T_S	安全温度 (1)					150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S と P_S の上限値を超えないようにします。これらの限界値は、周囲温度 T_A によって異なります。
セクション 5.4 表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使用して各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$。ここで、P はデバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ここで、$T_{J(max)}$ は許容される最大接合部温度です。
$P_S = I_S \times V_I$ ここで、V_I は最大入力電圧です。

Copyright © 2026 Texas Instruments Incorporated

5.9 電気的特性

V_{VCCI} = 3.3V または 5V、0.1µF のコンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 12V、1µF のコンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、T_A = -40℃ ～ +125℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{VCCI}	VCCI 静止電流	V_{INA} = 0V、V_{INB} = 0V		1.5	2.0	mA
I_{VDDA}、I_{VDDB}	VDDA と VDDB の静止電流	V_{INA} = 0V、V_{INB} = 0V		1.0	1.8	mA
I_{VCCI}	VCCI 動作電流	(f = 500kHz) チャネルあたりの電流、C_{OUT} = 100pF		2.0		mA
I_{VDDA}、I_{VDDB}	VDDA と VDDB の動作電流	(f = 500kHz) チャネルあたりの電流、C_{OUT} = 100pF		2.5		mA
VCCI 電源低電圧誤動作防止スレッショルド						
V_{VCCI_ON}	立ち上がりスレッショルド VCCI_ON		2.55	2.7	2.85	V
V_{VCCI_OFF}	立ち下がりスレッショルド VCCI_OFF		2.35	2.5	2.65	V
V_{VCCI_HYS}	スレッショルドヒステリシス			0.2		V
VDD 電源低電圧誤動作防止スレッショルド						
V_{VDDA_ON}、V_{VDDB_ON}	立ち上がりスレッショルド VDDA_ON、VDDB_ON		5.7	6.0	6.3	V
V_{VDDA_OFF}、V_{VDDB_OFF}	立ち下がりスレッショルド VDDA_OFF、VDDB_OFF		5.4	5.7	6	V
V_{VDDA_HYS}、V_{VDDB_HYS}	スレッショルドヒステリシス			0.3		V
INA、INB、DISABLE						
V_{INAH}、V_{INBH}、V_{DISH}	入力 High 電圧		1.6	1.8	2	V
V_{INAL}、V_{INBL}、V_{DISL}	入力 Low 電圧		0.8	1	1.2	V
V_{INA_HYS}、V_{INB_HYS}、V_{DIS_HYS}	入力ヒステリシス			0.8		V
V_{INA}、V_{INB}	負の過渡電圧、GND 基準、50ns パルス	出荷時のテストは未実施。ベンチ テストのみ	-5			V
出力						
I_{OA+}、I_{OB+}	ピーク出力ソース電流	C_{VDD} = 10µF、C_{LOAD} = 0.18µF、f = 1kHz、ベンチ測定		4		A
I_{OA-}、I_{OB-}	ピーク出力シンク電流	C_{VDD} = 10µF、C_{LOAD} = 0.18µF、f = 1kHz、ベンチ測定		6		A
R_{OHA}、R_{OHB}	HIGH 状態の出力抵抗	I_{OUT} = -10mA、T_A = 25℃、R_{OHA}、R_{OHB} は、駆動プルアップ性能を表すものではありません。詳細については、セクション 5.10 とセクション 7.3.4 の t_{RISE} を参照してください。		5		Ω
R_{OLA}、R_{OLB}	Low 状態の出力抵抗	I_{OUT} = 10mA、T_A = 25℃		0.55		Ω
V_{OHA}、V_{OHB}	High 状態の出力電圧	V_{VDDA}、V_{VDDB} = 12V、I_{OUT} = -10mA、T_A = 25℃		11.95		V
V_{OLA}、V_{OLB}	Low 状態の出力電圧	V_{VDDA}、V_{VDDB} = 12V、I_{OUT} = 10mA、T_A = 25℃		5.5		mV
デッド タイムとオーバーラップのプログラミング						

Copyright © 2026 Texas Instruments Incorporated

V_{VCCI} = 3.3V または 5V、0.1µF のコンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 12V、1µF のコンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、T_A = -40℃ ～ +125℃ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
デッド タイム	DT ピンを VCCI にプル		オーバーラップは INA、INB によって決定		-
	DT ピンはオープンのまま、最小仕様は特性評価のみ、外れ値をテスト済み	0	8	15	ns
	R_{DT} = 20kΩ	160	200	240	ns

5.10 スイッチング特性

V_{VCCI} = 3.3V または 5V、0.1µF のコンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 12V、1µF のコンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、T_A = -40℃ ～ +125℃ (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RISE}	出力立ち上がり時間、測定ポイント 20%～80%	C_{OUT} = 1.8nF		6	16	ns
t_{FALL}	出力立ち下がり時間、測定ポイント 90%～10%	C_{OUT} = 1.8nF		7	12	ns
t_{PWmin}	最小パルス幅	最小値未満で出力オフ、C_{OUT} = 0pF			20	ns
t_{PDHL}	INx から OUTx の立ち下がりエッジまでの伝搬遅延		14	19	30	ns
t_{PDLH}	INx から OUTx 立ち上がりエッジまでの伝搬遅延		14	19	30	ns
t_{PWD}	パルス幅歪み $\|t_{PDLH} - t_{PDHL}\|$				6	ns
t_{DM}	VOUTA と VOUTB の間の伝搬遅延マッチング				5	ns
$\|CM_H\|$	High レベル同相モード トランジェント耐性	INA と INB の両方は VCCI に接続、V_{CM}= 1200V、(セクション 6.6 を参照)	100			V/ns
$\|CM_L\|$	Low レベルの同相モード過渡耐性	INA と INB の両方は GND に接続、V_{CM}= 1200V、(セクション 6.6 を参照)	100			

Copyright © 2026 Texas Instruments Incorporated

5.11 絶縁特性および熱ディレーティング曲線

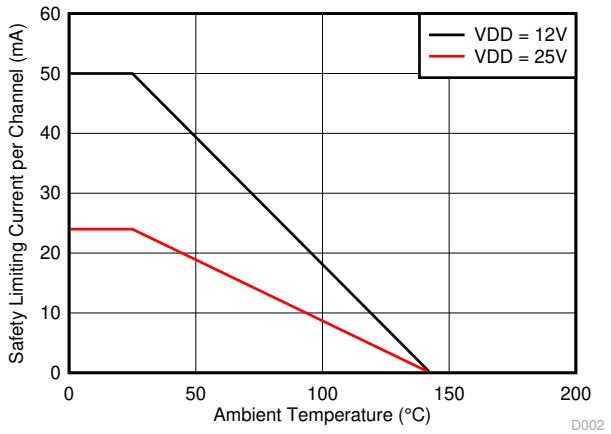


図 5-1. VDE に準拠した安全関連制限電流の熱ディレーティング曲線 ()

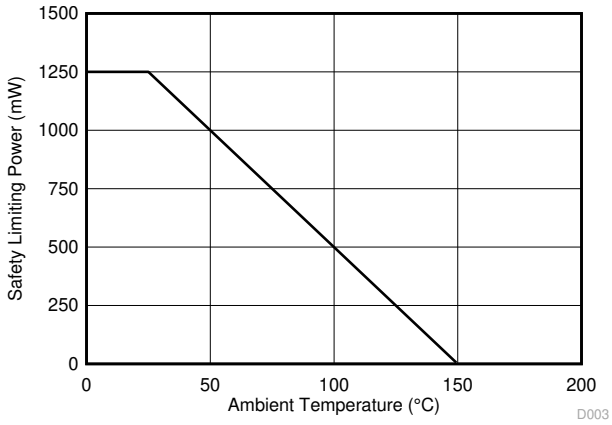


図 5-2. 安全関連の制限電力の熱特性低下曲線

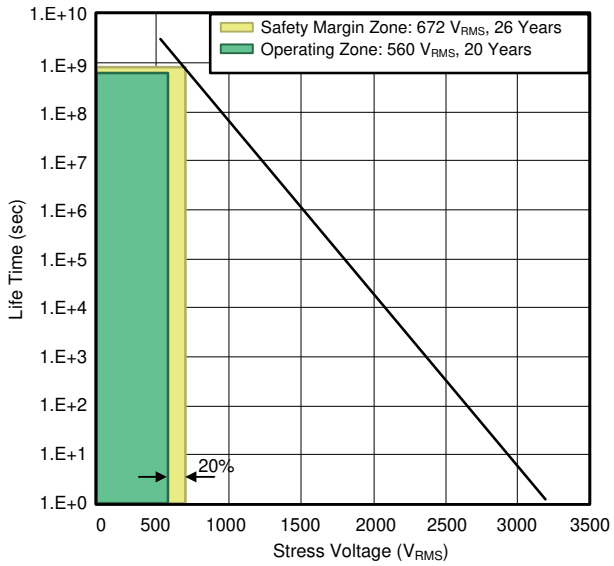


図 5-3. 絶縁コンデンサの寿命予測

Copyright © 2026 Texas Instruments Incorporated

5.12 代表的特性

VDDA = VDDB = 12V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)。

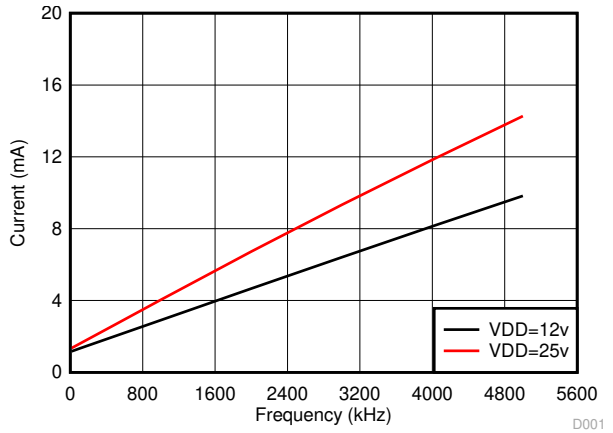


図 5-4. チャネルあたりの消費電流と周波数との関係 (無負荷、VDD = 12V または 25V)

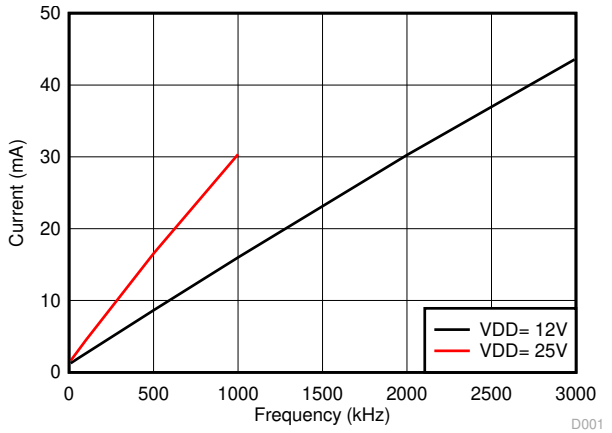


図 5-5. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (負荷 1nF、VDD = 12V または 25V)

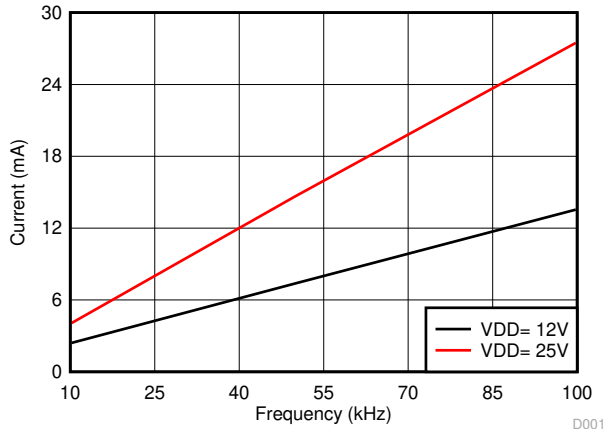


図 5-6. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (負荷 10nF、VDD = 12V または 25V)

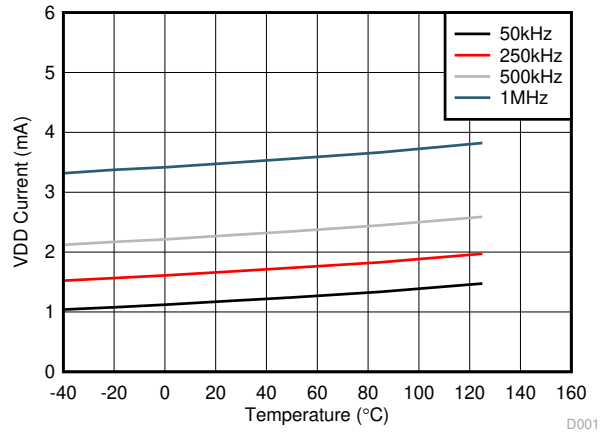


図 5-7. チャネルあたりの消費電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、各種スイッチング周波数)

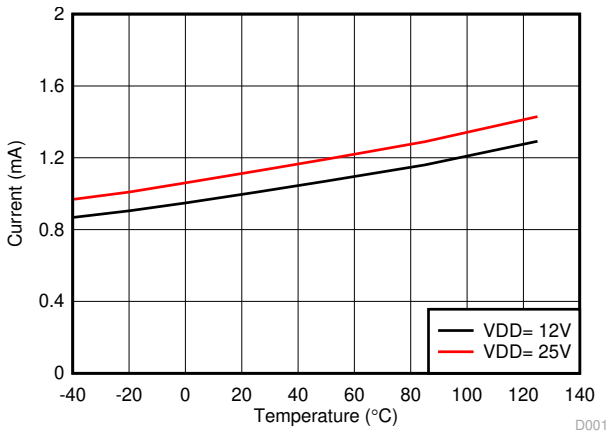


図 5-8. チャネルあたりの静止消費電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、入力 Low、スイッチングなし)

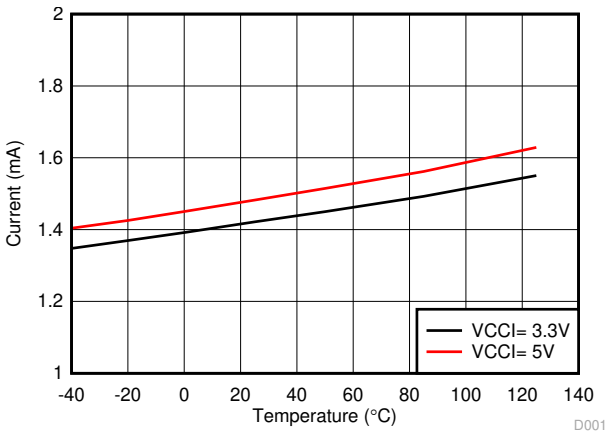


図 5-9. 静止消費電流 (I_{VCCI}) と温度との関係 (無負荷、入力 Low、スイッチングなし)

Copyright © 2026 Texas Instruments Incorporated

5.12 代表的特性 (続き)

VDDA = VDDB = 12V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)。

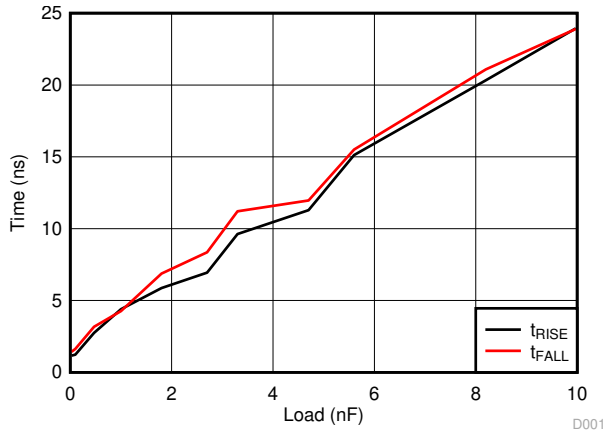


図 5-10. 立ち上がりおよび立ち下がり時間と負荷との関係 (VDD = 12V)

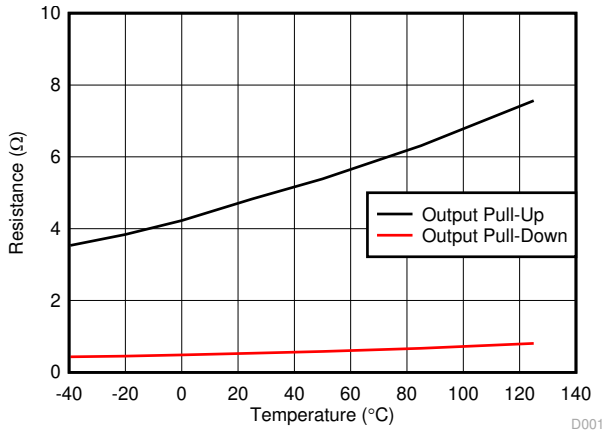


図 5-11. 出力抵抗と温度との関係

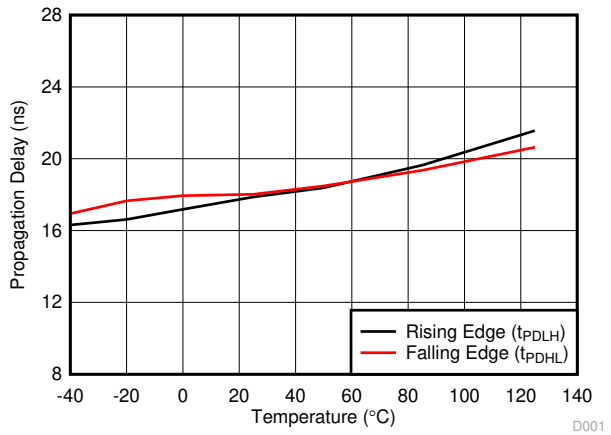


図 5-12. 伝搬遅延と温度との関係

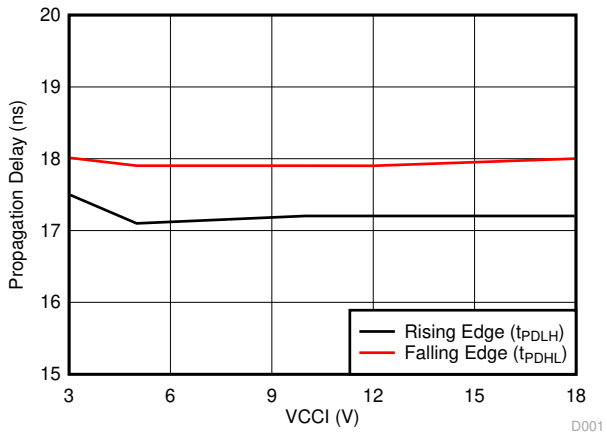


図 5-13. 伝搬遅延と VCCI との関係

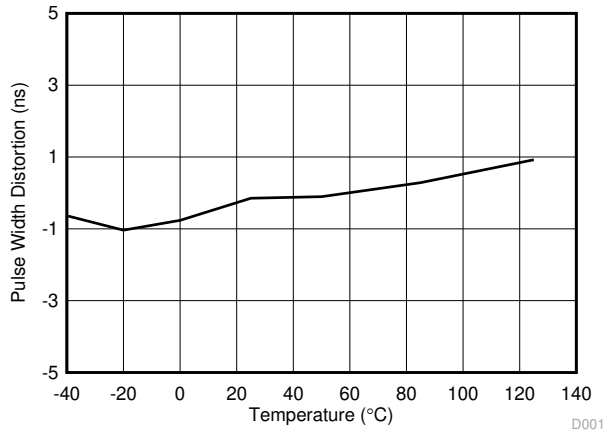


図 5-14. パルス幅歪みと温度との関係

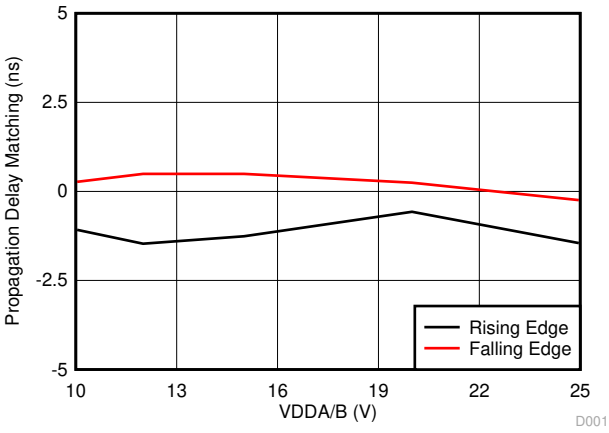


図 5-15. 伝搬遅延マッチング (t_{DM}) と VDD の比較

Copyright © 2026 Texas Instruments Incorporated

5.12 代表的特性 (続き)

VDDA = VDDB = 12V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)。

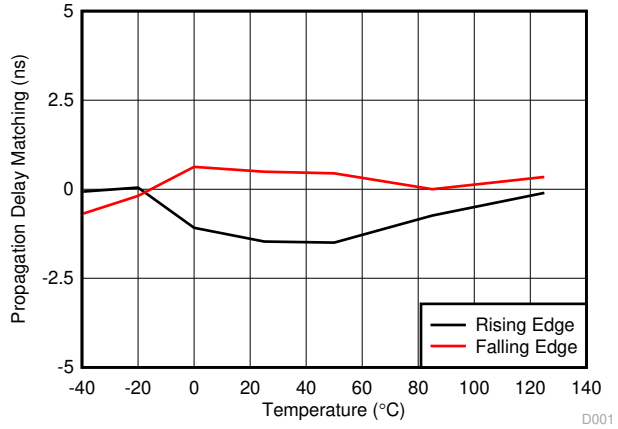


図 5-16. 伝搬遅延マッチング (t_{DM}) と温度との関係

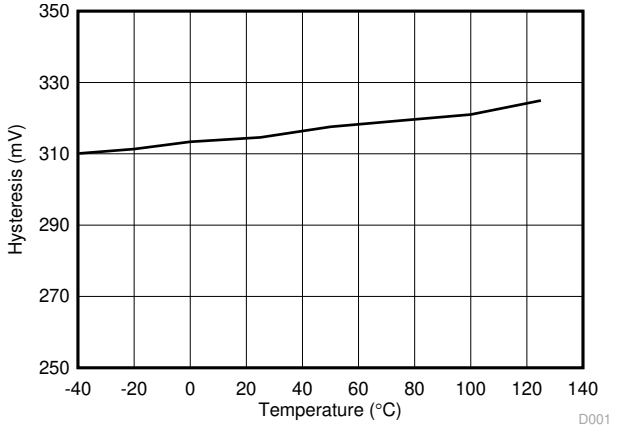


図 5-17. VDD UVLO ヒステリシスと温度との関係

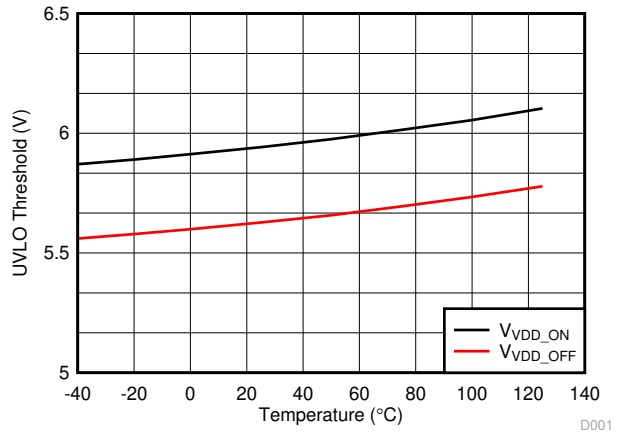


図 5-18. VDD UVLO スレッショルドと温度との関係

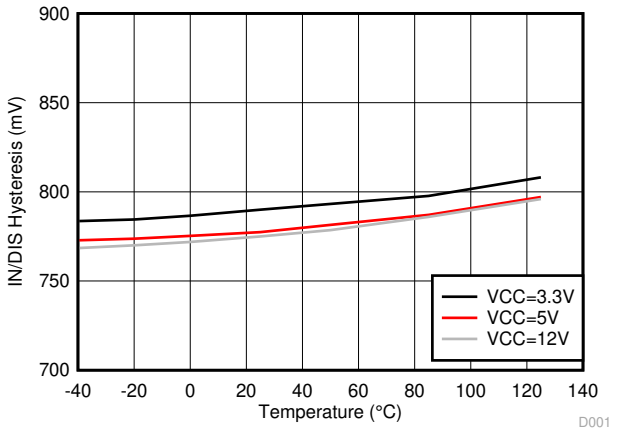


図 5-19. IN/DIS ヒステリシスと温度との関係

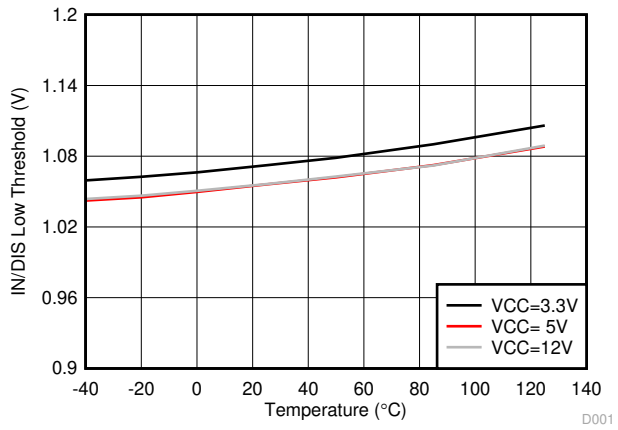


図 5-20. IN/DIS の Low スレッショルド

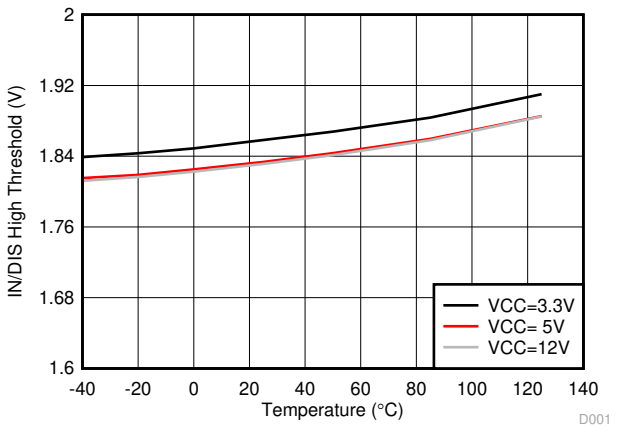


図 5-21. IN/DIS の High スレッショルド

Copyright © 2026 Texas Instruments Incorporated

5.12 代表的特性 (続き)

VDDA = VDDB = 12V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)。

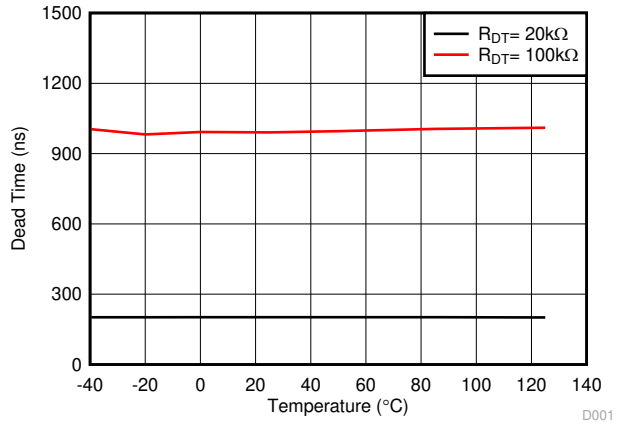


図 5-22. デッド タイムと温度との関係 (R_{DT} = 20kΩ および 100kΩ の場合)

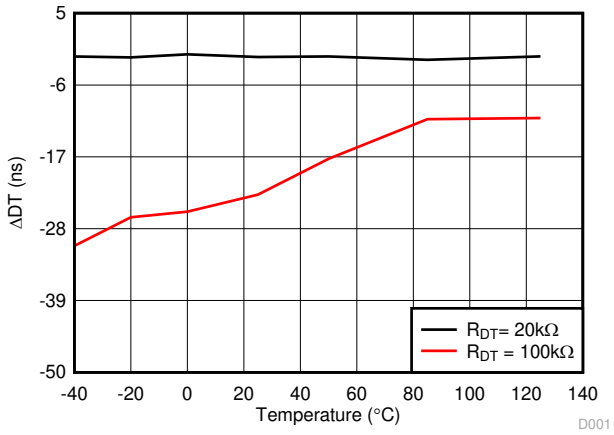


図 5-23. デッド タイム マッチングと温度との関係 (R_{DT} = 20kΩ および 100kΩ の場合)

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 伝搬遅延とパルス幅歪み

チャネル A と B の伝搬遅延からパルス幅歪み (t_{PWD}) と遅延マッチング (t_{DM}) を計算する方法を、図 6-1 に示します。両方の入力が同相であることを確認し、DT ピンを VCC に短絡してデッド タイム機能を無効にすることにより、これらのパラメータを測定します。

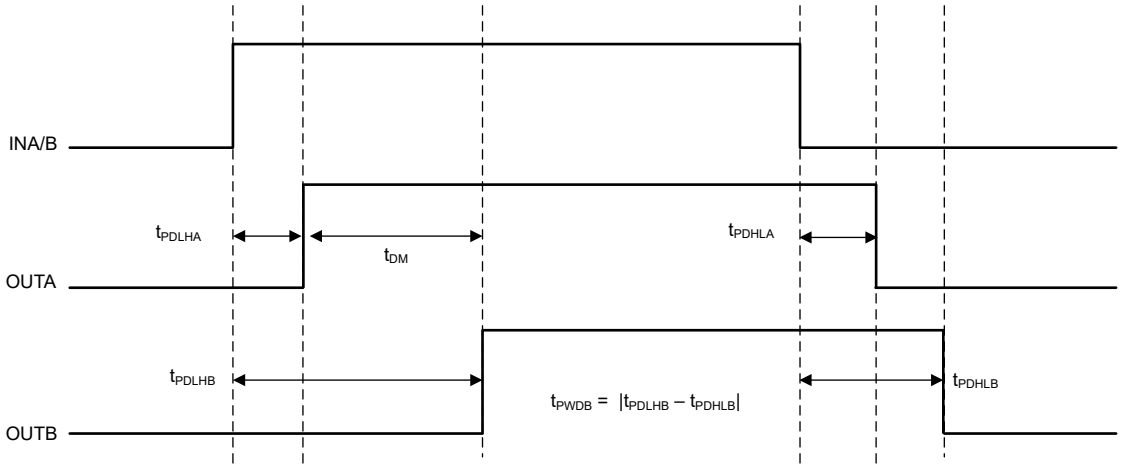


図 6-1. 重複した入力、デッド タイム無効

6.2 立ち上がりおよび立ち下がり時間

立ち上がり (t_{RISE}) および立ち下がり (t_{FALL}) 時間の測定基準を、図 6-2 に示します。立ち上がり時間と立ち下がり時間を短縮する方法の詳細については、セクション 7.3.4 を参照してください。

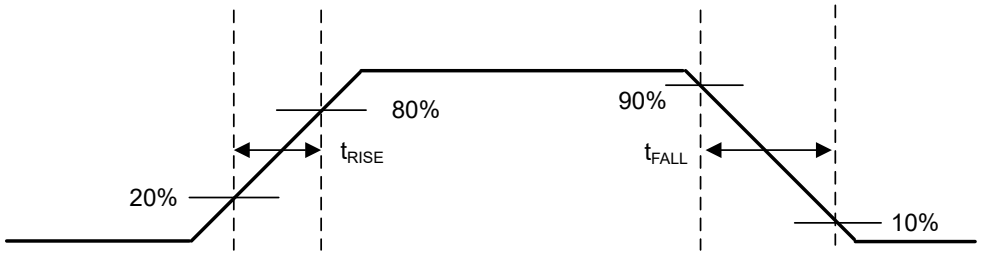


図 6-2. 立ち上がりおよび立ち下がり時間の測定基準

6.3 入力とディセーブルの応答時間

図 6-3 に、ディセーブル機能の応答時間を示します。詳細については、セクション 7.4.1 を参照してください。

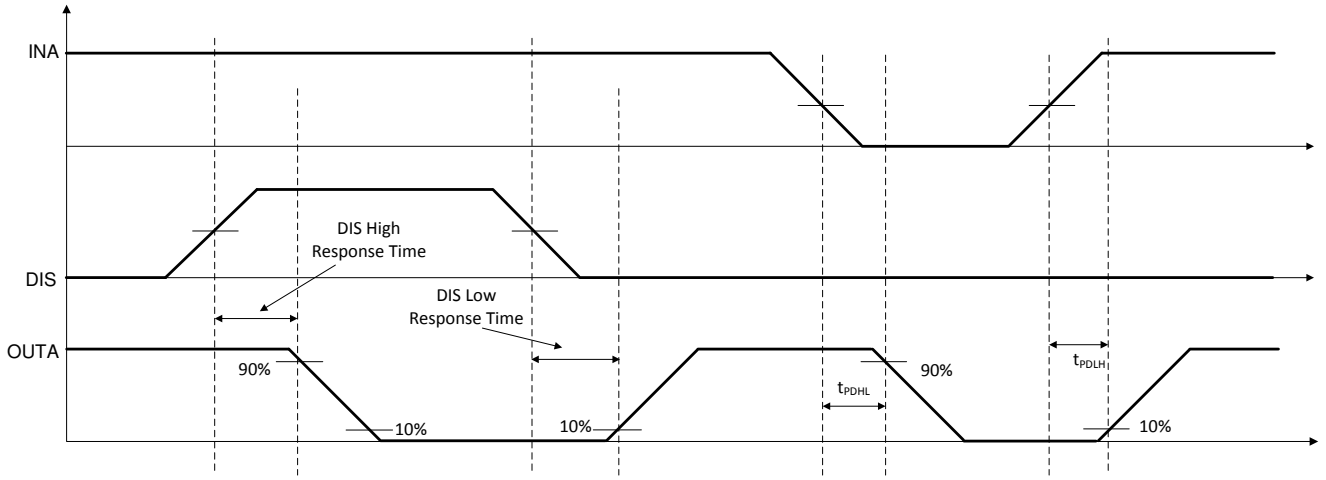


図 6-3. ディセーブル ピンのタイミング

6.4 プログラム可能なデッド タイム

DT ピンをオープンのままにするか、適切な抵抗 (R_{DT}) を介して GND に接続すると、デッド タイム期間が設定されます。デッド タイムの詳細については、セクション 7.4.2 を参照してください。

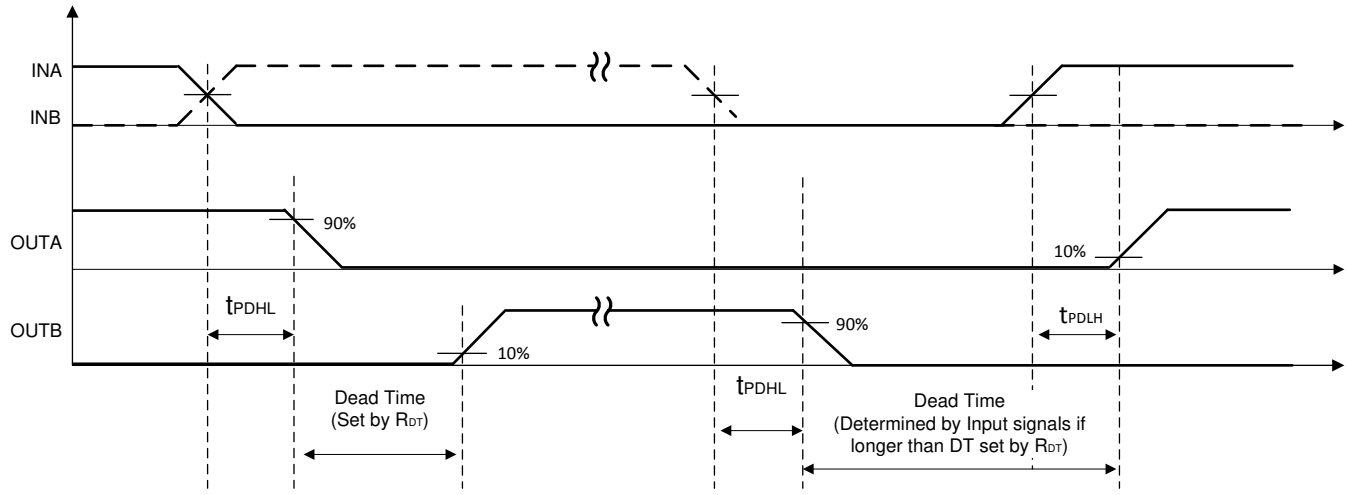


図 6-4. デッド タイムのスイッチング パラメータ

6.5 電源オン時の UVLO 出力遅延

ドライバが適切な出力状態を提供できるようになる前に、UVLO 立ち上がりエッジから出力までのパワーアップ遅延があり、その遅延は VCCI UVLO では $t_{VCCI+\ to\ OUT}$ (標準値 40µs) として、VDD UVLO では $t_{VDD+\ to\ OUT}$ (標準値 50µs) として定義されています。ドライバの VCCI および VDD バイアス電源の準備ができた後、PWM 信号を出力する前に適切なマージンを考慮することを推奨します。図 6-5 と図 6-6 に、VCCI と VDD の電源オン時の UVLO 遅延タイミング図を示します。

VCCI または VDD がそれぞれのスレッショルドを上回る前に INA または INB がアクティブになった場合、VCCI または VDD が UVLO 立ち上がりスレッショルドを上回った後、$t_{VCCI+\ to\ OUT}$ または $t_{VDD+\ to\ OUT}$ が経過するまで、出力は更新されません。ただし、VCCI と VDD のどちらかの電圧がそれぞれのオフ スレッショルドを下回ってから、出力が Low に保持されるまでの遅延は 1µs 未満です (電源ピンの電圧スルーレートの影響を受けます)。この非対称な遅延は、VCCI または VDD のブラウンアウト中でも安全な動作を確保するために設計されています。

Copyright © 2026 Texas Instruments Incorporated

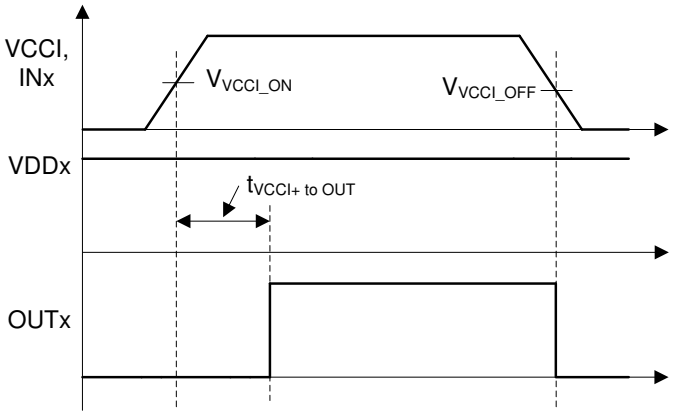


図 6-5. VCCI 電源オン時の UVLO 遅延

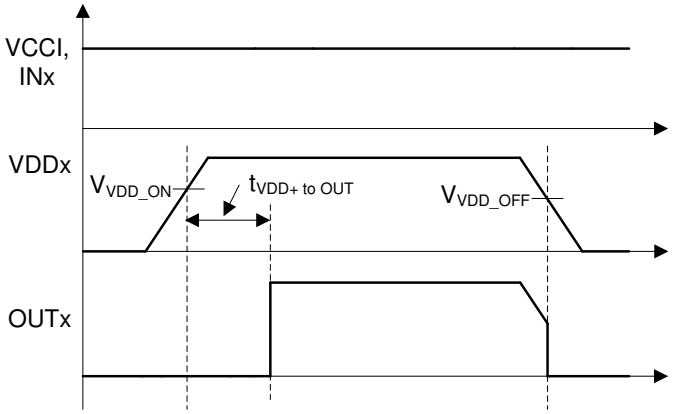


図 6-6. VDDA/B 電源オン時の UVLO 遅延

6.6 CMTI テスト

図 6-7 は CMTI テスト構成の概略図です。

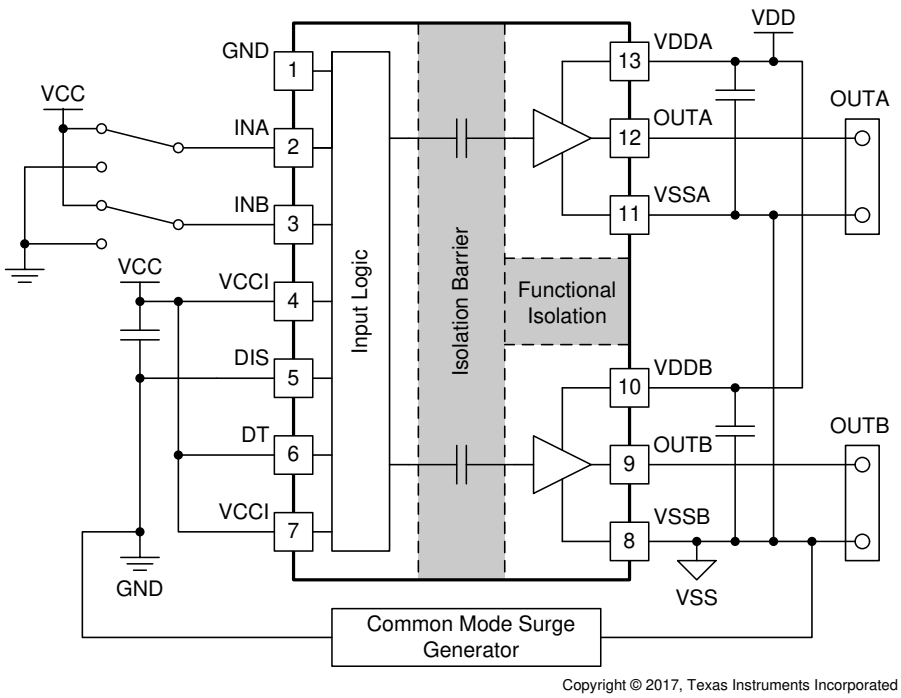


図 6-7. CMTI テスト構成の概略図

Copyright © 2026 Texas Instruments Incorporated

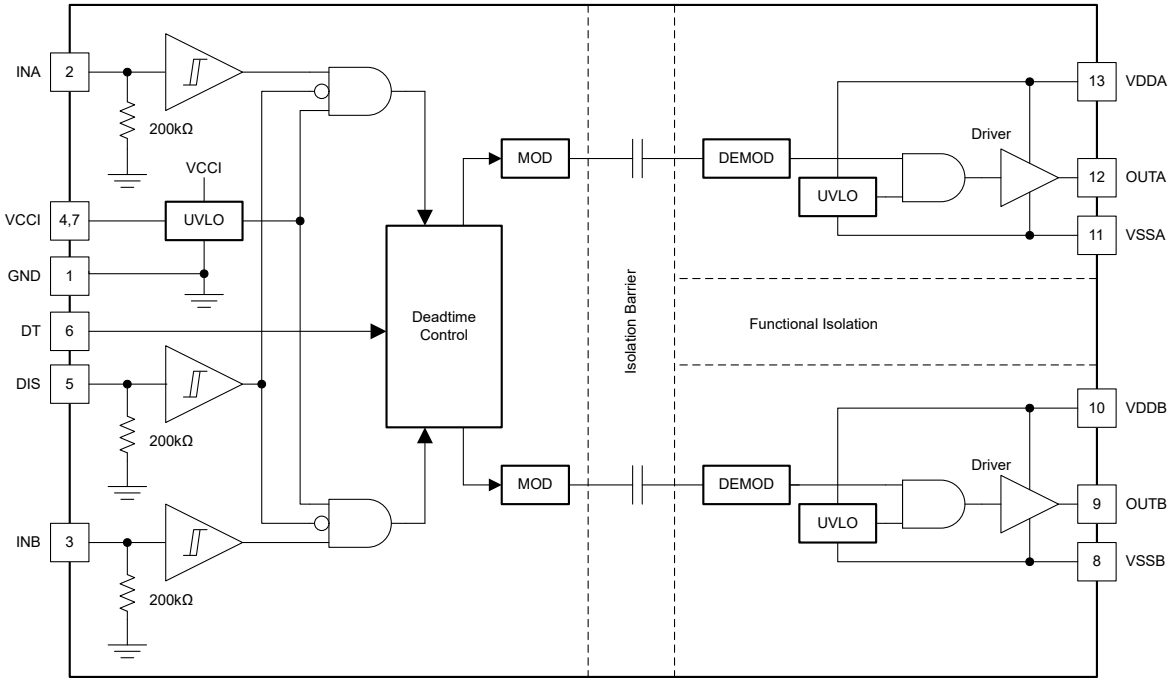
7 詳細説明

7.1 概要

パワー トランジスタのゲートを駆動するのに十分な電流をコントローラが供給できないこともあります。これは、デジタル コントローラの場合に特に当てはまります。デジタル コントローラからの入力信号はしばしば数 mA しか供給できない 3.3V ロジック信号であるためです。パワー トランジスタを高速で切り換えると共に、スイッチング電力損失を低減するため、制御デバイスの出力とパワー トランジスタのゲートの間に大電流ゲート ドライバがしばしば配置されます。

UCC21225A はフレキシブル デュアル ゲート ドライバです。UCC21225A を構成して、さまざまな電源およびモーター ドライブ トポロジに適合させることができるだけでなく、SiC MOSFET を含む複数のタイプのトランジスタを駆動できます。UCC21225A は、抵抗でプログラム可能なデッド タイム (DT) 制御、DISABLE ピン、入力電圧と出力電圧の両方に対する低電圧誤動作防止 (UVLO) など、制御回路と正常に統合し、駆動するゲートを保護することを可能にする多くの機能を備えています。また、入力がオープンのままである場合、または入力パルス幅が短すぎる場合、UCC21225A は出力を Low に保持します。ドライバの入力は CMOS および TTL と互換で、デジタルとアナログのどちらの電源コントローラとも接続できます。各チャネルはそれぞれの入力ピン (INA、INB) で制御されるため、各出力は完全に独立して制御されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 VDD、VCCI、低電圧誤動作防止 (UVLO)

UCC21225A は、両方の出力に対して VDD ピンと VSS ピンの間の電源回路ブロックに内部低電圧誤動作防止 (UVLO) 保護機能を備えています。VDD バイアス電圧がデバイスの起動時に V_{VDD_ON} より低い場合、または起動後に V_{VDD_OFF} を下回った場合、入力ピン (INA および INB) の状態に関係なく、VDD UVLO 機能はチャネル出力を Low に保持します。

ドライバの出力段にバイアスが印加されていない場合、または UVLO 状態である場合、ドライバ出力の電圧上昇を制限するアクティブ クランプ回路によってドライバ出力は Low に保持されます (図 7-1 を参照)。この条件では、下側の NMOS のゲートが R_{CLAMP} でドライバ出力に接続される一方で、上側の PMOS はオフに保持され、その抵抗は R_{Hi-Z} となります。この構成では、出力は下側の NMOS デバイスのスレッショルド電圧 (バイアス電力が存在しない場合は通常約

1.5V) に実質的にクランプされます。クランプ シンク電流は、チャネルあたりの安全電源電力、周囲温度、および 6A のピーク シンク電流定格によってのみ制限されます。

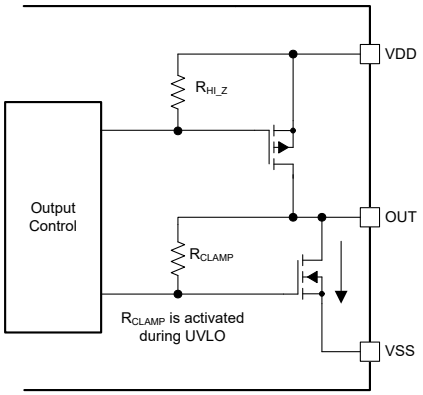


図 7-1. アクティブ プルダウン機能の概略図

VDD UVLO 保護機能はヒステリシス (V_{VDD_HYS}) を備えています。このヒステリシスは、電源のグランド ノイズが発生したときのチャタリングを防止します。このヒステリシスにより、本デバイスはバイアス電圧の小さな電圧降下を許容することもできます。このような電圧降下は、デバイスがスイッチングを開始し動作消費電流が急増した際に発生します。

UCC21225A の入力側にも、内部低電圧誤動作防止 (UVLO) 保護機能が備わっています。VCCI の電圧が V_{VCCI_ON} を超えない限り、デバイスはアクティブになりません。VCCI が V_{VCCI_OFF} 未満の電圧を受信すると、信号の供給が停止します。VDD の UVLO と同様に、安定した動作を確立するためにヒステリシス (V_{VCCI_HYS}) が設けられています。

VCCI または VDD がそれぞれのオン スレッショルドを超える前に INA または INB がアクティブである場合、VCCI または VDD が UVLO 立ち上がりスレッショルドを超えてから 50µs (標準値) 経過するまで出力は更新されません。ただし、VCCI と VDD のどちらかの電圧がそれぞれのオフ スレッショルドを下回ってから、出力が Low に保持されるまでの遅延は 1µs 未満です (電源ピンの電圧スルーレートの影響を受けます)。この非対称な遅延は、VCCI または VDD のブラウンアウト中でも安全な動作を確立するために設計されています。

UCC21225A は VDD と VCCI の絶対最大値 (それぞれ 30V と 20V) に耐えられます。

表 7-1. UCC21225A VCCI UVLO 機能ロジック

条件	入力		出力	
	INA	INB	OUTA	OUTB
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	L	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

表 7-2. UCC21225A VDD UVLO 機能ロジック

条件	入力		出力	
	INA	INB	OUTA	OUTB
デバイス起動中 VDD-VSS < V_{VDD_ON}	H	L	L	L
デバイス起動中 VDD-VSS < V_{VDD_ON}	L	H	L	L
デバイス起動中 VDD-VSS < V_{VDD_ON}	H	H	L	L

Copyright © 2026 Texas Instruments Incorporated

表 7-2. UCC21225A VDD UVLO 機能ロジック (続き)

条件	入力		出力	
	INA	INB	OUTA	OUTB
デバイス起動中 VDD-VSS < V_{VDD_ON}	L	L	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	H	L	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	L	H	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	H	H	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	L	L	L	L

7.3.2 入力および出力論理表

表 7-3. 入力 / 出力論理表

VCCI、VDDA、VDDB は UVLO スレッショルドよりも高く給電されている想定です。UVLO の動作モードの詳細については、セクション 7.3.1 を参照してください。

入力(1)		ディスエーブル (2)	出力		注
INA	INB		OUTA	OUTB	
L	L	L またはオープンのままにする	L	L	デッド タイム機能を使っている場合、デッド タイムが経過した後に出力が遷移します。セクション 7.4.2 を参照
L	H	L またはオープンのままにする	L	H	
H	L	L またはオープンのままにする	H	L	
H	H	L またはオープンのままにする	L	L	DT はオープンのままにするか、R_{DT} でプログラム
H	H	L またはオープンのままにする	H	H	DT ピンを VCCI にプル
オープンのままにする	オープンのままにする	L またはオープンのままにする	L	L	-
X	X	H	L	L	-

(1) 「X」とは、L、H、「オープンのままにする」のいずれかであることを意味します。
(2) DIS ピンは、High がアサートされると両方のドライバ出力を無効化し、Low に設定されるかオープンのままである場合は有効化します。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。離れた場所にある µC に接続するときは、DIS ピンに近接して配置した約 1nF の低 ESR/ESL コンデンサを使ってバイパスします。

7.3.3 入力段

UCC21225A の入力ピン (INA、INB、DIS) は、TTL および CMOS 互換の入力スレッショルド ロジックに基づいており、VDD 電源電圧から完全に絶縁されています。UCC21225A は標準的な High スレッショルド (V_{INAH}) が 1.8V、標準的な Low スレッショルドが 1V であり、温度による変動がほとんどないため (図 5-20、図 5-21 を参照)、入力ピンはロジック レベルの制御信号 (3.3V マイコンからの信号など) で容易に駆動できます。0.8V という広いヒステリシス (V_{INA_HYS}) は良好なノイズ耐性と安定動作に役立ちます。いずれの入力がオープンのままでも、内部プルダウン抵抗がピンを Low に強制します。これらの抵抗の標準値は 200kΩ です (セクション 7.2 を参照)。ただし、ノイズ耐性を向上させるために、使用していない入力は接地することをお勧めします。

UCC21225A の入力側は出力ドライバから絶縁されているため、入力信号の振幅は、推奨される制限を超えない限り VDD より大きくても小さくてもかまいません。これにより、制御信号源と統合する際の柔軟性が高まり、ユーザーは任意のゲートに対して最も効率的な VDD を選択できます。この場合、INA または INB に印加される信号の振幅は、VCCI の電圧を上回ってはいけません。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 出力段

UCC21225A の出力段はプルアップ構造を備えており、パワー スイッチのターンオン遷移中のミラープラトー領域 (パワー スイッチのドレイン電圧またはコレクタ電圧で dV/dt が発生する期間) という最も必要とされるタイミングで、最大のピーク ソース電流を供給します。出力段のプルアップ構造は、P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列接続したものです。N チャネル MOSFET の役割は、ピーク ソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、このような動作を実現します。この N チャネル MOSFET (R_{NMOS}) のオン抵抗は、アクティブ時に約 1.47Ω です。

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。これは、プルアップ N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするためです。このため、この短いターンオン段階における UCC21225A のプルアップ段の実効抵抗は、R_{OH} パラメータが表す値よりもはるかに小さくなり、高速ターンオンを実現します。ターンオン段階の出力抵抗は、$R_{OH}||R_{NMOS}$ の並列組み合わせとなります。

UCC21225A のプルダウン構造は、N チャネル MOSFET 1 つだけで構成されています。R_{OL} パラメータ (これも DC 測定値です) は本デバイスのプルダウン状態のインピーダンスを表します。UCC21225A の両方の出力は、4A のピーク ソース電流と 6A のピーク シンク電流のパルスを供給できます。VDD と VSS の間の出力電圧スイングは、非常に低いドロップアウトを実現する MOS 出力段により、レール ツー レール動作を実現します。

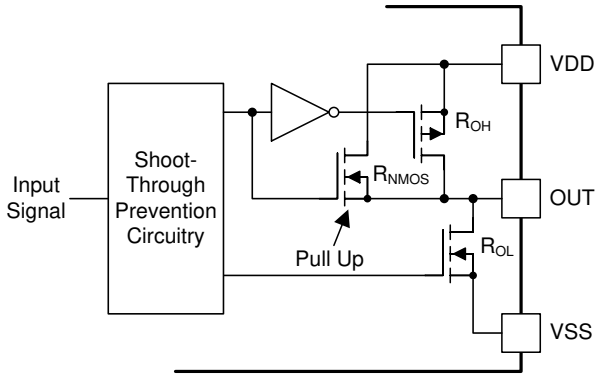


図 7-2. 出力段

7.3.5 UCC21225A のダイオード構造

図 7-3 に、UCC21225A デバイスの ESD 保護部品に関連する複数のダイオードを示します。図 7-3 は、本デバイスの絶対最大定格を図で表したものです。

Copyright © 2026 Texas Instruments Incorporated

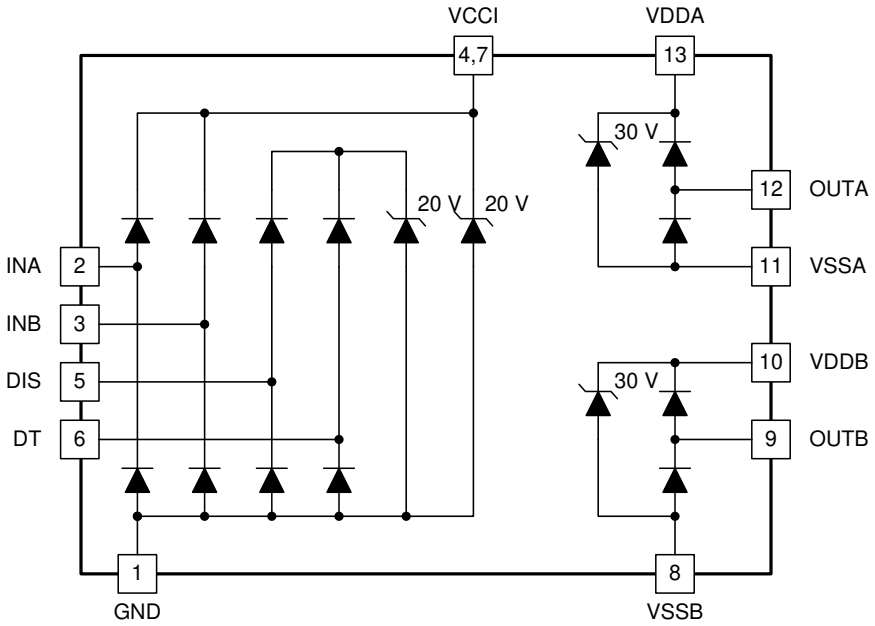


図 7-3. ESD 構造

7.4 デバイスの機能モード

7.4.1 ディセーブル ピン

DISABLE ピンを High に設定すると、両方の出力が同時にシャットダウンされます。DISABLE ピンをグランドに接続 (またはオープン) すると、UCC21225A は正常に動作できます。DISABLE 応答時間は 20ns 程度であり、伝搬遅延によってのみ制限されます。DISABLE ピンは、VCCI が UVLO スレッショルドを上回っている場合にのみ機能します (かつ必要です)。DISABLE ピンを使用しない場合は、より優れた耐ノイズ性を得るためにこのピンをグランドに接続することをお勧めします。

7.4.2 プログラマブル デッド タイム (DT) ピン

UCC21225A では、次の方法でデッド タイム (DT) を調整できます。

7.4.2.1 DT ピンを VCC に接続

出力は入力と完全に一致するため、IC によってデッド タイムがアサートされることはありません。その結果、出力はオーバーラップできます。

7.4.2.2 DT ピンをオープンにするか、DT ピンと GND ピンの間にプログラミング抵抗を接続

DT ピンがオープンのままの場合、デッド タイム期間 (t_{DT}) は 15ns 未満に設定されます。DT ピンと GND の間に抵抗 R_{DT} を配置することで、t_{DT} を設定します。R_{DT} の適切なデッド タイムの値は、式 1 から求めます。ここで、R_{DT} の単位は kΩ、t_{DT} の単位は ns です。

$$t_{DT} \approx 10 \times R_{DT} \quad (1)$$

R_{DT} = 100kΩ のとき、DT ピンの定常状態の電圧は約 0.8V であり、DT ピンの電流は 10µA 未満です。DT ピン電流は内部でデッド タイムを設定するために使用され、この電流は R_{DT} が増加するにつれて減少するため、特にデッド タイムが 300ns を超える場合は、ノイズ耐性を高め、2 つのチャンネル間のデッド タイム マッチングを改善するために、DT ピンの近くに 2.2nF 以上のセラミック コンデンサを並列に接続することをお勧めします。

片方の入力信号の立ち下がりエッジにより、他方の信号の設定済みデッド タイムが有効になります。出力信号のデッド タイムは、ドライバのプログラムされたデッド タイムまたは入力信号のデッド タイムのいずれか長い方に常に設定されます。両方の入力が同時に High になった場合、両方の出力は即座に Low に設定されます。この機能は、貫通電流を防止す

Copyright © 2026 Texas Instruments Incorporated

るために使用され、通常動作時の設定済みデッド タイム設定には影響を与えません。ドライバのデッド タイム ロジックのさまざまな動作条件を図 7-4 に示し、説明します。

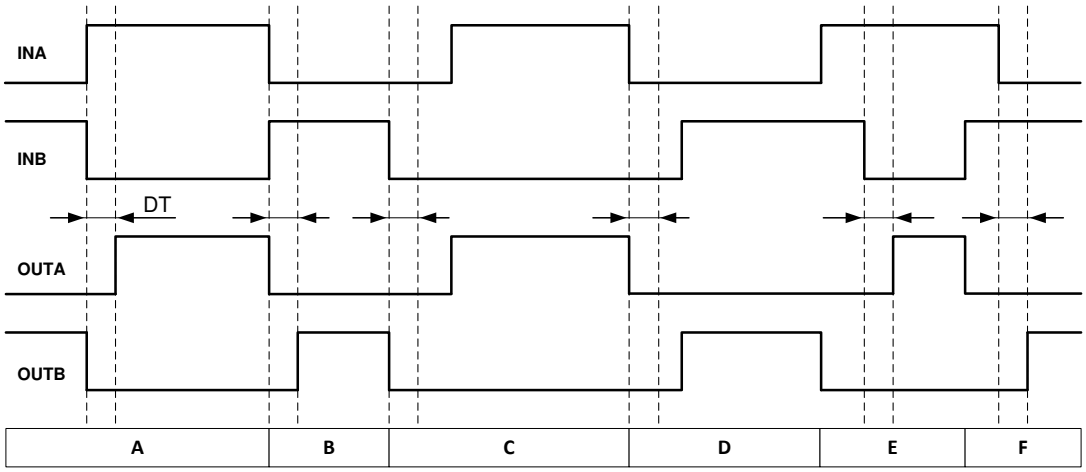


図 7-4. 入力信号と入出力ロジックの関係

条件 A：INB が Low、INA が High に遷移します。INB は即座に OUTB を LOW に設定し、設定済みデッド タイムが OUTA に割り当てられます。設定済みデッド タイムの後、OUTA は HIGH に遷移できます。

条件 B：INB が High、INA が Low に遷移します。今度は INA は即座に OUTA を LOW に設定し、設定済みデッド タイムが OUTB に割り当てられます。設定済みデッド タイムの後、OUTB は HIGH に遷移できます。

条件 C：INB が Low になりますが、INA はまだ Low のままです。INB は即座に OUTB を LOW に設定し、設定済みデッド タイムが OUTA に割り当てられます。この例では、入力信号自体のデッド タイムは設定済みデッド タイムよりも長くなっています。したがって、INA が High になると、即座に OUTA が High に設定されます。

条件 D：INA が Low になりますが、INB はまだ Low のままです。INA は即座に OUTA を LOW に設定し、設定済みデッド タイムが OUTB に割り当てられます。INB 自体のデッド タイムは、プログラムされたデッド タイムよりも長くなります。したがって、INB が High になると、即座に OUTB が High に設定されます。

条件 E：INB と OUTB がまだ High のうちに、INA が High に遷移します。オーバーシュートを防止するため、INA は OUTB を即座に Low にプルし、OUTA を Low に維持します。その後 OUTB は LOW に遷移し、設定済みデッド タイムが OUTA に割り当てられます。OUTB はすでに Low になっているため、設定済みデッド タイムの後、OUTA は HIGH に遷移できます。

条件 F：INA と OUTA がまだ High のうちに、INB が High に遷移します。オーバーシュートを防止するため、INB は OUTA を即座に Low にプルし、OUTB を Low に維持します。その後 OUTA は LOW に遷移し、設定済みデッド タイムが OUTB に割り当てられます。OUTA はすでに Low になっているため、設定済みデッド タイムの後、OUTB は HIGH に遷移できます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UCC21225A は実質的に、絶縁とバッファ駆動の機能を組み合わせたものです。UCC21225A の柔軟で汎用的な能力 (最大 18V の VCCI および 25V の VDDA/VDDB) により、MOSFET、IGBT、または SiC MOSFET 用のローサイド、ハイサイド、ハイサイド / ローサイド、またはハーフブリッジ ドライバとしてデバイスを使用できます。UCC21225A は各種の部品が統合され、先進の保護機能 (UVLO、デッド タイム、ディスエーブル) を持ち、スイッチング性能が最適化されているため、エンタープライズ、電気通信、車載、産業アプリケーション向けに、より小型かつ堅牢な設計を短期間で開発できます。

8.2 代表的なアプリケーション

図 8-1 の回路は、UCC21225A を使用して標準的なハーフブリッジ構成を駆動するリファレンス デザインを示したものです。この構成は、同期整流式降圧、同期整流式昇圧、ハーフブリッジ / フルブリッジ絶縁型トポロジ、3 相モーター駆動アプリケーションなど幾つかの一般的なパワー コンバータトポロジで使えます。

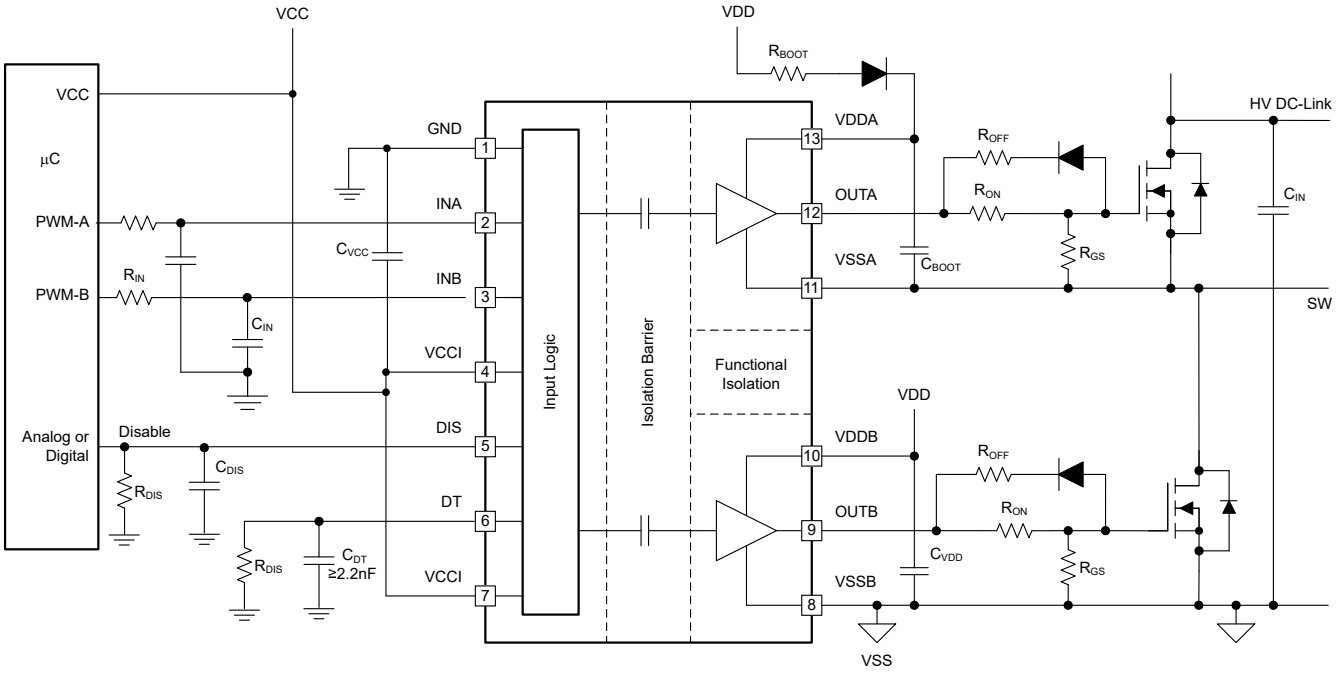


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 に、ハイサイド / ローサイド構成で 700V MOSFET を駆動する UCC21225A というアプリケーション例の参考設計パラメータを示します。

表 8-1. UCC21225A の設計要件

パラメータ	値	単位
パワー トランジスタ	IPB65R150CFD	-

表 8-1. UCC21225A の設計要件 (続き)

パラメータ	値	単位
VCC	5.0	V
VDD	12	V
入力信号振幅	3.3	V
スイッチング周波数 (f_{sw})	100	kHz
DC リンク電圧	400	V

8.2.2 詳細な設計手順

8.2.2.1 INA/INB 入力フィルタの設計

出力側で信号を遅延させる (または遅らせる) 目的で、ゲート ドライバへの信号を波形整形することは避けることをお勧めします。ただし、理想的でないレイアウトまたは長い PCB 配線によって生じるリンギングを除去するために小さな入力 R_{IN}-C_{IN} フィルタを使用してください。

このようなフィルタでは、0Ω ～ 100Ω の範囲の R_{IN} および 10pF ～ 100pF の C_{IN} を使用する必要があります。この例では、R_{IN} = 51Ω と C_{IN} = 33pF が選択されており、コーナー周波数は約 100MHz です。

これらの部品を選択する際は、ノイズ耐性と伝搬遅延のトレードオフに注意します。

8.2.2.2 外部ブートストラップ ダイオードおよび直列抵抗の選択

ブートストラップ コンデンサは、ローサイド トランジスタがターンオンするごとに、外付けブートストラップ ダイオードを通して VDD で充電されます。コンデンサの充電には大きなピーク電流を伴うため、ブートストラップ ダイオード内の過渡的な消費電力が大きくなる場合があります。導通損失は、ダイオードの順方向電圧降下にも依存します。ダイオードの導通損失と逆方向回復損失の両方が、ゲート ドライバ回路の総合損失に影響を与えます。

外付けブートストラップ ダイオードを選択する場合、逆方向回復とそれに関連するグランド ノイズ バウンスによる損失を最小限に抑えるため、順方向電圧降下が小さくかつ接合部容量が小さい高耐圧の高速回復ダイオードまたは SiC ショットキー ダイオードを選択することを推奨します。この例では、DC リンク電圧は $400V_{DC}$ です。ブートストラップ ダイオードの定格電圧は、十分なマージンを持って DC リンク電圧よりも高くする必要があります。そのため、この例では 600V 超高速ダイオード MURA160T3G を選択しています。

ブートストラップ抵抗 R_{BOOT} は、各スイッチング サイクル中、特に VSSA (SW) ピンに過剰な負の過渡電圧が印加された場合に、D_{BOOT} の突入電流を低減し VDDA-VSSA の電圧の上昇スルーレートを制限するために使います。R_{BOOT} の推奨値は、使用するダイオードの種類に応じて 1Ω ～ 20Ω です。この例では、ブートストラップ ダイオードの突入電流を制限するため、2.7Ω の電流制限抵抗を選択しています。最も厳しい条件での D_{Boot} のピーク電流の推定値は以下の式で表されます。

$$I_{DBoot\ (PK)} = \frac{V_{DD} - V_{BDF}}{R_{BOOT}} = \frac{12V - 1.5V}{2.7\Omega} \approx 4A \quad (2)$$

ここで、

- V_{BDF} は、4A の電流が流れたときのブートストラップ ダイオードの順方向電圧降下の推定値です。

8.2.2.3 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 R_{ON}/R_{OFF} は以下の目的に使われます。

1. 寄生インダクタンス / 容量に起因するリンギングの制限
2. 高電圧または電流スイッチングの dv/dt、di/dt、ボディ ダイオードの逆方向回復に起因するリンギングの制限。
3. ゲート駆動強度 (つまりピーク シンクおよびソース電流) の微調整によるスイッチング損失の最適化。
4. 電磁干渉 (EMI) の低減

Copyright © 2026 Texas Instruments Incorporated

セクション 7.3.4 で述べたように、UCC21225A は P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列にしたプルアップ構造を備えています。合成ピーク ソース電流は 4A です。したがって、ピーク ソース電流は次の式で予測できます。

$$I_{OA+} = \min\left(4A, \frac{V_{DD} - V_{BDF}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}}\right) \quad (3)$$

$$I_{OB+} = \min\left(4A, \frac{V_{DD}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}}\right) \quad (4)$$

ここで、

- R_{ON}:外部ターンオン抵抗
- R_{GFET_Int}:パワー トランジスタのデータシートに記載されているパワー トランジスタの内部ゲート抵抗
- I_{O+} = ピーク ソース電流 – 4A (ゲート ドライバ ピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{OA+} = \frac{V_{DD} - V_{BDF}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12V - 1.3V}{1.47\Omega \parallel 5\Omega + 2.2\Omega + 1.5\Omega} \approx 2.2A \quad (5)$$

$$I_{OB+} = \frac{V_{DD}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12V}{1.47\Omega \parallel 5\Omega + 2.2\Omega + 1.5\Omega} \approx 2.5A \quad (6)$$

その結果、ハイサイドとローサイドのピーク ソース電流はそれぞれ 2.2A と 2.5A になります。同様に、ピーク シンク電流を次式で計算します。

$$I_{OA-} = \min\left(6A, \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (7)$$

$$I_{OB-} = \min\left(6A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (8)$$

ここで、

- R_{OFF}:外部ターンオフ抵抗
- V_{GDF}:R_{OFF} と直列接続された逆並列ダイオードの順方向電圧降下 (この例のダイオードは MSS1P4)
- I_{O-}:ピーク シンク電流 – 6A (ゲート ドライバのピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{OA-} = \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} = \frac{12V - 0.8V - 0.75V}{0.55\Omega + 0\Omega + 1.5\Omega} \approx 5.1A \quad (9)$$

$$I_{OB-} = \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} = \frac{12V - 0.75V}{0.55\Omega + 0\Omega + 1.5\Omega} \approx 5.5A \quad (10)$$

その結果、ハイサイドとローサイドのピーク シンク電流はそれぞれ 5.1A と 5.5A となります。

推定ピーク電流は PCB レイアウトと負荷容量によっても影響されることに注意します。ゲート ドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲート ドライバのループを最小化することを強く推奨します。一方、パワー トランジスタの負荷容量 (C_{ISS}) が非常に小さい (通常 1nF 未満) 場合、ピーク ソース / シンク電流はループ寄生素子に支配されます。なぜなら、立ち上がりおよび立ち下がり時間が非常に小さく、寄生リンギングの周期に近いためです。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.4 ゲート ドライバの電力損失の推定

ゲート ドライバ サブシステムの総合損失 P_G には、UCC21225A の電力損失 (P_{GD}) と、外部ゲート駆動抵抗などの周辺回路の電力損失が含まれます。ブートストラップ ダイオードの損失は P_G に含まれず、このセクションでは説明しません。

P_{GD} は、UCC21225A の熱的安定性に関連する制限値を決定する主要な電力損失です。複数のコンポーネントからの損失を計算することにより、熱に関する安全関連制限を推定します。

第 1 の要因は静的電力損失 P_{GDQ} です。これにはドライバの静止電力損失と、特定のスイッチング周波数で動作しているドライバの自己消費電力が含まれます。P_{GDQ} は、与えられた VCCI、VDDA/VDDB、スイッチング周波数、周囲温度において、OUTA と OUTB に負荷が接続されていない状態でベンチ測定されます。無負荷時の出力チャネルごとの消費電流と動作周波数との関係を、図 5-4 に示します。この例では、V_{VCCI} = 5V、V_{VDD} = 12V です。INA/INB を 0V から 3.3V まで 200kHz でスイッチングした場合の各電源の電流は、I_{VCCI} = 2mA、I_{VDDA} = I_{VDDB} = 1.5mA と測定されます。その結果、P_{GDQ} は以下の式で計算できます。

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + V_{VDDA} \times I_{VDDA} + V_{VDDB} \times I_{VDDB} \approx 46mW \quad (11)$$

第 2 の要因は、各スイッチング サイクル中にドライバが負荷を充放電する際の、与えられた負荷容量でのスイッチング動作損失 P_{GDO} です。負荷スイッチングによる推定総合動的損失 P_{GSW} は以下の式で計算できます。

$$P_{GSW} = 2 \times V_{DD} \times Q_G \times f_{SW} \quad (12)$$

ここで、

- Q_G:V_{VDD} におけるパワー トランジスタのゲート電荷

ターンオン / ターンオフするために分割レールを使う場合、V_{VDD} は正レールと負レールの差の合計です。

そのためこのアプリケーション例の場合、以下の式で表されます。

$$P_{GSW} = 2 \times 12V \times 100nC \times 200kHz = 480mW \quad (13)$$

Q_G は、14A で 400V をスイッチングするパワー トランジスタの総ゲート電荷量を表します。テスト条件が変わると、この値も変わる可能性があります。UCC21225A の出力段のゲート ドライバ損失 (P_{GDO}) は P_{GSW} の一部です。外部ゲート ドライバの抵抗とパワー トランジスタの内部抵抗が 0Ω で、ゲート ドライバの損失がすべて UCC21225A の内部で消費される場合、P_{GDO} は P_{GSW} と等しくなります。外部ターンオン抵抗およびターンオフ抵抗が存在する場合、総損失はゲート ドライバのプルアップ抵抗およびプルダウン抵抗、外部ゲート抵抗、ならびにパワー トランジスタの内部抵抗の間で分配されます。ソース / シンク電流が 4A/6A に飽和していない場合、プルアップおよびプルダウン抵抗は線形かつ固定ですが、ソース / シンク電流が飽和している場合、プルアップおよびプルダウン抵抗は非線形であることに注意します。そのため、これらの 2 つの条件によって P_{GDO} は異なります。

ケース 1 - 線形のプルアップ / ダウン抵抗:

$$P_{GDO} = \frac{P_{GSW}}{2}\left(\frac{R_{OH} \parallel R_{NMOS}}{R_{OH} \parallel R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (14)$$

この設計例では、想定されるすべてのソース / シンク電流は 4A/6A 未満であるため、UCC21225A のゲート ドライバ損失は以下の式で推定できます。

$$P_{GDO} = \frac{480mW}{2}\left(\frac{5\Omega \parallel 1.47\Omega}{5\Omega \parallel 1.47\Omega + 2.2\Omega + 1.5\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 1.5\Omega}\right) \approx 120mW \quad (15)$$

ケース 2 - 非線形のプルアップ / ダウン抵抗:

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_0^{T_{R_Sys}} \left(V_{DD} - V_{OUT_{A/B}}(t)\right)dt + 6A \times \int_0^{T_{F_Sys}} V_{OUT_{A/B}}(t)dt\right] \quad (16)$$

Copyright © 2026 Texas Instruments Incorporated

ここで、

- $V_{OUTA/B}(t)$ は、ターンオンおよびターンオフ中のゲートドライバ OUTA と OUTB ピンの電圧です。出力がある期間飽和している場合、これは負荷コンデンサを充電または放電する定電流源 (ターンオン時は 4A、ターンオフ時は 6A) として簡素化できます。その結果、$V_{OUTA/B}(t)$ 波形は線形となり、T_{R_Sys} と T_{F_Sys} は簡単に予測できます。

一部の条件で、プルアップ回路とプルダウン回路のどちらかのみが飽和し、他方が飽和していない場合、P_{GDO} はケース 1 とケース 2 の組み合わせとなり、上記の説明に基づいて、プルアップとプルダウンに対して式を簡単に特定できます。

ゲートドライバ UCC21225A で消費される全ゲートドライバ損失 P_{GD} は以下の式で表されます。

$$P_{GD} = P_{GDQ} + P_{GDO} = 46mW + 120mW = 166mW \quad (17)$$

8.2.2.5 推定接合部温度

UCC21225A の接合部温度 (T_J) を、次の式で推定します。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \quad (18)$$

ここで、

- T_C は、熱電対またはその他の手段で測定された UCC21225A のケース上面温度です
- Ψ_{JT} は、セクション 5.4 の表に記載されている接合部から上面への熱特性パラメータです。

接合部からケースへの熱抵抗 ($R_{\Theta JC}$) の代わりに接合部から上面への特性パラメータ (Ψ_{JT}) を使用することで、接合部温度の推定の精度を大幅に向上させることができます。ほとんどの IC の熱エネルギーの大半は、パッケージのリードを経由して PCB に放散されるのに対して、全エネルギーのごく一部のみがケース上面から放散されます (通常は熱電対で測定されます)。$R_{\Theta JC}$ は、熱エネルギーの大部分がケースを通して放散される場合 (例：金属パッケージが使われている場合、IC パッケージにヒートシンクが取り付けられている場合) にのみ有効に使用されます。それ以外の場合に $R_{\theta JC}$ を使っても、真の接合部温度を正確に推定することはできません。Ψ_{JT} は、IC の上面を通して放散されるエネルギー量が、テスト環境とアプリケーション環境で同等であると仮定することにより実験的に求められます。推奨されるレイアウト ガイドラインが遵守されている限り、接合部温度の推定値は数 ℃ 以内の精度で正確に計算されます。『半導体および IC パッケージの熱評価基準』アプリケーション ノートも参照してください。

8.2.2.6 VCCI、VDDA/B コンデンサの選択

VCCI、VDDA、VDDB のバイパス コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量許容差を持つ、低 ESR/ESL で表面実装型の多層セラミック コンデンサ (MLCC) を推奨します。重要な点として、一部の MLCC の DC バイアスは実際の静電容量値に影響を与えます。たとえば、25V、1μF の X7R コンデンサは、$15V_{DC}$ の DC バイアスを印加した場合、わずか 500nF として測定されます。

8.2.2.6.1 VCCI コンデンサの選択

VCCI に接続されたバイパス コンデンサは、1 次側ロジックに必要な過渡電流と総消費電流に対応しますが、これはわずか数 mA です。したがって、このアプリケーションには 100nF を超える 50V MLCC を推奨します。バイアス電源出力が VCCI ピンから比較的離れた場所にある場合は、MLCC と並列に 1μF を超える値のタンタル コンデンサまたは電解コンデンサを配置してください。

8.2.2.6.2 VDDA (ブートストラップ) コンデンサの選択

ブートストラップ電源構成の VDDA コンデンサ (ブートストラップ コンデンサとも呼びます) によって、最大 6A のゲート駆動過渡電流、パワー トランジスタの安定したゲート駆動電圧を実現しています。

スイッチング サイクルごとに必要な総電荷量は以下の式で推定できます。

$$Q_{Total} = Q_G + \frac{I_{VDD\ @\ 200kHz\ (No\ Load)}}{f_{SW}} = 100nC + \frac{1.5mA}{200kHz} = 107.5nC \quad (19)$$

ここで、

- Q_G:V_{VDD} におけるパワー トランジスタのゲート電荷
- I_{VDD}:チャネルの自己消費電流 (無負荷、200kHz 時)。

したがって、C_{Boot} の最小値の絶対条件は次のとおりです。

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{DDA}} = \frac{107.5nC}{0.5V} \approx 0.22\mu F \quad (20)$$

ここで、

- ΔV_{VDDA} は VDDA での電圧リップルであり、この例では 0.5V です。

実際には、C_{Boot} の値は計算値よりも大きくします。そうすることにより、DC バイアス電圧によって生じる静電容量の変化と、あるいは負荷過渡によって電力段がパルスをスキップする状況を許容できます。したがって、C_{Boot} の値に安全マージンを含め、CBoot を VDD ピンと VSS ピンのできるだけ近くに配置することを推奨します。この例では、50V 1µF のコンデンサを選択しています。

$$C_{Boot} = 1\mu F \quad (21)$$

広い周波数範囲にわたって AC インピーダンスをさらに下げるには、過渡性能を最適化するために、静電容量値の小さいバイパス コンデンサ (この例では 100nF) を C_{Boot} と並列に接続することをお勧めします。

注

C_{BOOT} が大きすぎると、有害となる可能性があります。最初の数サイクルの間に C_{BOOT} が充電されず、V_{BOOT} が UVLO 未満にとどまる可能性があります。その結果、ハイサイド FET は数サイクルの間、入力信号のコマンドに従いません。また、初期の C_{BOOT} 充電サイクル中、ブートストラップ ダイオードに大きな逆方向回復電流および損失が生じます。

8.2.2.6.3 VDDB コンデンサの選択

チャネル B の電流要件はチャネル A と同じであるため、VDDB コンデンサ (図 8-1 の C_{VDD}) が必要です。ブートストラップ構成を使ったこの例では、VDDB コンデンサはブートストラップ ダイオードを通して VDDA にも電流を供給します。C_{VDD} には、50V、10µF の MLCC および 50V、0.22µF の MLCC が選択されています。バイアス電源出力が VDDB ピンから比較的離れた場所にある場合は、C_{VDD} と並列に 10µF を超える値のタンタル コンデンサまたは電解コンデンサを使用してください。

8.2.2.7 デッド タイム設定の指針

ハーフブリッジを利用したパワー コンバータ トポロジでは、動的スイッチング中の貫通電流を防止するための、上側と下側のトランジスタの間のデッド タイム設定が重要です。

電気的特性表における UCC21225A のデッド タイム仕様は、一方のチャネルの立ち下がりエッジの 90% からもう一方のチャネルの立ち上がりエッジの 10% までの時間間隔として定義されています (図 6-4 を参照)。この定義により、デッド タイム設定が負荷条件から独立していることが確立され、製造テストを通じて線形性が確認されます。しかし、このデッド タイム設定は、パワー コンバータ システムのデッド タイムを反映していない可能性があります。デッド タイム設定は外部ゲート ドライブのターンオン / オフ抵抗、DC リンクのスイッチング電圧 / 電流、負荷トランジスタの入力容量に依存するためです。

UCC21225A のために適切なデッド タイムを選択する方法についての推奨事項を以下に示します。

$$DT_{Setting} = DT_{Req} + T_{F_Sys} + T_{R_Sys} - T_{D(on)} \quad (22)$$

ここで、

- $DT_{Setting}$:UCC21225A のデッド タイム設定 (ns)、

Copyright © 2026 Texas Instruments Incorporated

$$DT_{Setting} = 10 \times RDT \text{ (in k}\Omega\text{)} \quad (23)$$

- DT_{Req}：システムが必要とする十分なマージン (ZVS 要件) を確保した上 / 下スイッチの実際の V_{GS} 信号間のデッド タイム。
- T_{F_Sys}：負荷、電圧、電流のワースト ケースでのインシステム ゲート ターンオフ立ち下がり時間
- T_{R_Sys}：負荷、電圧、電流のワースト ケースでのインシステム ゲート ターンオン立ち上がり時間
- $T_{D(on)}$：ターンオン遅延時間 (トランジスタ ゲート信号の 10% からパワー トランジスタ ゲート スレッショルドまで)

この例では、$DT_{Setting}$ は 250ns に設定されています。

DT ピンの構成によって UCC21225A のデッド タイム設定が決定され (セクション 7.4.2 を参照)、システム条件に基づいてデッド タイムを自動的に微調整することはできません。ノイズ耐性を高め、デッド タイム マッチングを改善するために、DT ピンの近くに 2.2nF 以上のセラミック コンデンサを並列に接続することをお勧めします。

8.2.2.8 出力段の負バイアスを使う応用回路

理想的でない PCB レイアウトと長いパッケージ リード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリンギングが生じる可能性があります。リンギングがスレッショルド電圧を上回る場合、予期しないターンオンのリスクがあり、貫通電流のリスクさえあります。ゲート駆動に負のバイアスを印加することは、このようなリンギングをスレッショルドよりも低く保つための一般的な方法です。負のゲート駆動バイアスの実装方法の例をいくつか以下に示します。

図 8-2 に第 1 の例を示します。この例では、絶縁型電源の出力段に接続したツェナー ダイオードを使って負バイアスを印加することでチャネル A ドライバをターンオフさせています。ツェナー ダイオード電圧により、負バイアスが設定されます。絶縁電源 V_A が 25V に等しい場合、ターンオフ電圧は –5.1V、ターンオン電圧は 25V – 5.1V ≈ 20V です。チャネル B のドライバ回路はチャネル A と同じであるため、この構成ではハーフブリッジ構成に 2 つの電源が必要であり、R_Z による定常状態の消費電力が発生します。

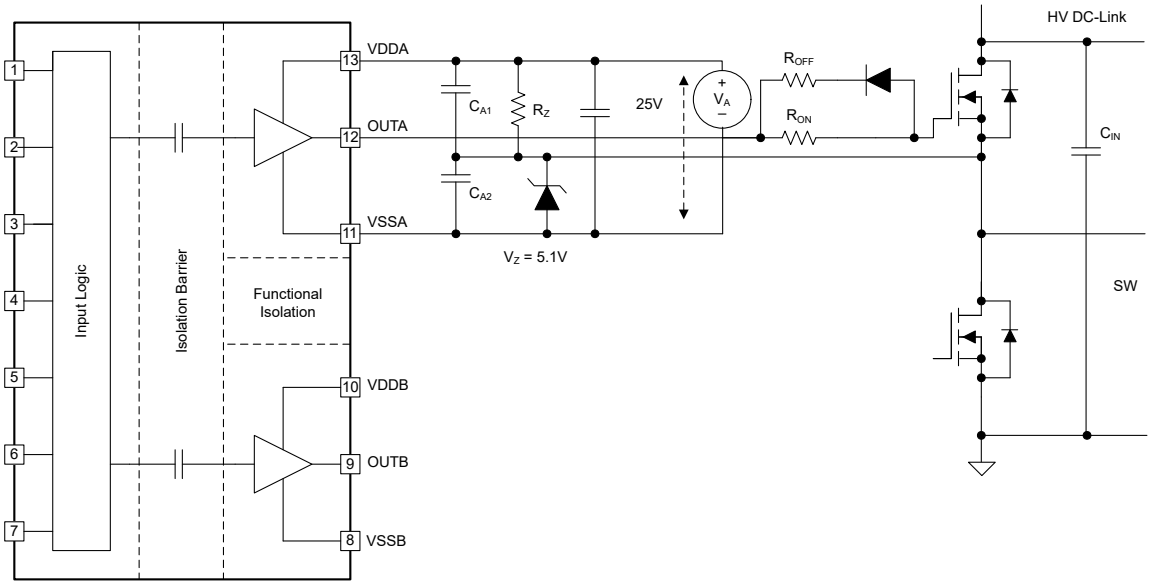


図 8-2. 絶縁型バイアス電源の出力に接続したツェナー ダイオードによる負バイアス印加

図 8-3 に、2 つの電源 (または 1 つの 1 入力 2 出力電源) を使う別の例を示します。電源 V_{A+} が正の駆動出力電圧を決定し、電源 V_{A-} が負のターンオフ電圧を決定します。チャネル B の構成はチャネル A と同じです。この方法は第 1 の例よりも多くの電源を必要としますが、正および負レール電圧をより柔軟に設定できます。

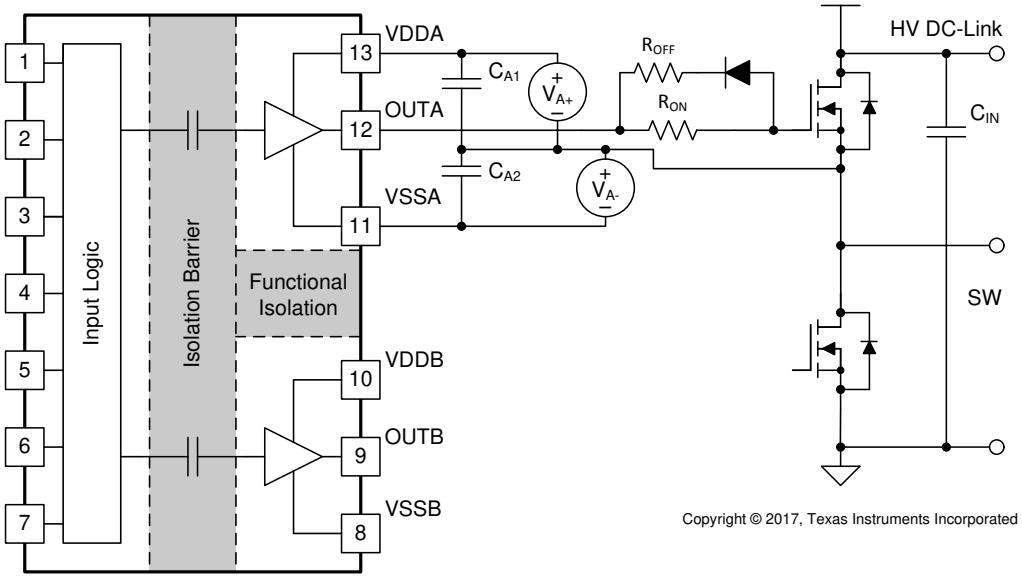


図 8-3. 2 つの絶縁型バイアス電源による負バイアス印加

図 8-4 に示すような最後の例は単一電源構成であり、ゲート駆動ループ内のツェナー ダイオードによって負バイアスを生成しています。このオプションの利点は、電源を 1 つしか使用せず、ハイサイド駆動にブートストラップ電源を使用する選択肢があることです。この設計は、3 つの方法の中で最もコストと設計工数が少なくて済みます。しかし、このオプションには以下の制約があります。

1. 負のゲート駆動バイアスはツェナー ダイオードのみによって決まるのではなく、デューティ サイクルによっても影響されます。これは、デューティ サイクルが変化すると負バイアス電圧が変化することを意味しています。したがって、可変周波数共振コンバータや位相シフト コンバータなど、デューティ サイクルが固定 (約 50%) されたコンバータがこのオプションに適しています。
2. 推奨電源電圧範囲を維持するには、ハイサイド VDDA-VSSA として十分な電圧を維持する必要があります。これは、ブートストラップ コンデンサをリフレッシュするために、各スイッチング サイクルの間、ローサイド スイッチをターンオンさせ、またはボディ ダイオード (または逆並列ダイオード) にフリーホイール電流を流す必要があることを意味します。そのため、他の 2 つの回路例と同様のハイサイド専用電源を使わない限り、ハイサイドを 100% デューティ サイクルにすることはできません。

Copyright © 2026 Texas Instruments Incorporated

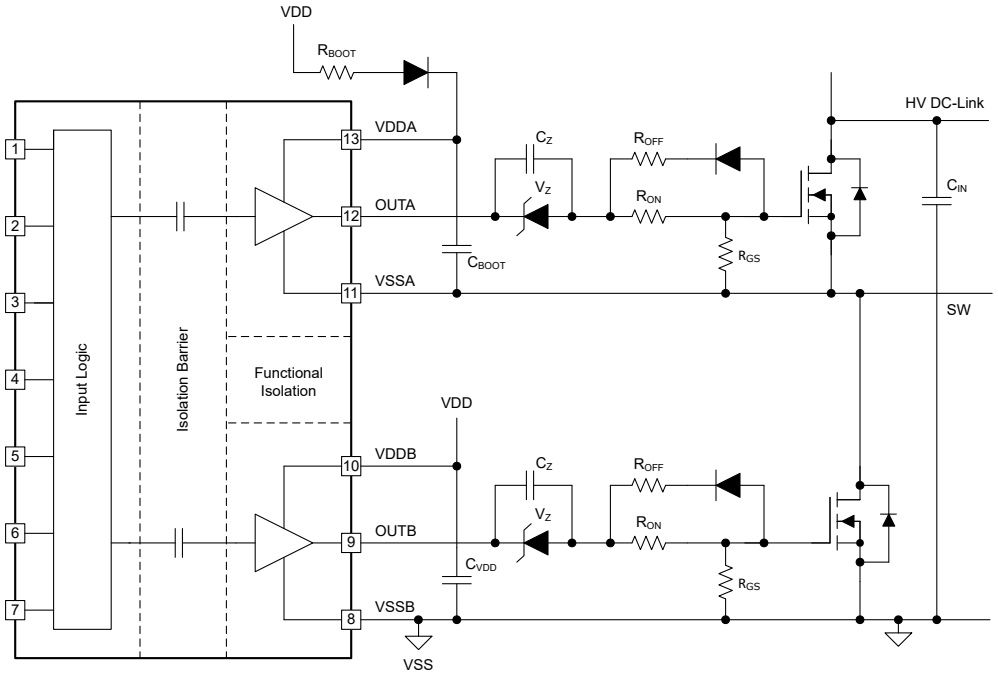


図 8-4. 1 つの電源とゲート駆動経路内のツェナー ダイオードによる負バイアス印加

8.2.3 アプリケーション曲線

図 8-5 と 図 8-6 に、図 8-1 に示す設計例のベンチ テスト波形を示します。測定条件：VCC = 5V、VDD = 12V、f_{SW} = 200kHz、$V_{DC-Link}$ = 400V。

チャネル 1 (インディゴ)：UCC21225A INA ピン信号。

チャネル 2 (シアン)：UCC21225A INB ピン信号。

チャネル 3 (マゼンタ)：ハイサイド パワー トランジスタのゲート - ソース間の信号。

チャネル 4 (グリーン)：ローサイド パワー トランジスタのゲート - ソース間の信号。

図 8-5 で、INA と INB に 3.3V、20%/80% デューティ サイクルの相補信号が印加されています。パワー トランジスタのゲート駆動信号には 250ns のデッド タイムが挿入されています (図 8-5 の測定部を参照)。250ns のデッド タイム設定でのデッド タイム マッチングは約 10ns です。高電圧が印加されている場合、帯域幅がより狭い差動プローブが使われるため、達成可能な測定精度が制限されることに注意します。

図 8-6 に、図 8-5 の波形の拡大図と、伝搬遅延と立ち上がりまたは立ち下がり時間の測定値を示します。重要な点として、出力波形はパワー トランジスタのゲート ピンとソース ピンの間で測定され、ドライバの OUTA および OUTB ピンから直接測定されるわけではありません。分割されたオン抵抗とオフ抵抗 (R_{on}、R_{off})、異なるシンク電流とソース電流、およびミラー プラトーにより、図 8-6 では異なる立ち上がり時間 (60ns、120ns) と立ち下がり時間 (25ns) が観察されます。

Copyright © 2026 Texas Instruments Incorporated

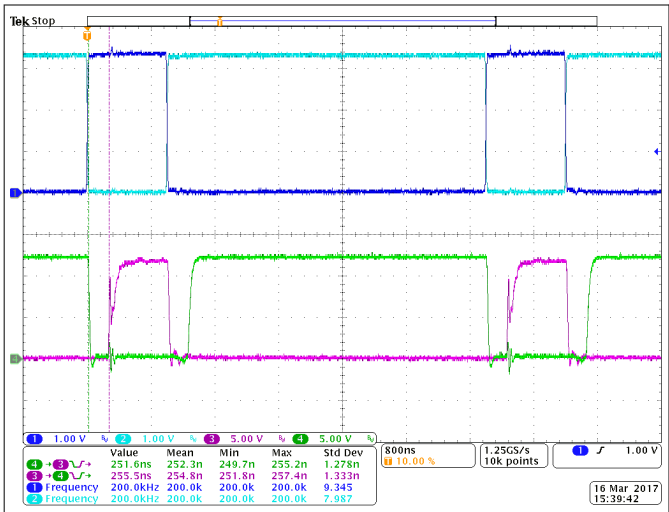


図 8-5. INA/B と OUTA/B のベンチ テスト波形

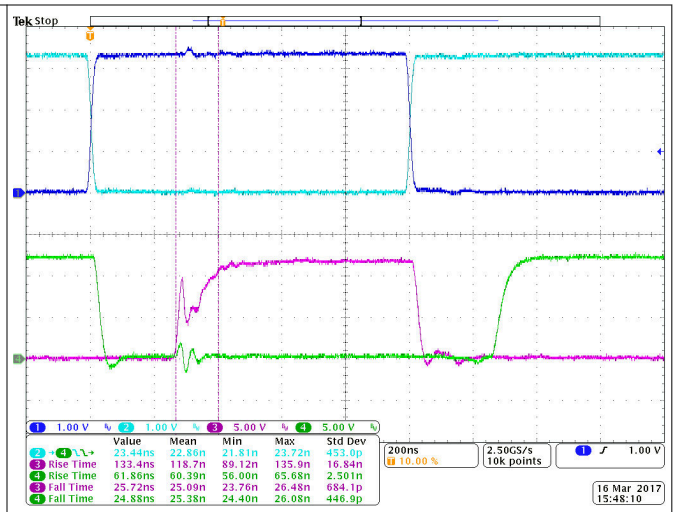


図 8-6. ベンチ テスト波形の拡大図

8.3 電源に関する推奨事項

UCC21225A の推奨入力電源電圧 (VCCI) は 3V ～ 18V です。出力バイアス電源電圧 (VDDA/VDDB) 範囲の下限は、デバイスの内部低電圧誤動作防止 (UVLO) 保護機能によって規定されます。通常動作のためには VDD および VCCI がそれぞれの UVLO スレッショルドを下回ってはならず、下回った場合は UVLO 保護機能によりゲートドライバ出力が 50µs を超えて Low にクランプされる可能性があります。UVLO の詳細については、セクション 7.3.1 を参照してください。VDDA/VDDB 範囲の上限は UCC21225A によって駆動されるパワー デバイスの最大ゲート電圧に依存し、推奨最大 VDDA/VDDB である 25V を超えてはなりません。

デバイスのバイアスのために、VDD ピンと VSS ピンの間に 220nF ～ 10µF の値を持つローカル バイパス コンデンサを配置します。さらに、高周波フィルタリングのために、デバイス バイパス コンデンサと並列に追加の 100nF コンデンサを配置することをお勧めします。この両方のコンデンサは、可能な限りデバイスに近く配置します。低 ESR のセラミック表面実装コンデンサが推奨されます。

同様に、VCCI ピンと GND ピンの間にバイパス コンデンサを配置します。UCC21225A の入力側のロジック回路によって消費される電流がわずかであることを考慮すると、このバイパス コンデンサの推奨最小値は 100nF です。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

設計者が UCC21225A の性能を適切に引き出すには、PCB レイアウトに細心の注意を払う必要があります。以下にその要点を示します。

部品の配置:

- ノイズをバイパスし、外部パワートランジスタをターンオンする際の大電流ピークをサポートするために、低 ESR および低 ESL のコンデンサを VCCI ピンと GND ピンの間、および VDD ピンと VSS ピンの間のデバイスの近くに接続します。
- スイッチ ノードに接続されている VSS ピンでの大きな負の過渡を防止するため、上側トランジスタのソースと下側トランジスタのソースとの間の寄生インダクタンスを最小限に抑えます。
- デッド タイム設定抵抗 (R_{DT}) とそのバイパス コンデンサは、UCC21225A の DT ピンの近くに配置することを推奨します。
- 離れた場所にあるマイクロコントローラに接続する場合、DIS ピンの近くに配置した約 1nF の低 ESR/ESL コンデンサ (C_{DIS}) を使ってバイパスすることを推奨します。

接地に関する注意事項:

Copyright © 2026 Texas Instruments Incorporated

- トランジスタのゲートを充放電する大きなピーク電流を、最小限の物理的面積内にとどめることは不可欠です。これによりループのインダクタンスが減少し、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲートドライバをトランジスタのできるだけ近くに配置します。
- ブートストラップ コンデンサ、ブートストラップ ダイオード、VSSB に対するローカル バイパス コンデンサ、ローサイドトランジスタのボディ / 逆並列ダイオードを含む大電流経路に注意を払います。ブートストラップ コンデンサは、VDD バイパス コンデンサによってブートストラップ ダイオードを通してサイクルごとに再充電されます。この再充電は短い時間間隔で行われ、大きなピーク電流を必要とします。回路基板上のループの長さと面積を最小化することは、動作の信頼性を確立する上で重要です。

高電圧に関する注意事項:

- 1 次側と 2 次側の間の絶縁性能を検証するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。IC の下での PCB の切断やスリット加工は、基板の反りやねじれの問題を著しく悪化させる可能性があるため、推奨されません。
- チャネル A とチャネル B のドライバが最大 $700V_{DC}$ の DC リンク電圧で動作できるハーフブリッジまたはハイサイド / ローサイド構成の場合、ハイサイド PCB トレースとローサイド PCB トレースの間の PCB レイアウトの沿面距離ができるだけ長くなるようにします。

熱に関する注意事項:

- 駆動電圧が高い場合、負荷が重い場合、またはスイッチング周波数が高い場合、UCC21225A は大量の電力を消費する可能性があります (詳細は セクション 8.2.2.4 を参照)。適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
- VDDA、VDDB、VSSA、VSSB ピンに接続する PCB 銅箔の面積を増やし、VSSA、VSSB との接続を優先して最大化することを推奨します (図 8-8 と図 8-9 を参照)。ただし、上記の高電圧 PCB に関する考慮事項を維持してください。
- システムに複数の層が存在する場合、VDDA、VDDB、VSSA、VSSB ピンを内部グランドまたは電源プレーンに適切なサイズの複数のビアで接続することも推奨します。熱伝導率を最大化するため、これらのビアを IC ピンの近くに配置します。ただし、異なる高電圧プレーンからのパターンや銅箔が重なり合わないように注意してください。

8.4.2 レイアウト例

2 層 PCB レイアウトの例を、図 8-7 に示します。この図では、信号と主要なコンポーネントにラベル付けされています。

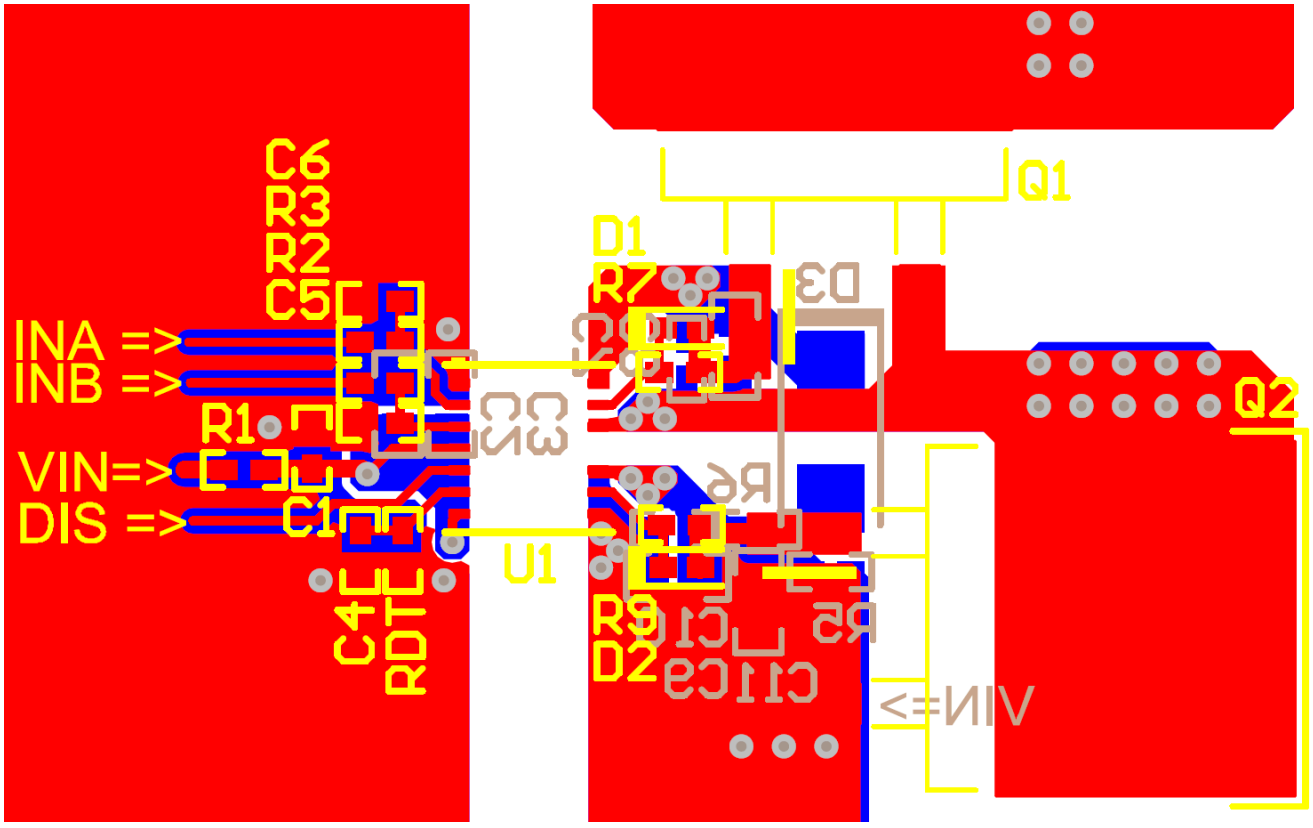


図 8-7. レイアウト例

図 8-8 と図 8-9 に上層と下層のパターンと銅箔を示します。

注

1 次側と 2 次側の間に PCB パターンも銅箔も存在しないため、絶縁性能を確立できます。

高い dv/dt が存在する可能性のあるスイッチング ノード VSSA (SW) とローサイド ゲート駆動回路との間の寄生容量結合によるクロストークを最小限に抑えるため、出力段のハイサイド ゲート ドライバとローサイド ゲート ドライバの間の PCB パターン間隔が広げられています。

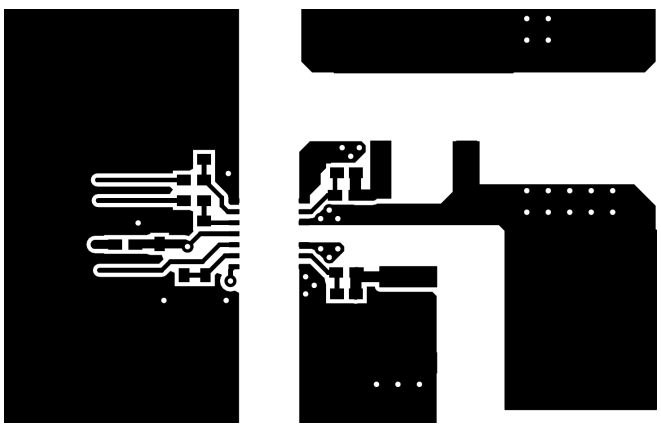


図 8-8. 上層のパターンと銅箔

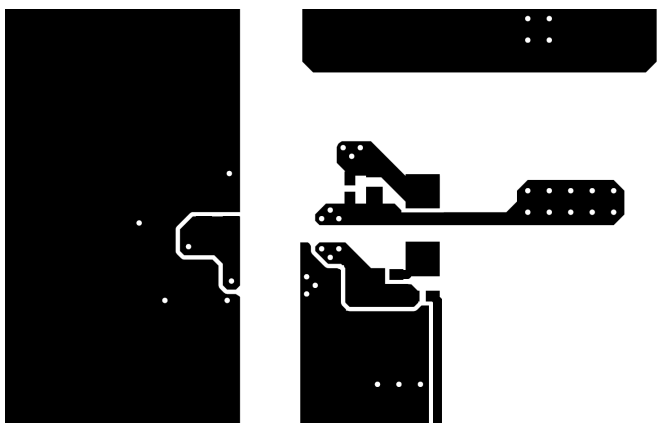


図 8-9. 下層のパターンと銅箔

Copyright © 2026 Texas Instruments Incorporated

3D レイアウト画像 (上面図と底面図) を、図 8-10 と図 8-11 に示します。

注

1 次側と 2 次側の間の PCB カットアウトの場所に注意します。これにより、絶縁性能を確立しています。

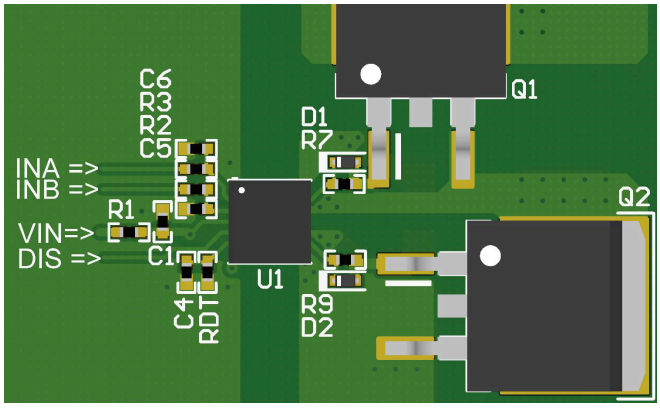


図 8-10. 3D PCB の上面図

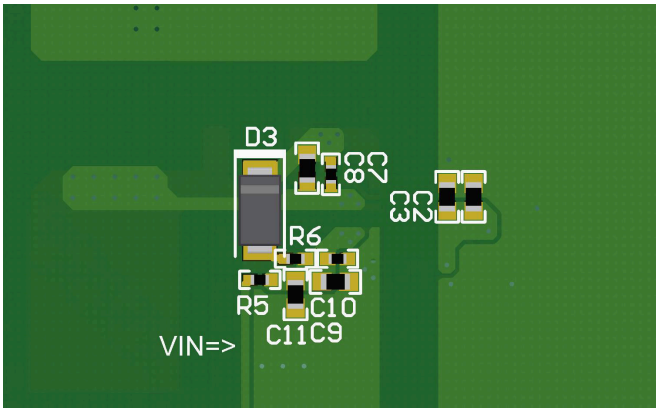


図 8-11. 3D PCB の底面図

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、『絶縁に関する用語』を参照してください

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 認証

UL オンライン認定ディレクトリ、『*FPPT2.E181974 非光学絶縁デバイス - 部品*』認定番号：20170718E181974、

VDE Pruf- und Zertifizierungsinstitut 認証、工場調査による準拠の認定

9.4.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「*Alert me*」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2018) to Revision B (November 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• ドキュメント全体で安全関連の認証を GB4943.1-2011 から GB4943.1-2022 に更新	1
• 認証番号 CQC18001186974 を追加	7

Changes from Revision * (April 2017) to Revision A (February 2018)	Page
• 「特長」、「アプリケーション」、および「概要」の各セクションの説明を変更	1
• 「安全関連および規制認証」を「安全関連認証」に変更	1
• 「特長」セクションの UL、VDE、CQC の安全関連認証の説明を「計画中」から「完了」に変更	1
• CSA 認証の説明を削除	1
• DISABLE ピンおよび DT ピンの詳細な説明を変更	4
• 定格電力のテスト条件を変更	6
• 絶縁仕様セクションの過電圧カテゴリを変更	6
• 安全関連認証において VDE V 0884-10:2006-12 から VDE V 0884-11:2017-01 に変更	6
• 絶縁仕様の V_{IOSM} を $3535V_{PK}$ から $3500V_{PK}$ に変更	6
• 「絶縁仕様」および「安全関連認証」表の VDE V 0884-10 を VDE V 0884-11 に変更	7
• 安全関連認証表に VDE、UL、CQC の認定番号を追加	7
• 「安全関連認証」表に $320V_{RMS}$ の最大動作電圧を追加	7
• 安全制限値の計算方法を説明するために表の注記を変更	7
• 伝搬遅延 t_{PDHL} および t_{PDLH} の最小仕様を追加	9
• $\|CM_H\|$ と $\|CM_L\|$ に置き換える CMTI 仕様を追加	9
• UVLO 出力遅延の機能説明を追加	16
• INPUT/OUTPUT ロジック表に脚注を追加	21
• レイアウト ガイドライン セクションのコンポーネント配置に「推奨される...」という箇条書きを追加。	34
• 「認定」セクションに UL、VDE、CQC のオンライン認定ディレクトリを追加	38

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC21225ANPLR	Active	Production	VLGA (NPL) | 13	3000 | LARGE T&R	Yes	NIAU	Level-3-260C-168 HR	-40 to 125	UCC21225A
UCC21225ANPLR.A	Active	Production	VLGA (NPL) | 13	3000 | LARGE T&R	Yes	NIAU	Level-3-260C-168 HR	-40 to 125	UCC21225A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

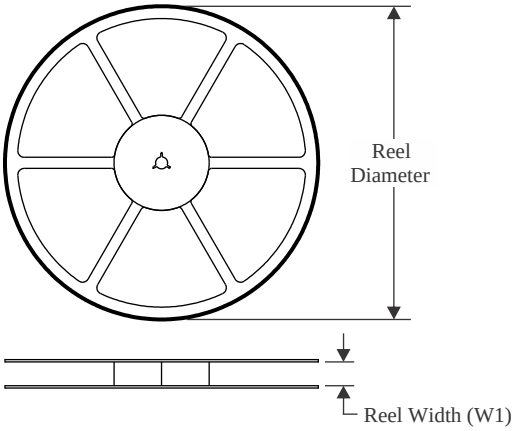
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

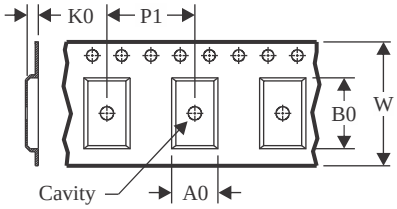
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

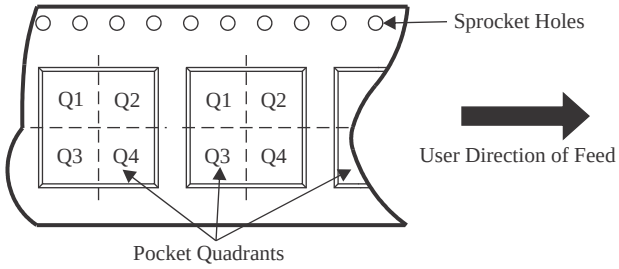


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

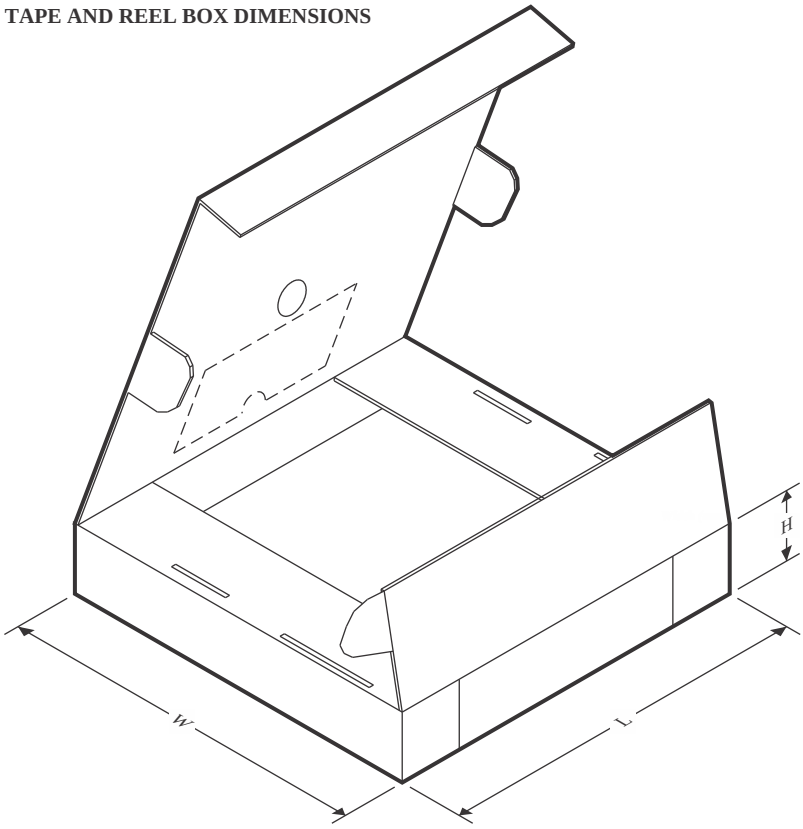
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21225ANPLR	VLGA	NPL	13	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q1

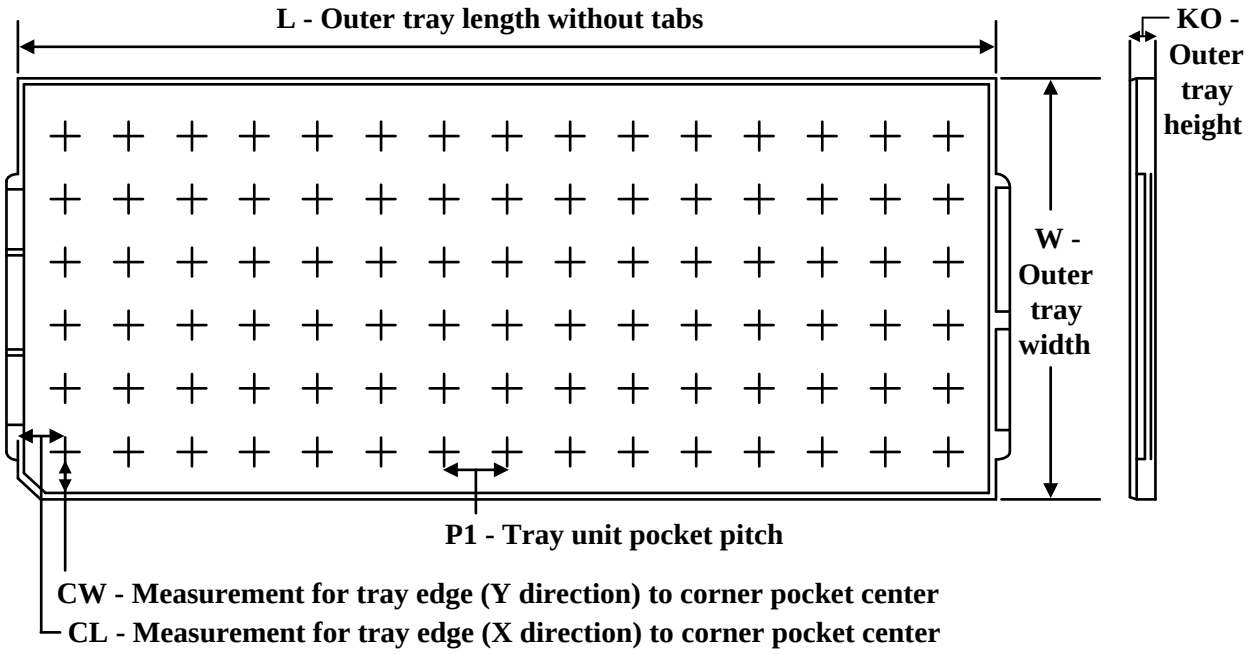
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21225ANPLR	VLGA	NPL	13	3000	350.0	350.0	43.0

TRAY

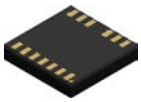


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
UCC21225ANPLR	NPL	VLGA	13	3000	14 x 35	150	315	135.9	7620	8.8	7.9	8.15
UCC21225ANPLR.A	NPL	VLGA	13	3000	14 x 35	150	315	135.9	7620	8.8	7.9	8.15

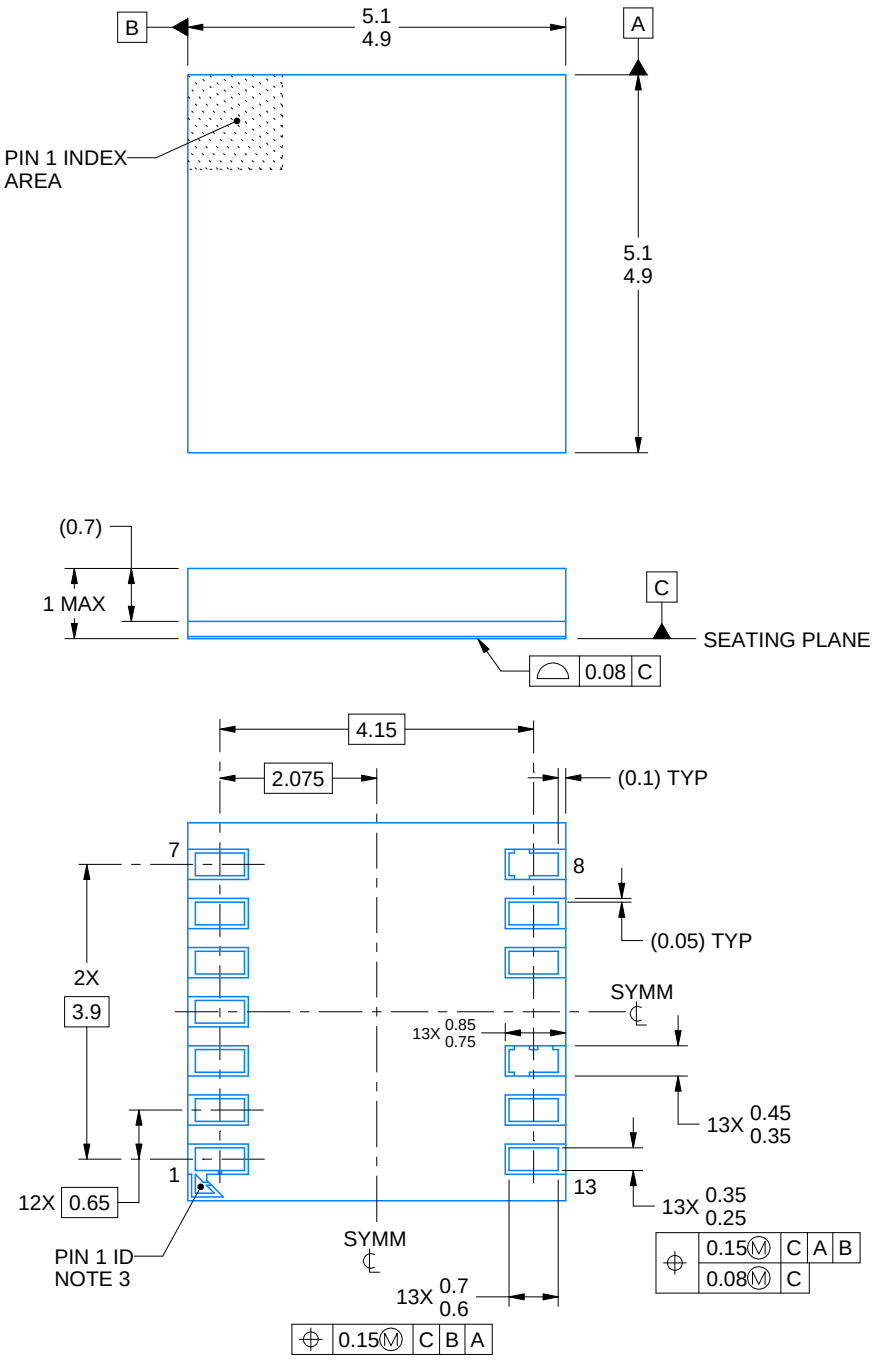
NPL0013A



PACKAGE OUTLINE

VLGA - 1 max height

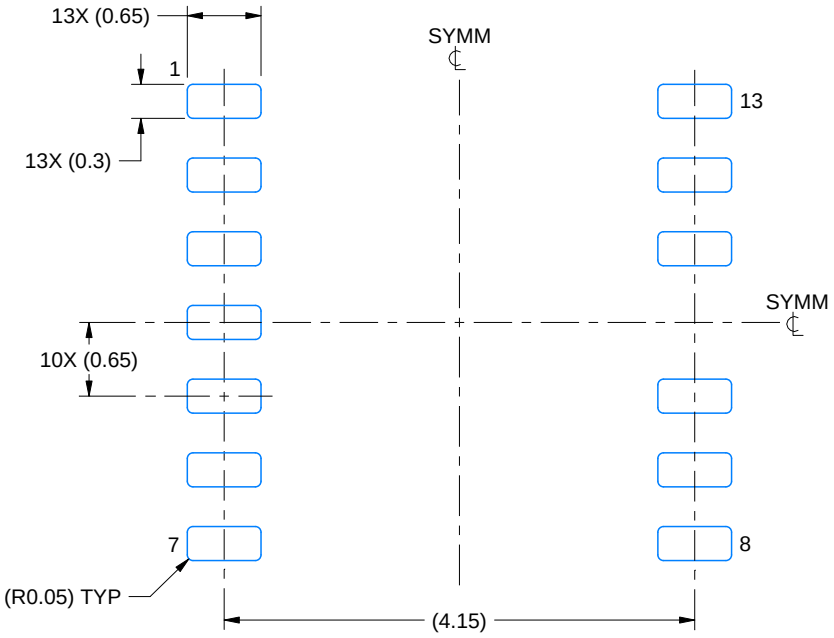
LAND GRID ARRAY



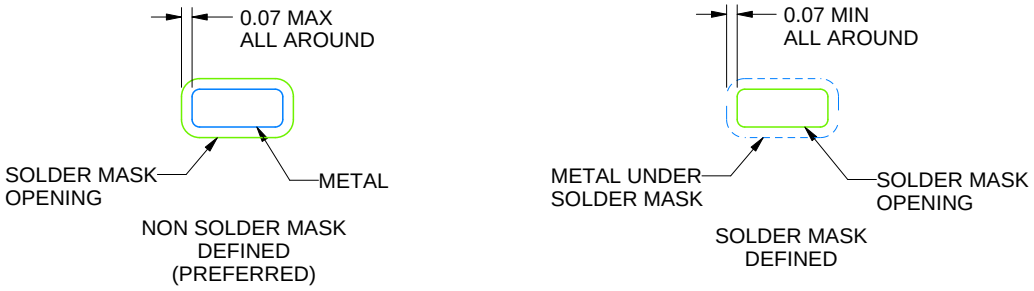
4222800/C 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pin 1 indicator is electrically connected to pin 1.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PACKAGE SOLDER PADS
SCALE:15X

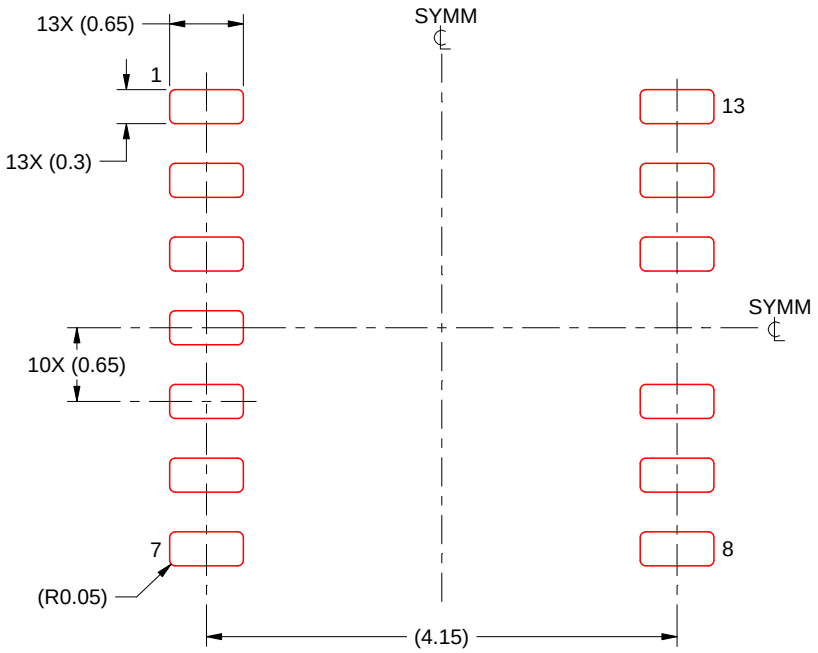


SOLDER MASK DETAILS
NOT TO SCALE

4222800/C 08/2024

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4222800/C 08/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月