UCC21331x-Q1 車載用 4A、6A、3.0kV$_{RMS}$ の絶縁型デュアル チャネル ゲート ドライバ

1 特長

- 汎用：デュアル ローサイド、デュアル ハイサイド、またはハーフ ブリッジ ドライバ
- 以下の結果で AEC-Q100 認定済み
  - デバイス温度グレード 1
- 接合部温度範囲：–40～+150℃
- 最大 4A/6A のピーク ソース / シンク出力
- 125V/ns を超える同相過渡耐性 (CMTI)
- 最大 25V の VDD 出力駆動電源
  - 12V、VDD UVLO オプション
- スイッチング パラメータ：
  - 伝搬遅延時間：33ns (代表値)
  - 最大遅延マッチング：5ns
  - 最大パルス幅歪み：6ns
  - 最大 VDD 電源オン遅延：10μs
- あらゆる電源に対応する UVLO 保護
- 高速なイネーブルによる電源シーケンス

2 アプリケーション

- オンボードのバッテリ充電器
- 高電圧 DC/DC コンバータ
- 車載 HVAC、車体用電子機器

3 概要

UCC21331-Q1 は、デッド タイムをプログラムでき、広い温度範囲に対応する絶縁型デュアル チャネル ゲートドライバ ファミリです。ピーク電流はソース 4A、シンク 6A で、パワー MOSFET、SiC、IGBT トランジスタを駆動するように設計されています。

UCC21331-Q1 は、2 つのローサイド ドライバ、2 つのハイサイド ドライバ、または 1 つのハーフ ブリッジ ドライバとして構成可能です。入力側は、3kV$_{RMS}$ の絶縁バリアによって 2 つの出力ドライバと分離されており、同相過渡耐性 (CMTI) は 125V/ns 以上です。

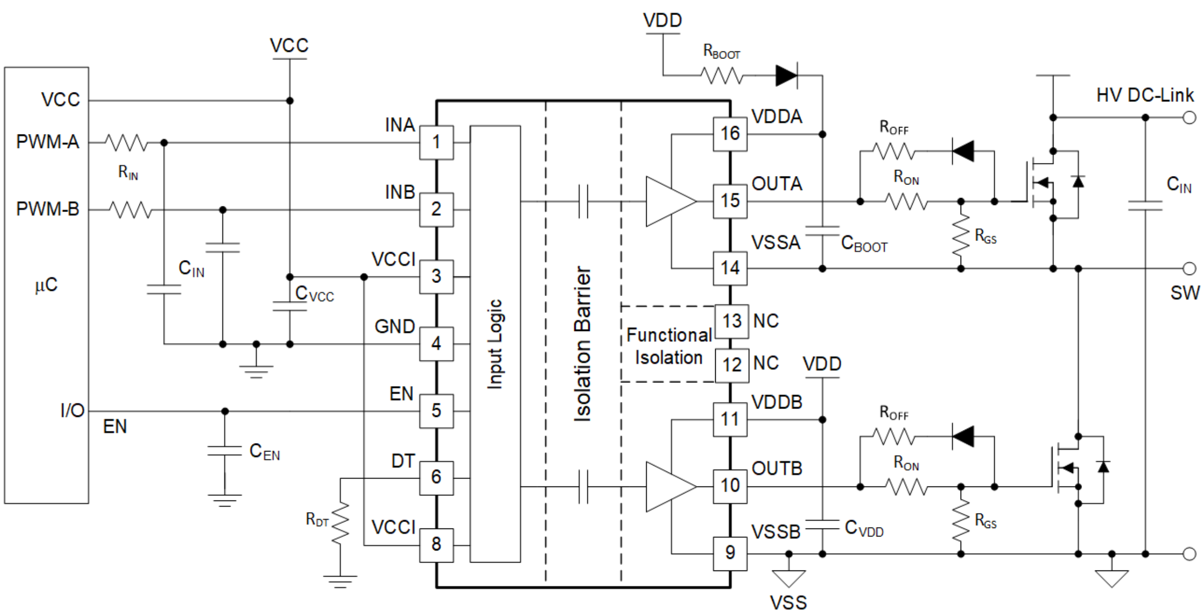
保護機能には、抵抗によりプログラム可能なデッド タイム、両方の出力を同時にシャットダウンするディセーブル機能、5ns 未満の入力過渡を除去するグリッチ除去フィルタが含まれます。すべての電源が UVLO 機能を備えています。

これらの高度な機能により、UCC21331-Q1 は広範な電力アプリケーションにおいて高効率、高電力密度、および堅牢性を実現します。

製品情報

部品番号	パッケージ (1)	REC.VDD 電源電圧の最小値
UCC21331CQDRQ1	SOIC (16)	13.5 V

(1) 供給されているすべてのパッケージについては、セクション 13 を参照してください。



代表的なアプリケーション回路図

目次

4 ピン構成および機能

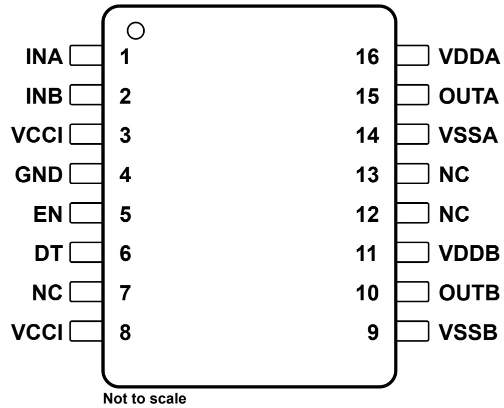


図 4-1. D パッケージ 16 ピン SOIC 上面図

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
EN	5	I	High にアサートすると両方のドライバ出力が有効になり、Low に設定すると両方の出力が無効になります。このピンを使わない場合、ノイズ耐性を向上させるために VCCI に接続することを推奨します。このピンは、フローティングのままにすると内部で Low にプルされます。EN ピンに RC フィルタ (R = 0Ω～100Ω、C = 100pF～1000pF) を使用して高周波ノイズをフィルタリングすることを推奨します。
DT	6	I	DT ピンの設定: • DT ピンがフローティングになった場合または VCCI に短絡した場合、デッド タイム インターロック機能が無効化されます (出力がオーバーラップする可能性があります)。 • ドライバ出力の間に最小限のデッド タイムを設定するには、DT と GND の間に 1.7kΩ～100kΩ の抵抗 (RDT) を配置します。 • 2 つの出力を連動させるには、0Ω～150Ω の抵抗を配置するか、DT ピンを GND に短絡します。 • 1nF 超のセラミック コンデンサでこのピンをバイパスすることは推奨されません。
GND	4	G	1 次側のグランド基準。1 次側のすべての信号はこのグランドを基準とします。
INA	1	I	A チャネルの入力信号。INA 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。INA に RC フィルタ (R = 10Ω～100Ω、C = 10pF～100pF) を使用して高周波ノイズをフィルタリングすることを推奨します。
INB	2	I	B チャネルの入力信号。INB 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。INB に RC フィルタ (R = 10Ω～100Ω、C = 10pF～100pF) を使用して高周波ノイズをフィルタリングすることを推奨します。
NC	7	–	内部接続なし
NC	12	–	内部接続なし
NC	13	–	内部接続なし
OUTA	15	O	ドライバ A の出力。ゲート抵抗を介して A チャネルのトランジスタのゲートに接続します。
OUTB	10	O	ドライバ B の出力。ゲート抵抗を介して B チャネルのトランジスタのゲートに接続します。
VCCI	3	P	1 次側の電源電圧。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って GND に対して局所的にデカップリングします。
VCCI	8	P	1 次側の電源電圧。このピンはピン 3 と内部で短絡しています。
VDDA	16	P	ドライバ A の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って VSSA に対して局所的にデカップリングします。
VDDB	11	P	ドライバ B の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って VSSB に対して局所的にデカップリングします。
VSSA	14	G	2 次側 A チャネルのグランド基準。

表 4-1. ピンの機能 (続き)

ピン		種類 [(1)]	説明
名称	番号		
VSSB	9	G	2 次側 B チャネルのグランド基準。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [1]

		最小値	最大値	単位
VCCI (GND 基準)	入力バイアスの電源電圧	-0.3	6	V
VDDA、VDDB (VSS 基準)	出力バイアスの電源電圧	-0.3	30	V
OUTA (VSSA 基準)、OUTB (VSSB 基準)	出力信号の DC 電圧	-0.3	VDDA/B + 0.3	V
	出力信号の過渡電圧 (200ns)	-2	VDDA/B + 0.3	V
INA、INB (GND 基準) PWM (GND 基準)	入力信号の DC 電圧	-0.3	VCCI + 0.3[2]	V
DT、DIS、EN (GND 基準)		-0.3	VCCI + 0.3[2]	V
チャネル間絶縁電圧	|VSSA-VSSB| (D パッケージ)		1500	V
T_J	接合部温度	-40	150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 最大電圧は 6V 以下である必要があります。

5.2 ESD 定格 (車載用)

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[1]	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CCI}	入力バイアス ピン電源電圧	3.0		5.5	V
VDDA、VDDB	12V UVLO 出力バイアス電源電圧、VDDA-VSSA、VDDB-VDDB	13.5		25	V
T_J	接合部温度	-40		150	℃

5.4 熱に関する情報

熱評価基準[1]		UCC21331 D 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45	℃/W
Ψ_{JT}	接合部から上面 (中心) への特性パラメータ	28	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	44.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	VCCI = 5V、VDDA/VDDB = 20V、INA/B = 3.3V、460kHz 50% デューティ サイクルの方形波、CL = 2.2nF、T_J = 150℃、T_A = 25℃			950	mW
P_{DI}	トランスミッタ側の最大消費電力				50	mW
P_{DA}、P_{DB}	各ドライバ側の最大消費電力				450	mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様	単位
全般				
CLR	外部空間距離[1]	空気を介した最短のピン間距離	>4	mm
CPG	外部沿面距離[1]	パッケージ表面に沿った最短のピン間距離	>4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 400	V
	材料グループ	IEC 60664-1 に準拠	II	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I-III	
		定格商用電源 V_{RMS} が 300V 以下	I-II	
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1200	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト、図 6-1 を参照	850	V_{RMS}
		DC 電圧	1200	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時)	4242	V_{PK}
V_{IMP}	最大入力パルス電圧	IEC 62368-1 に準拠し空気中でテスト、1.2/50μs の波形	5000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧[2]	$V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定)、1.2/50μs 波形、IEC 62368-1 に準拠	6500	V_{PK}
q_{pd}	見掛けの電荷[3]	方法 a:I/O 安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 a:環境テスト サブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		方法 b1:ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ[4]	$V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz	≒1.2	pF
R_{IO}	絶縁抵抗、入力から出力へ[4]	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	UCC21331x の絶縁耐圧	$V_{TEST} = V_{ISO}$ = 5000 V_{RMS}、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{ISO}$ = 6000 V_{RMS}、t = 1s (100% 出荷時)	3000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全限界値

パラメータ		テスト条件	側	最小値	標準値	最大値	単位
I_S	安全出力電源電流	$R_{\theta JA}$ = 80.2℃/W、$V_{DDA/B}$ = 15V、T_J = 150℃、T_A = 25℃	ドライバ A、ドライバ B			50	mA
		$R_{\theta JA}$ = 80.2℃/W、$V_{DDA/B}$ = 25V、T_J = 150℃、T_A = 25℃				30	
P_S	安全電源	$R_{\theta JA}$ = 80.2℃/W、T_J = 150℃、T_A = 25℃	入力			50	mW
			ドライバ A			750	
			ドライバ B			750	
			合計			1550	
T_S	最高安全温度[(1)]					150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。「熱に関する情報」表にある接合部から空気への熱抵抗 R_{qJA} は、リードあり表面実装パッケージ用の高 K テスト基板に搭載されているデバイスのものです。これらの式を使用して、以下のように各パラメータの値を計算します。$T_J = T_A + R_{qJA}$ ´ P、ここで、P はデバイスで消費される電力です。$T_{J(max)} = T_S = T_A + R_{qJA}$ ´ P_S、ここで、$T_{J(max)}$ は最大許容接合部温度です。$P_S = I_S$ ´ V_I、ここで、VI は最大電源電圧です。

5.8 電気的特性

V_{VCCI} = 3.3V または 5.0V、VCCI と GND との間に 0.1µF のコンデンサを接続、V_{VDDx} = 15V (12V UVLO の場合)、VDDA および VDDB と VSSA および VSSB との間に 1.1µF のコンデンサを接続、DT ピンはフローティング、EN = VCC または DIS = GND、T_J = -40℃～+150℃、C_L = 0pF (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{VCC}	VCC 静止電流	V_{INx} = 0V、EN = VCC、VCC = 3.3V		1.4	2	mA
		V_{INx} = 0V、EN = VCC、VCC = 5V		1.4	2	
		V_{INx} = VCC、EN = VCC、VCC = 3.3V		4.2	4.8	
		V_{INx} = VCC、EN = VCC、VCC = 5V		4.2	4.8	
		V_{INx} は PWM (0V - VCC、f_{SW} = 500kHz、EN = VCC、VCC = 3.3V)		2.7	3.2	
		V_{INx} は PWM (0V - VCC、f_{SW} = 500kHz、EN = VCC、VCC = 5V)		2.7	3.2	
I_{VDDx}	VDDx 静止電流	V_{INx} = 0V、EN = VCC		1.2	2	mA
		V_{INx} = 0V、EN = VCC、 VDD = 25V		1.4	2.3	
		V_{INx} = VCC、EN = VCC		1.4	2.2	
		V_{INx} = VCC、EN = VCC、VDD = 25V		1.5	2.5	
		V_{INx} は PWM (0V - VCC、f_{SW} = 500kHz、EN = VCC)		2.7	4.4	
		V_{INx} は PWM (0V - VCC、f_{SW} = 500kHz、EN = VCC、VDD = 25V)		2.7	4.4	
VCC 電源電圧の低電圧スレッショルド						
V_{VCC_ON}	VCC UVLO 立ち上がりスレッショルド		2.55	2.7	2.85	V
V_{VCC_OFF}	VCC UVLO 立ち下がりスレッショルド		2.35	2.5	2.65	
V_{VCC_HYS}	VCC UVLO スレッショルドのヒステリシス			0.2		
$t_{VCC+ \text{ to OUT}}$	VCC UVLO オン遅延		18	42	80	µs
$t_{VCC- \text{ to OUT}}$	VCC UVLO オフ遅延		0.5	1.2	7	
t_{VCCFIL}	VCC UVLO グリッチ除去フィルタ		0.4	0.9	3.1	
VDD 電源電圧の低電圧スレッショルドと遅延						
V_{VDD_ON}	VDDx UVLO 立ち上がりスレッショルド	12V UVLO オプション (メタル オプション)	11.7	12.5	13.3	V
V_{VDD_OFF}	VDDx UVLO 立ち下がりスレッショルド		10.7	11.5	12.3	
V_{VDD_HYS}	VDDx UVLO スレッショルドのヒステリシス			1.0		
$t_{VDD+ \text{ to OUT}}$	VDDx UVLO オン遅延				10	µs
$t_{VDD- \text{ to OUT}}$	VDDx UVLO オフ遅延		0.1	0.5	2	
t_{VDDFIL}	VDDx UVLO グリッチ除去フィルタ		0.1	0.17		
INA、INB、EN /						
V_{INxH} 、V_{ENH}	入力 High スレッショルド電圧			2	2.3	V
V_{INxL} 、V_{ENH}	入力 Low スレッショルド電圧		0.8	1		
V_{INx_HYS}、、V_{EN_HYS}	入力スレッショルドのヒステリシス			1		
R_{INxD}	INx ピンのプルダウン抵抗	INx = 3.3V	50	90	185	kΩ
R_{ENU}	EN ピンのプルダウン抵抗	EN = 3.3V	50	90	185	kΩ
出力ドライバ段						
I_{O+}	ピーク出力ソース電流	C_{VDDx} = 10µF、C_L = 0.22µF、f = 1kHz		-4		A
I_{O-}	ピーク出力シンク電流	C_{VDDx} = 10µF、C_L = 0.22µF、f = 1kHz		6		A
R_{OH}	プルアップ抵抗	I_{OUTx} = -0.05A		5		Ω
R_{OL}	プルダウン抵抗	I_{OUTx} = 0.05A		0.55		
アクティブ プルダウン						
V_{OUTPD}	OUTx の出力アクティブ プルダウン	I_{OUT} = 200mA、VDDx はフローティング (未給電)。		1.6	2	V

5.8 電気的特性 (続き)

V_{VCCI} = 3.3V または 5.0V、VCCI と GND との間に 0.1µF のコンデンサを接続、V_{VDDx} = 15V (12V UVLO の場合)、VDDA および VDDB と VSSA および VSSB との間に 1.1µF のコンデンサを接続、DT ピンはフローティング、EN = VCC または DIS = GND、T_J = -40℃～+150℃、C_L = 0pF (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OUTPD}	OUTx の出力アクティブ プルダウン	I_{OUT} = 200mA、C_{VDD} = 100nF (未給電)。		1.6	2	V
デッド タイムとオーバーラップのプログラミング						
DT_S	DT 機能を無効化	DT ピンをオープンにする。または、DT ピンを VCC にプルする。	INA、INB によって決定される出力オーバーラップ			-
	デッド タイムの設定 (R_{DT} ≦ 0.15kΩ の場合)	R_{DT} = 0～0.15kΩ	-6	0.2	6	ns
	デッド タイム設定の設定 (1.7kΩ ≦ R_{DT} ≦ 100kΩ の場合) DT (ns) = 8.6×R_{DT} (kΩ) + 13	R_{DT} = 10kΩ	86	99	112	ns
		R_{DT} = 20kΩ	167	185	203	ns
		R_{DT} = 50kΩ	399	443	487	ns

(1) テスト条件での電流の方向は、そのピンに入る方向が正、そのピンから出る方向が負と定義されています (特に記述のない限り)。

5.9 スイッチング特性

V_{VCCI} = 3.3V または 5.0V、VCCI と GND との間に 0.1µF のコンデンサを接続、V_{VDDx} = または 15V (12V UVLO の場合)、VDDA および VDDB と VSSA および VSSB との間に 1.1µF のコンデンサを接続、DT ピンはフローティング、EN = VCC または DIS = GND、T_J = -40℃～+150℃、C_L = 0pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RISE}	出力立ち上がり時間	C_L = 1.8nF、VDDx = 12V、20% から 80% まで		8		ns
		C_L = 1.8nF、VDDx = 25V、20% から 80% まで		8		
t_{FALL}	出力立ち下がり時間	C_L = 1.8nF、VDDx = 12V、10% から 90% まで		8		ns
		C_L = 1.8nF、VDDx = 25V、10% から 90% まで		8		
t_{PDLH}	伝搬遅延 - Low から High	入力パルス幅 = 100ns、500kHz、入力 VIH から出力 10% までの時間を測定	26	33	45	ns
t_{PDHL}	伝搬遅延 - High から Low	入力パルス幅 = 100ns、500kHz、入力 VIL から出力 90% までの時間を測定	26	33	45	ns
$t_{PD\_EN\_HL}$	EN 応答遅延 - High から Low	t_{EN/DIS_FIL} = 20ns (標準値)、VDD=VDD_ON+0.2V 以上、入力パルス幅 = 100ns、500kHz	27	48	80	ns
$t_{PD\_EN\_LH}$	EN 応答遅延 - Low から High		27	48	80	ns
t_{PWmin}	出力に伝わる最小入力パルス幅	VDD = VDD_ON + 0.2V 以上	4	12	30	ns
t_{DM}	デュアル チャネル ドライバの伝搬遅延マッチング	入力パルス幅 = 100ns、500kHz、T_J = -40℃～-10℃ $\lvert t_{PDLHA} - t_{PDLHB}\rvert$、$\lvert t_{PDHLA} - t_{PDHLB}\rvert$	0		6.5	ns
		入力パルス幅 = 100ns、500kHz、T_J = -10℃～+150℃ $\lvert t_{PDLHA} - t_{PDLHB}\rvert$、$\lvert t_{PDHLA} - t_{PDHLB}\rvert$	0		5	ns
t_{PWD}	パルス幅歪み	入力パルス幅 = 100ns、500kHz $\lvert t_{PDLHA} - t_{PDHLA}\rvert$、$\lvert t_{PDLHB} - t_{PDHLB}\rvert$	0		5	ns
$\lvert CM_H\rvert$	High レベル同相モード トランジェント耐性	V_{CM} = 1500V	125			V/ns
$\lvert CM_L\rvert$	Low レベル同相モード トランジェント耐性		125			V/ns

5.10 絶縁特性曲線

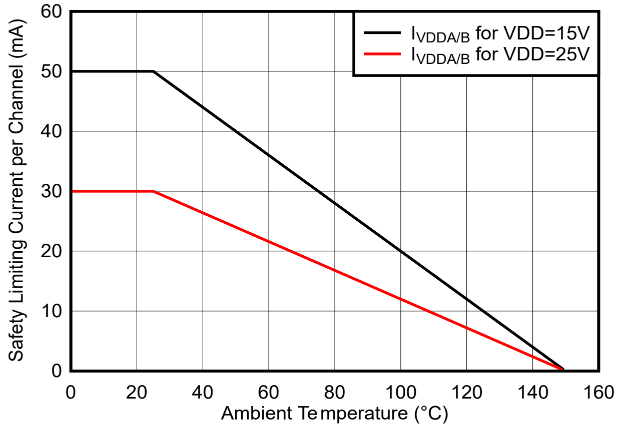


図 5-1. VDE に従って制限された電流の温度ディレーティング曲線 (両方のチャネルが同時に動作している場合の各チャネルの電流)

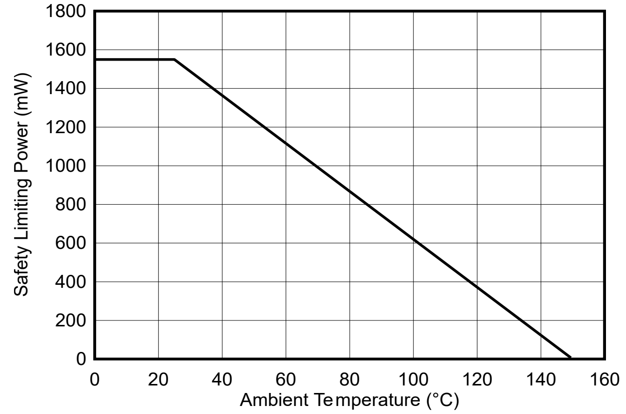


図 5-2. 安全性の観点から VDE に従って制限された電力の温度ディレーティング曲線

5.11 代表的特性

VDDA = VDDB = 15V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)

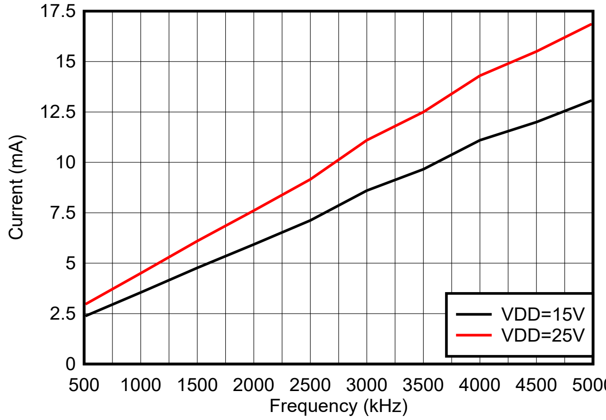


図 5-3. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (無負荷、VDD = 15V または 25V)

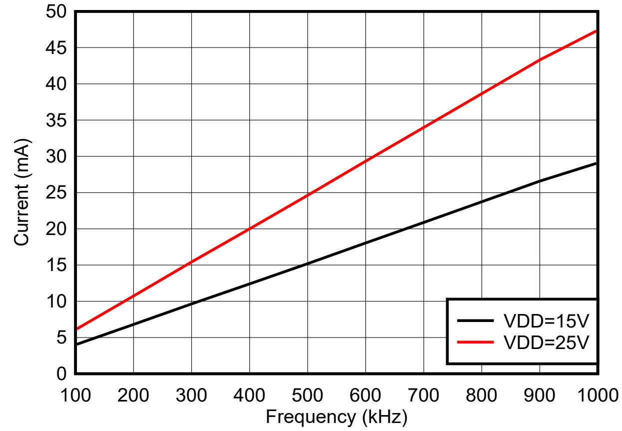


図 5-4. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (1nF 負荷、VDD = 15V または 25V)

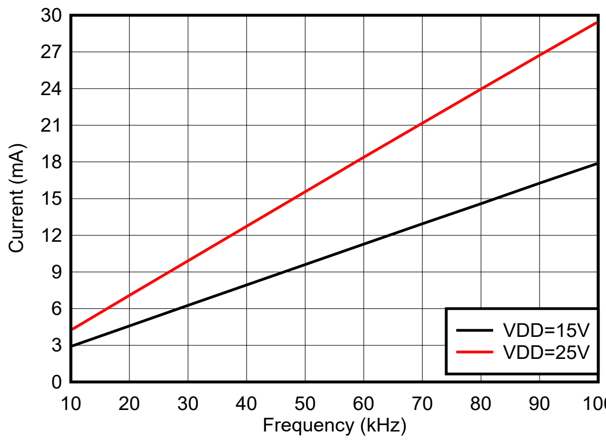


図 5-5. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (10nF 負荷、VDD = 15V または 25V)

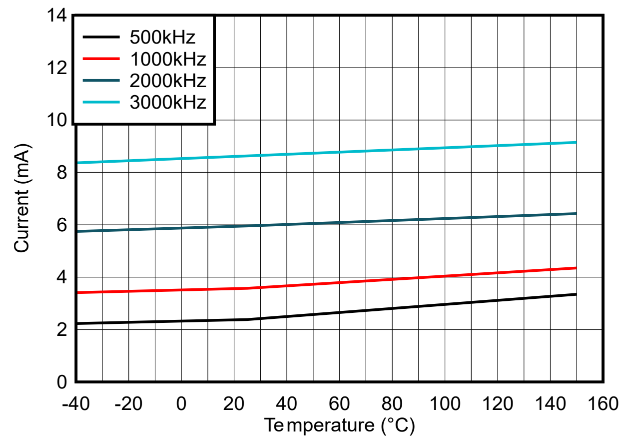


図 5-6. チャネルあたりの消費電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、各種スイッチング周波数)

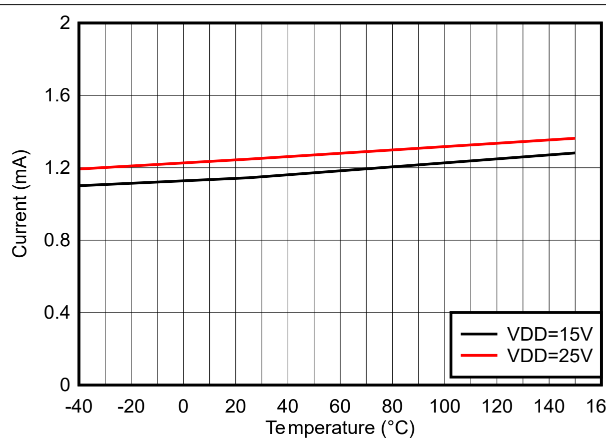


図 5-7. チャネルあたりの静止消費電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、入力 Low、スイッチングなし)

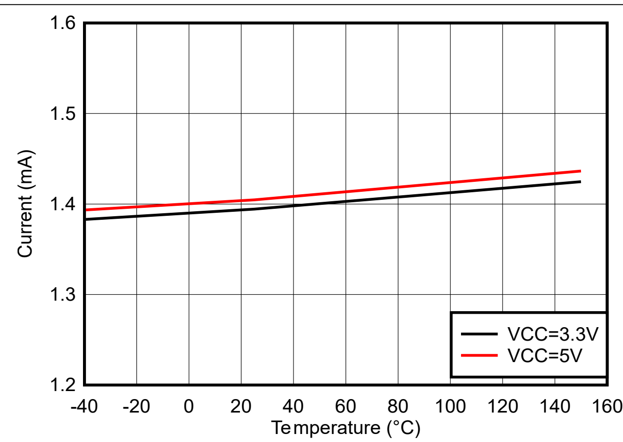


図 5-8. 静止消費電流 (I_{VCCI}) と温度との関係 (無負荷、入力 Low、スイッチングなし)

5.11 代表的特性 (続き)

VDDA = VDDB = 15V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)

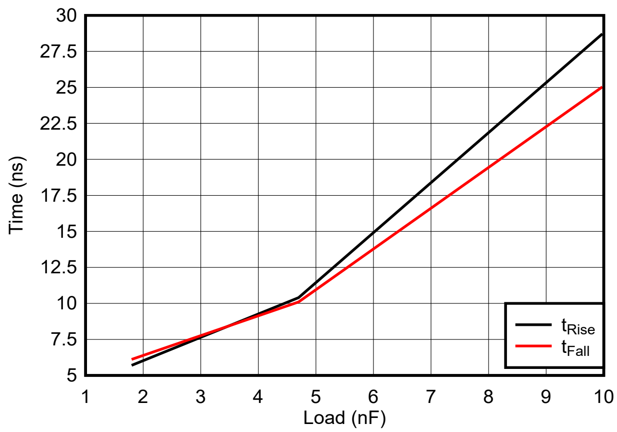


図 5-9. 立ち上がりおよび立ち下がり時間と負荷との関係 (VDD = 15V)

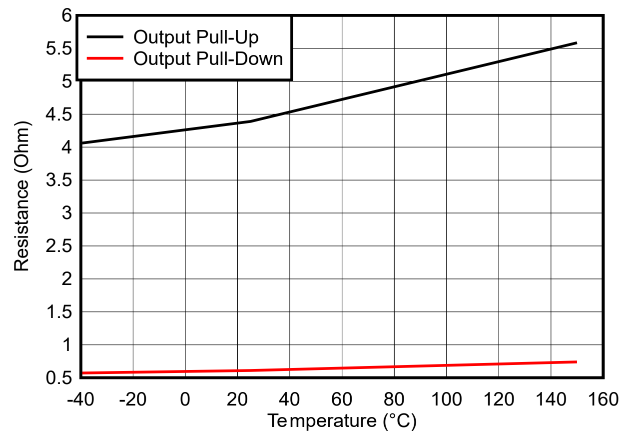


図 5-10. 出力抵抗と温度との関係

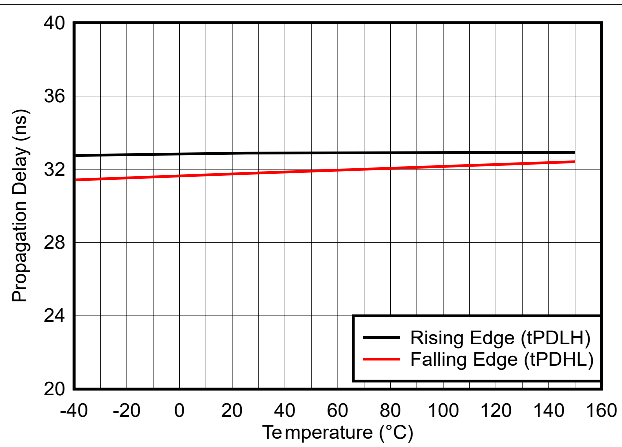


図 5-11. 伝搬遅延と温度との関係

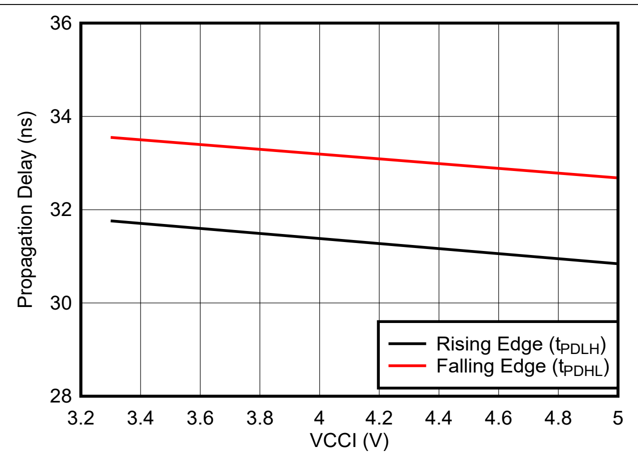


図 5-12. 伝搬遅延と VCCI との関係

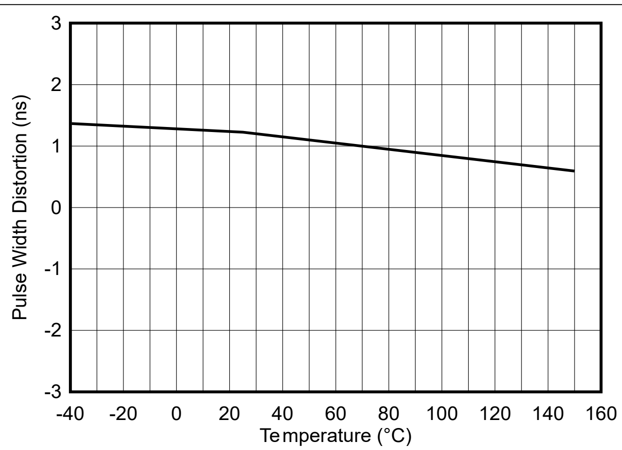


図 5-13. パルス幅歪みと温度との関係

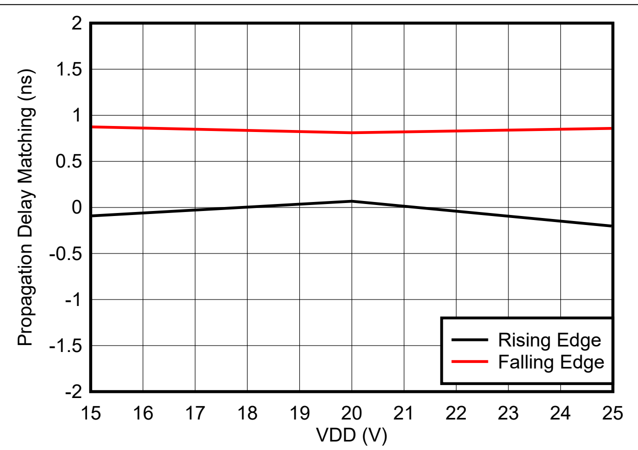


図 5-14. 伝搬遅延マッチング (t_{DM}) と VDD との関係

5.11 代表的特性 (続き)

VDDA = VDDB = 15V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)

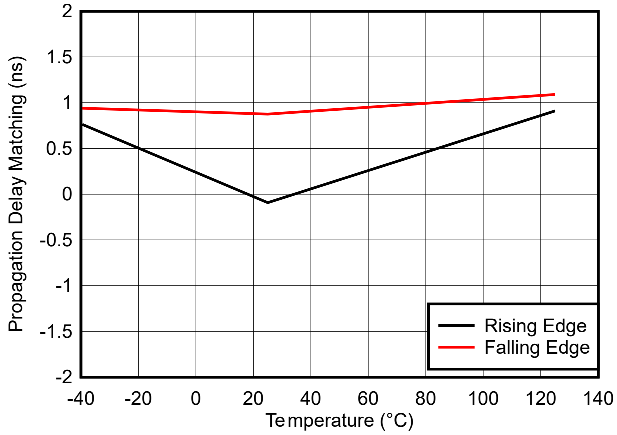


図 5-15. 伝搬遅延マッチング (t_{DM}) と温度との関係

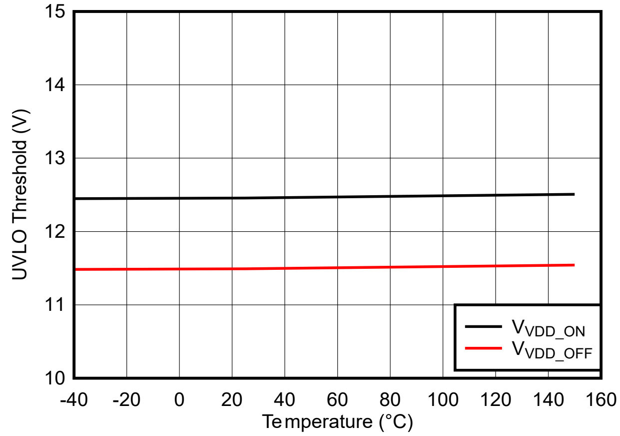


図 5-16. VDD 12V UVLO スレッショルドと温度との関係

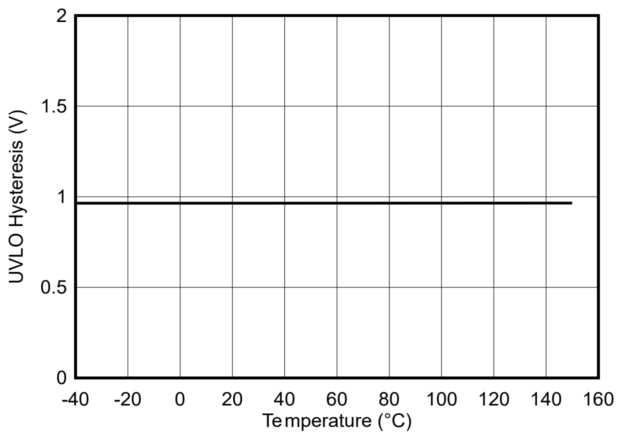


図 5-17. VDD 12V UVLO ヒステリシスと温度との関係

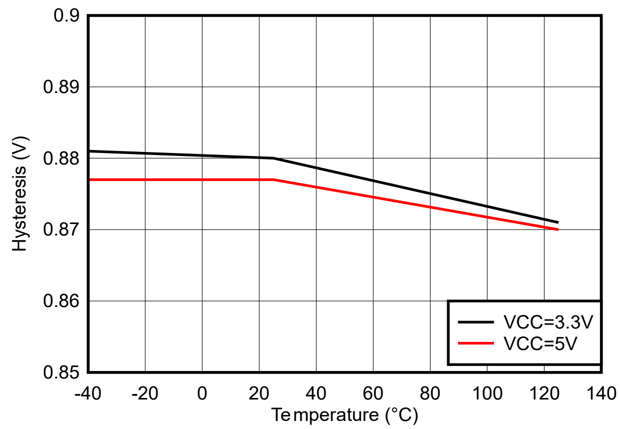


図 5-18. IN/EN ヒステリシスと温度との関係

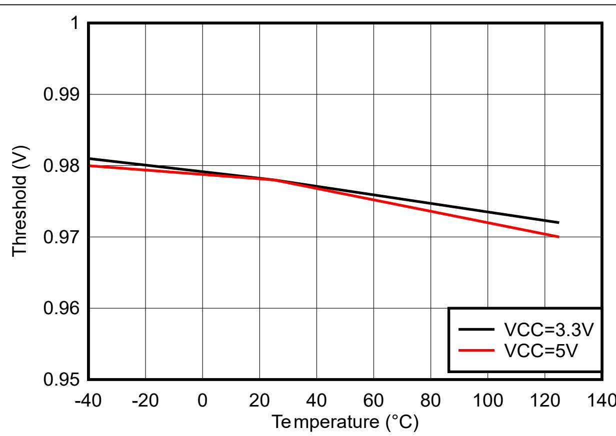


図 5-19. IN/EN の Low スレッショルド

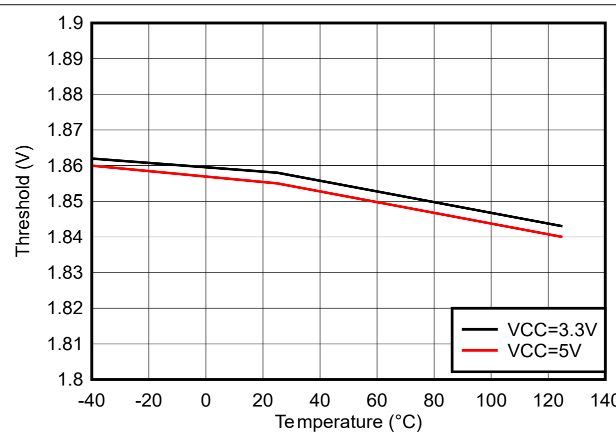


図 5-20. IN/EN の High スレッショルド

5.11 代表的特性 (続き)

VDDA = VDDB = 15V、VCCI = 3.3V、T_A = 25℃、無負荷 (特に記述のない限り)

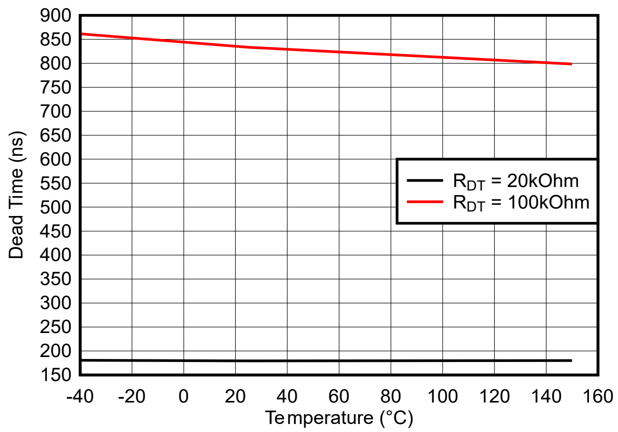


図 5-21. デッド タイムと温度との関係 (R_{DT} = 20kΩ および 100kΩ の場合)

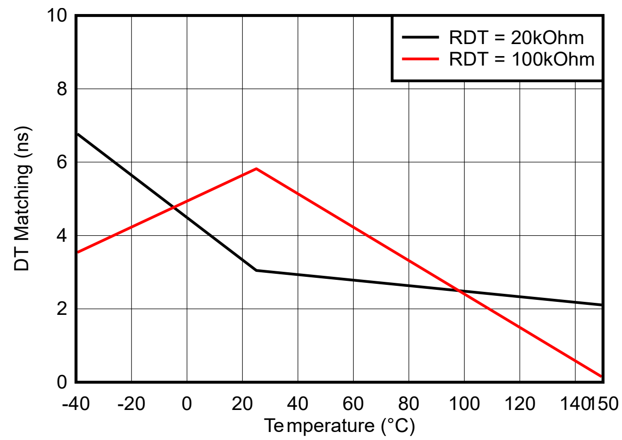


図 5-22. デッド タイム マッチングと温度との関係 (R_{DT} = 20kΩ および 100kΩ の場合)

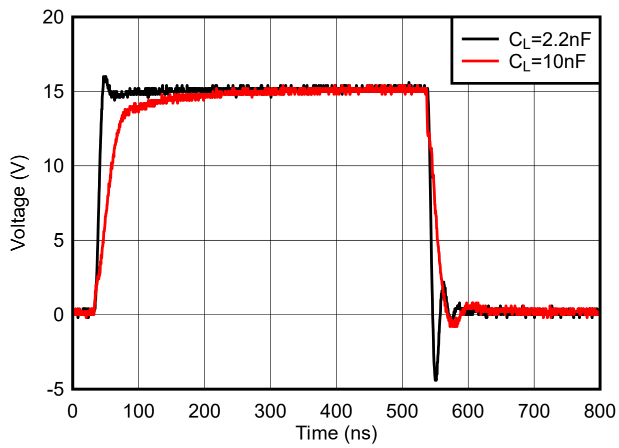


図 5-23. 代表的な出力波形

6 パラメータ測定情報

6.1 伝搬遅延とパルス幅歪み

チャネル A と B の伝搬遅延からパルス幅歪み (t_{PWD}) と遅延マッチング (t_{DM}) を計算する方法を、図 6-1 に示します。この値は、両方の入力の位相が揃っていることを確認し、DT ピンを VCC に短絡してデッド・タイム機能を無効にすると測定できます。

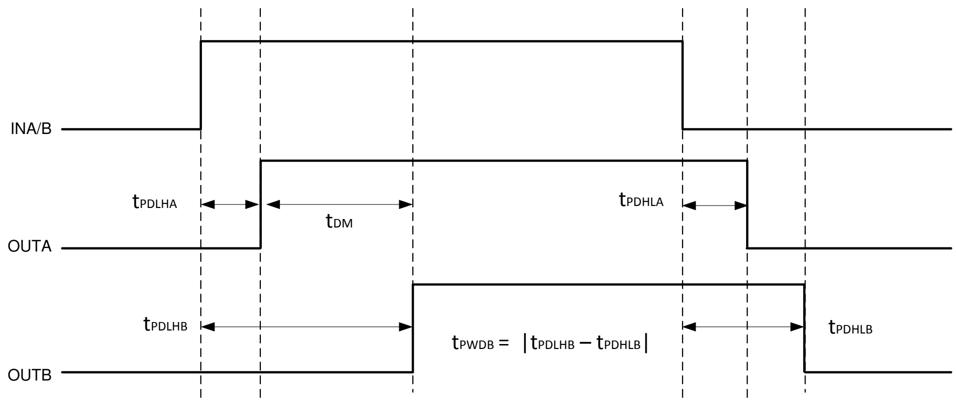


図 6-1. 重複した入力、デッド・タイム無効

6.2 立ち上がりおよび立ち下がり時間

立ち上がり (t_{RISE}) および立ち下がり (t_{FALL}) 時間の測定基準を、図 6-2 に示します。立ち上がり時間と立ち下がり時間を短縮する方法の詳細については、セクション 7.3.4 を参照してください。

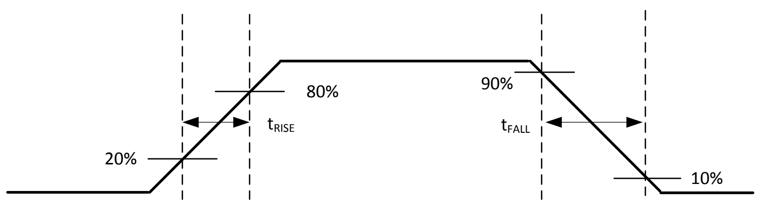


図 6-2. 立ち上がりおよび立ち下がり時間の測定基準

6.3 入力とディセーブルの応答時間

図 6-3 に、ディスエーブル機能の応答時間を示します。離れた場所にあるマイクロコントローラに DIS ピンを接続する場合、DIS ピンの近くに配置した 100pF～1nF の低 ESR/ESL コンデンサを使ってバイパスすることを推奨します。詳細については、セクション 7.4.1 を参照してください。

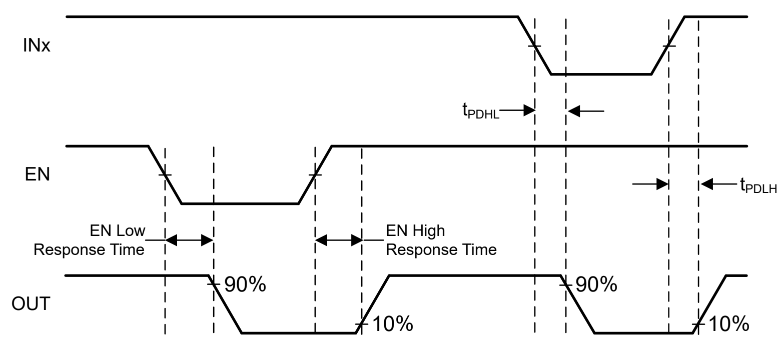


図 6-3. ディセーブル ピンのタイミング

6.4 プログラム可能なデッド・タイム

DT ピンをオープンのままにするか、適切な抵抗 (R_{DT}) を介して GND に接続すると、デッド・タイム期間が設定されます。デッド・タイムの詳細については、セクション 7.4.2 を参照してください。

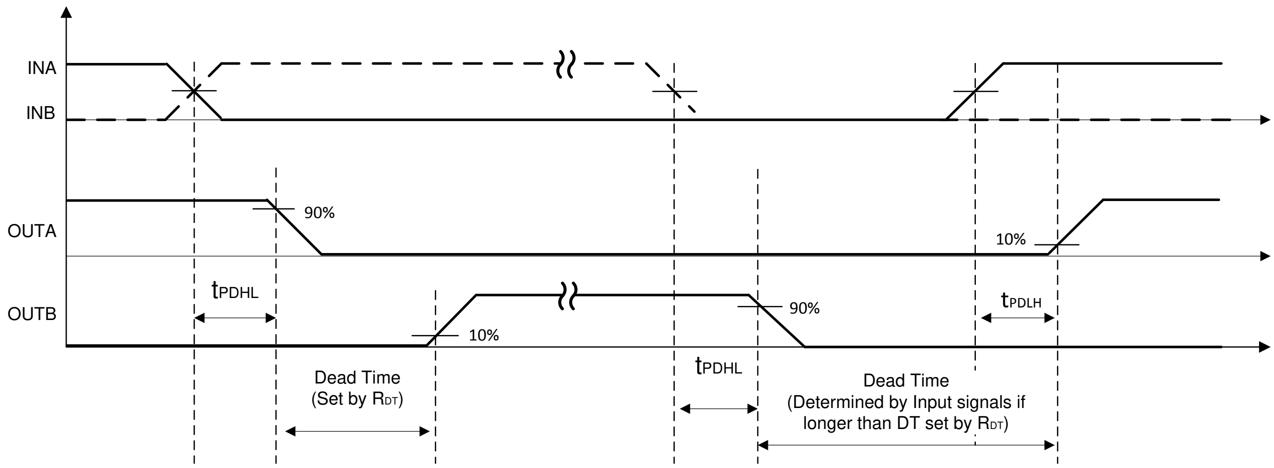


図 6-4. デッド・タイムのスイッチング・パラメータ

6.5 電源オン時の UVLO 出力遅延

ドライバが適切な出力状態を提供できるようになる前に、UVLO 立ち上がりエッジから出力までのパワーアップ遅延があり、その遅延は VCCI UVLO では $t_{VCCI+\ to\ OUT}$ (42µs (標準値)) として、VDD UVLO では $t_{VDD+\ to\ OUT}$ (10µs (最大値)) として定義されています。ドライバの VCCI および VDD バイアス電源の準備ができた後、PWM 信号を出力する前に適切なマージンを考慮することを推奨します。図 6-5 と図 6-6 に、VCCI と VDD の電源オン時の UVLO 遅延タイミング図を示します。

VCCI または VDD がそれぞれのスレッショルドを上回る前に INA または INB がアクティブになった場合、VCCI または VDD が UVLO 立ち上がりスレッショルドを上回った後、$t_{VCCI+\ to\ OUT}$ または $t_{VDDx+\ to\ OUT}$ が経過するまで、出力は更新されません。ただし、VCCI と VDD のどちらかの電圧がそれぞれのオフ・スレッショルドを下回ってから、出力が Low に保持されるまでの遅延は 2µs 未満です (電源ピンの電圧スルーレートの影響を受けます)。この非対称な遅延は、VCCI または VDD のブラウンアウト中でも安全な動作を確保するために設計されています。

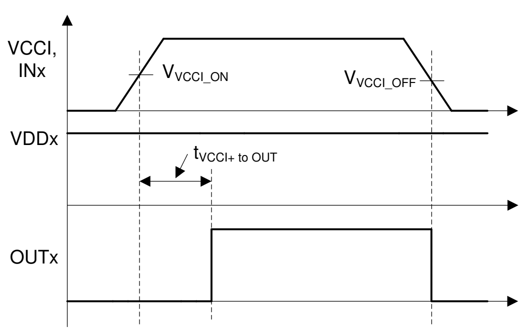


図 6-5. VCCI 電源オン時の UVLO 遅延

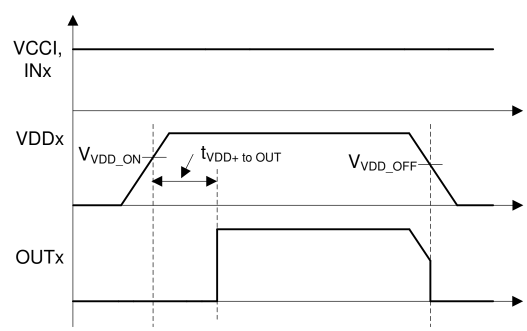


図 6-6. VDDA/B 電源オン時の UVLO 遅延

6.6 CMTI テスト

図 6-7 は CMTI テスト構成の概略図です。

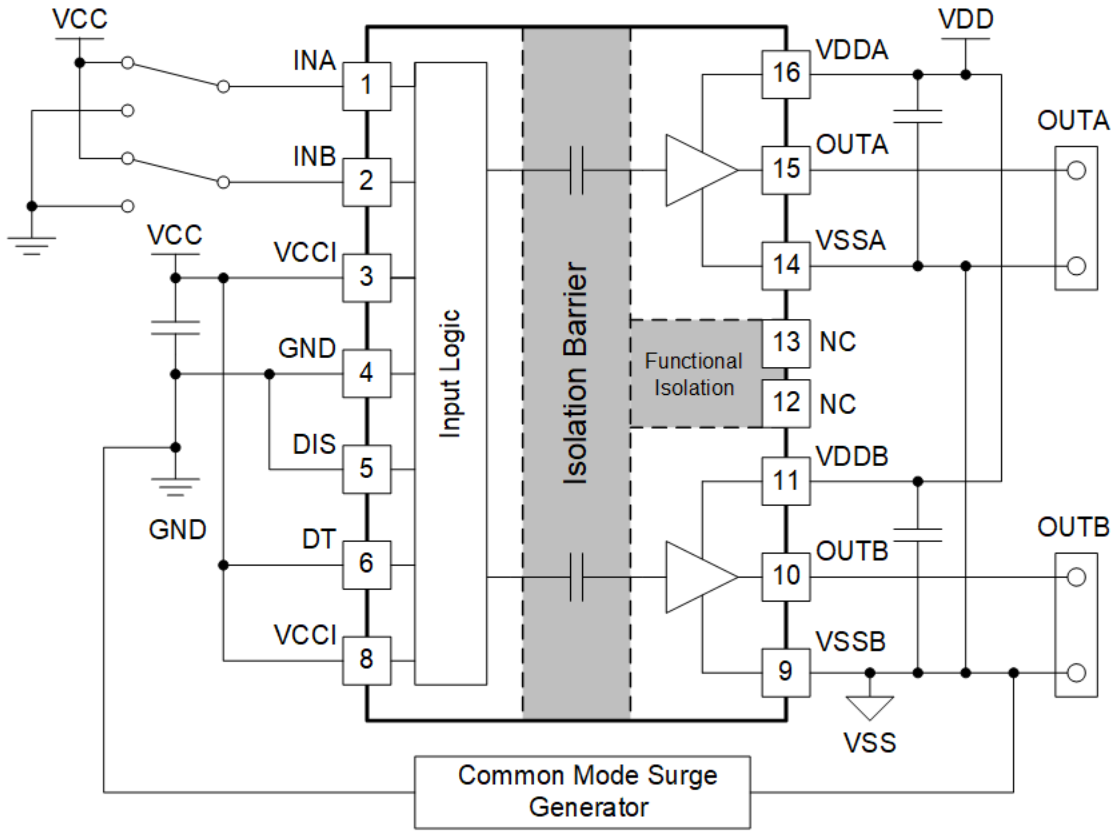


図 6-7. CMTI テスト構成の概略図

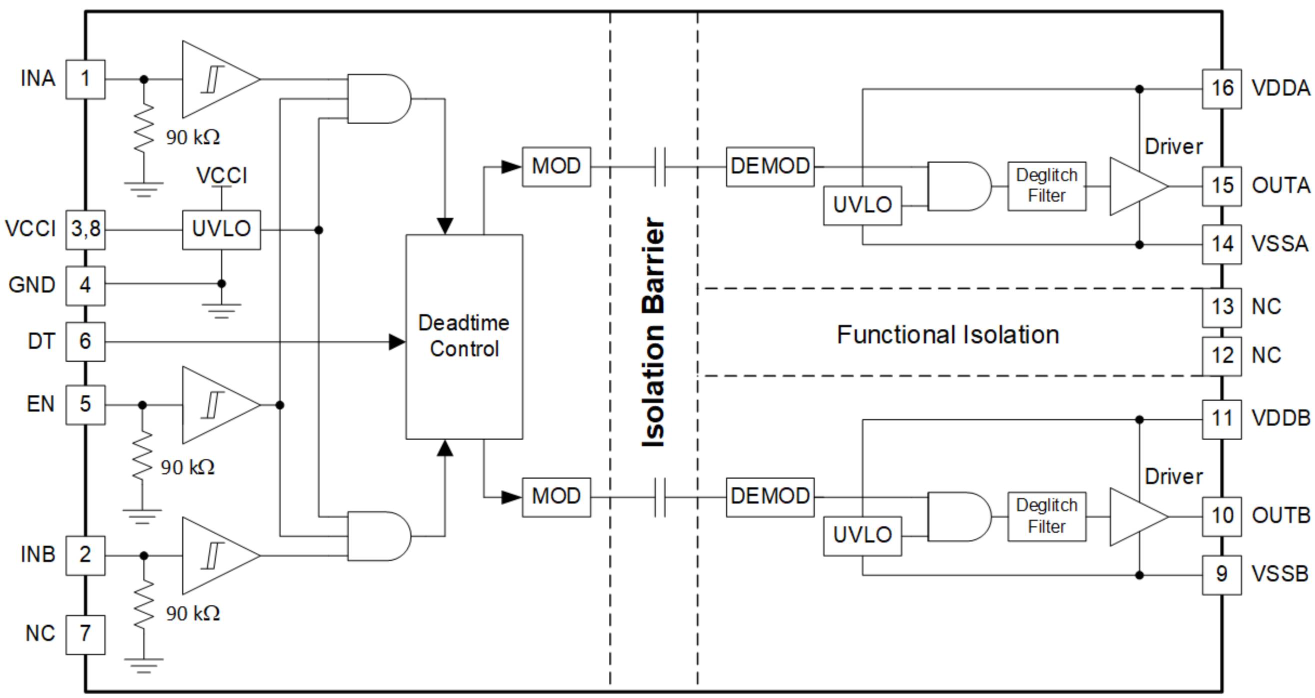
7 詳細説明

7.1 概要

パワー トランジスタを高速で切り換えると共に、スイッチング電力損失を低減するため、制御デバイスの出力とパワー トランジスタのゲートの間に大電流ゲート ドライバがしばしば配置されます。パワー トランジスタのゲートを駆動するのに十分な電流をコントローラが供給できないこともあります。これは、デジタル コントローラの場合に特に当てはまります。デジタル コントローラからの入力信号はしばしば数 mA しか供給できない 3.3V ロジック信号であるためです。

UCC21331-Q1 は、各種の電源およびモーター ドライブ トポロジに適合し、SiC MOSFET も含めた各種のトランジスタを駆動するように構成できる、柔軟なデュアル ゲート ドライバです。本デバイスは、制御回路と組み合わせるための機能と、駆動対象のゲートを保護するための機能を豊富に備えています。たとえば、抵抗によりプログラム可能なデッド タイム (DT) 制御、EN ピン (内部でプルダウン)、入力および出力電源の低電圧誤動作防止 (UVLO) などです。また、入力がオープンのままである場合、または入力パルス幅が短すぎる場合も、UCC21331-Q1 は出力を Low に保持します。ドライバの入力は CMOS および TTL と互換で、デジタルとアナログのどちらの電源コントローラとも接続できます。各チャネルはそれぞれの入力ピン (INA、INB) で制御されるため、各出力は完全に独立して制御されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 VDD、VCCI、低電圧誤動作防止 (UVLO)

UCC21331-Q1 は、両方の出力の VDD ピンと VSS ピンの間の電源回路ブロックに、低電圧誤動作防止 (UVLO) 保護機能が内蔵されています。VDD バイアス電圧がデバイスの起動時に V_{VDD_ON} より低い場合、または起動後に V_{VDD_OFF} を下回った場合、入力ピン (INA および INB) の状態に関係なく、2 つの出力チャネルのうち VDD UVLO 機能をオンにした出力のみを Low に保持します (もう片方の出力チャネルには影響はありません)。

ドライバの出力段にバイアスが印加されていない場合、または UVLO 状態である場合、ドライバ出力の電圧上昇を制限するアクティブ クランプ回路によってドライバ出力は Low に保持されます (図 7-1 を参照)。この条件では、下側の NMOS のゲートが R_{CLAMP} でドライバ出力に接続される一方で、上側の PMOS はオフに保持され、その抵抗は $R_{Hi\text{-}Z}$ となります。この構成では、出力は下側の NMOS デバイスのスレッショルド電圧 (バイアス電力が存在しない場合は通常約 1.5V) に実質的にクランプされます。

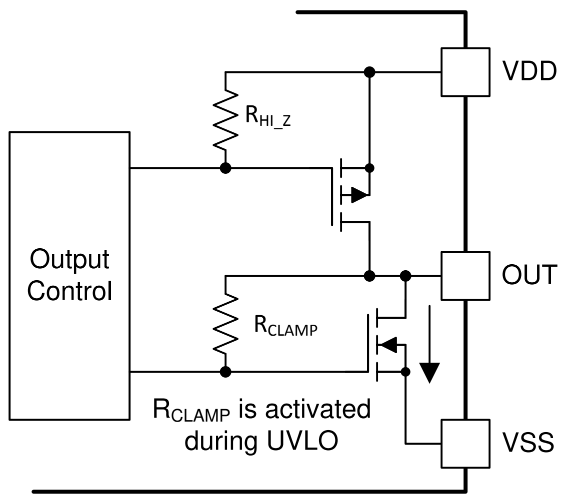


図 7-1. アクティブ プルダウン機能の概略図

VDD UVLO 保護機能はヒステリシス (V_{VDD_HYS}) を備えています。このヒステリシスは、電源のグランド ノイズが発生したときのチャタリングを防止します。このヒステリシスにより、本デバイスはバイアス電圧の小さな電圧降下を許容することもできます。このような電圧降下は、デバイスがスイッチングを開始し動作消費電流が急増した際によく発生します。

UCC21331-Q1 の入力側にも低電圧誤動作防止 (UVLO) 保護機能が内蔵されています。デバイスは、起動時に電圧 VCCI が V_{VCCI_ON} を超えるまでアクティブになりません。ピン電圧が V_{VCCI_OFF} を下回ると、信号は送信されなくなります。また、確実に安定して動作するように、VDD の UVLO と同様にヒステリシス (V_{VCCI_HYS}) が備わっています。

UCC21331-Q1 のすべてのバージョンは、VDD は 30V、VCCI は 5.5V の絶対最大定格に耐えることができます。

表 7-1. UCC21331-Q1 の VCCI UVLO 機能ロジック

条件	入力		出力	
	INA	**INB**	**OUTA**	**OUTB**
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	L	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

表 7-2. UCC21331-Q1 の VDD UVLO 機能ロジック

条件	入力		出力	
	INA	**INB**	**OUTA**	**OUTB**
デバイス起動中 VDD-VSS < V_{VDD_ON}	H	L	L	L
デバイス起動中 VDD-VSS < V_{VDD_ON}	L	H	L	L
デバイス起動中 VDD-VSS < V_{VDD_ON}	H	H	L	L
デバイス起動中 VDD-VSS < V_{VDD_ON}	L	L	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	H	L	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	L	H	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	H	H	L	L
デバイス起動後 VDD-VSS < V_{VDD_OFF}	L	L	L	L

7.3.2 入力および出力論理表

表 7-3. 入力 / 出力論理表 (1)

VCCI、VDDA、VDDB に電源が投入されている想定です。UVLO の動作モードの詳細については、セクション 7.3.1 を参照してください。

入力		EN	出力		注
INA	**INB**		**OUTA**	**OUTB**	
L	L	H	L	L	デッド・タイム機能を使っている場合、デッド・タイムが経過した後に出力が遷移します。セクション 7.4.2 を参照してください。
L	H	H	L	H	
H	L	H	H	L	
H	H	H	L	L	
H	H	H	H	H	DT ピンはオープンのままにするか、VCCI に接続します。
オープンのままにする	オープンのままにする	H	L	L	-
X	X	Low またはオープンのままにする	L	L	-

(1) 「X」とは、L、H、「オープンのままにする」のいずれかであることを意味します。

7.3.3 入力段

UCC21331-Q1 の入力ピン (INA、INB、EN) は、TTL および CMOS 互換の入力スレッショルド ロジックに基づいており、VDD 電源電圧から完全に絶縁されています。UCC21331-Q1 は、標準の High スレッショルド (V_{INAH}) が 2V、標準の

Low スレッショルドが 1V で、これらは温度によってほとんど変化しないため、ロジック レベルの制御信号 (3.3V マイコンからの信号など) で入力ピンを簡単に駆動できます。1V という広いヒステリシス (V_{INA_HYS}) は良好なノイズ耐性と安定動作に役立ちます。いずれの入力をオープンのままにしても、内部プルダウン抵抗がピンを Low に強制します。これらの抵抗の標準値は 90kΩ です (セクション 7.2 を参照)。ただし、入力を使用しない場合はグランドに接続することをお勧めします。

UCC21331-Q1 の入力側は出力ドライバから分離されているため、選択されたゲートに対して最も効率のよい VDD を選択できます。INA または INB に印加される信号の振幅は、VCCI の電圧を上回ってはいけません。

7.3.4 出力段

UCC21331-Q1 の出力段は、最も必要とされるとき、すなわちパワー スイッチのターンオン遷移のミラー プラトー領域の間 (パワー スイッチのドレインまたはコレクタ電圧に dV/dt が生じるとき) に最大のピーク ソース電流を供給できるプルアップ構造を採用しています。出力段のプルアップ構造は、P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列接続したものです。N チャネル MOSFET の役割は、ピーク ソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、このような動作を実現します。

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。これは、プルアップ N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするためです。この N チャネル デバイスのオン抵抗は約 1.47Ω です。したがって、この短いターンオン フェーズにおける UCC21331-Q1 のプルアップ段の実効抵抗は、プルアップ NMOS とプルアップ PMOS の間の並列抵抗です。この値は 1.47Ω // 5Ω で、R_{OH} パラメータで示されるよりはるかに小さい値です。R_{OH} の値は、UCC21331-Q1 のターンオン時間の高速性を正しく示していません。

UCC21331-Q1 のプルダウン構造は、N チャネル MOSFET で単純に構成されています。R_{OL} パラメータ (これも DC 測定値です) は本デバイスのプルダウン状態のインピーダンスを表します。UCC21331-Q1 の両方の出力は、4A のピーク ソース電流と 6A のピーク シンク電流のパルスを供給できます。VDD と VSS の間の出力電圧スイングは、非常に低いドロップアウトを実現する MOS 出力段により、レール ツー レール動作を実現します。

ゲート ドライバを確実に動作させるため、最小パルス幅に特に注意を払います。電気的特性表に示す最小パルス幅は、無負荷のドライバにおいて出力まで到達する最小入力パルスを表します。これは、ドライバ IC に内蔵されたグリッチ除去フィルタによって決定されます。出力状態の変化を保証し、貫通電流を防止するには、仕様の最大値よりも長い入力オン / オフ パルス幅が必要です。ドライバの負荷が重い場合、システムを確実に動作させるために特別の注意を払う必要があります。ゲート スイッチング中、ドライバが各遷移を完了する前に出力状態が変化すると、非ゼロ電流スイッチング イベントが発生します。レイアウトによって生じる寄生素子と相まって、非ゼロ電流スイッチングは内部レールのオーバーシュートとゲート ドライバの EOS 損傷の原因となる可能性があります。したがって、信頼性の高いシステム動作のために、最小出力パルス幅が求められます。この最小出力パルス幅は、ゲート容量、VDD 電源電圧、ゲート抵抗、PCB レイアウト起因の寄生素子など、複数の要因に依存します。確実に動作させるために必要な最小パルス幅は、電気的特性表に示されている最小パルス幅よりも大きい場合があります。各システムに必要な最小出力パルス幅を決定するには、システム レベルの検討を行う必要があります。

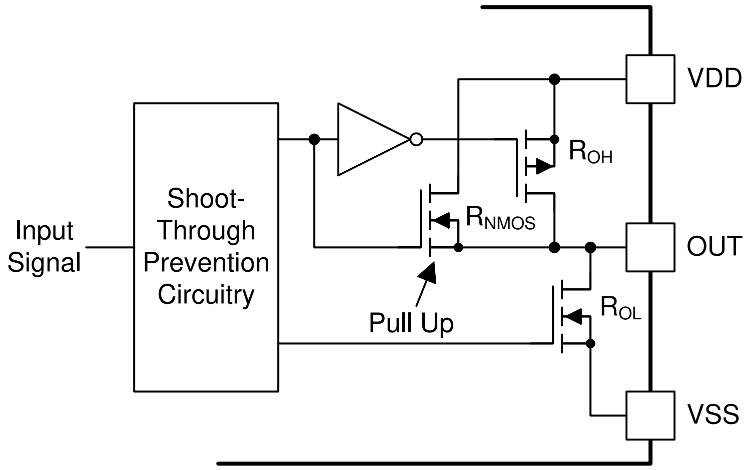

VDD
R_OH
Shoot-Through Prevention Circuitry
Input Signal
R_NMOS
OUT
Pull Up
R_OL
VSS

図 7-2. 出力段

7.3.5 UCC21331-Q1 のダイオード構造

図 7-3 に、UCC21331-Q1 の ESD 保護素子として機能する複数のダイオードを示します。これは、本デバイスの絶対最大定格を図で表したものです。

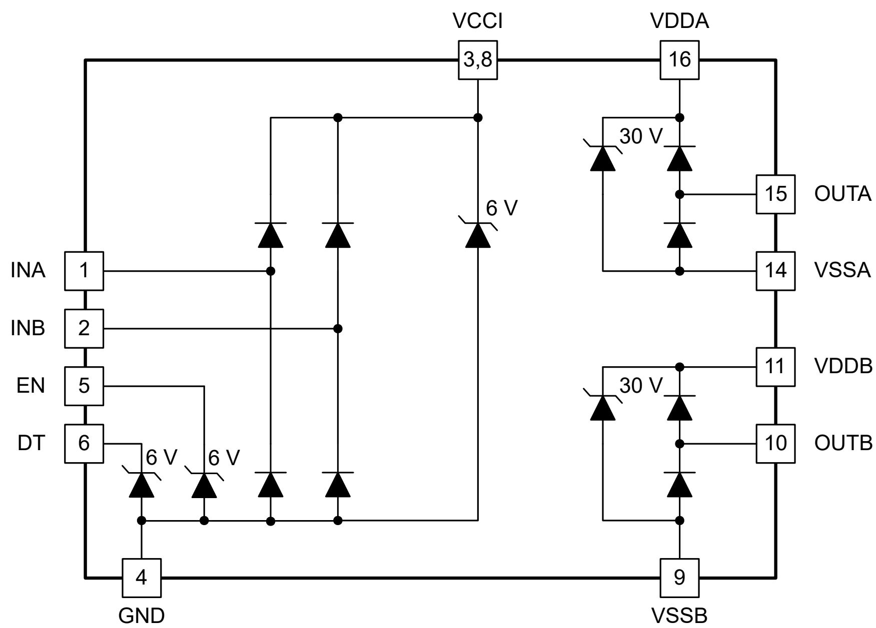


図 7-3. ESD 構造

7.4 デバイスの機能モード

7.4.1 イネーブル ピン

EN ピンを Low に設定する (またはオープンのままにする) と、両方の出力が同時にシャットダウンされます。EN ピンを High にプルすると、UCC21331-Q1 が通常動作できます。EN 応答遅延の標準値は 48ns です。EN ピンは、VCCI が UVLO スレッショルドを上回っている場合にのみ機能し (また必要とされ) ます。EN ピンを使用しない場合、ノイズ耐性を向上させるため、このピンを VCCI に接続することを推奨します。また、EN ピンを長い配線でマイクロコントローラに接続する場合、EN ピンの近くに配置した 100pF～1nF の低 ESR/ESL コンデンサを使ってバイパスすることを推奨します。

7.4.2 プログラム可能なデッド タイム (DT) ピン

UCC21331-Q1 では、次の方法でデッド タイム (DT) を調整できます。

7.4.2.1 DT ピンを VCC に接続

出力は入力と完全に一致するため、デッド・タイムはアサートされません。その結果、出力はオーバーラップできます。

7.4.2.2 DT ピンと GND ピンとの間の設定抵抗に接続される DT ピン

DT ピンと GND の間に抵抗 R_{DT} を配置することで、t_{DT} を設定できます。R_{DT} の適切な値は、式 1 から求めることができます。ここで、R_{DT} の単位は kΩ、t_{DT} の単位は ns です。

$$t_{DT} = 8.6 \times R_{DT} + 13 \tag{1}$$

R_{DT} = 100kΩ のとき、DT ピンの電流は 10µA 未満です。DT ピンをフローティングのままにすることは推奨しません。

入力信号の立ち下がりエッジで、他方の信号の設定済みデッド・タイムが作動します。出力信号のデッド・タイムは常に、ドライバの設定済みデッド・タイムと入力信号のデッド・タイムのどちらか長い方に設定されます。両方の入力が同時に High になった場合、両方の出力は即座に Low に設定されます。この機能は、貫通電流を防止するために使用され、通常動

作時は設定済みデッド・タイムの影響を受けません。ドライバのデッド・タイム・ロジックのさまざまな動作条件をセクション 7.3.2 に示し、説明します。

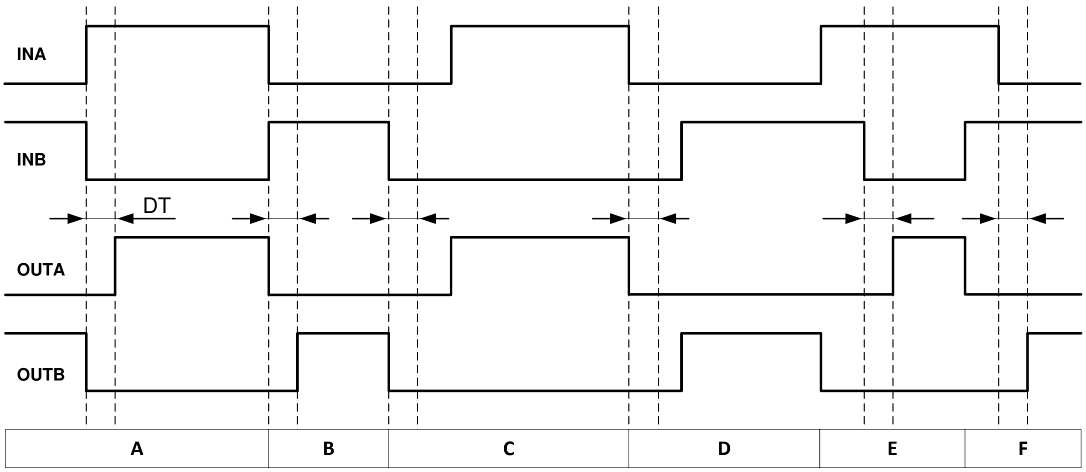


図 7-4. 入力信号と入出力ロジックの関係

条件 **A**:INB が Low、INA が High に遷移します。INB は即座に OUTB を Low に設定し、設定済みデッド・タイムが OUTA に割り当てられます。設定済みデッド・タイムの後、OUTA は High に遷移できます。

条件 **B**:INB が High、INA が Low に遷移します。今度は INA は即座に OUTA を Low に設定し、設定済みデッド・タイムが OUTB に割り当てられます。設定済みデッド・タイムの後、OUTB は High に遷移できます。

条件 **C**:INB が Low に遷移しますが、INA はまだ Low のままです。INB は即座に OUTB を Low に設定し、設定済みデッド・タイムが OUTA に割り当てられます。この例では、入力信号自体のデッド・タイムは設定済みデッド・タイムよりも長くなっています。したがって、INA が High になると、即座に OUTA が High に設定されます。

条件 **D**:INA が Low になりますが、INB はまだ Low のままです。INA は即座に OUTA を Low に設定し、設定済みデッド・タイムが OUTB に割り当てられます。INB 自体のデッド・タイムは、プログラムされたデッド・タイムよりも長くなります。したがって、INB が High になると、即座に OUTB が High に設定されます。

条件 **E**:INB と OUTB がまだ High のうちに、INA が High に遷移します。貫通電流を防止するため、INA は OUTB を即座に Low にプルし、OUTA を Low に維持します。その後 OUTB は Low に遷移し、設定済みデッド・タイムが OUTA に割り当てられます。OUTB はすでに Low になっているため、設定済みデッド・タイムの後、OUTA は High に遷移できます。

条件 **F**:INA と OUTA がまだ High のうちに、INB が High に遷移します。貫通電流を防止するため、INB は OUTA を即座に Low にプルし、OUTB を Low に維持します。その後 OUTA は Low に遷移し、設定済みデッド・タイムが OUTB に割り当てられます。OUTA はすでに Low になっているため、設定済みデッド・タイムの後、OUTB は High に遷移できます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC21331-Q1 は絶縁機能とバッファ駆動機能を効果的に統合しています。UCC21331-Q1 は柔軟かつ汎用的 (最高 5.5V の VCCI と 25V の VDDA/VDDB) なので、MOSFET、IGBT、SiC MOSFET 用のローサイド、ハイサイド、ハイサイド / ローサイド、ハーフ ブリッジのドライバとして使用できます。UCC21331-Q1 は各種の部品が統合され、先進の保護機能 (UVLO、デッド タイム、ディスエーブル) を持ち、スイッチング性能が最適化されているため、エンタープライズ、テレコム、車載、産業アプリケーション向けに、より小型かつ堅牢な設計を短期間で開発できます。

8.2 代表的なアプリケーション

図 8-1 の回路は、UCC21331-Q1 を使用して標準的なハーフ ブリッジ構成を駆動するリファレンス デザインを示したものです。この構成は、同期整流式降圧、同期整流式昇圧、ハーフ ブリッジ / フル ブリッジ絶縁型トポロジ、3 相モーター駆動アプリケーションなどいくつかの一般的なパワー コンバータ トポロジで使えます。

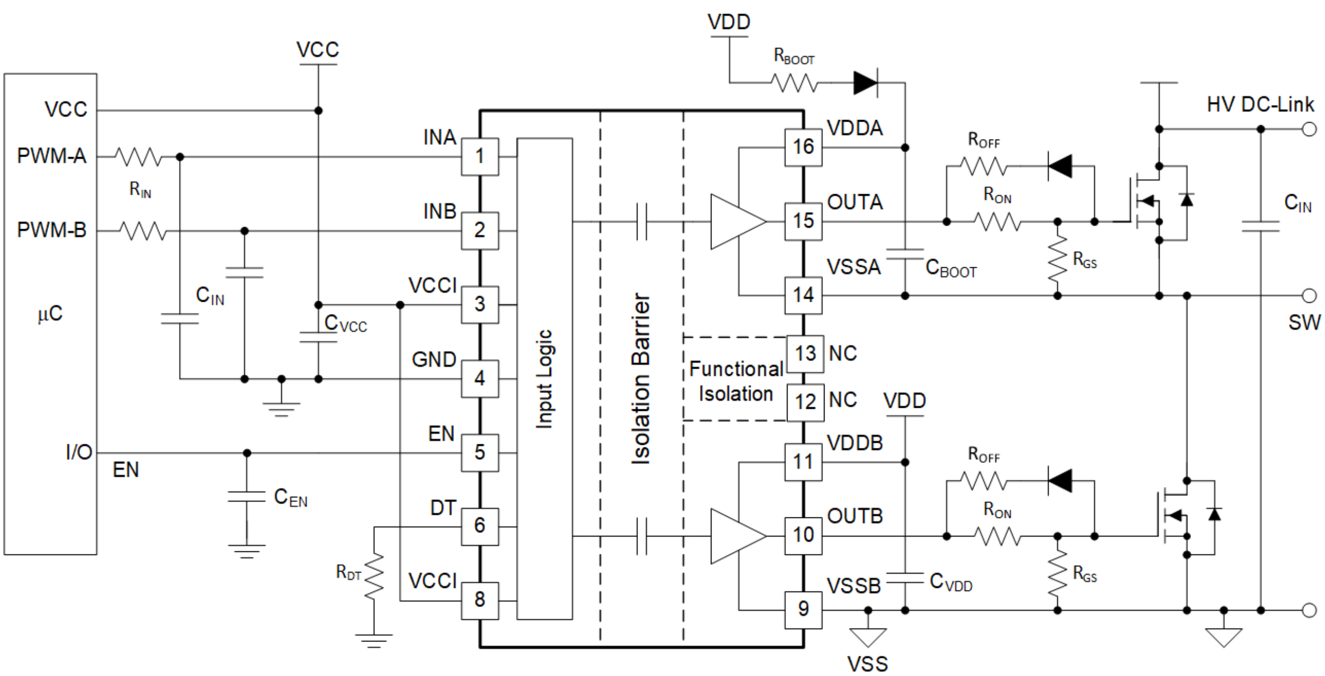


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 に、ハイサイド / ローサイド構成で 1200V SiC-MOSFET を駆動する UCC21331-Q1 の応用例のリファレンス デザイン パラメータを示します。

表 8-1. UCC21331-Q1 の設計要件

パラメータ	値	単位
パワー トランジスタ	C2M0080120D	-
VCC	5.0	V
VDD	20	V
入力信号振幅	3.3	V
スイッチング周波数 (f_s)	100	kHz
DC リンク電圧	800	V

8.2.2 詳細な設計手順

8.2.2.1 INA/INB 入力フィルタの設計

出力の信号を低速にする (または遅延させる) 目的でゲート・ドライバへの信号を成形することは推奨しません。しかし、理想的でないレイアウトまたは長い PCB 配線によって生じるリンギングを除去するために小さな入力 R_{IN}-C_{IN} フィルタを使用することはできます。

このようなフィルタでは、0～100Ω の R_{IN} と 10～100pF の C_{IN} を使用する必要があります。この例では、R_{IN} = 51Ω と C_{IN} = 33pF が選択されており、コーナー周波数は約 100MHz です。

これらの部品を選択する際は、ノイズ耐性と伝搬遅延のトレードオフに注意します。

8.2.2.2 外部ブートストラップ ダイオードとその直列抵抗の選択

ブートストラップ コンデンサは、ローサイド トランジスタがターンオンするごとに、外付けブートストラップ ダイオードを通して VDD で充電されます。コンデンサの充電には大きなピーク電流を伴うため、ブートストラップ ダイオード内の過渡的な消費電力が大きくなる場合があります。導通損失は、ダイオードの順方向電圧降下にも影響されます。ダイオードの導通損失と逆方向回復損失の両方が、ゲートドライバ回路の総合損失に影響を与えます。

外付けブートストラップ ダイオードを選択する場合、逆方向回復とそれに関連するグランド ノイズ バウンスによる損失を最小限に抑えるため、順方向電圧降下が小さくかつ接合部容量が小さい高耐圧の高速回復ダイオードまたは SiC ショットキー ダイオードを選択することを推奨します。この例では、DC リンク電圧は 800V_{DC} です。ブートストラップ ダイオードの定格電圧は、十分なマージンを持って DC リンク電圧よりも高くする必要があります。そのため、この例では 1200V SiC ダイオード C4D02120E を選択しています。

ブートストラップ電源を設計する場合、ブートストラップ抵抗 (R_{BOOT}) を使用することを推奨します。また、ブートストラップ抵抗は、D_{BOOT} の突入電流を低減し、各スイッチング サイクル中の VDDA-VSSA 電圧の上昇スルーレートを制限するためにも使われます。

VDDx と VSSx の間に印加する電圧が、FET と UCC21331-Q1 の絶対最大定格を下回るように制限しないと、特定の条件でデバイスに永続的な損傷が生じる可能性があります。

R_{BOOT} の推奨値は、使用するダイオードの種類に応じて 1Ω～20Ω です。この例では、ブートストラップ ダイオードの突入電流を制限するため、2.2Ω の電流制限抵抗を選択しています。最も厳しい条件での D_{Boot} のピーク電流の推定値は以下の式で表されます。

$$I_{DBoot(pk)} = \frac{V_{DD} - V_{BDF}}{R_{Boot}} = \frac{20V - 2.5V}{2.2\Omega} \approx 8A \quad (2)$$

ここで、

- V_{BDF} は、8A の電流が流れたときのブートストラップ ダイオードの順方向電圧降下の推定値です。

8.2.2.3 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 R_{ON}/R_{OFF} は以下の目的に使われます。

1. 寄生インダクタンス / 容量に起因するリンギングの制限
2. 高電圧 / 電流スイッチングの dv/dt、di/dt、ボディダイオードの逆方向回復に起因するリンギングの制限
3. ゲート駆動強度 (ピーク シンクおよびソース電流など) の微調整によるスイッチング損失の最適化
4. 電磁干渉 (EMI) の低減

セクション 7.3.4 で述べたように、UCC21331-Q1 は P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列にしたプルアップ構造を備えています。これらを合わせたピーク ソース電流は 4A です。その結果、ピーク ソース電流は以下の式で予測できます。

$$I_{OA+} = \min\left(4A, \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET\_Int}}\right) \tag{3}$$

$$I_{OB+} = \min\left(4A, \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET\_Int}}\right) \tag{4}$$

ここで、

- V_{BDF} は、8A の電流が流れたときのブートストラップ ダイオードの順方向電圧降下の推定値です。
- R_{ON}:外部ターンオン抵抗。
- R_{GFET_INT}:パワー トランジスタの内部ゲート抵抗 (パワー トランジスタのデータシートを参照)
- I_{O+} = ピーク ソース電流 – 4A (ゲートドライバ ピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{OA+} = \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET\_Int}} = \frac{20V - 0.8V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 4.6\Omega} \approx 2.4A \tag{5}$$

$$I_{OB+} = \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET\_Int}} = \frac{20V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 4.6\Omega} \approx 2.5A \tag{6}$$

その結果、ハイサイドとローサイドのピーク ソース電流はそれぞれ 2.4A と 2.5A となります。同様に、ピーク シンク電流は以下の式で計算されます。

$$I_{OA-} = \min\left(6A, \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET\_Int}}\right) \tag{7}$$

$$I_{OB-} = \min\left(6A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET\_Int}}\right) \tag{8}$$

ここで、

- R_{OFF}:外部ターンオフ抵抗。
- V_{GDF}:R_{OFF} と直列に接続された逆並列ダイオードの順方向電圧降下。この例のダイオードは MSS1P4 です。
- I_{O-}:ピーク シンク電流 – 6A (ゲートドライバのピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{OA-} = \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET\_Int}} = \frac{20V - 0.8V - 0.75V}{0.55\Omega + 0\Omega + 4.6\Omega} \approx 3.6A \quad (9)$$

$$I_{OB-=} \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET\_Int}} = \frac{20V\text{-}0.75V}{0.55\Omega + 0\Omega + 4.6\Omega} \approx 3.7A \quad (10)$$

その結果、ハイサイドとローサイドのピーク シンク電流はそれぞれ 3.6A と 3.7A となります。

推定ピーク電流は PCB レイアウトと負荷容量によっても影響されることに注意します。ゲートドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲート ドライバのループをできるだけ小さくすることを強く推奨します。一方、パワー トランジスタの負荷容量 (C_{ISS}) が非常に小さい (通常 1nF 未満) 場合、ピーク ソース / シンク電流はループ寄生素子に支配されます。なぜなら、立ち上がりおよび立ち下がり時間が非常に小さく、寄生リンギングの周期に近いためです。

OUTx 電圧がデータシートの絶対最大定格を (過渡を含めて) 下回るように制御しないと、デバイスに永続的な損傷が生じる可能性もあります。ゲートの過剰なリンギングを低減するため、FET のゲートの近くにフェライト ビーズを使用することを推奨します。オーバーシュート / アンダーシュートが大きい場合、OUTx 電圧を VDDx および VSSx 電圧にクランプするために外部クランプ ダイオードを追加することもできます。

8.2.2.4 ゲート - ソース間抵抗の選択

ゲート・ドライバ出力に電力が供給されておらず不定状態にある場合、ゲート - ソース間抵抗 (R_{GS}) を使ってゲートをソース電圧にプルダウンすることを推奨します。この抵抗は、ゲート・ドライバがターンオンして Low を駆動できるようになる前にミラー電流によって dv/dt 起因でターンオンするリスクの低減にも役立ちます。この抵抗は、パワー・デバイスの Vth と C_{GD}/C_{GS} 比に応じて、通常 5.1kΩ～20kΩ の値に設定されます。

8.2.2.5 ゲート ドライバの電力損失の推定

ゲート ドライバ サブシステムの総合損失 P_G には、UCC21331-Q1 の電力損失 (P_{GD}) と、外部ゲート ドライブ抵抗などの周辺回路の電力損失が含まれます。ブートストラップ ダイオードの損失は P_G に含まれず、このセクションでは触れません。

P_{GD} は、UCC21331-Q1 の熱的安定性に関連する制限値を決定する主要な電力損失で、複数の要因からの損失を計算することにより推定できます。

第 1 の要因は静的電力損失 P_{GDQ} です。これにはドライバの静止電力損失と、特定のスイッチング周波数で動作しているドライバの自己消費電力が含まれます。P_{GDQ} は、与えられた VCCI、VDDA/VDDB、スイッチング周波数、周囲温度において、OUTA と OUTB に負荷が接続されていない状態でベンチ測定されます。この例では、V_{VCCI} = 5V、V_{VDD} = 20V です。INA/INB を 0V から 3.3V まで 100kHz でスイッチングした場合の各電源の電流は、I_{VCCI} = 2.5mA、I_{VDDA} = I_{VDDB} = 2.5mA と測定されます。その結果、P_{GDQ} は以下の式で計算できます。

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + V_{VDDA} \times I_{DDA} + V_{VDDB} \times I_{DDB} = 112.5mW \quad (11)$$

第 2 の要因は、各スイッチング サイクル中にドライバが負荷を充放電する際の、与えられた負荷容量でのスイッチング動作損失 P_{GDO} です。負荷スイッチングによる総合動的損失 P_{GSW} は以下の式で推定できます。

$$P_{GSW} = 2 \times V_{DD} \times Q_G \times f_{SW} \quad (12)$$

ここで、

- Q_G はパワー トランジスタのゲート電荷です。

ターンオン / ターンオフするために分割レールを使う場合、VDD は正レールと負レールの差に等しくなります。

そのためこのアプリケーション例の場合、以下の式で表されます。

$$P_{GSW} = 2 \times 20V \times 60nC \times 100kHz = 240mW \tag{13}$$

Q_G は、20A で 800V をスイッチングするパワー トランジスタの総ゲート電荷量を表します。テスト条件が変わると、この値も変わる可能性があります。UCC21331-Q1 の出力段のゲート ドライバ損失 P_{GDO} は P_{GSW} の一部です。外部ゲート ドライバ抵抗がゼロの場合、P_{GDO} は P_{GSW} と等しくなり、すべてのゲート ドライバ損失は UCC21331-Q1 の内部で消費されます。外部ターンオンおよびターンオフ抵抗が存在する場合、総合損失はゲート ドライバのプルアップ / ダウン抵抗と外部ゲート抵抗との間で分配されます。ソース / シンク電流が 4A/6A に飽和していない場合、プルアップ / ダウン抵抗は線形かつ固定ですが、ソース / シンク電流が飽和している場合、プルアップ / ダウン抵抗は非線形であることに注意します。そのため、これらの 2 つの条件によって P_{GDO} は異なります。

ケース 1 - 線形のプルアップ / ダウン抵抗:

$$P_{GDO} = \frac{P_{GSW}}{2} \times \left(\frac{R_{OH} \| R_{NMOS}}{R_{OH} \| R_{NMOS} + R_{ON} + R_{GFET\_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \| R_{ON} + R_{GFET\_Int}} \right) \tag{14}$$

この設計例では、想定されるすべてのソース / シンク電流は 4A/6A 未満であるため、UCC21331-Q1 のゲート ドライバ損失は以下の式で推定できます。

$$P_{GDO} = \frac{240mW}{2} \times \left(\frac{5\Omega||1.47\Omega}{5\Omega||1.47\Omega + 2.2\Omega + 4.6\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 4.6\Omega)} \right) \approx 30mW \tag{15}$$

ケース 2 - 非線形のプルアップ / ダウン抵抗:

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_0^{T_{R\_Sys}} \left(V_{DD} - V_{OUTA/B}(t) \right) dt + 6A \times \int_0^{T_{F\_Sys}} V_{OUTA/B}(t) dt \right] \tag{16}$$

ここで、

- $V_{OUTA/B}(t)$ は、ターンオンおよびオフ過渡時のゲート ドライバ (OUTA、OUTB) のピン電圧であり、定電流源 (ターンオン時に 4A、ターンオフ時に 6A) が負荷コンデンサを充電 / 放電するものとして簡略化できます。その結果、$V_{OUTA/B}(t)$ 波形は線形となり、T_{R_Sys} と T_{F_Sys} は簡単に予測できます。

一部の条件で、プルアップ回路とプルダウン回路のどちらかのみが飽和し、他方が飽和していない場合、P_{GDO} はケース 1 とケース 2 の組み合わせとなり、上記の説明に基づいて、プルアップとプルダウンに対して式を簡単に特定できます。その結果、ゲート ドライバ UCC21331-Q1 で消費される総合ゲート ドライバ損失 P_{GD} は、以下のように表されます。

$$P_{GD} = P_{GDQ} + P_{GDO} \tag{17}$$

これは、本設計例では 142.5mW に相当します。

8.2.2.6 推定接合部温度

UCC21331-Q1 の接合部温度 (T_J) は、次の式で推定できます。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{18}$$

ここで、

- T_C は、熱電対またはその他の手段で測定された、UCC21331-Q1 のケース上面温度です。
- Ψ_{JT} は、接合部から上面への特性パラメータです。

接合部からケースへの熱抵抗 ($R_{ΘJC}$) の代わりに接合部から上面への特性パラメータ ($Ψ_{JT}$) を使用することで、接合部温度の推定の精度を大幅に向上させることができます。ほとんどの IC の熱エネルギーの大半は、パッケージのリードを経由して PCB に放散されるのに対して、全エネルギーのごく一部のみがケース上面から放散されます (通常は熱電対で測定されます)。$R_{ΘJC}$ は、熱エネルギーの大部分がケースを通して放散される場合 (例:金属パッケージが使われている場合、IC パッケージにヒートシンクが取り付けられている場合) にのみ有効に使用できます。それ以外の場合に $R_{ΘJC}$ を使っても、真の接合部温度を正確に推定することはできません。$Ψ_{JT}$ は、IC の上面を通して放散されるエネルギー量が、テスト環境とアプリケーション環境で同等であると仮定することで実験的に求められます。推奨レイアウト ガイドラインが守られている限り、接合部温度は数°C以内の精度で推定できます。詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*を参照してください。

8.2.2.7 VCCI、VDDA/B コンデンサの選択

VCCI、VDDA、VDDB のバイパス・コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量許容差を持つ、低 ESR/ESL で表面実装型の多層セラミック・コンデンサ (MLCC) を推奨します。MLCC の DC バイアスは実際の容量値に影響を与えることに注意します。たとえば、25V、1µF X7R のコンデンサは、15V_{DC} の DC バイアスを印加した場合、わずか 500nF として測定されます。

8.2.2.7.1 VCCI コンデンサの選択

VCCI に接続されたバイパス・コンデンサは、1 次側ロジックに必要な過渡電流と総消費電流に対応しますが、これはわずか数 mA です。したがって、この用途には 100nF 以上の 50V MLCC を推奨します。バイアス電源出力が VCCI ピンから比較的離れた場所にある場合、1µF 以上の値のタンタルまたは電解コンデンサを MLCC と並列に配置する必要があります。

8.2.2.7.2 VDDA (ブートストラップ) コンデンサの選択

ブートストラップ電源構成の VDDA コンデンサ (*ブートストラップ コンデンサ*とも呼びます) によって、最大 6A のゲート駆動過渡電流、パワー トランジスタの安定したゲート駆動電圧を実現しています。

スイッチング サイクルごとに必要な総電荷量は以下の式で推定できます。

$$Q_{Total} = Q_G + \frac{I_{VDD}}{f_{sw}} = 60nC + \frac{2.5mA}{100kHz} = 85nC \tag{19}$$

ここで、

- Q_{Total}:必要な総電荷量
- Q_G:パワー トランジスタのゲート電荷量
- I_{VDD}:チャネルの自己消費電流 (無負荷、100kHz 時)
- f_{SW}:ゲートドライバのスイッチング周波数

したがって、C_{Boot} の最小値の絶対条件は次のとおりです。

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{VDDA}} = \frac{85nC}{0.5V} = 170nF \tag{20}$$

ここで、

- $ΔV_{VDDA}$ は VDDA での電圧リップルであり、この例では 0.5V です。

実際には、C_{Boot} の値は計算値よりも大きくします。そうすることで、DC バイアス電圧によって生じる静電容量の変化と、あるいは負荷過渡によって電力段がパルスをスキップする状況を許容できます。したがって、C_{Boot} の値に安全マージンを含め、CBoot を VDD ピンと VSS ピンのできるだけ近くに配置することを推奨します。この例では、50V、1µF のコンデンサを選択しています。

$$C_{Boot} = 1\mu F \tag{21}$$

ブートストラップ コンデンサを選択する際は、VDD と VSS の間の電圧が「推奨動作条件」に示した推奨最小動作レベルを下回らないように注意する必要があります。ブートストラップ コンデンサの値は、パワー デバイスをスイッチングするための初期の電荷を供給した後、ハイサイドのオン時間が継続する間ゲート ドライバの静止電流を継続的に供給できるように設定する必要があります。

ハイサイド電源電圧が UVLO 立ち下がりスレッショルドを下回ると、ハイサイド ゲート ドライバ出力はターンオフし、パワー デバイスをオフに切り換えます。パワー デバイスを制御せずにハード スイッチングを行うと、ドライバ出力に高 di/dt および高 dv/dt 過渡が発生し、デバイスに永続的な損傷が生じる可能性があります。

広い周波数範囲にわたって AC インピーダンスをさらに低減するため、低 ESL/ESR のバイパス コンデンサを VDDx - VSSx ピンのごく近くに配置することを推奨します。この例では、過渡性能を最適化するため、100nF の X7R セラミック コンデンサを C_{Boot} と並列に配置しています。

注

大きすぎる C_{BOOT} が常に良いとは限りません。C_{BOOT} が最初の数サイクルでは充電されず、V_{BOOT} が UVLO を下回ったままになる可能性があります。その場合、ハイサイド FET は入力信号コマンドに従いません。また、初期の C_{BOOT} 充電サイクル中、ブートストラップ ダイオードに大きな逆方向回復電流および損失が生じます。

8.2.2.7.3 VDDB コンデンサの選択

チャネル B の電流要件はチャネル A と同じであるため、VDDB コンデンサ (図 8-1 の C_{VDD}) が必要です。ブートストラップ構成を使ったこの例では、VDDB コンデンサはブートストラップ・ダイオードを通して VDDA にも電流を供給します。10μF (50V) の MLCC と 220nF (50V) の MLCC を C_{VDD} として選択しています。バイアス電源出力が VDDB ピンから比較的離れた場所にある場合、10μF を超える値のタンタルまたは電解コンデンサを CVDD と並列に接続する必要があります。

8.2.2.8 デッド タイム設定の指針

ハーフ ブリッジを利用したパワー コンバータ トポロジでは、動的スイッチング中の貫通電流を防止するための、上側と下側のトランジスタの間のデッド タイム設定が重要です。

UCC21331-Q1 の電気的特性表に記載されているデッド タイム仕様は、一方のチャネルの立ち下がりエッジの 90% から、他方のチャネルの立ち上がりエッジの 10% までの時間差として定義されています (図 6-4 を参照)。この定義により、デッド タイム設定が負荷条件の影響を受けず、かつ製造試験時に直線性が保たれることが保証されます。しかし、このデッド タイム設定は、パワー コンバータ システムのデッド タイムを反映していない可能性があります。デッド タイム設定は外部ゲート ドライブのターンオン / オフ抵抗、DC リンクのスイッチング電圧 / 電流、負荷トランジスタの入力容量に依存するためです。

UCC21331-Q1 のために適切なデッド タイムを選択する方法についての推奨事項を以下に示します。

$$DT_{Setting} = DT_{Req} + T_{F\_Sys} + T_{R\_Sys} - T_{D(on)} \tag{22}$$

ここで、

- $DT_{setting}$：UCC21331-Q1 のデッド タイム設定 (ns)、$DT_{Setting}$ = 8.6 × RDT (kΩ) + 13。
- DT_{Req}：システムが必要とする十分なマージン (ZVS 要件) を確保した上 / 下スイッチの実際の V_{GS} 信号間のデッド タイム。
- T_{F_Sys}：負荷、電圧、電流のワースト ケースでのインシステム ゲート ターンオフ立ち下がり時間。
- T_{R_Sys}：負荷、電圧、電流のワースト ケースでのインシステム ゲート ターンオン立ち上がり時間。
- $T_{D(on)}$：ターンオン遅延時間 (トランジスタ ゲート信号の 10% からパワー トランジスタ ゲート スレッショルドまで)

UCC21331-Q1 のデッド タイム設定は DT ピンの構成によって決定され (セクション 7.4.2 を参照)、システム条件に基づいて自動的にデッド タイムが微調整されないことに注意してください。

8.2.2.9 出力段の負バイアスを使う応用回路

理想的でない PCB レイアウトと長いパッケージ リード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリンギングが生じる可能性があります。リンギングがスレッショルド電圧を上回る場合、予期しないターンオンのリスクがあり、貫通電流のリスクさえあります。ゲート駆動に負のバイアスを印加することは、このようなリンギングをスレッショルドよりも低く保つための一般的な方法です。負のゲート駆動バイアスの実装方法の例をいくつか以下に示します。

図 8-2 に第 1 の例を示します。この例では、絶縁型電源の出力段に接続したツェナー ダイオードを使って負バイアスを印加することでチャネル A ドライバをターンオフさせています。この負バイアスはツェナー ダイオード電圧によって設定されます。絶縁型電源 V_A の電圧が 25V である場合、ターンオフ電圧は -5.1V、ターンオン電圧は 25V - 5.1V ≈ 20V です。チャネル B ドライバ回路は、チャネル A と同じです。そのため、この構成では 1 つのハーフ ブリッジ構成に対して 2 つの電源が必要であり、R_Z によって定常的に電力が消費されます。

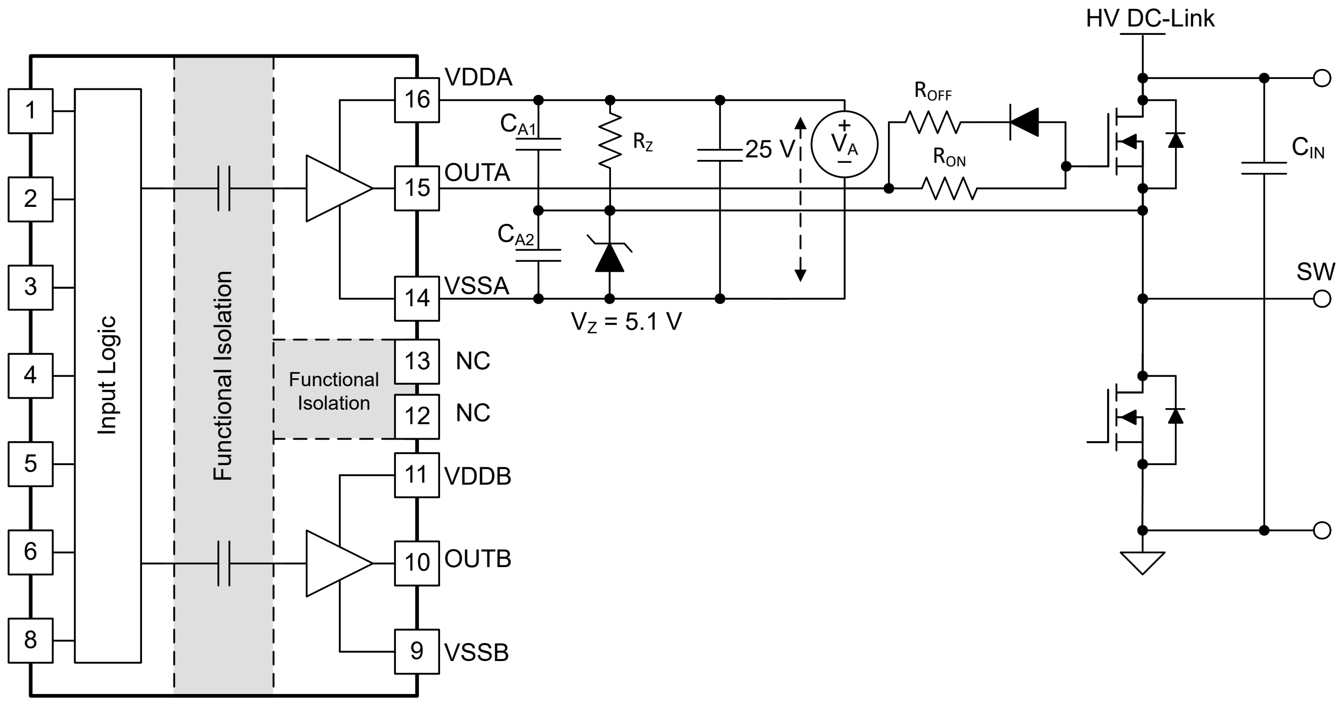


図 8-2. 絶縁型バイアス電源の出力に接続したツェナー ダイオードによる負バイアス印加

図 8-3 に、2 つの電源 (または 1 つの 1 入力 2 出力電源) を使う別の例を示します。電源 V_{A+} が正の駆動出力電圧を決定し、電源 V_{A-} が負のターンオフ電圧を決定します。チャネル B の構成はチャネル A と同じです。この方法は第 1 の例よりも多くの電源を必要としますが、正および負レール電圧をより柔軟に設定できます。

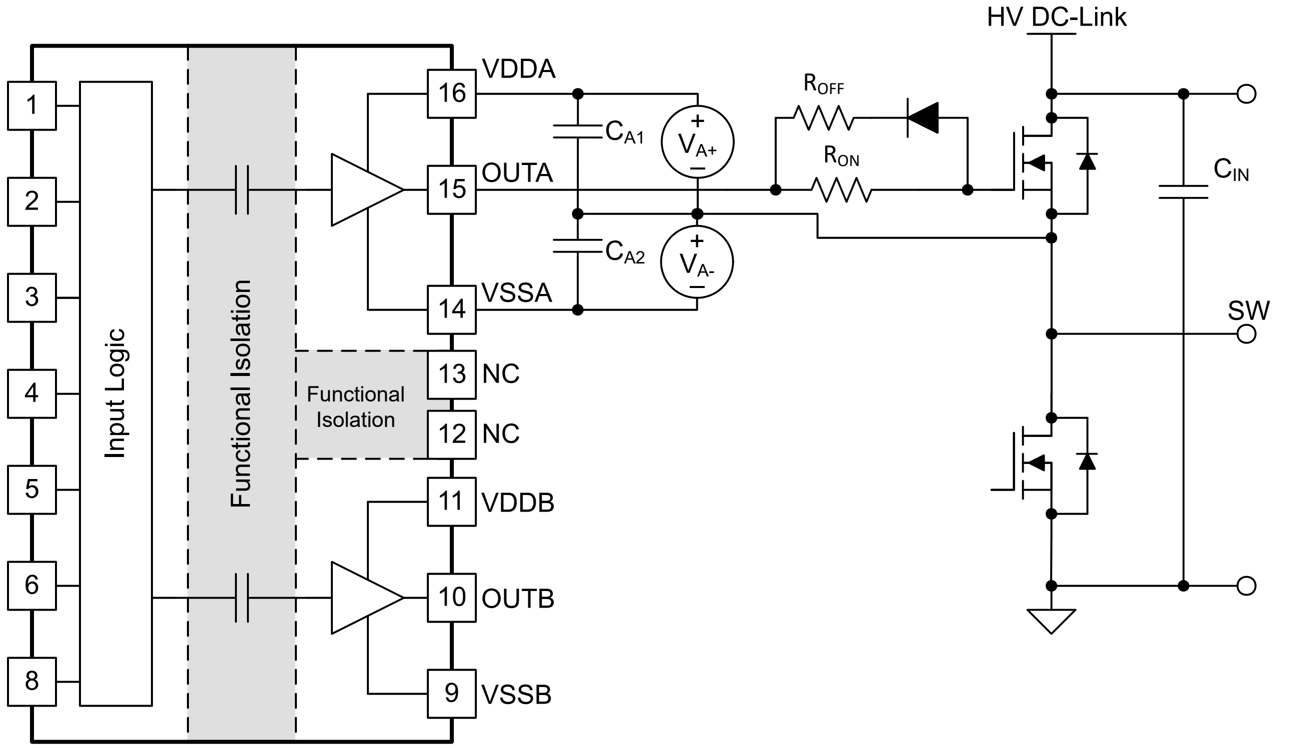


図 8-3. 2 つの絶縁型バイアス電源による負バイアス印加

図 8-4 に示す最後の例は単一電源構成であり、ゲート駆動ループ内のツェナー ダイオードによって負バイアスを生成しています。この方法の利点は、1 つの電源のみを使い、ブートストラップ電源をハイサイド駆動に使えることです。この設計は、3 つの方法のうちでコストと設計工数が最も少なくて済みます。しかし、この方法には以下の制約があります。

1. 負のゲート駆動バイアスはツェナー ダイオードのみによって決まるのではなく、デューティ サイクルによっても影響されます。これは、デューティ サイクルが変化すると負バイアス電圧が変化することを意味しています。そのため、固定デューティ サイクル (約 50%) のコンバータ (例: 可変周波数共振コンバータ、位相シフト コンバータ) がこの方法に適しています。
2. 推奨電源電圧範囲を維持するには、ハイサイド VDDA-VSSA として十分な電圧を維持する必要があります。これは、ブートストラップ コンデンサをリフレッシュするために、各スイッチング サイクルの間、ローサイド スイッチをターンオンさせ、またはボディ ダイオード (または逆並列ダイオード) にフリーホイール電流を流す必要があることを意味します。そのため、他の 2 つの回路例と同様のハイサイド専用電源を使わない限り、ハイサイドを 100% デューティ サイクルにすることはできません。

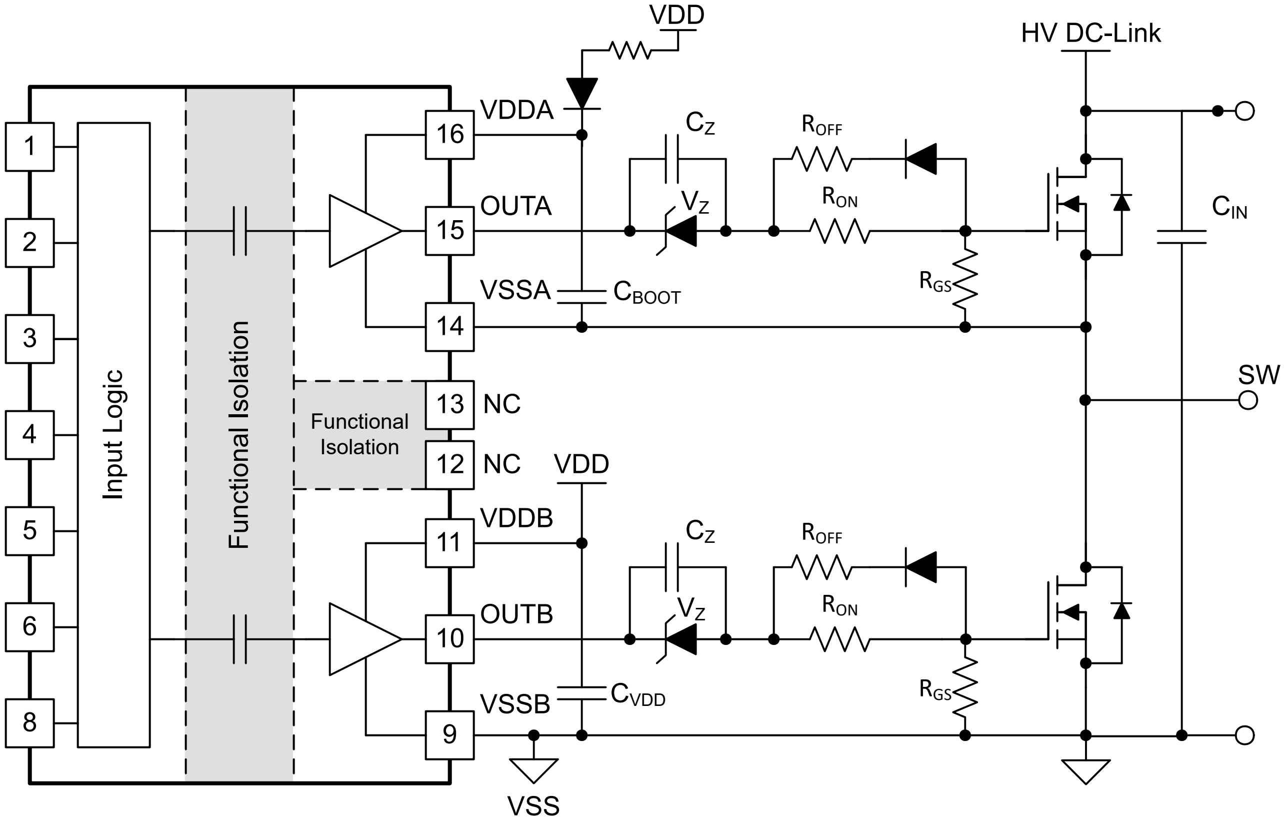


図 8-4. 1 つの電源とゲート駆動経路内のツェナー ダイオードによる負バイアス印加

8.2.3 アプリケーション曲線

図 8-5 に、図 8-1 に示す設計例の以下の条件におけるベンチ テスト波形を示します。VCC = 5V、VDD = 20V、f_{SW} = 100kHz、$V_{DC\text{-}Link}$ = 0V。

チャネル **1 (黄)**: UCC21331-Q1 の INA ピン信号。

チャネル **2 (青)**: UCC21331-Q1 の INB ピン信号。

チャネル **3 (ピンク)**: ハイサイド パワー トランジスタのゲート - ソース間の信号

チャネル **4 (緑)**: ローサイド パワー トランジスタのゲート - ソース間の信号

図 8-5. INA/B と OUTA/B のベンチ テスト波形

9 電源に関する推奨事項

UCC21331-Q1 の推奨入力電源電圧 (VCCI) は 2.7V～5.5V です。出力バイアス電源電圧 (VDDA/VDDB) 範囲は、UCC21331-Q1 のどのバージョンを使用しているかによって異なります。このバイアス電源範囲の下限は、各デバイスの内部低電圧誤動作防止 (UVLO) 保護機能によって制御されます。VDD または VCCI が、それぞれの UVLO スレッショルドを下回らないようにする必要があります (UVLO の詳細については、セクション 7.3.1 を参照)。VDDA/VDDB の上限は、UCC21331-Q1 が駆動するパワー デバイス (VDDA/VDDB の推奨最大電圧は 25V) の最大ゲート電圧で決まります。

VDD ピンと VSS ピンの間にローカル バイパス コンデンサを配置する必要があります。このコンデンサは、デバイスにできる限り近づけて配置する必要があります。低 ESR の表面実装型セラミック コンデンサを推奨します。さらに 2 つのコンデンサの配置を推奨します。1 つはデバイスをバイアスするための約 10μF のコンデンサ、もう 1 つは高周波フィルタ用の 100nF 以下のコンデンサを並列に配置します。

同様に、VCCI ピンと GND ピンの間にもバイパス コンデンサを配置する必要があります。UCC21331-Q1 の入力側の論理回路が消費する電流は小さいため、このバイパス コンデンサの推奨される最小値は 100nF です。

10 レイアウト

10.1 レイアウトのガイドライン

UCC21331-Q1 の性能を適切に引き出すには、PCB レイアウトに細心の注意を払う必要があります。以下にその要点を示します。

部品の配置:

- 外付けパワー トランジスタをターンオンさせる際の大きなピーク電流に対応するため、VCCI ピンと GND ピンの間と VDD ピンと VSS ピンの間に低 ESR かつ低 ESL のコンデンサを本デバイスに近接して接続する必要があります。
- スイッチ ノード VSSA (HS) ピンでの大きな負の過渡を防止するため、上側トランジスタのソースと下側トランジスタのソースとの間の寄生インダクタンスを最小限に抑える必要があります。
- デッド タイム設定抵抗 (R_{DT}) とそのバイパス コンデンサは、UCC21331-Q1 の DT ピンの近くに配置することを推奨します。
- 離れた場所にあるマイクロコントローラに接続する場合、EN ピンの近くに配置した約 1nF の低 ESR/ESL コンデンサ (C_{EN}) を使ってバイパスすることを推奨します。

接地に関する注意事項:

- トランジスタのゲートを充放電する大きなピーク電流を、最小限の物理的面積内にとどめることは不可欠です。そうすることで、ループのインダクタンスが小さくなり、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲートドライバは、トランジスタのできるだけ近くに配置する必要があります。
- ブートストラップ コンデンサ、ブートストラップ ダイオード、VSSB に対するローカル バイパス コンデンサ、ローサイド トランジスタのボディ / 逆並列ダイオードを含む大電流経路に注意を払います。ブートストラップ コンデンサは、VDD バイパス コンデンサによってブートストラップ ダイオードを通してサイクルごとに再充電されます。この再充電は短い時間間隔で行われ、大きなピーク電流を必要とします。回路基板上のループの長さと面積を最小化することは、動作の信頼性を確保する上で重要です。

高電圧に関する注意事項:

- 1 次側と 2 次側の間の絶縁性能を確保するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。UCC21331-Q1 の絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトを推奨します。
- チャネル A とチャネル B のドライバが最大 1500V_{DC} の DC リンク電圧で動作できるハーフ ブリッジまたはハイサイド / ローサイド構成の場合、ハイサイド PCB トレースとローサイド PCB トレースの間の PCB レイアウトの沿面距離ができるだけ長くなるようにします。

熱に関する注意事項:

- 駆動電圧が高い、負荷が重い、スイッチング周波数が高い、のいずれかの場合、UCC21331-Q1 は大きな電力を消費する可能性があります (詳細についてはセクション 8.2.2.5 を参照)。適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
- VDDA、VDDB、VSSA、VSSB ピンに接続する PCB 銅箔の面積を増やし、VSSA、VSSB との接続を優先して最大化することを推奨します (図 10-2 と図 10-3 を参照)。しかし、上述の高電圧 PCB に関する注意事項は守る必要があります。
- システムに複数の層が存在する場合、VDDA、VDDB、VSSA、VSSB ピンを内部グランドまたは電源プレーンに適切なサイズの複数のビアで接続することも推奨します。ただし、異なる高電圧プレーンのパターン / 銅箔が重なることがないように注意します。

10.2 レイアウト例

2 層 PCB レイアウトの例を、図 10-1 に示します。この図では、信号と主要なコンポーネントにラベル付けされています。

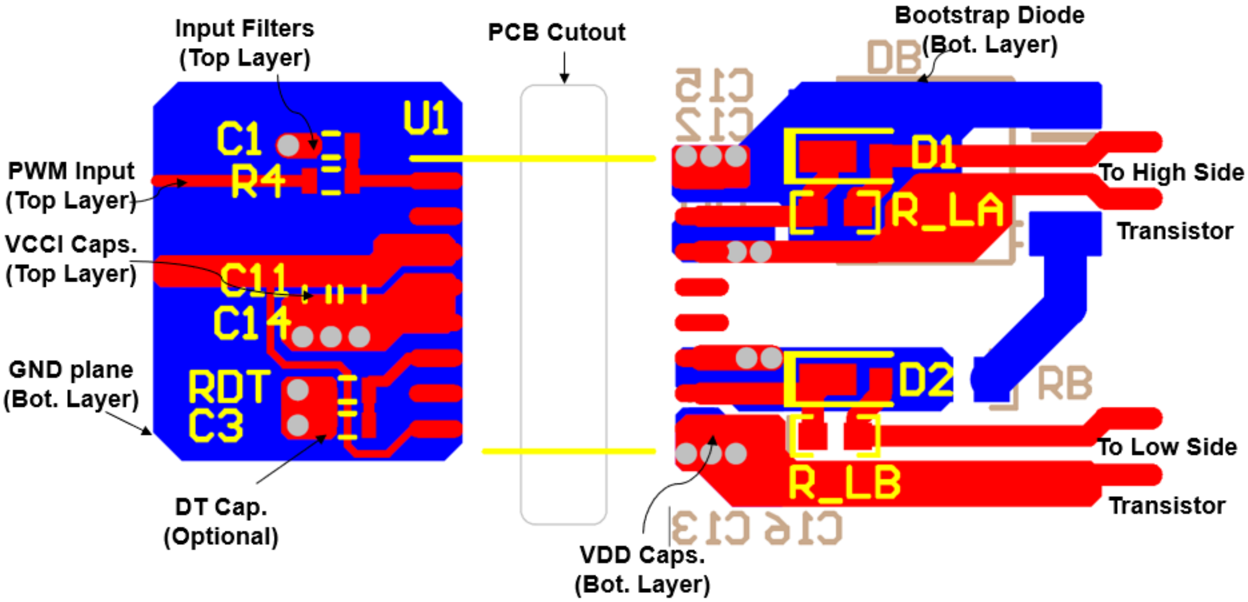


図 10-1. レイアウト例

図 10-2 と図 10-3 に上層と下層のパターンと銅箔を示します。

注

1 次側と 2 次側の間に PCB パターンも銅箔も存在しないため、絶縁性能を確保できます。

高電圧動作に備えて沿面距離を最大化するため、出力段のハイサイド ゲート ドライバとローサイド ゲート ドライバの PCB パターンの間隔が広げられています。これにより、高 dv/dt が発生する可能性があるスイッチング ノード VSSA (SW) とローサイド ゲートドライバの間の寄生容量結合によるクロストークも最小化されます。

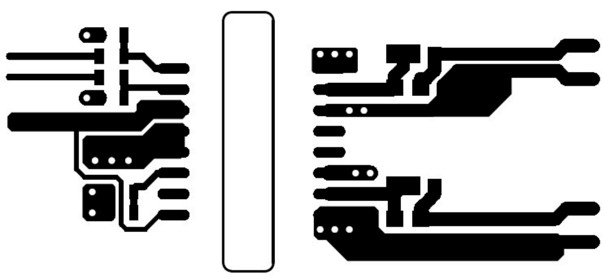


図 10-2. 上層のパターンと銅箔

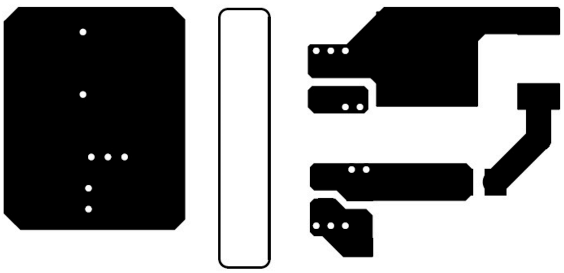


図 10-3. 下層のパターンと銅箔

3D レイアウト画像 (上面図と底面図) を、図 10-4 と図 10-5 に示します。

注

1 次側と 2 次側の間に PCB カットアウトが配置されていることに注意します。これにより、絶縁性能を確保しています。

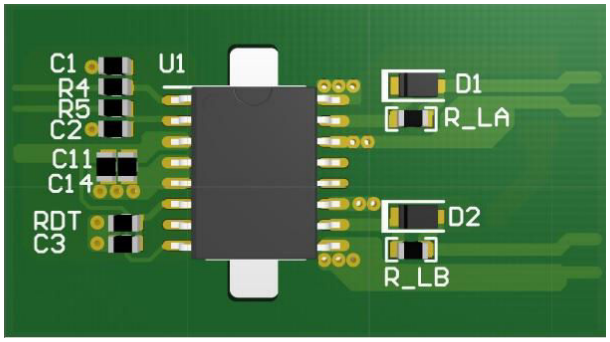


図 10-4. 3-D PCB の上面図

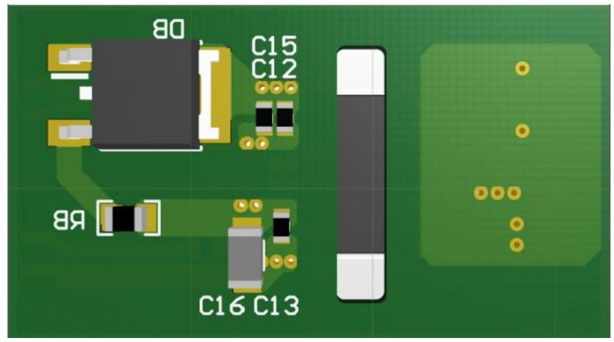


図 10-5. 3-D PCB の底面図

11 デバイスおよびドキュメントのサポート

11.1 デバイスのサポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントのサポート

11.2.1 関連資料

関連資料については、以下を参照してください。

- *『半導体および IC パッケージの熱評価基準』アプリケーション・レポート*
- 絶縁の用語集

11.3 認定

UL オンライン認定ディレクトリ、*『FPPT2.E181974 非光学絶縁デバイス - 部品』*認定番号:20160516-E181974

VDE Pruf- und Zertifizierungsinstitut 認証、工場調査による準拠の認定

CQC オンライン認定ディレクトリ、『GB4943.1-2011、デジタル・アイソレータ認定』、認定番号:CQC16001155011

CSA オンライン認定ディレクトリ、『CSA 準拠認定』認定番号:70097761、マスタ契約番号:220991

11.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.8 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2024	*	初版

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC21331CQDRQ1	Active	Production	SOIC (D) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	U331CQ
UCC21331CQDRQ1.A	Active	Production	SOIC (D) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	U331CQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC21331-Q1 :

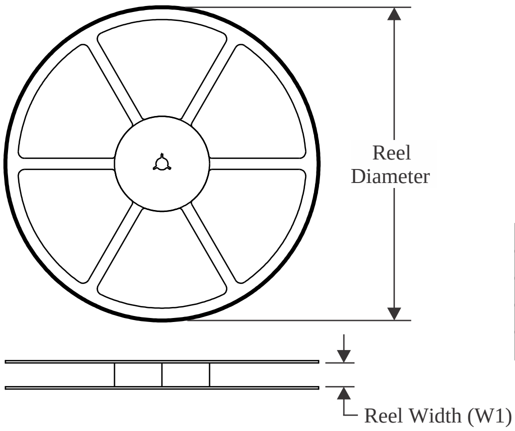
- Catalog : UCC21331

NOTE: Qualified Version Definitions:

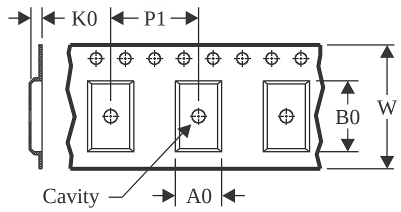
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

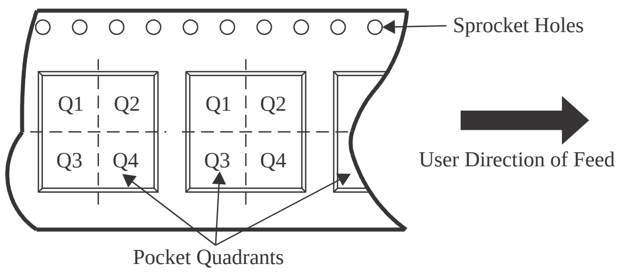


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

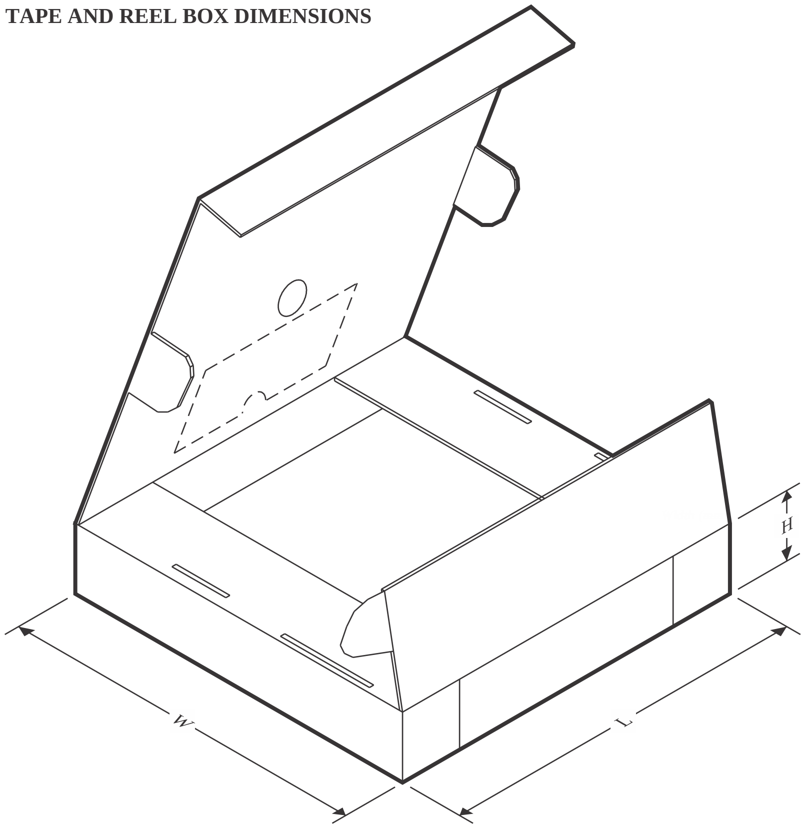
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21331CQDRQ1	SOIC	D	16	2000	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

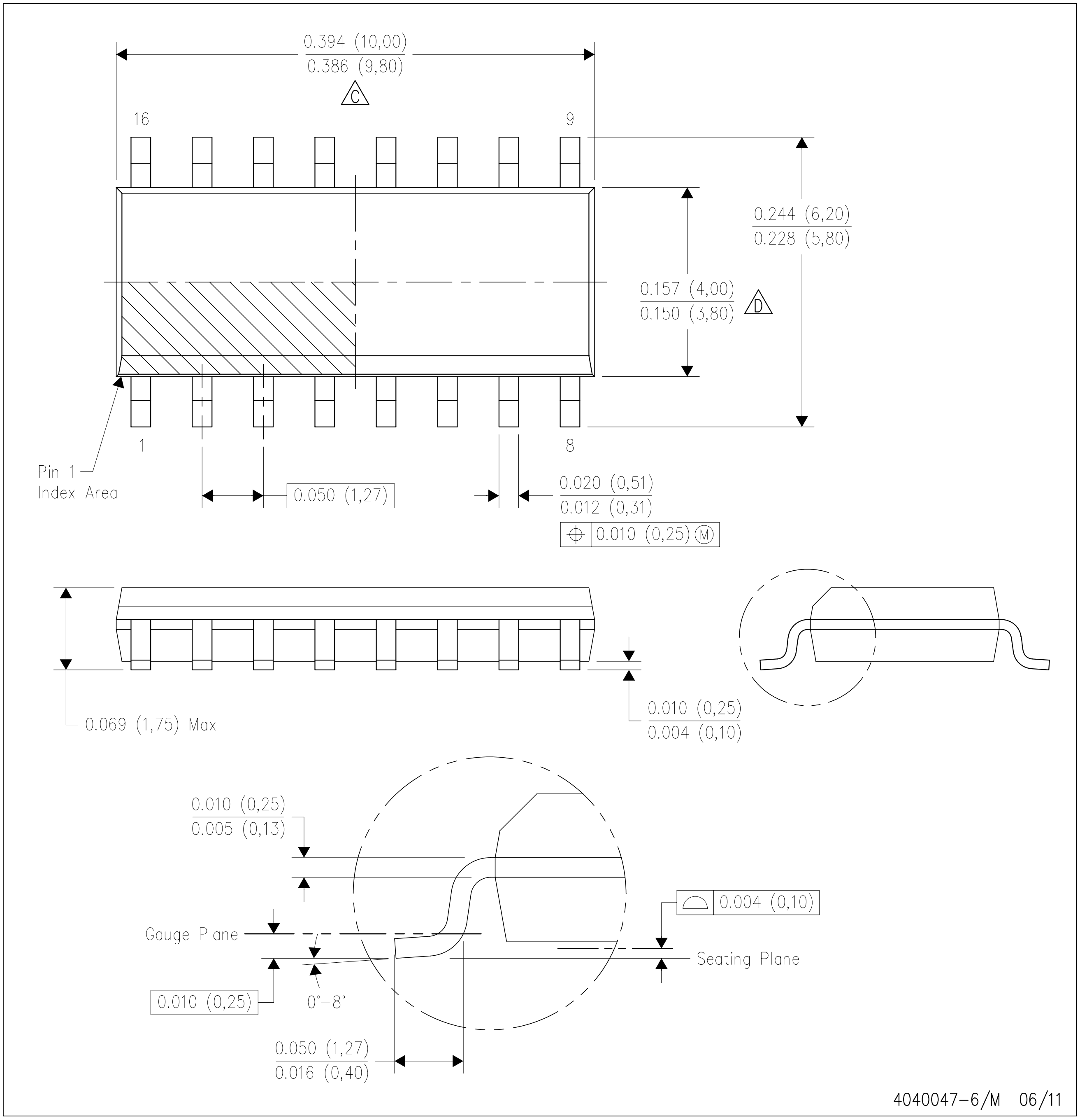
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21331CQDRQ1	SOIC	D	16	2000	350.0	350.0	43.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS-012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。