

UCC218302-Q1 15A 駆動強度調整可能、強化絶縁型シングルチャネルゲートドライバ (SiC/IGBT 用、高度保護機能付き)

1 特長

- 5kV_{RMS} のシングルチャネル絶縁型ゲートドライバ
- 車載アプリケーション向けに AEC-Q100 認証済み
- 最高 1500V_{pk} の SiC MOSFET および IGBT に最適化
- 出力駆動電圧 (VDD-VEE): 30V (最大値)
- リアルタイムで駆動強度を選択できるデュアル分割出力
 - ±10A および ±5A の駆動電流出力
 - デジタル入力 GD_SEL で駆動強度を選択する
- 最小 CMTI: 500V/ns
- 応答時間 200ns の高速 DESAT 保護 (9V スレッシュホールド)
- 2.5A のシンク能力を持つ専用ソフトシャットダウン (SSD) ピンシャットダウン電流は外付け抵抗により制御可能です。
- 4A の内部アクティブミラー クランプ
- 過電流時の FLT と RST/EN からのリセット
- RST/EN での高速イネーブル/ディセーブル応答
- 12V VDD UVLO (RDY のパワーグッド搭載)
- RDY での過熱保護機能
- 出力電圧ゲートモニタ、OUT_FB によるリアルタイムの出力状態フィードバック、
- システム障害時に電源スイッチをオンにするための、二次側のアクティブ短絡 (ASC) 入力。
- 沿面距離および空間距離が 8mm を超えるワイドボディパッケージ
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度

2 アプリケーション

- EV 用トラクションインバータ
- オンボードチャージャおよび充電ステーション
- HEV/EV 用 DC-DC コンバータ

3 説明

UCC218302-Q1 は、先進の保護機能、クラス最高の動的性能、堅牢性を持ち合わせ、最高 1500V (DC) で動作する SiC MOSFET および IGBT 用に設計されたガルバニック絶縁型シングルチャネルゲートドライバです。UCC218302-Q1 はを供給できます。デュアル出力は、最大 ±10A と ±5A のピークソース/シンク電流に対応します。

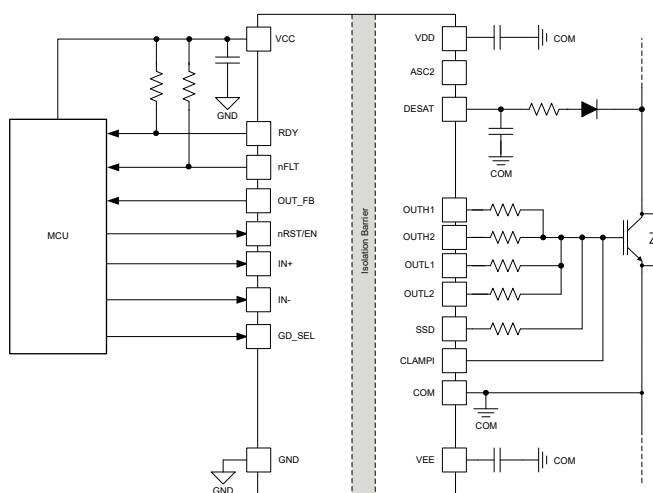
入力側は SiO₂ 容量性絶縁技術によって出力側から絶縁されており、最大 1.06kV_{RMS} の動作電圧、10kV_{PK} のサージ耐性を実現しています。また、絶縁バリアは部品間スキューが小さく、500V/ns を超える同相ノイズ耐性 (CMTI) も実現しています。

UCC218302-Q1 は、最新の保護機能や、高速な過電流および短絡検出、フォルト後の制御されたソフトシャットダウン、故障通知、アクティブミラー クランプ、SiC および IGBT のスイッチング動作および堅牢性を最適化する入力出力側電源 UVLO、2 次側のアクティブ短絡入力、出力電圧ゲート監視

パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)
UCC218302B-Q1	DFP (SSOP 28)	7.6mm × 7.5mm

- (1) 供給されているすべてのパッケージについては、[セクション 10](#) を参照してください
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	6.4 デバイスの機能モード	23
2 アプリケーション	1	7 アプリケーションと実装	24
3 説明	1	7.1 使用上の注意.....	24
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	24
5 仕様	5	7.3 電源に関する推奨事項.....	32
5.1 絶対最大定格.....	5	7.4 レイアウト.....	33
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート	34
5.3 推奨動作条件.....	5	8.1 サード・パーティ製品に関する免責事項.....	34
5.4 熱に関する情報.....	6	8.2 ドキュメントのサポート.....	34
5.5 電力定格.....	6	8.3 ドキュメントの更新通知を受け取る方法.....	34
5.6 絶縁仕様.....	6	8.4 サポート・リソース.....	34
5.7 電気的特性.....	7	8.5 商標.....	34
5.8 スイッチング特性.....	10	8.6 静電気放電に関する注意事項.....	34
6 詳細説明	11	8.7 用語集.....	34
6.1 概要.....	11	9 改訂履歴	34
6.2 機能ブロック図.....	12	10 メカニカル、パッケージ、および注文情報	34
6.3 機能説明.....	12	10.1 メカニカル データ.....	35

4 ピン構成および機能

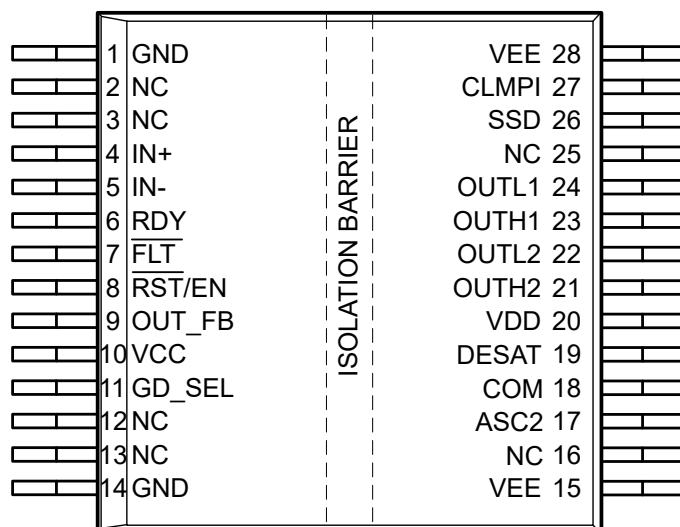


図 4-1. UCC218302-Q1 28 DFP 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
GND	1, 14	GND	入力電源およびロジックグラウンド基準電圧。
NC	2, 3, 12, 13, 16, 25	—	接続なし。
IN+	4	I	非反転ゲートドライバの制御入力。使用しない場合は、VCC に接続します。
IN-	5	I	反転ゲートドライバの制御入力。使用しない場合は、GND に接続します。
RDY	6	O	VCC – GND、VDD – COM および過熱用のパワー グッド。RDY はオープンドレイン出力で、他の RDY 信号と並列に接続できます。
FLT	7	O	過電流または短絡時のアクティブ Low フォルト アラーム出力。FLT はオープンドレイン出力で、他のフォルトと並列に接続できます。
RST/EN	8	I	RST/EN は次の 2 つの目的で使用されます。 1) 出力側をイネーブルにするか、シャットダウンします。EN が Low に設定される場合、FET は通常のターンオフによってオフになります。 2) RST/EN が 800ns を超える間に Low に設定される場合、FLT ピンで通知される DESAT 状態をリセットします。FLT のリセットは、RST/EN の立ち上がりエッジでアサートされます。
OUT_FB	9	O	リアルタイム出力電圧フィードバック。未使用の場合は、フローティングのままにします。
VCC	10	P	外部電源入力 (3V ~ 5.5V) GND との間に 1μF のセラミック コンデンサを用いてバイパスします。デカップリングコンデンサをピンの近くに配置します。
GD_SEL	11	I	ゲート駆動強度選択入力。両方の出力のセットを使用するよう High に駆動します。OUTx1 出力のみを使用するよう Low に駆動します。
VEE	15, 28	P	ゲート駆動電圧の負電源レール。COM との間に > 10μF のコンデンサを用いてバイパスします。デカップリングコンデンサをピンの近くに配置します。
ASC2	17	I	アクティブ High の 2 次側アクティブ短絡入力により、システム障害イベント中に出力を強制的に High にします。使用しない場合は、COM に接続します。
COM	18	P	共通グラウンド基準。IGBT のエミッタ ピン、MOSFET のソース ピンに接続します。
DESAT (脱飽和)	19	I	デサチュレーション電流保護入力。使用しない場合は、COM に接続します。
VDD	20	P	ゲート駆動電圧の正電源レール。COM との間に > 10μF のコンデンサを用いてバイパスします。デカップリングコンデンサをピンの近くに配置します。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
OUTH2	21	O	大電流ゲートドライバの出力プルアップ。
OUTL2	22	O	大電流ゲートドライバの出力プルダウン。
OUTH1	23	O	低電流ゲートドライバの出力プルアップ。
OUTL1	24	O	低電流ゲートドライバの出力プルダウン。
SSD	26	O	DESAT 故障後にターンオフするためのソフト シャットダウン プルダウン。シャットダウン電流を調整するため、このピンと IGBT または MOSFET のゲートとの間に抵抗を接続します。使用しない場合は、フローティングのままにするか、VEE に接続します。
CLMPI	27	O	内部アクティブ ミラー クランプ。このピンをパワートランジスタのゲートに直接接続します。使用しない場合は、フローティングのままにするか、VEE に接続します。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VCC	VCC - GND	-0.3	6	V
VDD	VDD - COM	-0.3	36	V
VEE	VEE - COM	-17.5	0.3	V
V _{MAX}	VDD - VEE	-0.3	36	V
IN+, IN-, $\overline{\text{RST}}/\text{EN}$, GD_SEL	DC	GND-0.3	VCC+0.3	V
$\overline{\text{FLT}}$, RDY, OUT_FB	1 次側出力ピンの電圧	GND-0.3	VCC	V
OUTH1, OUTH2, OUTL1, OUTL2, CLMPI	DC	VEE-0.3	VDD+0.3	V
	過渡応答, 100ns 未満 ⁽²⁾	VEE-5.0	VDD+5.0	V
DESAT (脱飽和)	DESAT の電圧、COM 基準	-0.3	VDD+0.3	V
ASC2	ASC2 の電圧、COM 基準	-0.3	6	V
I _{FLT} , I _{RDY}	$\overline{\text{FLT}}$ および RDY ピンの入力電流		20	mA
f _{MAX}	最大スイッチング周波数		300	kHz
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用方法、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 値はベンチでの特性評価によって検証されます。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	
		コーナールピ (GND および VEE) その他のピン	±500	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
VCC	VCC-GND	3	5.5	V
VDD	VDD-COM	13	30	V
VEE	VEE-COM	-16	0	V
V _{MAX}	VDD-VEE	13	30	V
IN+, IN-, $\overline{\text{RST}}/\text{EN}$, GD_SEL	GND 基準、High レベル入力電圧	0.7 × VCC	VCC	V
	GND 基準、Low レベル入力電圧	0	0.3 × VCC	V
t _{RST/EN}	フォルトをリセットする $\overline{\text{RST}}/\text{EN}$ ピンのパルス幅	800		ns
ASC2	COM 基準	0	5.5	V
T _A	周辺温度	-40	125	°C
T _J	接合部温度	-40	150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC218302	単位
		DFP (TSSOP)	
		28 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	77.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	43.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	20.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	42.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	$T_a = 77^\circ\text{C}$ の場合の 50% デューティ サイクル		996		mW
P_{D1}	トランスミッタ側の最大消費電力			45		mW
P_{D2}	レシーバー側の最大消費電力			951		mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	> 8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	> 8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 17	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-III	
		定格商用電源 V_{RMS} が 1000V 以下	I-II	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V_{IORM}	AC 電圧 (バイポーラ)	AC 電圧 (バイポーラ)	1500	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト、図 1 を参照	1061	V_{RMS}
		DC 電圧	1500	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定試験) $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 製造試験)	7071	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 60065 準拠のテスト方法、1.2/50μs 波形、 $V_{TEST} = 1.6 \times V_{IOSM} = 11300V_{PK}$ (認定)	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		方法 b1: ルーチン テスト (100% 製造) およびプレコンディショニング (型式試験) では、 $V_{ini} = V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$	≤ 5	

5.6 絶縁仕様 (続き)

パラメータ		テスト条件	仕様	単位
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.5 × sin (2πft), f = 1MHz	≅ 1.2	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V, T _A = 25°C	10 ¹² 以上	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	10 ¹¹ 以上	
		V _{IO} = 500V (T _S = 150°C時)	10 ⁹ 以上	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} = 5000V _{RMS} , t = 60s (認定)、V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} , t = 1s (100% 出荷時テスト)	5000	V _{RMS}

- アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。PCB 上にグループやリブを挿入するなどの技法を使用して、これらの仕様値を増やすことができます。
- このカプラは安全定格内においてのみ安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 電氣的特性

VCC = 3.3V または 5.0V、VCC と GND の間に 1μF のコンデンサを接続、VDD – COM = 20V、18V、または 15V、COM – VEE = 5V、8V、または 15V、C_L = 100pF、–40°C < T_J < 150°C (特に記述のない限り)⁽¹⁾⁽²⁾。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源と静止電流						
I _{VCCQ}	VCC 静止電流	OUT = Low、f _s = 0Hz		3.5	5.6	mA
		OUT = High、f _s = 0Hz		6	8.4	
I _{VDDQ}	VDD 静止電流	OUT = High、f _s = 0Hz		7	8.1	mA
		OUT = Low、f _s = 0Hz		4	4.8	
I _{VEEQ}	VEE 静止電流	OUT = High、f _s = 0Hz、VEE = −5V	−7.5	−6.4		mA
		OUT = Low、f _s = 0Hz、VEE = −5V	−4.25	−3.7		
電源保護						
V _{VCC_ON}	VCC UVLO 立ち上がりスレッシュヨルド	GND を参照	2.55	2.68	2.85	V
V _{VCC_OFF}	VCC UVLO 立ち下がりスレッシュヨルド	GND を参照	2.35	2.51	2.65	V
V _{VCC_HYST}	VCC UVLO ヒステリシス			170		mV
t _{VCCFIL}	VCC UVLO グリッチ除去時間			3		μs
t _{VCC+ to OUT}	VCC UVLO オンから出力が High になるまでの遅延	IN+ = VCC、IN− = GND		7	16	μs
t _{VCC- to OUT}	VCC UVLO オフから出力が Low になるまでの遅延			6	9	
t _{VCC+ to RDY}	VCC UVLO オンから RDY が High になるまでの遅延	RST/EN = VCC		8	16	μs
t _{VCC- to RDY}	VCC UVLO オフから RDY が Low になるまでの遅延			7	10	
V _{VDD_UVLO_ON}	VDD UVLO 立ち上がりスレッシュヨルド		11.4	12	12.6	V
V _{VDD_UVLO_OFF}	VDD UVLO 立ち下がりスレッシュヨルド		10.45	11	11.55	V
V _{VDD_HYST}	VDD UVLO ヒステリシス			1		V

5.7 電気的特性 (続き)

VCC = 3.3V または 5.0V、VCC と GND の間に 1μF のコンデンサを接続、VDD – COM = 20V、18V、または 15V、COM – VEE = 5V、8V、または 15V、C_L = 100pF、–40°C < T_J < 150°C (特に記述のない限り)⁽¹⁾⁽²⁾。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{VDDFIL}	VDD UVLO グリッチ除去時間		5			μs
t _{VDD+ to OUT}	VDD UVLO オンから出力が High になるまでの遅延	IN+ = VCC、IN- = GND	5	8		μs
t _{VDD- to OUT}	VDD UVLO オフから出力が Low になるまでの遅延		5	10		μs
t _{VDD+ to RDY}	VDD UVLO オンから RDY が High になるまでの遅延	RST/EN = FLT = VCC	5	8		μs
t _{VDD- to RDY}	VDD UVLO オフから RDY が Low になるまでの遅延		10	17		μs
1 次側ロジック入力 (INx、RST/EN、GD_SEL)						
V _{INH}	ロジック High の入力スレッシュホールド電圧 (VCC の %)		57	70		%
V _{INL}	ロジック Low 入力スレッシュホールド電圧 (VCC の %)		30	42		%
V _{INHYS}	入力スレッシュホールドのヒステリシス (V _{CC} の %)		15			%
I _{IH}	入力 High レベルの入力リーク電流	V _{IN} = VCC	50			μA
I _{IL}	入力 Low レベルの入力リーク電流	V _{IN} = GND	-50			μA
R _{IND}	入力ピン プルダウン抵抗	IN+, RST/EN、GD_SEL	100			kΩ
R _{INU}	入力ピンのプルアップ抵抗	IN-, RDY、FLT	100			kΩ
t _{INFIL}	INx、RST/EN のグリッチ除去 (オンおよびオフ) フィルタ時間	f _S = 50kHz	16	25	50	ns
t _{RSTFIL}	リセット / FLT までのグリッチ除去フィルタ時間		500	800		ns
t _{GDSU}	GD_SEL ピンのセットアップ時間				50	ns
ゲートドライバ段						
I _{OUTH1}	ピークソース電流	C _L = 0.22μF	5			A
I _{OUTH2}	ピークソース電流	C _L = 0.22μF	10			A
I _{OUTL1}	ピークシンク電流	C _L = 0.22μF	5			A
I _{OUTL2}	ピークシンク電流	C _L = 0.22μF	10			A
R _{OUTH1}	出力プルアップ抵抗	I _{OUTH1} = -100mA	0.725	1.35		Ω
R _{OUTH2}	出力プルアップ抵抗	I _{OUTH2} = -100mA	0.445	0.775		Ω
R _{OUTL1}	出力プルダウン抵抗	I _{OUTL1} = 100mA	0.725	1.35		Ω
R _{OUTL2}	出力プルダウン抵抗	I _{OUTL2} = 100mA	0.445	0.775		Ω
アクティブ プルダウン						
V _{OUTPD}	OUTLx の出力アクティブ プルダウン	I _{OUTLx} = 100mA、 VDD = OPEN、VEE = COM	1.0	1.4	1.85	V
内部ミラー クランプ						
V _{CLMPH}	ミラー クランプのスレッシュホールド電圧	VEE を参照	1.5	2.1	2.5	V
I _{CLMPI}	出力 Low クランプ電流	V _{CLMPI} = 0V、VEE = -4V	4			A
R _{CLMPI}	ミラー クランプのプルダウン抵抗	I _{CLMPI} = 0.1A	0.6	1.2		Ω
t _{DCLMPI}	ミラー クランプのオン遅延時間	C _L = 1.0nF	33	50		ns
短絡クランプ						

5.7 電気的特性 (続き)

VCC = 3.3V または 5.0V、VCC と GND の間に 1μF のコンデンサを接続、VDD – COM = 20V、18V、または 15V、COM – VEE = 5V、8V、または 15V、CL = 100pF、–40°C < TJ < 150°C (特に記述のない限り)⁽¹⁾⁽²⁾。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VCLP-OUTH1	VOUTH1 – VDD	OUT = Low、IOUTH = 100mA、tCLP = 10μs		0.8	1.0	V
VCLP-OUTH2	VOUTH2 – VDD	OUT = Low、IOUTH = 100mA、tCLP = 10μs		0.75	1.0	V
VCLP-OUTL1	VOU TL1 – VDD	OUT = High、IOUTL = 100mA、tCLP = 10μs		1.0	1.5	V
VCLP-OUTL2	VOU TL2 – VDD	OUT = High、IOUTL = 100mA、tCLP = 10μs		0.95	1.25	V
DESAT 保護						
ICHG	ブランキング コンデンサの充電電流	VDESAT = 2.0V	420	540	580	μA
IDCHG	ブランキング コンデンサの放電電流	VDESAT = 6.0V	18	20		mA
VDESATTH	検出スレッショルド		8.5	9	9.5	V
tDESATLEB	リーディング エッジのブランキング時間		160	200	280	ns
tDESATFIL	DESAT グリッチ除去フィルタ		60	125	150	ns
tDESATOFF	DESAT 伝搬遅延 (OUT 90%)	VDESAT > VDESATTH		200	300	ns
tDESATFLT	DESAT から FLT Low までの遅延				1	μs
ソフト シャットダウン (SSD)						
ISSD	ピーク シンクのソフト シャットダウンのピーク電流	CL = 0.22μF、fS = 1kHz		2.5		A
RSSD	ソフト シャットダウンのプルダウン抵抗	ISSD = 0.1A		1		Ω
tSSD	ソフト シャットダウンのオン時間			25		μs
出力ゲート電圧モニタ						
VGMHI	VDD を基準とするゲート モニタのスレッショルド	IN+ = High および IN– = Low。		-3		V
VGMLO	VEE を基準とするゲート モニタのスレッショルド	IN+ = Low および IN– = X。		3		V
tGMFIL	ゲート モニタのグリッチ除去フィルタ		0.9	1.2	1.6	μs
tGMFB	OUT から OUT_FB までの遅延			1.7	2.4	μs
VGMFBOL	GM_FB 出力 Low 電圧レベル	IGMFB = 10mA。GND を参照			245	mV
VGMFBOH	GM_FB 出力 High 電圧レベル (VCC より低いオフセット)	IGMFB = 10mA			0.78	V
アクティブ短絡 (ASC)						
VASC2L	COM を基準とする ASC2 入力 Low スレッショルド		1.2	1.45	1.7	V
VASC2H	COM を基準とする ASC2 入力 High スレッショルド		2.3	2.7	3.1	V
RASC2D	ASC2 入力プルダウン抵抗			100		kΩ
tASC2FIL	ASC2 グリッチ除去フィルタ時間		400		700	ns
tASC2_r	ASC2 オンから出力が High になるまでの遅延				1	μs
tASC2_f	ASC2 オフから出力が Low になるまでの遅延				1	μs
過熱保護						
TSDTH	サーマル シャットダウン上昇しきい値		155		185	°C

5.7 電気的特性 (続き)

VCC = 3.3V または 5.0V、VCC と GND の間に 1 μ F のコンデンサを接続、VDD – COM = 20V、18V、または 15V、COM – VEE = 5V、8V、または 15V、C_L = 100pF、–40°C < T_J < 150°C (特に記述のない限り)⁽¹⁾⁽²⁾。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{TSDHYST}	サーマル シャットダウン ヒステリシス		20			°C
故障通知 (FLT、RDY)						
t _{RDYHLD}	UVLO RDY Low の最小ホールド時間		0.55		1	ms
t _{FLTMUTE}	電流故障時の出力ミュート時間	R _{ST} /EN によるフォルトのリセット	0.55		1	ms
R _{ODON}	オープンドレイン出力オン抵抗	I _{ODON} = 10mA。GND を参照	25			Ω
V _{ODL}	オープンドレイン Low 出力電圧				0.4	V
同相過渡電圧耐性						
CMTI	CMTI ノイズ耐性	V _{CM} = 1200V	500			V/ns

(1) 電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

(2) 特に明記されていない限り、すべての電圧は COM 基準です

5.8 スイッチング特性

VCC = 5.0V、VCC から GND へ 1 μ F のコンデンサ、VDD – COM = 20V、18V または 15V、COM – VEE = 3V、5V または 8V、C_L = 100pF、–40°C < T_J < 150°C (別途記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PDLH}	伝搬遅延時間、low から high	C _L = 1.0nF、R _G = 0 Ω		90	130	ns
t _{PDHL}	伝搬遅延時間 High から Low	C _L = 1.0nF、R _G = 0 Ω		90	130	ns
PWD	パルス幅歪み t _{PDHL} – t _{PDLH}				30	ns
t _{sk-pp}	部品間スキュー	立ち上がりまたは立ち下がり伝搬遅延			30	ns
t _r	ドライバ出力立ち上がり時間	C _L = 1.0nF、R _G = 0 Ω 、VDD = 20V、VEE = 0V		13		ns
t _f	ドライバ出力立ち下がり時間	C _L = 1.0nF、R _G = 0 Ω 、VDD = 20V、VEE = 0V		12		ns

6 詳細説明

6.1 概要

UCC218302-Q1 デバイスは、SiC MOSFET および IGBT 用の駆動強度を調整可能で、最新の保護機能を備えた、先進絶縁型ゲートドライバです。 $\pm 10\text{A}$ および $\pm 5\text{A}$ のピーク シンクおよびソース電流は、追加のバッファなしで SiC MOSFET モジュールと IGBT モジュールを直接駆動することができます。また、このドライバを用いれば、より大電力のパワー モジュール、または外部バッファ段と組み合わせた並列モジュールを駆動することも可能です。

入力側は SiO_2 容量性絶縁技術に基づく強化絶縁バリアによって絶縁されており、最大 $1.06\text{kV}_{\text{RMS}}$ の動作電圧、 10kV_{PK} のサージ耐性を実現しています。この絶縁技術は、高速スイッチング動作時においてもシステムの信頼性を維持するために、最低 500V/ns の CMTI をサポートしています。伝搬遅延時間が短く、部品間スキューが小さいため、デッドタイム設定は最小化され、導通損失を低減できます。

このデバイスには、広範な保護機能および監視機能が搭載されており、SiC MOSFET および IGBT ベースのシステムの信頼性と堅牢性が向上します。一次側および二次側の電源 UVLO は、電源電圧レベルが過度に低い場合にシステムを動作から保護します。アクティブ ミラー クランプ機能は、高速スイッチング中のミラー電流によって引き起こされる誤ったターン オンを防止します。このデバイスは、最新の DESAT 検出時間だけでなく、低圧側 DSP / マイコンへの異常検出機能も備えています。DESAT フォルトが検出されるとソフト シャット ダウンがトリガされ、短絡エネルギーを最小限に抑えながらスイッチのオーバーシュート電圧を低減します。また、このデバイスは、高電圧側にアクティブ短絡入力を備えており、特定のシステム フォルト条件時にパワー スwitch を強制的にオンにします。さらに、このデバイスには出力電圧ゲート モニタが搭載されており、出力が入力に追従していることを確認できます。

6.2 機能ブロック図

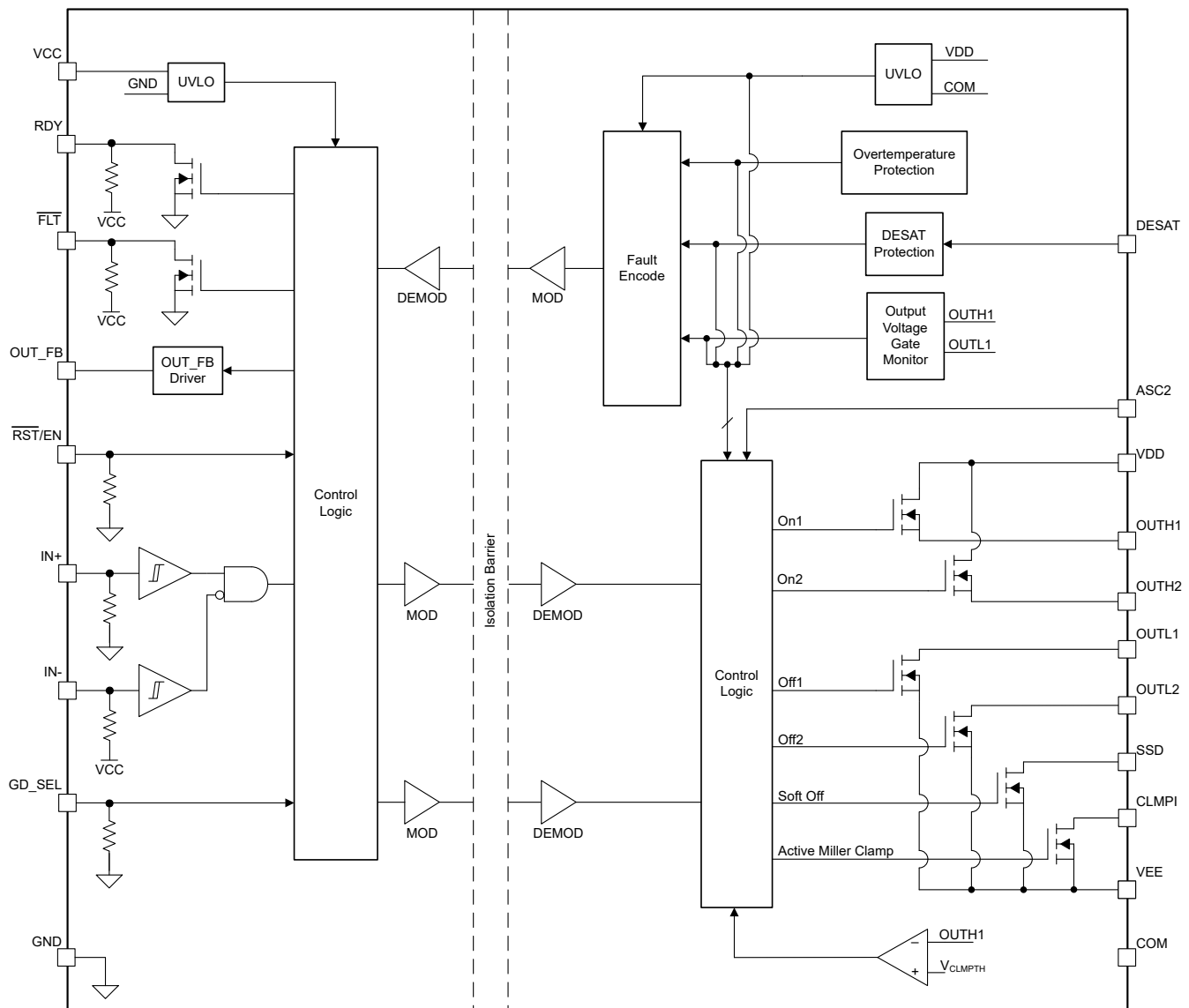


図 6-1. UCC218302-Q1 の機能ブロック図

6.3 機能説明

6.3.1 電源

入力側電源 VCC は 3V ~ 5.5V の広い電圧範囲をサポートしており、3.3V および 5V のコントローラ信号の両方に対応します。低電圧コンパレータは VCC を監視し、有効な動作を確認します。VCC 低電圧誤動作防止保護の詳細については、[セクション 6.3.2](#) を参照してください。

出力側電源 (VDD ~ VEE) は、最大 30V の広い範囲に対応できます。位相レグ内のもう一方のスイッチがターンオンした際のターン オンの誤作動を防止するため、ソースまたはエミッタである COM を基準とした負電源 VEE が一般的に採用されます。SiC MOSFET は SiC MOSFET のスイッチング速度が速いため、負電圧が重要であり、また、アクティブミラー クランプを使用しない場合の IGBT においても重要です。VDD は、正常な動作を確保するために、低電圧コンパレータによって監視されます。VDD 低電圧誤動作防止保護の詳細については、[セクション 6.3.2](#) を参照してください。

6.3.2 VCC の低電圧誤動作防止 (UVLO)

UCC218302-Q1 は、VCC 用の UVLO 保護機能を実装しています。電源電圧がスレッシュホールド電圧を下回ると、ドライバ出力は Low に保持されます。ドライバ出力はターン オンせず、すべての電源が UVLO スレッシュホールドを超えるまで RDY ピンは Low に保持されます。UVLO 保護機能は、低電圧電源条件下におけるドライバの消費電力を低減し、電力段の効率向上に寄与します。SiC MOSFET と IGBT の場合、ゲート - ソース間電圧またはゲート - エミッタ間電圧が上昇すると、オン抵抗は小さくなります。VDD 値が低い状態でパワー半導体がオンになると、導通損失が大幅に増加し、熱に関する問題が発生し、電力段の効率低下につながる可能性があります。

UVLO 保護ブロックにはヒステリシスを備えたコンパレータ スレッシュホールドと入力部のグリッチ除去フィルタが組み込まれており、電源のノイズ耐性向上に寄与します。ターン オンおよびターン オフのスイッチング過渡中に、ドライバは電源からのピーク過渡電流をソースおよびシンクします。これにより、電源の電圧降下が急に発生する可能性があります。ヒステリシスおよび UVLO グリッチ除去フィルタにより、内部 UVLO 保護ブロックは、通常のスイッチング過渡時に小さな外乱を無視します。

入力側の RDY ピンを使って、パワー グッド状態を示せます。RDY ピンはオープン ドレインです。UVLO 状態の間、RDY ピンは Low 状態に保持され、GND に接続されます。通常、このピンは外部で VCC にプル アップされ、パワー グッドを示します。

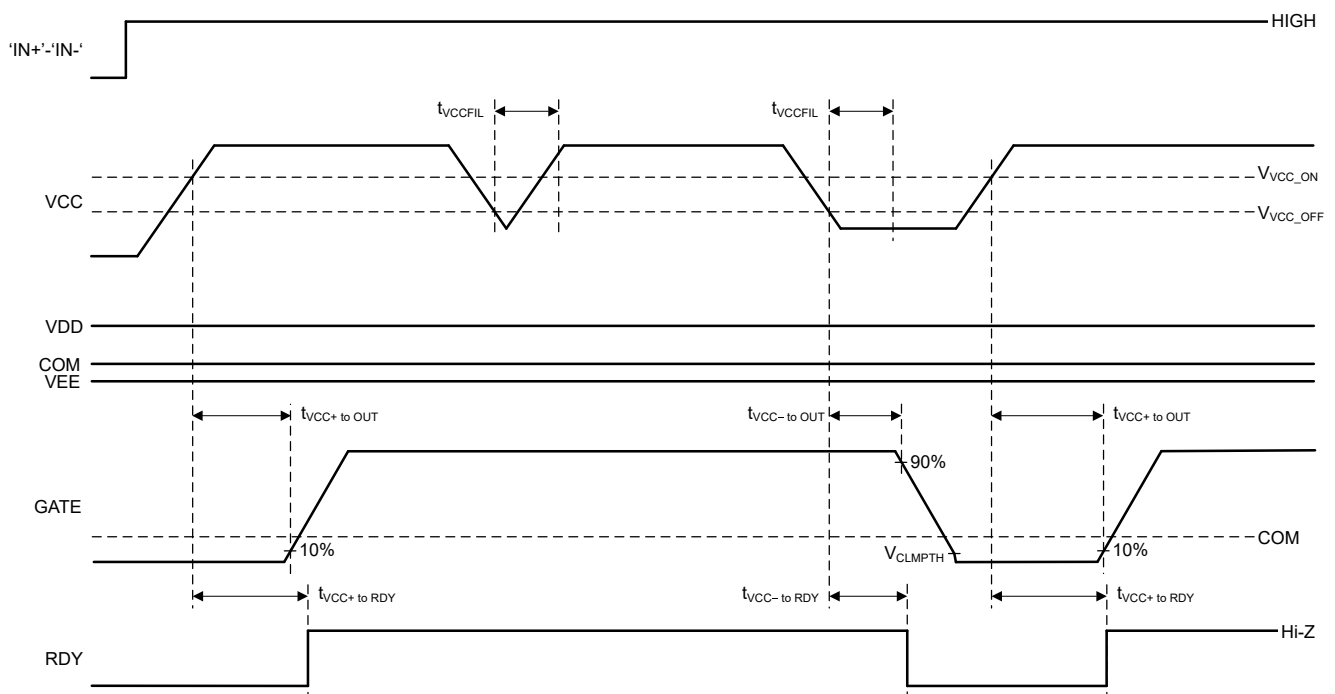


図 6-2. VCC 保護のタイミング図

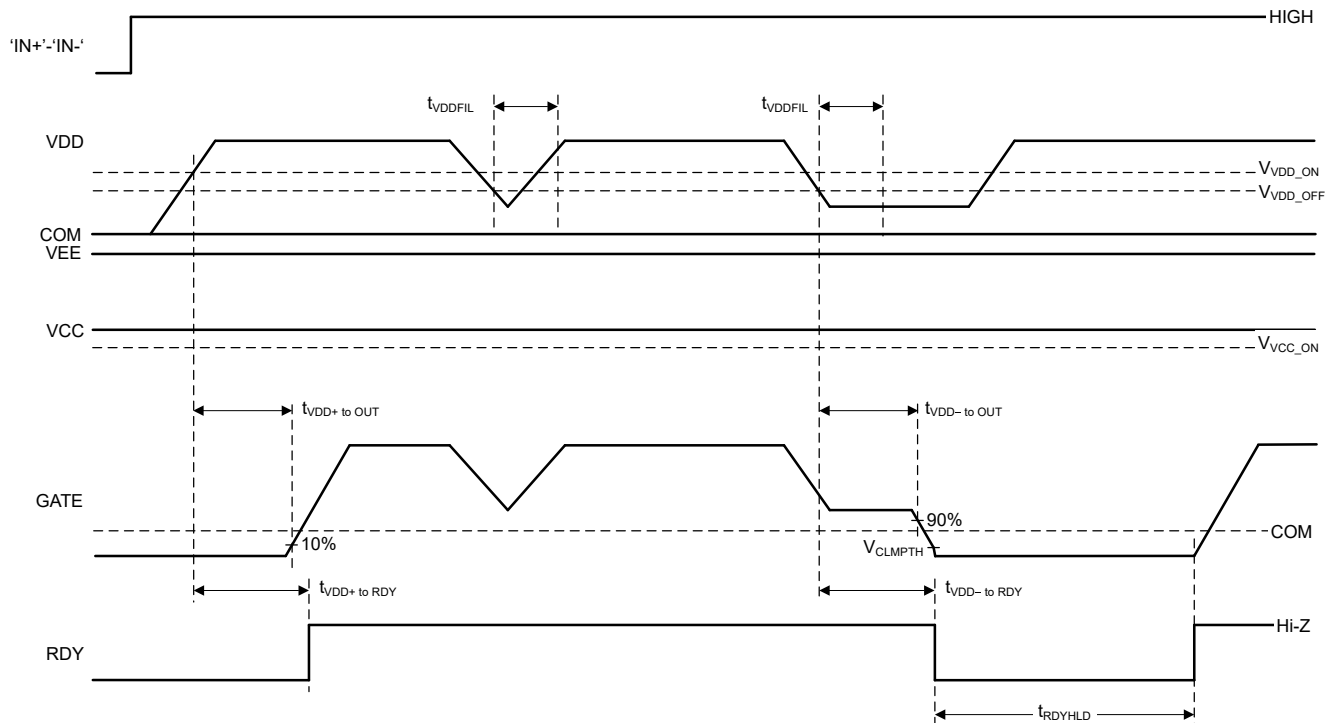


図 6-3. VDD 保護のタイミング図

6.3.3 IN+, IN-, $\overline{\text{RST/EN}}$ の入力フィルタ

UCC218302-Q1 への入力ピンは、3.3V および 5V 両方のロジックと互換性があります。IN+ および $\overline{\text{RST/EN}}$ ピンには内部プルダウン抵抗、IN- ピンには内部プルアップ抵抗があります。これらのピンのいずれかがフローティングのままになっている場合、ドライバはアクティブ短絡が作動しない限りデイスエーブルになります。ドライバには反転と非反転の両方の PWM 入力ピンがあります。非反転 IN+ 入力のみを使用する場合は、IN- を GND に接続します。反転 IN- 入力のみを使用する場合は、IN+ を VCC に接続します。IN+ と IN- のどちらも、ハーフブリッジ構成で他のドライバとの PWM インターロックを可能にし、位相レグ貫通を防止できます。

このデバイスには IN+, IN-, $\overline{\text{RST/EN}}$ ピンに内部グリッチ除去フィルタが搭載されており、ノイズ過渡や狭い PWM パルスによる意図しないスイッチングから保護します。 t_{INFIL} 未満の信号はフィルタで除去され、通過されません。ノイズの多いシステムの場合、入力ピンに外部ローパス フィルタを追加すると、ノイズ耐性がさらに向上します。ローパス フィルタの部品を選択するときは、システム要件に応じて、ノイズ耐性と遅延時間の両方を考慮します。図 6-4 に、狭いパルスが IN+, IN-, $\overline{\text{RST/EN}}$ にあるグリッチ除去フィルタの影響を示します。

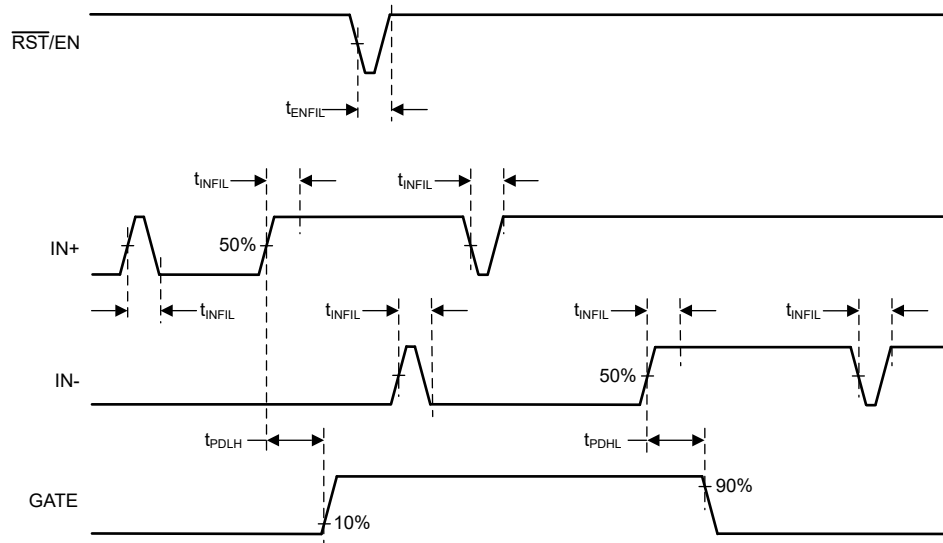


図 6-4. グリッチ除去フィルタの影響

6.3.4 アクティブプルダウン

UCC218302-Q1 は、VDD がオープンになるときに OUTLx ピンを VEE にクランプするように、アクティブプルダウン機能を実装しています。VDD がオープン状態のとき、OUTLx ピンはハイインピーダンス状態になります。ただし、ゲートドライバ外部から OUTLx ピンに電圧が印加されている場合、電圧が R_a を介してプルダウン FET を駆動し、図 6-5 に示すように出力をプルダウンしてデバイスがオンになるのを防ぎます。

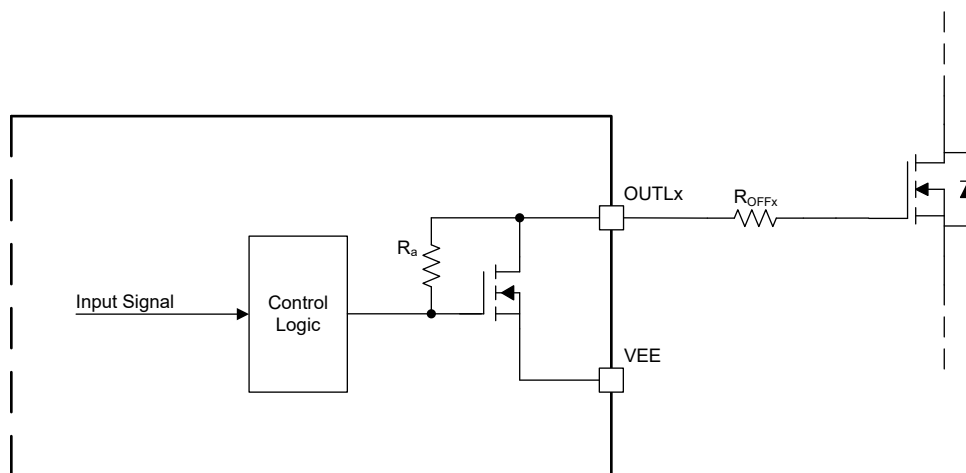


図 6-5. アクティブプルダウン

6.3.5 短絡クランプ

UCC218302-Q1 には OUTHx および OUTLx が VDD を超過するのを防ぐため、内蔵ダイオードが実装されています。短絡クランプ機能は、パワースイッチの短絡状態において、ドライバ出力の電圧を VDD よりわずかに高いレベルにクランプします。

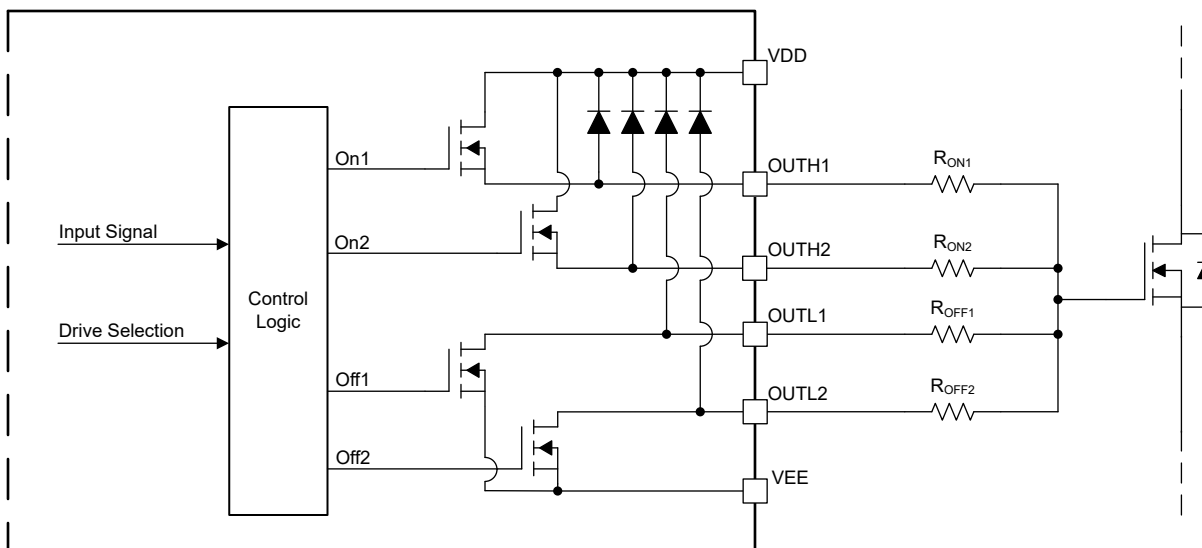


図 6-6. 短絡クランプ

6.3.6 内部アクティブミラー クランプ

UCC218302-Q1 は、アクティブ ミラー クランプ機能を備えており、ドライバがオフ状態の間に追加の低インピーダンス経路を設けることで、意図しないターンオンを防止します。ハーフブリッジ用途では、デッド タイム中にドライバがオフ状態であっても、パワー半導体デバイスのボディ ダイオードが導通する場合があります。この状態で位相レッグ内のもう一方のパワー半導体デバイスがターン オンすると、ドレイン ソース間電圧またはコレクタ エミッタ間電圧が急激に上昇し、ミラー容量に高い dV/dt が印加されます。この高い dV/dt により電流スパイクが発生し、ゲート容量が充電され、外付けターンオフ抵抗や PCB 配線パターンが長いこと、またはその両方が原因で主なターンオフ経路が十分に強くない場合、シュートスルーが発生する可能性があります。

内部のアクティブ ミラー クランプ機能により、内部で強力なプルダウン FET を実現できます。パワー半導体デバイスのゲート電圧がミラー クランプ スレッシュホールド V_{CLMPH} を下回ると、FET がオンになります。ゲート電圧は OUTH1 ピンを介して検出されます。図 6-7 に簡略化されたブロック図を、図 6-8 にタイミング図を示します。

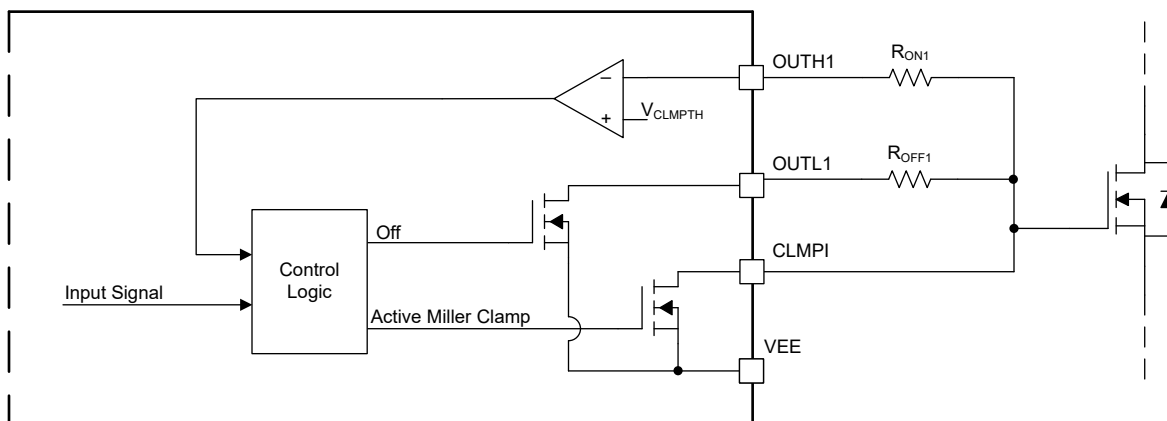


図 6-7. 内部アクティブ ミラー クランプ

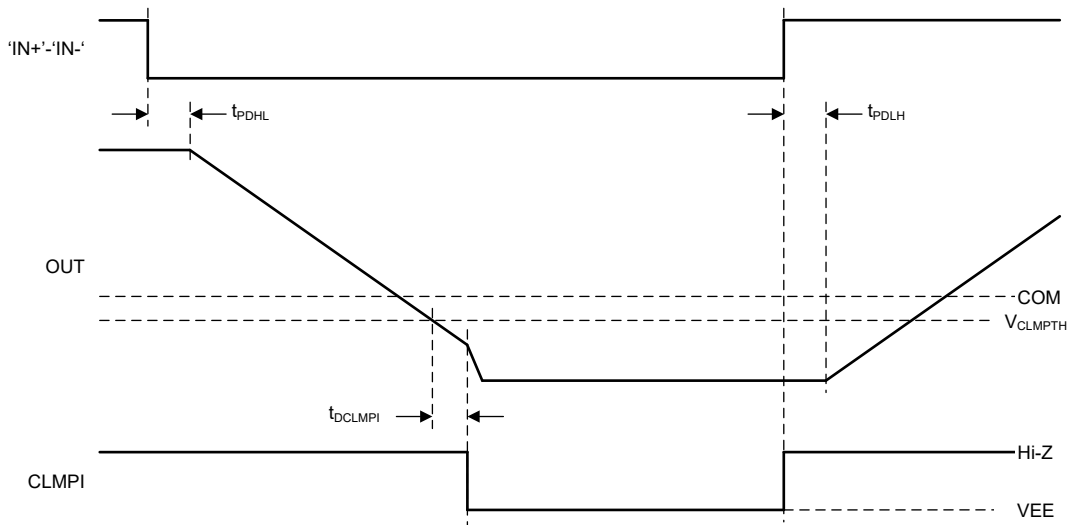


図 6-8. 内部アクティブ ミラー クランプ タイミング図

6.3.7 非飽和 (DESAT) 保護

UCC218302-Q1 は、故障発生時にパワー半導体デバイスを致命的な破壊から保護するため、高速な過電流および短絡保護機能を実装しています。DESAT ピンのスレッショルド $V_{DESATTH}$ は、パワー半導体デバイスのソースまたはエミッタである COM を基準としています。ドライバがオフ状態のとき、DESAT の誤動作トリガを防止するため、DESAT ピンは内部 MOSFET によってプルダウンされます。ドライバがオン状態のとき、内部電流源がアクティブになって、外部コンデンサを充電します。UCC218302-Q1 は、スイッチング過渡中のノイズによる誤トリガを防止するため、OUTHx がオン状態に切り替わった後に内部リーディング エッジ ブランキング時間を備えています。リーディング エッジ ブランキング期間中、内部のプルダウン MOSFET によって DESAT ピンがプルダウンされます。ドライバがオフになると、内部プルダウン MOSFET が DESAT ピンの電圧を放電します。図 6-9 に、DESAT 回路の簡略化されたブロック図を示します。図 6-10 に、DESAT 故障、ソフト シャットダウン、故障通知、故障リセットを示すタイミング図を示します。

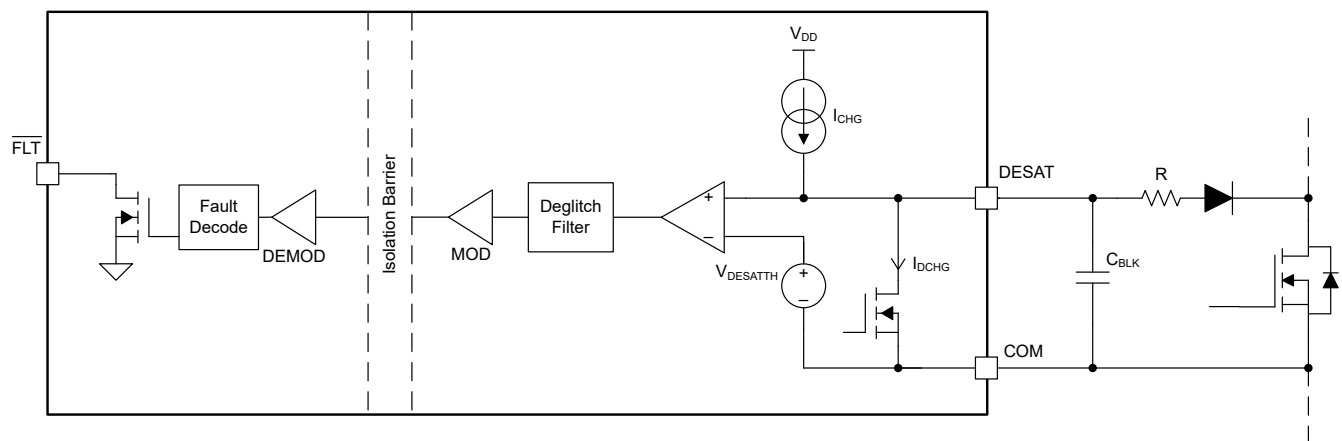


図 6-9. DESAT 保護

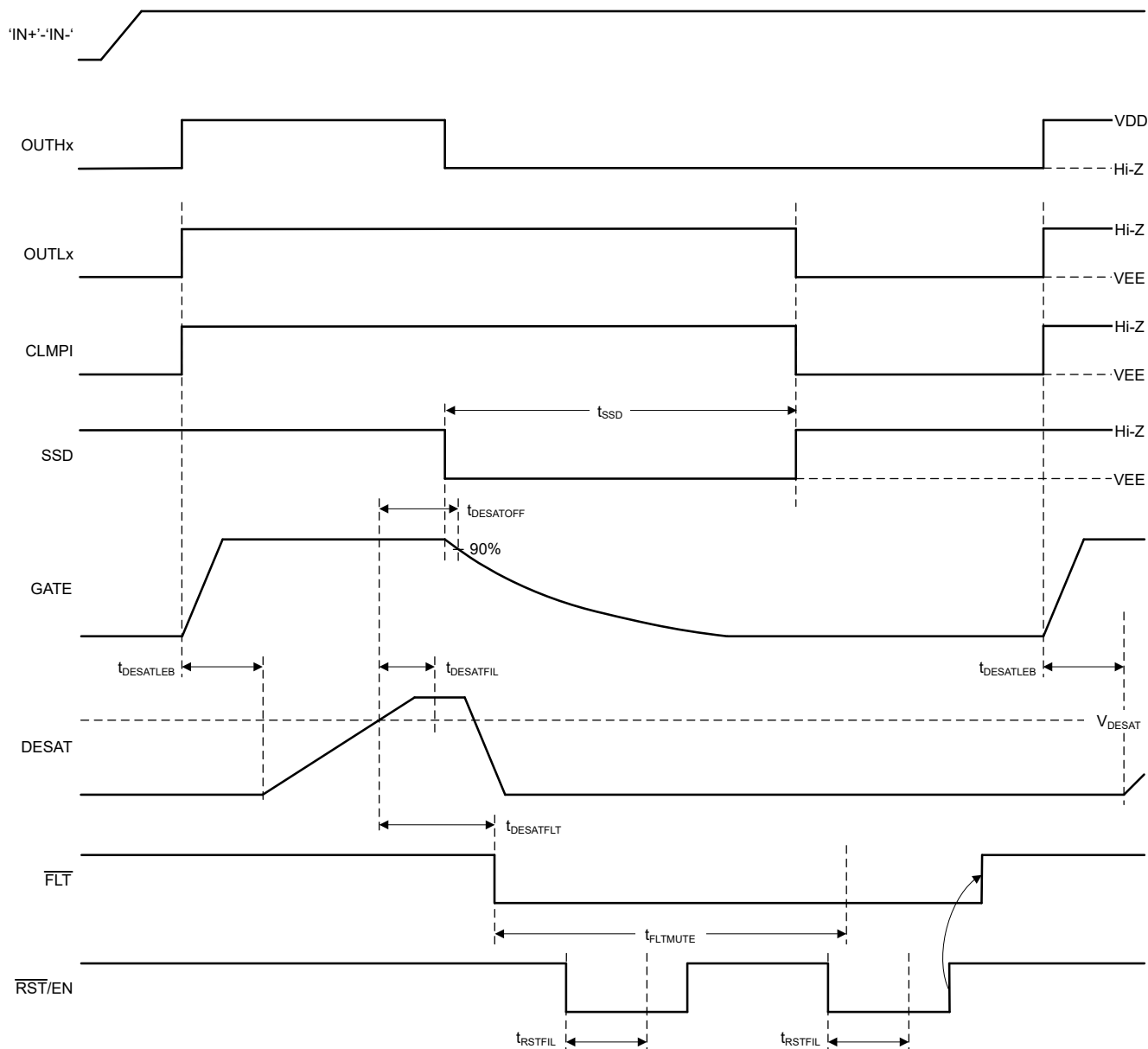


図 6-10. ソフト シャットダウンによる DESAT 保護のタイミング図

6.3.8 ソフト シャットダウン (SSD)

DESAT 故障が検出されると、UCC218302-Q1 はソフト ターンオフ (SSD) を開始し、パワー半導体デバイスを保護します。過電流または短絡イベントが発生すると、SSD 機能はゲート電圧をゆっくりと放電し、チャネル電流による高い di/dt によってスイッチング デバイスに生じるオーバーシュート電圧を抑制します。オーバーシュート電圧と短絡エネルギーの間にはトレードオフが生じます。ターンオフ速度はオーバーシュート電圧を抑制できる程度に十分遅くする必要がありますが、同時に、デバイス内での大きなエネルギー損失によって破壊が生じないよう、シャットダウン時間が過度に長くないようにする必要があります。UCC218302-Q1 は、外付け抵抗とともに使用できる内部プルダウン FET を備えており、ゲートの放電電流を最適化できます。DESAT 故障が検出されると、OUTHx と OUTLx はハイ インピーダンスになり、ゲートはメイン ドライバ出力によって駆動されません。ゲートを放電させるために、SSD ピンの内部プルダウン MOSFET が t_{SSD} の間オンになります。この時間の後、CLMPI および OUTLx は Low に駆動され、パワー半導体デバイスをオフに保持します。図 6-11 に簡略化されたブロック図を、図 6-10 にタイミング図を示します。

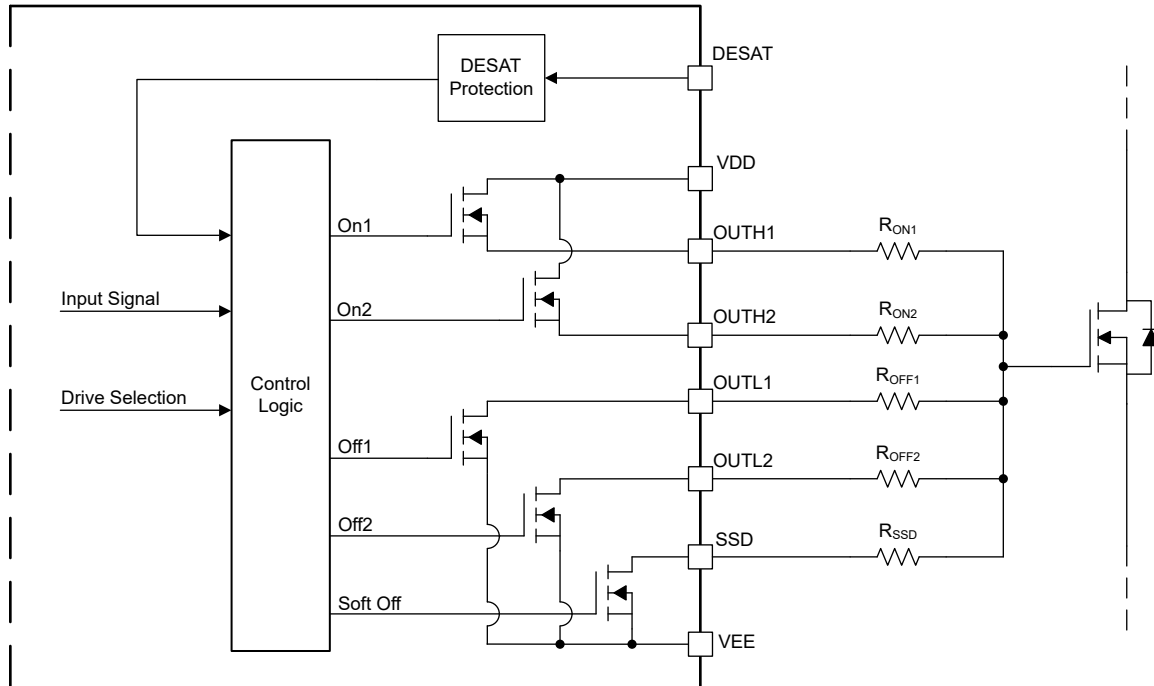


図 6-11. ソフト シャットダウン

6.3.9 フォルト ($\overline{\text{FLT}}$)、リセットおよびイネーブル ($\overline{\text{RST/EN}}$)

$\overline{\text{FLT}}$ ピンはオープン ドレインであり、DESAT ピンで故障が検出されると、DSP / マイコン に故障信号を通知できます。 $\overline{\text{FLT}}$ ピンは、フォルトが検出されると GND にプルダウンされ、 $\overline{\text{RST/EN}}$ からリセット信号を受信するまで Low に保持されます。デバイスにはフォルトミュート時間 t_{FLTMUTE} があり、その範囲内でデバイスはリセット信号を無視します。

$\overline{\text{RST/EN}}$ ピンは内部的にプルダウンされるため、このピンがフローティングのときはデフォルトでディスエーブルになります。ドライバをイネーブルにするには、ピンを外部でプルアップする必要があります。ピンには次の 2 つの目的があります。

- デバイスのイネーブルとシャットダウンに使用します。 $\overline{\text{RST/EN}}$ ピンが t_{INFIL} より長く Low になると、ドライバは無効化され、GD_SEL ロジックレベルに応じて OUTLx が有効になって IGBT または SiC MOSFET のゲートがオフになります。
- $\overline{\text{FLT}}$ ピンで通知された DESAT 故障をリセットします。ミュート時間 t_{FLTMUTE} の後で $\overline{\text{RST/EN}}$ ピンが t_{RSTFIL} より長い間 Low になると、フォルト信号はリセットされ、 $\overline{\text{RST/EN}}$ ピンに印加された次の立ち上がりエッジで $\overline{\text{FLT}}$ はハイインピーダンス状態に戻ります。図 6-10 に、タイミング図を示します。

6.3.10 出力ゲート電圧モニタ

ゲートドライバの出力が IN+ および IN- と確実に一致するように、出力ゲート電圧モニタリング機能を実装します。PWM 信号 (「IN+」-「IN-」) が High のとき、出力は V_{GMHI} リファレンスと比較されます。PWM 信号が LOW のとき、出力は V_{GMLO} リファレンスと比較されます。低電圧側の OUT_FB ピンに、リアルタイム ゲート モニタのフィードバックが供給されます。OUT_FB ピンに印加される出力ステータスをマイコンで PWM 入力と比較することで、システムが正常に動作しているか、フォルト状態が存在しているかを判断できます。出力ゲート電圧モニタ機能のブロック図については図 6-12 を、タイミング図については図 6-13 を、真理値表については表 6-1 を参照してください。

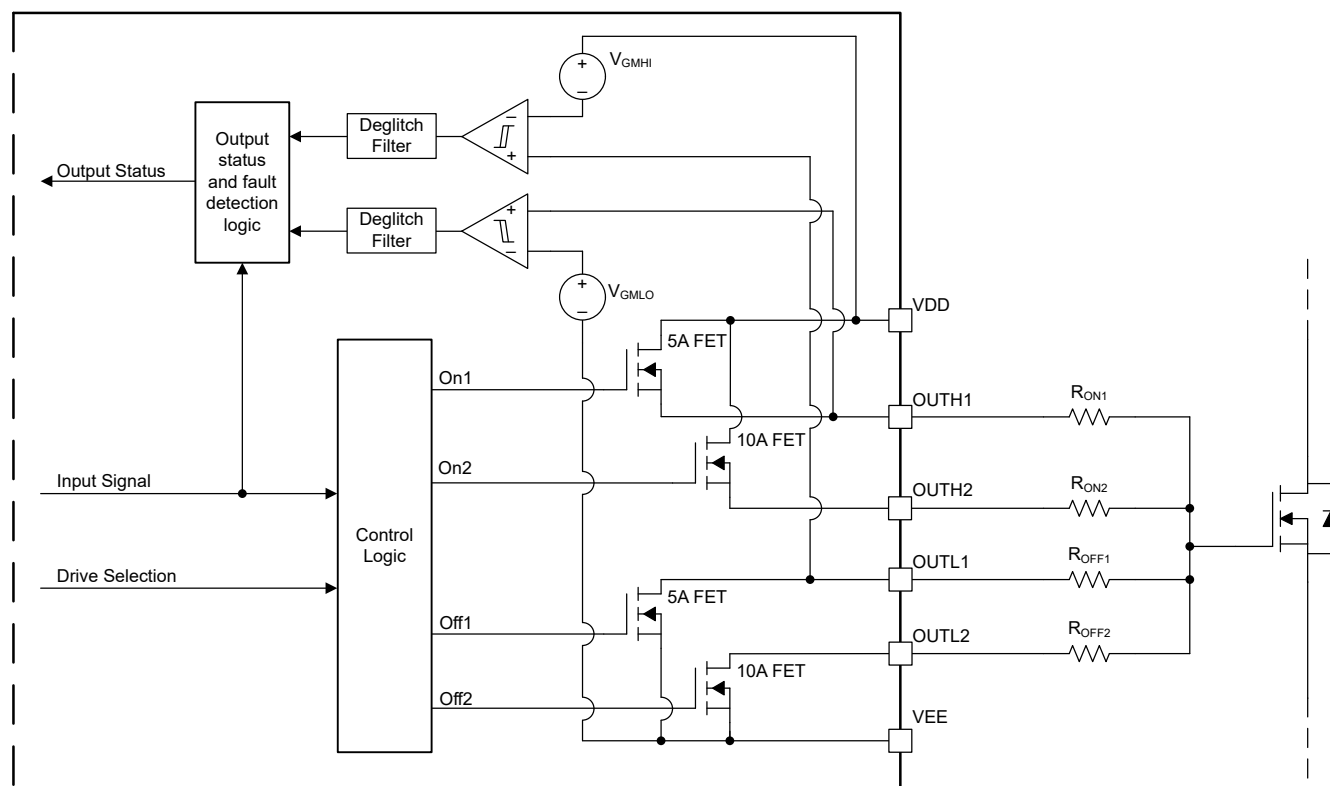


図 6-12. 出力ゲート電圧モニタ

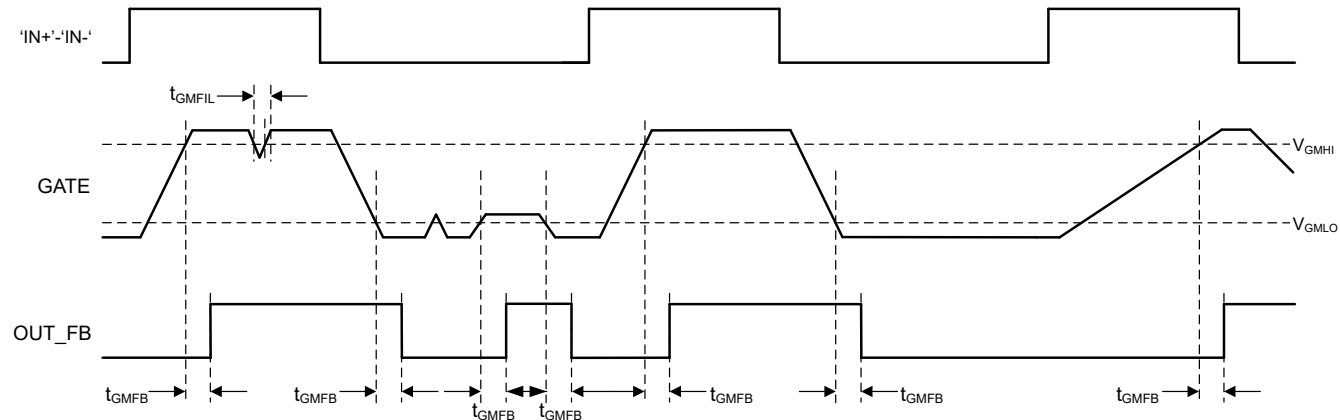


図 6-13. 出力ゲート電圧モニタのタイミング図

表 6-1. 出力ゲート電圧モニタの定常状態の真理値表

PWM (「IN+」-「IN-」)	ゲート電圧	OUT_FB
L	$V_{GATE} < V_{GMLO}$	L
L	$V_{GATE} > V_{GMLO}$	H
H	$V_{GATE} < V_{GMHI}$	L
H	$V_{GATE} > V_{GMHI}$	H

6.3.11 アクティブ短絡 (ASC) のサポート

アクティブ短絡 (ASC) 機能を使用すると、システムは PWM 入力に関係なくパワー トランジスタの状態を強制的にオンにすることができます。これは、モーターの制御能力が失われ、バッテリーにエネルギーをフィードバックする可能性があるトラクション インバータ アプリケーションでは重要です。バッテリーの過電圧はバッテリーの故障の原因となり、火災の危険性もあります。このシナリオでは、ASC 機能を使用して、出力を強制的にオンにし、パワー スイッチをオンにし、モーター相間にアクティブな短絡ループを作成してバッテリーをバイパスして、システムを保護します。UCC218302-Q1 には、COM を基準とする 2 次側入力 (ASC2) があります。ASC2 入力ピンが High のとき、ドライバ出力は強制的にオンになります。ASC2 が High になるときの GD_SEL 入力によって、OUTx1/OUTx2 出力の選択が決まります。ASC2 入力は、VCC UVLO および 1 次側入力よりも優先されます。2 次側電源 UVLO、DESAT、出力ゲート電圧モニタの故障は、ASC2 入力よりも優先されます。図 6-14 図 6-15 と図 6-16 に、VCC UVLO、VDD UVLO、DESAT と ASC2 サポートのタイミング図を示します。

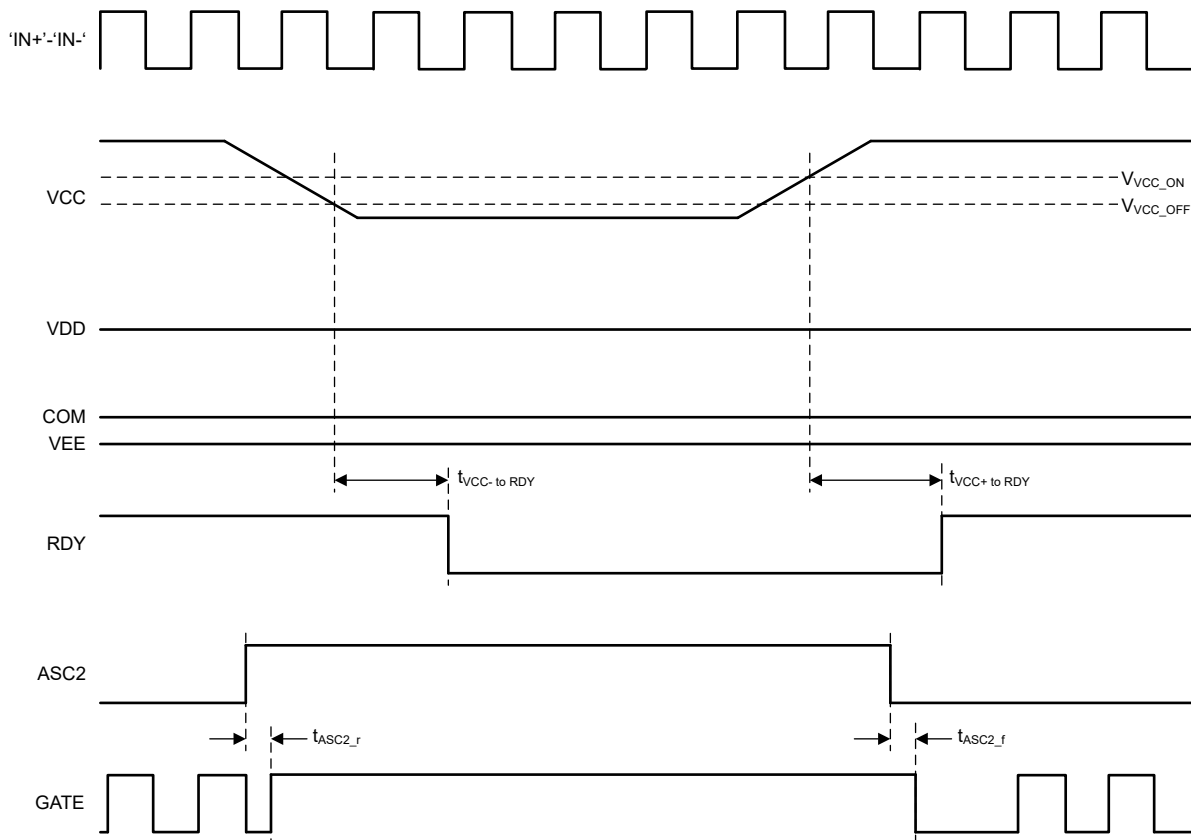


図 6-14. VCC UVLO と ASC2 サポート

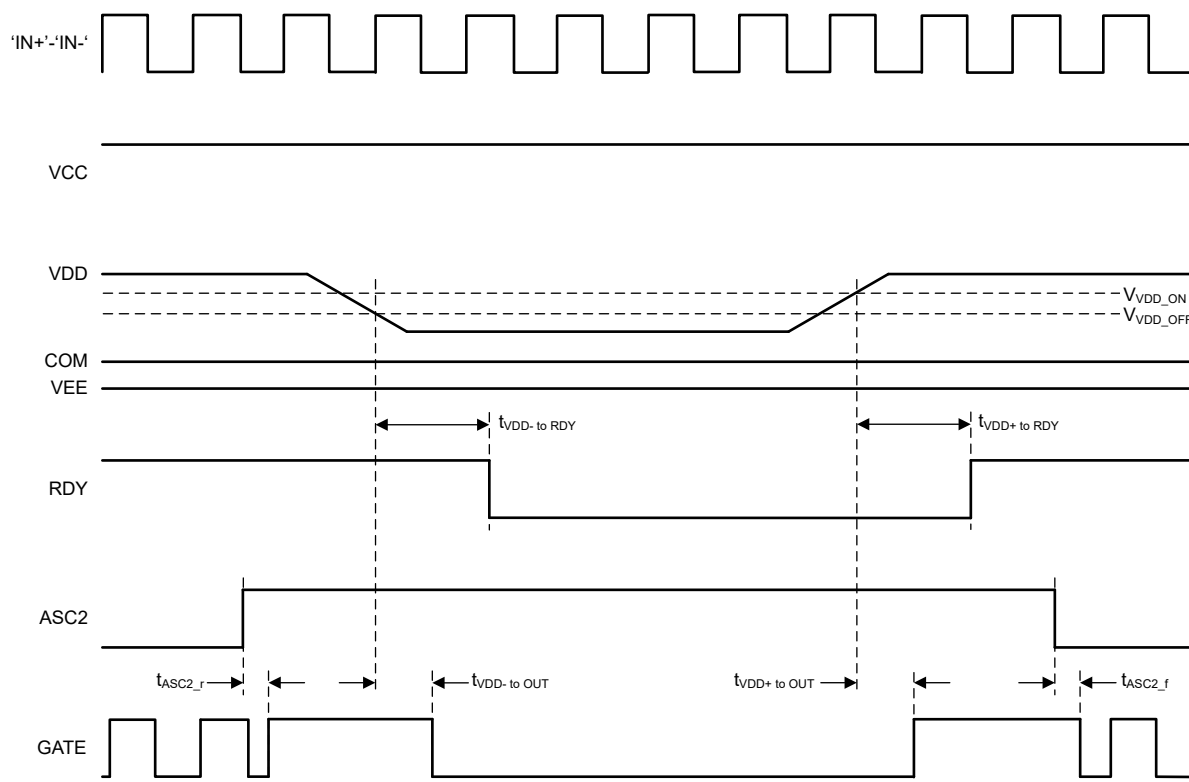


図 6-15. VDD UVLO と ASC2 サポート

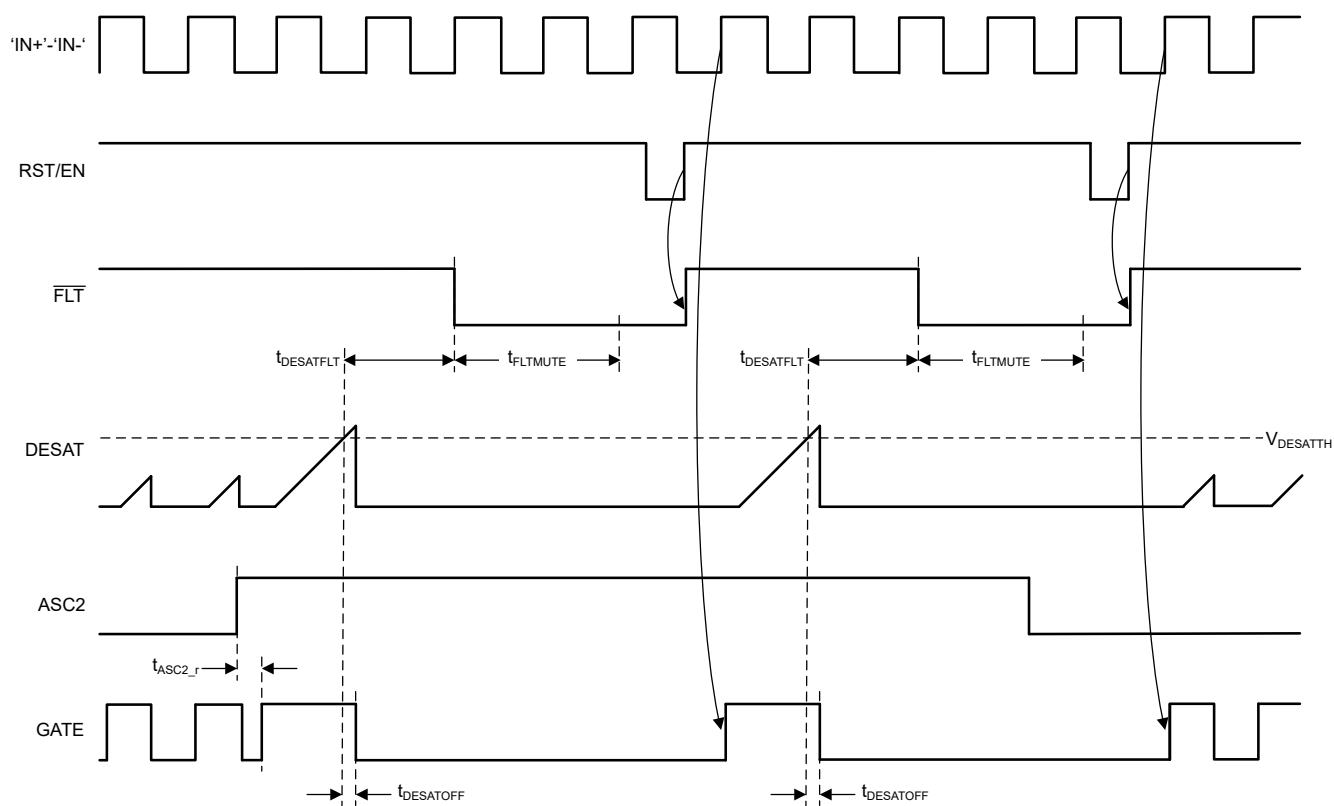


図 6-16. DESAT 故障と ASC2 サポート

6.3.12 過熱保護

過熱状態時にドライバの IC を損傷から保護するために、シリコン接合部温度が監視されます。デバイス温度がサーマルシャットダウン立ち上がりスレッショルド T_{TSDTH} を超えると、ドライバ出力はオフになります。ドライバの出力は、温度がサーマル シャットダウンの立ち上がりスレッショルドから $T_{TSDHYST}$ 低下したレベルまで回復する間、出力をオフの状態に維持します。ドライバがサーマル シャットダウン中、入力側の RDY ピンは Low に保持され、GND に接続されます。

6.4 デバイスの機能モード

表 6-2 に、定常状態でのデバイスの機能モードを示します。フォルト検出を含む過渡動作については、[機能説明](#)を参照してください。

表 6-2. 機能表

供給電圧 ⁽¹⁾			入力				出力				注
VCC	VDD	VEE	IN+	IN-	RST/EN	ASC2	RDY	FLT	OUTHx/ OUTLx	CLMPI	
PD	PU	PU	X	X	X	L	L	ハイ イン ピーダ ンス	L	L	電源 UVLO
PU	PD	PU	X	X	X	X	L	ハイ イン ピーダ ンス	L	L	
PU	オープン	PU	X	X	X	X	L	ハイ イン ピーダ ンス	L	ハイ イン ピーダ ンス	電源オープン
PU	PU	オープン	X	X	X	X	L	ハイ イン ピーダ ンス	L	L	
PU	PU	PU	X	X	L	L	ハイ イン ピーダ ンス	ハイ イン ピーダ ンス	L	L	無効
PU	PU	PU	L	X	H	L	ハイ イン ピーダ ンス	ハイ イン ピーダ ンス	L	L	入力制御
PU	PU	PU	H	H	H	L	ハイ イン ピーダ ンス	ハイ イン ピーダ ンス	L	L	
PU	PU	PU	H	L	H	L	ハイ イン ピーダ ンス	ハイ イン ピーダ ンス	H	ハイ イン ピーダ ンス	
PU	PU	PU	X	X	X	L	ハイ イン ピーダ ンス	ハイ イン ピーダ ンス	H	ハイ イン ピーダ ンス	ASC
X	PU	PU	X	X	X	H	X	X	H	ハイ イン ピーダ ンス	
PU	PU	PU	X	X	X	X	L	ハイ イン ピーダ ンス	L	L	過熱故障
PU	PU	PU	X	X	X	X	ハイ イン ピーダ ンス	L	L	L	DESAT 故障 (SSD 後、RST 前)

(1) PU: 電源投入 (電源が UVLO スレッショルドより高い)、PD: パワーダウン (電源が UVLO スレッショルドを下回る)、X: 無関係、H = High、L = Low、Hi-Z: ハイ インピーダンス

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

このデバイスは、調整可能で強力な駆動能力、幅広い出力電源範囲、高い絶縁定格、高い CMTI、品質保護およびセンシング機能を備えているため、様々な用途に使用できます。1.061kV_{RMS} の動作電圧と 10kV_{PK} のサージ耐性により、最大 1500V の DC バス電圧に対応する SiC MOSFET と IGBT の両方のモジュールへの対応が可能です。以下のような低消費電力と大電力の両方のアプリケーションで、このデバイスを使用できます

- HEV/EV のトラクション インバータ
- オンボード チャージャおよび充電ステーション
- モーター ドライバ
- ソーラー インバータ
- 産業用電源

このデバイスは、ハイパワー SiC MOSFET モジュール、IGBT モジュール、または並列接続されたディスクリート デバイスを直接駆動できます。入力側は 3.3V ~ 5V の電源およびマイコン信号に対応でき、デバイスは強化絶縁バリアを介して信号を出力側にレベル シフトします。このデバイスは、13V ~ 30V の広い出力電源範囲を備えており、負電源範囲を広くサポートします。その結果、このドライバは SiC MOSFET や IGBT のアプリケーション、その他多くで使用できます。12V VDD UVLO は、導通損失が小さいパワー半導体に利点をもたらし、システム効率が向上します。強化絶縁型シングル チャネルドライバとして、このデバイスをローサイドまたはハイサイド スイッチの駆動に使用できます。

このデバイスは広範な保護および監視機能を備えており、さまざまな故障条件からシステムを監視、報告、保護できます。

- 過電流と短絡の故障に対処する高速な検出および保護機能を備えています。故障が検出されると、半導体はシャットダウンされ、FLT ピンがプルダウンして、フォルト検出が表示されます。RST/EN ピンからリセット信号が受信されない限り、このデバイスはラッチします。
- SSD 抵抗で制御可能な専用シャットダウン ピンのソフト ターンオフ機能により、過電流や短絡障害が発生した際の致命的な破壊からパワー半導体を保護します。パワー半導体のオーバーシュートが限られている間、シャットダウン エネルギーを制御できます。
- 過度の導通損失から半導体を保護する UVLO 検出機能もあります。デバイスが UVLO モードであることが検出されると、出力がプルダウンし、RDY ピンは電源が失われたことを示します。電源が UVLO ステータスを解除すると、デバイスは通常動作モードに戻ります。パワー グッド ステータスは RDY ピンで監視します。
- アクティブ内部ミラー クランプ機能は、4A の内部プルダウン強度により、ミラー容量に起因する誤ターンオンからパワー半導体を保護します。
- アクティブ短絡 (ASC) は、出力信号を強制的に High にして、位相間のアクティブな短絡ループを形成することができます。
- 出力電圧ゲート モニタ、OUT_FB によるリアルタイムの出力状態フィードバック
- RST/EN ピンによるイネーブル / ディスエーブル機能
- 短絡クランプ
- アクティブ プルダウン

7.2 代表的なアプリケーション

 **図 7-1** に、6 個の絶縁型ゲートドライバを使用した 3 つのハーフブリッジの代表的アプリケーションを示します。ハーフブリッジは、HEV/EV のトラクション インバータなど、さまざまなパワー エレクトロニクス アプリケーションで基本的な素子であり、電気自動車のバッテリーの DC 電流を AC 電流に変換し、推進システム内で電気モーターを駆動します。AC モーターの動作速度とトルクを制御するために、モーター ドライブ アプリケーションでトポロジを使用します。

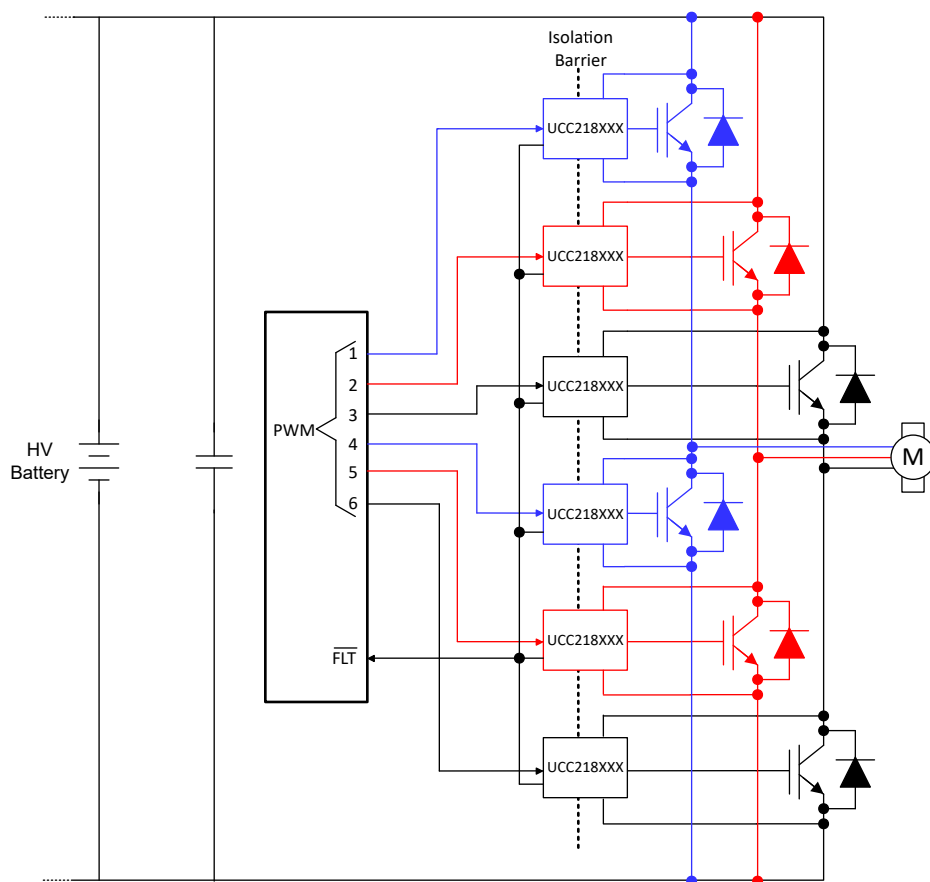


図 7-1.3 ハーフブリッジ モーター駆動システムにおける標準的なアプリケーション回路図

7.2.1 アプリケーション回路図

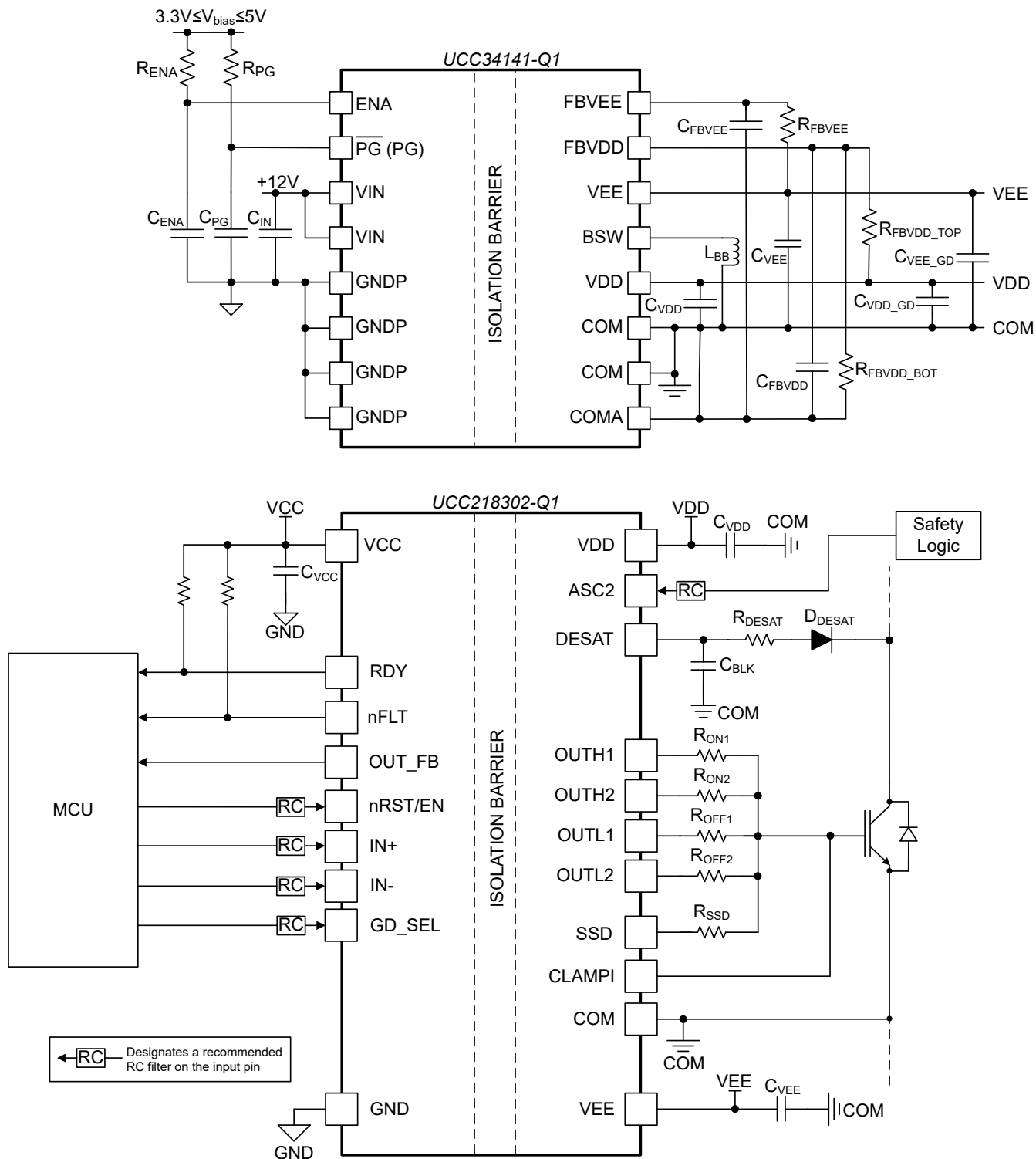


図 7-2. 代表的なアプリケーション回路

7.2.2 設計要件

最終機器用の電源システムの設計では、デバイスが負荷範囲全体で信頼性の高い動作を確保するために、いくつかの設計要件を考慮する必要があります。設計上の考慮事項には、ピークのソース電流およびシンク電流、消費電力、短絡保護、故障フィードバックなどが含まれます。

このサブセクションに、IGBT に基づく設計例を掲載します。設計パラメータを表 7-1 に示します。

表 7-1. 設計パラメータ

パラメータ	値
VCC	5V
入力	非反転
VDD	15V
VEE	-5V
スイッチング周波数	30kHz
スイッチ タイプ	IGBT モジュール

7.2.3 詳細な設計手順

7.2.3.1 IN+, IN-, $\overline{\text{RST/EN}}$ の入力フィルタ

UCC218302-Q1 への入力ピンは、3.3V および 5V 両方のロジックと互換性があります。IN+ および $\overline{\text{RST/EN}}$ ピンには内部プルダウン抵抗、IN- ピンには内部プルアップ抵抗があります。これらのピンのいずれかがフローティングのままになっている場合、ドライバはアクティブ短絡が作動しない限りデスエーブルになります。ドライバには反転と非反転の両方の PWM 入力ピンがあります。非反転 IN+ 入力のみを使用する場合は、IN- を GND に接続します。反転 IN- 入力のみを使用する場合は、IN+ を VCC に接続します。IN+ と IN- のどちらも、ハーフブリッジ構成で他のドライバとの PWM インターロックを可能にし、位相レグ貫通を防止できます。

このデバイスには IN+, IN-, $\overline{\text{RST/EN}}$ ピンに内部グリッチ除去フィルタが搭載されており、ノイズ過渡や狭い PWM パルスによる意図しないスイッチングから保護します。 t_{INFIL} 未満の信号はフィルタで除去され、通過されません。ノイズの多いシステムの場合、入力ピンに外部ローパス フィルタを追加すると、ノイズ耐性がさらに向上します。ローパス フィルタの部品を選択するときは、システム要件に応じて、ノイズ耐性と遅延時間の両方を考慮します。図 7-3 に、狭いパルスが IN+, IN-, $\overline{\text{RST/EN}}$ にあるグリッチ除去フィルタの影響を示します。

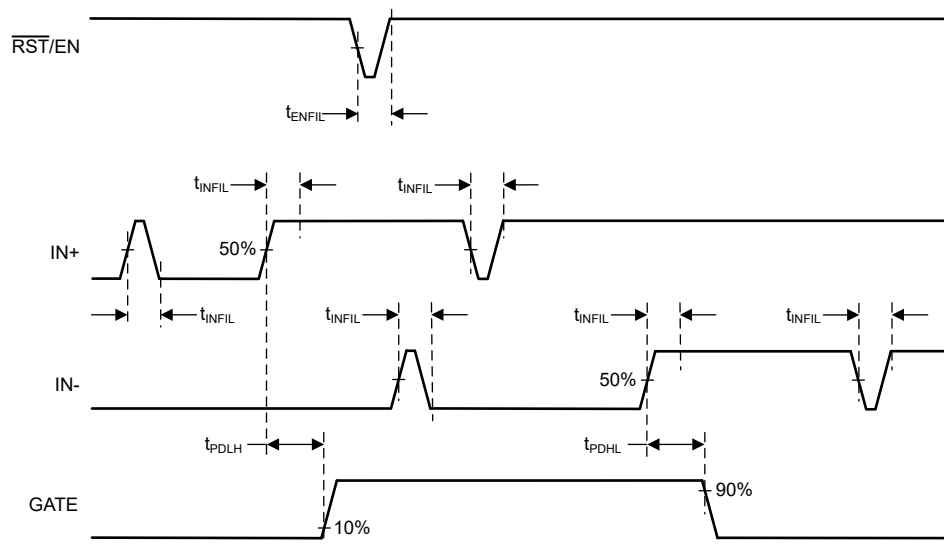


図 7-3. グリッチ除去フィルタの影響

7.2.3.2 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピン回路

$\overline{\text{FLT}}$ と RDY ピンは両方ともオープンドレイン出力です。通常、 $5\text{k}\Omega$ 抵抗は、 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピンのプルアップ抵抗として使用します。

寄生結合や同相ノイズによるノイズ耐性を向上させるため、 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピンとマイコンとの間にそれぞれローパスフィルタを追加します。通常、 100pF ～ 300pF のフィルタコンデンサを追加します。

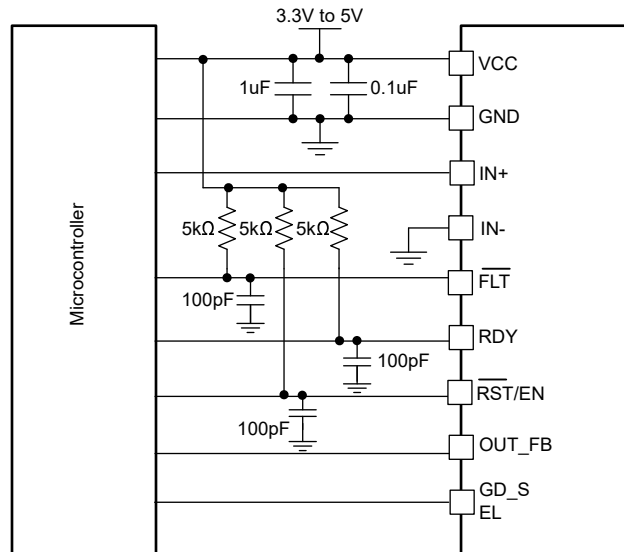


図 7-4. $\overline{\text{FLT}}$ ピン、RDY ピンおよび $\overline{\text{RST/EN}}$ ピン回路

7.2.3.3 ゲートドライバの出力抵抗

デバイスは OUTH1、OUTH2、OUTL1 および OUTL2 のデュアル分割出力を備えているため、オン / オフのスイッチング速度を独立して制御することが可能です。ターンオンおよびターンオフ抵抗によってピークソース電流およびシンク電流が決まり、スイッチング速度を制御します。一方、デバイスが温度制限に達しているかどうかを判断するために、ゲートドライバにおける消費電力を検討してください。OUTH1 と OUTL1 は $\pm 5\text{A}$ のピーク電流をソースおよびシンクできます。OUTH2 と OUTL2 は $\pm 10\text{A}$ のピーク電流をソースおよびシンクできます。最初に、ピークソースおよびシンク電流は次のように計算します。

$$I_{\text{Source_Pk_OUTH1}} = \min[5\text{A}, (V_{\text{DD}} - V_{\text{EE}}) / (R_{\text{OUTH1}} + R_{\text{ON1}} + R_{\text{G_Int}})] \quad (1)$$

$$I_{\text{Sink_Pk_OUTL1}} = \min[5\text{A}, (V_{\text{DD}} - V_{\text{EE}}) / (R_{\text{OUTL1}} + R_{\text{OFF1}} + R_{\text{G_Int}})] \quad (2)$$

$$I_{\text{Sink_Pk_OUTH2}} = \min[10\text{A}, (V_{\text{DD}} - V_{\text{EE}}) / (R_{\text{OUTH2}} + R_{\text{ON2}} + R_{\text{G_Int}})] \quad (3)$$

$$I_{\text{Sink_Pk_OUTL2}} = \min[10\text{A}, (V_{\text{DD}} - V_{\text{EE}}) / (R_{\text{OUTL2}} + R_{\text{OFF2}} + R_{\text{G_Int}})] \quad (4)$$

ここで

- R_{OUTH1} は OUTH1 の内部プルアップ抵抗です
- R_{OUTH2} は OUTH2 の内部プルアップ抵抗です
- R_{OUTL1} は OUTL1 の内部プルダウン抵抗です
- R_{OUTL2} は OUTL2 の内部プルダウン抵抗です
- R_{ON1} は OUTH1 の外部ターンオン ゲート抵抗です
- R_{ON2} は OUTH2 の外部ターンオン ゲート抵抗です
- R_{OFF1} は OUTL1 の外部ターンオフ ゲート抵抗です
- R_{OFF2} は OUTL2 の外部ターンオフ ゲート抵抗です

- R_{G_Int} は SiC MOSFET または IGBT モジュールの内部抵抗です

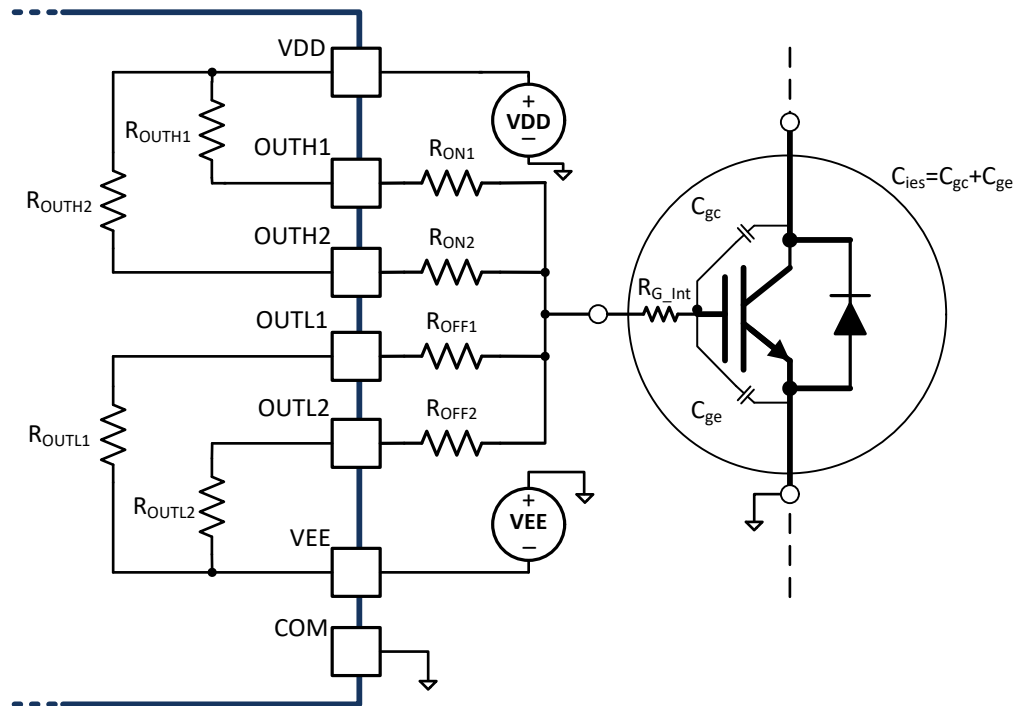


図 7-5. ピーク ゲート電流計算用の出力モデル

以下の計算例では、内部プルアップおよびプルダウン抵抗の最大値を使用しています。詳細については、「[電気的特性](#)」を参照してください。次のパラメータを持つ IGBT モジュール ベースのシステムの場合：

- $Q_g = 3300\text{nC}$
- $R_{G_Int} = 1.7\Omega$
- $R_{ON1} = R_{OFF1} = 1.0\Omega$
- $R_{ON2} = R_{OFF2} = 0.5\Omega$
- $VDD = 15\text{V}$
- $VEE = -5\text{V}$

この場合のピーク ソースおよびシンク電流は次のとおりです。

$$I_{Source_Pk_OUTH1} = (VDD - VEE) / (R_{OUTH1} + R_{ON1} + R_{G_Int}) = 5\text{A} \quad (5)$$

$$I_{Sink_Pk_OUTL1} = (VDD - VEE) / (R_{OUTL1} + R_{OFF1} + R_{G_Int}) = 5\text{A} \quad (6)$$

$$I_{Source_Pk_OUTH2} = (VDD - VEE) / (R_{OUTH2} + R_{ON2} + R_{G_Int}) = 6.7\text{A} \quad (7)$$

$$I_{Sink_Pk_OUTL2} = (VDD - VEE) / (R_{OUTL2} + R_{OFF2} + R_{G_Int}) = 6.7\text{A} \quad (8)$$

1Ω の外部ゲート抵抗を使用すると、OUT1 のピーク ソース / シンク電流は 4A 、OUT2 のピーク ソース / シンク電流は 6.7A となります。GD_SEL ピンを Low または High に設定することで、デバイスは OUT1 のみを使用して弱い駆動強度、または OUT1 と OUT2 の両方を使用して強い駆動強度を実現できます。この場合の弱い駆動電流と強い駆動電流は次のとおりです。

$$I_{Source_Pk_Weak} = I_{Source_Pk_OUTH1} = 5\text{A} \quad (9)$$

$$I_{Sink_Pk_Weak} = I_{Sink_Pk_OUTL1} = 5\text{A} \quad (10)$$

$$I_{\text{Source_Pk_Strong}} = I_{\text{Source_Pk_OUTH1}} + I_{\text{Source_Pk_OUTH2}} = 11.7\text{A} \quad (11)$$

$$I_{\text{Sink_Pk_Strong}} = I_{\text{Sink_Pk_OUTL1}} + I_{\text{Sink_Pk_OUTL2}} = 11.7\text{A} \quad (12)$$

ミラー プラトー電圧のゲート電流が、ターンオン スイッチング過渡中のコレクタからエミッタへの dV/dt を支配します。プルアップ構造により、ターンオン ゲート抵抗が過度に大きい場合を除き、ミラー プラトー電圧でのピークソース電流が保証されます。コレクタ - エミッタ間 V_{ce} の電圧が V_{DC} まで上昇する速度が速いほど、ターンオン スイッチング損失は小さくなります。 dV/dt は $Q_{gc}/I_{\text{source_pk}}$ と推定します。ターンオフ スイッチング過渡では、ターンオフ ゲート抵抗が大きすぎる場合を除き、負荷電流がドレインソース間の dV/dt を支配します。 V_{ce} が DC バス電圧に達すると、パワー半導体は飽和モードになり、 V_{ge} がチャネル電流を制御します。ピークシンク電流によって dI/dt が決まり、それに応じて V_{ce} 電圧オーバーシュートが支配されます。比較的大きなターンオフ ゲート抵抗と弱い駆動選択を使用する場合は、 V_{ce} オーバーシュートを制限します。以下を使用してオーバーシュートを推定します。

$$\Delta V_{ce} = L_{\text{stray}} \times I_{\text{load}} / \left[(R_{\text{OFF1}} + R_{\text{OUTL1}} + R_{G_Int}) \times C_{ies} \times \ln(V_{\text{plat}} / V_{th}) \right] \quad (13)$$

ここで

- L_{stray} は、[図 7-6](#) に示すように、電源スイッチングループの浮遊インダクタンスです
- I_{load} は負荷電流で、パワー半導体のターンオフ電流です
- C_{ies} は、パワー半導体の入力容量です
- V_{plat} は、パワー半導体のプラトー電圧です
- V_{th} は、パワー半導体のスレッシュホールド電圧です

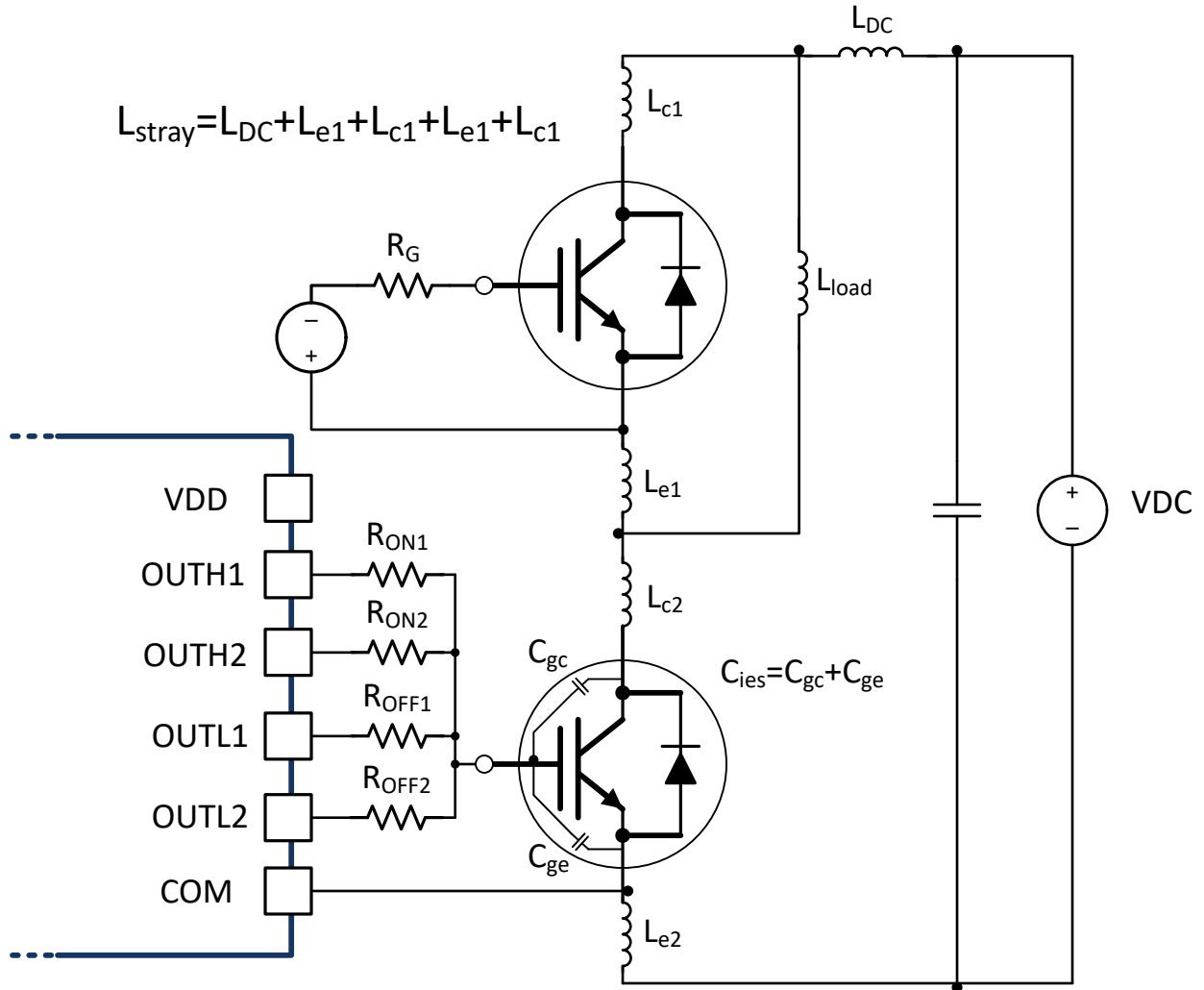


図 7-6. ハーフブリッジ構成における IGBT の浮遊寄生インダクタンス

ゲートドライバを温度制限内に維持するために、消費電力を考慮します。ゲートドライバの電力損失 (静止損失およびスイッチング損失を含む) を、次のように算出します。

$$P_{DR} = P_Q + P_{SW} \quad (14)$$

P_Q はドライバの静止電力損失。 $I_q \times (V_{DD} - V_{EE}) = 7\text{mA} \times 20\text{V} = 0.14\text{W}$ となります。静止電力損失とは、ドライバが V_{DD} と V_{EE} でバイアスされる場合、ドライバがスイッチングを行う際に内部回路 (入力段、リファレンス電圧、論理回路、保護回路など) によって消費される電力であり、ドライバがスイッチングする際の内部回路の充電および放電電流を指します。強い駆動強度がイネーブルであることを考慮して、計算を簡単にするために、 Q_g の流れが各出力チャネルの総抵抗に逆比例して分布すると仮定します。ドライバのスイッチング時の各出力チャネルの消費電力は、次のように計算します。

$$P_{SWOUTx1} = \frac{1}{2} \times \left(\frac{R_{OUTH1}}{R_{OUTH1} + R_{ON1} + R_{G_Int}} + \frac{R_{OUTL1}}{R_{OUTL1} + R_{OFF1} + R_{G_Int}} \right) \times (V_{DD} - V_{EE}) \times f_{sw} \times \frac{1}{3} \times Q_g \quad (15)$$

$$P_{SWOUTx2} = \frac{1}{2} \times \left(\frac{R_{OUTH2}}{R_{OUTH1} + R_{ON2} + R_{G_Int}} + \frac{R_{OUTL2}}{R_{OUTL2} + R_{OFF2} + R_{G_Int}} \right) \times (V_{DD} - V_{EE}) \times f_{sw} \times \frac{2}{3} \times Q_g \quad (16)$$

ここで

- Q_g は、VEE から VDD までのゲート電圧を完全に充電するために動作ポイントに必要なゲート電荷量です
- f_{sw} はスイッチング周波数 (30kHz)

この例では、強力な駆動を選択して、 P_{SW} を次のように計算します。

$$P_{SW} = P_{SWOUTx1} + P_{SWOUTx2} = 0.14 + 0.34 = 0.48W \quad (17)$$

したがって、全電力損失は次のようになります。

$$P_{DR} = P_Q + P_{SW} = 0.14W + 0.56W = 0.70W \quad (18)$$

基板の温度が 120°C の場合、接合部温度は次のように推定します。

$$T_j = T_b + \Psi_{JB} \times P_{DR} \approx 150^\circ C \quad (19)$$

したがって、この例のアプリケーションで、120°C 基板温度を使用する場合、ゲートドライバを温度制限内に維持するために、最大スイッチング周波数は約 30kHz となります。より低いスイッチング周波数を使用する、または外部ゲート抵抗を大きくすることで、ゲートドライバをより高い基板温度で動作させます。

7.2.3.4 DESAT 機能搭載の過電流および短絡保護回路

標準的なデサチュレーション回路を DESAT ピンに適用します。DESAT ピンの電圧がスレッショルド V_{DESAT} を超えると、ソフトシャットダウンが開始されます。DSP / マイコン への入力側に障害が通知されます。フォルトが検出された後、出力は LOW に保持され、RST/EN ピンによってのみリセットできます。最新の過電流および短絡検出時間により、SiC MOSFET および IGBT のシャットダウン時間を短く維持することが可能になります。

DESAT ピンを使用しない場合は、過電流故障の誤トリガを防止するため、同ピンを COM に接続します。

- デサチュレーション回路には、高速逆回復の高耐圧ダイオードを使用することが推奨されます。突入電流を制限するため、高耐圧ダイオードと直列に抵抗を入れることが推奨されます。
- COM から DESAT に向けてショットキー ダイオードを接続することが、負電圧によってドライバが損傷するのを防ぐために推奨されます。
- 正電圧によってドライバが損傷するのを防ぐため、COM から DESAT に向けてツェナー ダイオードを接続することが推奨されます。

7.2.4 アプリケーション曲線

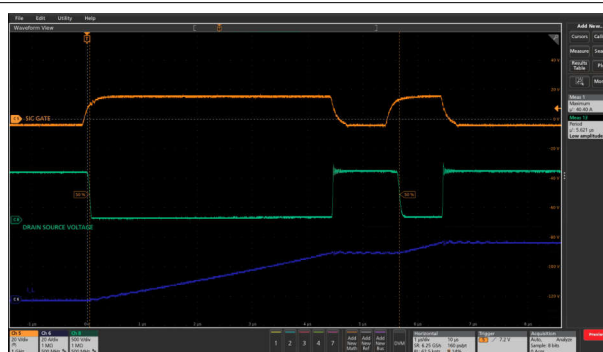


図 7-7. ダブル パルス テストの波形例

7.3 電源に関する推奨事項

ターンオンおよびターンオフのスイッチング過渡中、VDD および VEE 電源はピークのソースおよびシンク電流を供給します。大きなピーク電流により、VDD および VEE の電圧レベルがドレインして、電源で電圧降下が生じる可能性があります。電源を安定させ、信頼性の高い動作を維持するために、電源ピンに一連のデカップリング コンデンサを推奨します。デバイスのピーク駆動能力が $\pm 15A$ であり、高い dV/dt を生成できることを考慮して、VDD と COM、VEE と COM との間

に 10 μ F バイパス コンデンサを推奨します。出力側電源と比較して電流が少ないため、VCC と GND との間に 1 μ F バイパス コンデンサを推奨します。また、高周波ノイズをフィルタリングして除去するため、各電源に 0.1 μ F デカップリング コンデンサも推奨します。高周波ノイズを避けるため、デカップリング コンデンサは低 ESR および ESL にする必要があります。デカップリング コンデンサは、PCB レイアウトのシステム寄生成分によるノイズ結合を防止するため、VCC、VDD、VEE ピンのできるだけ近くに配置します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

ゲート バスのノイズを最小限に抑えるため、PCB 設計を慎重に考慮してください。以下にその要点を示します。

- PCB パターン上のゲート ループの寄生インダクタンスが減少するように、ドライバはパワー半導体のできるだけ近くに配置します
- 入力および出力電源のデカップリング コンデンサを、電源ピンのできるだけ近くに配置します。各スイッチング過渡で発生するピーク電流により、PCB パターンの寄生インダクタンスで高 di/dt および高電圧スパイクが発生する可能性があります。
- ドライバ COM は、IGBT エミッタまたは SiC MOSFET ソースのケルビン接続に接続します。電源デバイスに分割ケルビン ソースまたはエミッタがない場合は、COM ピンを電源デバイス パッケージのソースまたはエミッタ端子にできる限り近接して接続し、ゲート ループを大電力スイッチング ループと分離します
- 入力側にグランド プレーンを使用して、入力信号をシールドします。出力側のスイッチング過渡によって発生する高周波ノイズにより、入力信号が歪む可能性があります。グランド プレーンは、リターン電流の流れに対して低インダクタンス フィルタを提供します。
- COM ピンを DC バスの負端子に接続するローサイド スイッチにゲートドライバを使用する場合、出力側のグランド プレーンを使用して、スイッチ ノードが生成するノイズから出力信号をシールドします。COM ピンをスイッチ ノードに接続するハイサイド スイッチにゲートドライバを使用する場合、グランドプレーンは推奨しません
- 出力側でグランド プレーンを使用しない場合は、DESAT グランドループの帰路を、15A という大きなピークソースとシンク電流が流れるゲート グランドループから分離します
- 絶縁の完全性、特に沿面距離と空間距離が維持されるように、ゲートドライバの下に配線された銅または PCB パターンに注意してください。ゲートドライバの下のパターンは、パターンをシールドするために、対応するグランドプレーンを拡張する必要があります。

7.4.2 レイアウト例

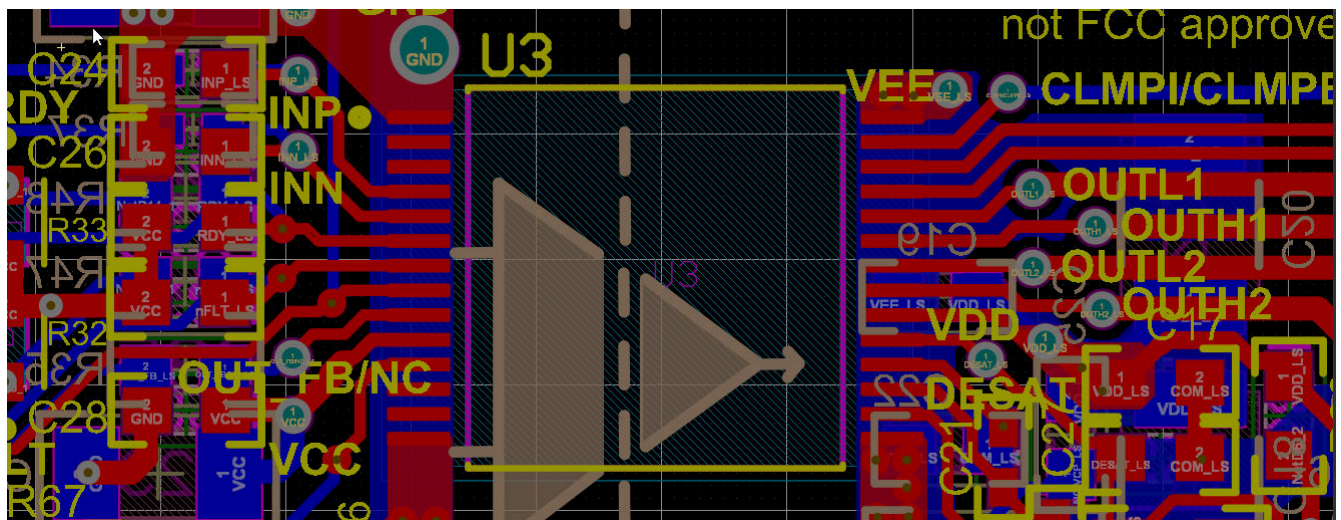


図 7-8. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『[絶縁の用語集](#)』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

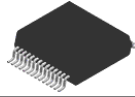
日付	改訂	注
September 2026	*	事前情報の初回リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ

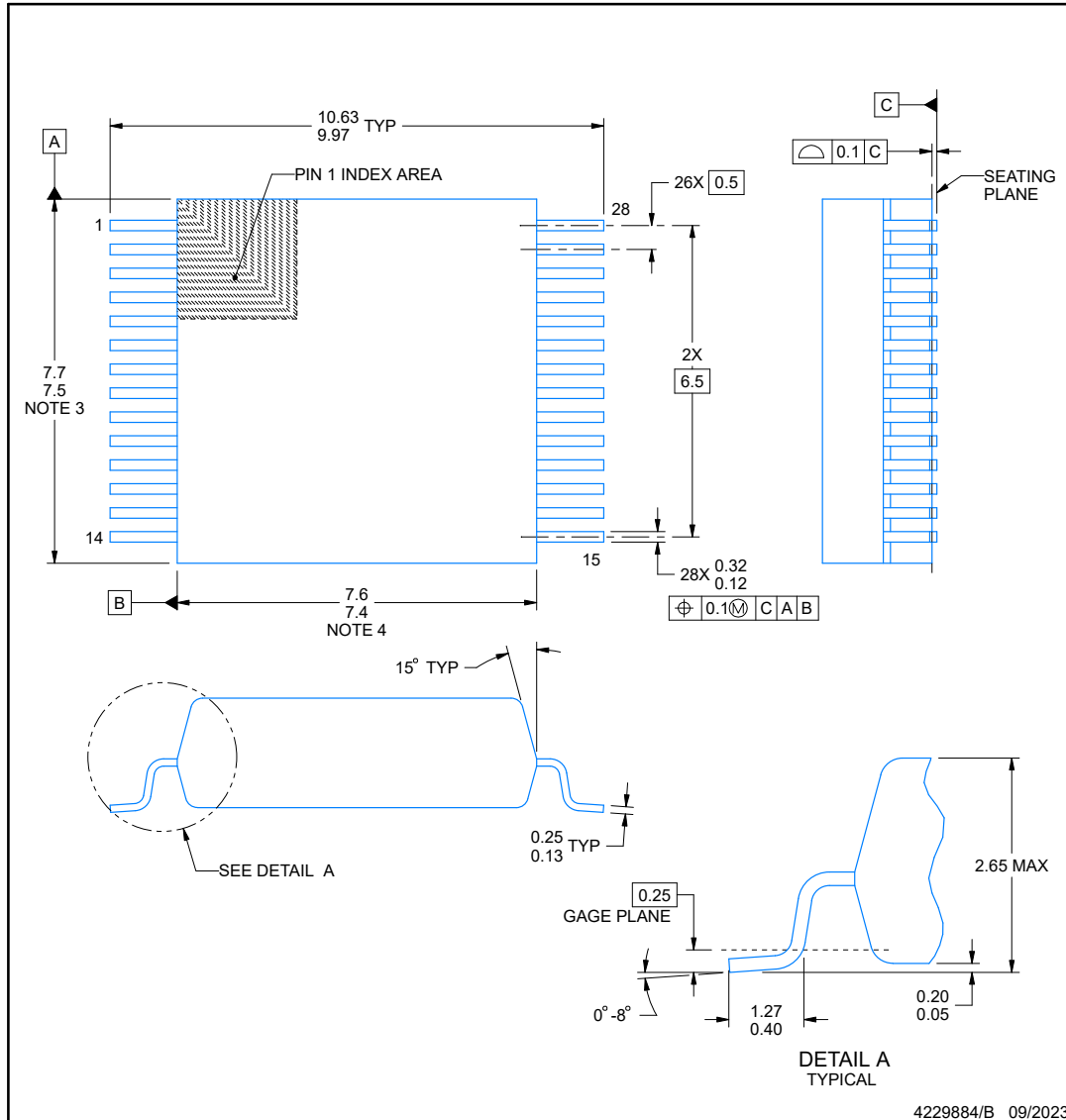
DFP0028A



PACKAGE OUTLINE

SSOP - 2.65 mm max height

SMALL OUTLINE PACKAGE

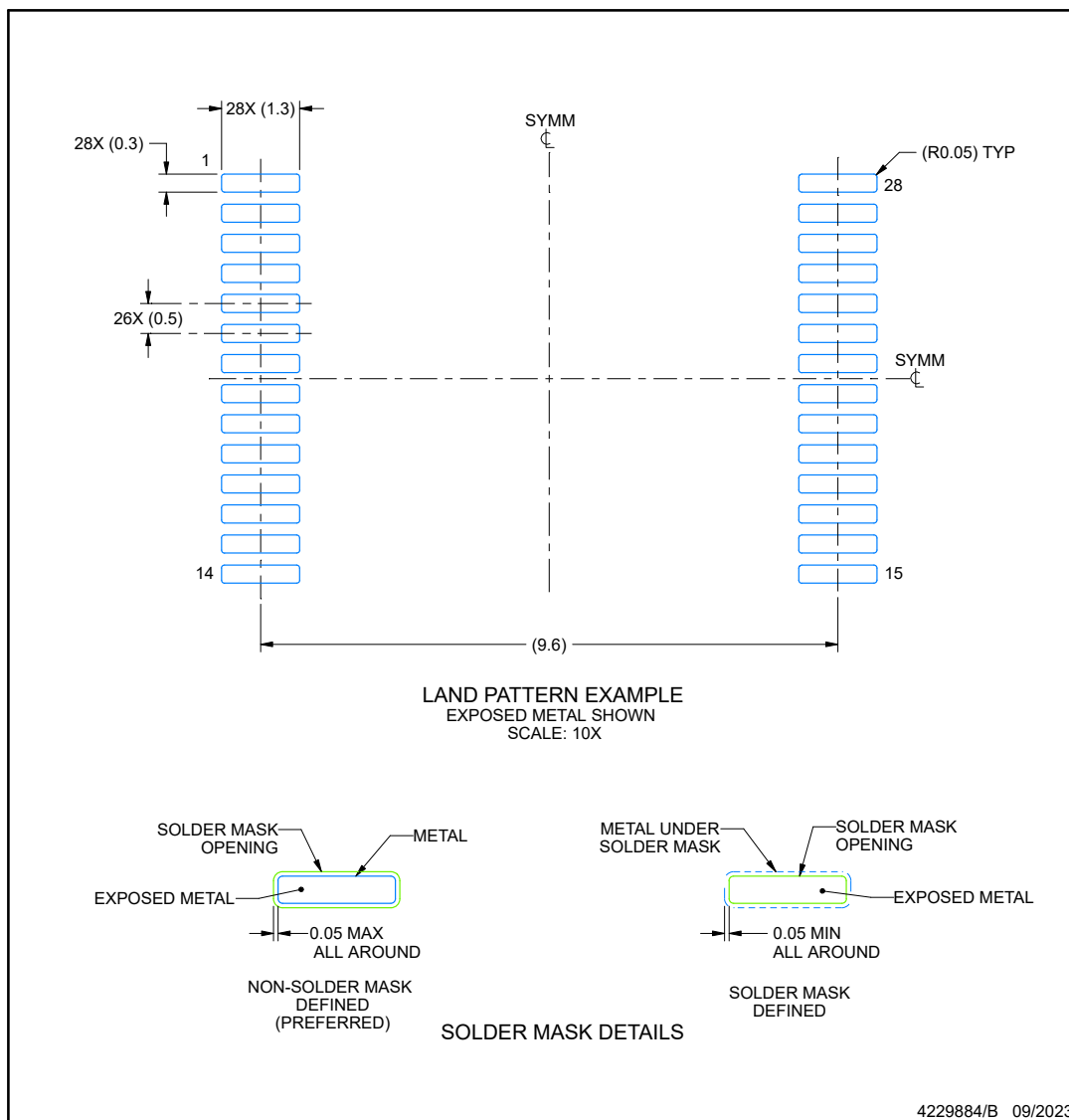


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT**DFP0028A****SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

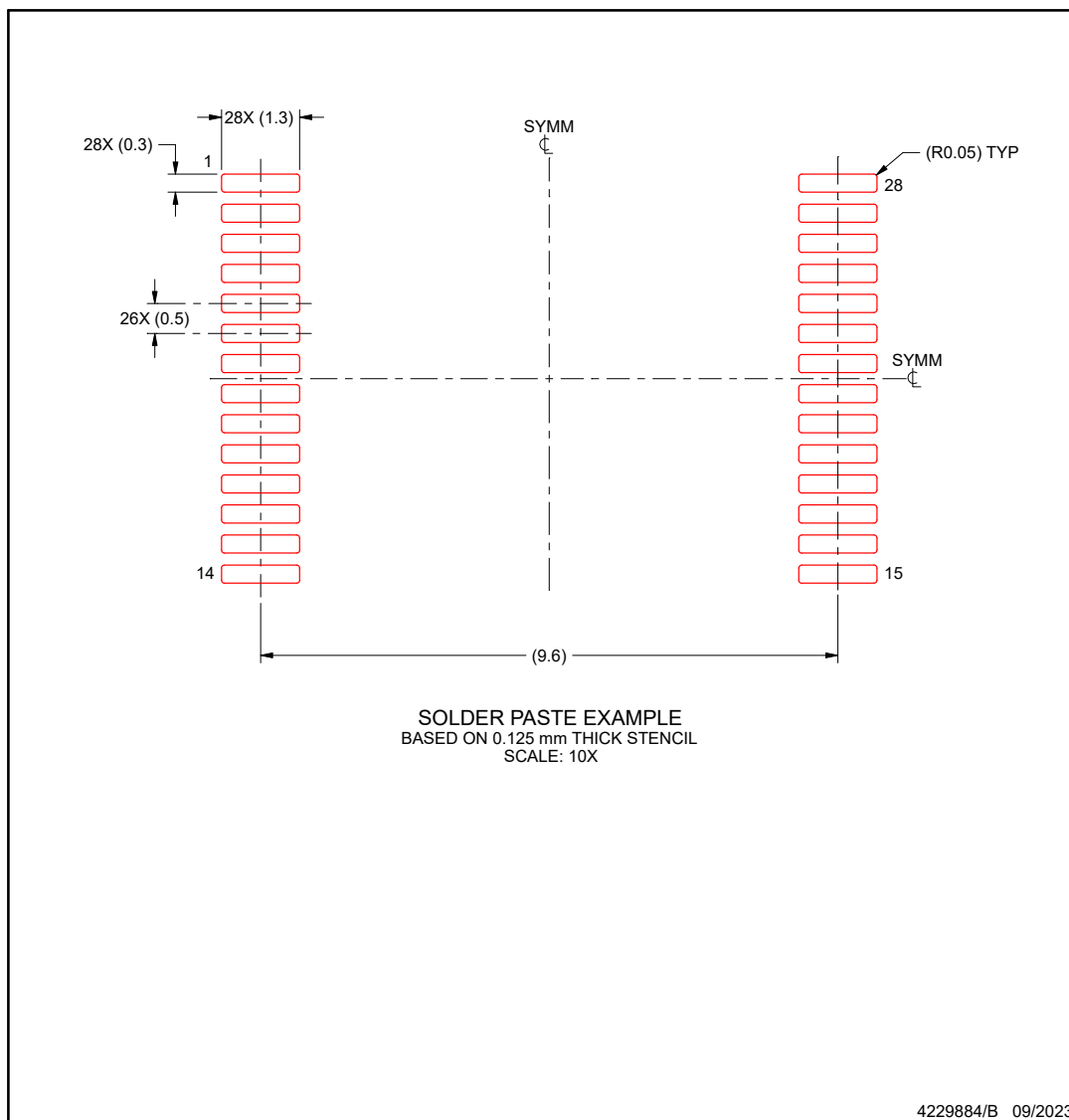
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFP0028A

SSOP - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC218302BQDFPRQ1	Active	Production	SSOP (DFP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U218302BQ

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月