

超低スタンバイ電流、UCC24630 同期整流コントローラ

1 特長

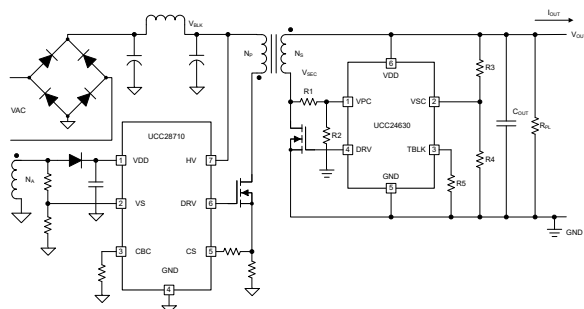
- 5V ~ 24V のフライバック システム向けに最適化された 2 次側 SR コントローラ
- 最大 200kHz の動作周波数
- ボルト秒バランスの SR オン時間制御
- MOSFET デバイスとレイアウトのインダクタンスによる影響を最小化
- CCM 動作互換性
- PSR および SSR 制御と互換性あり
- 自動低電力検出および 110 μ A のスタンバイ モード電流
- 3.6V~28V の広い VDD 範囲
- 13V クランプ付きのレール ツー レール ゲートドライバ
- ピンの開放および短絡に対する保護

2 アプリケーション

- 5V ~ 24V の出力フライバックおよびフォワード コンバータ
- USB-C コネクタ対応の PD アダプタと充電器
- スマートフォンおよびタブレット用充電器
- ノート PC および Ultrabook アダプタ
- サーバー、デスクトップ、アプライアンス アプリケーション向けの高効率補助電源
- 産業用および医療用 SMPS

3 説明

UCC24630 SR コントローラは、2 次側同期整流に使用される N チャネル MOSFET パワー デバイス用の高性能コントローラ/ドライバです。



概略回路図

コントローラと MOSFET の組み合わせによって、理想に近いダイオード整流器をエミュレートします。このソリューションは、効率向上の相乗効果により、整流器の消費電力を直接低減するだけでなく、1 次側の損失も低減します。

UCC24630 はボルト秒のバランシング制御方式を採用しており、このデバイスは MOSFET ドレインに直接接続されていないため、広い出力電圧範囲に対応するフライバック電源に適しています。SR 駆動のターンオフ スレッショルドは MOSFET の $R_{DS(on)}$ に依存しないため、最大導通時間に対する最適化が可能です。また、SR ターンオフ スレッショルドは、デバイスやレイアウトのインダクタンスに起因した 2 次側電流のリングングによって影響を受けません。

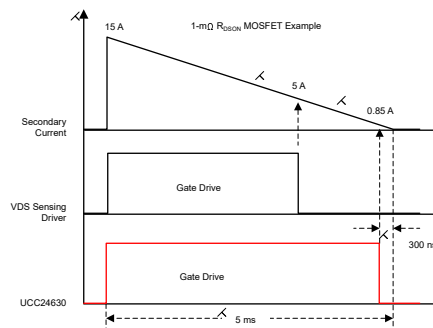
UCC24630 コントローラは、プログラミング可能な誤トリガフィルタや、低電力状態時に自動的にスタンバイ モードに切り替える周波数検出回路、およびピン障害保護機能を備えています。UCC24630 は、DCM、TM、CCM 動作と互換性があります。

広い VDD 動作範囲、VPC 電圧およびブランキング時間の広いプログラミング範囲によって、さまざまな種類のフライバック コンバータ設計に使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UCC24630	DBV (SOT23, 6)	2.92mm × 1.30mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ゲート ドライブ タイミングと VDS センシング SR ドライバとの関係



目次

1 特長	1	6.4 デバイスの機能モード	20
2 アプリケーション	1	7 アプリケーションと実装	21
3 説明	1	7.1 使用上の注意.....	21
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	21
5 仕様	4	7.3 設計のベスト プラクティス.....	26
5.1 絶対最大定格.....	4	7.4 電源に関する推奨事項.....	26
5.2 ESD 定格.....	4	7.5 レイアウト.....	26
5.3 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート	29
5.4 熱に関する情報.....	4	8.1 デバイス サポート.....	29
5.5 電気的特性.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	29
5.6 タイミング要件.....	6	8.3 サポート・リソース.....	29
5.7 代表的特性.....	7	8.4 商標.....	29
6 詳細説明	9	8.5 静電気放電に関する注意事項.....	29
6.1 概要.....	9	8.6 用語集.....	29
6.2 機能ブロック図.....	9	9 改訂履歴	29
6.3 機能説明.....	10	10 メカニカル、パッケージ、および注文情報	30

4 ピン構成および機能

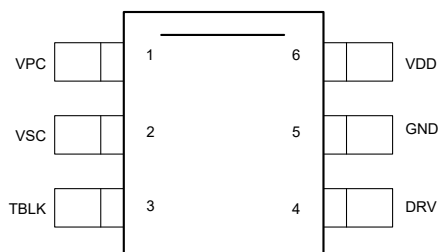


図 4-1. DBV パッケージ 6 ピン SOT23 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DRV	4	O	DRiVe は、外部の同期整流器 N チャネル MOSFET スイッチングトランジスタのゲートを駆動するための出力です。トランジスタのソース ピンは GND に接続します。
GND	5	G	GrouND は、コントローラのリファレンス ピンであり、駆動出力の Low 側リターンです。すべての AC デカップリング コンデンサのリターンをこのピンにできる限り近づけて配置し、また、アナログ信号リターン パスと共通のパターン長は避ける必要があります。
TBLK	3	–	Time BLanK ピンは、VPC 立ち上がりエッジのブランキング時間の選択に使用します。DCM 動作時のリンギングによる 1 次側オン時間の誤検出を防ぐため、200ns ~ 1μs の範囲でプログラム可能です。
VDD	6	P	VDD は、コントローラへのバイアス電源入力ピンです。このピンと GND の間に、バイパス コンデンサを注意深く配置する必要があります。
VPC	1	I	1 次側導通電圧検出 ピンは、SR の MOSFET ドレインからの抵抗デバイダに接続されます。このピンは、1 次側オン時間における 1 次側 MOSFET ボルト秒のサンプリング値を決定します。この電圧により、内部 VPC ランプ充電電流用の電圧制御電流源が設定されます。
VSC	2	I	2 次側導通電圧検出 ピンは、電源出力から抵抗デバイダに接続されます。このピンは、SR MOSFET の導通時間を決定するために使用される 2 次側出力電圧のサンプリング値を決定します。この電圧により、内部 VSC ランプ充電電流用の電圧制御電流源が設定されます。

(1) P = 電源、G = グランド、I = 入力、O = 出力、I/O = 入力/出力

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{VDD}	バイアス電源電圧、VDD	-0.3	30	V
I _{DRV}	連続ゲート電流シンク、DRV		50	mA
I _{DRV}	連続ゲート電流源、DRV		-50	mA
I _{VPC}	ピーク VPC ピン電流		-1.2	mA
V _{DRV}	DRV でのゲートドライブ電圧	-0.3	自己制限	V
V _{VPC} 、V _{VSC}	電圧範囲、VPC、VSC	-0.3	4.5	V
T _J	動作ジャンクション温度範囲	-55	150	°C
T _L	リード温度、ケースから 0.6mm 離れた点で 10 秒間		260	°C
T _{STG}	保存温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、2000V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 に、500V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _{VDD}	バイアス電源の動作電圧	3.75	28	V
C _{VDD}	VDD バイパス コンデンサ	0.47		μF
T _J	動作時接合部温度	-40	125	°C
V _{VPC} 、V _{VSC}	動作範囲	-0.3	2.3	V

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC24630	単位
		DBV (6 ピン)	
R _{θJA}	接合部から周囲への熱抵抗	180	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	71.2	
R _{θJB}	接合部から基板への熱抵抗	44	
Ψ _{JT}	接合部から上面への特性パラメータ	5.1	
Ψ _{JB}	接合部から基板への特性パラメータ	13.8	

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内、VDD = 12V、T_A = -40°C ~ 125°C、T_A = T_J (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源入力						
I _{RUN}	消費電流、動作時	I _{DRV} = 0、動作状態、F _{SW} = 0kHz	0.9	1.2		mA
I _{STBY}	消費電流、スタンバイ	I _{DRV} = 0、スタンバイ モード	110	160		μA
低電圧ロックアウト						
V _{VDD(on)}	VDD turn-on threshold	V _{VDD} 、Low から High	3.9	4	4.3	V
V _{VDD(off)}	VDD turn-off threshold	V _{VDD} 、High から Low	3.3	3.6	3.7	V
DRV						
R _{DRVLS}	DRV ローサイド駆動抵抗	I _{DRV} = 100mA	1	2		Ω
V _{DRVST}	起動時の DRV プルダウン	V _{DD} = 0 ～ 2V、I _{DRV} = 10 μA		0.95		V
V _{DRCL}	DRV クランプ電圧	V _{VDD} = 30V	11	13	15	V
V _{PMOS}	PMOS ハイサイド駆動無効化	レール ツー レール駆動を無効にする V _{DD} 電圧、V _{DD} 立ち上がり	9.3	10	10.5	V
V _{PMOS-HYS}	PMOS イネーブル ヒステリシス	レール ツー レール駆動を有効にするた めの V _{DD} 電圧ヒステリシス、V _{DD} 立ち下 がり	0.75	1	1.25	V
V _{DRHI}	DRV プルアップ高電圧	V _{VDD} = 5V、I _{DRV} = 15mA	4.6	4.75	5	V
VSC 入力						
V _{VSCEN}	SR イネーブル電圧	V _{VSC} > V _{VSCEN} 、V _{VSC} 立ち上がり	250	300	340	mV
V _{VSC-HYS}	SR イネーブル ヒステリシス	V _{VSC} 立ち下がり		50		mV
V _{VSCDIS}	SR ディセーブル電圧		220		280	mV
I _{VSC}	入力バイアス電流	V _{VSC} = 2V	-0.25	0	0.4	μA
VPC 入力						
V _{VPCEN}	SR イネーブル電圧	V _{VPCEN} < V _{VPC}	345	400	450	mV
V _{VPCDIS}	SR を無効にするための VPC スレッシュヨ ルド	V _{VPC} > V _{VPCDIS}	2.6	2.85	3.1	V
V _{VPC-TH}	V _{VPC} 立ち上がりエッジのスレッシュヨ ルド	V _{VPC} = 0.95V、V _{VPC-TH} = 0.85x V _{VPC} 前のサイクル	0.76	0.808	0.86	V
V _{VPC-TH-CLP}	V _{VPC} 立ち上がりエッジのクランプ スレッシ ヨルド	V _{VPC} = 2V	0.9	1	1.1	V
I _{VPC}	入力バイアス電流	V _{VPC} = 2V	-0.25	0	0.4	μA
電流エミュレータ						
Ratio _{VPC_VSC}	K _{VPC} /K _{VSC}	V _{VPC} = 1.25V、t _{VPC} = 1μs、 V _{VSC} = 1.25V	3.97	4.17	4.35	
		V _{VPC} = 1.25V、t _{VPC} = 5μs、 V _{VSC} = 1.25V	3.95	4.17	4.37	
		V _{VPC} = 2V、t _{VPC} = 1μs、 V _{VSC} = 1.25V	3.85	4.09	4.26	
		V _{VPC} = 1.25V、t _{VPC} = 1μs、 V _{VSC} = 0.45V	3.85	4.07	4.28	
CCM デッドタイム						
K _{CCM-FAULT}	t _{SW} (N+1) > t _{SW} (N) x K _{CCM-FAULT} の場 合、SR を無効化		140%	150%	165%	
n _{CCM-FLT}	t _{SW} (N+1) < t _{SW} (N) x K _{CCM-FAULT} の場 合、CCM フォルトを終了するまでのサイク ル数			4		

5.5 電気的特性 (続き)

自由気流での動作温度範囲内、VDD = 12V、 $T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $T_A = T_J$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタンバイ動作						
n_{ENTO}	t_{ENTO} 中にスタンバイ動作に移行するためのスイッチング サイクル数			64		
n_{EN}	t_{EN} 中にスタンバイ動作を終了するまでのスイッチング サイクル数 ⁽¹⁾			32		
過熱保護						
$T_{(\text{STOP})}$	サーマル シャットダウン温度	内部接合部温度		165		$^{\circ}\text{C}$

(1) t_{EN} 内に n_{EN} が発生するとすぐに、デバイスはスタンバイ動作を終了します。

5.6 タイミング要件

自由気流での動作温度範囲内、VDD = 12V、 $T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $T_A = T_J$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DRV						
t _R	DRV ハイサイド立ち上がり時間	V _{VDD} = 12V、C _L = 3.3nF、V _{DRV} = 2V ~ 8V	27	54		ns
		V _{VDD} = 5V、C _L = 3.3nF、V _{DRV} = 1V ~ 4V	50	100		ns
t _F	DRV ローサイド立ち下がり時間	V _{VDD} = 12V、C _L = 3.3nF、V _{DRV} = 8V ~ 2V	20	54		ns
		V _{VDD} = 5V、C _L = 3.3nF、V _{DRV} = 4V ~ 1V	15	50		ns
t _{DRVON}	DRV High への伝搬遅延	V _{VPC} = 1V ~ -0.05V、DRV High になるまで、 V _{VDD} = 12V、V _{DRV} = 0V ~ 2V	80	160		ns
t _{DRVOFF}	DRV Low への伝搬遅延	テスト モード	65	95		ns
VPC 入力						
t _{VPC-SPL}	VPC サンプリング ウィンドウ		81	100	125	ns
t _{VPC-BLK}	SR DRV 動作の最小 VPC パルス	R _{TBLK} = 5kΩ	169	203	239	ns
		R _{TBLK} = 50kΩ	0.87	1.04	1.2	μs
SR オン制御						
t _{SRONMIN}	VPC 立ち下がり後の SR 最小オン時間。		300	350	425	ns
t _{OFF}	DRV 立ち下がりからの SR オフ ブランキン グ時間。		2.35	2.5	2.65	us
CCM デッドタイム						
t _{CCMDT}	CCM サイクル制限における SR ターンオ フ デッドタイム	F _{SW} = 100kHz、R _{TBLK} = 50kΩ (1μs t _{VPC-BLK} 設定)	500	600	700	ns
スタンバイ動作						
t _{ENTO}	SR 動作を無効にし、スタンバイに遷移す るまでの時間	DRV を無効にするまでの時間	11.5	12.8	14.1	ms
t _{EN}	SR 動作を有効にし、スタンバイ動作を終 了するまでの時間	DRV を有効にするまでの時間 ⁽¹⁾	2.3	2.56	2.82	ms

(1) t_{EN} 内に n_{EN} が発生するとすぐに、デバイスはスタンバイ動作を終了します。

5.7 代表的特性

$V_{DD} = 12V$, $T_J = 25^\circ C$ (特に注記のない限り)

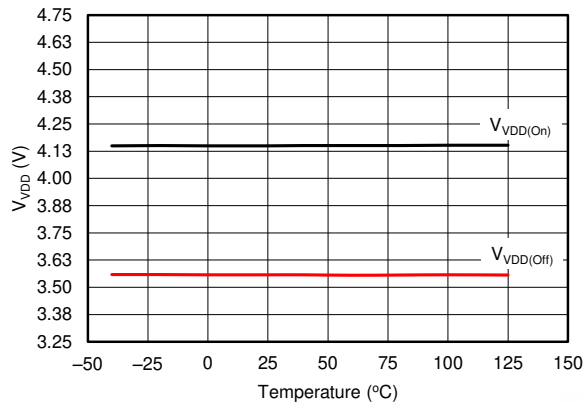


図 5-1. VDD ターンオン/ターンオフ スレッシュホールド 対 温度

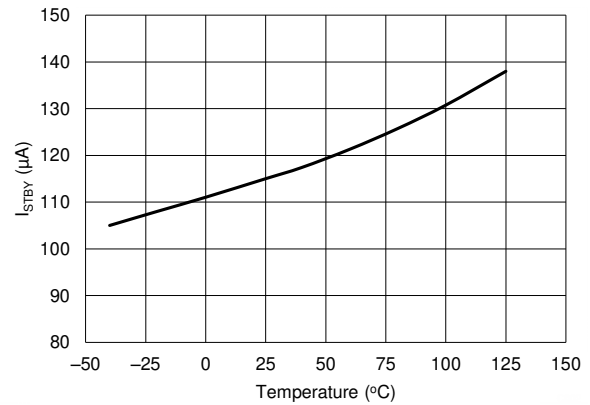


図 5-2. スタンバイ電流と温度との関係

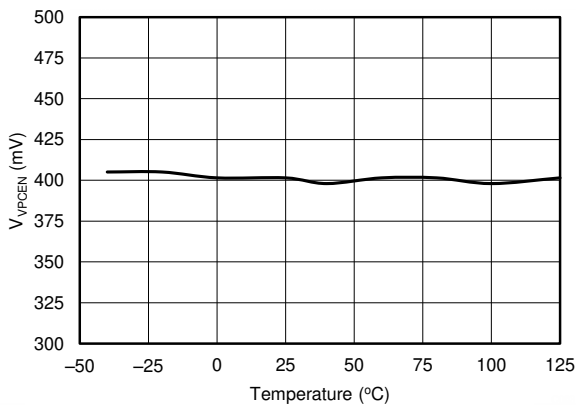


図 5-3. VPC イネーブル スレッシュホールド 対 温度

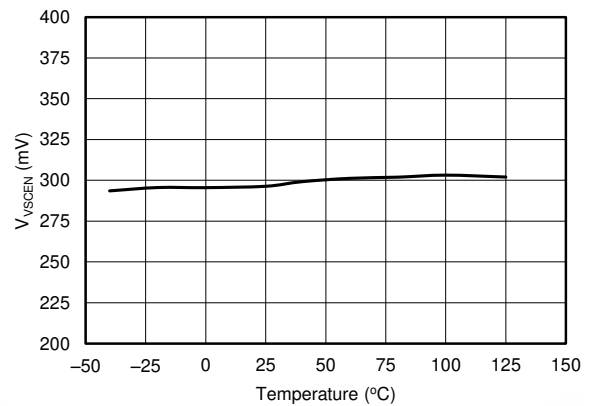


図 5-4. VSC イネーブル スレッシュホールド 対 温度

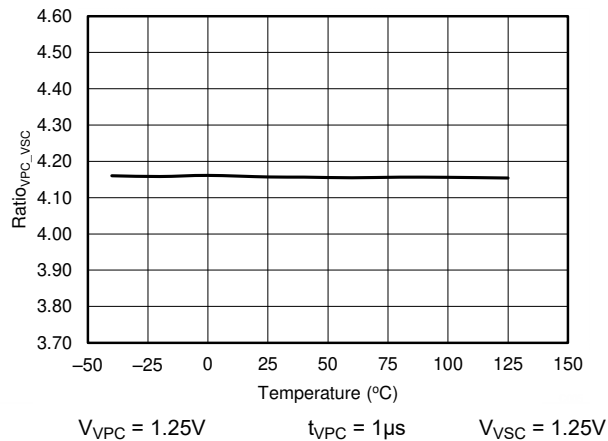


図 5-5. VPC/VSC ランプゲイン比 対 温度

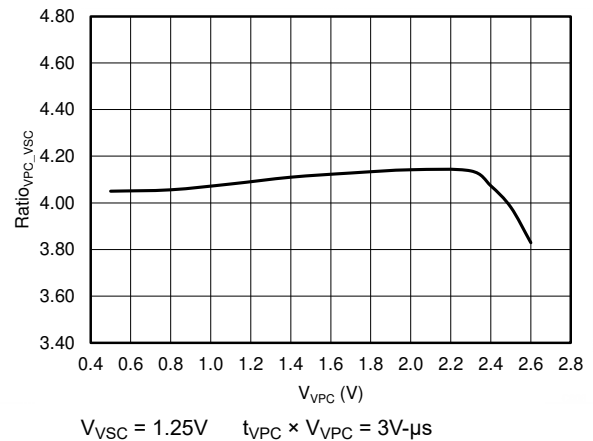


図 5-6. VPC/VSC ランプゲイン比 対 VPC 電圧

5.7 代表的特性 (続き)

$V_{DD} = 12V$ 、 $T_J = 25^\circ C$ (特に注記のない限り)

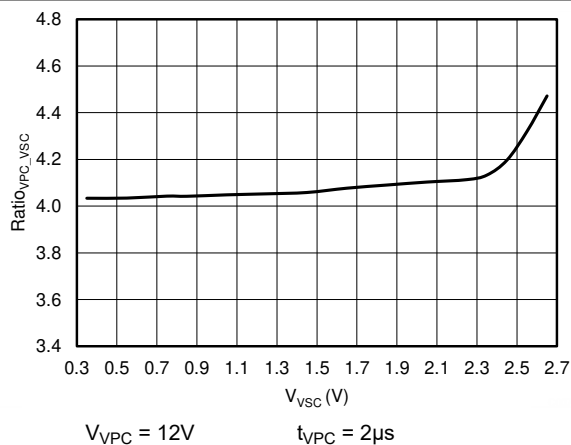


図 5-7. VPC/VSC ランプ ゲイン比 対 VSC 電圧

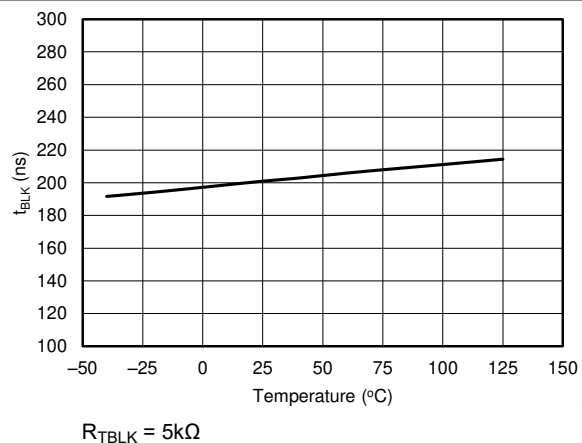


図 5-8. VPC ブランキング時間と温度との関係 (最小設定)

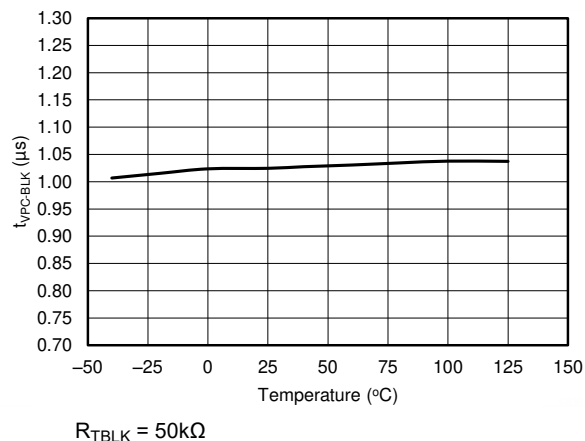


図 5-9. VPC ブランキング時間と温度との関係 (最大設定)

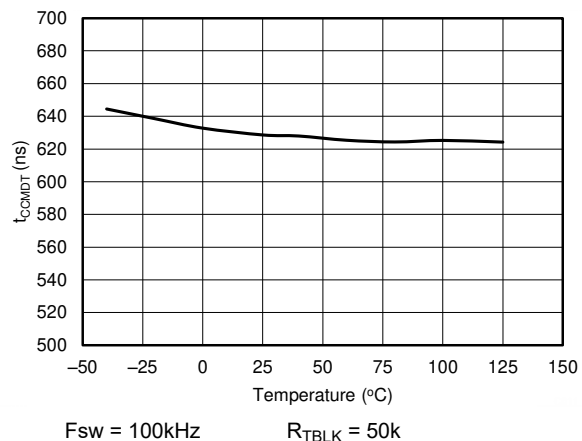


図 5-10. CCM デッドタイムと温度との関係

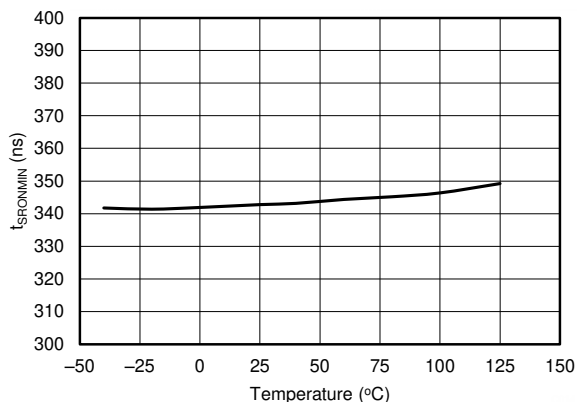


図 5-11. DRV 最小オン時間と温度との関係

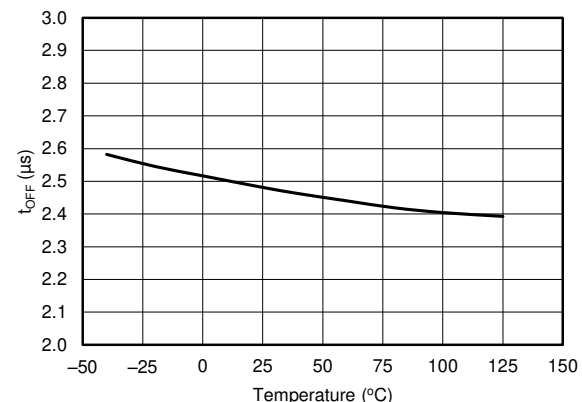


図 5-12. DRV 最小オフ時間と温度との関係

6 詳細説明

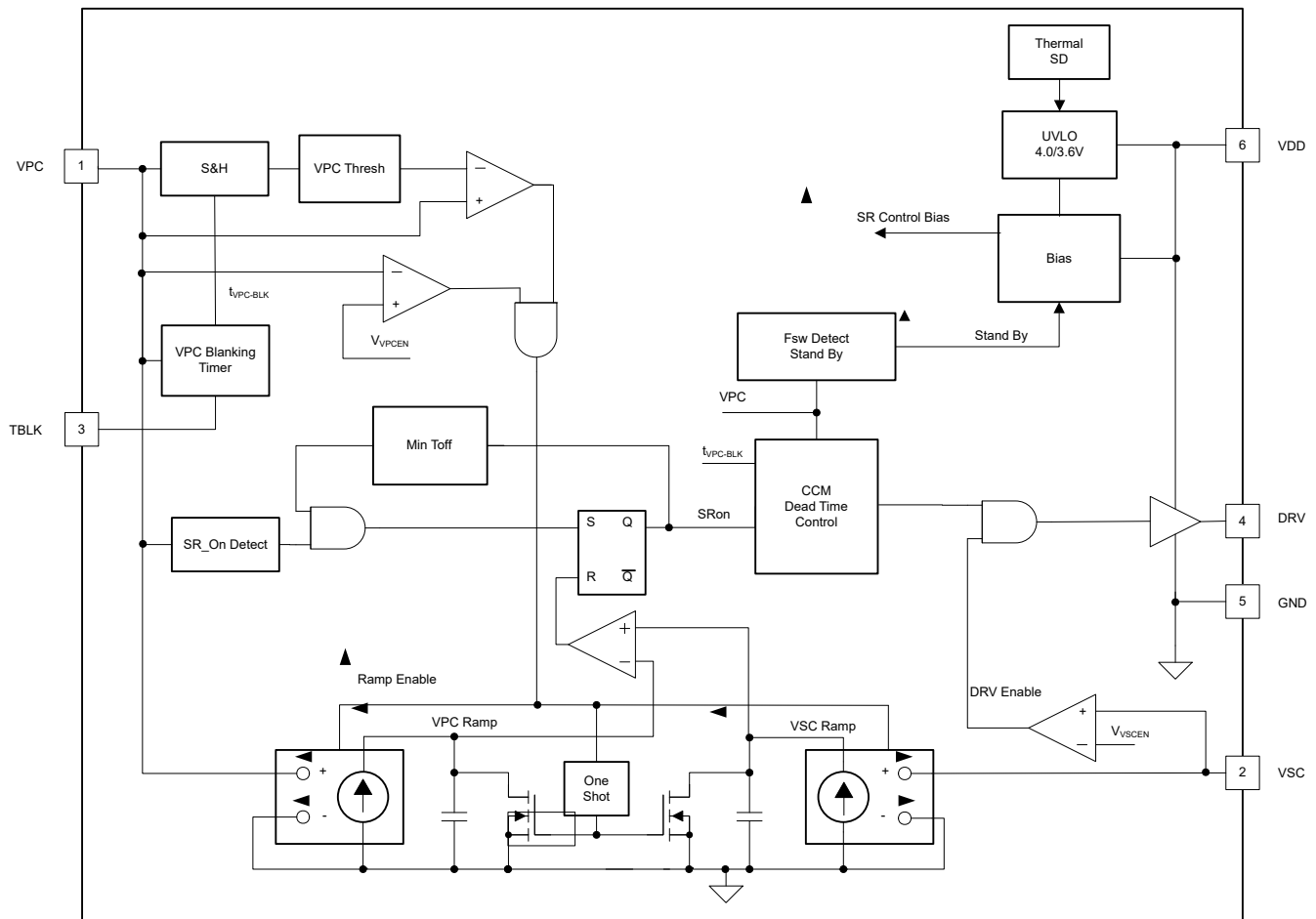
6.1 概要

UCC24630 SR コントローラは、DCM、TM、CCM の各モードで動作するフライバック コンバータ向けに設計されています。SR オン時間を決定する制御手法は、1 次側と 2 次側の導通ボルト秒積のボルト秒バランスの原理に基づいています。DCM および TM で動作するコンバータでは、2 次側電流は各サイクルで常にゼロに戻ります。CCM 動作では、定常状態においてボルト秒バランスが維持されます。インダクタの充電電圧と時間の積は、放電電圧と時間の積に等しくなります。内部の電流ランプ エミュレータを使用し、VPC ピンと VSC ピンの電圧および時間情報に基づいて適切な SR オン時間を予測します。

CCM コンバータでは、DCM 動作から CCM 動作へ移行する際、数サイクルの間、ボルト秒バランスが維持されません。この場合、CCM 動作の互換性は、前回のスイッチング周期に基づいて、CCM デッドタイム機能を用いて SR MOSFET の最大オン時間を制限することで確保されます。極端な過渡動作により動作周期が不安定になった場合に備え、SR を無効にするフォルト保護機能があります。

コンバータで非常に低いスタンバイ電力を実現するため、UCC24630 にはスタンバイ モードが搭載されています。このモードでは、SR MOSFET のドライブを無効化し、デバイスのバイアス電流を I_{STBY} まで低減します。デバイスは、コンバータの平均スイッチング周波数を監視することで、スタンバイ モードへの移行と終了を行います。デバイスは、軽負荷時にバースト モードまたは定周波数モードで動作するコンバータに対応しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 起動と UVLO

UCC24630 は、広い VDD 動作範囲と低い UVLO スレッショルドを特長としています。デバイスの起動は、3 つのピン (VDD、VPC、VSC) の電圧レベルによって異なります。VDD ピンは、公称出力 5V ~ 24V のコンバータ上の電源出力に直接接続できます。UVLO の開始スレッショルドは、 $V_{VDD(on)}$ (標準値 4.0V) で、停止スレッショルドは $V_{VDD(off)}$ (標準値 3.6V) です。DRV 出力は、VPC ピンの電圧が $t_{VPC-BLK}$ より長い時間 V_{VPCEN} を上回り、VSC ピンの電圧が V_{VSCEN} を上回るまで有効になりません。VDD、VSC、VPC の電圧および時間スレッショルドに達すると、DRV 出力が有効になる前に、内部初期化時間と 4 サイクルの初期化開始シーケンスが発生します。

VDD レベルに基づくタイミング シーケンスおよび設定可能な DRV 出力については、[図 6-1](#) を参照してください。ほとんどのコンバータ設計では、デバイスを有効にするための VPC および VSC 電圧の条件が、VDD 起動電圧スレッショルドよりも前に満たされます。これは、タイミング図に反映されています。VDD が $V_{VDD(on)}$ UVLO スレッショルドを上回ると、デバイスは $t_{INITIALIZE}$ として示される 150 μ s ~ 250 μ s への初期化シーケンスを開始します。デバイスの初期化後、20 μ s のロジック初期化が行われ、その時点で V_{TBLK} が有効 (High) になります。デバイスが有効化された後、DRV 出力が有効になる前に、CCM デッドタイム ブロックでデッドタイム制御を初期化するために 4 サイクルが必要です。VDD < V_{PMOS} では、ドライバのハイサイド PMOS デバイスが有効になり、DRV ピークが VDD に近くなります。VDD が V_{PMOS} を超えると、PMOS デバイスが無効になり、ドライバはハイサイド NMOS のみとして動作し、DRV は VDD よりも約 1.2V ~ 1.5V 低くなります。VDD が増加し続けると、VDD に関係なく、DRV 出力は推奨最大定格に達するまで V_{DRCL} に制限されます。

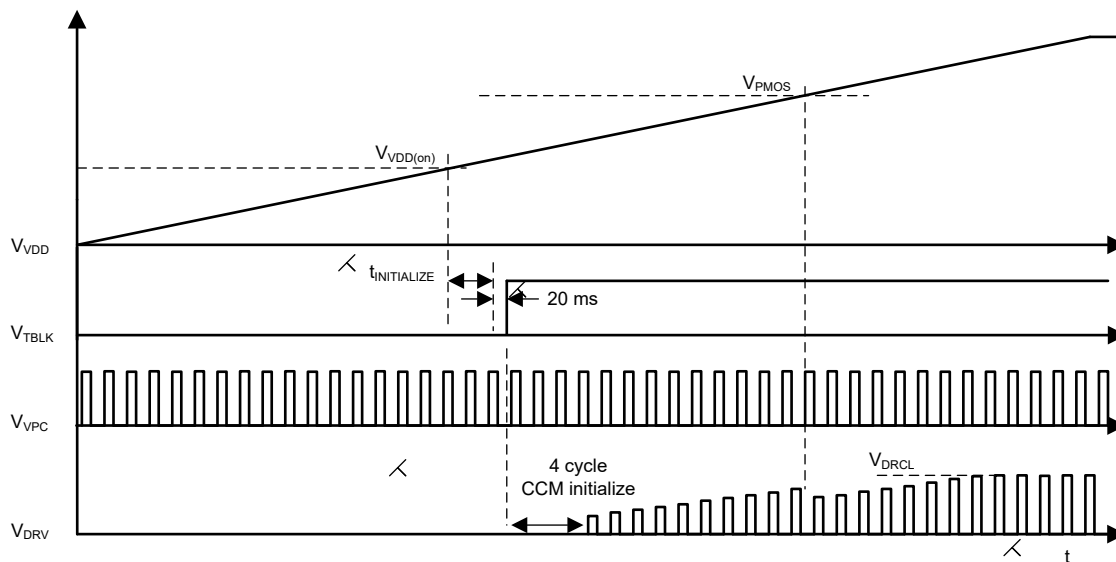


図 6-1. スタートアップ動作

6.3.2 ボルト秒 SR ドライバ オン時間制御

UCC24630 ボルト秒オン時間制御の機能の詳細については、[図 6-2](#) と [図 6-3](#) のタイミング図を参照してください。

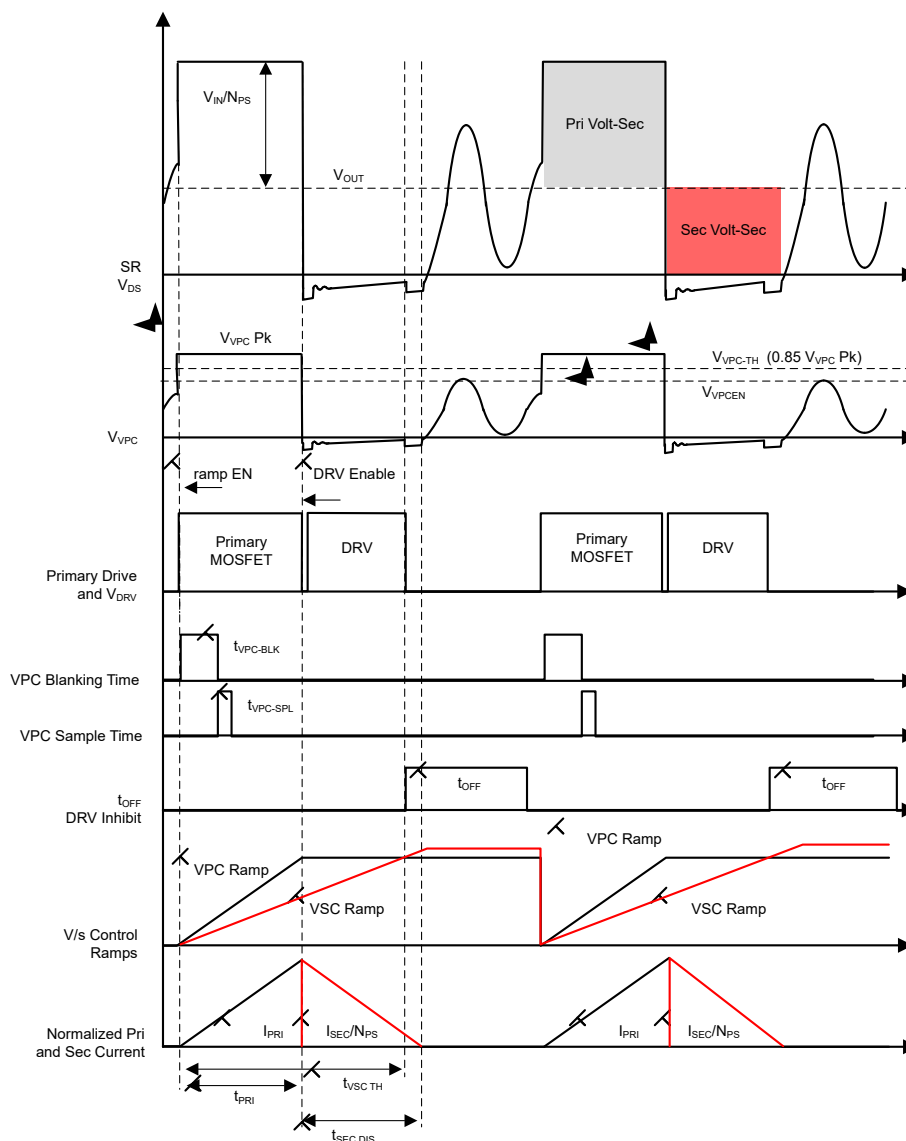


図 6-2. DCM での動作

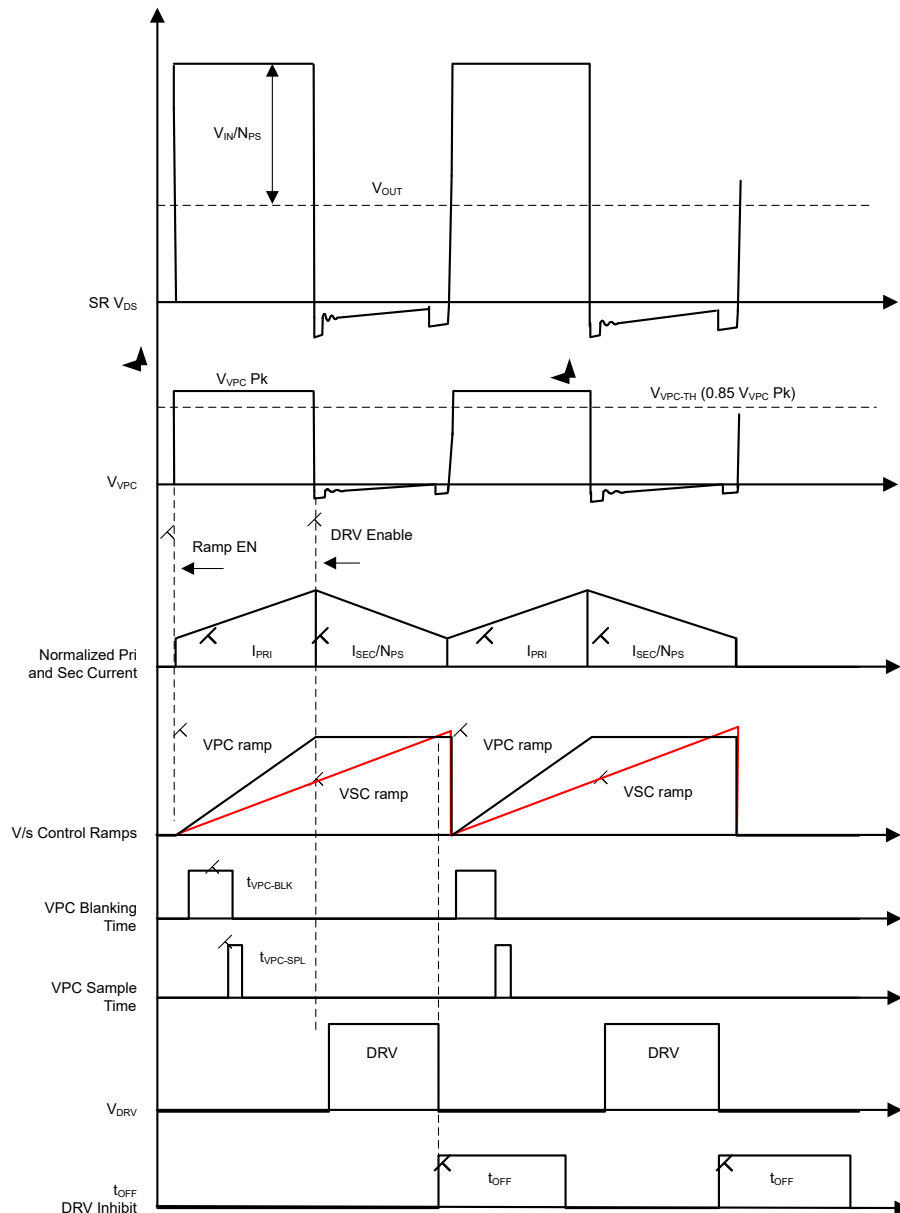


図 6-3. CCM での動作

UCC24630 は、VPC ピンおよび VSC ピンを使用して、抵抗デバイダを介して SR MOSFET の V_{DS} 電圧とコンバータの V_{OUT} 電圧を検知します。 V_{IN}/N_{PS} 、 t_{PRI} 、 V_{OUT} の情報は、VPC ピンと VSC ピンの情報から入手できます。SR MOSFET をオンにするタイミングは、SR MOSFET のボディ ダイオードが導通を開始し、VPC ピンの電圧がゼロ近くまで低下した時点で決定されます。SR MOSFET をオフにするタイミングは、電流エミュレータの制御ランプによって決定されます。ボルト秒バランス機能によって決定される SR タイミングは、CCM を含め、すべてのフライバック コンバータで主要な動作モードとして使用されます。

UCC24630 のボルト秒制御により、内部の VPC ランプと VSC ランプが生成され、図 6-2 と図 6-3 に示すように、トランスのボルト秒バランスがエミュレートされます。

2 次側電流放電時間 $t_{SEC-DIS}$ は間接的に決定されます。VPC が V_{VPCEN} および V_{VPC-TH} を上回ると、1 次側のボルト秒ランプと 2 次側のボルト秒ランプが開始します。VPC ランプと VSC ランプの充電電流は、それぞれ VPC ピンと VSC ピンの電圧によって決定されます。

VPC が、 V_{VPCEN} および V_{VPC-TH} を $t > t_{VPC-BLK}$ 間上回ると、VPC パルスは 1 次側導通パルスとして判定され、VPC 立ち下がりがエッジで SR が有効になります。VPC ランプは、VPC ピンのリアルタイム電圧に基づいて VPC の立ち下がりがエッジまで上昇し続け、サイクルのピークを維持します。DRV 出力は、VPC の立ち下がりがエッジが 0V 近辺になるとオンになります。VSC の立ち上がりランプが VPC ランプの維持レベルを超えると DRV がオフになります。

VPC 立ち上がりエッジが V_{VPCEN} および V_{VPC-TH} のスレッシュホールドを上回ると、VPC と VSC の両方のランプがゼロにリセットされます。

1 次側のオン時間パルスを DCM リンギングから区別するため、DRV 出力を有効にするために VPC ピンで満たす必要のある電圧および時間の基準があります。 $t_{VPC-BLK}$ は、TBLK ピンの抵抗を使用して調整できます。

VPC の立ち上がりエッジで、電圧が V_{VPCEN} と V_{VPC-TH} を超えると、ブランキング時間 $t_{VPC-BLK}$ が開始します。 $t_{VPC-BLK}$ の終了時に、VPC 電圧が $t_{VPC-SPL}$ ウィンドウ 中にサンプリングされます (公称 100ns)。また、 $t_{VPC-BLK}$ の終了時に DRV 出力が有効になります。

$t_{VPC-SPL}$ 中にサンプリングされる VPC 電圧により、VPC 動的スレッシュホールド V_{VPC-TH} が決まります。通常、サンプリングされた VPC 電圧の 85% です。動的スレッシュホールドにより、DCM リンギングを遮断し、1 次側のオン時間を検出できます。最小 DRV オン時間 $t_{SRONMIN}$ (公称 350ns) によって、VPC ピンの立ち下がりがエッジにおける DRV ターンオン イベント中のノイズ耐性が強化されます。

DRV の立ち下がりがエッジで、 t_{OFF} タイマが開始し、 t_{OFF} が終了するまで SR のターン オンが無効化されます。これにより、DCM リンギングがグラウンドに近い場合に DRV が誤ってオンになるのを防ぐことができます。

UCC24630 は、幅広い動作範囲にわたり、さまざまな種類のフライバック コンバータ アプリケーションで動作するように設計されています。内部のボルト秒制御ランプには、VPC ピン上のボルト秒に基づくダイナミック レンジ制限が設けられています。図 6-4 に示すように、VPC ピンのボルト秒積が $7V\mu s$ を超えると、VPC のボルト秒制御ランプが飽和します。この点を超えて動作すると、DRV オン時間は予想よりも短くなります。たとえば、 $V_{VPC} = 0.5V$ の場合、デバイスのダイナミック レンジ内で動作するには、 t_{VPC} が $14\mu s$ 未満である必要があります。 $V_{VPC} = 2.0V$ の場合は、 t_{VPC} が $3.5\mu s$ 未満である必要があります。低ライン、全負荷、50%デューティ サイクルの条件で、コンバータが遷移モードで動作していると仮定すると、動作周期は $28\mu s$ であり、周波数は $40kHz$ 未満となります。UCC24630 の低周波動作範囲はスタンバイ モード スレッシュホールドである $5kHz$ まで拡張されますが、各スイッチング サイクルでの V_{VPC} ボルト秒積は $7V\mu s$ 未満となる必要があります。

デバイスは $200kHz$ を超えるスイッチング周波数をサポートできますが、パワー トレーンで以下のタイミング制限が満足されることを確認する必要があります。デバイスがアクティブになると予想される 1 次側の最小オン時間は、最小 VPC ブランキング時間 ($t_{VPC-BLK}$) 設定 (203ns) とサンプリング ウィンドウ ($t_{VPC-SPL}$) (100ns) の合計と適合している必要があります。2 次側の最小電流導通時間は、最小 SR オン時間 ($t_{SR(min)}$) である 350ns を上回る必要があります。SR 駆動のターン オフから次の SR 駆動のターン オンまでの最小時間は、SR 最小オフ時間 (t_{OFF}) である $2.5\mu s$ を上回る必要があります。

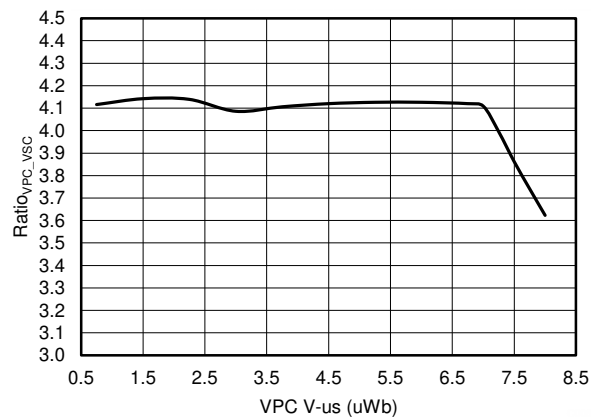


図 6-4. Ratio_{VPC_VSC} 対 VPC V- μs

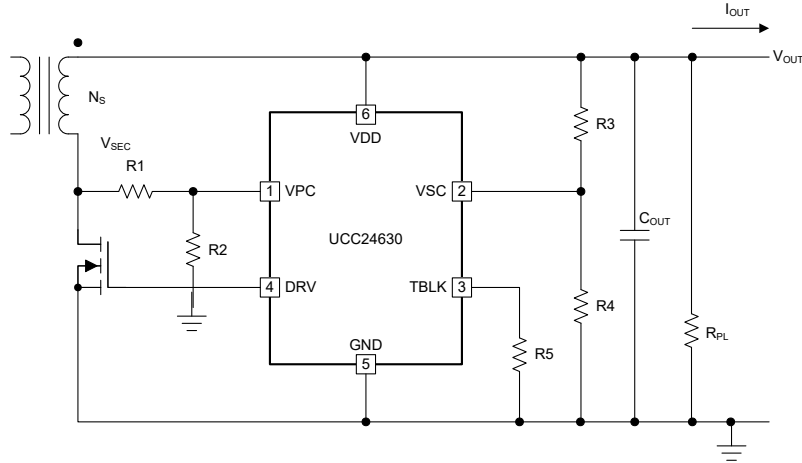


図 6-5. SR コントローラの構成

VPC および VSC デバイダの決定は、コンバータの動作電圧範囲と、 $\text{Ratio}_{\text{VPC-VSC}}$ ゲイン比に基づいて行われます。図 6-5 では、次の式で VPC デバイダの値が決定されます。

時間遅延への影響を最小限にし、抵抗での消費電力を抑えるため、 R_{2a} の値として $10\text{k}\Omega$ を推奨します。R2 の値を大きくすると、抵抗デバイダの消費電力が減少しますが、約 2pF のピン容量およびデバイダ抵抗の時間定数のため、DRV ターン オンの遅延が増大する可能性があります。抵抗デバイダの消費電力が増加するというトレードオフもありますが、R2 の値を小さくすることもできます。式 1 では、設計マージンとして、VPC スレッショルド V_{VPCEN} に対して 10% の係数を設定しています。

$$R1 = \frac{\left(\left[\frac{V_{\text{IN(min)}}}{N_{\text{PS}}} + V_{\text{OUT(min)}} \right] - V_{\text{VPCEN}} \times 1.1 \right) \times R2}{V_{\text{VPCEN}} \times 1.1} \quad (1)$$

ここで、

- $V_{\text{IN(min)}}$ は、コンバータの最小 1 次側バルク キャパシタ電圧です。
- $V_{\text{OUT(min)}}$ は、通常動作時のコンバータの最小出力電圧です。
- V_{VPCEN} は、VPC 有効化スレッショルドであり、規定の最大値を使用します。
- N_{PS} は、トランスの 1 次側と 2 次側の巻数比です。

VPC ピンの動作電圧範囲は、 $0.45\text{V} < V_{\text{VPC}} < 2\text{V}$ の範囲内である必要があります。図 5-6 では、 V_{VPC} が 2.3V を超えると、ダイナミック レンジを超過して $\text{Ratio}_{\text{VPC-VSC}}$ が減少します。この状態では、DRV オン時間が想定よりも短くなります。 V_{VPC} が 2.6V を上回る状態が 500ns 継続すると、フォルトが生成され、そのサイクルで DRV が無効になります。セクション 6.3.5 を参照してください。式 2 で、最大電圧が範囲内であることを確認します。

$$V_{\text{VPC(max)}} = \frac{\left[\frac{V_{\text{IN(max)}}}{N_{\text{PS}}} + V_{\text{OUT(max)}} \right] \times R2}{R1 + R2} \quad (2)$$

ここで、

- $V_{\text{IN(max)}}$ は、コンバータの最大 1 次側バルク キャパシタ電圧です。
- $V_{\text{OUT(max)}}$ は、OVP 時のコンバータの最大出力電圧です。
- N_{PS} は、トランスの 1 次側と 2 次側の巻数比です。

VSC ピンのプログラム電圧は、VPC 分圧比とデバイスのパラメータ $\text{Ratio}_{\text{VPC-VSC}}$ によって決定されます。電流エミュレータ ランプのゲインは VPC ピン上で $\text{Ratio}_{\text{VPC-VSC}}$ 倍になるため、VSC 抵抗デバイダ比は同じ $\text{Ratio}_{\text{VPC-VSC}}$ だけ小さくなります。次の式 3 で、VSC 分圧抵抗を決定します。抵抗デバイダの消費電力を最小限に抑えるため、R4 の推奨範

阻は 25kΩ ~ 50kΩ です。R4 の値が大きいと、VSC 入力電流 I_{VSC} によるオフセットが増加します。R4 の値を小さくすると、抵抗デバイダの消費電力が増大します。2 次側電流が 0 に達する少し前に DRV をターン オフするため、初期値に対して 10% のマージンが設定されています。Ratio_{VPC_VSC} には公称値 4.15 を使用します。

$$R3 = \left[\left(\frac{R1 + R2}{R2 \times \text{Ratio}_{VPC_VSC} \times 1.1} \right) - 1 \right] \times R4 \quad (3)$$

ここで、

- Ratio_{VPC_VSC} は、VPC と VSC のゲイン比を表すデバイス パラメータであり、値として 4.15 を使用します。

VSC ピンの動作電圧は、 $0.3V < V_{VSC} < 2V$ の範囲内である必要があります。図 5-7 では、 V_{VSC} が 2.3V を超えると、ダイナミック レンジを超過して Ratio_{VPC_VSC} が増加します。この状態では、DRV オン時間が想定よりも長くなります。式 4 と式 5 で、VSC 電圧が範囲内であることを確認します。

$$\frac{R4}{R3 + R4} \times V_{OUT(min)} \geq 0.3V \quad (4)$$

$$\frac{R4}{R3 + R4} \times V_{OUT(min)} \leq 2.0V \quad (5)$$

ここで、

- $V_{OUT(min)}$ は、SR コントローラのコンバータの出力動作電圧の最小値です。
- $V_{OUT(max)}$ は、OVP 時のコンバータの最大出力動作電圧です。

VPC 立ち上がりの動的スレッシュホールドとプログラム可能なブランキング時間により、DCM 動作時のリンギングと 1 次側の有効なオン時間を区別します。動的スレッシュホールド V_{VPC-TH} は、直前の VPC ピン ピーク電圧の 85% (標準) です。図 6-2 では、VPC 電圧が V_{VPCEN} および V_{VPC-TH} を上回る状態が $t > t_{VPC-BLK}$ 間継続すると、VPC ピンの電圧がサンプリングされます。動的スレッシュホールド V_{VPC-TH} の機能は、DCM 動作時の 1 次側導通パルスからのリンギングを遮断することです。動的スレッシュホールドの有効範囲は、最小 V_{VPCEN} 電圧から最大 1V のクランプまでです。ブランキング時間は、さまざまなコンバータ設計に対応できるように、200ns ~ 1μs の範囲でプログラム可能です。

ブランキング時間の選択に関するガイダンスについては、図 6-6 を参照してください。ブランキング時間は、軽負荷かつ高ライン電圧時における 1 次側の最小オン時間に適合する範囲内で、できるだけ長く設定する必要があります。高ラインかつ最小負荷条件においては、ブランキング時間の許容誤差と $t_{VPC-SPL}$ サンプリング ウィンドウを考慮し、以下の基準 (式 6) を満たすブランキング時間を選択します。

$$t_{VPC-BLK} = (t_{PRI} \times 0.85) - 120ns \quad (6)$$

DCM リンギングを遮断するには、リングが V_{VPC-TH} 動的スレッシュホールド (最小 SR VDS ピーク電圧の 85%) を上回っている時間よりもブランキング時間を長くする必要があります。これらの条件は、低ラインかつ最大負荷条件で決定します。トランスの巻線比を選択する際には、低ライン入力状態で DCM 動作が発生するときの最大負荷において、2 次側反射電圧が $V_{IN(min)}$ バルク キャパシタ電圧の 85% 未満となるよう選択することを推奨します。

$t_{VPC-BLK}$ の抵抗値を決定するには、式 7 を使用して 200ns ~ 1μs の範囲で選択します。

$$R5 = \frac{t_{VPC-BLK} - 100ns}{18pF} \quad (7)$$

ここで、

- $t_{VPC-BLK}$ は、目標のブランキング時間です。

SR タイミングを適切に制御するためのその他の差別化は、 t_{OFF} 機能により実現されます。タイミングの詳細については、[図 6-2](#) および [図 6-3](#) を参照してください。DRV ターンオフ後、 t_{OFF} タイマが経過するまで、DRV のターンオンは無効化されます。これにより、グランドより低い SR V_{DS} DCM リンギングにより、SR が誤ってオンになるのを防ぐことができます。

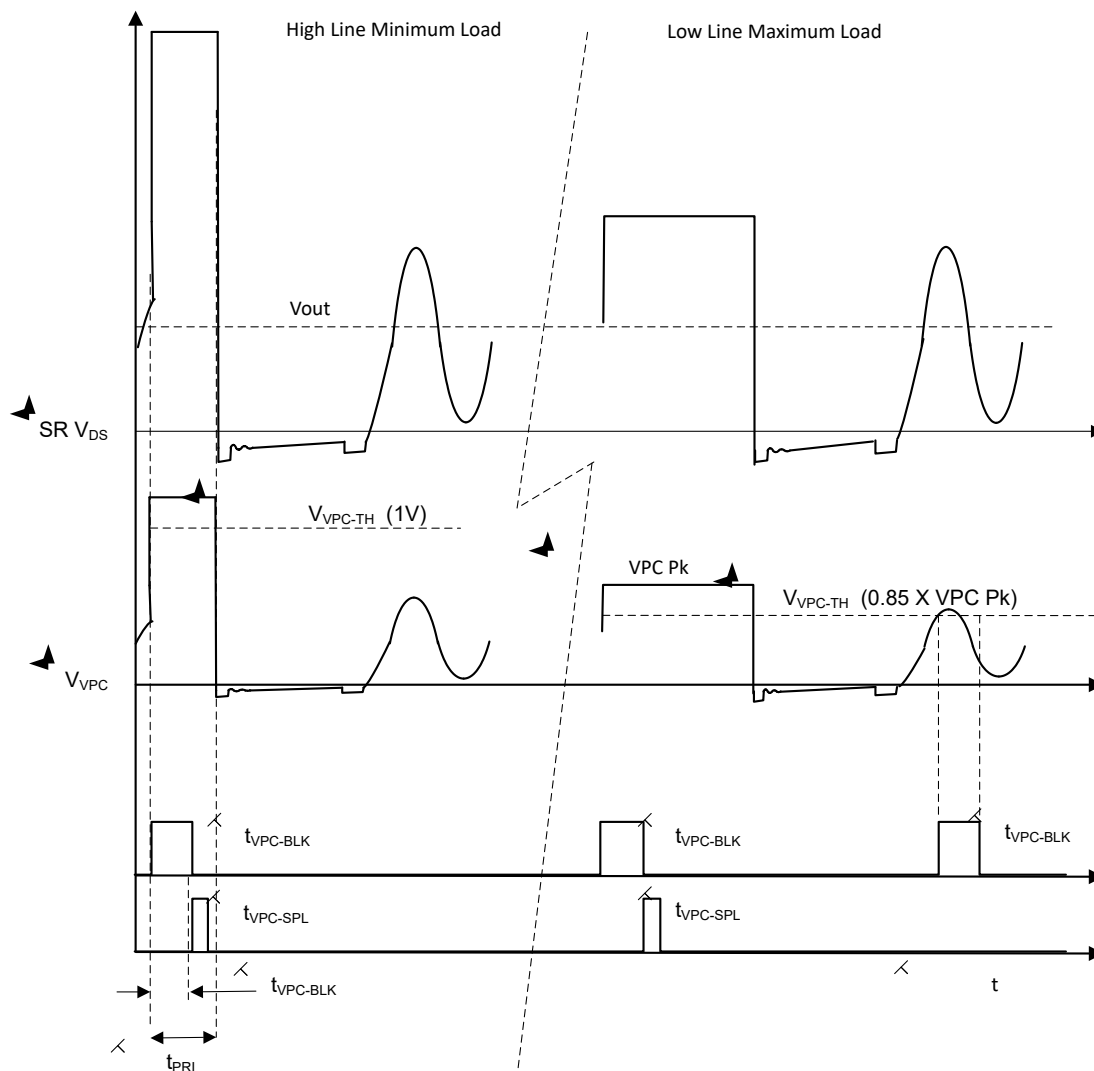


図 6-6. VPC ブランキング時間の基準

6.3.3 CCM デッドタイム

DCM から CCM への遷移中の CCM コンバータの動作では、ボルト秒バランスが達成されないスイッチング サイクルがいくつか生じます。CCM 動作に対応するために、UCC24630 SR コントローラには CCM デッドタイム保護機能が組み込まれており、1 次側 MOSFET が次にオンになる前に SR MOSFET がオフであることを確認できます。この機能は、1 次側オン時間 + SR オン時間の合計時間を、前回のサイクルからデッドタイム (標準値 600ns) を引いた値以下に制限します。これは、アクティブ サイクルの SR オン時間 $t(N+1)$ を、前の記録されたサイクル時間 $t(N)$ から t_{CCMDT} を引いた時間へと制限することで実現されます。[図 6-7](#) に示されるように、VSC ボルト秒ランプ スレッシュホールドが満足されていなくても、DRV オン時間は CCM デッドタイムによって制限されます。

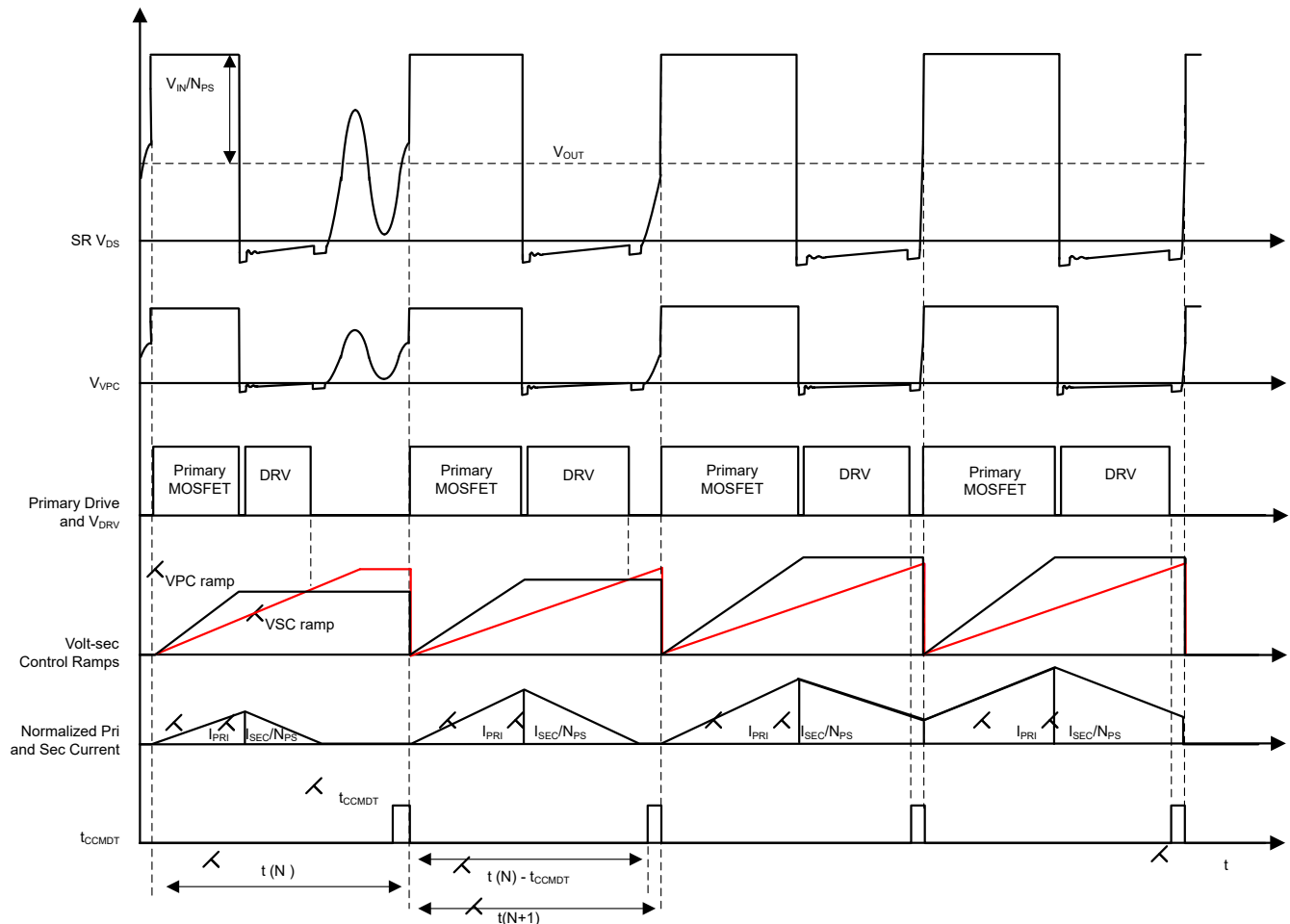


図 6-7. CCM デッドタイムの機能

CCM サイクル フォルトは、異常状態でスイッチング周波数が不安定になったときの保護機能を提供します。スイッチング期間が前のスイッチング期間 (KCCM — FAULT、標準 150%) を超えると、CCM サイクル フォルトがトリガされます。CCM サイクル フォルトは、4 サイクル連続で DRV 出力を無効にします。4 サイクルの無効期間中に別の CCM サイクル フォルトが発生すると、フォルトが再トリガされ、さらに 4 サイクル無効期間が継続します。DRV は、4 サイクル連続で CCM サイクル フォルトが発生しなくなるまで、有効化されません。CCM サイクル フォルトの動作については、図 6-8 および図 6-9 を参照してください。

周期が長くなった N+1 サイクルでは、次のサイクルで許容される SR 最大オン時間が $t(N) - t_{CCMDT}$ に基づいて設定されます。この状況で、CCM 動作が発生し、コンバータのスイッチング周期が元の短い周期に戻った場合、許容される SR 最大オン時間が 1 次側のターン オンと競合する可能性があります。この 1 次側スイッチとのタイミング競合の可能性を回避するため、DRV 出力は無効化されます。

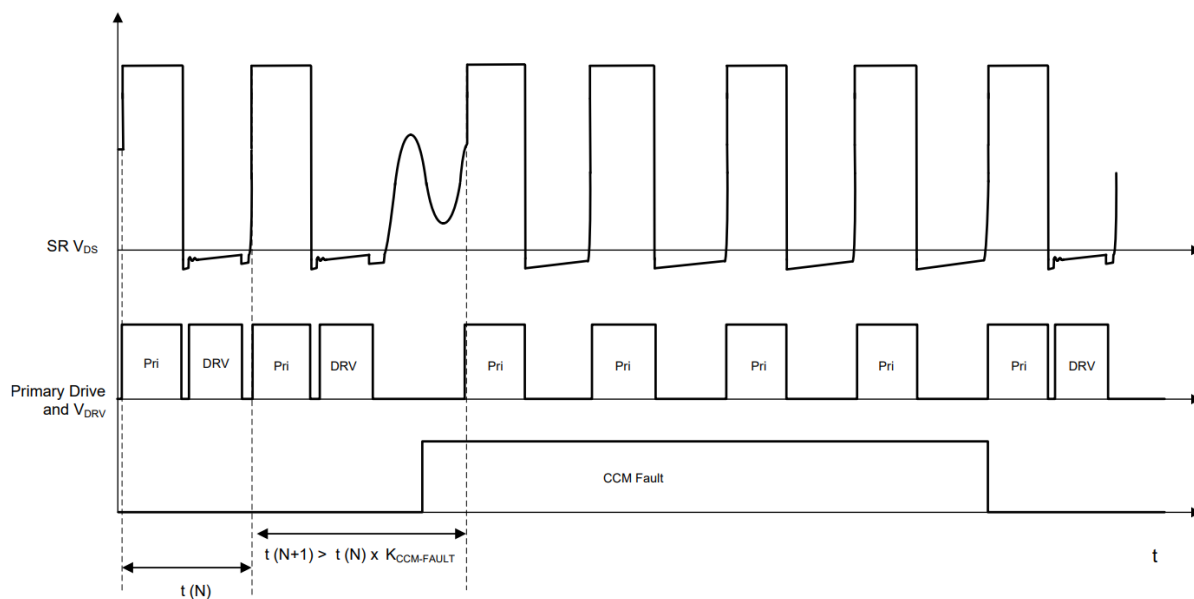


図 6-8. CCM サイクル フォルト動作、CCM 動作

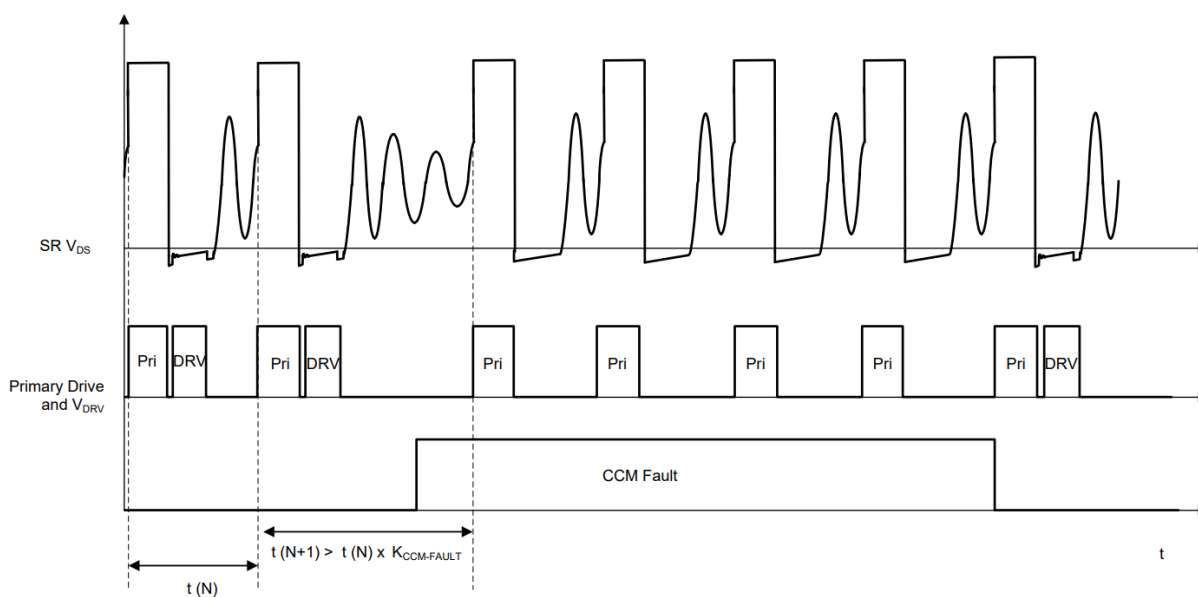


図 6-9. CCM サイクル フォルト動作、DCM 動作

6.3.4 スタンバイ動作

非常に軽い負荷かつスタンバイ条件での消費電力を最小限にするため、UCC24630 は SR DRV 出力を無効にし、低電流の動作状態に遷移します。スタンバイ モードまたは通常動作で動作する条件は、VPC ピンで検出される平均周波数によって決定されます。この周波数検出は、バースト モード動作または連続低周波 FM 動作と互換性があります。起動時に、デバイスは通常動作になり、SR MOSFET に対する DRV を有効にします。 t_{ENTO} (標準値 12.8ms) 内に発生したサイクルが 64 未満の場合、デバイスは DRV 出力を無効にし、ISTBY のバイアス電流で低電流動作モードに遷移します。スタンバイ モードで動作中に、 t_{EN} (標準値 2.56ms) 内に発生したサイクル数が 32 を超えると、デバイスは通常動作モードに入ります。デバイスは、32 サイクルが発生するとすぐに通常動作に移行するため、スタンバイ動作の終了応答時間が短くなります。スタンバイ モードに入るときの平均周波数は標準で 5kHz、スタンバイ モードを終了するときの平均周波数は標準で 12.5kHz です。スタンバイ モードのタイミングについては、図 6-10 を参照してください。

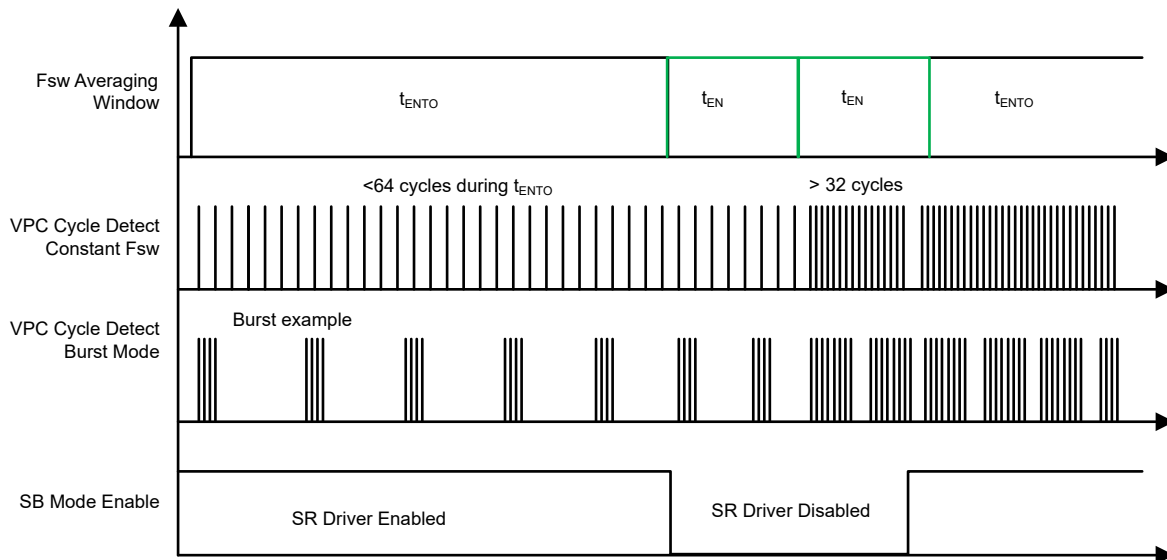


図 6-10. スタンバイ モードの動作

6.3.5 ピンの障害保護

UCC24630 コントローラは、ピンの断線、グラウンドへの短絡、範囲外での異常動作に対する障害保護を備えています。

6.3.5.1 VPC ピンの過電圧

VPC ピン上に、想定されるトランスのリーク スパイクよりも長い時間、異常に高い電圧が生じた場合には、DRV 出力がサイクル単位でディスエーブルになります。VPC ピンの電圧が V_{VPCDIS} (最小値 2.6V, 500ns) を上回った場合、SR は次の有効なサイクルまで有効になりません。

6.3.5.2 VPC ピンは開放

デフォルトでは、VPC ピンがオープンになると、デバイスは VPC 入力信号がない状態になり、DRV 動作が無効になります。

6.3.5.3 VSC ピンは開放

デフォルトでは、VSC ピンがオープンになると、デバイスは VSC 入力信号がない状態になり、DRV 動作が無効になります。

6.3.5.4 TBLK ピンは開放

TBLK ピンが断線した場合、デバイスは DRV 動作を無効化します。

6.3.5.5 VPC および VSC のグランド短絡

DRV 動作のためには VPC と VSC のイネーブル スレッショルドが満足される必要があるため、DRV は実質的にディスエーブルとなります。

6.3.5.6 TBLK 入力ピンがグランドに短絡

TBLK ピンが短絡すると、 $t_{VPC-BLK}$ ブランキング時間が最小値になります。

6.4 デバイスの機能モード

本デバイスは、VDD 電圧、VSC 電圧、VPC 電圧、周波数に応じて、さまざまなモードで動作します。

6.4.1 スタートアップ

起動時に VDD が $V_{VDD(on)}$ 未満の場合、デバイスは無効になります。VDD が $V_{VDD(on)}$ UVLO スレッショルドを超えると、 I_{DD} が I_{RUN} になり、デバイスは「**起動と UVLO**」に記載されている起動シーケンスを開始します。

6.4.2 通常動作

VDD が $V_{VDD(on)}$ を上回ると、VPC 電圧が V_{VPCEN} および V_{VPC-TH} を上回り、VSC 電圧が V_{VSCEN} を超えると DRV 出力がアクティブになります。スイッチング周波数がスタンバイ基準 ($> 5kHz$) を上回っている場合、デバイスは通常動作になります。DRV 時間は、ボルト秒制御または CCM デッドタイム制御に基づいて決定されます。 I_{DD} は I_{RUN} になります。

- 1 次側オン時間と DRV オン時間の合計値が、前回のサイクルから t_{CCMDT} を引いた値よりも小さい場合、デバイスはボルト秒制御で動作します。これが多くの場合の動作モードとなります。
- ボルト秒制御ランプによって決定される 1 次側オン時間と DRV オン時間の合計が、前回のサイクルから t_{CCMDT} を引いた値を上回る場合、デバイスは CCM デッドタイム制御で動作します。これは、DCM の CCM 動作への移行中に CCM コンバータでのみ発生します

6.4.3 スタンバイ動作

t_{ENTO} 内の VPC パルス数が n_{ENTO} (64) より少ない場合、デバイスはスタンバイ モードに入ります。DRV 動作が停止し、ほとんどのデバイス機能がシャットダウンされます。 I_{DD} はスタンバイ動作時の I_{STBY} です。スタンバイ モードを終了するには、 t_{EN} 内の VPC パルス数が n_{EN} (32) を超える必要があります。 I_{DD} が I_{RUN} に戻り、DRV 出力が 4 VPC サイクル後に開始します。

6.4.4 動作の停止条件

以下の条件下では DRV 動作が無効になります。これらの状態において、 I_{DD} は I_{RUN} となります。

- VPC 過電圧: $V_{VPC} > V_{VPCDIS}$ が 500ns を超えると、そのサイクルでは DRV 出力が無効になります。
- CCM フォルト: 現在のサイクル周期が、前のサイクル時間に K_{CCM_FAULT} を掛けた時間よりも長い場合、DRV 出力は 4 サイクルにわたって無効になります。この 4 サイクル数はリセットでき、4 サイクルの DRV ディスエーブル カウント中に再度 CCM 障害が発生した場合には、延長されます。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

UCC24630 は、2 次側同期整流に使用される N チャネル MOSFET パワー デバイス用の高性能コントローラ/ドライバです。UCC24630 は、1 次側コントローラのコンパニオン デバイスとして動作するよう設計され、スイッチング電源での高効率の同期整流の実現に役立ちます。このコントローラは、高速ドライバを搭載しており、適切にタイミングで動作するロジック回路を備えているため、効率的な同期整流システムをシームレスに構築できます。電流エミュレータ アーキテクチャにより、UCC24630 は DCM、TM、CCM の各モードで使用するための十分な汎用性を備えています。UCC24630 の SR オン時間調整機能により、PSR および SSR アプリケーションを最適化できます。ピン障害保護、動的な VPC スレッショルド センシング、電圧センス ブランキング時間など、さまざまな機能により、UCC24630a は堅牢な同期コントローラとして利用できます。CCM デッドタイム保護により、スイッチング周波数が不安定になると DRV 信号がシャットオフされます。

7.2 代表的なアプリケーション

7.2.1 AC/DC アダプタ、19.5V、65W

この設計例では、一般的な AC 入力から動作し、3.33A の最大負荷で 19.5V を供給する、65W のオフライン フライバック コンバータの設計について説明します。この設計では、DCM タイプのフライバック コンバータで LM5023 AC-DC 擬似共振 1 次側コントローラを使用し、2 次側に UCC24630 同期整流コントローラを使用することで、92% 以上の全負荷効率を実現します。

- システム要件の詳細を[セクション 7.2.2](#) に示します。
- UCC24630 で使用する部品回路を選択するための設計手順については、[セクション 7.2.3](#) を参照してください。
- [セクション 7.2.4](#) に示すテスト結果は、UCC24630 を使用する独自の利点を示しています。

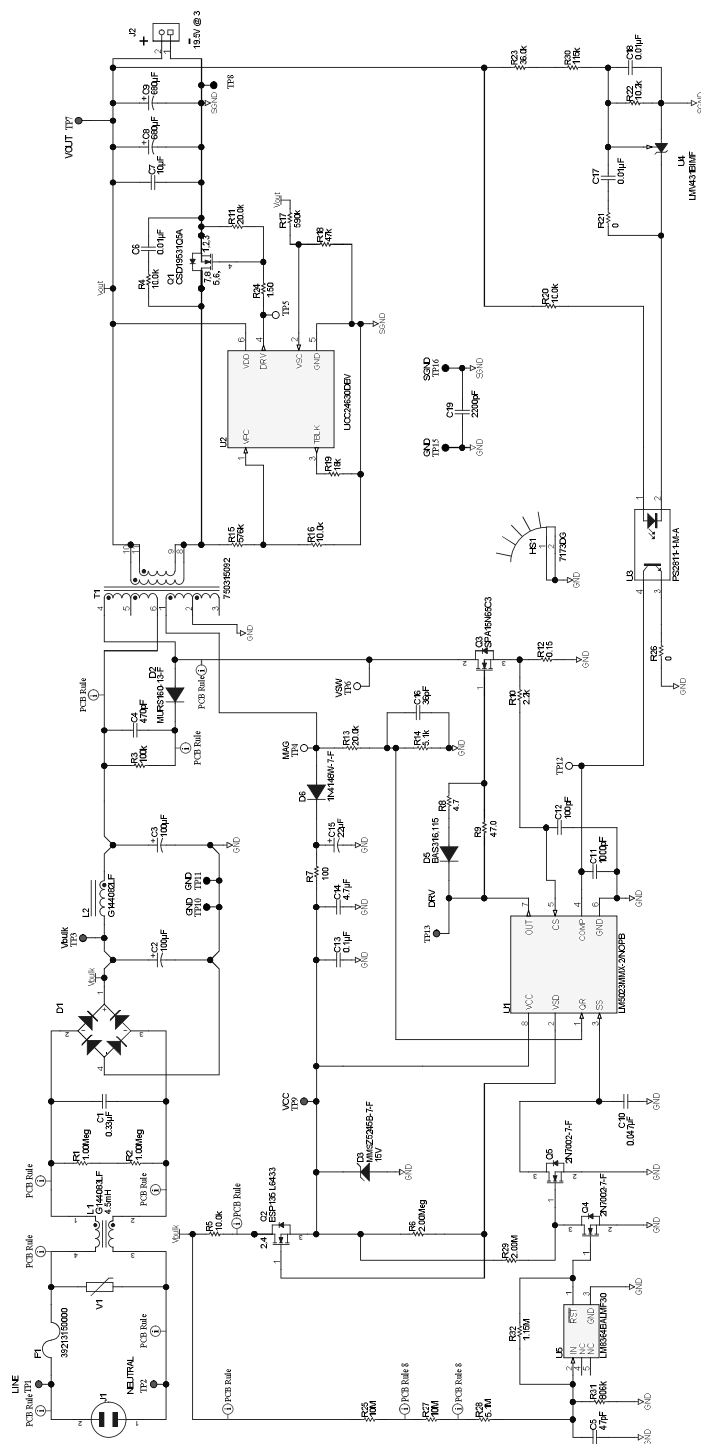


図 7-1. AC/DC アダプタ 19V、65W

7.2.2 設計要件

この設計例では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 性能仕様 AC/DC アダプタ 19V、65W

パラメータ	テスト条件	最小値	公称値	最大値	単位
入力特性					
V_{ACIN} 入力電圧		90	115/230	265	V
f_{LINE} 周波数		47	50/60	64	Hz
$V_{AC(uvlo)}$ ブラウンアウト電圧	$I_{OUT} = I_{OUT(nom)}$		80		VRMS
$V_{AC(run)}$ ブラウンアウト復帰電圧			90		VRMS
I_{IN} 入力電流	$V_{ACIN} = V_{ACIN(min)}$ 、 $I_{OUT} = I_{OUT(nom)}$		1.65		A
出力特性					
V_{OUT} 出力電圧	$V_{ACIN} = V_{ACIN(min)} \sim V_{ACIN(max)}$ 、 $I_{OUT} = 0 \sim I_{OUT(nom)}$	18.5	19.5	20.5	V
$I_{OUT(nom)}$ 公称出力電流	$V_{ACIN} = V_{ACIN(min)} \sim V_{ACIN(max)}$		3.33		A
$I_{OUT(min)}$ 最小出力電流	$V_{ACIN} = V_{ACIN(min)} \sim V_{ACIN(max)}$		0		A
ΔV_{OUT} 出力電圧リップル	$V_{ACIN} = V_{ACIN(min)} \sim V_{ACIN(max)}$ 、 $I_{OUT} = 0 \sim I_{OUT(nom)}$		500		mV
P_{OUT} 出力電力	$V_{ACIN} = V_{ACIN(min)} \sim V_{ACIN(max)}$		65		
システム特性					
η_{avg} 平均効率	$V_{ACIN} = V_{ACIN(nom)}$ 、 $I_{OUT} = I_{OUT(nom)}$ の 25%、50%、75%、100%	89%	90%		
$\eta_{10\%}$ 10% の負荷効率	$V_{ACIN} = V_{ACIN(nom)}$ 、 $I_{OUT} = I_{OUT(nom)}$ の 10%	79%	82%		
P_{NL} 無負荷時の消費電力	$V_{ACIN} = V_{ACIN(nom)}$ 、 $I_{OUT} = 0$		60	120	mW

7.2.3 部品値の計算

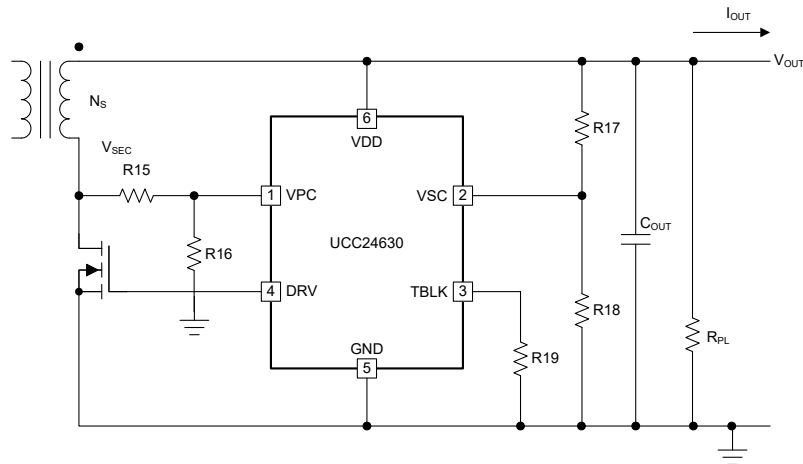


図 7-2. UCC24630 回路設計

理解しやすくするため、図 7-2 は図 6-5 の変更バージョンで、部品の参照指定番号は図 7-1 の回路図と同じです。

7.2.3.1 VPC 入力

最小消費電力:

- $R16 = 10k\Omega$

$$\bullet \quad R15 = \frac{\left(\left[\frac{V_{IN(min)}}{N_{PS}} + V_{OUT(min)} - V_{VPC_EN} \times 1.1 \right] \right) \times R16}{V_{VPC_EN}} \quad (8)$$

- $V_{OUT(min)} = 18V$
- $N_{PS} = 5.5$
- $V_{IN(min)} = 60V$
- $R15 = 574k\Omega$

R15 = 576kΩ の場合

$$\bullet \quad V_{VPC(max)} = \frac{\left[\frac{V_{IN(max)}}{N_{PS}} + V_{OUT(max)} \right] \times R16}{R15 + R16} \quad (9)$$

- $V_{PC(max)} = 1.50V$

$$\bullet \quad V_{VPC(min)} = \frac{\left[\frac{V_{IN(min)}}{N_{PS}} + V_{OUT(min)} \right] \times R16}{R15 + R16} \quad (10)$$

- $V_{PC(min)} = 0.49V$

したがって、 V_{VPC} は 0.45V ~ 2V の推奨範囲内です。

7.2.3.2 VSC 入力

値が R18 の場合、25kΩ ~ 50kΩ の範囲にすることを推奨します。

- $R18 = 47k\Omega$

$$\bullet \quad R17 = \left[\left(\frac{\frac{R15 + R16}{R16}}{\text{Ratio}_{VPC_VSC} \times 1.1} \right) - 1 \right] \times R18 \quad (11)$$

- $R17 = 554k\Omega$

R17 = 590kΩ の場合、VSC ピンの動作範囲は次のようになります。

$$\bullet \quad V_{VSC(min)} = \left(\frac{R18}{R17 + R18} \right) \times V_{OUT(min)} \quad (12)$$

- $V_{SC(min)} = 1.32V$

$$\bullet \quad V_{VSC(max)} = \left(\frac{R18}{R17 + R18} \right) \times V_{OUT(max)} \quad (13)$$

- $V_{SC(max)} = 1.55V$

したがって、 V_{VSC} は 0.3V ~ 2V の推奨範囲内です。

7.2.3.3 TBLK 入力

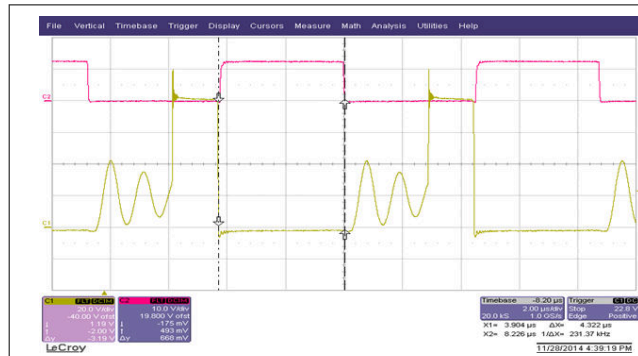
ブランキング時間は抵抗 R19 で設定されます。

高ラインでの 1 次側の最小オン時間に基づいて、式 6 の条件を満たすブランキング時間を選択します。

$$R19 = \frac{t_{VPC} - \text{BLK} - 100ns}{18pF} \quad (14)$$

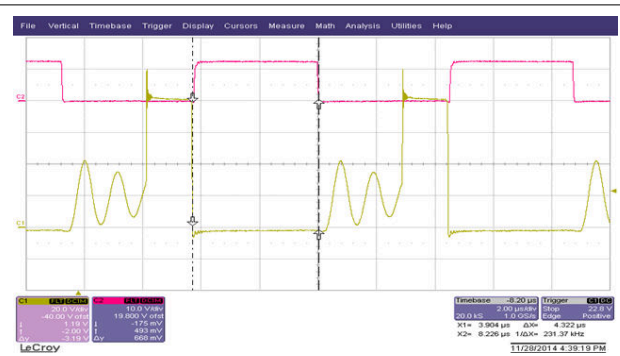
R19 = 18kΩ の値により、ブランキング時間は約 420ns となります。

7.2.4 アプリケーション曲線



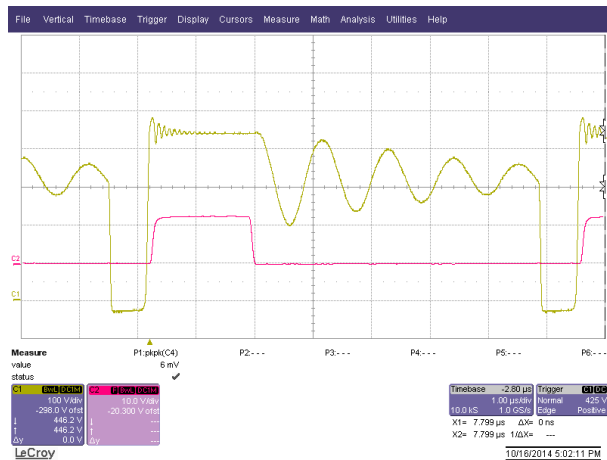
C2 (赤):同期整流器 Q1 への DRV 信号
C1 (黄):同期整流器 Q1 のドレイン

図 7-3. DRV タイミング (230V_{AC}、65W)



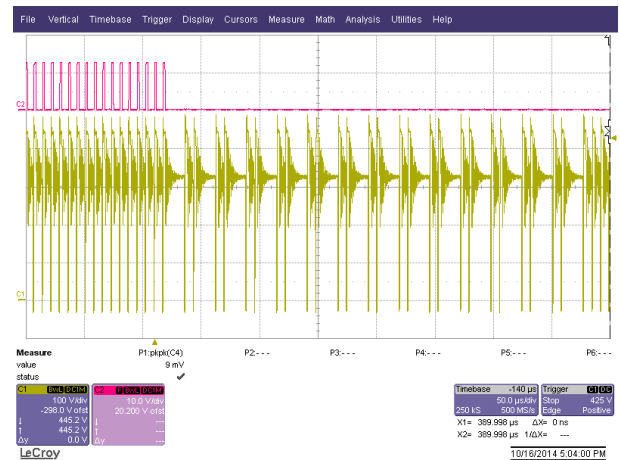
C2 (赤):同期整流器 Q1 への DRV 信号
C1 (黄):同期整流器 Q1 のドレイン

図 7-4. DRV タイミング (115V_{AC}、65W)



C2 (赤):同期整流器 Q1 への DRV 信号
C1 (黄):1 次側 MOSFET Q3 のドレイン

図 7-5. DRV タイミング (230V_{AC}、12W)



C2 (赤):同期整流器 Q1 への DRV 信号
C1 (黄):1 次側 MOSFET Q3 のドレイン

図 7-6. 軽負荷動作 (230V_{AC}、8W)

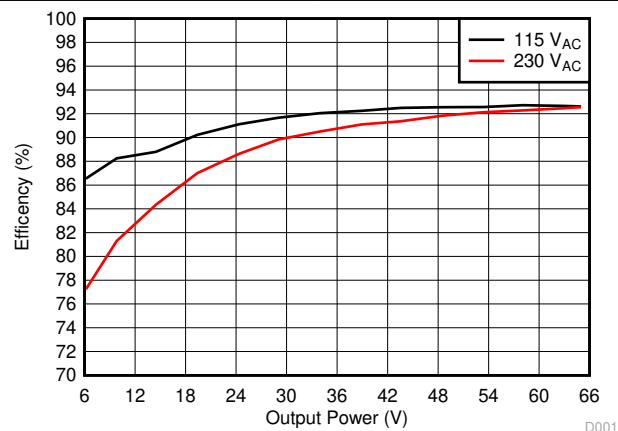


図 7-7. 効率と出力電力との関係

7.3 設計のベスト プラクティス

- 本デバイスは、推奨動作条件の最大パラメータの範囲内で動作させてください。ストレスを評価する際は、出力過電圧条件を考慮してください。
- ブランキング時間の抵抗値を設定する際は、[図 6-6](#) のガイドラインを考慮してください。
- UCC24630 は、高電力レベルでコンスタントにスキップ サイクル モードで動作するコンバータとは、一緒に使用しないでください。スキップ サイクル動作は、多くの CCM 障害や DRV パルスの欠損を引き起こします。
- フライバック コントローラが可変周波数 (FM) 変調で動作しているときに CCM で動作するような CCM 設計では、UCC24630 を使用しないでください。CCM デッドタイム機能は、固定周波数の PWM 動作中は CCM 動作と互換性があります。
- UCC24630 は、ヒステリシス制御の CCM フライバック コンバータでは使用しないでください。高電力レベルでのコンスタントなスキップ サイクル動作は、多くの CCM サイクル障害の原因となり、効率の低下につながります。
- UCC24630 は、LLC フライバック コンバータでは使用しないでください。

7.4 電源に関する推奨事項

UCC24630 は、幅広い種類のフライバック電源に使用できる同期整流コントローラとして推奨されます。固定周波数または可変周波数のアプリケーションにおける、不連続導通モード (DCM) コントローラや遷移モード (TM) コントローラと互換性があります。固定周波数のアプリケーションにおいては、連続導通モード (CCM) コントローラと互換性があります。

85V_{AC} ~ 265V_{AC} の入力と 5V ~ 24V の出力を備えるフライバック電源用の同期整流器として最適です。また、異なる入出力電圧を持つ他のフライバック アプリケーションでも使用できます。ただし、すべての電圧と電流がデバイスの推奨動作条件と絶対定格の範囲内にあることを確認してください。

遷移モードの制限値および低ライン レベルで、最小 40kHz のスイッチング周波数で動作するフライバック コンバータと互換性があります。また、最大 200kHz のスイッチング速度で使用できます。

VDD の動作範囲により、5V ~ 24V のコンバータ出力に直接接続できます。ドライバと制御回路で同じ VDD およびグラウンドを共有するため、高品質のセラミック コンデンサを VDD ピンおよび GND ピンとできるだけ近づけて配置します。VDD のノイズを低減し、コンバータ出力からの高周波リップル電流を除去するため、コンバータ出力と VDD の間に 2.2Ω ~ 10Ω の小さな抵抗を配置することを推奨します。このデバイスは、100μs から、定電流チャージャで一般的な非常に長い立ち上がり時間まで、幅広い VDD 立ち上がり時間に対応できます。起動アップシーケンスは常に、[図 6-1](#) に示すようになります。VDD を外部バイアスに接続することで、3.5V 未満または 24V を超えるコンバータ出力にデバイスの動作範囲を拡張できます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

大電流ループは、原則としてすべて最短距離で構成します。大電流および高周波の配線は、他の信号線から可能な限り離して配置します。必要に応じて、高周波および大電流配線は、他の信号線と平行ではなく、垂直になるように配置します。信号パターンをグラウンド パターンでシールドすることで、ノイズの侵入を低減できます。高電圧部と低電圧回路の間は、常に適切な空間距離を確保するようにします。

7.5.1.1 VDD ピン

VDD ピンと GND とのデカップリングには、低 ESR、低 ESL の高品質セラミック バイパス コンデンサを使用し、VDD および GND ピンへのパターンは短くします。VDD に必要な容量の値は「[推奨動作条件](#)」に記載されているように決定されます。SR 制御回路の高周波リップル電流を除去するため、VDD とコンバータの出力電圧の間に 2.2Ω ~ 10Ω の小さな抵抗を配置することを推奨します。

7.5.1.2 VPC ピン

抵抗デバイダと VPC ピンの間のパターンは、ノイズ結合を低減または除去するため、できるだけ短くする必要があります。VPC ピンに接続される抵抗デバイダ ネットワークの下側の抵抗は、短いパターンで GND に接続する必要があります。信号の遅延を防ぐため、VPC ピンに大きな外部容量は追加しないでください。フィルタリングが必要な場合、推奨さ

れる最大容量は 10pF、抵抗デバイダ ネットワークの値は 10k Ω です。SR MOSFET のドレインと DRV 出力など、dV/dt の大きいパターンは、VPC ピンや接続の近くに配置しないでください。

7.5.1.3 VSC ピン

抵抗デバイダと VSC ピンの間のパターンは、ノイズ結合を低減または除去するため、できるだけ短くする必要があります。VSC ピンに接続される抵抗デバイダ ネットワークの下側の抵抗は、短いパターンで GND に接続する必要があります。信号の遅延を防ぐため、VPC ピンに外部容量は追加しないでください。フィルタリングが必要な場合、推奨される最大容量は 47pF、抵抗デバイダ ネットワークの値は 50k Ω です。SR MOSFET のドレインと DRV 出力など、dV/dt の大きいパターンは、VSC ピンや接続の近くに配置しないでください。

7.5.1.4 GND ピン

GND ピンには、コントローラの電源および信号グランドを接続します。信号ピン上のフィルタ コンデンサの有効性は、グランド リターンの整合性に依存します。すべてのデカップリング コンデンサは、短いパターンを使用し、デバイスのピンにできるだけ近づけて配置します。デバイスのグランドと電源グランドは、出力バルク コンデンサのリターン上で接続する必要があります。電源段からの高周波電流や大電流が信号グランドを通過しないことを確認します。

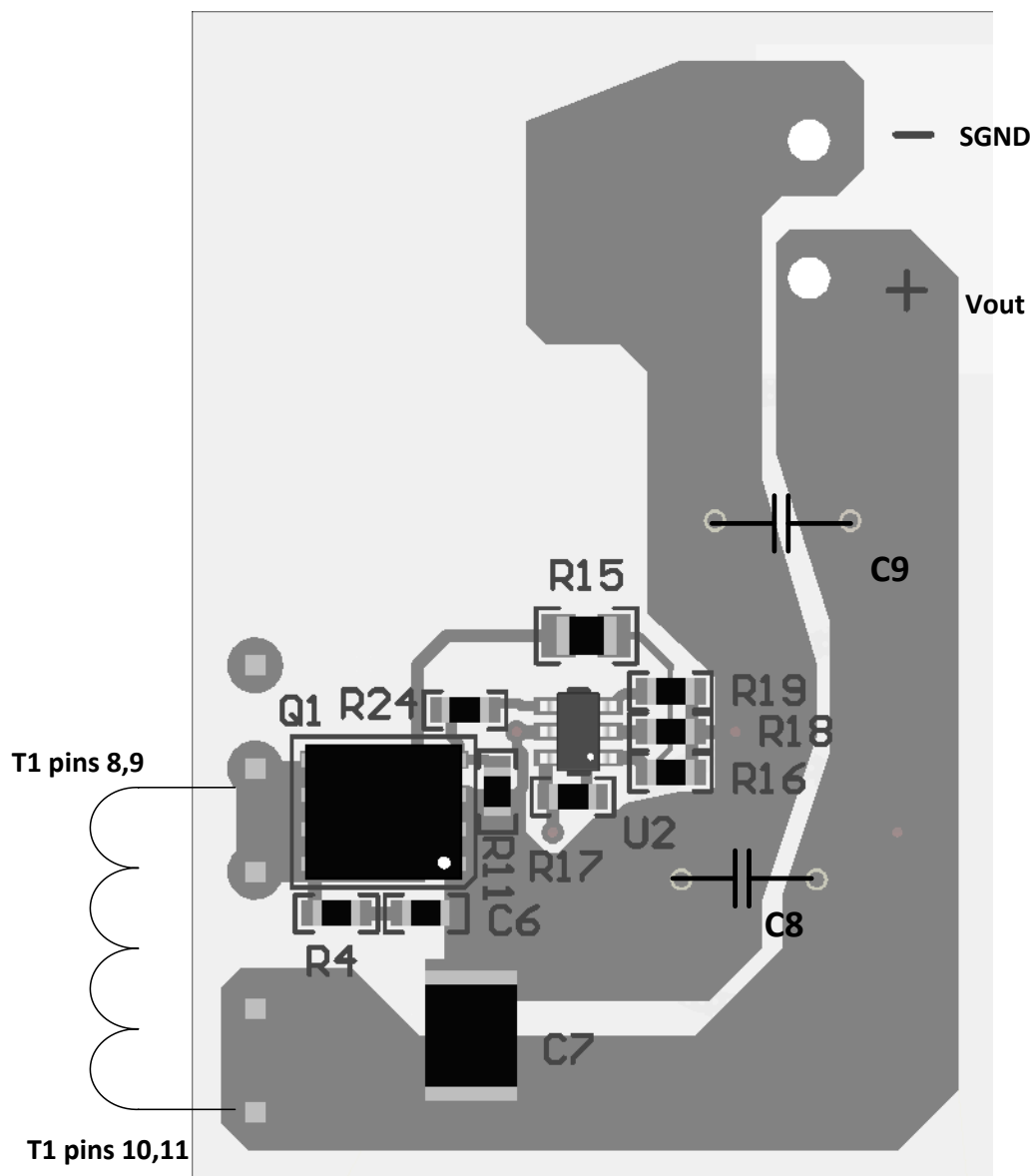
7.5.1.5 TBLK ピン

プログラミング抵抗は、短いパターンで TBLK と GND の間に配置されます。必要な遅延時間に基づいて値を調整します。SR MOSFET のドレインと DRV 出力など、dV/dt の大きいパターンは、TBLK ピンや接続の近くに配置しないでください。

7.5.1.6 DRV ピン

DRV に接続されたパターンは、高 dv/dt 信号を伝達します。ノイズの混入を最小限にするため、このピンへのパターンは、デバイスの信号入力、VPC、VSC、TBLK のパターンからできるだけ離して配線します。

7.5.2 レイアウト例



8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

8.1.1.1 用語の定義

- $V_{IN(min)}$ = 60V:コンバータの最小 1 次側バルク キャパシタ電圧
- $V_{IN(max)}$ = 370V:コンバータの最大 1 次側バルク キャパシタ電圧
- $V_{OUT(min)}$ = 18V:UCC24630 のコンバータ最小出力動作電圧
- $V_{OUT(max)}$ = 21V:UCC24630 のコンバータ最大出力動作電圧
- V_{VPC_EN} = 0.45V:同期整流器のイネーブル電圧
- $V_{VPC(max)}$ = 2.0V:VPC の最大動作レベル
- N_{PS} = 5.5:トランスの 1 次側と 2 次側の巻数比
- $Ratio_{VPC_VSC}$ = 4.15:電流エミュレータのゲイン K_{VPC}/K_{VSC}
- t_{VPC_BLK} :同期整流器動作の最小 VPC パルス

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2015) to Revision B (July 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• SR の最小オン時間 ($t_{SR(min)}$) である 350ns に対する 2 次側の最小電流導通時間を「上回る」から「下回る」に変更	10

Changes from Revision * (March 2015) to Revision A (March 2015)**Page**

- 「アプリケーション」セクションの誤植を修正。 **1**

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC24630DBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U630
UCC24630DBVR.B	Active	Production	null (null)	3000 LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See UCC24630DBVR	U630
UCC24630DBVT	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U630
UCC24630DBVT.B	Active	Production	null (null)	250 SMALL T&R	-	NIPDAU	Level-1-260C-UNLIM	See UCC24630DBVT	U630

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

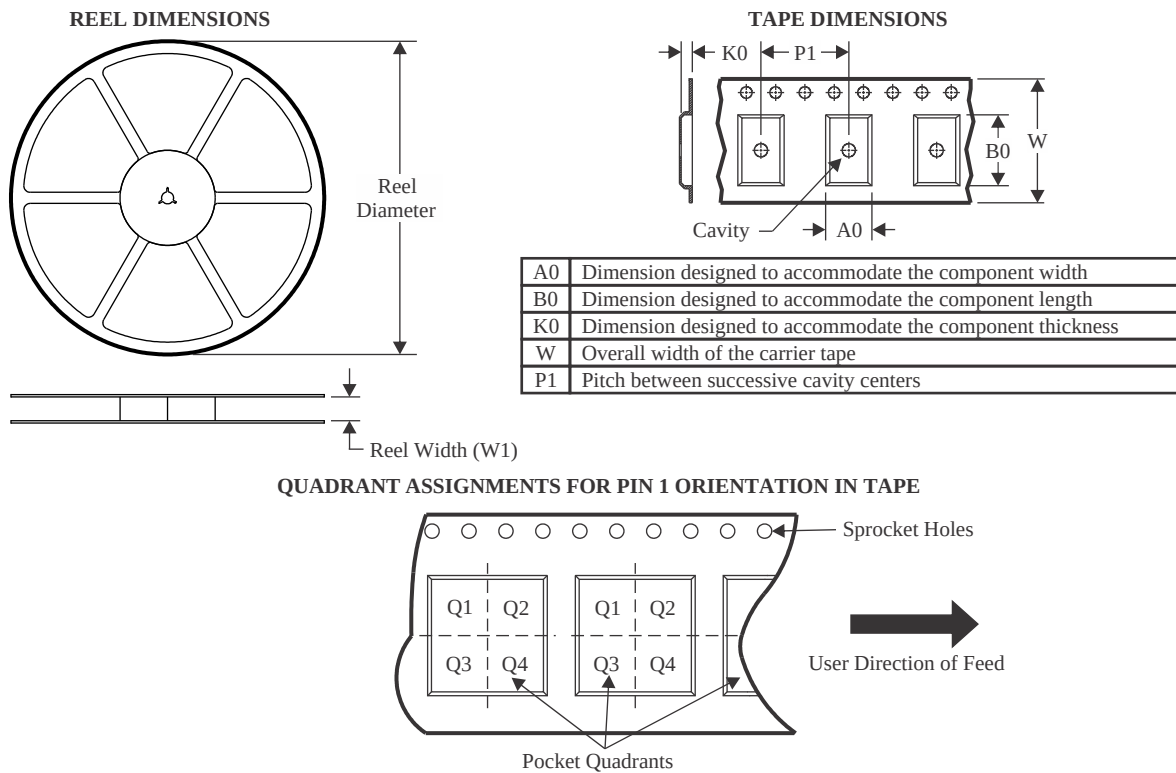
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

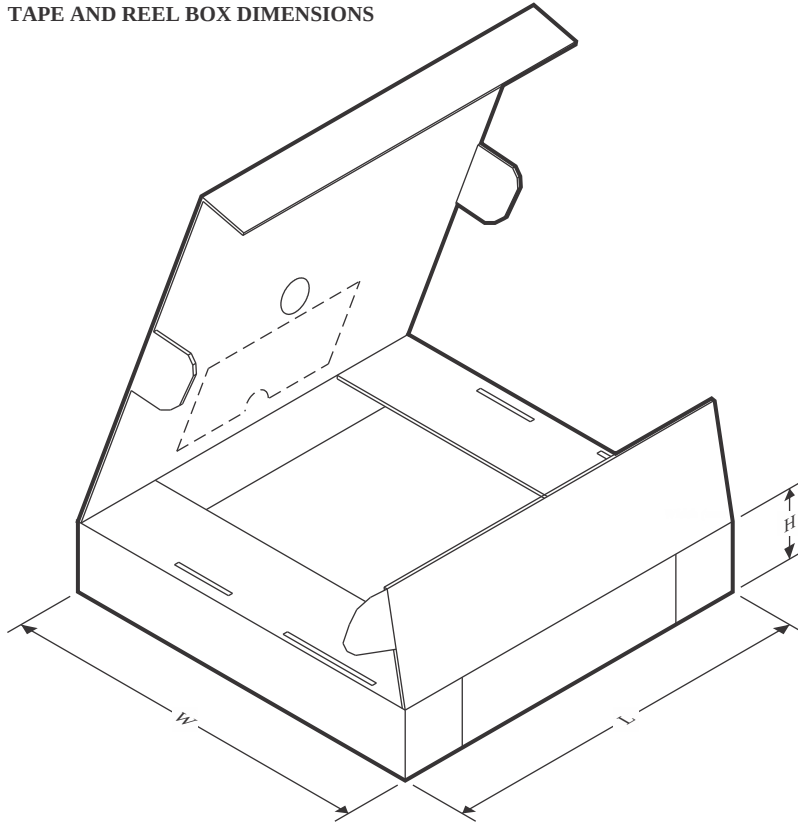
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC24630DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
UCC24630DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC24630DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
UCC24630DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



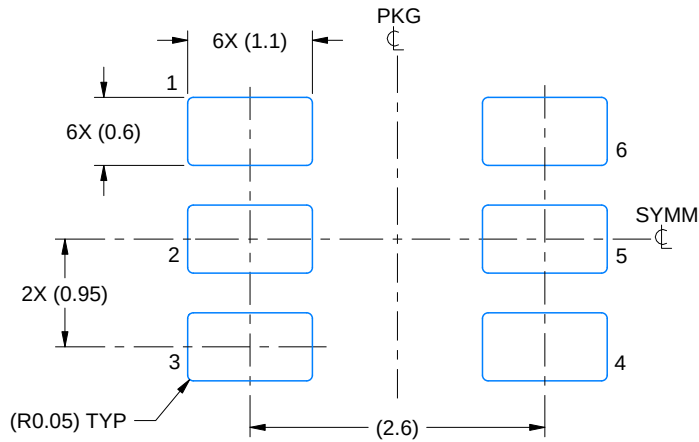
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

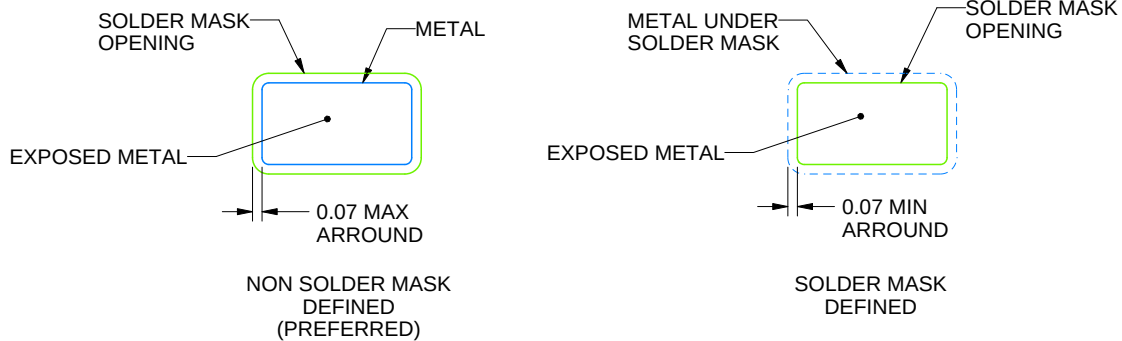
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

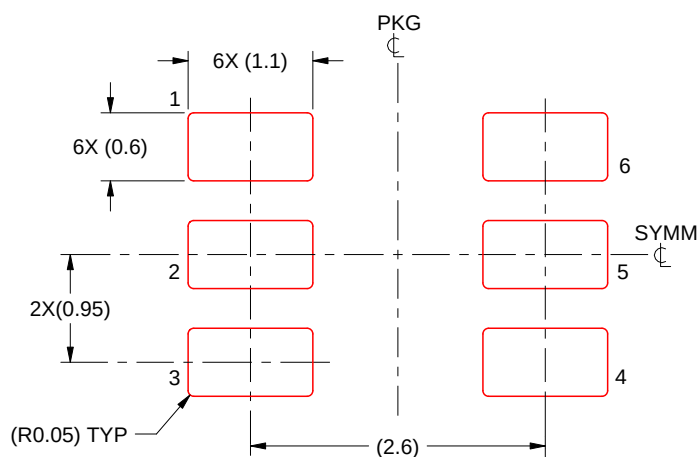
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月