

UCC25640x 超低可聴ノイズ、超低スタンバイ電力の LLC 共振コントローラ

1 特長

- 最適化された低消費電力モードおよびバースト モード アルゴリズム
 - ソフトオン / ソフトオフ期間付きのバースト モード
 - 無負荷時とスタンバイ時に可聴ノイズを最小化
 - ユーザーがバースト モードをディセーブル可能
 - フォトカプラの低消費電力動作
 - DoE Level VI および EU CoC Tier-2 外部電源規格を上回る効率性能
- ハイブリッド ヒステリシス制御 (HHC)
 - 業界最高クラスの過渡応答
 - バースト モードの高速終了
- 堅牢なアダプティブ デッドタイム制御
- ソース電流 0.6A、シンク電流 1.2A の駆動能力を備えた高電圧ゲートドライバ内蔵
- 堅牢な容量性領域 (ZCS) 回避方式
- 過熱、出力過電圧、入力低電圧保護、3 レベルの過電流保護
- 高電圧スタートアップ機能を内蔵
- アクティブ X コンデンサ放電機能

2 アプリケーション

- テレビ用 SMPS 電源
- 照明
- AC/DC アダプタ
- 電動工具
- 医療用電源
- 多機能プリンタ
- エンタープライズやシネマ用プロジェクト
- PC 電源
- ゲーム機の電源

3 説明

UCC25640x は充実した機能を持つ LLC コントローラで、高電圧ゲートドライバが内蔵されています。UCC25640x は、PFC コントローラとペアで使用するよう設計されており、最小限の外付け部品で包括的な電源システムを実現できます。その結果、この電源システムは、個別のスタンバイ パワー コンバータを必要とせずに、スタンバイ電力に関する最も厳格な要件を満たすように設計されています。

UCC25640x は、ソフトオン / ソフトオフ期間付き高効率バースト モードにより、スタンバイ動作時の可聴ノイズを最小限に抑えることができます。バースト電力レベルとヒステリシスをプログラムできるため、効率とバースト モード動作を簡単に最適化できます。ピン構成を介してバースト モードを無効化します。UCC25640x は、クラス最高のラインおよび負荷過渡応答を実現するため、ハイブリッド ヒステリシス制御を採用しています。

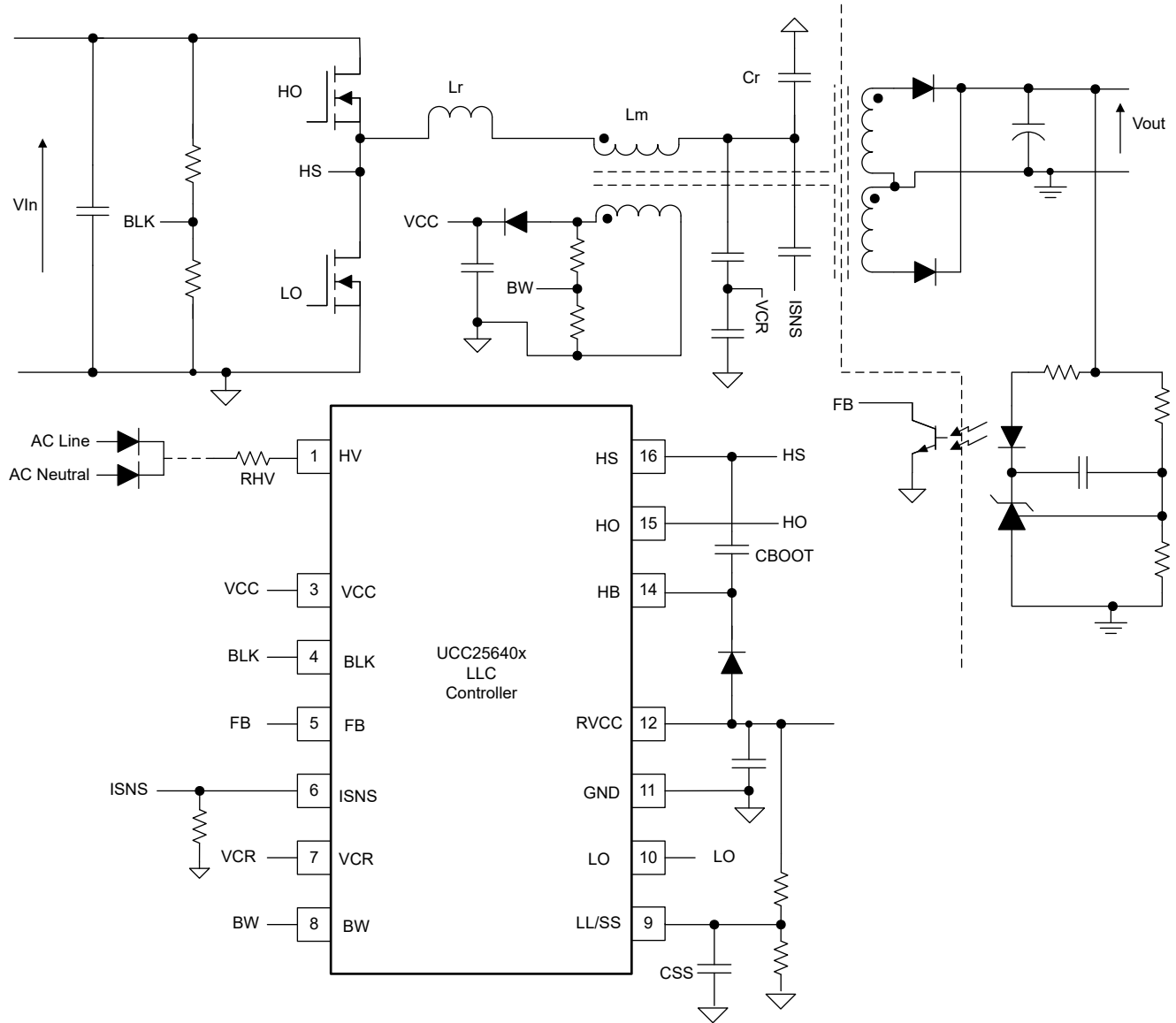
UCC25640x には、LLC コンバータの動作を適切に制御し、保護するための幅広い機能が搭載されています。UCC25640x を UCC28056 または UCC28064A PFC コントローラ、さらに UCC24624 同期整流器コントローラと組み合わせて使用すると、包括的な電源オプションを実現できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
UCC256402	SOIC	9.9mm × 3.9mm
UCC256403		
UCC256404		

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略回路図

目次

1 特長	1	7.3 機能説明	21
2 アプリケーション	1	7.4 デバイスの機能モード	33
3 説明	1	8 アプリケーションと実装	46
4 デバイス比較表	4	8.1 使用上の注意	46
5 ピン構成および機能	5	8.2 代表的なアプリケーション	46
6 仕様	7	8.3 電源に関する推奨事項	57
6.1 絶対最大定格.....	7	8.4 レイアウト	57
6.2 ESD 定格.....	7	9 デバイスおよびドキュメントのサポート	60
6.3 推奨動作条件.....	8	9.1 ドキュメントのサポート.....	60
6.4 熱に関する情報.....	8	9.2 ドキュメントの更新通知を受け取る方法.....	60
6.5 電気的特性.....	8	9.3 サポート・リソース.....	60
6.6 スイッチング特性.....	12	9.4 商標.....	60
6.7 代表的特性.....	14	9.5 静電気放電に関する注意事項.....	60
7 詳細説明	18	9.6 用語集.....	60
7.1 概要.....	18	10 改訂履歴	60
7.2 機能ブロック図.....	20	11 メカニカル、パッケージ、および注文情報	60

4 デバイス比較表

デバイス	高電圧スタートアップを内蔵	X コンデンサ放電機能を内蔵	外部バイアス電源が必要	パーストソフトオン/ソフトオフ	BLK OVP	BW OVP モード
UCC256402	あり	なし	なし	なし	なし	最初からやり直します
UCC256402A	あり	なし	なし	なし	あり	最初からやり直します
UCC256403	なし	なし	あり	あり	なし	最初からやり直します
UCC256403A	なし	なし	あり	なし	なし	ラッチ
UCC256404	あり	あり	なし	あり	なし	最初からやり直します
UCC256404A	あり	あり	なし	なし	なし	ラッチ
UCC256404B ⁽¹⁾	あり	あり	なし	あり	なし	最初からやり直します

(1) このデバイスの X コンデンサ放電機能は認証機関によってテストされておらず、既存の UCC25640x 認証の類似性によって認定されています

5 ピン構成および機能

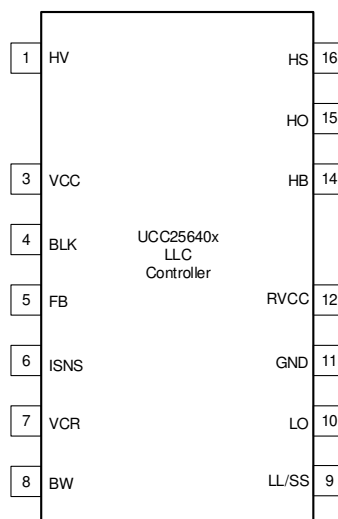


図 5-1. DDB パッケージ 16 ピン SOIC (ピン 2 および 13 を削除) 上面図

ピン		タイプ ⁽¹⁾	説明
名称	番号		
BLK	4	I	このピンを使用して、LLC 段の入力電圧レベルを検出します。信号をこのピンに印加する前に、抵抗デバイダを使用して減衰させる必要があります。このピンの電圧レベルによって、LLC コンバータがスイッチングを開始 / 停止するタイミングが決定されます。
BW	8	I	このピンを使用して、バイアス巻線を介した出力電圧を検出します。検出された電圧は、出力過電圧保護に使用されます。また、スタートアップ時にこのピンを使用して 2 つのバースト モード スレッショルド (BMT _L および BMT _H) の比率をプログラムします。
FB	5	I	LLC 段の制御帰還入力。このピンから供給される電流の量によって、LLC 入力電力レベルが決まります。
GND	11	G	すべての信号のグラウンドリファレンス。
HB	14	I	一次側ゲートドライブのフローティング電源電圧。ブートストラップ コンデンサは、PH ピンと HS ピンの間に接続します。ローサイド MOSFET の導通中にハイサイド ゲートドライバに電力を供給するため、RVCC からこのピンに高電圧高速ダイオードを接続する必要があります。
HO	15	O	一次側フローティング ゲートドライブ出力。
HS	16	I	一次側ゲートドライブのフローティング グランド。一次側ゲートドライブ電流用の電流リターン。
HV	1	I	内部 HV スタートアップ JFET に接続します。UCC256402 および UCC256404 の場合、このピンを使って PFC 段と LLC 段の両方のスタートアップ電力を供給します。このピンは、X コンデンサ放電機能の AC ライン電圧も監視します。UCC256403 の場合、このピンをグラウンドに接続する必要があります。
ISNS	6	I	共振電流を検出。共振コンデンサ電圧は、共振電流を測定する 1 次フィルタを使用して差別化されます。
LL/SS	9	I	このピンからグラウンドまで接続された容量値は、ソフト スタート期間の長さに影響を及ぼします。このピンに接続される抵抗デバイダにより、スタートアップ時にピンに印加される初期電圧が定義されます。システムのスタートアップ後、このピンを使用してバースト モード スレッショルドをプログラムします。
LO	10	O	二次側ゲートドライブ出力。
削除事項	2	該当なし	機能的な沿面距離および空間距離
削除事項	13	該当なし	機能的な沿面距離および空間距離
RVCC	12	P	レギュレートされた 13V 電源。このピンを使用して、ゲートドライバと PFC コントローラに電力を供給します。
VCC	3	P	電源入力。

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VCR (同相電圧)	7	I	共振コンデンサ電圧を検出。

(1) I = 入力、O = 出力、P = 電源、G = グランド

6 仕様

6.1 絶対最大定格

動作自由空気温度範囲全体で (特に記述のない限り)、すべての電圧値は **GND** を基準にしています。電流は指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。(1)

		最小値	最大値	単位
入力電圧	HV、HB	-0.3	700	V
	BLK、LL/SS	-0.55	7.2	V
	VCR (同相電圧)	-0.8	内部でクランプ	V
	VCC	-0.55	30	V
	BW、ISNS	-5	7.2	V
	HB-HS (UCC256402、UCC256402A、UCC256403、 UCC256403A、UCC256404、UCC256404A の場合)	-0.3	17	V
	HB-HS (UCC256404B 用)	-0.3	25	V
RVCC 出力電圧	DC	-0.3	17	V
HO 出力電圧	DC	HS - 0.3	HB + 0.3	V
	過渡応答、100ns 未満	HS - 2	HB + 0.3	
LO 出力電圧	DC	-0.3	RVCC + 0.3	V
	過渡応答、100ns 未満	-2	RVCC + 0.3	
フローティング グラ ンド スルーレート	dV _{HS} /dt	-50	50	V/ns
HO、LO パルス電 流	I _{OUT_PULSED}	-0.6	1.2	A
接合部温度範囲	T _J	-40	150	°C
保管温度範囲、T _{stg}	T _{stg}	-65	150	
リード温度	半田付け、10 秒		300	
	リフロー		260	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001、HV、HO、HS、HB ピン(1)に準拠	±1000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、他すべてのピン(1)	±2000	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

		最小値	公称値	最大値	単位
HV, HS	入力電圧			600	V
V _{CC}	電源電圧	13	15	26	V
HB - HS	ドライバ ブートストラップ電圧	10	12	16	V
C _B	HB から HS へのセラミック バイパス容量	0.1		5	μF
C _{SS}	ソフト スタート ピン コンデンサ	4.7		470	nF
C _{RVCC}	RVCC ピン デカップリング容量	4.7			μF
I _{RVCCMAX}	RVCC の最大出力電流 ⁽¹⁾			100	mA
T _A	動作時周囲温度	-40		125	°C

(1) 量産時にはテストを行っていません。特性評価により確立されています

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC25640x	単位
		D (SOIC)	
		14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	74.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	30.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	31.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	31.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
V _{CCShort}	このスレッシュホールドを下回ると、低減起動電流を使用	UCC256402、UCC256402A、UCC256404、UCC256404A、UCC256404B の場合	0.3	0.5	0.8	V
V _{CCReStartJfet}	このスレッシュホールドを下回ると、JFET を再有効化。	UCC256402、UCC256402A、UCC256404、UCC256404A、UCC256404B の場合	9.35	9.65	9.95	V
V _{CCStartSelf}	VCC がこのレベルを上回っている場合に起動します	UCC256402、UCC256402A、UCC256404、UCC256404A、UCC256404B の場合	25	26	28	V
V _{CCStartSwitching}	VCC がこのレベルを上回っている場合に起動します	UCC256403、UCC256403A の場合		10.9		V
V _{CCUVLOrising}	VCC 低電圧誤動作防止電圧 (立ち上がり)		7.85	8.25	8.70	V
V _{CCUVLOHYS}	VCC 低電圧誤動作防止電圧ヒステリシス		0.15	0.25	0.35	V
電源電流						
I _{CCSleep}	バースト オフ期間に VCC レールから引き出される電流		650	780	950	μA

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CCRun}	ゲートがスイッチング動作中に V_{CC} ピンから引き込まれた電流。ゲート電流を除く	デッド タイム = $1\mu\text{s}$ 最大デッド タイム	1.8	2.2	2.7	mA
安定化電源						
V_{RVCC}	安定化電源電圧	$V_{CC} = 15\text{V}$ 、無負荷	12.7	13	13.45	V
	安定化電源電圧	$V_{CC} = 15\text{V}$ 、100mA 負荷	12.4	13	13.45	V
	安定化電源電圧	$V_{CC} = 13\text{V}$ 、無負荷	12.7	12.98		V
	安定化電源電圧	$V_{CC} = 13\text{V}$ 、30mA 負荷	12.4	12.6		V
$V_{RVCCUVLO}$	RVCC 低電圧誤動作防止電圧		6.5	7	7.5	V
高電圧起動						
I_{HVLow}	スタートアップ ピン電流の低減	$V_{HV} = 20\text{V}$ 、 $V_{CC} = 0\text{V}$	0.3	0.5	0.65	mA
I_{HVHigh}	フル スタートアップ ピン電流	$V_{HV} = 20\text{V}$ 、 $V_{CC} = 4\text{V}$	7.6	10.20	13.5	mA
I_{HVLeak}	HV 電流源漏れ電流	$V_{HV} = 600\text{V}$		1	4	μA
I_{HVZCD}	最高 AC ゼロ交差検出テスト電流	UCC256404B の場合	1.0	1.3	1.6	mA
		UCC256404、UCC256404A の場合	1.4	1.7	2.1	mA
$I_{HVZCDStep}$	AC ゼロ交差検出テスト電流のステップ			0.38		mA
$I_{XCAPDischarge}$	X コンデンサ放電電流		8.9	11.5	13.5	mA
$V_{zero-crossing}$	ゼロ交差が検出される HV ピン電圧スレッショルド		8	9	11	V
$t_{XCAPZCD}$	最初の 3 つのテスト電流段の AC ゼロ交差検出期間の長さ ⁽¹⁾		10	12	14	ms
$t_{XCAPZCDLast}$	最終テスト電流段の AC ゼロ交差検出期間の長さ ⁽¹⁾		43	46	52	ms
$t_{XCAPIdle}$	AC ゼロ交差検出アイドル期間の長さ ⁽¹⁾		635	700	772	ms
$t_{XCAPDischarge}$	X コンデンサ放電電流アクティブの時間 ⁽¹⁾		327	360	390	ms
$t_{XCAPJFETON}$	JFETON 後の最初の X コンデンサ検出時間 ⁽¹⁾			12		ms
バルク電圧検知						
$V_{BLKStart}$	LLC がスイッチングを開始できる BLK 電圧	UCC256402、UCC256402A、UCC256403、UCC256403A の場合	2.94	3	3.06	V
		UCC256404、UCC256404A、UCC256404B の場合	0.98	1	1.02	V
$V_{BLKStop}$	LLC の動作を停止させる BLK 電圧	UCC256402、UCC256402A、UCC256403、UCC256403A の場合	2.15	2.2	2.25	V
		UCC256404、UCC256404A、UCC256404B の場合	0.88	0.9	0.925	V
$V_{BLKOVPRise}$	BLK 過電圧保護の立ち上がりスレッショルド	UCC256402A の場合	3.92	4.0	4.08	V
$V_{BLKOVPFall}$	BLK 過電圧保護の立ち下がりスレッショルド	UCC256402A の場合	3.72	3.8	3.88	V
フィードバック ピン						
$R_{FBInternal}$	内部プルダウン抵抗値		90	100	110	k Ω

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{FB}	FB 内部電流源	UCC256402、UCC256402A、 UCC256404、UCC256404A、 UCC256404B の場合	73	82	91	μA
		UCC256403、UCC256403A の場合	147	164	182	μA
V_{FB}	FB ピンのシンク電流が ($IFB - 50\mu\text{A}$) であるときの FB ピンの電圧			5.6		V
ΔV_{FB}	FB ピンシンク電流の範囲が ($IFB - 50\mu\text{A}$) から ($IFB - 5\mu\text{A}$) までであるときの FB ピン電圧変動			0.28		V
ΔV_{clamp}	FB ピンシンク電流の範囲が ($IFB - 5\mu\text{A}$) から ($IFB + 5\mu\text{A}$) までであるときの FB ピン電圧変動			0.4		V
$I_{FBclamp}$	FB がクランプされているときの最大 FB 内部電流源			82		μA
$\Delta V_{FBclamp}$	FB ピンシンク電流の範囲が ($IFB + 5\mu\text{A}$) から ($IFB + I_{FBclamp} - 5\mu\text{A}$) までであるときの FB ピン電圧変動			0.25		V
f_{3dB}	帰還信号経路 -3dB カットオフ周波数 ⁽²⁾		1			MHz
共振電流検知						
V_{ISNS_OCP1}	OCP1 スレッシュホールド		3.9	4	4.1	V
$V_{ISNS_OCP1_S}$	ソフト スタート時の OCP1 スレッシュホールド		4.85	5	5.15	V
V_{ISNS_OCP2}	OCP2 スレッシュホールド		0.57	0.6	0.63	V
V_{ISNS_OCP3}	OCP3 スレッシュホールド		0.40	0.43	0.46	V
t_{ISNS_OCP2}	OCP2 がトリガされる前に、平均入力電流を OCP2 スレッシュホールドを上回るように保つ必要がある時間 ⁽¹⁾			2		ms
t_{ISNS_OCP3}	OCP3 がトリガされる前に、平均入力電流を OCP3 スレッシュホールドを上回るように保つ必要がある時間 ⁽¹⁾			50		ms
$V_{IpolarityHyst}$	共振電流極性検出ヒステリシス		16	30	44	mV
n_{OCP1}	OCP1 異常が検出される前の OCP1 サイクル数 ⁽¹⁾			4		
共振コンデンサ電圧検出						
V_{CM}	内部同相電圧		2.90	3	3.14	V
I_{RAMP}	周波数補償ランプ電流ソース値		1.84	2	2.16	mA
$I_{Mismatch}$	ブルアップおよびブルダウン ランプ電流源の不整合 ⁽³⁾		-1.25		1.25	%
ゲートドライバ						
V_{LOL}	LO 出力の Low 電圧	$I_{sink} = 20\text{mA}$	0.02	0.05	0.12	V
$V_{RVCC} - V_{LOH}$	LO 出力 high 電圧	$I_{source} = 20\text{mA}$	0.10	0.18	0.3	V
$V_{HOL} - V_{HS}$	HO 出力の Low 電圧	$I_{sink} = 20\text{mA}$	0.02	0.05	0.12	V
$V_{HB} - V_{HOH}$	HO 出力 high 電圧	$I_{source} = 20\text{mA}$	0.10	0.18	0.3	V
$V_{HB} - HSUVLOFall$	ハイサイド ゲートドライバ UVLO 立ち下がりスレッシュホールド		6.6	7.25	7.75	V

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{HB-HSUVLOHys}$	ハイサイド ゲートドライバ UVLO スレッシュ ヨルド ヒステリシス		0.78	0.9	1.05	V
$I_{source_pk_HO}$	HO ピーク ソース電流 ⁽²⁾			-0.6		A
$I_{source_pk_LO}$	LO ピーク ソース電流 ⁽²⁾			-0.6		A
$I_{sink_pk_HO}$	HO ピーク シンク電流 ⁽²⁾			1.2		A
$I_{sink_pk_LO}$	LO ピーク シンク電流 ⁽²⁾			1.2		A
ブートストラップ						
$I_{BOOT_QUIESCIENT}$	(HB - HS) 静止電流	HB - HS = 12V	42	62	80	μA
I_{BOOT_LEAK}	HB から GND へのリーク電流	$V_{HB} = 600\text{V}$		0.40	5.40	μA
$t_{ChargeBoot}$	充電ブート状態の長さ		230	265	300	μs
ソフト スタートおよびバースト モード						
I_{SSUp}	SS ピンからの電流出力により、ソフト スタートコンデンサを充電します		26	36	45	μA
R_{SSDown}	SS ピン プルダウン抵抗	ZCS または OCP1	300	370	450	Ω
$t_{SSInitVolPrgm}$	SS 初期電圧プログラミング時間 ⁽¹⁾		720	776	830	μs
R_{LL}	LL/SS 電圧スケール抵抗値		92	98	106	k Ω
N_{burst}	各バースト パケット内の最小パルス数 (バースト ソフト オン / オフ パルスを含む)	UCC256402、UCC256402A、 UCC256403A、UCC256404A の場合		16		
		UCC256403、UCC256404、 UCC256404B の場合		40		
$N_{softmax}$	バースト ソフト オン / オフの最大パルス数			7		
K_{soft}	バースト ソフト オン / オフ中の $V_{comp}/V_{FBrelica}$ の最小比率			0.33		
$V_{LLVolPrgm}$	バースト モード終了スレッシュヨルド (BMT _H) プログラミング中の LL ピンの電圧			3.5		V
BMT_{Hmin}	最小バースト モード終了スレッシュヨルド			0.2		V
BMT_{Lmin}	最小バースト モード エントリ スレッシュヨルド			0.2		V
バイアス巻線						
$V_{BWOVPoS}$	出力電圧 OVP — 正のスレッシュヨルド		3.86	4	4.12	V
$V_{BWOVNeg}$	出力電圧 OVP — 負のスレッシュヨルド		-4.12	-4	-3.86	V
n_{BWov}	BW OVP フォルトがトリップされる前の BW OVP サイクル数 ⁽¹⁾			5		
I_{BWPrgm}	BMT _L /BMT _H プログラミングの BW ピン ソース電流		51	54	57	μA
t_{BWPrgm}	BMT _L /BMT _H のプログラミング時間			2		ms
$K_{BMTL/BMTH1}$	BMT _L /BMT _H オプション 1 の比率			0.95		
$K_{BMTL/BMTH2}$	BMT _L /BMT _H オプション 2 の比率			1		
$K_{BMTL/BMTH3}$	BMT _L /BMT _H オプション 3 の比率			0.9		
$K_{BMTL/BMTH4}$	BMT _L /BMT _H オプション 4 の比率			0.8		
$K_{BMTL/BMTH5}$	BMT _L /BMT _H オプション 5 の比率			0.6		

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$K_{BMTL/BMTH6}$	BMT_L/BMT_H オプション 6 の比率			0.6		
$K_{BMTL/BMTH7}$	BMT_L/BMT_H オプション 7 の比率 (パースト モード無効)			0.4		
$R_{BWPrgm1}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 1 を選択できます ⁽²⁾		24730			Ω
$R_{BWPrgm2}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 2 を選択できます ⁽²⁾		17125		19976	Ω
$R_{BWPrgm3}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 3 を選択できます ⁽²⁾		12562		13624	Ω
$R_{BWPrgm4}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 4 を選択できます ⁽²⁾		9018		9813	Ω
$R_{BWPrgm5}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 5 を選択できます ⁽²⁾		6478		6849	Ω
$R_{BWPrgm6}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 6 を選択できます ⁽²⁾		4450		4732	Ω
$R_{BWPrgm7}$	BW ピンの等価抵抗により BMT_L/BMT_H 比率オプション 7 を選択できます (パースト モード無効) ⁽²⁾		2422		3038	Ω
アダプティブ デッドタイム						
dV_{HS}/dt	検出可能なスルーレート ⁽¹⁾		-0.1		-50	V/ns
FAULT 回復						
$t_{PauseTimeOut}$	一時停止タイム ⁽¹⁾			1		s
サーマル シャットダウン						
T_{J_r}	サーマル シャットダウン温度 ⁽¹⁾	温度上昇	125	145		$^{\circ}\text{C}$
T_{J_H}	サーマル シャットダウン ヒステリシス ⁽¹⁾			10		$^{\circ}\text{C}$

(1) 量産時にはテストを行っていません。特性評価により確立されています

(2) 量産時にはテストを行っていません。設計により確立されています

(3) $I_{Mismatch}$ 計算値

$$[I_{PU} - (I_{PD} + I_{PU})/2]/[(I_{PD} + I_{PU})/2] \quad (1)$$

6.6 スイッチング特性

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{r(LO)}$	立ち上がり時間	10% ~ 90%, 1nF 負荷		30	50	ns
$t_{f(LO)}$	立ち下がり時間	10% ~ 90%, 1nF 負荷		20	50	ns
$t_{r(HO)}$	立ち上がり時間	10% ~ 90%, 1nF 負荷		30	50	ns
$t_{f(HO)}$	立ち下がり時間	10% ~ 90%, 1nF 負荷		20	50	ns
$t_{DT(min)}$	最小デッド タイム ⁽¹⁾			100		ns
$t_{DT(max)}$	最大デッド タイム (デッド タイム異常) ⁽¹⁾	ZCS イベントは検出されません		1.1		μs
$t_{DT(max_ZCS)}$	最大デッド タイム (デッド タイム異常) ⁽¹⁾	ZCS イベントが検出されました		150		μs
$t_{ON(min)}$	最小ゲート オン時間 ⁽¹⁾			250		ns

6.6 スイッチング特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $V_{CC} = 15\text{V}$ であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{ON(max)}$	最大ゲート オン時間 ⁽¹⁾			16		μs

(1) 量産時にはテストを行っていません。設計により確立されています

6.7 代表的特性

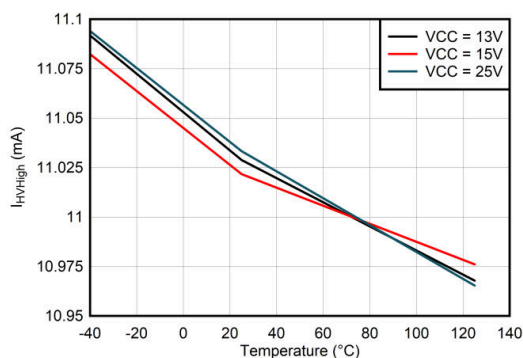


図 6-1. I_{HVHigh} と温度との関係

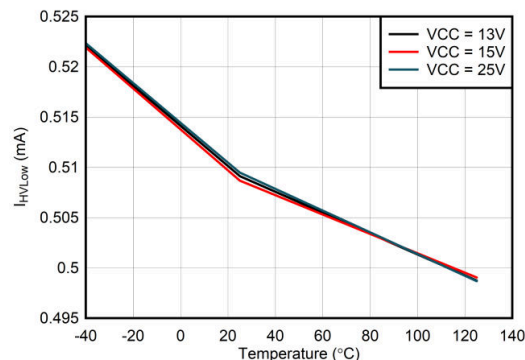


図 6-2. I_{HVLow} と温度との関係

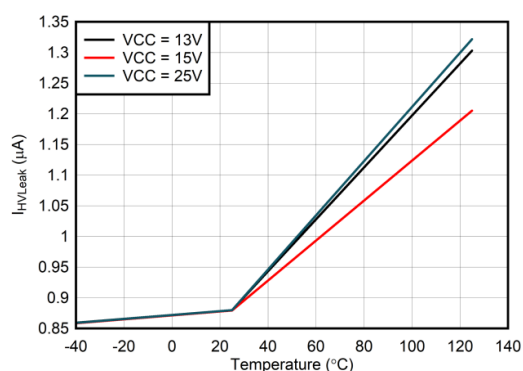


図 6-3. I_{HVLeak} と温度との関係

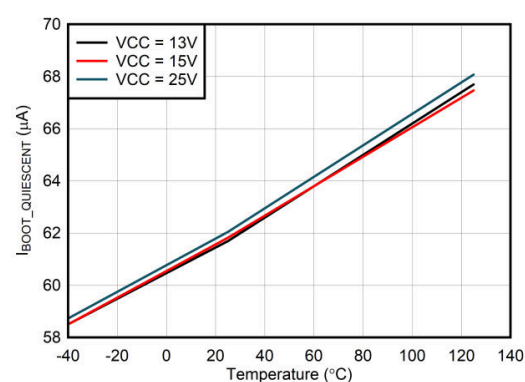


図 6-4. $I_{BOOT_QUIESCENT}$ と温度との関係

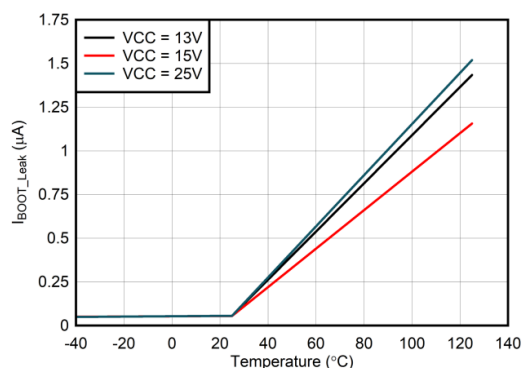


図 6-5. I_{BOOT_LEAK} と温度との関係

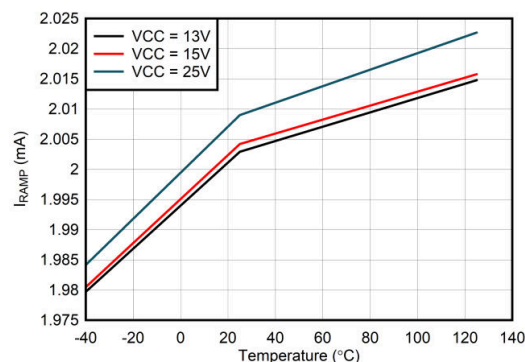


図 6-6. I_{RAMP} VS 温度

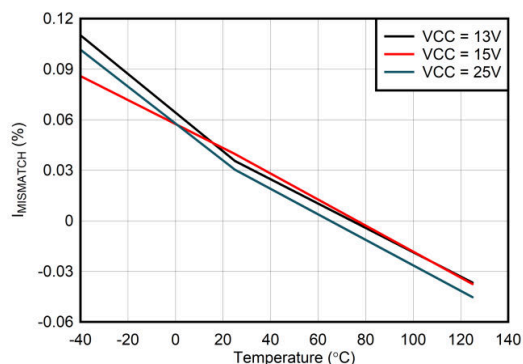


図 6-7. I_{MISMATCH} と温度との関係

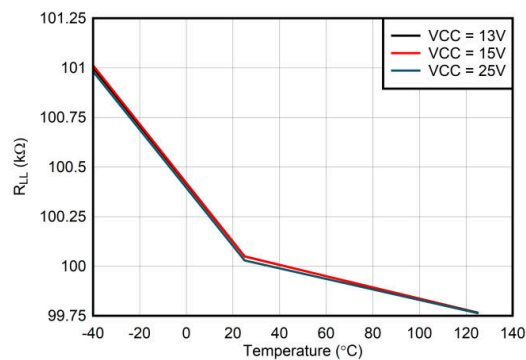


図 6-8. R_{LL} と温度との関係

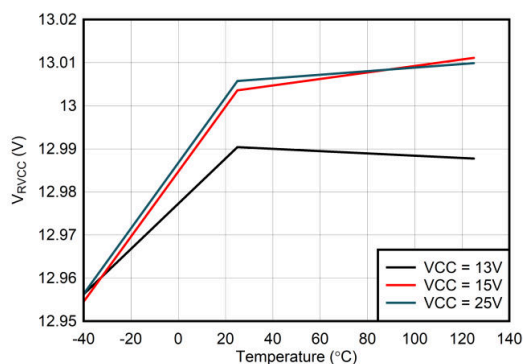


図 6-9. V_{RVCC} (無負荷) と温度との関係

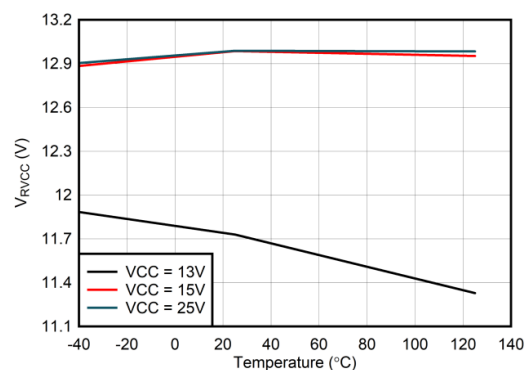


図 6-10. V_{RVCC} (100mA 負荷) と温度との関係

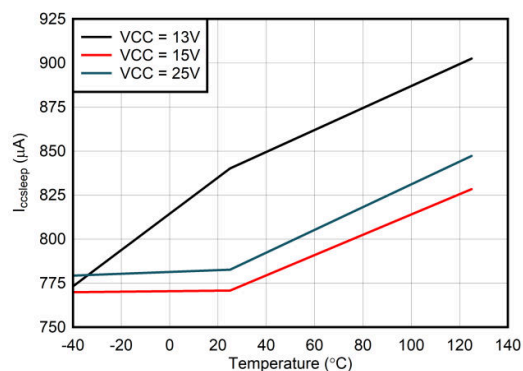


図 6-11. I_{CCSleep} と温度との関係

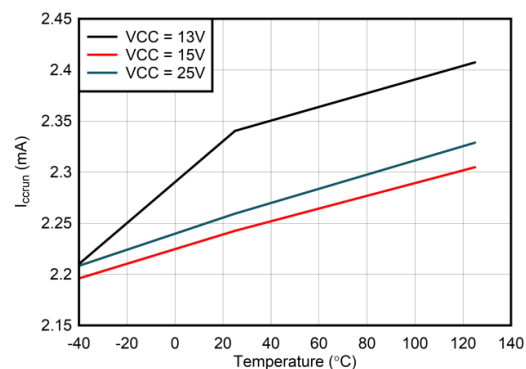


図 6-12. I_{CCRun} と温度との関係

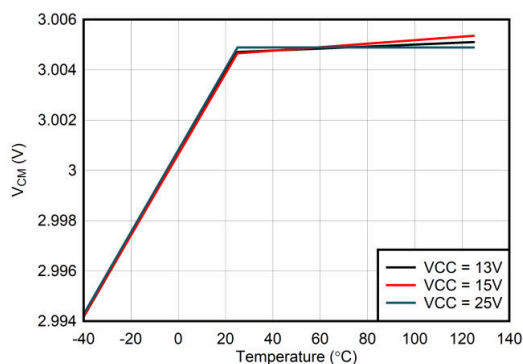


図 6-13. V_{CM} と温度との関係

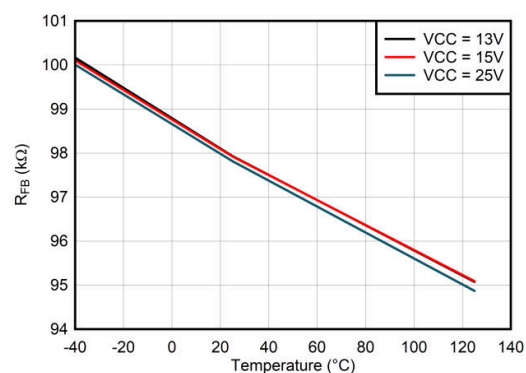


図 6-14. R_{FB} と温度との関係

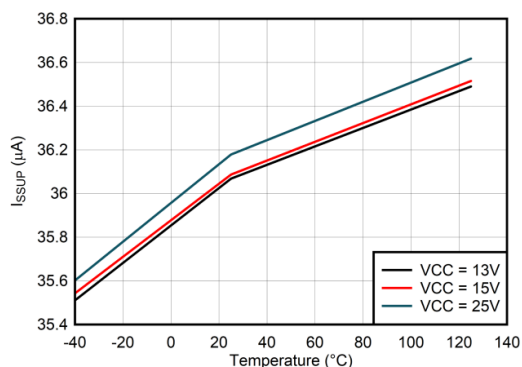


図 6-15. I_{SSUP} と温度との関係

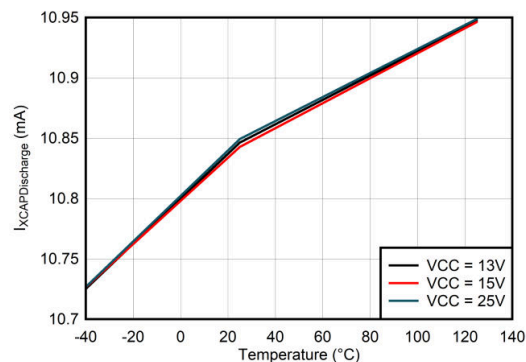


図 6-16. $I_{XCAPDischarge}$ と温度との関係

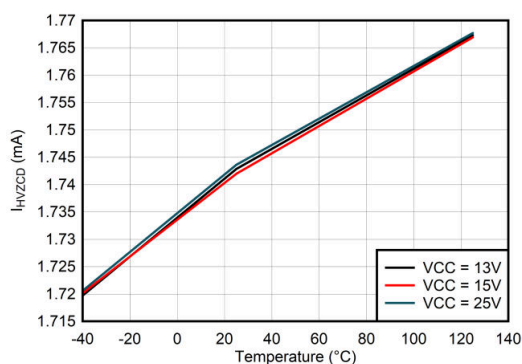


図 6-17. I_{HVZCD} vs 温度

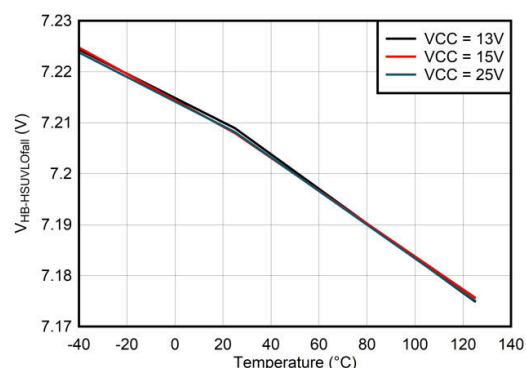


図 6-18. $V_{HB-HSUVLofall}$ と温度との関係

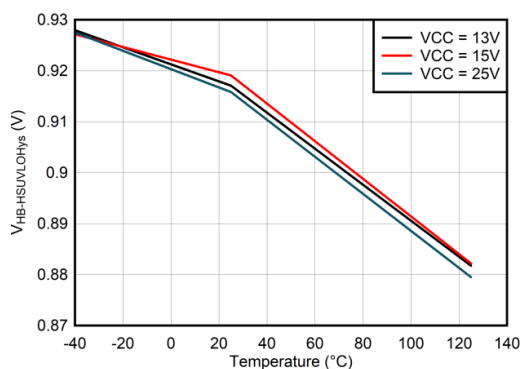


図 6-19. $V_{HB-HSUVLofHys}$ と温度との関係

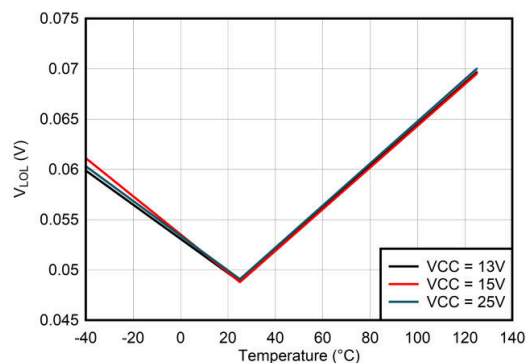


図 6-20. V_{LOL} と温度との関係

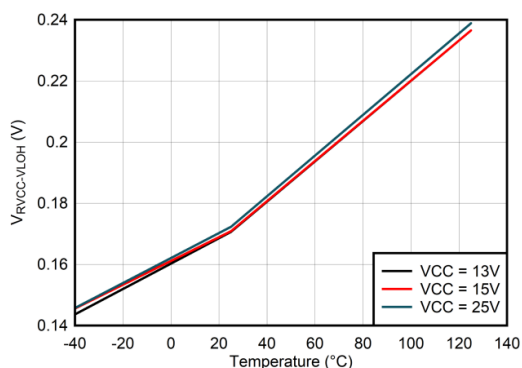


図 6-21. $V_{RVCC-VLOH}$ と温度との関係

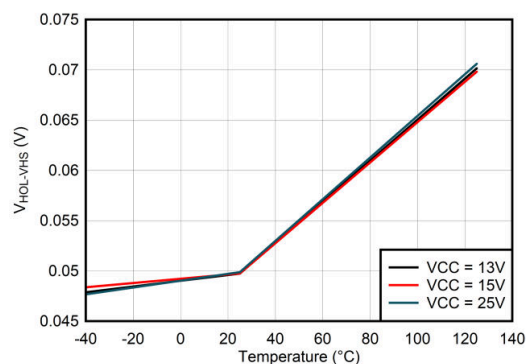


図 6-22. $V_{HOL} - V_{HS}$ と温度との関係

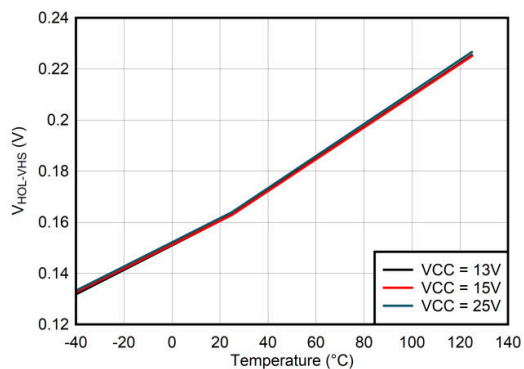


図 6-23. $V_{HB} - V_{HOH}$ と温度との関係

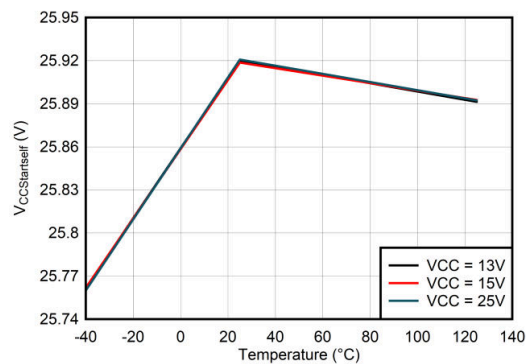


図 6-24. $V_{CCStartself}$ と温度との関係

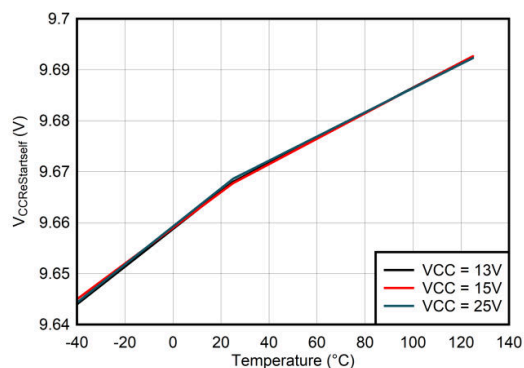


図 6-25. $V_{CCReStartJfet}$ と温度との関係

7 詳細説明

7.1 概要

UCC25640x は、フル機能搭載の AC/DC 電源向け LLC 共振コントローラです。UCC25640x は高度に統合されているため、機能を損なうことなく、部品数とオプション サイズを大幅に低減できます。UCC25640x は、最適化されたバーストモードにより、非常に低いスタンバイ消費電力と、低い可聴ノイズのスタンバイ動作を実現します。本デバイスの新しい制御方式により、優れた過渡性能を実現しています。

大画面テレビ、AC/DC アダプタ、産業用電源、LED ドライバなど、多くのコンシューマ アプリケーションが PFC + LLC 電源を使用しています。このトポロジは、効率が向上しサイズが小型化するため、PFC およびフライバック設計よりも推奨されています。PFC および LLC 電源システムの欠点は、軽負荷時の効率が悪く、無負荷時の消費電力が大きいことです。これは LLC 段がレギュレーションを維持するため、最小限の循環電流を必要とすることに起因します。軽負荷効率とスタンバイ消費電力の要件を満たすため、従来は補助フライバック コンバータを使用していました。補助フライバック コンバータは連続的に動作し、システムが低消費電力モードまたはスタンバイモードに移行した時点でメインの PFC + LLC 電源システムをシャットダウンできます。UCC25640x には、非常に優れた軽負荷時効率と低い無負荷時消費電力を実現する、いくつかの新しい機能が搭載されています。このため電源設計者は、補助フライバック コンバータを必要とせずに、無負荷時消費電力の厳しい目標値を満たすシステムを構築することができます。

UCC25640x はレギュレーションを実現するため、新しい制御アルゴリズムであるハイブリッド ヒステリシス制御 (HHC) を使用しています。この制御アルゴリズムでは、共振コンデンサ電圧がスイッチング周波数を定義し、正確な入力電流情報を伝達します。これにより、コントローラは入力電流を直接監視し、修正できます。周波数制御部分が小さい場合、従来の直接周波数制御 (DFC) と比較して、HHC ではシステムを一次系に近づけることができます。これにより、非常に優れた負荷やライン過渡応答が可能になります。

UCC25640x では、スタンバイ消費電力と可聴ノイズレベルに関する厳しい要件を満たすため、先進的なバースト モードを採用しています。低出力電力レベル時には、UCC25640x は自動的に軽負荷バースト モードに移行します。UCC25640x ではバースト モード時、固定スイッチングパルス数とシャットオフ期間のバースト パケットを繰り返し供給します。FB ピン電流に基づく 2 次レギュレータ ループが、バースト パケット間のシャットオフ時間を終了します。バースト オン期間中の LLC 等価負荷電流レベルは、設定可能な値です。各バースト パケットで、スイッチング周波数は最初の数スイッチング周期でゆっくり低下し、最後の数スイッチング周期で上昇し、バースト動作中に共振電流をゆっくりと上昇および低下させます。このバースト ソフト オンおよびソフト オフは、バースト モード動作中の可聴ノイズを効果的に最小化するのに役立ちます。また、UCC25640x は、非常に低い静止電流、および低消費電力でバイアスされたフォトカプラ動作を伴うバースト モード中の低消費電力モードで動作します。

UCC25640x は、ハーフブリッジ スイッチ ノードを監視し、ゲート信号に必要なデッドタイムを決定します。このようにしてデッドタイムを自動的に調整し、最適な効率と堅牢な動作を実現できます。UCC25640x にはスルーレート検出器が内蔵されており、アダプティブ デッドタイムに対するスイッチノード電圧の感度が向上しているため、代替部品に比べて本質的に堅牢な動作を行えます。

UCC25640x は、LLC 電力段の N チャネル MOSFET を直接駆動できるハイサイド / ローサイド ドライバを搭載しています。これにより、最小の部品数でフル機能を搭載した電源システムを実現できます。

UCC256402 および UCC256404 は高電圧スタートアップ JFET を搭載しており、まず初めに VCC コンデンサを充電し、PFC および LLC の電源システムを起動するのに必要なエネルギーを供給します。起動後、PFC / LLC コントローラへの電力は、LLC トランスのバイアス巻線から供給されます。また、UCC256404 は、AC 入力を取り外した後に EMC フィルタの X コンデンサに残った電圧を放電するアクティブ X コンデンサ放電機能も搭載しています。UCC256403 には、高電圧スタートアップ機能およびアクティブ X コンデンサ放電機能は搭載されていません。VCC に電力を供給するための補助電源が必要です。

UCC25640x には、ゼロ電流スイッチング (ZCS) 動作領域を回避するための堅牢なアルゴリズムが搭載されています。ZCS 動作が検出されると、UCC25640x はフィードバック信号をオーバーライドして、非容量性動作が回復するまで、スイッチング周波数を上昇させます。その後、スイッチング周波数は、制御が電圧制御ループに戻されるまで、ソフト スタートコンデンサが定めた速度で再び低下します。

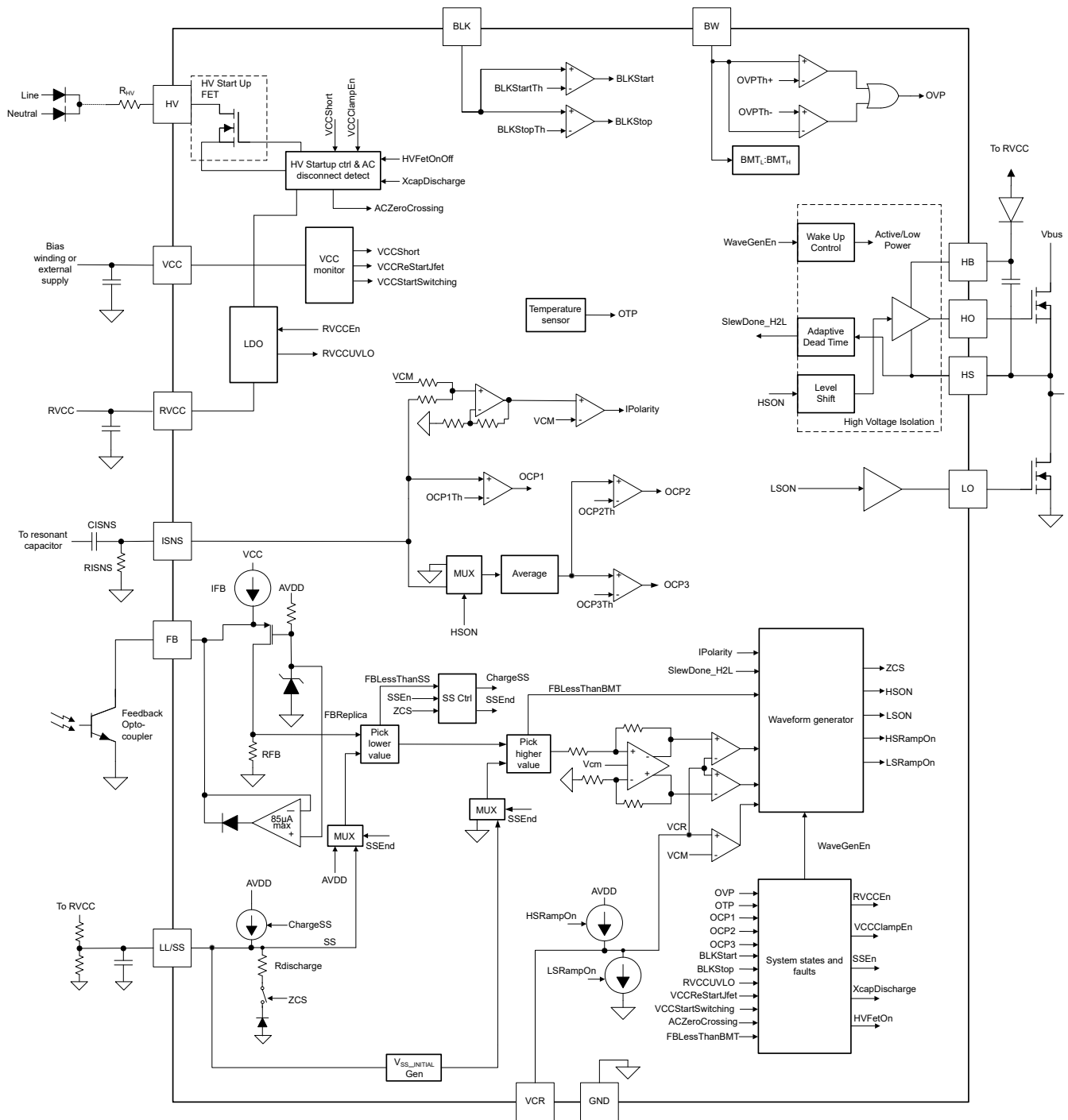
UCC25640x の追加の保護機能が搭載されています

- 3 レベル過電流保護 (OCP)
- 出力過電圧保護 (OVP)
- 入力電圧低電圧保護 (UVP)
- ゲートドライバ低電圧誤動作防止 (UVLO) 保護
- 過熱保護 (OTP)

UCC25640x の主な特長の概要は以下のとおりです。

- ハイブリッド ヒステリシス制御では、業界最高クラスの負荷およびライン過渡応答が実現します
- 最適化された軽負荷バースト モードにより、スタンバイ消費電力 **150mW** 未満での設計が可能です
- バーストのソフト オンおよびソフト オフにより、超低ノイズのスタンバイ動作が可能です
- 堅牢なアダプティブ デッドタイム制御
- 高電圧ゲートドライバ内蔵
- 高電圧スタートアップ機能を内蔵 (UCC256402 および UCC256404)
- アクティブ X コンデンサ放電機能 (UCC256404)
- 容量性領域動作の防止方式が向上
- 包括的な保護機能セット

7.2 機能ブロック図



7.3 機能説明

7.3.1 ハイブリッド ヒステリシス制御

UCC25640x は、新しい制御方式であるハイブリッド ヒステリシス制御 (HHC) を使用しており、業界最高クラスのライン / 負荷過渡性能を実現しています。この制御方式により、補償器の設計が容易になります。また、この制御方式により、軽負荷の管理がより簡単かつ効率的になります。ライン過渡の向上により、バルク キャパシタ / 出力キャパシタの値を低減し、システム コストを削減できます。

HHC は、従来の周波数制御と電荷制御を組み合わせた制御方式です。周波数補償ランプを追加した充電制御です。従来の周波数制御に比べて、電力段の伝達関数を二次系から一次系に変更するので、補償ネットワークの設計が容易になります。制御動作は入力電流に直接関係するため、優れたライン / 負荷過渡を実現できます。充電制御と比較すると、ハイブリッド ヒステリシスでは、周波数補償ランプを追加することで不安定性が回避されます。周波数補償によりシステムの安定性が確立され、出力インピーダンスも低くなります。出力インピーダンスが小さいため、充電制御よりも優れた過渡性能を実現できます。また、周波数補償により、制御動作が変更されるとスイッチング周波数に直接影響を及ぼす可能性があるため、バースト モードのソフト オン / ソフト オフの実装がはるかに容易になります。バースト モードのソフト オン / ソフト オフでは、コンバータのスイッチング周波数が自己調整によって共振電流を低減します。

要約すると、HHC は次の問題を解決します。

- LLC コンバータが優れたライン / 負荷過渡を実現するのに役立つ
- 超高帯域幅を簡単に実現するために、小信号伝達関数を一次系に変更する
- 周波数補償により、本質的に安定性が高まる
- 軽負荷効率を最適化するため、バースト モード制御が容易になり
- 可聴ノイズを低減するため、バースト モードのソフト オン / ソフト オフの実装がはるかに容易になる

図 7-1 に、UCC25640x での HHC 実装を示します。コンデンサ分圧器 (C1 および C2)、およびマッチングに優れた 2 つの制御電流源です。共振コンデンサの電圧は、C1 および C2 が形成するコンデンサ分圧器によって分圧されます。電流源はゲートドライブ信号によって制御されます。ハイサイド スイッチがオンになると、上側の電流源によってコンデンサ分圧器に定電流が注入され、ローサイド スイッチがオンになると、下側の電流源によって同じ量の定電流がコンデンサ デバイダから流れ出します。2 つの電流源は、VCR ノードに三角波補償ランプを追加します。電流源は、リファレンス電圧 AVDD から供給されます。AVDD は、同相電圧 V_{CM} の 2 倍以上である必要があります。次に、分圧された共振コンデンサ電圧と補償ランプ電圧を加算して、VCR ノード電圧を取得します。周波数補償ランプが支配的な場合、VCR ノード電圧は三角波のように見え、制御は直接周波数制御と同様になります。共振コンデンサ電圧が支配的な場合、VCR ノード電圧の形状は実際の共振コンデンサ電圧のようになり、制御は充電制御と同様になります。そのために、制御方式を「ハイブリッド」と呼び、補償ランプを周波数補償と呼びます。

この設定には本質的な負帰還があり、ハイサイドおよびローサイドのオン時間の平衡化を維持し、VCR ノードの同相電圧を V_{CM} に維持します。

新しい制御方式には、次の 2 つの入力信号が必要です。VCR および V_{COMP}。VCR は、共振コンデンサ電圧をスケールダウンしたものと周波数補償ランプの合計です。V_{COMP} は、電圧ループ補償器の出力です。以下の波形は、VCR および V_{COMP} に基づいて、ハイサイド / ローサイド スイッチを制御する方法を示しています。VCR の同相電圧は V_{CM} です。

V_{COMP} および V_{CM} (3V) に基づき、2 つのスレッシュホールドは次のようになります。V_{TH} および V_{TL} が作成されます。

$$V_{TH} = V_{CM} + \frac{V_{comp}}{2} \quad (2)$$

$$V_{TL} = V_{CM} + \frac{V_{comp}}{2} \quad (3)$$

VCR の電圧が 2 つのスレッシュホールドと比較されます。VCR が V_{TH} を上回ると、ハイサイド スイッチがオフになり、VCR が V_{TL} を下回ると、ローサイド スイッチがオフになります。HO および LO のオン エッジは、アダプティブ デッド タイム回路により制御されます。

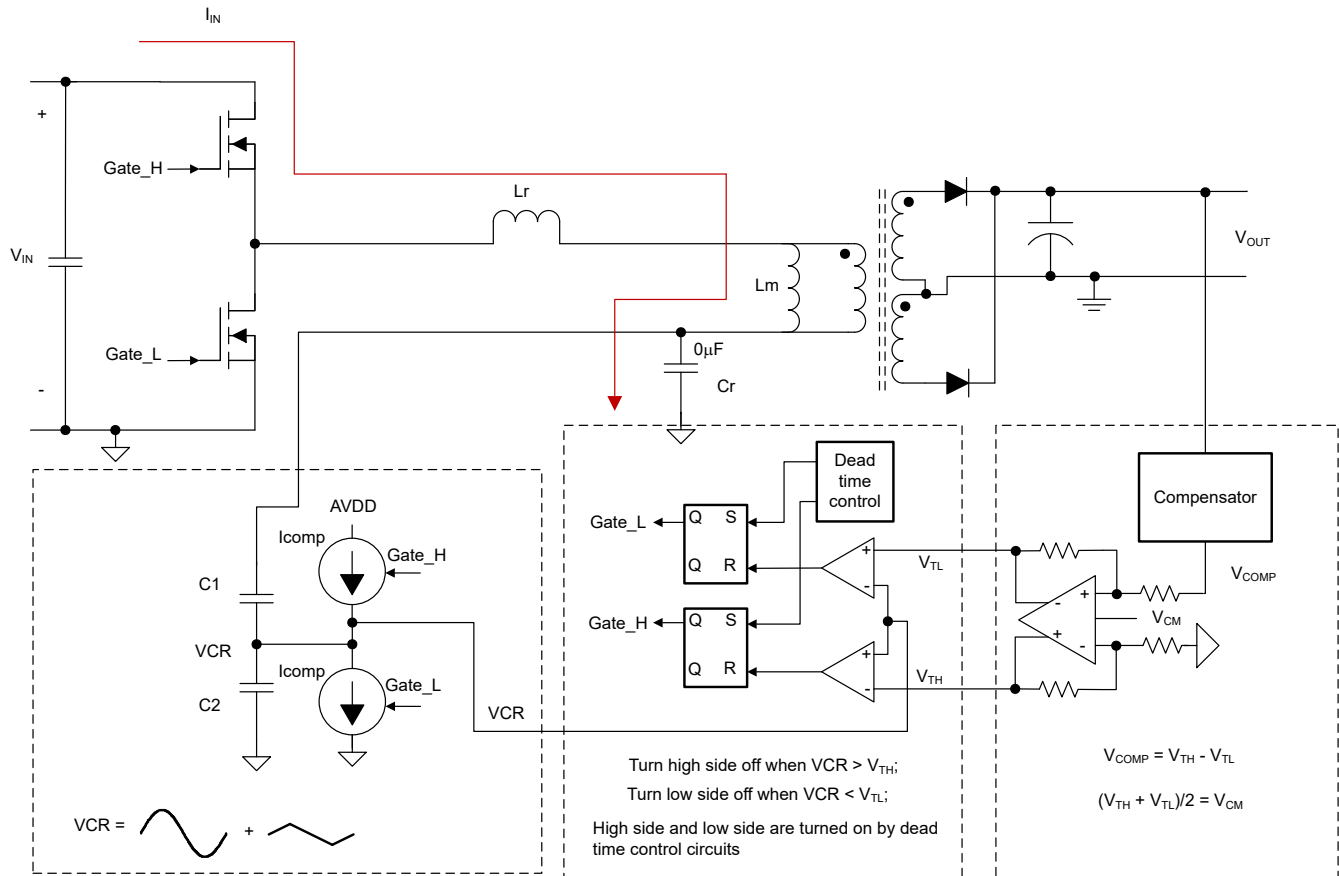


図 7-1. UCC25640x HHC の実装

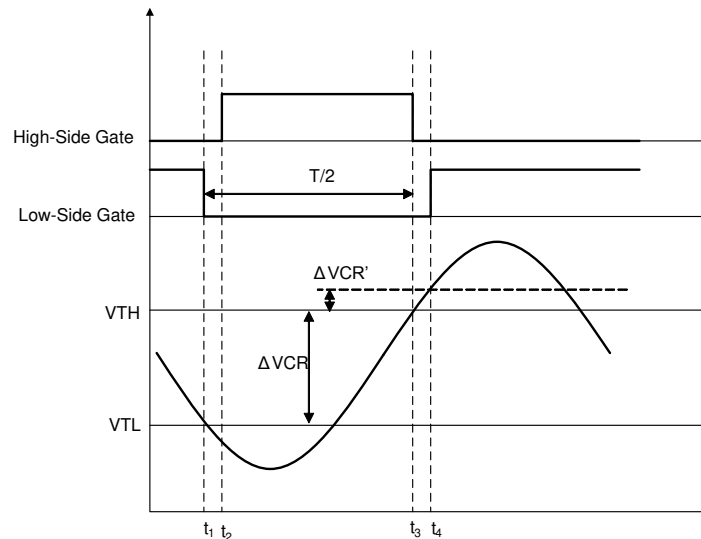


図 7-2. HHC のゲート オン/オフ制御原理

7.3.2 レギュレーション済み 13V 電源

RVCC ピンはレギュレーション済み 13V 電源です。このレギュレーション済みレールによって、PFC および LLC にバイアスとして給電します。RVCC には、低電圧誤動作防止 (UVLO) 機能が搭載されています。通常動作中に RVCC 電

圧が $RVCC_{UVLO}$ スレッショルドを下回る場合、システムがフォルト状態に移行します。セクション 7.3.9 セクションには、フォルト処理の詳細が記載されています。

7.3.3 フィードバック チェーン

出力電圧の制御は、絶縁膜の 2 次側にある電圧レギュレータ回路により提供されます。2 次側レギュレータ回路からの要求信号は、フォトカプラを使用した絶縁バリアを介して転送され、UCC25640x の FB ピンに供給されます。このセクションでは、フィードバック チェーン全体について説明します。図 7-3 に FB チェーンのブロック図を示し、図 7-4 に、通常のソフト スタート後に ZCS イベントが発生し、負荷がバースト モードに入り、バースト モードを終了するまでの代表的なタイミング図を示します。

フィードバック チェーンには、以下の機能があります。

- ・ フォトカプラのフィードバック信号入力およびバイアス
- ・ FB 電圧クランプ
- ・ 「ピック ロワー値」のブロックによるソフト スタート機能
- ・ 「ピック ハイヤー値」のブロックによるバースト モードの選択
- ・ シングル エンド フィードバック要求を 2 つのスレッショルド V_{TH} および V_{TL} に変換し、またスレッショルドと同相電圧 V_{CM} による VCR 比較を行います。

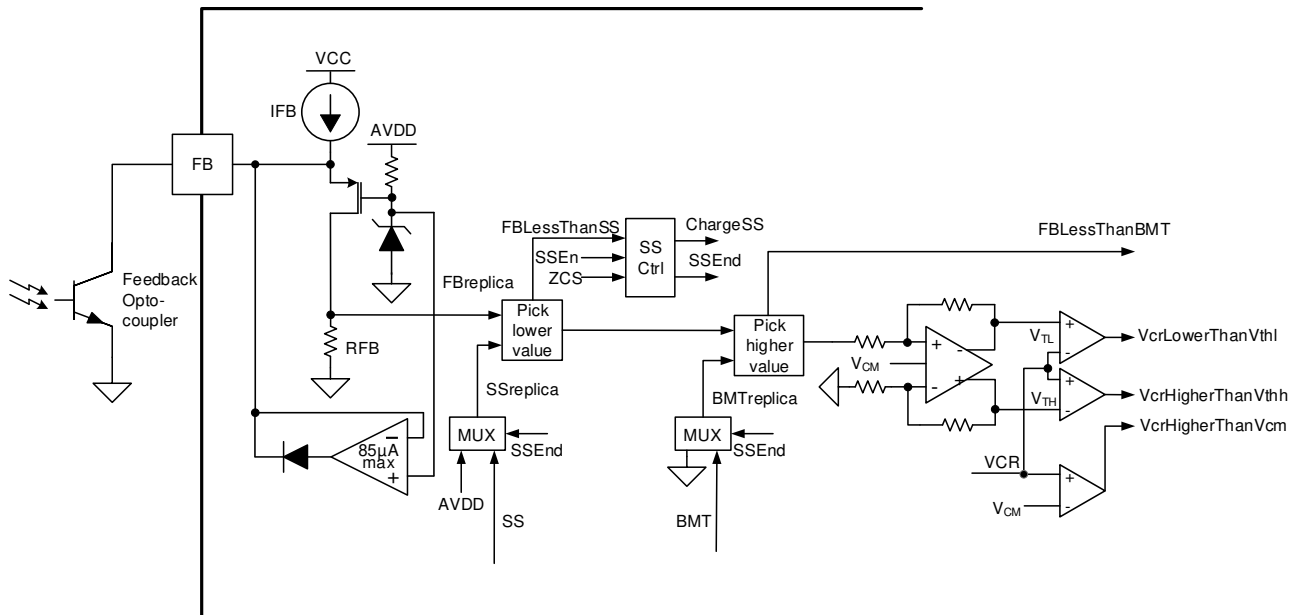


図 7-3. 帰還信号経路 ブロック図

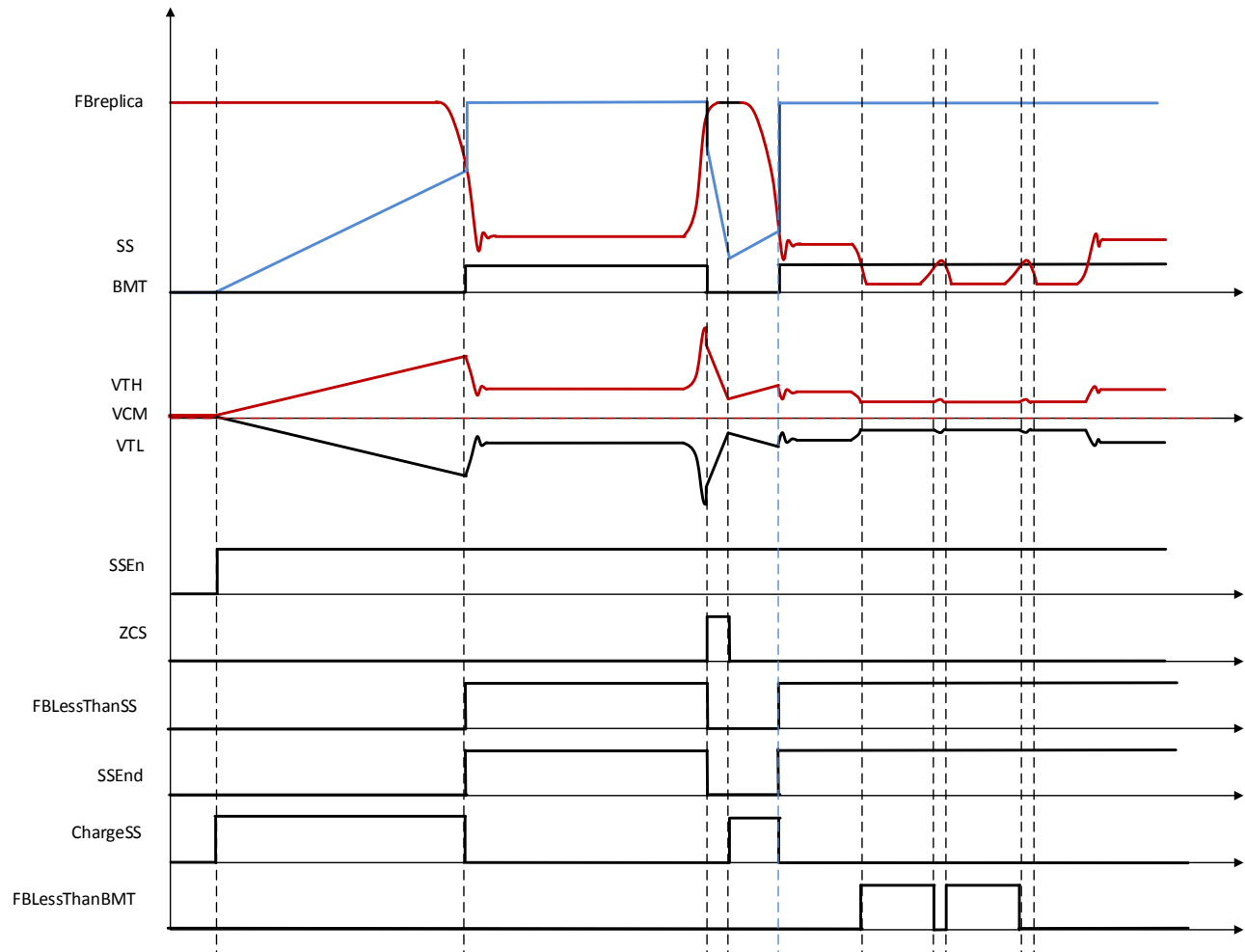


図 7-4. 帰還信号経路 タイミング チャート

7.3.3.1 フォトカプラのフィードバック信号入力およびバイアス

2 次側レギュレータ回路とフォトカプラ フィードバック回路はすべて、システムが消費するスタンバイ電力に対して直接的に追加されます。非常に低いスタンバイ電力を実現するには、フォトカプラを低電流モードで駆動させます。

図 7-3 に示すように、定電流源 I_{FB} が VCC 電圧から生成され、FB ピンに接続されます。また PMOS を直列にして、抵抗 R_{FB} もこの電流源に接続されます。通常動作中は、FB ピンの電圧がツェナー ダイオードのリファレンス電圧に PMOS のソース – ゲート間電圧降下を加えた値と等しくなるように、PMOS は常時オンになります。

$$I_{FB} = I_{opto} + I_{RFB} \quad (4)$$

この式から、I_{opto} が増加すると、I_{RFB} が減少し、FBreplica も減少します。このように制御動作が反転します。フォトカプラにバイアスを印加する従来の方法では、プルアップ抵抗を使用してフォトカプラ出力のコレクタに接続します。消費電力を低減するにはプルアップ抵抗を大きくする必要がありますが、これによりループ帯域幅が制限されます。UCC25640x で使用するバイアス電流方式では、FB ピン電圧が一定に維持されているため、フォトカプラの寄生コンデンサによってシステムに余分なポールが発生することなく、結果的にループ帯域幅が制限されます。

7.3.3.2 FB ピン電圧のクランプ

セクション 7.3.3.1 セクションに示すように、I_{opto} が増加する一方で FBreplica は減少します。I_{opto} が I_{FB} の値に達すると、PMOS を流れる電流がないため、FB ピンの電圧は低下し始めます。FB ピンが low になると、フォトカプラの寄生コン

デンサを充電して FB ピンの電圧をプルアップすること起因する余分な遅延が発生し、システムの過渡応答に影響を及ぼします。FB ピンの電圧クランプ回路を使用して、この状況を防止します。FB ピンの電圧が FB ピンのクランプ電圧スレッシュホールドを下回ると、追加の電流源がオンになり、FB の電圧をクランプします。クランプの強度は $I_{FBclamp}$ です。FB ピンクランプ回路により、軽負荷から重負荷までのシステム過渡性能が向上します。

7.3.3.3 「ピック ロワー値」のブロックとソフト スタート マルチプレクサ

回路のこの部分は、次の 3 つの要素で構成されています。

- ピック ロワー ブロック
- ピック ロワー ブロックへの 2 次入力として AVDD または SS 信号を選択する MUX
- ZCS フォルトが発生した場合に SS コンデンサの充電と放電を処理する SS 制御ブロック

ピック ロワー ブロックには 2 つの入力があります。最初の入力は FBreplica です。2 番目の入力は AVDD と LL/SS ピンの電圧の間で選択します。ブロックの出力は 2 つの入力の下側です。

MUX は、SS と AVDD のどちらかを選択します。この選択は、SS Ctrl ブロックの出力である SSEnd (ソフト スタート終了) 信号に基づきます。SS が FBreplica を上回り、ソフト スタート プロセスがステート マシンによって開始され、ZCS 状態がない場合、SSEnd は High になります。ソフトスタートが終了した後 AVDD にスイッチングすれば、ソフトスタートや ZCS 異常状態ではない間、ピック ロワー ブロックから常に FBreplica 信号が送信されていることを確認できます。また、LL/SS ピンを解放して、軽負荷スレッシュホールドのプログラミングを実行します。

SS 制御ブロックは、ZCS フォルトが発生した場合の SS コンデンサの充電と放電を処理します。ZCS が発生すると SSEnd 信号がリセットされるため、スイッチング周波数を上げるための LL/SS ピンのプルダウン効果がピック ロワー ブロックを通過できます。

7.3.3.4 ピック ハイヤー ブロックとバースト モード マルチプレクサ

ピック ロワー ブロックの出力はピック ハイヤー ブロックに送り込まれ、ここでピック ロワー ブロックの出力とバースト モード 閾値設定のうち高いほうを選択されます。

バースト モード マルチプレクサはバースト モード スレッシュホールド (BMT) とグラウンドから選択します。ソフト スタート中、マルチプレクサはグラウンドを選択します。起動時はオープン ループで、ソフトスタート ランプによって制御されます。ソフトスタート中は、バースト モードは有効になりません。

ソフト スタート後、2 つの入力のうち高い方が差動アンプに送られます。ブロックの出力は FBLessThanBMT です。この出力を波形発生器のステート マシンに入力して、バースト モードとシステム外部停止機能を制御します。

7.3.3.5 VCR コンパレータ

ピック ハイヤー ブロックの出力は差動アンプに入力され、信号は V_{CM} と対称をなす 2 つのスレッシュホールドに変換されます。2 つのスレッシュホールド V_{TH} と V_{TL} の差は入力振幅に等しくなります。その後、VCR ピンの電圧が V_{TH} 、 V_{TL} 、 V_{CM} と比較されます。結果が波形発生器に送信されます。

7.3.4 共振コンデンサ電圧検知

共振コンデンサの電圧検出ピンは、コンデンサ分圧器を介して共振コンデンサの電圧を検出します。このデバイス内部では、マッチングに優れた 2 つの制御電流源を VCR ピンに接続し、周波数補償ランプを生成します。2 つの電流源のオン/オフ制御信号は、波形発生器のブロックから供給されます。

波形発生器のアイドル状態中またはスタートアップ前、VCR ノードは V_{CM} にクランプされます。この操作により、スタートアップ時のピーク電流を削減し、バースト モード中に素早く VCR 電圧を安定させることができます。

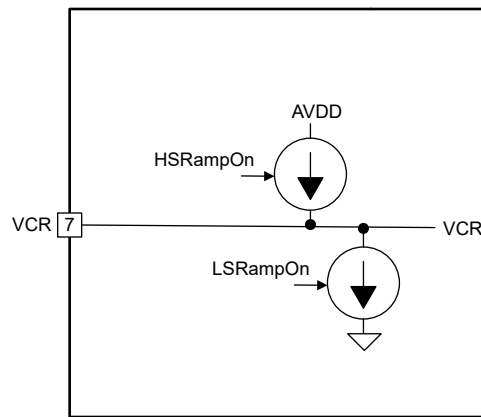


図 7-5. VCR のブロック図

図 7-6 に、ランプ電流のオン / オフ シーケンスを示します。ランプ電流は常にオンになっています。ハイサイド オン信号またはローサイド オン信号の立ち下がりエッジで方向が変化します。

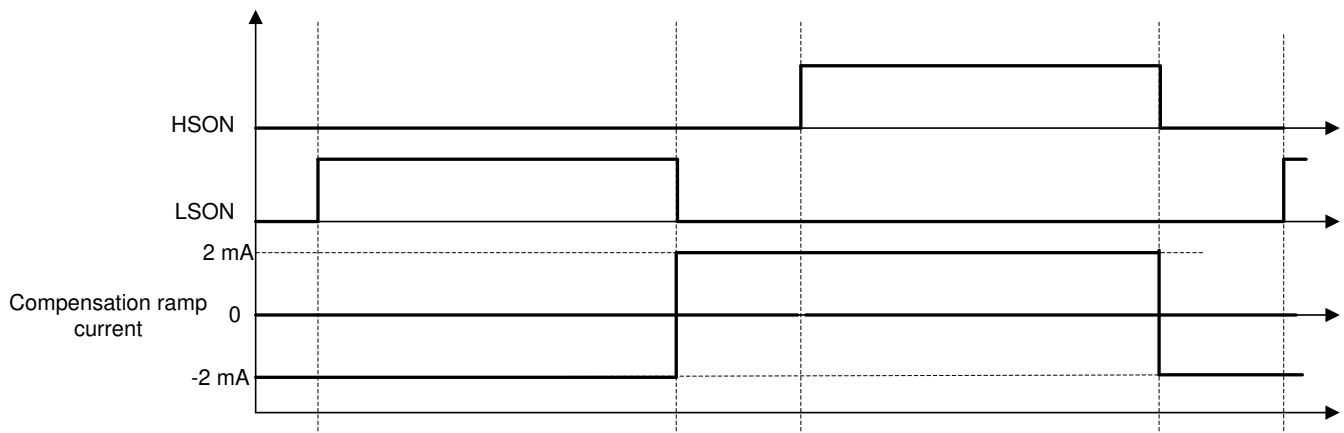


図 7-6. VCR 補償ランプ電流のオン / オフ

VCR ピンでは、コンデンサ分圧器を使用して、共振コンデンサの波形と補償ランプの波形を組み合わせます。外付けコンデンサのサイズを調整すると、充電制御と直接周波数制御の寄与が変化する可能性があります。コンデンサデバイダで共振コンデンサ電圧の分周バージョンを V_{div} と仮定すると、VCR ピンでの補償ランプ電流に起因する電圧は V_{RAMP} になります。 V_{div} が V_{ramp} を大きく上回る場合には、制御方式が電荷制御と同様になり、制御動作は 1 スイッチング サイクルの入力電荷に比例します。 V_{ramp} が V_{div} を大きく上回る場合には、制御方式が直接周波数制御と同様になり、制御動作はスイッチング周波数に比例します。最適な過渡応答を実現するために、 V_{div} と V_{ramp} の比率を調整します。

7.3.5 共振電流検出

ISNS ピンは、高電圧コンデンサを使用して共振コンデンサに接続します。コンデンサ CISNS および抵抗 RISNS は微分器を形成します。共振コンデンサの電圧を差別化し、共振電流を取得します。差動信号は AC で、正と負の両方に遷移します。ゼロ交差を検出するために、オペアンプ加算器を使用して信号をレベル シフトします。IPolarity コンパレータは、共振電流の方向を検出します。ZCS 保護の LSON および HSON の立ち下がりエッジで IPolarity をチェックします。詳細については、セクション 7.3.9.1 セクションを参照してください。デジタル ステート マシンは、IPolarity にブランキング時間を実装しています。スイッチング ノードの遷移によって生じる ISNS ピンのノイズを考慮して、デッド タイムの最初の 400ns における IPolarity エッジは無視されます。

OCP2 および OCP3 スレッシュホールドは平均入力電流に基づいています。平均入力電流を取得するため、微分器の出力はハイサイド スイッチのオン信号 HSON と多重化されます。HSON がオンのとき、MUX 出力は微分器出力になり、HSON がオフのとき、MUX 出力は 0 になります。それからローパス フィルタを使用して、MUX 出力を平均化します。フィ

ルタの出力は、検出された平均入力電流です。MUX は、正電圧と負電圧の両方を通過する必要があることに注意してください。OCP2 および OCP3 フォルトの場合、それぞれ 2ms と 50ms のタイマがあります。OCP2/OCP3 コンパレータが 2ms または 50ms にわたって連続して High を出力したときにのみ、フォルトが有効になります。

OCP1 スレッシュホールドは、ピーク共振電流に設定されます。ISNS ピンの電圧は、OCP1 スレッシュホールド OCP1Th と直接比較されます。ピーク共振電流は、正の半サイクルで、サイクルごとに 1 回チェックされます。OCP1 フォルトは、OCP1 イベントが連続 4 サイクル検出された場合にのみ有効になります。スタートアップ中、最初の 15 サイクルの OCP1 コンパレータ出力は無視されます。

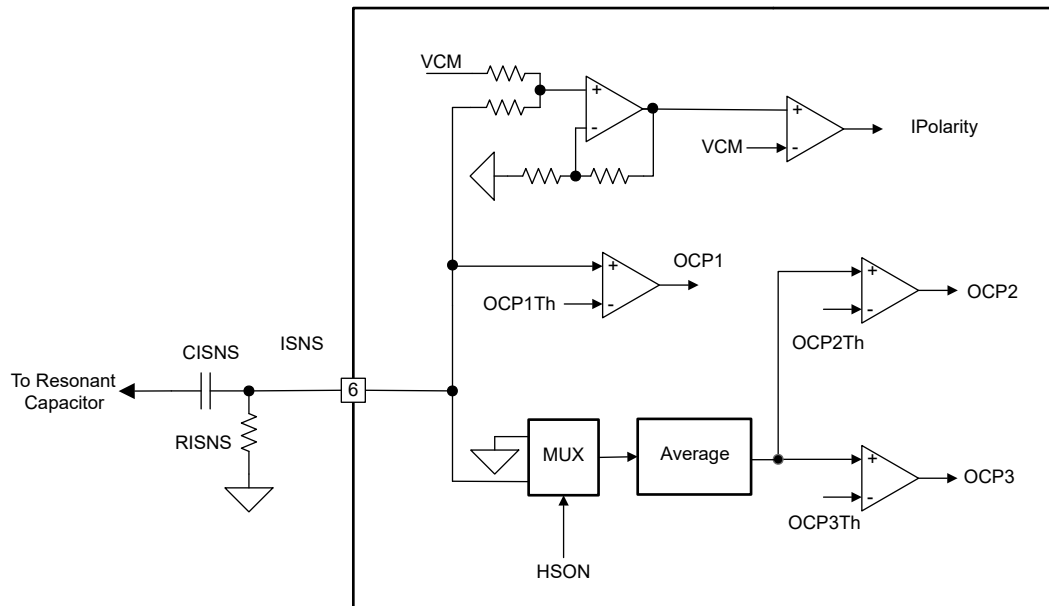


図 7-7. ISNS のブロック図

7.3.6 バルク電圧検出

BLK ピンを使用して、LLC DC 入力電圧 (バルク電圧) レベルを検出します。BLK ピンのコンパレータには、次の 2 つのスレッシュホールドがあります。

- LLC がスイッチングを開始するときのバルク電圧レベル — $V_{BLKStart}$
- LLC がスイッチングを停止するときのバルク電圧レベル — $V_{BLKStop}$

目的のシステム入力範囲を実現するには、このピンに抵抗デバイダを接続します。動作中に BLK ピンの電圧が $V_{BLKStop}$ を下回ると、フォルトがトリガされます。入力低電圧保護の詳細な動作については、[セクション 7.3.9.4](#) セクションを参照してください。

図 7-8 に、BLK ピンのブロック図を示します。

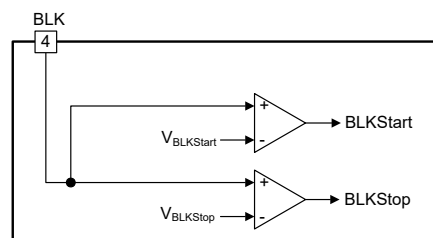


図 7-8. BLK ピンのブロック図

セクション 4 に示すように、一部のデバイス バージョンの BLK 電圧も、入力過電圧フォルトの監視に使用されます。スレッシュホールドには次の 2 つがあります。

- BLK 過電圧保護 (OVP) 立ち上がりスレッシュホールド時のバルク電圧レベル — $V_{BLKOVPRise}$
- BLK 過電圧保護 (OVP) 立ち下がりスレッシュホールド時のバルク電圧レベル — $V_{BLKOVPFall}$

BLK 電圧が $V_{BLKOVPRise}$ を上回ると OVP がトリガされ、BLK 電圧が $V_{BLKOVPFall}$ を下回ると OVP がクリアされます。

7.3.7 出力電圧検出

出力電圧は、バイアス巻線 (BW) 電圧検出ピンによって検出されます。バイアス巻線の一方の端子を 1 次側グランドに接続すると、もう一方の端子のバイアス巻線の電圧が、2 次側整流ダイオードが導通しているときの出力電圧になります。通常は、抵抗デバイダを使用してバイアス巻線端子から BW ピンに接続します。BW 電圧を正および負のスレッシュホールドと比較し、出力 OVP フォルトを生成します。スタートアップ中、バースト モード スレッシュホールドのプログラミング用に BW ピンが多重化されます。詳細については セクション 7.4.3.1 セクションで説明します。図 7-9 は、バイアス巻線電圧検出ブロックのブロック図です。

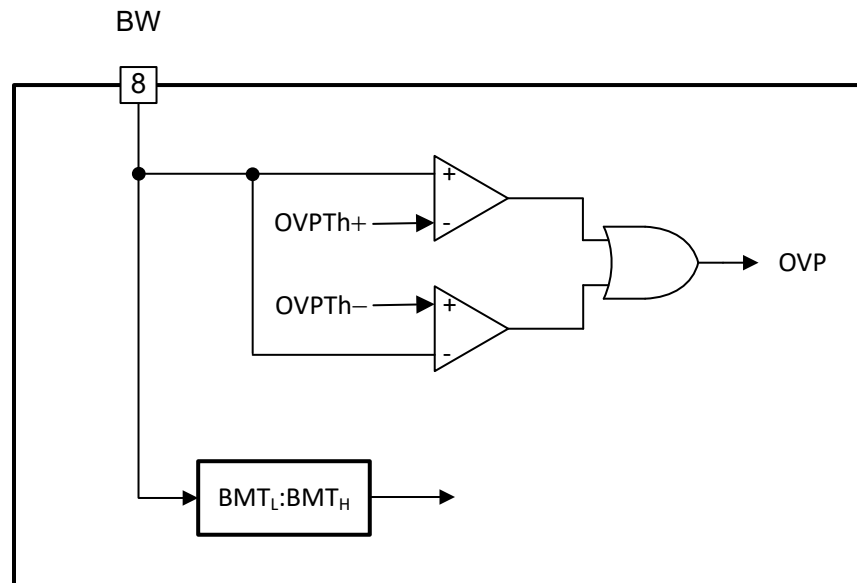


図 7-9. バイアス巻線検出ブロック図

OVP イベントが 5 つのスイッチングサイクルで連続して High になると、システムがフォルト状態に移行します。セクション 7.3.9.3 に、OVP フォルト時の動作を示します。

7.3.8 高電圧ゲート ドライバ

ローサイド ゲートドライバ出力は LO です。このゲートドライバは、13V RVCC レールから電力が供給されます。

1 次側ドライバ モジュールは、3 つの物理デバイス ピンで構成されています。HB と HS はそれぞれハイサイドドライバの正と負のバイアスレールを形成し、HO は上位ハーフブリッジ MOSFET のゲートに接続します。

下位ハーフブリッジ MOSFET が導通している期間中、導通している下側の MOSFET を介して HS が GND に短絡します。この時点で、高電圧ダイオード DBOOT を介して RVCC からハイサイドドライバの電力が得られ、コンデンサ CBOOT が RVCC に電荷を蓄積しますが、ダイオードへの順方向電圧降下は減算されます。

上位ハーフブリッジ MOSFET が導通している間、HS は LLC 入力電圧レールに接続します。この時点で、HV ダイオードが逆バイアスされ、ハイサイドドライバには CBOOT に蓄積された電荷から電力が供給されます。

ハイサイド / ローサイド ゲートドライバは、いずれも低電圧誤動作防止 (UVLO) 保護機能を備えています。ローサイド ゲートドライバ UVLO は RVCC に実装され、ハイサイド ゲートドライバ UVLO は (HB-HS) 電圧に実装されています。

軽負荷動作時には、UCC25640x はバースト モードに入ります。バースト オフ期間中は、ゲートドライバが低消費電力モードに入って、消費電力を削減します。

図 7-10 に、ゲートドライバのブロック図を示します。

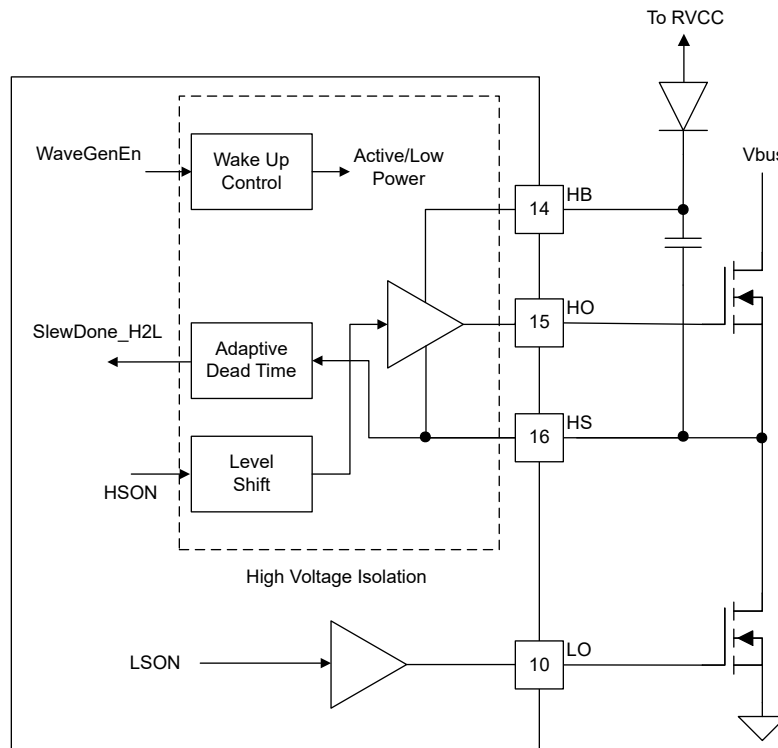


図 7-10. ゲートドライバブロック図

7.3.8.1 アダプティブデッドタイム制御

デッドタイムとは、出力される **LLC MOSFET** がオフになってから入力される **LLC MOSFET** がオンになるまでの時間間隔を表します。**LLC** 動作ではデッドタイム制御が不可欠です。貫通電流を防止するには、一定期間のデッドタイムが必要です。デッドタイム中、誘導性共振電流により、**HS** ノードは一方の入力レールからもう一方の入力レールにスルーします。ゼロ電圧スイッチング (**ZVS**) をターンオンさせるには、共振電流が **HS** ノードを完全に充電または放電するのに十分な時間をデッドタイムにする必要があります。ボディダイオードが導通を開始した後、**MOSFET** を素早くオンにする必要があります。ターンオン遅延が長すぎると逆共振電流が発生し、**ZVS** が失われる可能性があります。また、ボディダイオードの電圧降下は、**MOSFET** チャネルの電圧降下よりも高くなっています。デッドタイムを最適化することで、電力損失を最小限に抑えることができます。

デッドタイム中に **HS** ノードを流れる共振電流は、**LLC** 共振タンクの設計に依存し、動作周波数と出力 / 入力電圧の比によって変化します。したがって、最適化されたデッドタイムは、**LLC** の動作条件によって大きく変化します。**UCC25640x** には適応型デッドタイム制御機能が搭載されており、動作範囲の全体にわたって最適化されたデッドタイムを自動的に見つけることができます。それにより、**HS** ノード電圧のスルーレートの変化が検出されます。スイッチング遷移中、スルーレートは最初に上昇し、その後ゼロに戻ります。スルーレート検出器を使用して、スルーレートが事前定義されたスレッシュホールドを下回った瞬間を検出します。スルー完了イベントは、デッドタイム中のスルーレートがスレッシュホールドを超えてからスレッシュホールドを下回るまで低下した場合にのみ検出されます。スルーレートがデッド タイムの全体にわたってスレッシュホールド (すなわち検出可能な最小スルーレート) を下回る場合、スルー完了は検出されません。これは、**HS** ノード電圧のノイズによる誤検出を防止するためです。スルー完了が検出されない場合、最大デッド タイムが使用されます。

LLC の自然な対称動作により、スルーレート検出器によって決定されるのは、ハイサイド MOSFET のオフとローサイド MOSFET のオン間のデッド タイムのみです。このデッド タイムはコピーされ、ローサイド MOSFET のターン オフとハイサイド MOSFET のターン オン間のデッド タイムに適用されます。

7.3.9 保護

7.3.9.1 ZCS 領域回避

容量性領域は LLC の動作領域であり、スイッチング周波数が高くなると電圧ゲインが増加します。これは ZCS 領域とも呼びます。容量性モード動作は、次の 2 つの理由により回避します。

- 帰還ループは、容量性領域で正帰還となる
- ボディ ダイオードの逆回復により、MOSFET が損傷を受けることがある

容量性領域の検出は、HS_{ON} または LS_{ON} の立ち下がりエッジにおける共振電流の極性をチェックすることで行われます。LS_{ON} の立ち下がりエッジで共振電流が正、または HS_{ON} の立ち下がりエッジで負の場合、波形ジェネレータの ZCS 信号は High になります。ZCS 信号は、次の HS_{ON} または LS_{ON} の立ち下がりエッジで ZCS がクリアされるまで High のままとなります。

ZCS が検出された場合、共振電流が再び誘導性になると、次の IPolarity 反転イベントで次のゲートがオンになります。IPolarity の反転は、容量性動作サイクルがすでに終了していることを示します。共振電流が逆方向に流れ、スイッチ ノードの放電が開始します。この段では、ボディ ダイオードはもう導通していないので、次のゲートをオンすることができます。スルー完了イベントが検出されていれば、逆方向のボディ ダイオードが導通しているはずはなく、次のゲートもオンになります。IPolarity 反転イベントもスルー完了イベントも検出されていない場合、最大デッド タイム タイマの満了により、次のゲートがオンになります。ZCS イベント中、最大デッド タイムは 150µs に変更されます。

ZCS は通常、LLC が重負荷状態で動作し、スイッチング周波数が低すぎる場合に発生します。したがって、ZCS が検出されると、LL/SS ピンがダイオードを介してグランドに対し Low にプルされ、システムが「ZCS ソフト スタート」プロセスに移行します。スイッチング周波数が強制的に上昇し、システムが ZCS から回復します。「ZCS ソフト スタート」の詳細については、[セクション 7.4.3.1](#) セクションで説明します。ZCS 検出は共振電流極性検出に依存するため、LLC が非常に軽い負荷状態で動作する場合、共振電流振幅は非常に小さくなり、共振電流極性検出がスイッチング ノイズによって歪む可能性があります。軽負荷時の不要な ZCS 検出を防止するため、軽負荷時にバースト モード制御を利用して ZCS を無効化します。詳細については、[セクション 7.4.3](#) セクションで説明します。

以下に、容量性領域防止アルゴリズムのフロー チャートと、ZCS イベントのタイミング図を示します。

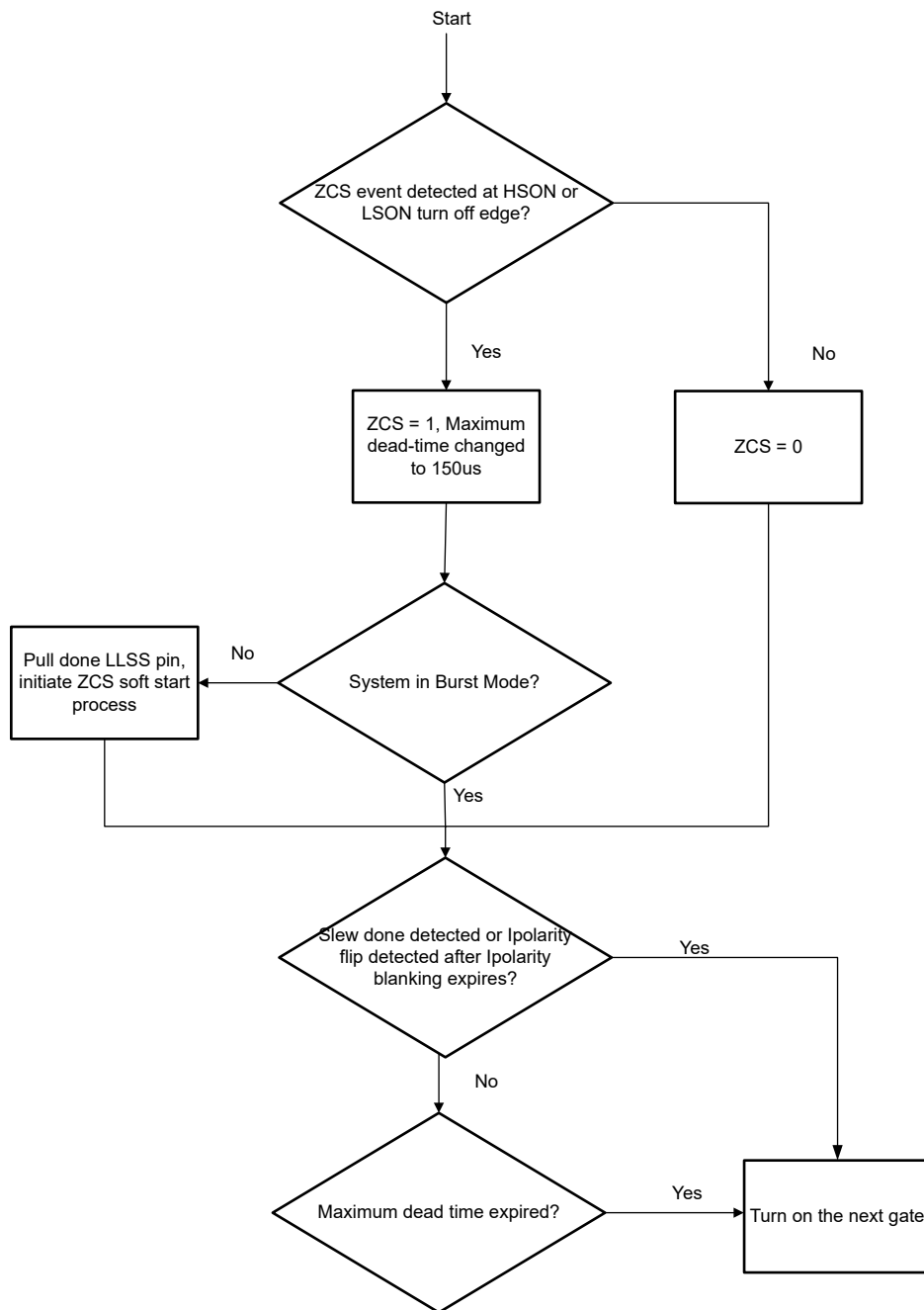


図 7-11. ZCS 防止アルゴリズムのフロー チャート

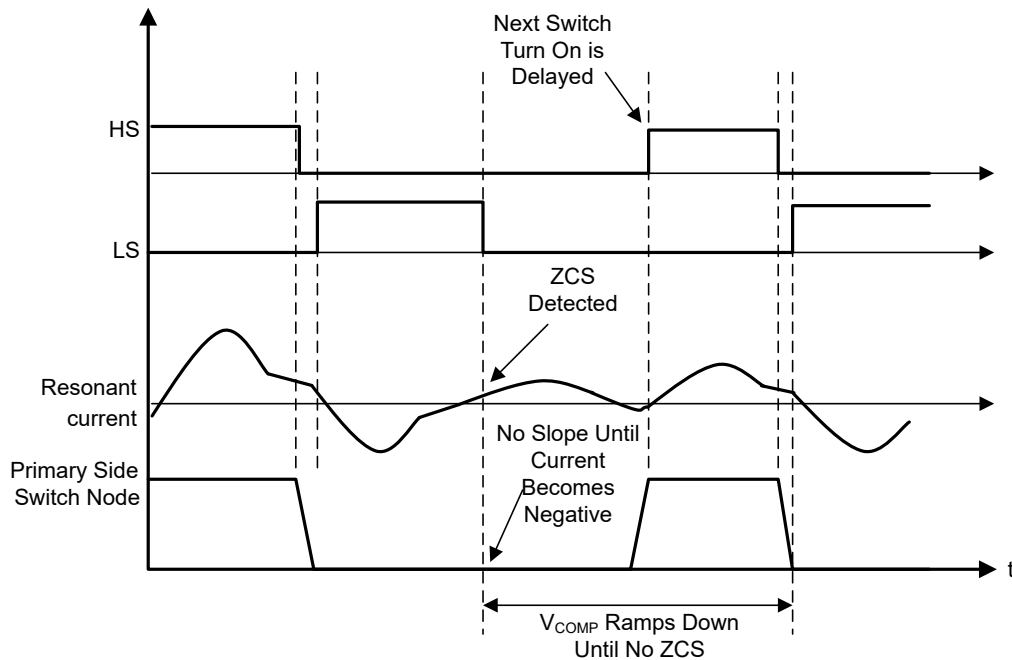


図 7-12. ZCS 事象のタイミング チャート

7.3.9.2 過電流保護 (OCP)

OCP には以下の 3 レベルがあります。

1. OCP1: ピーク電流保護 (最高スレッショルド)
 - a. フォルト検出時の動作: ISNS が 4 つのスイッチングサイクルで連続して OCP1 スレッショルドを上回ると、スイッチングが停止します。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。
2. OCP2: 平均入力電流保護 (高スレッショルド)
 - a. フォルト検出時の動作: 検出された ISNS 平均値が 2ms の間スレッショルドを上回ると、スイッチングが停止します。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。
3. OCP3: 平均入力電流保護 (低スレッショルド)
 - a. フォルト検出時の動作: 検出された ISNS 平均値が 50ms の間スレッショルドを上回ると、スイッチングが停止します。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。

回路ブロック図に関する情報を [セクション 7.3.5](#) に示します。

7.3.9.3 バイアス巻線過電圧保護 (BW OVP)

これは通常、トランスにバイアス巻線が装備されている場合、出力過電圧保護のために使用されます。出力過電圧トリップポイントは、BW ピンの分圧回路を構成して設定することができます。BW OVP コンパレータが 5 つのスイッチングサイクルで連続して High になると、スイッチングが停止します。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。

7.3.9.4 入力低電圧保護 (VINUVLP)

これは入力低電圧保護です。トリップポイントは、BLK ピンの分圧回路を構成して設定することができます。BLK 電圧が BLKStop を下回ると、スイッチングが直ちに停止します。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。

7.3.9.5 入力過電圧保護 (VINOVP)

これは、入力過電圧保護機能です。この機能は、一部のデバイス バージョンにのみ存在します。BLK 電圧が $V_{BLKOVPRise}$ を上回ると、スイッチングが直ちに停止します。システムがフォルト状態に移行し、1 秒間待機した後、BLK 電圧が $V_{BLKOVPRise}$ を下回るとスタートアップ状態に戻ります。

7.3.9.6 ブート UVLO

これはハイサイド ゲートドライバ UVLO です。(HB – HS) 電圧がこのスレッショルドを下回ると、ハイサイド ゲート出力はシャットダウンします。システムはフォルト状態には移行しません。

7.3.9.7 RVCC UVLO

これはレギュレーション済み 13V の UVLO です。RVCC の電圧がスレッショルドを下回ると、ハイサイド ゲート出力とローサイド ゲート出力の両方が直ちにオフになります。システムがフォルト状態に移行し、1 秒間待機してからスタートアップ状態に戻ります。

7.3.9.8 過熱保護 (OTP)

これはデバイスの過熱保護です。OTP スレッショルドを超えると、スイッチングが停止します。システムがフォルト状態に移行し、1 秒間待機した後、温度が OTP スレッショルドを下回るとスタートアップ状態に戻ります。

7.4 デバイスの機能モード

7.4.1 高電圧スタートアップ

UCC256402 および UCC256404 は自己バイアス スタートアップ方式を採用しているため、個別の補助電源が不要です。AC 電源を最初に接続すると、PFC と LLC の両方がオフになります。HV ピンの内部 JFET が有効になり、HV ピンから VCC コンデンサに接続されたソースから電流を供給し始めます。VCC ピンの電圧が $V_{CCShort}$ を下回ると充電電流は小さくなり、VCC ピンの電圧が $V_{CCShort}$ を上回ると大きくなります。VCC ピンの電圧が $V_{CCStartSwitching}$ スレッショルドを超えると電流源がオフになり、RVCC が有効になって PFC がオンになります。PFC 出力電圧が一定のレベルに達すると、LLC がオンになります。LLC が動作し、出力電圧が確立されると、バイアス巻線は PFC および LLC コントローラの両方のデバイスに電流を供給します。

UCC256403 には高電圧スタートアップ機能が搭載されていないため、IC に電源を供給するには外部補助電源が必要です。UCC256403 を使用するときは、HV ピンを接地します。

7.4.2 X コンデンサの放電

ダイオードブリッジ整流器の AC 側で EMC フィルタに使用する X コンデンサには、特定の時間内に妥当な電圧まで放電できる手段が必要です。これは、AC 電源から物理的に取り外された後、AC プラグのピンに電圧が無制限に滞留しないようにするためです。

通常、放電抵抗は X コンデンサと並列に配置されてこの放電パスを形成しますが、電源が AC 電源に接続されている限り、これらの抵抗は固定スタンバイ電力損失につながり、非常に低いスタンバイ電力を実現する場合に重要です。

容量 100nF ごとに、10MΩ の最大ブリード抵抗を並列に追加します。標準容量 330nF の代表的な 60W ~ 100W の電源では、3MΩ の放電抵抗が必要です。公称高ライン 230V では、これらの抵抗において 17.63mW のスタンバイ電力損失が発生します。そのため、静的スタンバイ電力損失を避けるために、スイッチト放電パスを使用して X コンデンサを放電する別の方法を見つける必要があります。

X コンデンサの放電に関するいくつかの規格があります。IEC60950 および IEC60065 では、放電時定数が 1s 未満である必要があります。IEC62368 では、AC プラグから電源を取り外してから 2 秒後に、X コンデンサに残った電圧が 60V 未満 (容量 300nF 以上の場合) になっている必要があります。UCC25640x は、X コンデンサ放電機能を備えたデバイスバリエーションに対し、アクティブ放電方式を採用して最大 5μF の X キャパシタンスの高速放電をサポートします。

規格の要件を満たすには、AC 接続解除イベントが検出されている必要があります。UCC25640x では、HV ピンを通過する AC ゼロ交差を監視することで、AC 接続解除を検出します。AC 電源が供給されている場合、1 つのライン サイクルで 2 つの AC ゼロ交差が発生します。AC 電源が接続解除されている場合、ゼロ交差は長時間にわたり発生しません。

図 7-13 に、整流された AC 波形を示します。この図では、AC 電源は AC サイクルの最後の半分のピークにて接続解除されています。実際には、1 つのスイッチング サイクルのどの時点でも接続解除できます。

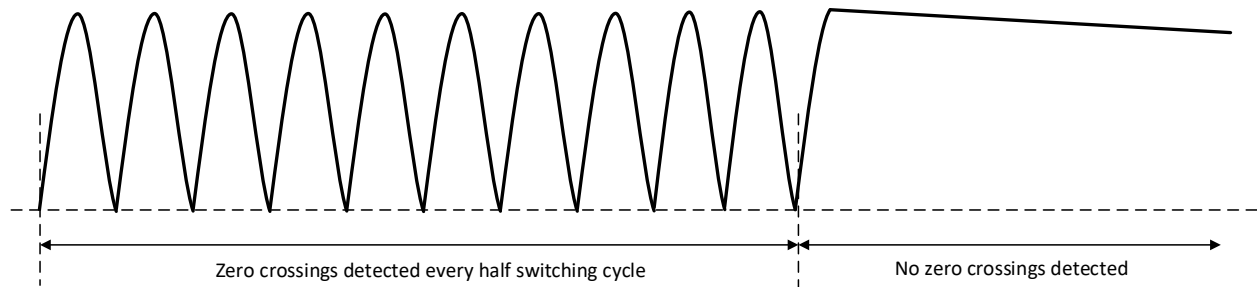


図 7-13. AC 接続解除波形

ゼロ交差を確実に検出し、消費電力を節約するため、700ms ごとに階段状テスト電流が発生します。最大テスト電流設定で連続して 4 つのゼロ交差が欠けた場合、AC 接続解除が確認され、 $I_{xCapDischarge}$ 電流源が有効になります。次の波形は、階段状電流波形を示しています。

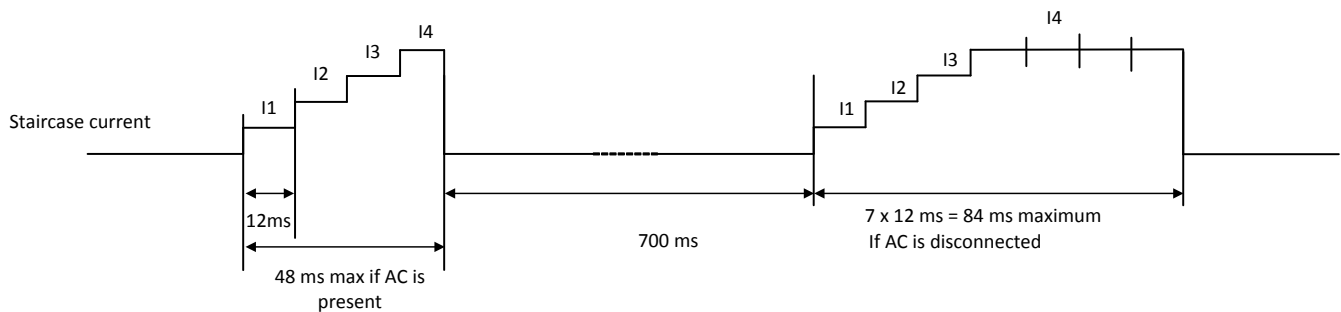


図 7-14. X コンデンサ放電の階段状テスト電流

テスト電流は、信頼性の高い AC ゼロ交差検出を実現するのに必要です。これは、AC ブリッジ整流ダイオードのリーク電流が、非常に軽い負荷でのゼロ交差検出に影響するためです。HV ピンに加えられたテスト電流がリーク電流を克服し、HV ピンでの AC ゼロ交差が確実に検出されます。テスト電流段で 1 つのゼロ交差が検出された場合は、AC が接続解除されていないことを意味します。テスト電流は直ちにシャットオフされ、システムは無テスト電流段 700ms に移行します。

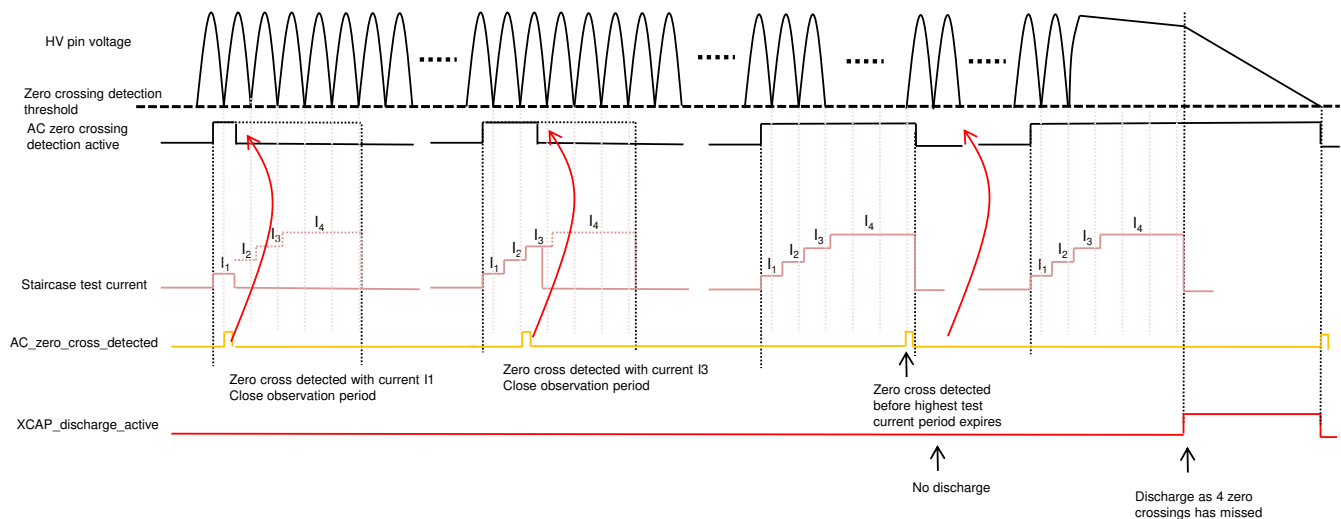


図 7-15. さまざまな階段状電流波形

図 7-15 に、さまざまな階段状電流波形を示します。最後の波形は、AC 接続解除が検出され、X コンデンサの放電電流が有効になっていることを示しています。X コンデンサの放電電流は 350ms にわたって有効になります。AC ゼロ交差機能は、すべての動作モードでいつでも利用できます。図 7-16 に、AC ゼロ交差検出と X コンデンサ放電のフローチャートを示します。ゼロ交差テストは、HV スタートアップ完了から 12ms 後に開始します。放電電流 $I_{XCapDischarge}$ は、JFET をオンにし、JFET ソースから GND への電流源を有効にすると発生します。フォルト再起動プロセス中は、JFET が VCC に接続されるように、HV スタートアップが優先されます。ゼロ交差テスト電流は、検出アイドル タイマが満了したかどうかに関係なく、HV スタートアップ完了後 12ms から送信されます。

一部のデバイス バリエーションでは、X コンデンサの放電機能は無効化されています。

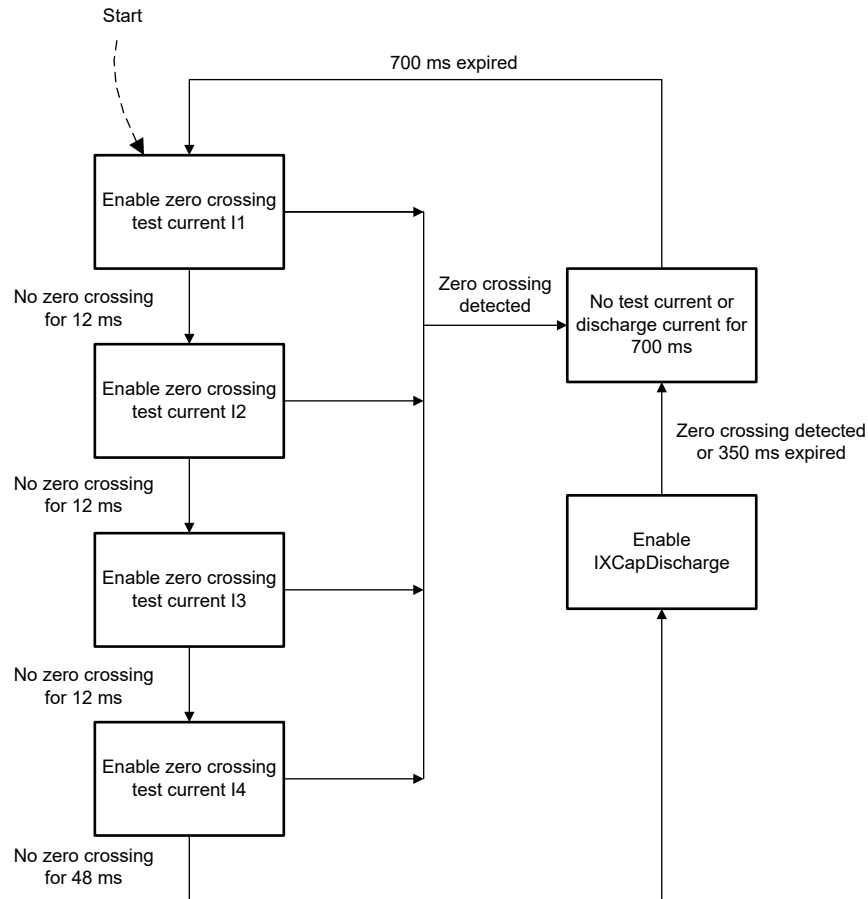


図 7-16. AC ZCD と X コンデンサ放電のフロー チャート

7.4.3 バースト モード制御

LLC コンバータの電力段の効率は、出力電力が減少すると急速に低下します。合理的な軽負荷効率を維持するには、LLC コンバータをバースト モードで動作させる必要があります。このモードでは、LLC コンバータが短いバースト期間に比較的高電力で動作し、その後一定時間スイッチングが停止します。バースト期間中に、過剰な電荷を出力コンデンサに移して蓄積します。バースト オフ期間中は、この蓄積した電荷を使用して負荷電流を供給します。スタンバイ時の消費電力の厳格な要件を満たすには、バースト モード動作が不可欠です。バースト モード動作に伴う課題の 1 つが、可聴周波数のノイズ特性です。一定時間にわたってスイッチングを停止する必要性があるため、20Hz ~ 20kHz の可聴周波数範囲内の周波数のスイッチング パルス パターンが存在します。UCC25640x の一部のデバイス バリエーションには、最初と最後のいくつかのスイッチング パルスでソフト オン / ソフト オフ期間付きバースト モードがあり、スタンバイ動作時の可聴ノイズを最小限に抑えることができます。

図 7-17 では、バースト モード動作のタイミング図を示しています。使用されるバースト モード スレッシュホールドは 2 つです (バースト モード終了時は BMT_H 、バースト モード開始時は BMT_L)。これら 2 つのスレッシュホールドのプログラム方法の詳細については、セクション 7.4.3.1 セクションで説明します。FB チェーンからの FBreplica を 2 つのスレッシュホールドと比較し、バースト モード動作を決定します。

- t_1 では、FBreplica は BMT_L を下回っています。システムがバースト モードに移行し、スイッチングが直ちに停止します。バースト オフ期間中には、UCC25640x で一部の内部ブロックを無効にして消費電力を削減します。
- t_2 では、FBreplica は BMT_H を上回っています。システムがスイッチングを再開します。この期間をバースト オン期間と呼びます。バースト オン期間中に VCR コンパレータに送信される制御動作 V_{comp} は、FBreplica と BMT_L のうち大きいほうの値になります。システムがバースト モードに移行した後の最初のスイッチングパターンでは、バースト ソフトオンは発生しません。
- t_3 では、FBreplica は再び BMT_L を下回ります。スイッチングは、バースト パケットの事前定義済み番号 (N_{burst}) に達するまで停止しません。 V_{comp} でも、FBreplica と BMT_L のうち大きいほうの値が選択されます。最後の 7 回のスイッチング サイクルでは、ソフト オフが適用されます (図 7-17 では概念を説明するため、3 つのソフト オン/オフ ステップのみ適用されています)。 V_{comp} は、FBreplica と BMT_L のうち大きいほうの値を比率にしたものです。さまざまなスイッチング サイクルの比率の数字については、表 7-1 で説明します。バースト ソフト オフでは、ステップ 7 から始まり、減少していきます。ステップ 1 に達すると、ソフト オフ ステップが完了し、システムがバースト オフ期間に移行します。これにより、LLC トランス電流をゆっくり減少させることができます。バースト ソフト オンの場合、これとは逆にステップ 1 から開始してステップ 7 で終了します。ソフト オフ ステップが完了する前に FBreplica が BMT_L を上回ると、バースト ソフト オフがただちに終了し、システムがバースト ソフト オンに移行します。この状態では、ソフト オフが終了したステップからソフト オン ステップが開始し、ソフト オフとソフト オンの間のスムーズな遷移を確実に行えます。
- t_4 では、FBreplica は BMT_L を上回ります。システムがバースト オン期間に移行しますが、これは最初のバースト オン期間ではないため、最初の 7 回のスイッチング サイクルではソフト オン期間が発生します。FBreplica と BMT_L のうち大きいほうの値に対する V_{comp} の比率についても表 7-1 で説明します。バースト ソフト オン ステップが完了した後、 V_{comp} はバースト ソフト オフ期間に達するまで、FBreplica と BMT_L のうち大きいほうの値を使用します。
- t_5 では、別のバースト オフ期間の後、FBreplica は BMT_L を再び上回ります。今回の違いは、各ステップでのバースト ソフトがまだ完了していないときでも、FBreplica が t_6 での BMT_H を上回っていることです。バースト ソフトオンはただちに終了するため、 V_{comp} が FBreplica に追従し、バースト モード動作からバースト外モード動作までの負荷過渡時の迅速なシステム応答を確実に行えます。

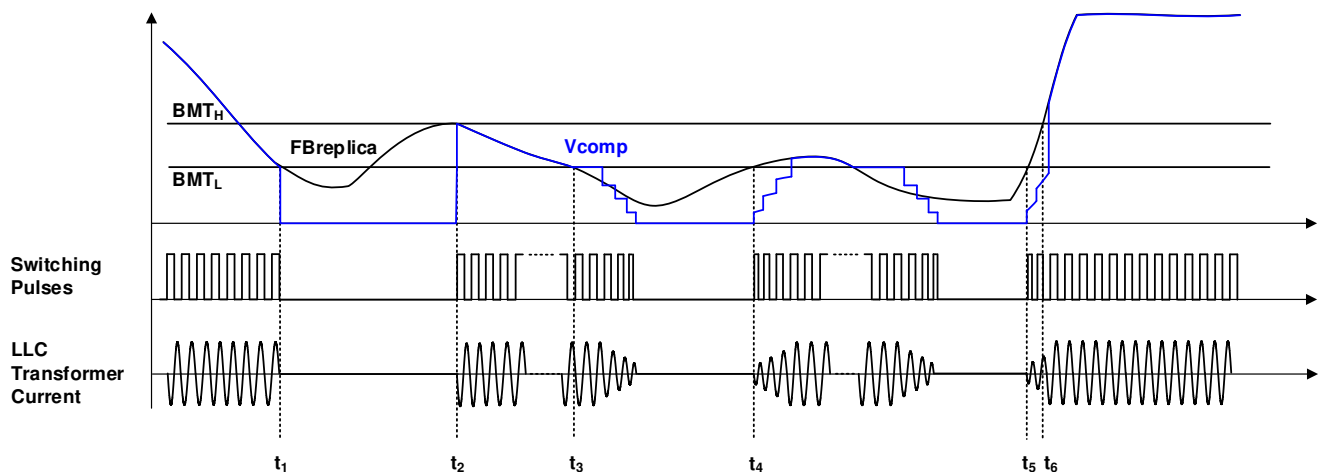


図 7-17. バースト モードのスイッチング パターン

表 7-1. バースト モードソフト オン/ソフト オフによる V_{COMP} 制御

バースト ソフト オン/ソフト オフのステップ	ソフト オン時に V_{comp} を低減するために使用される比率
1	1/3
2	9/21

表 7-1. バースト モード ソフト オン/ソフト オフによる V_{COMP} 制御 (続き)

バースト ソフト オン/ソフト オフのステップ	ソフト オン時に V_{comp} を低減するために使用される比率
3	11/21
4	13/21
5	15/21
6	17/21
7	19/21

HHC 制御により、バーストのソフト オンとソフト オフの実装は大幅に簡素化されました。HHC には周波数制御部があるため、 V_{comp} を変更すると LLC のスイッチング周波数が直接影響を受け、スイッチング サイクル内の共振電流振幅が抑制される可能性があります。また、VCR ノード電圧が同相電圧 (VCM) と等しくなると、各バースト オン期間の最後のパルスがオフになります。HHC 制御では、これは $V_{IN}/2$ 相当の共振コンデンサ電圧とほぼ等しくなります。この動作により、各バースト オフ期間において共振コンデンサ電圧は $V_{IN}/2$ 程度に維持されるため、バースト オン期間中に、可能な限り速やかにバースト パターンを安定させることが可能になります。

セクション 7.3.9.1 で述べたように、軽負荷状態での不要な ZCS 検出を回避するため、軽負荷状態では ZCS が無効化されます。これは、 BMT_H スレッシュホールドを使用することで実現できます。FB replica が BMT_H を下回って軽負荷動作状態を示すと、ZCS 検出が無効化されます。FB replica が BMT_H を上回ると、ZCS 検出が再開されます。

一部のデバイス バリエーションでは、可聴ノイズ発生の懸念が少ないアプリケーションに対してバースト ソフト オン/ソフト オフ機能が無効化されますが、バースト モード時の出力リップルを縮小することが求められます。また、バースト パケット サイズも縮小されます。バースト ソフト オン/ソフト オフが無効化された場合のバースト モード動作のタイミング図を 図 7-18 に示します。

- t_1 では、FB replica は BMT_L を下回っています。システムがバースト モードに移行し、スイッチングが直ちに停止します。
- t_2 では、FB replica は BMT_H を上回っています。システムは再びスイッチングを開始し、バースト オン期間に移行します。VCR コンパレータに送信される制御動作 V_{comp} は、FB replica と BMT_L のうち大きいほうの値になります。
- t_3 では、FB replica は再び BMT_L を下回ります。スイッチングは、バースト パケットの事前定義済み番号 (N_{burst}) に達するまで停止しません。FB replica が BMT_L を再び下回る前にスイッチングが N_{burst} に到達した場合、FB replica が BMT_L を下回るまで、システムはバースト パケットを供給し続けます。
- t_4 では、FB replica は BMT_L を上回ります。システムが、ソフト オンなしでバースト オン期間に移行します。したがって、制御動作 V_{comp} は、FB replica と BMT_L のうち大きいほうの値になります。
- t_5 では、別のバースト オフ期間の後、FB replica は BMT_L を再び上回ります。制御動作 V_{comp} は FB replica に追従します。 t_6 では、FB replica が BMT_H を上回っても、 V_{comp} は FB replica に追従し続けます。FB replica が N_{burst} スイッチング サイクルを超えて BMT_H を上回ったままになると、システムはバースト モードを終了します。

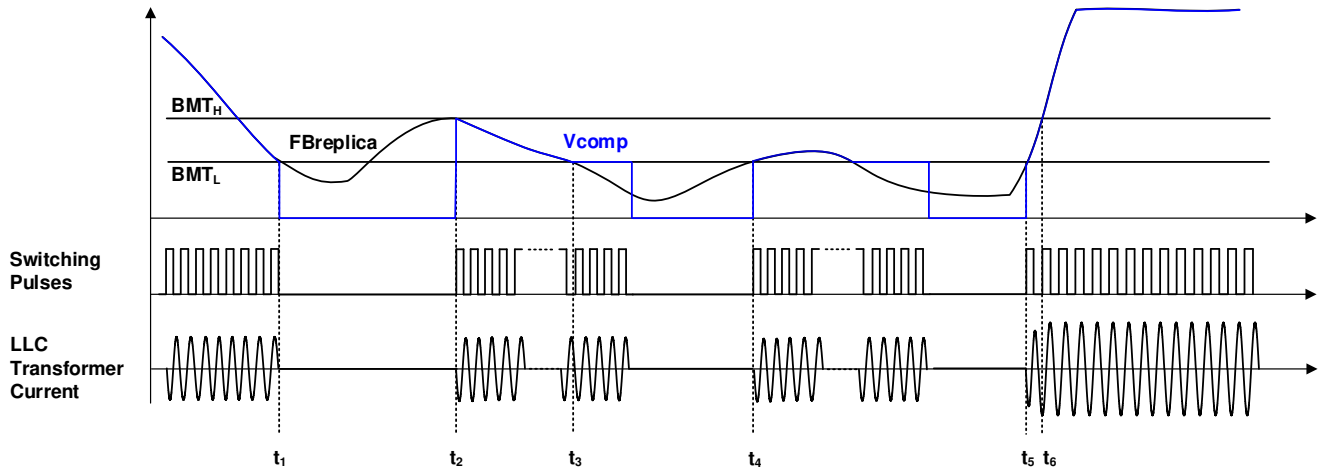


図 7-18. ソフト オン/ソフト オフ無効化時のバースト モード スイッチング パターン

セクション 7.4.3.2 に示すように、UCC25640x では BW ピンの抵抗を変更してバースト モードを無効化することもできます。バースト モードが無効化されている場合、FBreplica が BMT_L を下回ってもスイッチングは停止しません。ピック ハイヤー ブロックは、制御動作 V_{comp} に対して BMT_L および FBreplica の値を大きくすることで機能し続けます。この場合、 BMT_L では LLC の最大スイッチング周波数が制限されます。

バースト モードが無効化されている場合、定常状態で FBreplica は BMT_L を上回っている必要があります。これ以外の場合、LLC 出力電圧では、フィードバックから要求されるよりも多くのエネルギーを供給し続けるため、レギュレーションが失われます。過渡時間中は、FBreplica を BMT_L より小さくしても問題ありません。

7.4.3.1 ソフトスタートとバースト モード閾値

ソフト スタートのプログラミングとバースト モード スレッシュホールドのプログラミングは、LL/SS ピンで多重化されます。さらに、ZCS 領域で動作が発生すると、このピンはダイオードを経由してグラウンドにプルダウンされ、スイッチング周波数が高くなります。図 7-19 にピンのブロック図を示します。

図 7-20 に LL/SS ピンのプログラミングのタイミング図を示し、以下に 5 つの相を記載します。

- SS プル Low 位相 — LL/SS ピンは、グラウンドへの標準的な $1.2k\Omega$ 抵抗によって内部的に Low にプルされます。
- SS 初期電圧プログラム フェーズ — 内部プル Low が解放されます。図 7-19 に示すように、LL/SS ピンは通常、RVCC からの抵抗デバインドに接続し、コンデンサをグラウンドに接続します。内部プル Low 回路が解放されると、外付けの抵抗とコンデンサに応じて、LL/SS ピンの電圧を充電できます。このフェーズは、充電ブート段が完了し、 $t_{SSInitVolPrgm}$ の固定時間になると終了します。
- ソフト スタート フェーズ — 内部定電流源は、充電ブート段の直後にソフト スタート コンデンサを充電し、FBreplica が LL/SS ピンの電圧を下回ると終了します。このフェーズでは、LL/SS ピンの電圧を制御動作 V_{comp} として使用します。LL/SS ピンはゆっくり上昇するため、スタートアップ中に出力電圧がまだ確立されていない場合に、LLC をより高いスイッチング周波数で動作させることができます。これにより、スタートアップ時の大きな突入電流を防止できます。
- BMT_L セットリング フェーズ — ソフト スタート フェーズが完了すると、LL/SS ピンを使用してバースト モード スレッシュホールドのプログラミングを行います。セクション 7.4.3 で説明しているように、2 つのバースト モード スレッシュホールドが使用されます。この段階では、BW オプション 7 を選択した場合、 BMT_H は $0.6V$ または $1.2V$ に固定されます。 BMT_L も固定であり、 BMT_L/BMT_H のプログラム済み比率によって決定されます。このフェーズの代表的な持続時間は $600\mu s$ です。
- このフェーズの間、 BMT_L および BMT_H のプログラミング / 設定フェーズ — LL/SS ピンは $3.5V$ でバッファされます。このピンに接続されている抵抗に応じて、LL/SS ピンは電流をシンクまたはソースさせることができます。LL/SS ピンが電流をシンクする場合、電流は内部で R_{LL} を流れるようにミラーリングされ、 R_{FB} の電圧は BMT_H のプログラムされた電圧となります。LL/SS ピンが電流をソースする場合、 BMT_H のプログラムされた電圧は最小値に設定されます。プログラムされた BMT_H 電圧が初期電圧と異なる場合、 BMT_H はリフレッシュ周波数 $200\mu s$ ごとに目標値まで上昇しま

す。リフレッシュ周波数が遅いため、LL/SS ピンのノイズによって BMT_H が変化することはありません。 BMT_L は、 BMT_L/BMT_H のプログラム済み比率に基づいて BMT_H の変化に追従します。

SS 初期電圧をプログラム可能なため、スタートアップ時の最大スイッチング周波数を自由に制限できます。これにより、過度に高いスイッチング周波数によるハードスイッチングを防止できます。スタートアップ時に非常に高いスイッチング周波数を必要とするアプリケーションでは、[セクション 7.4.3.2](#) で説明されているように、BW ピンによる SS 初期電圧のプログラミングを無効化するオプションも提供しています。このオプションを選択する場合、SS 初期電圧プログラム フェーズ中、LL/SS ピンは内部 1.2k Ω 抵抗で Low にプルされ続けます。

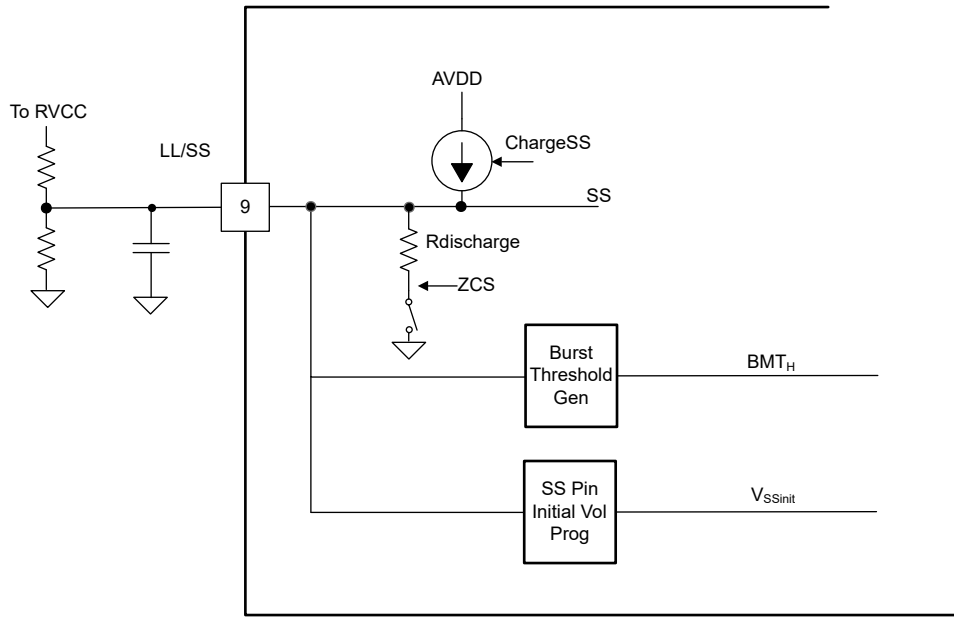


図 7-19. LL/SS ブロック図

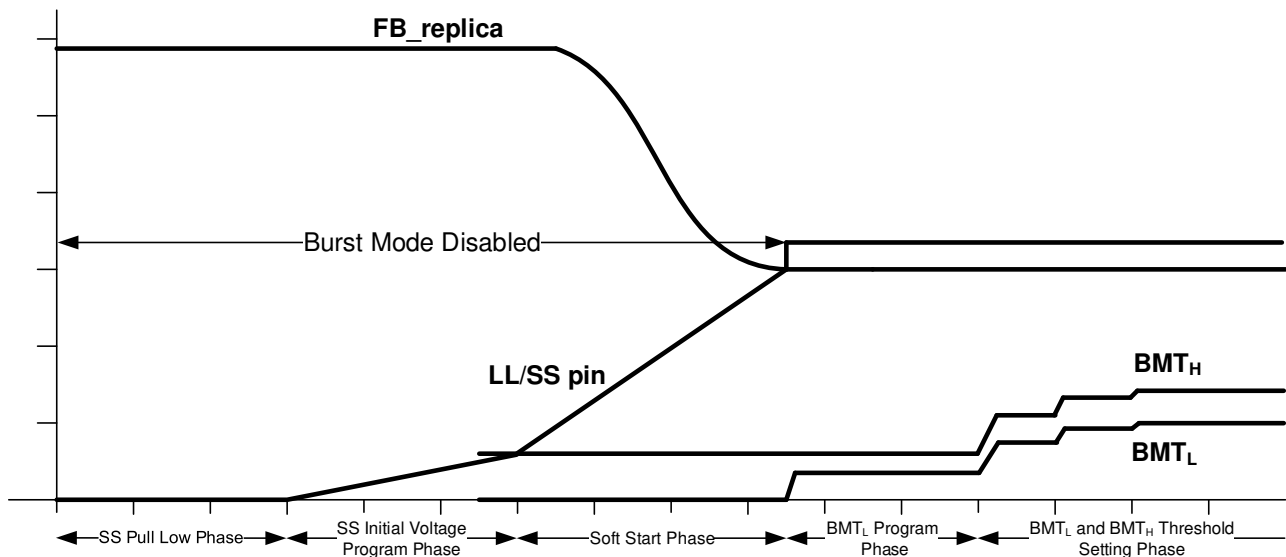


図 7-20. LL/SS ピンのプログラミングのタイミング図

7.4.3.2 BMT_L/BMT_H 比率のプログラミング

[セクション 7.3.7](#) で説明したように、BW ピンは BMT_L/BMT_H 比率のプログラミングを行えるよう多重化されます。プログラミング フェーズは、スタートアップ前に 1 回だけ発生します。その後、 BMT_L/BMT_H 比率は固定され、フォルト発生または

電源のリサイクル後にシステムが再起動するまで続きます。プログラミング フェーズはソフト スタートが開始する直前に行われます。定電流を供給し、ピンの電圧を測定します。測定されたピン電圧に応じて、表 7-2 に示すようにさまざまな BMT_L/BMT_H 比率が選択されます。セクション 6.5 に、必要な BW 等価抵抗を示します。

また、オプション 5 では、さまざまな BMT_L/BMT_H の比率を選択する以外に、スタートアップ時の LL/SS ピンの初期電圧 プログラム フェーズが無効化され、オプション 7 ではバースト モードが無効化されます。

表 7-2. BMT_L/BMT_H 比率のプログラミング

オプション	BMT _L /BMT _H
1	0.95
2	1
3	0.9
4	0.8
5	0.6 (LL/SS ピンの初期電圧プログラミングが無効)
6	0.6
7	0.4 (バースト モードが無効)

7.4.4 システム ステート マシン

システム状態シーケンスの概要を以下に示します。

状態遷移図は、UCC25640x の電源が供給されていない状態から始まります。HV スタートアップ機能を備えたデバイス バリエーションの場合、AC 入力に接続されるとすぐに HV ピンの内部 JFET が有効になり、HV ピンから VCC コンデンサに接続されたソースから電流の供給を開始します。VCC ピンの電圧が VCC_{StartSwitching} スレッショルドを超えると、システム状態が JFETOFF に変化します。HV スタートアップ機能を備えていないデバイス バリエーションでは、JFETON 状態になることはありません。VCC がその VCC_{StartSwitching} スレッショルドを超えると、システム状態が JFETOFF に変化します。PFC 出力電圧が一定のレベルに達すると、LLC がオンになります。LLC が動作し始めるまでは、LO ピンが高く維持されて LLC ブリッジの HS ノードが低く抑えられるため、HB ピンと HS ピンの間のコンデンサを VCC からブートストラップ ダイオード経由で充電できます。ブート コンデンサが完全に充電されるよう、UCC25640x では一定時間、CHARGE_BOOT 状態が維持されます。LLC の出力電圧が一定のレベルに達すると、PFC コントローラと LLC コントローラの両方で、LLC トランスのバイアス巻線から電力を取得します。負荷が一定レベルを下回ると、LLC はバースト モードで動作します。

UCC25640x によって発生するフォルト条件により、通常動作が停止または一定時間停止した後、自動的に再起動します。これにより、持続的なフォルト条件が存在している間は、再起動の試行を繰り返した結果として、UCC25640x コントローラやパワーコンバータの温度が上昇することはありません。

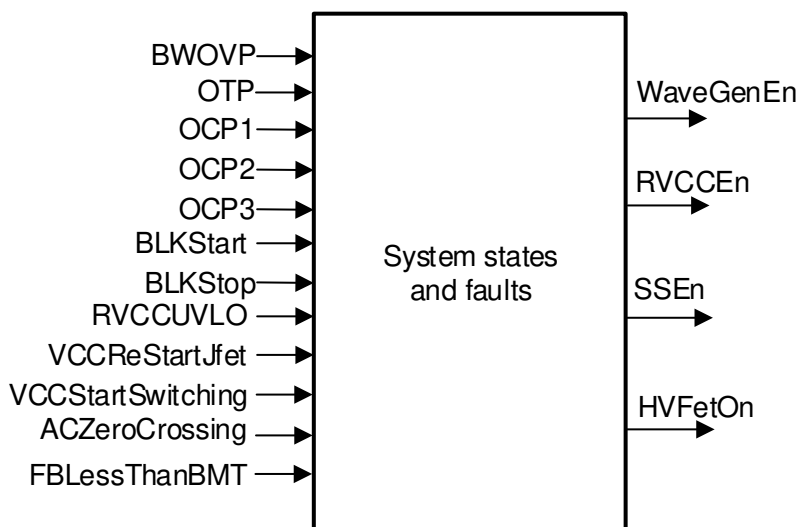


図 7-21. システム ステート マシンのブロック図

表 7-3 に、図 7-21 の入力と出力の概要を示します。

表 7-3. システム ステート マシン ブロックの入力と出力

信号名	I/O	説明
BWOVP	I	出力過電圧故障
OTP	I	過温度故障
OCP1	I	ピーク電流故障
OCP2	I	2ms タイマによる平均電流故障
OCP3	I	50ms タイマによる平均電流故障
BLKStart	I	バルク電圧がスタート スレッショルドを上回っています
BLKStop	I	バルク電圧がストップ スレッショルドを下回っています
RVCCUVLO	I	RVCC UVLO fault
VCCReStartJfet	I	VCC が再起動スレッショルドを下回っています
VCCStartSwitching	I	VCC がスタート スイッチング スレッショルドを上回っています
ACZeroCrossing	I	AC ゼロ交差が検出されました
WaveGenEn	O	波形生成器が有効です
RVCCEn	O	RVCC イネーブル
SSEn	O	ソフト スタートが有効です
HVFetOn	O	JFET をオンまたはオフにします

図 7-22 にステート マシンを示し、状態および状態遷移条件の説明を以下の表に示します。

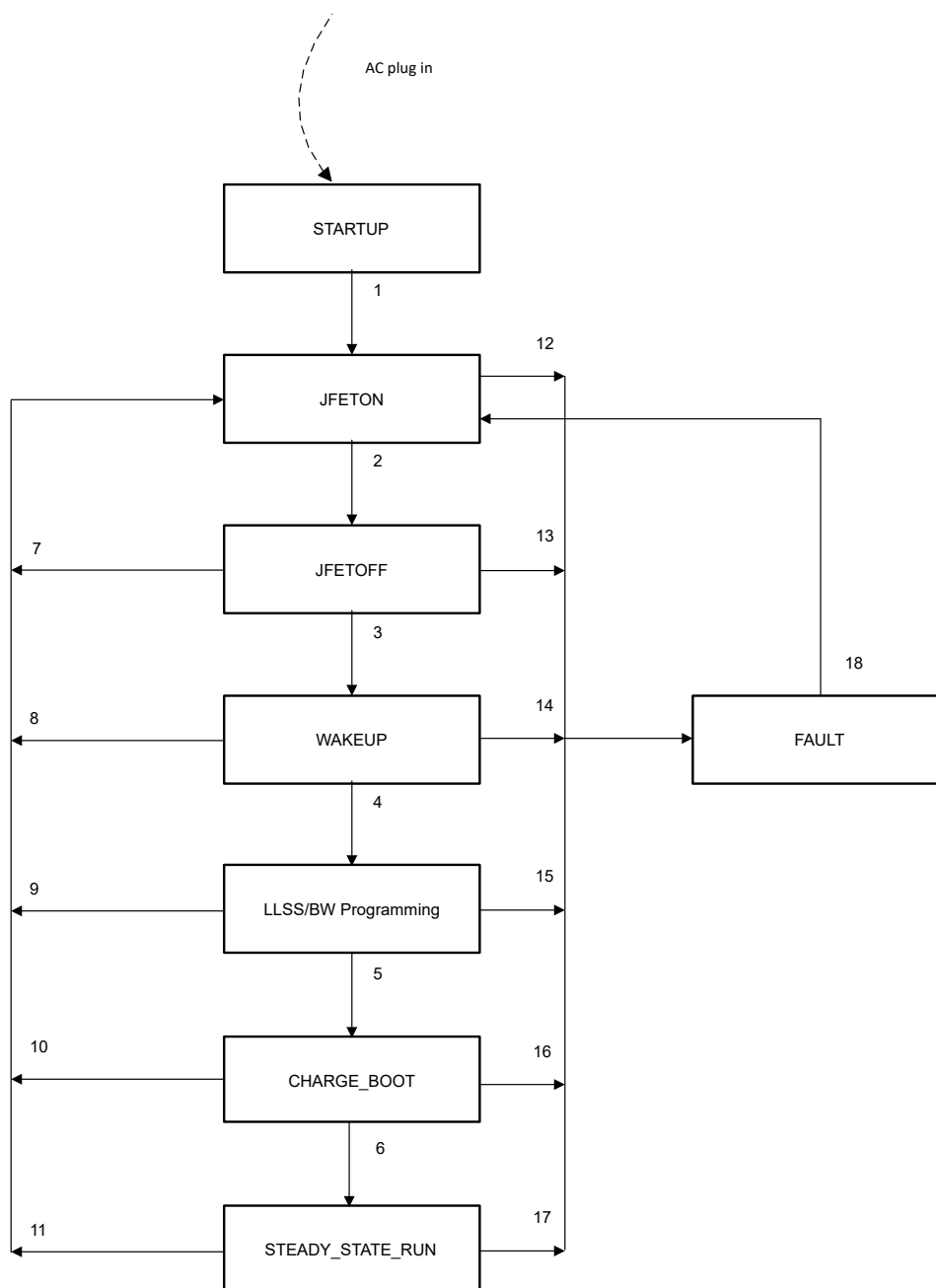


図 7-22. システム ステート マシンの遷移

表 7-4. システム ステート マシンの状態

状態	出力状態	説明
スタートアップ	WaveGenEn = 0 RVCCEn = 0 SSEn = 0 HVFetOn = 0	これは、AC 入力を接続し、システムがトリムをロードした後の最初の状態です。
JFETON	WaveGenEn = 0 RVCCEn = 0 SSEn = 0 HVFetOn = 1	この状態では、JFET がオンになっています。VCC が、HV ピンから接続された電流源によって充電されます。HV スタートアップ機能を搭載していないデバイス バリエーションでは、この状態は存在しません。

表 7-4. システム ステート マシンの状態 (続き)

状態	出力状態	説明
JFETOFF	WaveGenEn = 0 RVCCEn = 1 SSEn = 0 HVFetOn = 0	VCC が VCCStartSwitching スレッシュホールドを上回ると JFET がオフになり、システムが JFETOFF 状態に移行します。レギュレーション済み RVCC がオンになります。RVCC が PFC 電源電圧ピンに供給されると、PFC ソフト スタートが開始されます。
ウェークアップ	WaveGenEn = 0 RVCCEn = 1 SSEn = 0 HVFetOn = 0	BLK 電圧が BLKStart レベルに達すると、システムがウェークアップ状態に移行し、アナログ回路がウェークアップするまでの短時間、ウェークアップ状態を維持します。
LLSS/BW プログラミング中	WaveGenEn = 0 RVCCEn = 1 SSEn = 0 HVFetOn = 0	この状態では、システムが LL/SS ピンと BW ピンのプログラミング フェーズを実行します。
CHARGE_BOOT	WaveGenEn = 0 RVCCEn = 1 SSEn = 0 HVFetOn = 0	この状態では、ローサイド スイッチを一定時間オンにすることで、ブート コンデンサを充電します。プログラムされた初期電圧が LL/SS ピンにバッファされます。
STEADY_STATE_RUN	WaveGenEn = 1 RVCCEn = 1 SSEn = 1 HVFetOn = 0	この状態では、波形ジェネレータが有効になります。ソフト スタート モジュールが有効になります。LLC がソフト スタートを開始します。ソフト スタートが完了すると、システムが通常動作に移行します。
フォルト	WaveGenEn = 0 RVCCEn = 0 SSEn = 0 HVFetOn = 0	フォルト状態では、波形ジェネレータが無効化され、スイッチングが停止します。再起動前に、システムは 1 秒間フォルト状態のままになります。1s タイマによりシステムが冷却され、持続的なフォルトが発生した場合に繰り返しスタートアップすることを防止できます。

表 7-5. システム ステート マシンの遷移条件

状態遷移条件	説明
1	システム準備完了 (トリムロード完了)
2	VCCStartSwitching = 1 VCCReStartJfet = 0
3	BLKStart = 1 BLKStop = 0 RVCCUVLO = 0
4	BLKStart = 1 BLKStop = 0 RVCCUVLO = 0 FBLessThanBMT = 0
5	LLSS/BW プログラミング完了
6	充電ブート完了
7	VCCReStartJfet = 1
8	VCCReStartJfet = 1
9	VCCReStartJfet = 1
10	VCCReStartJfet = 1
11	VCCReStartJfet = 1
12	OTP = 1
13	OTP = 1
14	OTP = 1
15	OTP = 1
16	OTP = 1
17	OTP = 1 または BLKStop = 1 または BWVOP = 1 または OCP1 = 1 または OCP 2 = 1 または OCP3 = 1 または RVCCUVLO = 1

表 7-5. システム ステート マシンの遷移条件 (続き)

状態遷移条件	説明
18	1 秒間の一時停止がタイムアウト

図 7-23 および 図 7-24 は最も一般的に使用されている状態遷移のみを示しています (スタートアップ状態においてフォルトがなく、すべての状態がタイミング図にキャプチャされていると想定)。状態遷移のさまざまな方法はステート マシンに応じて発生しますが、このセクションではキャプチャしていません。

図 7-24 に、通常のスタートアップ手順を示します。システムは通常動作に移行し、フォルト (OCP、OVP、OTP) が発生します。

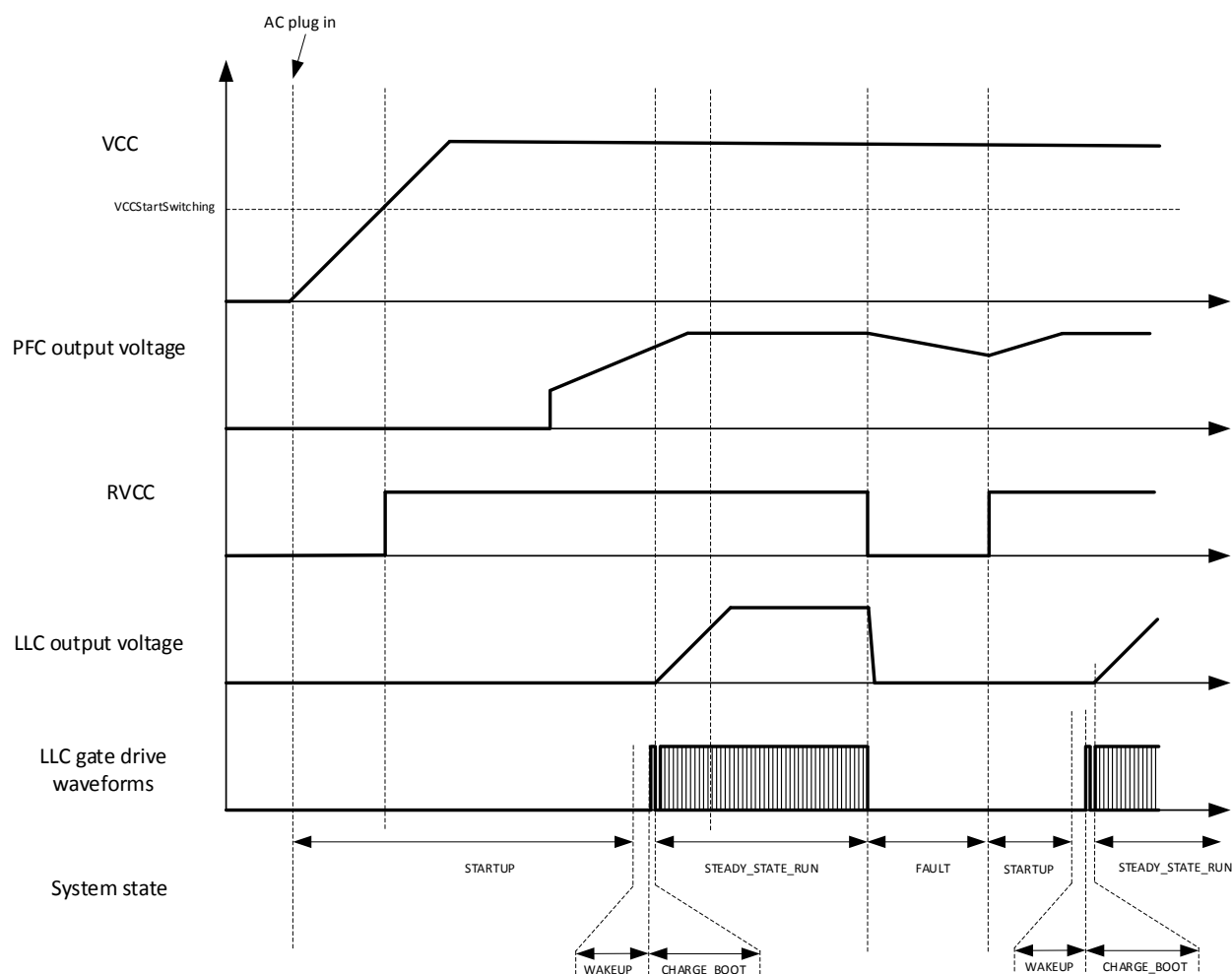


図 7-23. UCC256403 のシステム ステート マシンのタイミング図

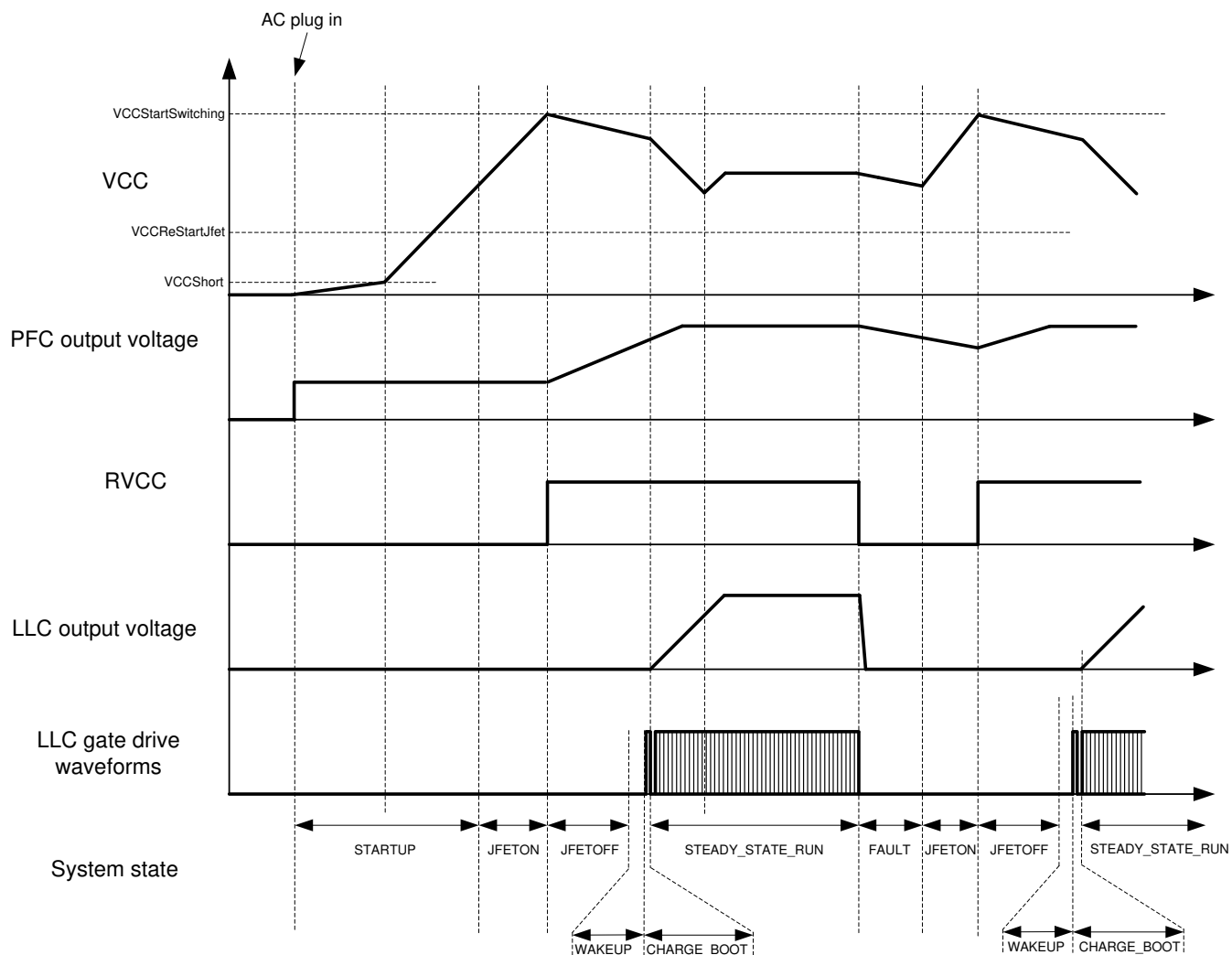


図 7-24. UCC256402 および UCC256404 のシステム ステート マシンのタイミング図

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UCC25640x は、LLC トポロジが実装されている幅広いアプリケーションに使用できます。より簡単に使用できるよう、TI は次のようなツールを用意して、製品の機能を紹介しています。

- フル機能の評価基板ハードウェア
- Excel 設計計算ツール
- シミュレーション モデル
- ハイブリッド ヒステリシス制御理論に関するアプリケーション ノート

以下のセクションで、代表的な設計例について説明します。

8.2 代表的なアプリケーション

図 8-1 に、UCC25640x をコントローラとして使用する代表的なハーフブリッジ LLC アプリケーションを示します。

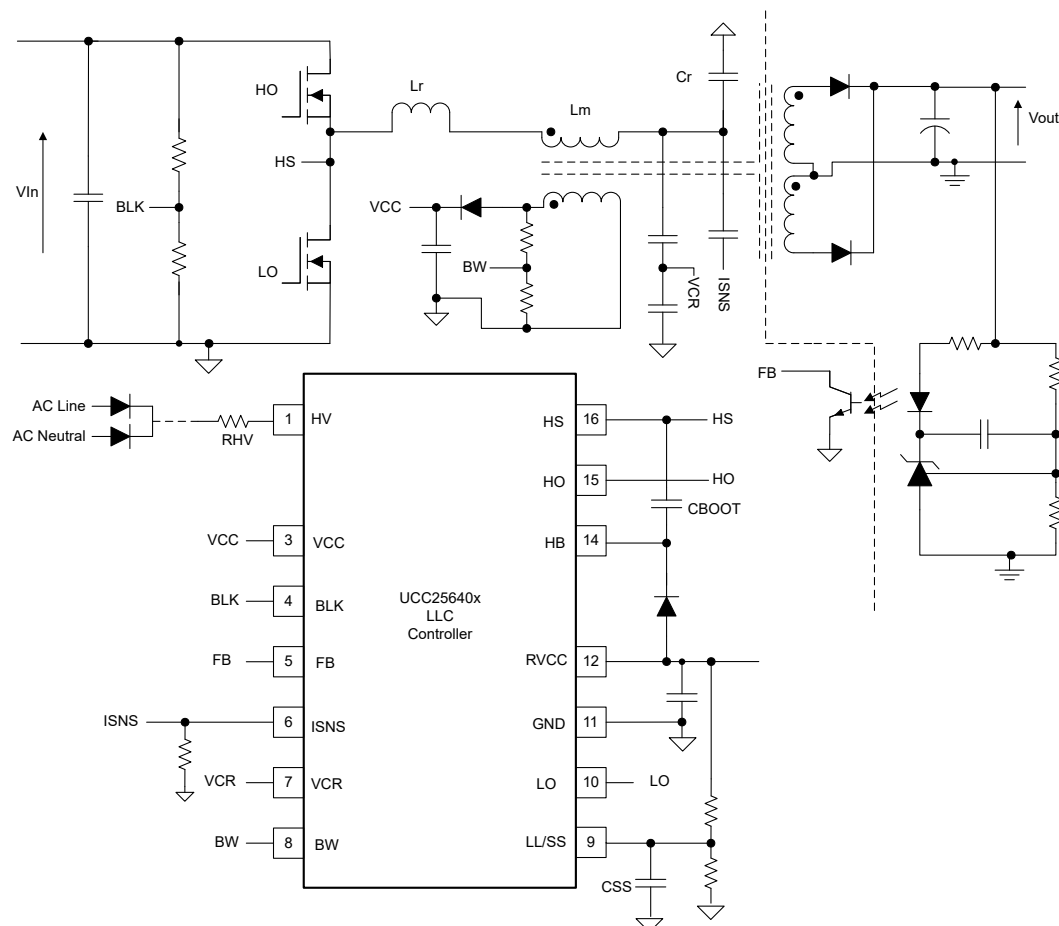


図 8-1. UCC25640x を使用する代表的なハーフブリッジ LLC アプリケーション

8.2.1 設計要件

表 8-1 に設計仕様を示します。

表 8-1. システム設計仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力特性					
DC 電圧範囲		365	390	410	VDC
AC 電圧範囲		85		264	VAC
AC 電圧周波数		47		63	Hz
入力 DC UVLO オン			365		VDC
入力 DC UVLO オフ			315		VDC
出力特性					
出力電圧、VOUT	無負荷 ~ 全負荷		12		VDC
出力負荷電流、IOUT	360VDC~410VDC			15	A
出力電圧リップル	390VDC、全負荷 = 10A		120		mVpp
システム特性					
共振周波数			100		kHz
ピーク効率	390VDC		92		
動作温度	自然対流		25		°C

8.2.2 詳細な設計手順

8.2.2.1 LLC 電力段要件

設計は、LLC 電力段コンポーネントの各値を決めることから始まります。ここで概説する LLC 電力段の設計手順は、テキサス インストルメンツの技術記事『[Power Tips: LLC 共振ハーフブリッジ パワー コンバータの設計](#)』から引用したものです。この技術記事では、使用する各式の由来が十分に説明されています。以下の式は、LLC 方式の解析によく用いられる FHA (First Harmonic Approximation) 法に基づきます。この手法は、あらゆる設計の出発点には適しているものの、最終設計には FHA の結果、回路シミュレーション、ハードウェア テストを組み合わせる反復アプローチが必要です。アプリケーション ノート『[UCC29950 の LLC 設計](#)』には、別の設計方法が記載されています。

8.2.2.2 LLC のゲイン範囲

まず、公称入力電圧と公称出力電圧から変圧器の巻数比を求めます。

$$N_{PS} = \frac{V_{IN(nom)}/2}{V_{OUT(nom)}} = \frac{390/2}{12} = 16.25 \approx 16.5 \quad (5)$$

次に、LLC のゲイン範囲 $M_{G(min)}$ と $M_{G(max)}$ を決定します。整流ダイオードで 0.5V の降下 (V_f) があり、他の損失 (V_{loss}) により 0.5V が追加されていると仮定します。

$$M_{G(min)} = N_{PS} \times \frac{V_{OUT(min)} + V_f}{V_{IN(max)}/2} = 16.5 \times \frac{12 + 0.5}{410/2} = 1.006 \quad (6)$$

$$M_{G(max)} = N_{PS} \times \frac{V_{OUT(max)} + V_f + V_{loss}}{V_{IN(min)}/2} = 16.5 \times \frac{12 + 0.5 + 0.5}{365/2} = 1.175 \quad (7)$$

8.2.2.3 L_n と Q_e の選択

L_n は、磁化インダクタンスと共振インダクタンスとの比率を意味します。

$$L_N = \frac{L_M}{L_R} \quad (8)$$

(9)

Q_E は共振タンクの品質係数です。

$$Q_E = \frac{\sqrt{L_R/C_R}}{R_E} \quad (10)$$

この式において、 R_E は等価負荷抵抗です。

L_N と Q_E の値を選択することにより、LLC ゲイン曲線が描かれ、 $M_{G(\min)}$ および $M_{G(\max)}$ のパターンと交差する必要があります。結果として描かれる曲線のピーク ゲインは、 $M_{G(\max)}$ より大きくなっている必要があります。ここでは、 L_N と Q_E の選択方法について詳述しません。これらは、[UCC25640x 設計カリキュレータ](#)で使用できます。

このケースでは、選択した L_N と Q_E の値は次のとおりです。

$$L_N = 6 \quad (11)$$

$$Q_E = 0.3 \quad (12)$$

8.2.2.4 等価負荷抵抗の選定

式 13 により等価負荷抵抗を求めます。

$$R_E = \frac{8 \times N_{PS}^2}{\pi^2} \times \frac{V_{OUT(nom)}}{I_{OUT(nom)}} = \frac{8 \times 16.5^2}{\pi^2} \times \frac{12}{15} = 176.5\Omega \quad (13)$$

8.2.2.5 LLC 共振回路の部品パラメータの決定

共振タンク コンポーネント パラメータを求める前に、公称スイッチング周波数(共振周波数)を選択してください。この設計では、100kHz が共振周波数になります。

$$f_0 = 100\text{kHz} \quad (14)$$

共振タンク パラメータは次のように計算します。

$$C_R = \frac{1}{2\pi \times Q_E \times f_0 \times R_E} = \frac{1}{2\pi \times 0.3 \times 100\text{kHz} \times 176.5\Omega} = 30.0\text{nF} \quad (15)$$

$$L_R = \frac{1}{(2\pi \times f_0)^2 \times C_R} = \frac{1}{(2\pi \times 100\text{kHz})^2 \times 30.0\text{nF}} = 84.4\mu\text{H} \quad (16)$$

$$L_M = L_N \times L_R = 6 \times 84.4\mu\text{H} = 506.4\mu\text{H} \quad (17)$$

予備パラメータを選択したら、最も近い実際の部品の値で利用できるものを見つけ、選択したパラメータでゲイン曲線を再確認し、時間ドメイン シミュレーションを実行して回路動作を検証します。

次の共振タンク パラメータは以下のとおりです。

$$C_R = 30\text{nF} \quad (18)$$

$$L_R = 85\mu\text{H} \quad (19)$$

$$L_M = 510\mu\text{H} \quad (20)$$

最終共振タンク パラメータに基づき、共振周波数は次のように計算できます。

$$f_0 = \frac{1}{2\pi\sqrt{L_R C_R}} = \frac{1}{2\pi\sqrt{30\text{nF} \times 85\mu\text{H}}} = 99.7\text{kHz} \quad (21)$$

新しい LLC ゲイン曲線に基づき、最大および最小ゲインでの正規化したスイッチング周波数は次のように求められます。

$$f_{N(\text{Mgmax})} = 0.7 \quad (22)$$

$$f_{N(\text{Mgmin})} = 1.0 \quad (23)$$

最大および最小スイッチング周波数は次のとおりです。

$$f_{\text{SW}(\text{Mgmax})} = 69.8\text{kHz} \quad (24)$$

$$f_{\text{SW}(\text{Mgmin})} = 99.7\text{kHz} \quad (25)$$

8.2.2.6 LLC の 1 次側の電流

コンポーネントを選択するために、1 次側電流を計算します。この電流は 110% の過負荷条件に基づいて計算します。

1 次側 RMS 負荷電流は次のとおりです。

$$I_{\text{OE}} = \frac{\pi}{2\sqrt{2}} \times \frac{I_o}{n} = \frac{\pi}{2\sqrt{2}} \times \frac{1.1 \times 15\text{A}}{16.5} = 1.111\text{A} \quad (26)$$

最小スイッチング周波数での RMS 磁化電流は次のとおりです。

$$I_M = \frac{2\sqrt{2}}{\pi} \times \frac{N_{\text{PS}} V_{\text{OUT}}}{\omega L_M} = \frac{2\sqrt{2}}{\pi} \times \frac{16.5 \times 12}{2\pi \times 64.8\text{kHz} \times 510\mu\text{H}} = 0.797\text{A} \quad (27)$$

共振タンクの総電流は次のとおりです。

$$I_R = \sqrt{I_M^2 + I_{\text{OE}}^2} = \sqrt{(1.111\text{A})^2 + (0.797\text{A})^2} = 1.367\text{A} \quad (28)$$

8.2.2.7 LLC の 2 次側の電流

2 次側の総 RMS 負荷電流は、1 次側電流 (I_{OE}) から 2 次側に換算した電流です。

$$I_{\text{OES}} = N_{\text{PS}} \times I_{\text{OE}} = 16.5 \times 1.111\text{A} = 18.327\text{A} \quad (29)$$

この設計では、トランスの 2 次側がセンタータップ構成になっています。各 2 次側トランス巻線の電流は次を使用して計算します。

$$I_{\text{WS}} = \frac{\sqrt{2} \times I_{\text{OES}}}{2} = \frac{\sqrt{2} \times 18.327\text{A}}{2} = 12.959\text{A} \quad (30)$$

該当する半波平均電流は次のとおりです。

$$I_{\text{SAV}} = \frac{\sqrt{2} \times I_{\text{OES}}}{\pi} = \frac{\sqrt{2} \times 18.327\text{A}}{\pi} = 8.250\text{A} \quad (31)$$

8.2.2.8 LLC トランス

HV セルフ スタートアップ機能を利用するには、バイアス巻線を使用する必要があります。VCC 電圧が 13V を上回るようにバイアス巻線を設計することをお勧めします。

変圧器は、以下の仕様で構築または購入できます。

- 巻数比: 1 次側: 2 次側: バイアス = 33: 2: 3

- 1 次端子電圧: $450V_{ac}$
- 1 次側磁化インダクタンス: $L_M = 510\mu H$
- 1 次側巻線定格電流: $I_R = 1.367A$
- 2 次端子電圧: $36V_{ac}$
- 2 次巻線定格電流: $I_{WS} = 12.959A$
- 最小スイッチング周波数: $69.8kHz$
- 最大スイッチング周波数: $99.7kHz$
- 1 次側と 2 次側の絶縁: IEC60950 強化絶縁

通常動作時の最小動作周波数は上記で計算されます。広い入力範囲の LLC として動作する一部のアプリケーションでは、スタンバイ モードで PFC がシャットオフされる可能性があるため、重負荷シャットダウン中は動作周波数が大幅に低下する可能性があります。LLC は ZCS 境界をわずかに上回る低い周波数で動作できます。共振回路、トランス、共振インダクタの磁性部品の定格は、この低い周波数で動作するようになっている必要があります。

8.2.2.9 LLC 共振インダクタ

共振インダクタの AC 電圧は、そのインピーダンスと電流を掛けた値で求められます。

$$V_{LR} = \omega L_R I_R = 2\pi \times 69.8kHz \times 85\mu H \times 1.367A = 50.946V \quad (32)$$

インダクタは、以下の仕様で構築または購入できます。

- インダクタンス: $L_R = 85\mu H$
- 定格電流: $I_R = 1.367A$
- 端子 AC 電圧: $50.946V$
- 周波数範囲: $69.8kHz \sim 99.7kHz$

一部の設計では、トランスの漏れインダクタンスを共振インダクタンスとして使用しており、外部共振インダクタを必要としない場合があることに注意してください。

8.2.2.10 LLC 共振コンデンサ

このコンデンサはスイッチング周波数でフル 1 次電流を伝導します。過熱を防止するため、散逸係数の小さいコンデンサを使用してください。

共振コンデンサの AC 電圧は、そのインピーダンスと電流を掛けた値になります。

$$V_{CR} = \frac{I_R}{\omega C_R} = \frac{1}{2\pi \times 69.8kHz \times 30nF} = 104.0V \quad (33)$$

$$V_{CR(rms)} = \sqrt{\left[\frac{V_{IN(max)}}{2}\right]^2 + V_{CR}^2} = \sqrt{\left[\frac{410}{2}\right]^2 + 104.0^2} = 229.9V \quad (34)$$

ピーク電圧:

$$V_{CR(peak)} = \frac{V_{IN(max)}}{2} + \sqrt{2}V_{CR} = \frac{410}{2} + \sqrt{2} \times 104.0 = 352.0V \quad (35)$$

谷電圧:

$$V_{CR(valley)} = \frac{V_{IN(max)}}{2} - \sqrt{2}V_{CR} = \frac{410}{2} - \sqrt{2} \times 104.0 = 58.0V \quad (36)$$

定格電流:

$$I_R = 1.367A \quad (37)$$

8.2.2.11 LLC の 1 次側 MOSFET

各 MOSFET は、入力電圧をそれぞれの最大印加電圧と認識します。次のように MOSFET の定格電圧は最大バルク電圧の 1.5 倍とします。

$$V_{QLLC(peak)} = 1.5 \times V_{IN(max)} = 615V \quad (38)$$

次のように MOSFET の定格電流は最大 1 次側 RMS 電流の 1.1 倍とします。

$$I_{QLLC} = 1.1 \times I_R = 1.504A \quad (39)$$

8.2.2.12 LLC 整流ダイオード

出力ダイオードの定格電圧は、次のとおりです。

$$V_{DB} = 1.2 \times \frac{V_{IN(max)}}{N_{PS}} = 1.2 \times \frac{410}{16.5} = 29.82V \quad (40)$$

出力ダイオードの定格電流は、次のとおりです。

$$I_{SAV} = \frac{\sqrt{2} \times I_{OES}}{\pi} = \frac{\sqrt{2} \times 18.329}{\pi} = 8.250A \quad (41)$$

8.2.2.13 LLC 出力コンデンサ

LLC コンバータトポロジは出力フィルタを必要としませんが、小型の 2 次段フィルタ インダクタはピーク ツー ピーク出力ノイズを低減するために役立ちます。出力コンデンサが整流器の全波出力電流を担うと仮定すると、コンデンサの定格リップル電流は次のとおりです。

$$I_{RECT} = \frac{\pi}{2\sqrt{2}} I_{OUT} = \frac{\pi}{2\sqrt{2}} \times 15 = 16.66A \quad (42)$$

12V の出力電圧に対して定格 20V を採用します。

$$V_{LLCcap} = 20V \quad (43)$$

コンデンサの RMS 電流定格は次のとおりです。

$$I_{C(out)} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} \times I_{OUT}\right)^2 - I_{OUT}^2} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} \times 15\right)^2 - 15^2} = 7.251A \quad (44)$$

$$(45)$$

導電性高分子技術を採用した固体アルミニウム コンデンサは、定格リップル電流が高いため、特に設計がより低い温度で動作する必要がある場合には、良い選択肢となります。1 つのコンデンサの定格リップル電流では十分でないため、多くの場合、複数のコンデンサを並列接続します。

LLC 段の出力時のリップル電圧は、コンデンサに流れる AC 電流量の関数です。この電圧を推計するため、負荷の DC 電流を含むすべての電流がフィルタ コンデンサに流れるものと仮定します。

$$ESR_{max} = \frac{V_{OUT(pk-pk)}}{I_{RECT(pk)}} = \frac{0.12V}{\frac{2\pi}{4} \times 15A} = 5.1m\Omega \quad (46)$$

コンデンサの仕様は次のとおりです。

- 定格電圧: 20V
- 定格リップル電流: 7.251A

- ESR: < 5.1mΩ

8.2.2.14 HV ピン直列抵抗

HV ピンに複数の抵抗を直列に接続することで、UCC25640x デバイスの消費電力を制限できます。推奨する HV ピン直列抵抗は 5kΩ です。

8.2.2.15 BLK ピン分圧器

BLK ピンは LLC 入力電圧を検出して、LLC コンバータをオンまたはオフにするタイミングを決定します。UCC25640x のバージョンによって、さまざまな BLK スレッシュホールドが存在します。

365V でのバルク スタートアップ電圧を選択し、BLK 抵抗デバイダ比を以下のように計算します。

$$k_{\text{BLK}} = \frac{365\text{V}}{1\text{V}} = 365 \quad (47)$$

BLK ピン分圧抵抗の望ましい消費電力は $P_{\text{BLKsns}} = 10\text{mW}$ です。BLK の合計センス抵抗値は次のとおりです。

$$R_{\text{BLKsns}} = \frac{V_{\text{IN(nom)}}^2}{P_{\text{BLKsns}}} = \frac{390^2}{0.01} = 15.21\text{M}\Omega \quad (48)$$

下側の BLK 分圧抵抗値は次のとおりです。

$$R_{\text{BLKlower}} = \frac{R_{\text{BLKsns}}}{k_{\text{BLK}}} = \frac{15.21\text{M}\Omega}{365} = 41.67\text{k}\Omega \quad (49)$$

R_{BLKlower} には 41.2kΩ の標準値が選択されます。上側の BLK 分圧抵抗値は次のとおりです。

$$R_{\text{BLKupper}} = R_{\text{BLKsns}} - R_{\text{BLKlower}} = 15.17\text{M}\Omega \quad (50)$$

R_{BLKupper} には直列の標準値 3x 4.99MΩ が選択されます。実際のバルク電圧スレッシュホールドは次のように計算します。

$$V_{\text{BulkStart}} = 365\text{V} \quad (51)$$

$$V_{\text{BulkStart}} = 365\text{V} \times \frac{0.9}{1} - 328.5\text{V} \quad (52)$$

8.2.2.16 ISNS ピン微分器

ISNS ピンは過電流保護レベルを設定します。OCP1 はピーク電流保護レベルであり、OCP2 と OCP3 は平均電流保護レベルです。通常のスレッシュホールド電圧はそれぞれ 4.0V、0.6V、0.43V です。

OCP3 レベルを全負荷時の 130% に設定します。したがって、全負荷時に検出される平均入力電流レベルは次のようになります。

$$V_{\text{ISNSfullload}} = \frac{0.43\text{V}}{130\%} = 0.331\text{V} \quad (53)$$

電流センス比を計算します。

$$k_{\text{ISNS}} = \frac{V_{\text{ISNSfullload}}}{\left(\frac{P_{\text{OUT}}}{\eta} \times \frac{1}{V_{\text{bulknom}}}\right)} = \frac{0.331\text{V}}{\left(\frac{180\text{W}}{0.92} \times \frac{1}{390\text{V}}\right)} = 0.66\Omega \quad (54)$$

抵抗に比べて高電圧コンデンサの選択肢は少ないため、まず電流検出コンデンサを選定します。

$$C_{\text{ISNS}} = 150\text{pF} \quad (55)$$

それから必要な ISNS 抵抗値を計算します。

$$R_{ISNS} = \frac{k_{ISNS} C_r}{C_{ISNS}} = \frac{0.66\Omega \times 30nF}{150pF} = 132\Omega \quad (56)$$

電流センス比を決定した後、全負荷時のピーク ISNS ピン電圧を計算します。

$$V_{ISNSpeak} = \sqrt{2} I_r \times k_{ISNS} = \sqrt{2} \times 1.367A \times 0.66\Omega = 1.29V \quad (57)$$

OCP1 レベルでのピーク共振電流は次のようになります。

$$I_{respeakOCP1} = \frac{4V \times C_R}{R_{ISNS} \times C_{ISNS}} = \frac{4V \times 30nF}{133\Omega \times 150pF} = 6.02A \quad (58)$$

OCP1 レベルでのピーク 2 次側電流は次の式で求められます。

$$I_{secpeakOCP1} = I_{respeakOCP1} \times N_{PS} = 6.02A \times 16.5 = 99.33A \quad (59)$$

8.2.2.17 VCR ピン コンデンサ分圧器

VCR ピンのコンデンサ分圧器により、次の 2 つのパラメータを設定します。(1) 共振コンデンサ電圧の分圧比 (2) 追加する周波数補償の量コンデンサ分圧器が満たすべき第一の基準は、過負荷条件下で VCR ピンのピーク ツー ピーク電圧が 6V 以内であることです。VCR 容量のサイズは、全負荷時の合計ピーク ツー ピーク電圧が 3V から 4.5V までとなるように決定することを推奨します。また、周波数補償ランプによって 1V から 2V までが VCR の合計ピーク ツー ピーク電圧に寄与します。この設計では、全負荷時の最大ピーク ツー ピーク電圧が約 4.25V となるように VCR ピン容量を選択し、内部ランプで合計 VCR 波形に 1.75V を寄与します。

共振コンデンサのピーク ツー ピーク電圧と予測される最小スイッチング周波数から、必要な VCR 容量を直接計算します。

$$V_{CR(pk-pk)} = V_{CR(peak)} - V_{CR(valley)} = 352V - 58V = 294V \quad (60)$$

予測されるピーク ツー ピーク共振コンデンサ電圧に基づいて、必要なコンデンサ分圧比を導き出します。

$$k_{CapDiv} = \frac{V_{CR(pk-pk)}}{V_{VCRpin(pk-pk)} - V_{Ramp(pk-pk)}} = \frac{294V}{4.25V - 1.75V} = 117.6 \quad (61)$$

期待される最小スイッチング周波数から、低い VCR 静電容量を導き出します。

$$C_{VCRlower} = \frac{1}{V_{Ramp(pk-pk)}} \times \frac{I_{Ramp}}{2 \times F_{SW_min}} = \frac{1}{1.75V} \times \frac{2mA}{2 \times 69.8kHz} = 8.2nF \quad (62)$$

下位の VCR コンデンサに対しては、標準値 8.2nF が選択されます。選択した下側の VCR コンデンサおよび計算した分圧比から、上側の VCR 容量は次のようになります。

$$C_{VCRupper} = \frac{C_{VCRlower}}{k_{CapDiv} - 1} = \frac{8.2nF}{117.6 - 1} = 70.6pF \quad (63)$$

上側の VCR コンデンサに対しては標準値 68pF が選択されます。選択した上側および下側の VCR コンデンサから、VCR ピン上の実際のピーク ツー ピーク電圧を計算します。

$$k_{CapDiv} = \frac{C_{VCRlower}}{C_{VCRupper}} + 1 = \frac{8.2nF}{68pF} + 1 = 121.59 \quad (64)$$

$$V_{VCRpin(pk-pk)} = \frac{1}{C_{VCRlower}} \times \frac{I_{Ramp}}{2 \times F_{SW}(Mgmin)} + \frac{V_{CR(pk-pk)}}{k_{CapDiv}} \quad (65)$$

$$= \frac{1}{8.2nF} \times \frac{2mA}{2 \times 69.8kHz} + \frac{294V}{121.59} = 4.17V$$

8.2.2.18 BW ピン分圧器

BW ピンは、バースト モード開始スレッショルドと終了スレッショルド間の比率をプログラムするとともに、バイアス巻線を介して出力電圧を検出し、過電圧から電力段を保護します。デフォルトの公称出力電圧は **12V** です。バイアス巻線は **3** 巻で、2 次側巻線は **2** 巻です。整流ダイオード (Vf) で **0.5V** の降下があり、他の損失 (Vloss) によりさらに **0.5V** の降下があると仮定すると、バイアス巻線の公称電圧は次の式で求められます。

$$V_{BiasWindingNom} = (12V + 0.5V + 0.5V) \times \frac{3}{2} = 19.5 \quad (66)$$

この設計に望ましい OVP スレッショルドは、公称値の **140%** です。UCC25640x デバイスの OVP スレッショルドレベルは **4V** であるため、BW ピンの公称電圧は次の式で求められます。

$$V_{BWNom} = \frac{4V}{140\%} = 2.86V \quad (67)$$

その後、必要な BW 分圧比は次の式で求められます。

$$k_{BW} = \frac{V_{BiasWindingNom} \times \eta_{OVP}}{V_{BW0VP}} = \frac{19.5V \times 140\%}{4V} = 6.825 \quad (68)$$

この設計では、バースト モード スレッショルド比を **0.6** (オプション 6) になるように選択します。そのため、目標プログラミング抵抗は次のようになります。

$$R_{BMT_Program} = 4.59k\Omega \quad (69)$$

下側の BW 抵抗は次のように計算できます。

$$R_{BWLower} = R_{BMT_Program} \times \left(1 + \frac{1}{k_{BW} - 1}\right) = 4.59k\Omega \times \left(1 + \frac{1}{6.825 - 1}\right) = 5.38k\Omega \quad (70)$$

下側の BW 抵抗に対しては標準値 **5.36kΩ** が選択されます。

上側抵抗を計算します。

$$R_{BWUpper} = R_{BWLower} \times \left(\frac{V_{BiasWindingNom} - V_{BWNom}}{V_{BWNom}}\right) \quad (71)$$

$$= 5.36k\Omega \times \left(\frac{19.5V - 2.86V}{2.86V}\right) = 31.32k\Omega$$

上側の BW 抵抗に対しては標準値 **30.9kΩ** が選択されます。

8.2.2.19 ソフトスタートおよびバースト モードのプログラミング

LL/SS ピンおよび BW ピンを使用して、設計者はバースト モード スレッショルドを選択し、またバースト モードを開始および終了させるヒステリシスをプログラムできます。LL/SS ピンに接続される抵抗デバイダによって BMT_H スレッショルドが設定され、BW ピンで BMT_L と BMT_H の比が設定されます。バースト モード スレッショルドのプログラミングに加えて、LL/SS ピンでは初期電圧をプログラムして LL/SS ピンに組み込み、スタートアップ時の最大スイッチング周波数を制限できます。LL/SS 部品を最初を選択する際は、LL/SS ピンの初期電圧を **0V ~ 1V** の範囲で選択し、**1V ~ 2V** のバースト モード スレッショルドを選択することを推奨します。LL/SS ピンのパラメータは、ベンチ測定に基づいて後から微調整できます。

この設計では、初期 LL/SS ピン電圧には 0.3V、BMT_H スレッシュホールドには 0.6V が選択されています。ソフト スタート コンデンサでは、ソフト スタート コンデンサにかかる電圧の上昇速度が設定されます。ソフト スタート時間は負荷条件によって変化します。全負荷または過負荷条件では、ソフト スタート時間が最長になります。ソフト スタート時間の正確な値を簡単に計算することはできません。ただし、全負荷状況では、ソフト スタートピンの電圧が最大 VCR ピーク ツー ピーク電圧までの上昇速度によって、可能な限り最長のソフト スタート時間が決定されることが推定できます。スタートアップ時間が 7.5ms の場合、ソフト スタート コンデンサのサイズは次のようになります。

$$C_{LL/SS} = I_{SS} \times \frac{T_{SS_Max}}{V_{VCR(pk-pk)} - V_{LL/SS_precharge}} = 37.5\mu A \times \frac{7.5ms}{4.17V - 0.3V} = 72.7nF \quad (72)$$

ソフト スタート コンデンサには標準値 68nF が選択されます。LL/SS の抵抗を適切に選択するには、まず LL/SS ピンの等価抵抗として R_{TH} を、LL/SS ピンの等価電圧源として V_{TH} を定義します。

$$R_{TH} = R_{LL/SS_Upper} \parallel R_{LL/SS_Lower} \quad (73)$$

$$V_{TH} = \frac{R_{TH} \times RVCC}{R_{LL/SS_Upper}} \quad (74)$$

SS のブル Low フェーズ中、LL/SS ピンの電圧は 1.2kΩ 抵抗を介して内部的にプルダウンされます。SS の初期プログラム フェーズ中、内部プルダウンが解除され、ソフト スタート コンデンサは RVCC から自然に充電されます。次の式を使用して、LL/SS ソフト スタート コンデンサの合計電圧オフセットを計算します。

$$V_{ssinit} = \frac{1.2k\Omega \times RVCC}{R_{LL/SS_Upper}} + V_{TH} \left[1 - e^{\left(\frac{-t_{SSInitPrgm}}{C_{SS}} \right)} \right] \quad (75)$$

RVCC/R_{LL/SS_Upper} に代入し、指数項の線形近似を使用すると、式を次のように単純化できます。

$$V_{ssinit} = \frac{1.2k\Omega \times V_{TH}}{R_{TH}} + \frac{V_{TH} \times t_{SSInitVolPrgm}}{R_{TH} \times C_{SS}} \quad (76)$$

LL/SS ピンで BMT_H および I_{BMT} をプログラムするために使用する電流は、次のような関係にあります。I_{BMT} は、目的の BMT_H スレッシュホールドに基づいて直接解くことができます。

$$I_{BMT} = \frac{BMT_H}{R_{LL}} = \frac{0.6V}{98k\Omega} = 6.12\mu A \quad (77)$$

$$I_{BMT} = \frac{V_{TH} - 3.5V}{R_{TH}} \quad (78)$$

式 76 を再整理し、V_{TH} および R_{TH} を計算します。

$$V_{TH} = \frac{3.5V}{1 - \frac{I_{BMT}}{V_{ssinit}} \left(1.2k\Omega + \frac{t_{SSInitVolPrgm}}{C_{SS}} \right)} \quad (79)$$

$$= \frac{3.5V}{1 - \frac{6.12\mu A}{0.3V} \left(1.2k\Omega + \frac{776\mu s}{68nF} \right)} = 4.71V$$

$$R_{TH} = \frac{4.71V - 3.5V}{I_{BMT}} = 197k\Omega \quad (80)$$

V_{TH} および R_{TH} から、R_{LL/SS_Upper} および R_{LL/SS_Lower} の値を決定します。

$$R_{LL/SS_Upper} = \frac{R_{TH} \times RVCC}{V_{TH}} = \frac{197k\Omega \times 13V}{4.71V} = 544k\Omega \quad (81)$$

R_{LL/SS_Upper} には標準値 549k Ω が選択されます。

$$R_{LL/SS_Lower} = \frac{R_{TH} \times R_{LL/SS_Upper}}{R_{LL/SS_Upper} - R_{TH}} = \frac{197k\Omega \times 549k\Omega}{549k\Omega - 197k\Omega} = 307k\Omega \quad (82)$$

R_{LL/SS_Lower} には標準値 316k Ω が選択されます。

8.2.3 アプリケーション曲線

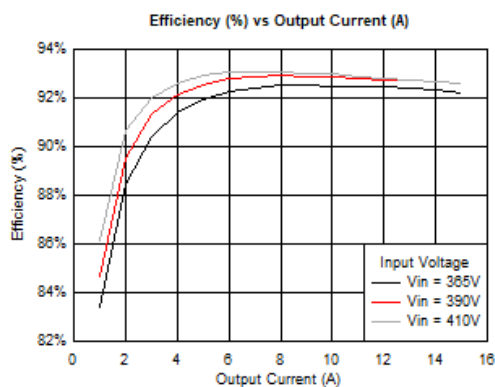


図 8-2. 効率

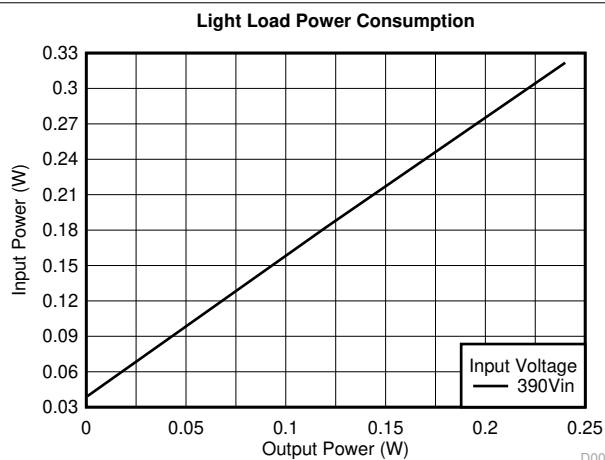


図 8-3. 軽負荷時の消費電力

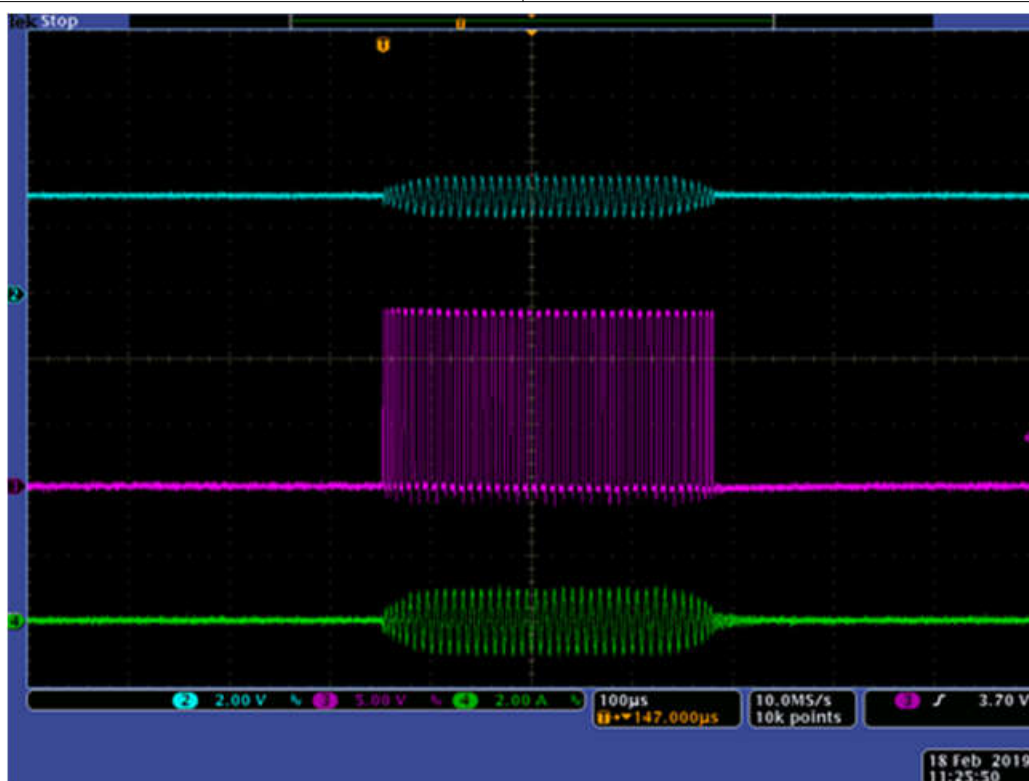


図 8-4. ソフト オン / オフ付きバースト モード (Ch2 = VCR、Ch3 = LO、Ch4 = 共振電流)

8.3 電源に関する推奨事項

8.3.1 VCC ピン コンデンサ

システムが必要とする合計スタートアップ充電量に基づき、VCC コンデンサのサイズを決定します。スタートアップ電荷は、ほとんどゲートドライバ回路によって消費されます。そのため、スタートアップ スイッチング周波数、MOSFET ゲート電荷、ソフト スタート時間により、総スタートアップ電荷を推定できます。

システムに必要な合計スタートアップ充電が式 83 であると仮定します

$$Q_{\text{tot}} = 1.6\text{mC} \quad (83)$$

PFC および LLC スタートアップ フェーズ中、許容される最大 VCC 電圧降下は次のとおりです

$$V_{\text{ccdropmax}} = 26\text{V} - 9.65\text{V} = 16.35\text{V} \quad (84)$$

必要な最小 VCC コンデンサは以下のとおりです。

$$C_{\text{VCC}} = \frac{Q_{\text{tot}}}{V_{\text{ccdropmax}}} = 97.86\mu\text{F} \quad (85)$$

少なくとも 1 個の 100μF コンデンサ、または複数のコンデンサの組み合わせを選択します。

8.3.2 ブート・コンデンサ

バースト オフ期間中は、HB ピンからハイサイド ゲートドライバが消費する電力を C_{BOOT} から引き出す必要があるため、電圧が減衰することになります。次のバースト期間の開始時には、ハイサイド ゲートドライバを駆動するのに十分な電圧が、LO の導通期間に C_{RVCC} から補充されるまで C_{BOOT} に残っていなければなりません。したがって、このバースト オフ期間中にハイサイドドライバが消費する電力は、HB および RVCC に接続する必要があるコンデンサのサイズとコストに直接影響します。

システムの最大バースト オフ期間が 150ms で、ブートストラップ ダイオードの順方向電圧降下が 1V と仮定します。UVLO フォールトを防止するため、8V の最小ブートストラップ電圧を目標とします。ブート コンデンサの最大許容電圧降下は次のとおりです。

$$V_{\text{bootmaxdrop}} = V_{\text{RVCC}} - V_{\text{bootforwarddrop}} - 8\text{V} = 13\text{V} - 1\text{V} - 8\text{V} = 4\text{V} \quad (86)$$

次のようにブート コンデンサのサイズを決定します。

$$C_{\text{boot}} = \frac{I_{\text{BOOT_QUIESCENT}} \times t_{\text{maxoff}}}{V_{\text{bootforwarddrop}}} = \frac{62\mu\text{A} \times 150\text{ms}}{4\text{V}} = 2.32\mu\text{F} \quad (87)$$

8.3.3 RVCC ピン コンデンサ

RVCC コンデンサも、ブート コンデンサの 5 倍以上の大きさにする必要があります。また、RVCC コンデンサのサイズは、RVCC LDO の安定性に依存します。RVCC で負荷が軽い場合は、より小さいコンデンサを使用できます。負荷が大きいほど、必要なコンデンサは大きくなります。標準的なシステムでは、RVCC LDO が PFC および LLC ゲートドライバを駆動します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- エネルギー蓄積電解コンデンサに加えて、2.2μF セラミック コンデンサを VCC ピンに装着します。2.2μF セラミック コンデンサは、VCC ピンのできるだけ近くに配置します。

- RVCC ピンには $4.7\mu\text{F}$ 以上のバイパス コンデンサが必要です。 $4.7\mu\text{F}$ に加えて、 $0.1\mu\text{F}$ セラミック コンデンサを追加することを推奨します。コンデンサを RVCC ピンのできるだけ近くに配置します。RVCC コンデンサは、ブートコンデンサの少なくとも 5 倍のサイズにすることを推奨します。
- 推奨される最小ブートコンデンサ C_{BOOT} は $0.1\mu\text{F}$ です。ブートコンデンサの最小値は、最小バースト周波数によって決定する必要があります。ブートコンデンサは、最も低いバースト周波数の間、ブートストラップ電圧を保持できるだけの大きさを備えている必要があります。電気的特性表のブートリーク電流を参照してください。
- 信号グランドと電源グランドは、シングルポイント接続する必要があります。LLC 入力バルク キャパシタの負端子に接続するため、電源グランドを推奨します。
- ISNS および BLK 用のフィルタリング コンデンサは、ピンのできるだけ近くに配置します。
- VCR のボトム コンデンサは VCR ピンのできるだけ近くに配置します。
- FB パターンはできるだけ短くします
- ソフト スタート コンデンサは LL/SS ピンのできるだけ近くに配置します
- 歪みを小さくするために、VCR デバイダおよび ISNS コンデンサにはフィルム コンデンサまたは C0G (NP0) セラミック コンデンサを使用します
- バイアス巻線波形の高いスパイクを除去するために、必要なフィルタリング コンデンサを BW ピンに追加します。ローサイド ターンオフ エッジでは、内部で信号がピーク検出され、サンプリングされるため、高いスパイクを除去することが重要です。
- 必要な高電圧空間距離と沿面距離を確保します。
- HV ピンに 2kV の HBM ESD 定格が必要な場合は、最大 2kV の HBM ESD に合格するために、HV ピンとグランドの間に 100pF のコンデンサを配置します。

8.4.2 レイアウト例

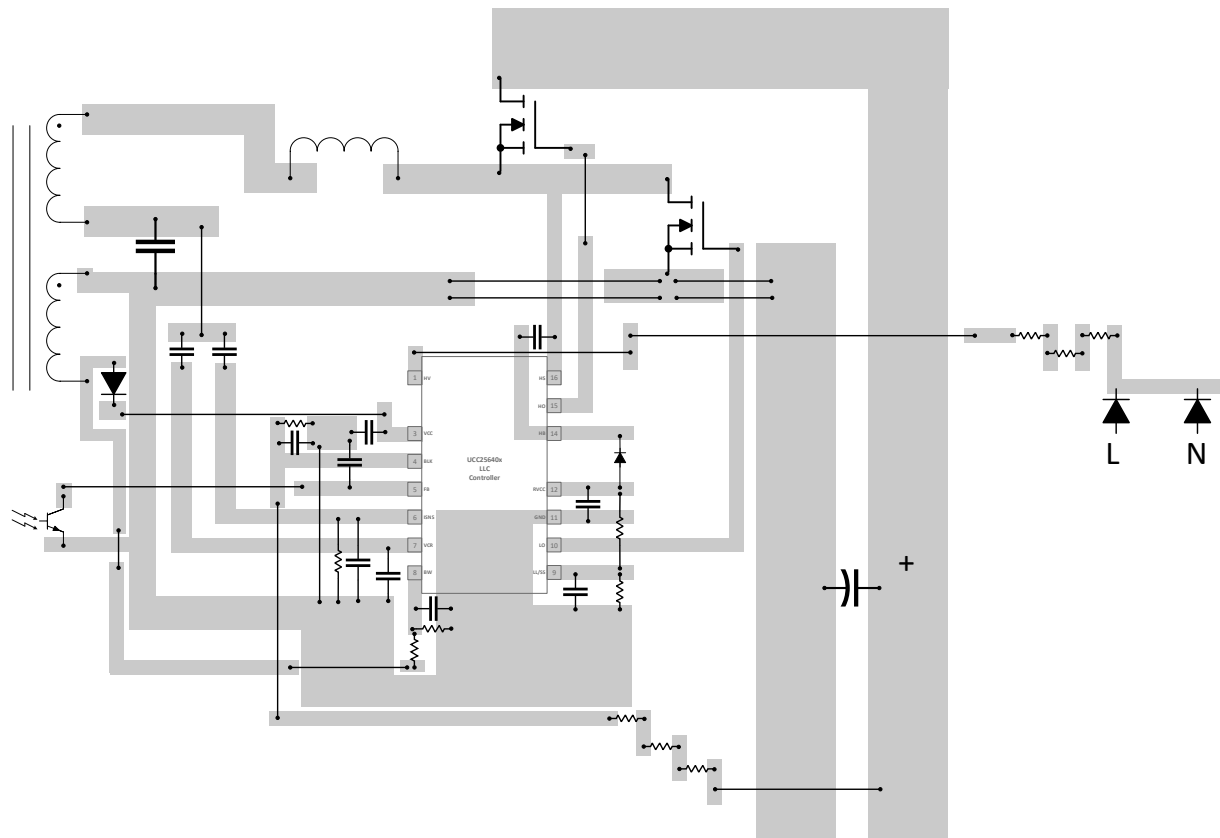


図 8-5. 単層 PCB のレイアウト例

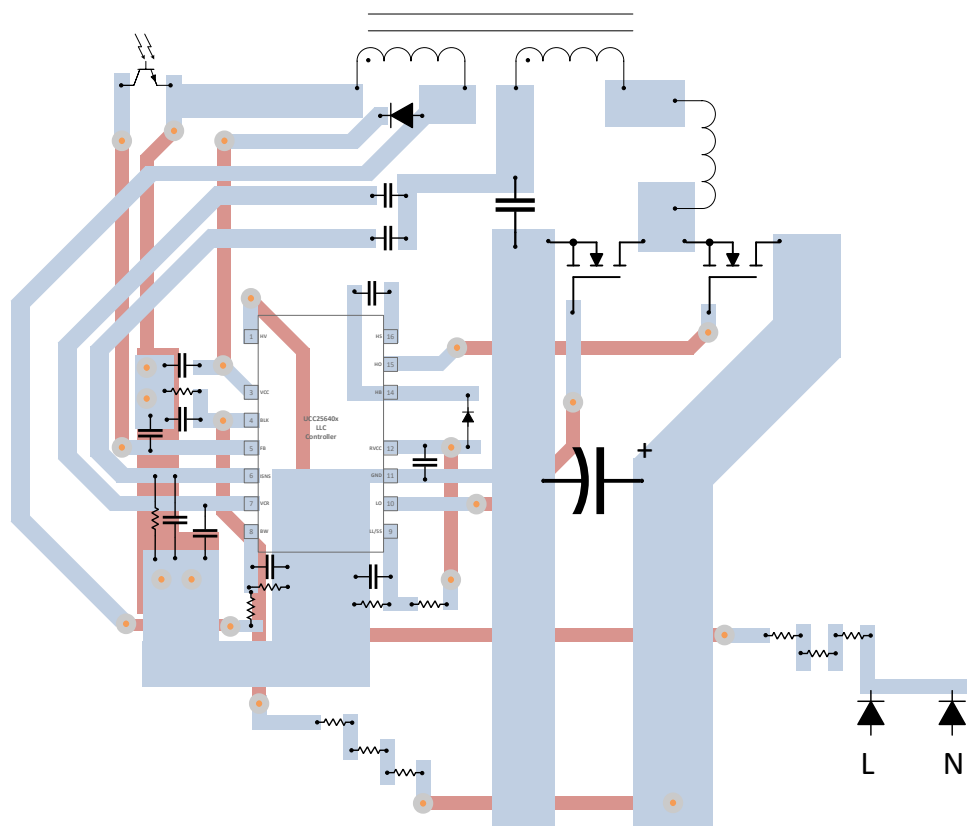


図 8-6. 2 層 PCB のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- 設計用スプレッド シート、『UCC25640x 設計用カリキュレータ』
- ユーザー ガイド、『UCC25640EVM-020 の使用法』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (February 2021) to Revision F (August 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision D (September 2020) to Revision E (February 2021)	Page
• 「絶対最大定格 HV、HB 入力電圧」を 640V から最大 700V に更新。.....	7

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC256402ADDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402A
UCC256402ADDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402A
UCC256402ADDBT	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402A
UCC256402ADDBT.B	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402A
UCC256402DDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402
UCC256402DDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402
UCC256402DDBT	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402
UCC256402DDBT.B	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256402
UCC256403ADDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403A
UCC256403ADDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403A
UCC256403DDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403
UCC256403DDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403
UCC256403DDBT	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403
UCC256403DDBT.B	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256403
UCC256404ADDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404A
UCC256404ADDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404A
UCC256404ADDBT	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404A
UCC256404ADDBT.B	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404A
UCC256404BDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404B
UCC256404BDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404B
UCC256404DDBR	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404
UCC256404DDBR.B	Active	Production	SOIC (DDB) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404
UCC256404DDBT	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404
UCC256404DDBT.B	Active	Production	SOIC (DDB) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256404

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

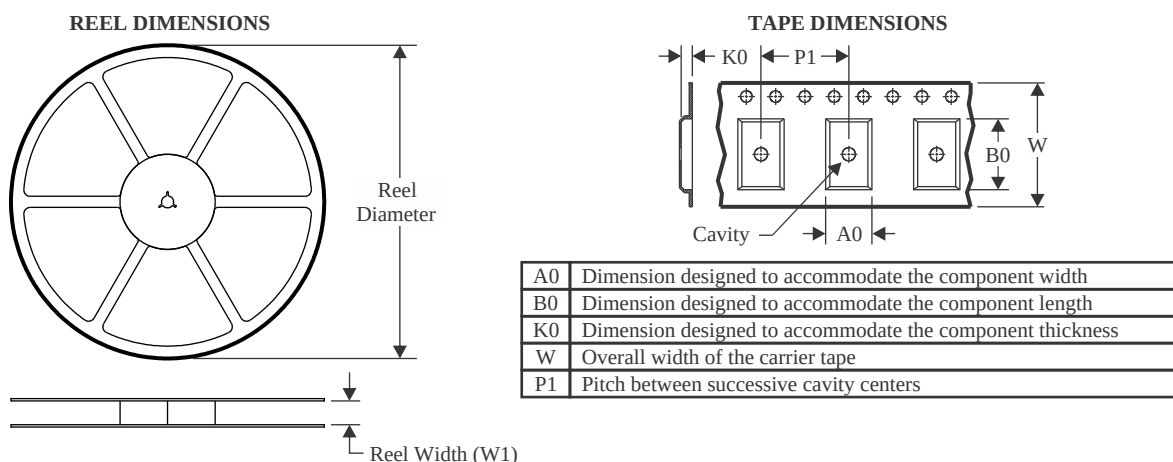
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

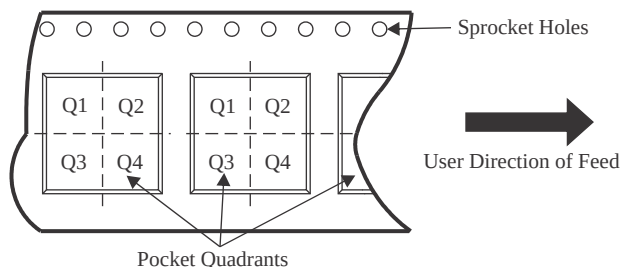
Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



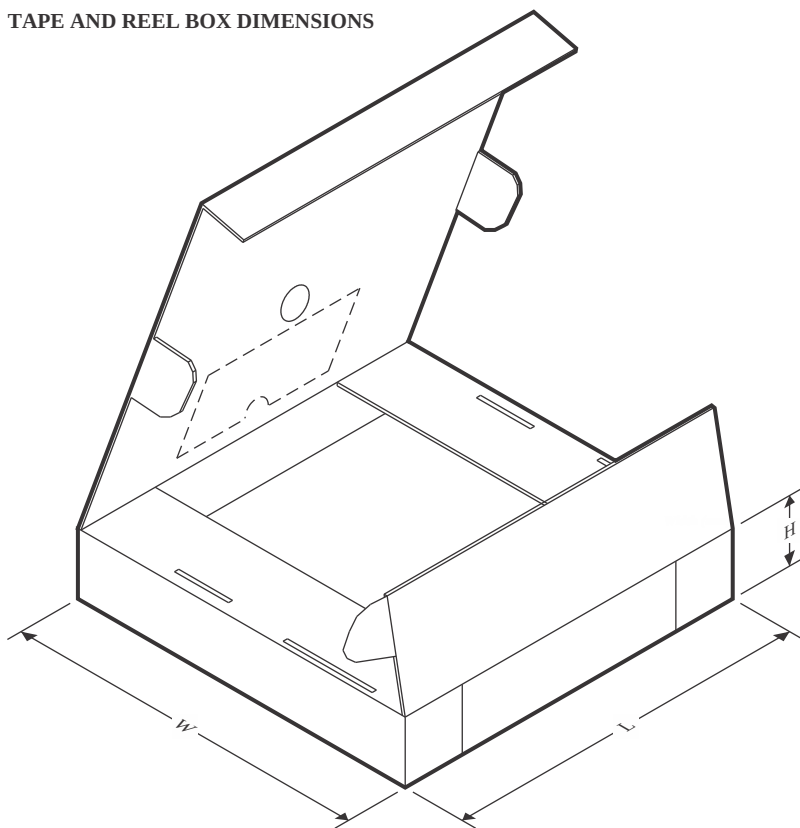
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

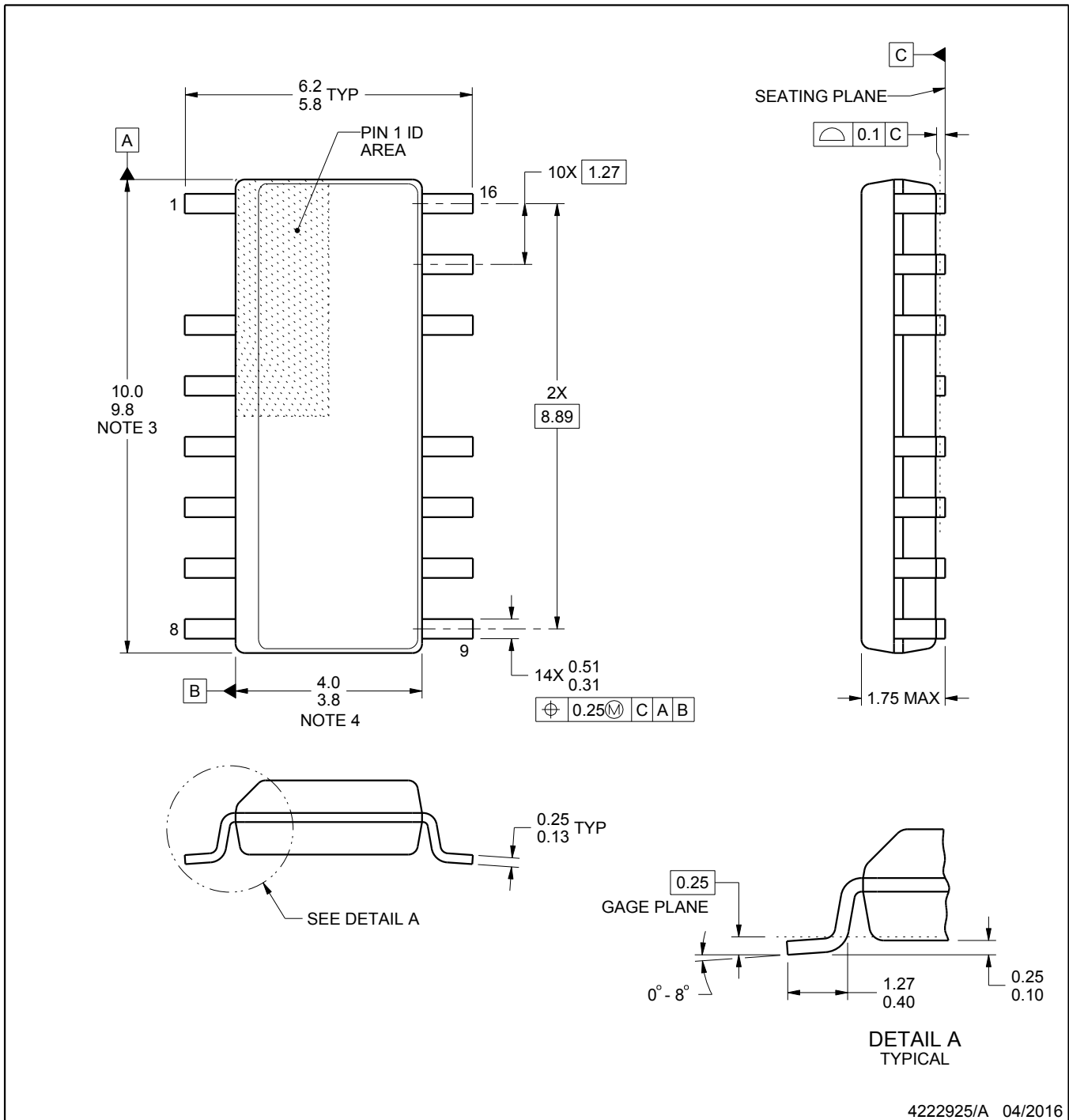
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC256402ADDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256402ADDBT	SOIC	DDB	14	250	180.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256402DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256402DDBT	SOIC	DDB	14	250	180.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256403ADDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256403DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256403DDBT	SOIC	DDB	14	250	180.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256404ADDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256404ADDBT	SOIC	DDB	14	250	180.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256404BDDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256404DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256404DDBT	SOIC	DDB	14	250	180.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC256402ADDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256402ADDBT	SOIC	DDB	14	250	213.0	191.0	35.0
UCC256402DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256402DDBT	SOIC	DDB	14	250	213.0	191.0	35.0
UCC256403ADDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256403DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256403DDBT	SOIC	DDB	14	250	213.0	191.0	35.0
UCC256404ADDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256404ADDBT	SOIC	DDB	14	250	213.0	191.0	35.0
UCC256404BDDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256404DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256404DDBT	SOIC	DDB	14	250	213.0	191.0	35.0



NOTES:

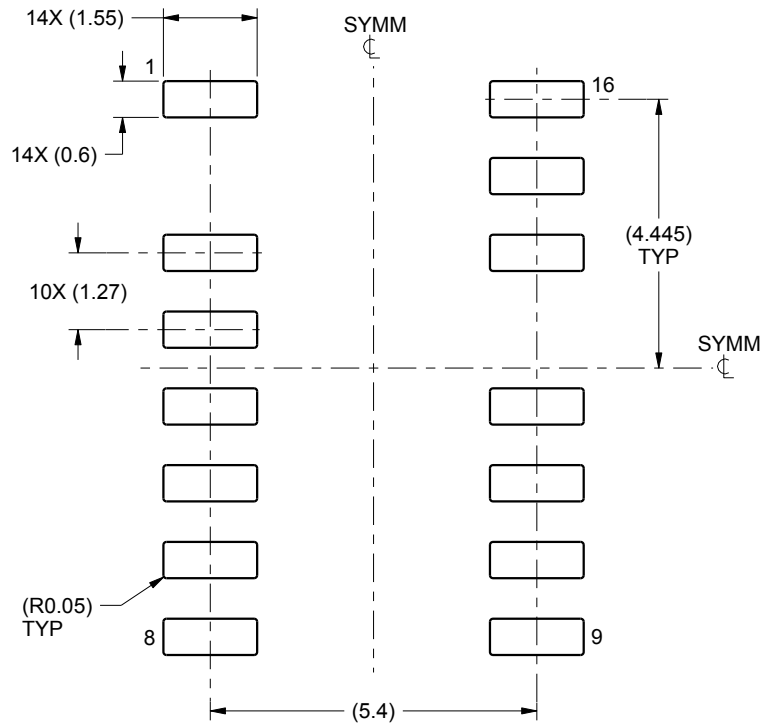
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-012, variation AC.

EXAMPLE BOARD LAYOUT

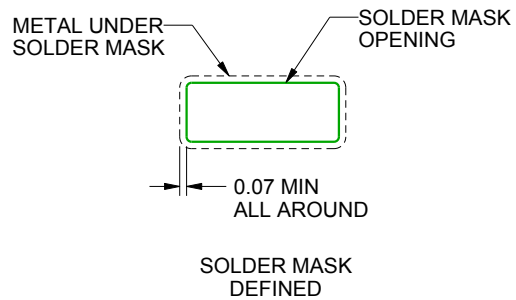
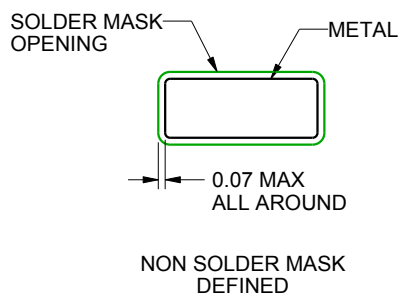
DDB0014A

SOIC - 1.75 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4222925/A 04/2016

NOTES: (continued)

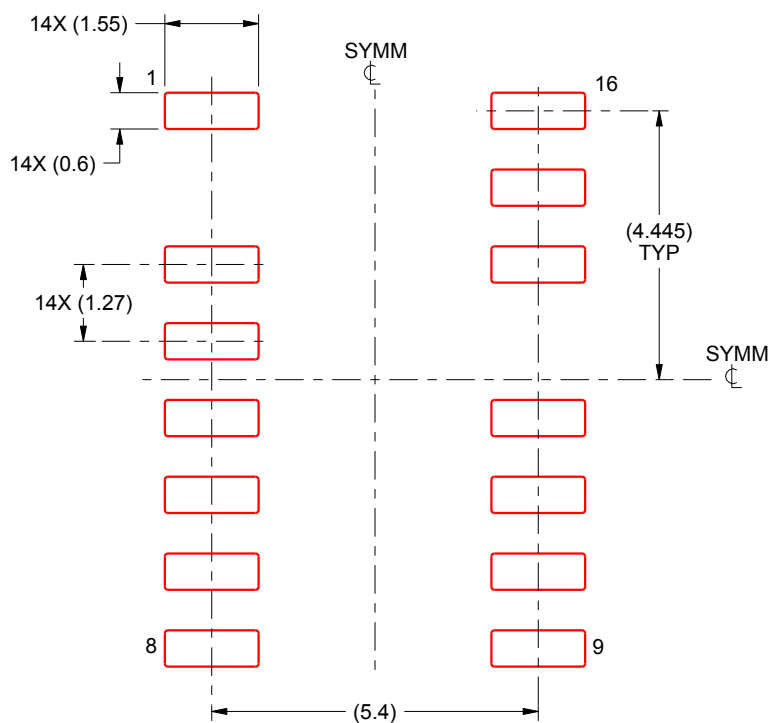
6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DDB0014A

SOIC - 1.75 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222925/A 04/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月