UCC25661x ファミリ 軽負荷時の効率が最適化され、V_{IN}/V_{OUT} 範囲が広い 750kHz LLC コントローラ

1 特長

- 全負荷スイッチング周波数:50kHz ～ 750kHz
- 広範囲 LLC のための入力電力比例制御 (IPPC)
- 軽負荷管理の拡張機能 (スタンバイ消費電力と可聴ノイズ):
  - 高周波と可聴周波数のパルス スキップ
  - 低周波数バースト (UCC256616 を除くすべて)
  - PFC オン / オフを内蔵 (UCC256614)
  - バースト モードのソフト イン / アウト (UCC256610)
- 内蔵共振コンデンサ電圧シンセサイザによる、信号の信頼性と高周波起動の実現
- 容量性領域動作を排除するためのゼロ電流スイッチング (ZCS) 回避
- 適応型ソフト スタートにより突入電流を最小限に抑え、スタートアップ時の逆回復が不要
- 内蔵ゲートドライブ:+0.6/-1.2A
- 統合型高電圧起動 (UCC256613 を除く UCC25661x ファミリ)
- X コンデンサの放電 (UCC256610、UCC256611、UCC256614)
- 拡張ゲイン範囲 (UCC256610 および UCC256614)
- 50ns の過電流保護 (OCP)、サイクルごとの電流制限
- 過電圧保護 (OVP)、OVP ラッチ (UCC256611 および UCC256616)
- 内部および外部 OTP
- 19V VCCP クランプを内蔵した入力および VCCP UVLO
- 独立して構成された OCP および過負荷保護機能 (OLP/OPP) (UCC256616 を除く UCC25661x ファミリ)
- 高電圧部の間隔を確保するためにピンを削除した SOIC-14 パッケージ

2 アプリケーション

- テレビ向け SMPS 電源
- 産業用 AC/DC アダプタ
- 電動工具
- 医療用電源
- マルチファンクション プリンタ
- エンタープライズ/シネマ プロジェクタ
- PC 電源
- ゲーム コンソール電源
- 照明器具

3 説明

UCC25661x ファミリは、強化された軽負荷管理機能と複数の保護機能に加えて、入力電力比例制御 (IPPC) 方式を実装した高周波数 LLC コントローラです。IPPC は LLC コンバータの制御範囲を拡大し、LED ドライバやバッテリ充電器など、入力または出力電圧範囲が広いアプリケーションの設計を簡素化します。IPPC は、非ユニバーサル入力アプリケーションでは、PFC を使わなくても動作させることができます。

UCC25661x ファミリの強化された軽負荷管理機能は、可聴ノイズを最小限に抑えながら、効率を改善します。バースト モードで動作する場合、スタンバイ消費電力を最小化するため、UCC25661x ファミリは PFC コントローラを直接無効化できます。

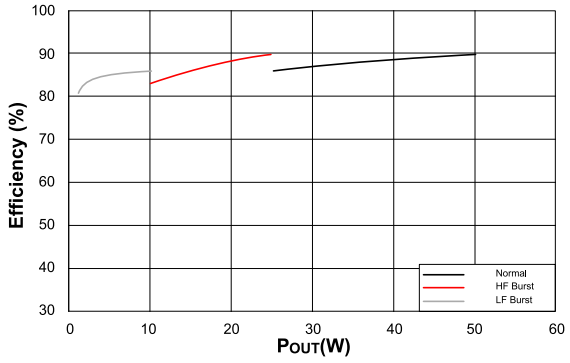
適応型ソフトスタートおよび逆方向回復回避方式に加えて、自動容量性領域回避方式により、FET を損傷させる可能性があるモードで本デバイスが動作しないことが検証されます。容量性領域の自動回避方式により、本コントローラはプリバイアスされた負荷を使用した動作に適しています。

UCC25661x ファミリは、信頼性の高い電源の設計に役立つ堅牢な保護機能を備えています。UCC25661x ファミリには、高電圧での起動、X コンデンサ (X-cap) の放電、OVP、拡張ゲイン範囲 (EGR) をサポートするオプションがあります。「デバイス比較表」で詳細を参照してください。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
UCC25661x ファミリ	DDB (SOIC、16)	9.9mm × 3.9mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的な効率曲線

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....7
6.6 スイッチング特性.....11
6.7 代表的特性.....13
7 詳細説明.....17
7.1 概要.....17
7.2 機能ブロック図.....19
7.3 機能説明.....19
7.4 保護.....29
7.5 デバイスの機能モード.....32
8 アプリケーションと実装.....43
8.1 使用上の注意.....43
8.2 代表的なアプリケーション.....43
8.3 電源に関する推奨事項.....55
8.4 レイアウト.....56
9 デバイスおよびドキュメントのサポート.....60
9.1 ドキュメントのサポート.....60
9.2 ドキュメントの更新通知を受け取る方法.....60
9.3 サポート・リソース.....60
9.4 商標.....60
9.5 静電気放電に関する注意事項.....60
9.6 用語集.....60
10 改訂履歴.....60
11 メカニカル、パッケージ、および注文情報.....62
11.1 メカニカル データ.....64

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

機能	UCC256610	UCC256611	UCC256612	UCC256613	UCC256614	UCC256616
統合された高電圧起動	●	●	●		●	●
X コンデンサ放電機能を内蔵	●	●			●	
拡張ゲイン範囲 (EGR)	●				●	
出力 — 電圧 (OVP) ラッチ		●				●
バースト モードの保持	●					
ソフトオン/オフ バースト モード	●					
OCP/OLP デカップリング	●	●	●	●	●	
LF バースト中の PFC オン/オフ					●	
OLP 検出時間	100ms	100ms	100ms	100ms	100ms	100ms

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

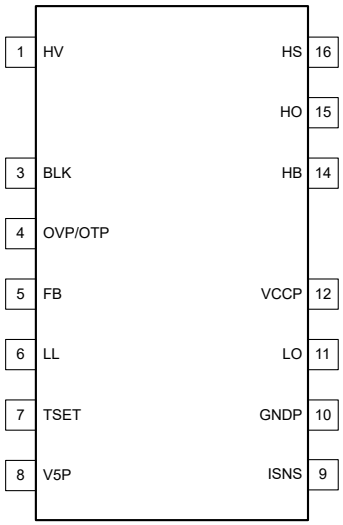


図 5-1. DDB パッケージ 16 ピン SOIC、ピン 2 および 13 を削除 (上面図)

表 5-1. ピンの機能

ピン		タイプ[1]	説明
名称	番号		
	2	—	なし。高電圧ピンと低電圧ピンの間の沿面距離に対応する HV スペーサー
	13	該当なし	ピンの欠落。高電圧ピンと低電圧ピンの間の沿面距離に対応する高電圧スペーサー。
BLK	3	I	フィードフォワード制御用のバルク DC 電圧検出と入力。 バルク コンデンサの正端子と GNDP の間の分圧抵抗を介して BLK を接続し、LLC コンバータの開始電圧と停止電圧スレッショルドを設定します。詳細については、セクション 7.3.5.1 を参照してください。
FB	5	I	帰還制御入力。 絶縁型帰還回路のフォトカプラのコレクタ ピンに FB を接続します。詳細については、セクション 7.3.3 を参照してください。
GNDP	10	P	グランド リファレンス ピン。GNDP を 1 次側バルク コンデンサの負端子に接続します。
HB	14	P	ハイサイド ゲートドライバのバイアス入力。HB ピンと HS ピンの間にコンデンサ (最小値 0.1µF、最大値 5µF) を接続します。詳細については、セクション 8.3.2 を参照してください。
HO	15	O	ハイサイド スイッチ ゲートドライバ出力。最小のゲートドライブ回路のループ面積でハイサイド スイッチのゲート端子に接続します。
HS	16	P	ハイサイド ゲートドライバのリターン パスおよびスイッチング ノード接続の入力。LLC コンバータのハーフ ブリッジ構造のスイッチング ノードに接続します。このピンの電圧によって、アダプティブ デッド タイムを決定します。詳細については、セクション 7.3.4 を参照してください。
HV	1	I	高電圧 (HV) 起動と X コンデンサ放電。 HV ピンは、HV 起動を実行するために使用されます。起動完了後、HV ピンは AC 存在検出および X コンデンサ放電に使用されます。このピンは整流された AC ライン (UCC256610、UCC256611、UCC256614、UCC256616 の場合) または入力バルク キャパシタ (UCC256612 および UCC256613 の場合) に接続されます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
ISNS	9	I	共振回路電流検出入力。 ISNS ピンを、直列微分コンデンサと電流センス抵抗を経由して GNDP へ共振コンデンサに接続します。 このピンは、微分共振コンデンサ電圧を検出します。この信号は内部で次の目的で使用されます。 • 制御信号の生成 • OCP とサイクル単位の電流制限 • 静電容量性領域の回避 詳細については、セクション 8.2.2.17 を参照してください。
LL	6	I	軽負荷動作とバースト モード スレッショルド設定入力。 LL は、V5P と GNDP の間の分圧抵抗の中心ノードに接続します。LL ピンのインピーダンスと電圧を使用して、高周波および低周波数のバーストモード動作のスレッショルドを選択します。詳細については、セクション 7.5.3 を参照してください。
LO	11	O	ローサイド スイッチ ゲートドライバ出力。ローサイド スイッチのゲート端子を最小のゲートドライブ回路のループ面積で接続します。
OVP/OTP	4	I	過電圧保護および外部過熱保護入力。 OVP/OTP を NTC 抵抗を介して GNDP に、ツェナー ダイオードを介して VCCP に接続します。 詳細については、セクション 7.3.5.3 を参照してください。
TSET	7	I/O	VCR シンセサイザの時間定数が入力と PFC オン / オフ出力を設定(UCC256614)。 TSET は、セクション 8.2.2.18 で定義されている抵抗デバイダを使用して、IPPC モードで最小 VCR 時定数と最小スイッチング周波数を設定します。また、UCC256614 では PFC ディスエーブル ピンにデュアル機能を配置し、UCC256610 では入力として低周波バースト モードを強制することもできます。詳しくは、セクション 8.2.2.18 を参照してください。
V5P	8	P	5V 内部レギュレータ出力。 V5P と GNDP の間にデカップリング コンデンサ (1µF ～ 4.7µF を推奨) を接続します。このコンデンサは、V5P に近づけて配置します。アプリケーションのニーズに基づいて誘電体を選択します。
VCCP	12	P	IC 電源電圧ピン。 VCCP と GNDP の間に、低 ESR のセラミック 2.2µF デカップリング コンデンサを接続します。これに加えて、エネルギー蓄積の電解コンデンサとフィルタ コンデンサを並列に組み合わせて使用するのが通常です。 LLC トランスの補助バイアス巻線などのアプリケーションでは、VCCP ピンをダイオードを介してバイアス巻線に接続します。HV スタートアップがディスエーブルになっているアプリケーションでは、VCCP は補助バイアス電源から供給されます。 VCCP ピンは内部で 19V にクランプされています。

(1) I = 入力、O = 出力、P = 電源、I/O = 双方向、N/A = 該当なし

詳細については、を参照してください。セクション 8.2

6 仕様

6.1 絶対最大定格

動作自由空気温度範囲全体で (特に記述のない限り)、すべての電圧値は GND を基準にしています。電流は指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。(1)

		最小値	最大値	単位
入力電圧	HV、HB	-0.3	700	V
	ISNS	-6.5	6.5	V
	BLK、LL、TSET	-0.55	5.5	V
	HB - HS	-0.3	25	V
	VCCP	-0.55	30	V
	OVP/OTP	-0.55	5.5	V
5V	DC	-0.55	5.5	V
HO 出力電圧	DC	HS - 0.3	HB + 0.3	V
	過渡応答、100ns 未満	HS - 2	HB + 0.3	
LO 出力電圧	DC	-0.3	VCCP+ 0.3	V
	過渡応答、100ns 未満	-2	VCCP + 0.3	
フローティング グランド スルーレート	dV_{HS}/dt	-200	200	V/ns
HO、LO パルス電流	I_{OUT_PULSED}	-0.6	1.2	A
接合部温度範囲	T_J	-40	150	°C
保管温度範囲、T_{stg}	T_{stg}	-65	150	
リード温度	半田付け、10 秒		300	
	リフロー		260	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001、HV、HO、HS、HB ピン(1)に準拠	±1000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、他すべてのピン(1)	±2000	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

特に記述のない限り、すべての電圧値は GND を基準にしており、-40°C < T_J = T_A < 125°C であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

		最小値	公称値	最大値	単位
HV、HS	入力電圧			640	V
V_{VCCP}	電源電圧		15	18.5	V
HB - HS	ドライバ ブートストラップ電圧	10	14	17.5	V
C_B	HB から HS へのセラミック バイパス容量	0.1		5	µF
C_{VCCP}	VCCP ピン デカップリング容量	33		470	µF
$I_{VCCPMAX}$	VCCP の最大入力電流			100	mA
T_A	動作時周囲温度	-40		125	°C

6.4 熱に関する情報

熱評価基準(1)		UCC25661x D (SOIC) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	74.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	30.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	31.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
VCC_{Short}	このスレッショルドを下回ると、低減起動電流を使用		0.6	1	1.4	V
$VCC_{ReStartJfet}$	このスレッショルドを下回ると、JFET を再有効化。			10.2		V
$VCC_{ReStart}$	起動フェーズ中に VCC がこのレベルを下回ると、HV 起動が再度イネーブルになります		12.5	13	13.5	V
$VCC_{StartSelf}$	VCC がこのレベルを上回っている場合に起動します		13.5	14	14.5	V
$VCC_{StartExt}$	VCC がこのレベルを上回っている場合に起動します		10.5	10.9	11.3	V
$VCC_{StopSwitching}$	スイッチングはこのスレッショルドを下回ると停止します		9	9.5		V
VCC_{UVLOr}	VCC 低電圧誤動作防止の立ち上がり電圧		7.25	7.5	7.82	V
VCC_{UVLOf}	VCC 低電圧誤動作防止ヒステリシス		6.5	6.8	7.1	V
VCC_{Hold_r}	起動プログラミング フェーズ中の Jfet ストップ電圧		7.9	8.2	8.5	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VCC_{Hold_f}	スタートアップ プログラミング フェーズ中の Jfet 開始電圧		7.65	7.9	8.15	V
VCC_{Shunt}	VCC 内部クランプ電圧			19		V
$IVCC_{Clamp}$	VCC 内部クランプ電流			15		mA
VCC_OV	VCC OVP スレッショルド			20.5		V
電源電流						
$I_{CCSleep}$	バースト オフ期間に VCC レールから引き出される電流			800		µA
I_{CCRun}	ゲートがスイッチング動作中に VCC ピンから引き込まれた電流。ゲート電流を除く	デッド タイム = 1µs 最大デッド タイム		8		mA
$I_{CCLatchFault}$	ラッチされたフォルト状態で VCC ピンから引き込まれた電流(1)	UCC256611 のみに適用可能			1	mA
安定化電源						
V5P	安定化電源電圧(1)	無負荷	4.75	5	5.25	V
	安定化電源電圧	10mA 負荷	4.75	5	5.25	V
$V5P_{UVLO}$	V5P 低電圧誤動作防止電圧(1)			4		V
$I_{V5PStartupCurrLimit}$	VCCP < $VCC_{StartSelf}$ のときに、ピンに引き込むことができる最大電流(1)	VCCP = 15V		6		mA
$I_{V5PCurrLimit}$	V5P (IV5P = 15mA の場合)	VCCP = 15V	10.2			mA
高電圧起動						
$I_{VCC_Charge_Low}$	HV ピンからの VCCP 充電電流の低減	UCC256610、UCC256611、UCC256612、UCC256614、UCC256616 の場合、V_{HV} = 20V、VCC = 0V	0.23	0.44	0.65	mA
$I_{VCC_Charge_High}$	VCCP 完全充電電流	UCC256610、UCC256611、UCC256612、UCC256614、UCC256616 の場合、V_{HV} = 20V、VCC = 4V	7.5	10	13.8	mA
I_{HVZCD}	最高 AC ゼロ交差検出テスト電流	UCC256610、UCC256611、UCC256614		0.625		mA
$I_{XCAPDischarge}$	X コンデンサ放電電流	UCC256610、UCC256611、UCC256614	8.7	11.5	14.3	mA
$V_{zero\text{-}crossing}$	ゼロ交差が検出される HV ピン電圧スレッショルド	UCC256610、UCC256611、UCC256614	8	9	11	V
$t_{XCAPZCD}$	最初の 4 つのテスト電流段の AC ゼロ交差検出期間の長さ(1)	UCC256610、UCC256611、UCC256614	10	12	14	ms
$t_{XCAPZCDLast}$	最終テスト電流段の AC ゼロ交差検出期間の長さ(1)	UCC256610、UCC256611、UCC256614		36		ms
$t_{XCAPIdle}$	AC ゼロ交差検出アイドル期間の長さ(1)	UCC256610、UCC256611、UCC256614		700		ms
$t_{XCAPDischarge}$	X コンデンサ放電電流アクティブの時間(1)	UCC256610、UCC256611、UCC256614	327	360	390	ms
$t_{XCAPJFETON}$	JFETON 後の最初の X コンデンサ検出時間 (1)	UCC256610、UCC256611、UCC256614		12		ms
I_{XCAP_I0}	X コンデンサ テスト電流 I0	UCC256610、UCC256611、UCC256614		125		µA

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{XCAP_Idel1}	X コンデンサ テスト電流 I1	UCC256610、UCC256611、UCC256614		125		µA
I_{XCAP_Idel1}	X コンデンサ テスト電流 I2	UCC256610、UCC256611、UCC256614		250		µA
I_{XCAP_Idel1}	X コンデンサ テスト電流 I3	UCC256610、UCC256611、UCC256614		375		µA
バルク電圧検知						
$V_{BLKStartHys}$	BLK 電圧コンパレータのヒステリシス(1)	UCC256610、UCC256614 の場合	0.04	0.05	0.06	V
$V_{BLKStartHys}$	BLK 電圧コンパレータのヒステリシス(1)	UCC256611、UCC256612、UCC256613、UCC256616 の場合	0.09	0.1	0.11	V
$V_{BLKStop}$	LLC の動作を停止させる BLK 電圧		0.98	1	1.02	V
I_{BLKHys}	BLK ヒステリシス電流 (バルク電圧低下 Isink)	UCC256610、UCC256614 の場合		1		µA
I_{BLKHys}	BLK ヒステリシス電流 (バルク電圧低下 Isink)	UCC256611、UCC256612、UCC256613、UCC256616 の場合		5		µA
フィードバック ピン						
$R_{FBInternal}$	内部プルダウン抵抗値	UCC256610、UCC256611、UCC256614、UCC256616 については	85	100	115	kΩ
$R_{FBInternal}$	内部プルダウン抵抗値	UCC256612、UCC256613 の場合	42.5	50	57.5	kΩ
I_{FB}	FB 内部電流源	UCC256610、UCC256611、UCC256614、UCC256616 の場合	68	80	92	µA
I_{FB}	FB 内部電流源	UCC256612、UCC256613 の場合	136	160	184	µA
V_{FB}	FB ピンのシンク電流が (I_{FB} - 50µA) であるときの FB ピンの電圧	Iopto = 0.37 × IFB	3.3	3.5	3.7	V
ΔV_{FB}	FB ピンのシンク電流範囲 (Iopto = 0.37 × IFB から Iopto = 0.94 × IFB) での FB ピン電圧変動				0.6	V
ΔV_{clamp}	FB ピンのシンク電流範囲が (Iopto = 0.94 × IFB) から (Iopto = 1.06 × IFB) までのときの FB ピン電圧変動	(Iopto = 0.94 × IFB) ～ (Iopto = 1.06 × IFB)	0.3			V
$I_{FBclamp}$	FB がクランプされているときの最大 FB 内部電流源	UCC256610、UCC256611、UCC256616 の場合	75	87.5	100	µA
$I_{FBclamp}$	FB がクランプされているときの最大 FB 内部電流源	UCC256612、UCC256613、UCC256614 の場合	150	175	200	µA
$\Delta V_{FBclamp}$	FB ピンシンク電流の範囲が (Iopto = 1.06IFB) から (Iopto = IFB + 0.94 × IFBClamp) までであるときの FB ピン電圧変動	(Iopto = 1.06IFB) ～ (Iopto = IFB + 0.94 × IFBClamp)			0.5	V
f_{-3dB}	帰還信号経路 -3dB カットオフ周波数(2)	VFBReplica (4.5V ～ 0.5V)	1			MHz
V_{FBOLP}	OLP 保護(1)			4.75		V
$TOLP_{Fault}$	OLP 保護時間(1)			100		ms
共振電流検知						
V_{ISNS_OCP}	定常状態での OCP スレッショルド	UCC25616、TSET オプション > 2.5V の場合(1)	3.9	4	4.1	V
V_{ISNS_OCP}	定常状態での OCP スレッショルド	UCC256616、TSET オプション < 2.5V の場合	3.4	3.5	3.6	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ISNS_OCP}	定常状態での OCP スレッショルド	UCC256610、UCC256611、UCC256612、UCC256613、UCC256614 については	3.4	3.5	3.6	V
$V_{ISNS_OCP_SS}$	ソフト スタート中の OCP スレッショルド		2.9	3	3.1	V
n_{OCP}	OCP フォルトがトリップされる前の OCP サイクル数(1)			7		
n_{OCP_SS}	スタートアップ時に OCP フォルトがトリップされるまでの OCP サイクル数(2)			50		
$V_{IpolarityHyst}$	ISNS 極性コンパレータのヒステリシス			40		mV
V_{ISNS_ZCS}	ソフト スタート後の ZCS コンパレータ + VE スレッショルド	UCC256616 の場合		100		mV
V_{ISNS_ZCSn}	ZCS コンパレータ - Ve スレッショルド、ソフト スタート後	UCC256616 の場合		-100		mV
V_{ISNS_ZCS}	ソフト スタート後の ZCS コンパレータ + VE スレッショルド	UCC256610、UCC256611、UCC256612、UCC256613、UCC256614 については		150		mV
V_{ISNS_ZCSn}	ZCS コンパレータ - Ve スレッショルド、ソフト スタート後	UCC256610、UCC256611、UCC256612、UCC256613、UCC256614 については		-150		mV
$V_{ISNS_MINCURR_SS}$	ソフト スタート中の +Ve ISNS スレッショルド			50		mV
$V_{ISNS_MINCURR_SSn}$	ソフト スタート時の -Ve ISNS スレッショルド			-50		mV
t_{leb}	ZCS および OCP コンパレータ用のリーディング エッジ ブランキング(1)			250		nS
$TZCS_{Fault}$	ZCS イベントが一定時間存在する場合に検出された障害(2)	ZCS イベントは継続します		10		mS
ゲート ドライバ						
V_{LOL}	LO 出力の Low 電圧	I_{sink} = 20mA			0.12	V
V_{RVCC} - V_{LOH}	LO 出力 high 電圧	I_{source} = 20mA			0.3	V
V_{HOL} - V_{HS}	HO 出力の Low 電圧	I_{sink} = 20mA			0.12	V
V_{HB}-V_{HOH}	HO 出力 high 電圧	I_{source} = 20mA			0.35	V
$V_{HB\text{-}HSUVLOFall}$	ハイサイド ゲートドライバ UVLO 立ち下がりスレッショルド		6.4	7.25	8	V
$V_{HB\text{-}HSUVLOHys}$	ハイサイド ゲートドライバ UVLO スレッショルド ヒステリシス		0.78	0.9	1.05	V
$I_{source_pk_HO}$	HO ピーク ソース電流(2)	VCCP = 12V で		-0.6		A
$I_{source_pk_LO}$	LO ピーク ソース電流(2)	VCCP = 12V で		-0.6		A
$I_{sink_pk_HO}$	HO ピーク シンク電流(2)	VCCP = 12V で		1.2		A
$I_{sink_pk_LO}$	LO ピーク シンク電流(2)	VCCP = 12V で		1.2		A
ブートストラップ						
$I_{BOOT_QUIESCENT}$	(HB - HS) 静止電流	HB - HS = 12V		60	70	µA
I_{BOOT_LEAK}	HB から GND へのリーク電流	V_{HB} = 600V		0.045	20	µA
$t_{ChargeBoot}$	充電ブート状態の長さ(1)		230	265	300	µs

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ソフト スタート						
SSRamp	ソフトスタート ランプ時間(1)			25		ms
OVP/OTP						
Vclamp_otp1	0mA でのクランプ電圧(1)	クランプに流れる電流が 0mA の場合	1.35	1.5	1.65	V
Vclamp_otp2	1mA でのクランプ電圧(1)	クランプに流れる電流が 1mA の場合	2.9	3.5	4.1	V
I_{OTP}	BW/OTP ピンの電流ソース			100		µA
V_{OVPpos}	出力電圧 OVP - 立ち上がりスレッショルド			3.5		V
$VOTP_{Neg}$	OTP — 立ち下がりスレッショルド			0.8		V
$OTP_{CompHys}$	OTP コンパレータのヒステリシス		60	90	130	mV
$OVP_{CompHys}$	OVP コンパレータのヒステリシス		60	100	145	mV
$OTPBlanking_{startup}$	起動時の OTP ブランキング時間			50		ms
$TOTP_{Fault}$	OTP フォルト検出時間			330		µs
$TOVP_{Fault}$	OVP フォルト検出時間(2)			40		µs
TSET						
$I_{TSETPrgm}$	プログラミング用の TSET ピンのソース電流			10		µA
LL						
I_{LLPrgm}	バースト モード遷移スレッショルド設定用の LL ピン ソース電流(2)			10		µA
t_{LLPrgm}	バースト モード遷移スレッショルドのプログラミング時間(2)			2		ms
アダプティブ デッドタイム						
dV_{HS}/dt	検出可能なスルーレート (立ち下がりスロープ) (2)		0.1		200	V/ns
FAULT 回復						
$t_{PauseTimeOut}$	一時停止タイマ(1)			1		s
サーマル シャットダウン						
T_{J_r}	サーマル シャットダウン温度(1)	温度上昇	125	150		°C
T_{J_H}	サーマル シャットダウン ヒステリシス (1)			20		°C

(1) 量産時にはテストを行っていません。特性評価によって確立されます
(2) 量産時にはテストを行っていません。設計により確立されています

6.6 スイッチング特性

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J = T_A < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{r(LO)}$	立ち上がり時間	10% ～ 90%、1nF 負荷		30	60	ns
$t_{f(LO)}$	立ち下がり時間	10% ～ 90%、1nF 負荷		20	30	ns
$t_{r(HO)}$	立ち上がり時間	10% ～ 90%、1nF 負荷		30	60	ns
$t_{f(HO)}$	立ち下がり時間	10% ～ 90%、1nF 負荷		15	50	ns
$t_{DT(min)}$	最小デッド タイム(1)			50		ns

Copyright © 2026 Texas Instruments Incorporated

6.6 スイッチング特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、–40°C < T_J = T_A < 125°C、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{DT(max)}$	最大デッド タイム (デッド タイム異常) (1)	ZCS スレッショルドは検出されません		1		µs
$t_{DT(max_ZCS)}$	最大デッド タイム (デッド タイム異常) (1)	ZCS スレッショルドが検出されました		1.1		µs
$t_{ON(min)}$	最小ゲート オン時間			250		ns
$t_{ON(max)}$	最大ゲート オン時間			10		µs
$t_{Ipol(ZCS)}$	DT を終端するため IPOL 信号を使用できるブランキング時間	ZCS スレッショルドが検出されました		500		ns

(1) 量産時にはテストを行っていません。設計により確立されています

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

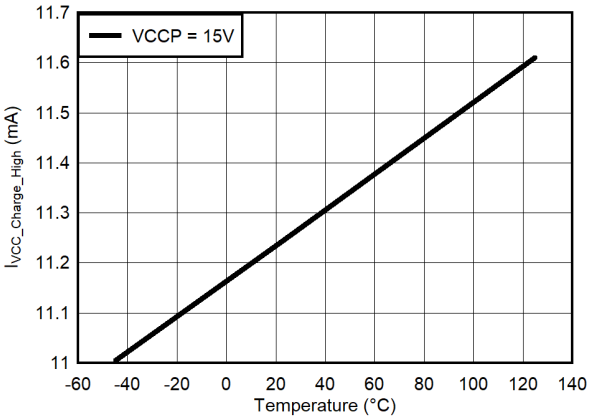


図 6-1. $I_{VCC_Charge_High}$ と温度との関係

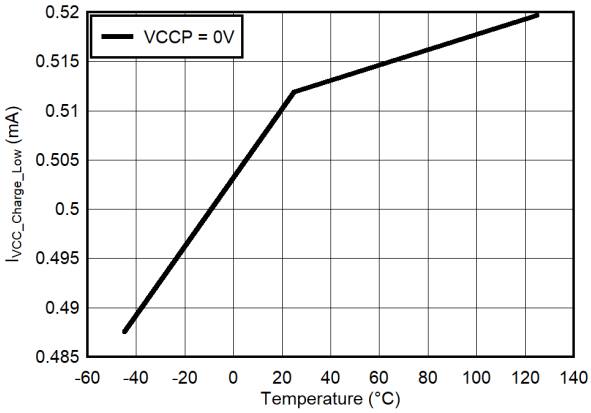


図 6-2. $I_{VCC_Charge_low}$ と温度との関係

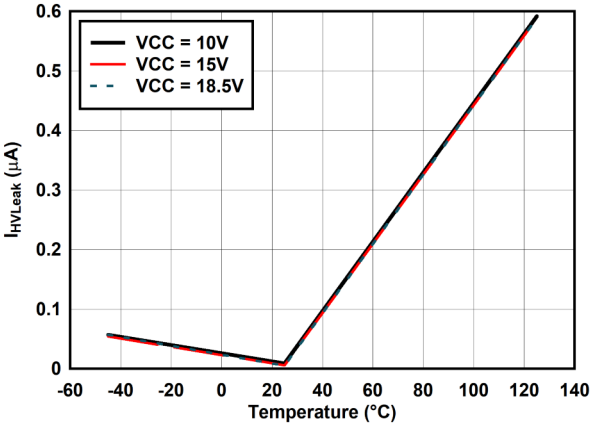


図 6-3. I_{HVLeak} と温度との関係

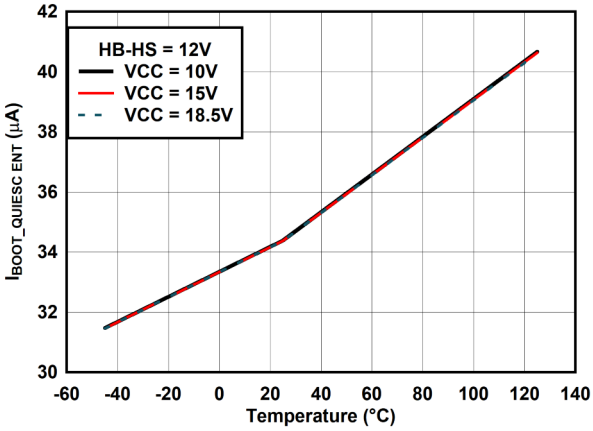


図 6-4. $I_{BOOT_QUIESCENT}$ と温度との関係

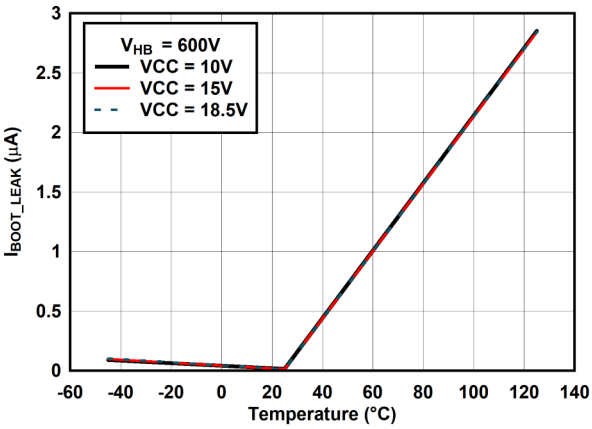


図 6-5. I_{BOOT_LEAK} と温度との関係

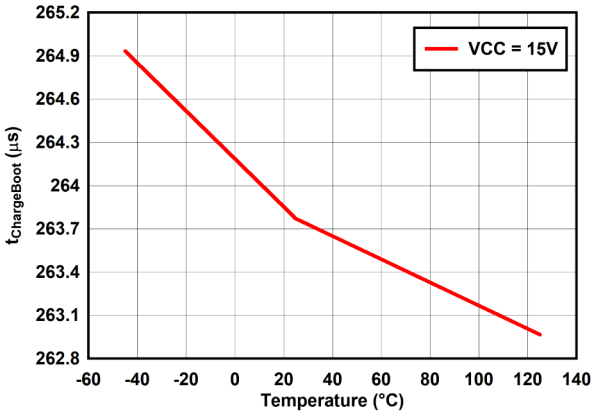


図 6-6. $t_{ChargeBoot}$ と温度との関係

6.7 代表的特性 (続き)

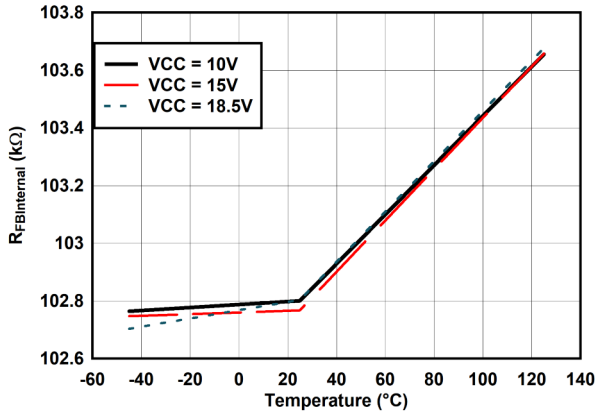


図 6-7. $R_{FBInternal}$ と温度との関係

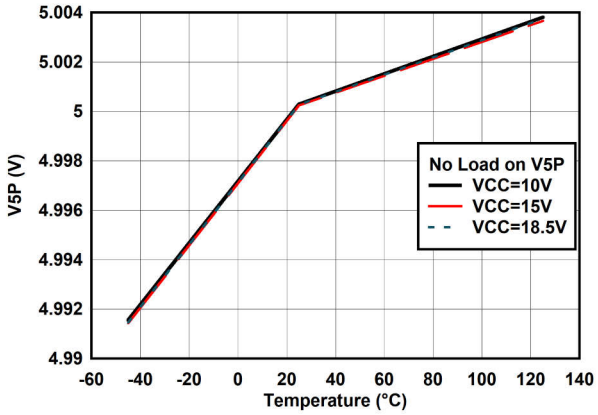


図 6-8. V5P (無負荷) と温度との関係

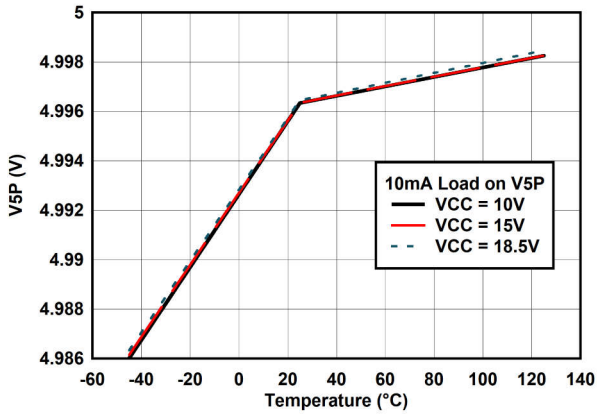


図 6-9. V5P (10mA 無負荷) と温度との関係

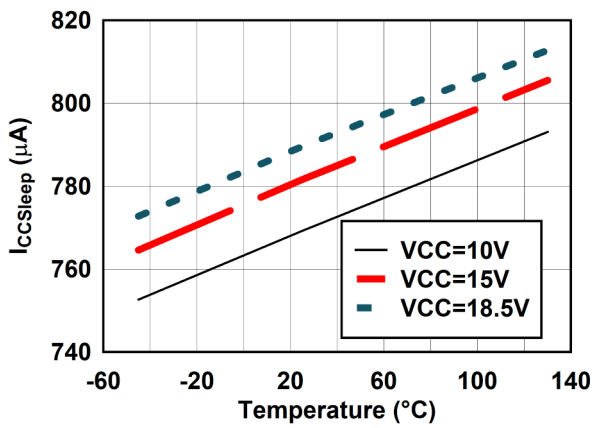


図 6-10. $I_{CCSleep}$ と温度との関係

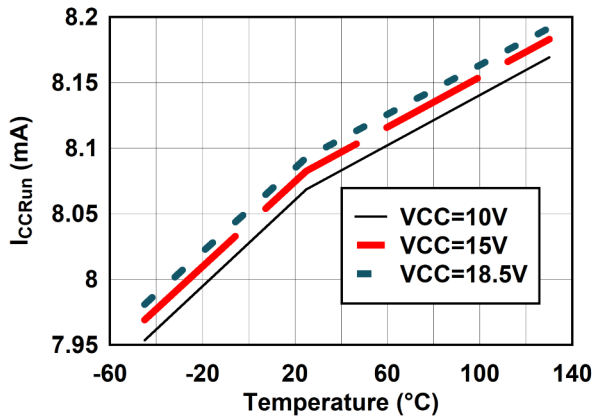


図 6-11. I_{CCRun} と温度との関係

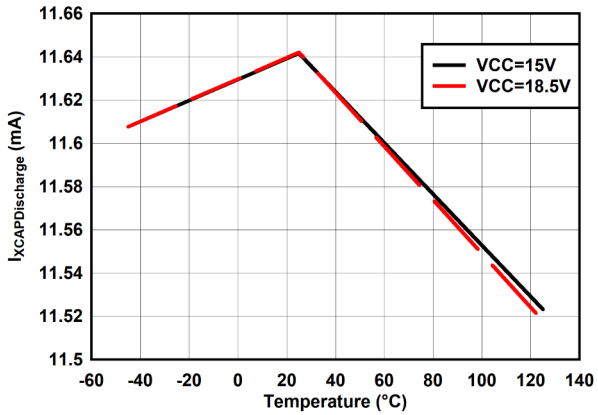


図 6-12. $I_{XCAPDischarge}$ と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

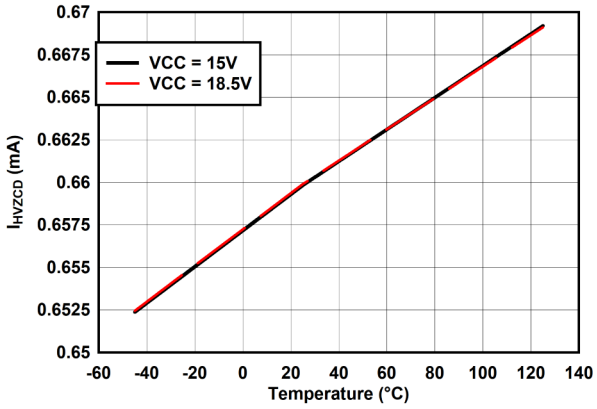


図 6-13. I_{HVZCD} vs 温度

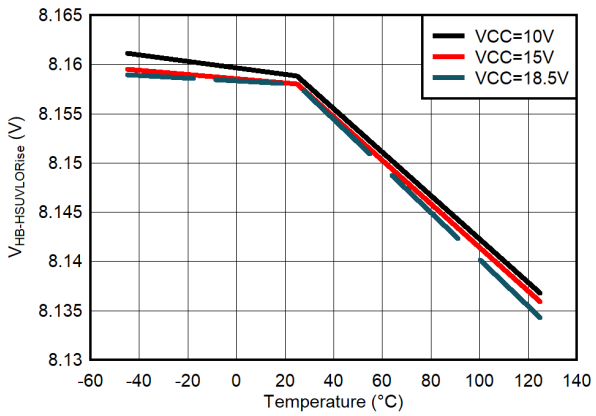


図 6-14. $V_{HB-HSUVLORise}$ と温度との関係

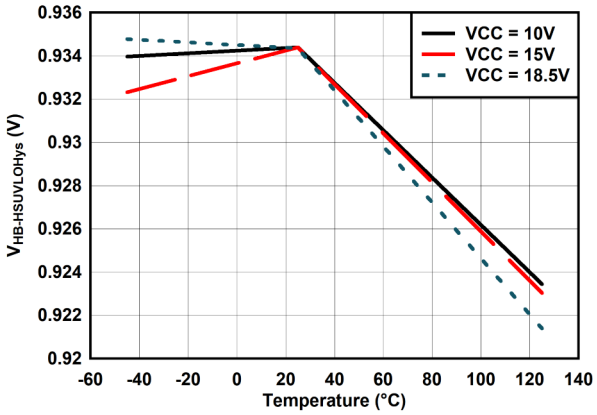


図 6-15. $I_{HB-HSUVLOHys}$ と温度との関係

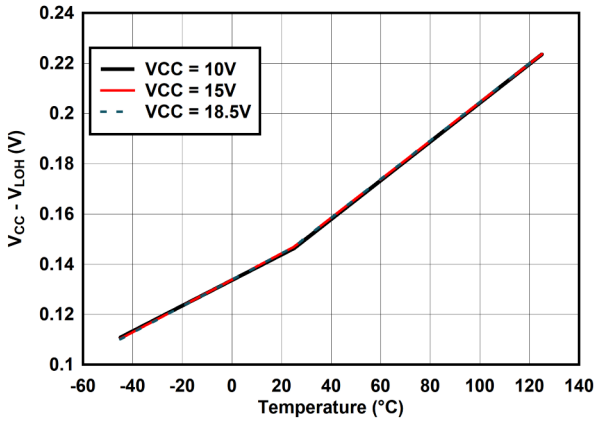


図 6-16. (V_{RVCC} - V_{LOH}) と温度との関係

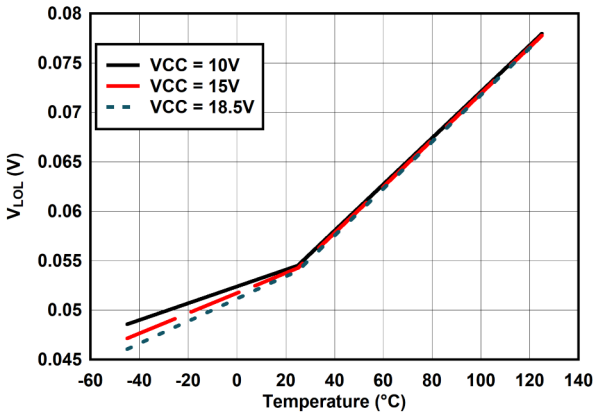


図 6-17. V_{LOL} と温度との関係

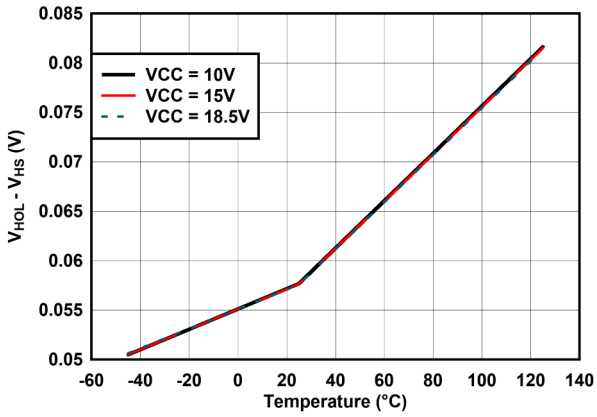


図 6-18. (V_{HOL} - V_{HS}) と温度との関係

6.7 代表的特性 (続き)

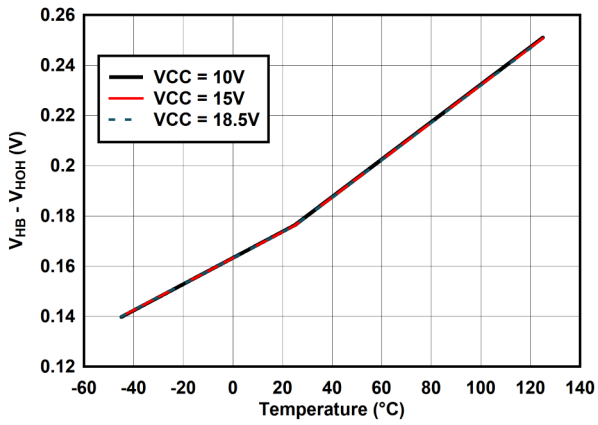


図 6-19. (V_{HB} - V_{HOH}) と温度との関係

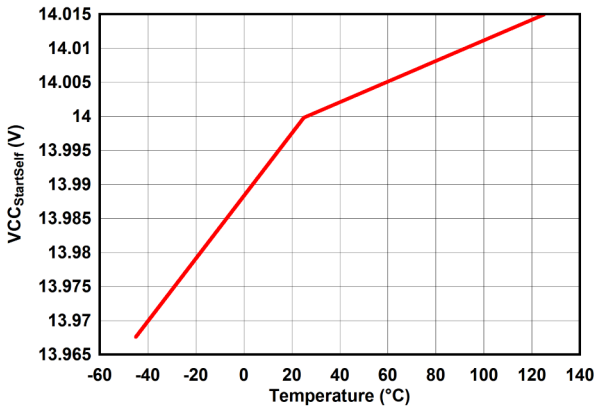


図 6-20. $VCC_{StartSelf}$ と温度との関係

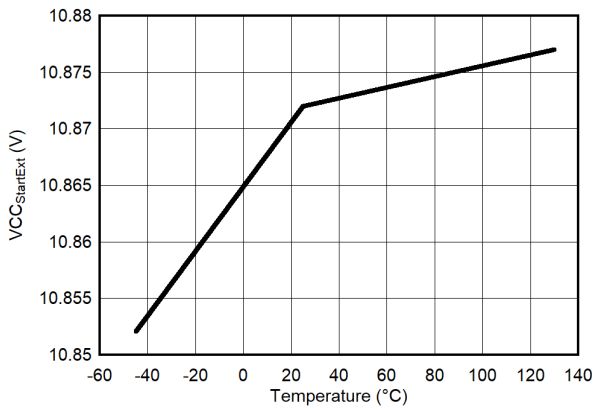


図 6-21. $VCC_{StartEXT}$ と温度との関係

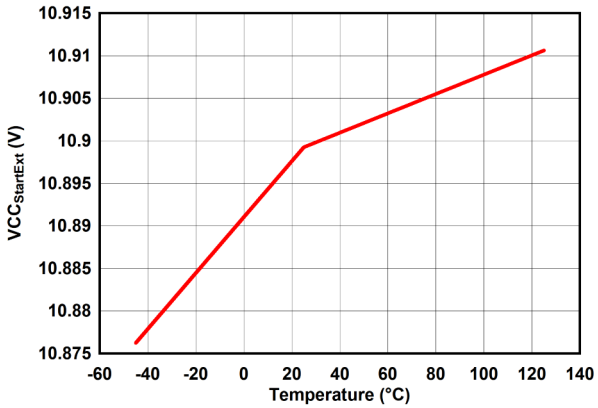


図 6-22. $VCC_{StartExt}$ と温度との関係

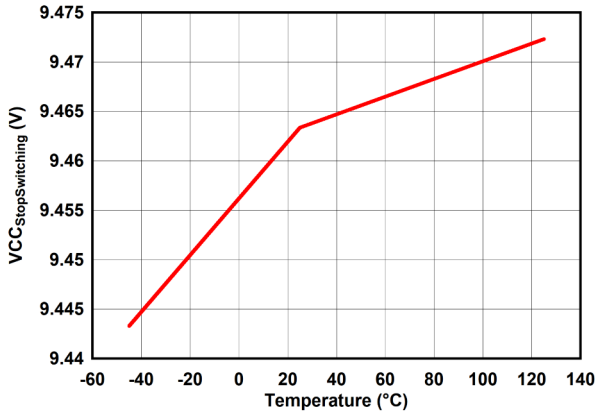


図 6-23. $VCC_{StopSwitching}$ と温度との関係

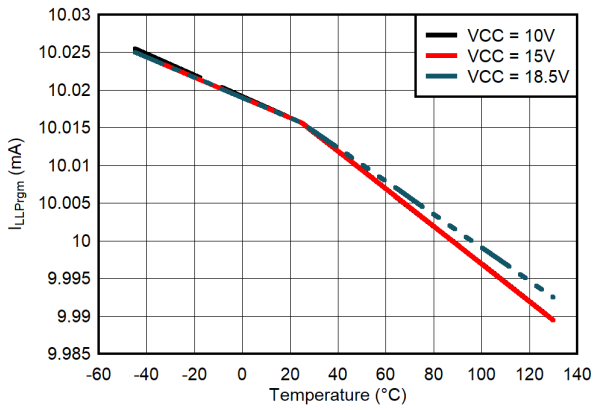


図 6-24. I_{LLPrgm} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

UCC25661x ファミリは、絶縁型電源向けのフル機能 LLC 共振コントローラです。UCC25661x ファミリは、高度な統合と、広い入出力電圧動作、高い電力密度、LLC 電力段の信頼性向上に対応できるように、いくつかの設計機能を搭載しています。

このデバイスの新しい制御方式入力電力比例制御 (IPPC) は、電流モード制御に固有の優れた過渡性能を提供すると同時に、広い入力および出力電圧変動に対して入力電力と制御信号との線形関係を実現します。IPPC 制御により、広い入出力電圧変動にわたって、安定した軽負荷およびバースト モード性能での動作が可能になります。

UCC25661x ファミリの一部の新機能は、以下のように規定されています。

- IPPC 制御により、幅広い入出力電圧動作で、より安定したバースト モードと動的応答を実現。
- 可聴ノイズを低減しながら軽負荷の効率を向上させる新しい動作モード
  - 高周波数 (HF) パルス スキップによる軽負荷時の効率向上
  - スタンバイ時の消費電力を低減するための低周波数 (LF) バースト モード
  - 出力リップルと効率のバランスを確保できるように、プログラマブルな軽負荷/バースト モード スレッショルド
  - 入力電圧の変化に対応する、適応型のバースト モード スレッショルド調整
  - 広いバースト モード ヒステリシスにより、バーストモードの開始と終了の発振を防止
  - ソフトインとバースト モードのソフトアウトにより、可聴ノイズをさらに最小化するとともに、バースト モードを強制的に保持するオプションも用意しています
- 最大 750kHz の全負荷スイッチング周波数により、電力密度の高い設計が可能
- 共振電流検出と内部制御電圧生成を組み合わせることで、制御の堅牢性が向上
- 入力電圧フィード フォワード
- 拡張ゲイン範囲 (EGR) の利点は次のとおりです。
  - IPPC に加えて、より広い入出力電圧範囲のアプリケーションに対して、より優れたサポートを提供します
  - PFC が無効化されている場合など、広い入力電圧範囲にわたって供給できる最小電力を増加させます
  - 負荷の供給中に PFC を無効化できるので、軽負荷時のシステム効率を向上させます
- 以下の保護機能を内蔵しています。
  - 高速なサイクルごとの電流制限。50ns
  - OCP フォルト検出により、短絡状態で保護
  - 過電力保護 (OPP) により、ピーク入力電力を制限
  - 容量性領域動作を排除するためのゼロ電流スイッチング (ZCS) 回避方式
  - 適応型ソフト スタートにより突入電流を低減し、スタートアップ時の逆回復が不要
  - 外部 OVP/OTP 保護
  - 入力およびバイアス電源 (VCCP) UVLO
  - 入力電圧フィード フォワード
  - OCP/OLP デカップリングにより、保護スレッショルドを個別に設定できます

Copyright © 2026 Texas Instruments Incorporated

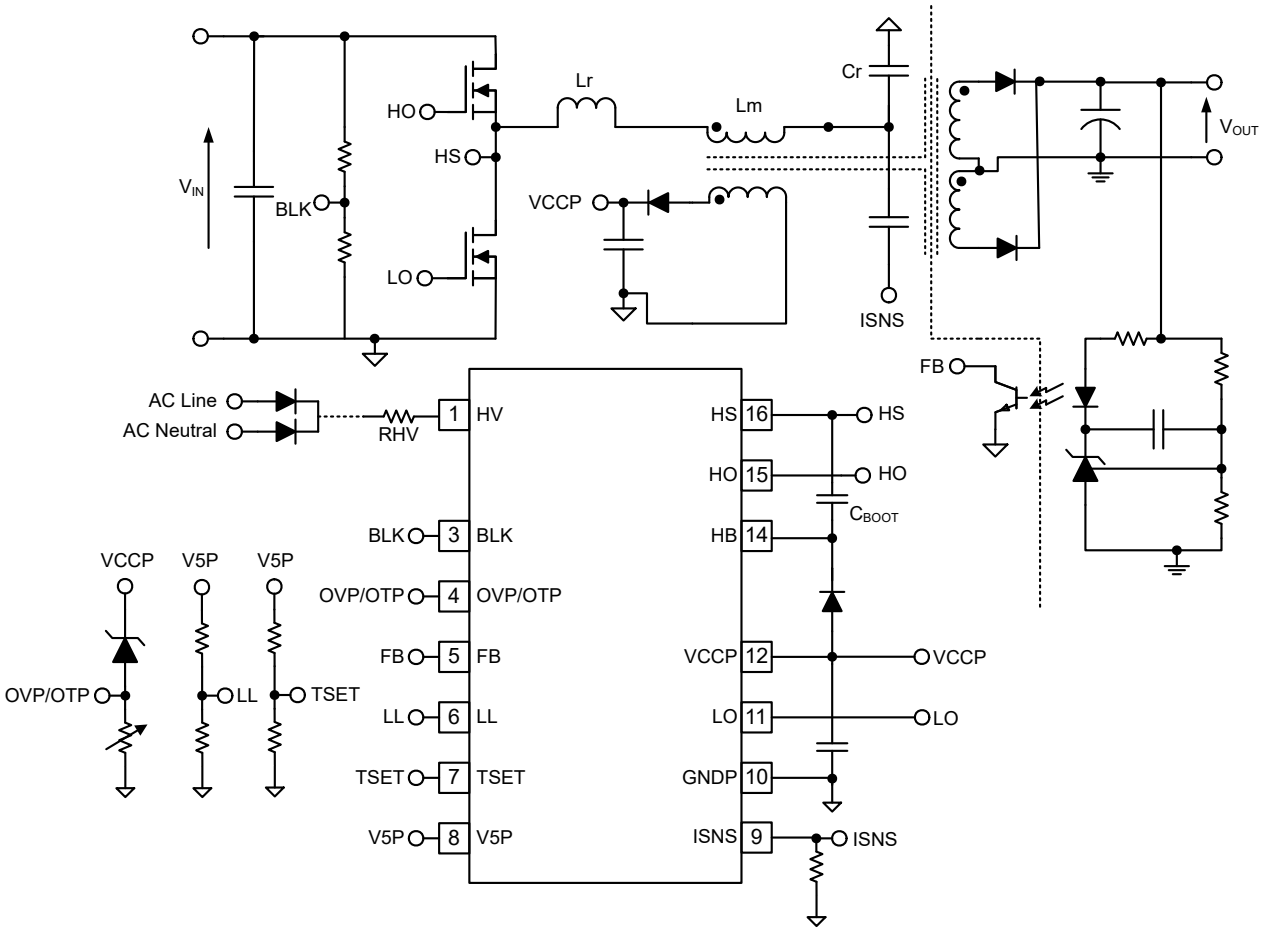


図 7-1. アプリケーション概略回路図

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

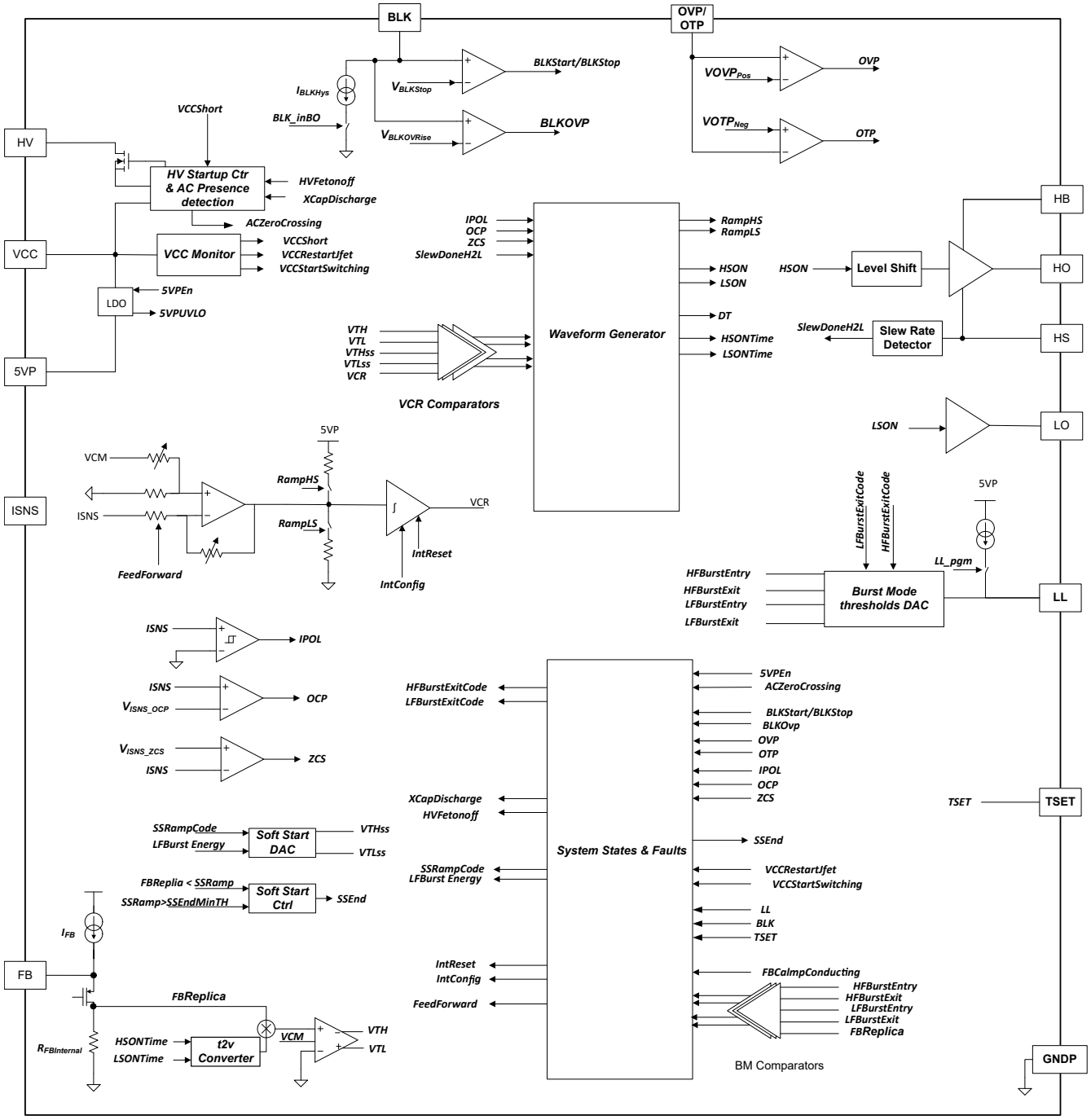


図 7-2. 機能ブロック図

7.3 機能説明

7.3.1 入力電力比例制御

TI の LLC コントローラは、ヒステリシス ハイブリッド制御 (HHC) と呼ばれるバージョンの充電制御を使用しています。UCC25661x ファミリ LLC コントローラには、入力電力比例制御 (IPPC) と呼ばれる HHC の改良版が使用されています。制御信号がスイッチング周波数に比例する従来の直接周波数制御と比較すると、従来の電荷制御方式では過渡応

答を高速化しながら、電力段の伝達関数が 1 次システムになるため補償回路設計が簡単になります。従来の充電制御方式では、制御信号は入力電流とスイッチング周波数の両方によって決まります。IPPC は、制御信号がスイッチング周波数に依存することを大幅に低減し、入力と出力の電圧変動の影響を最小限に抑えることができます。

IPPC には次のような利点があります。

- 制御信号を入力電力に比例させる
- 広い LLC (WLLC) 動作アプリケーションで一貫したバースト モードと全負荷性能
- 高速な負荷過渡性能を維持し、ライン過渡特性を改善

UCC25661x ファミリは、コンデンサ C_{ISNS} と抵抗 R_{ISNS} からなる外付け微分器により ISNS ピンの共振タンク電流を測定します。ISNS ピンの電圧は VCR シンセサイザ ブロックに組み込まれ、内部 VCR 信号 *VCR_synth* を形成します。VCR シンセサイザ ブロックは、BLK ピン電圧に基づいてフィード フォワード ゲインを適用し、ランプ補償を適用して、補償された内部 VCR 信号を生成します。次に、補償された内部 VCR 信号を 2 組のスレッショルドと比較し、ハイサイド スイッチのターンオフ (V_{TH}) およびローサイド スイッチのターンオフ (V_{TL}) を制御します。スレッショルド V_{TH} および V_{TL} は、内部制御信号 FBReplica と、前の半スイッチング サイクルからのハイサイドおよびローサイド スイッチのオン時間から生成されます。ソフト スタート中、内部ソフト スタート ランプに基づいて V_{TH} および V_{TL} のスレッショルドが生成され、起動時の共振タンク突入電流を最小化します。

図 7-3 では、内部 VCR 信号とコンパレータ スレッショルド電圧 V_{TH} および V_{TL} に基づいて、ハイサイドおよびローサイドのスイッチが制御されます。VCR が V_{TH} より高いとき、ハイサイド スイッチはオフになります。VCR が V_{TL} より低いとき、ローサイド スイッチはオフになります。

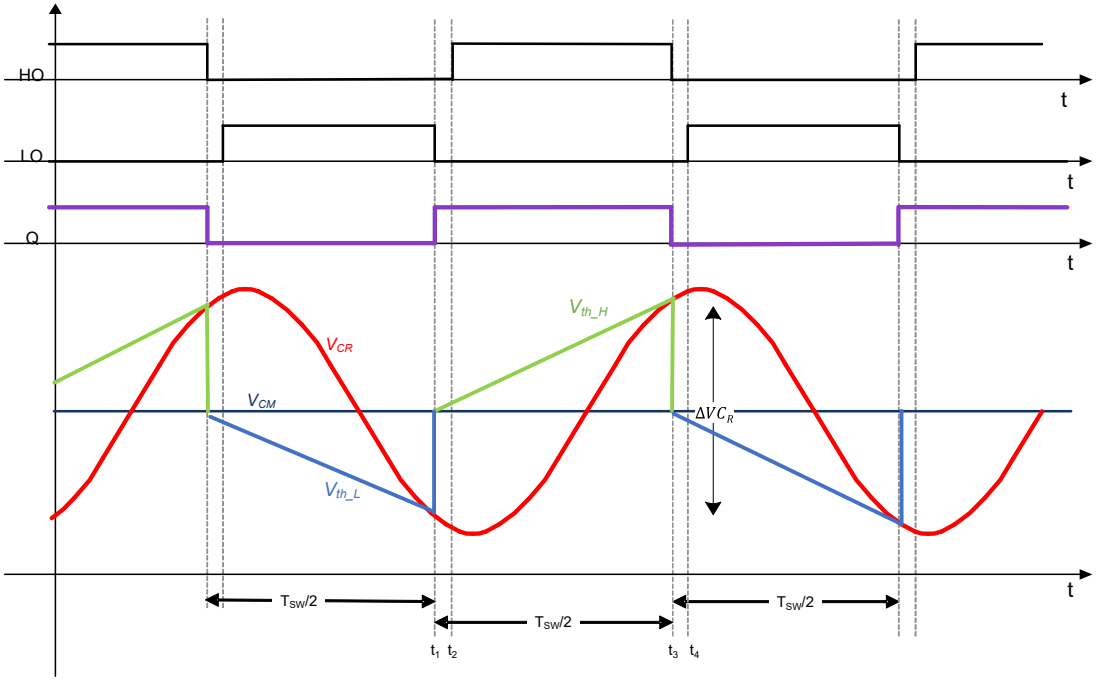


図 7-3. IPPC の基本波形

以下の式を使用して、コンパレータのスレッショルド V_{TH} および V_{TL} を計算します。FBReplica は、フィードバック ピン (FB) 電流の内部電圧表現です。セクション 7.3.3 は、フィードバック チェーンを定義します。

- T_{sw} = スイッチング サイクルの期間
- k = 定数

$$V_{TH} = (V_{CM} + k \times FBReplica \times Tsw \div 2) \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

$$V_{TL} = (V_{CM} - k \times FBReplica \times Tsw \div 2) \quad (2)$$

$$V_{TH} - V_{TL} = \Delta V_{CR} = k \times FBReplica \times Tsw \quad (3)$$

7.3.1.1 電圧フィードフォワード

入力電圧フィード フォワードを実装すると、FBReplica は入力電力に比例し、共振タンク容量の大きさに反比例します。入力電圧フィードフォワードが適用されている状態で式 4 を書き換えます。

$$FBReplica = \frac{2}{C_r} \times K_1 \times Pin_{avg} + K_2 \times I_{RAMP} \quad (4)$$

ここで、K_1 と K_2 は内部シンセサイザのゲインです。LLC 電力段への入力電圧は、BLK ピンで定期的に検出されます。その後、この入力電圧に対して周期的な平均値を使用してフィード フォワード ゲインを調整し、制御信号が入力電力に比例するようにします。詳細については、セクション 7.3.2 を参照してください。

7.3.2 VCR シンセサイザ

UCC25661x ファミリには VCR シンセサイザが実装されており、共振タンク電流が内蔵されているため、共振容量電圧の内部表現が形成されます。VCR シンセサイザを内部に実装することで、UCC25661x ファミリは突入電流の制御とフィードフォワード ゲイン ステージにより、超高周波のスタートアップをサポートします。内蔵の VCR シンセサイザにより、コントローラが ISNS 端子で拾った外部ノイズの影響を受けにくくなるため、コントローラはより堅牢になります。

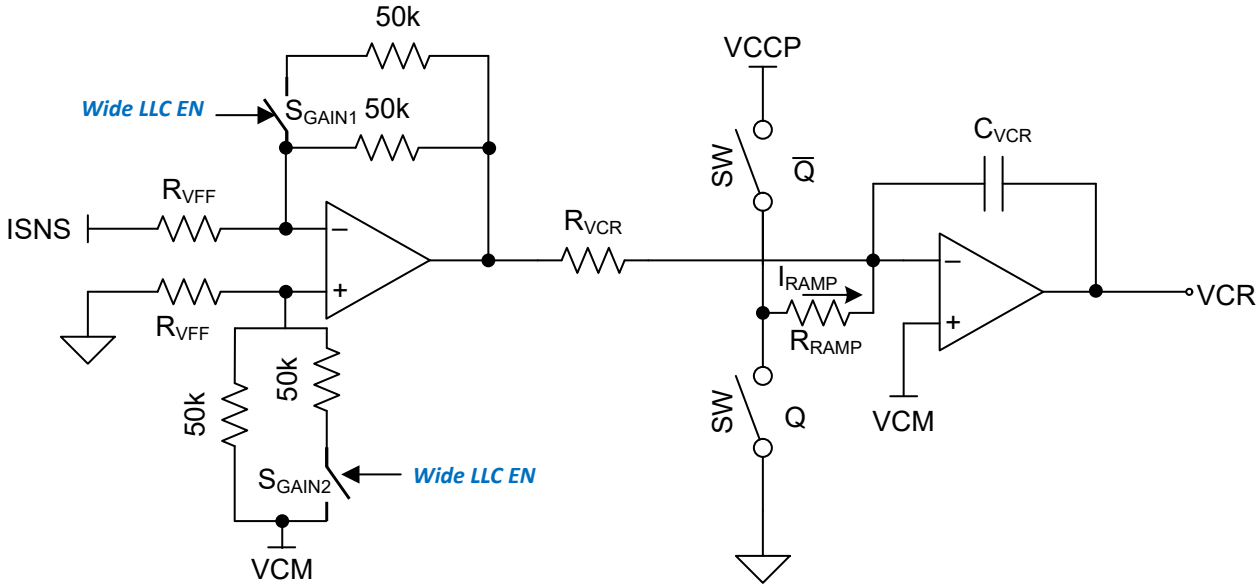


図 7-4. VCR シンセサイザのブロック図

VCR シンセサイザの最初の段はプログラム可能なゲイン ステージで構成されており、入力電圧のフィード フォワード機能を実装するために使用されます。UCC256610 と UCC256614 は、拡張ゲイン範囲 (EGR) に対応しています。EGR 機能は、広い範囲 (3:1) で LLC の入力電圧が変化したときの FBReplica の変動を低減するのに役立ちます。この変動低減は、工場出荷時にスイッチ S_{GAIN1} および S_{GAIN2} をオンにプログラミングすることにより、VCR シンセサイザのプログラマブルなゲイン ステージのゲインを低減することで実現されます。

2 段目は、ランプ補償付きのプログラム可能な積分器で構成されます。広い周波数範囲の LLC 電力段に対応できるよう、TSET ピンを使用した設計の要求を満たすため、積分器の時定数はスタートアップ時に外部で設定可能です。起動時は、V5P と GNDP の間に接続された外付け 抵抗デバイダによって、TSET がプログラミングされます。外部分圧器のセンターノードを TSET ピンに接続します。プログラミング フェーズ中に、定電流 $I_{TSETPrgm}$ が TSET ピンに供給され、その

結果として得られる電圧を ADC (V_{TSETA}) が測定します。$I_{TSETPrgm}$ がオフになってから、TSET 抵抗デバイダの電圧 (V_{TSETB}) が測定されます。

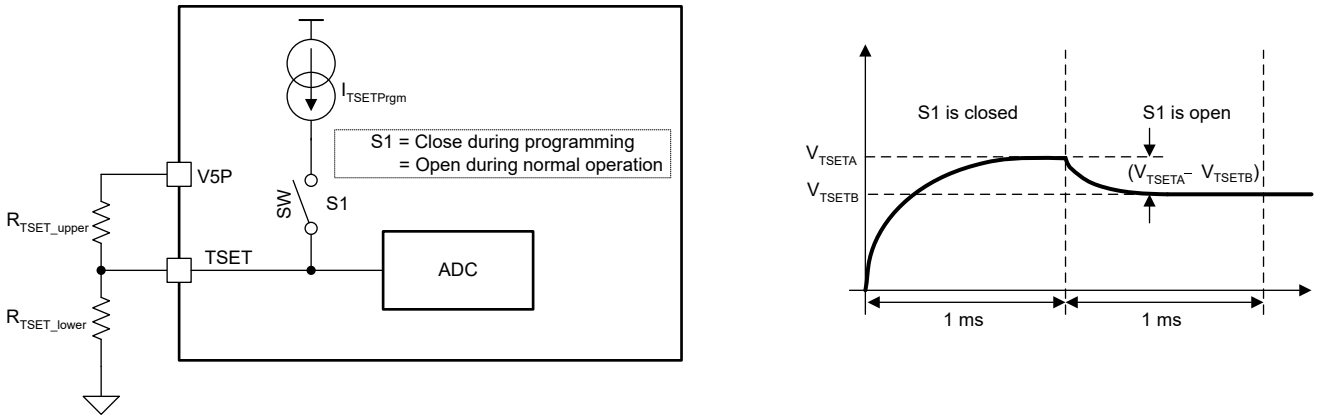


図 7-5. TSET ピンのプログラミング

7.3.2.1 TSET のプログラミング

VTSETB にプログラミングされた電圧は、IPPC 動作の最小動作周波数と最大デッド タイムを設定します。表で、TSET 電圧の値は公称値です。各 TSET 設定で使用可能な最大および最小範囲は、公称値から ±48mV 以内です。

表 7-1. IPPC 動作の最小周波数を選択するための TSET プログラミング オプション

TSET オプション番号	3.5V OCP の場合の TSET 電圧 (V_{SETB}) (V)	IPPC 動作 (kHz) の最低周波数	最大デッドタイム (µs)
17	2.295	698.6	0.5
16	2.168	591.6	0.5
15	2.041	501	0.5
14	1.914	424.3	0.5
13	1.787	359.3	1
12	1.66	304.3	1
11	1.533	256.7	1
10	1.416	218.2	1
9	1.299	184.8	1
8	1.182	156.5	1
7	1.074	132.5	1
6	0.967	112.2	1
5	0.850	95	1
4	0.742	80.5	1
3	0.644	68.1	1
2	0.547	57.7	1
1	0.450	48.9	1
X(1)	< 0.392	—	—

(1) 使用をお勧めしません。

VTSETA と VTSETB の差によって、与えられた電力出力に対して FBReplica 振幅を設定する積分器の時定数が設定され、過負荷電力 (OLP) スレッショルドを設定できます。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 積分器時定数を選択するための TSET プログラミング オプション

TSET オプション番号	3.5V OCP の場合の TSET 電圧 (V_{TSETA}-V_{TSETB}) (V)	積分器の時定数 (ns)
17	2.295	68
16	2.168	80
15	2.041	93
14	1.914	112
13	1.787	132
12	1.66	156
11	1.533	184
10	1.416	214
9	1.299	257
8	1.182	304
7	1.074	359
6	0.967	424
5	0.850	490
4	0.742	588
3	0.644	694
2	0.547	820
1	0.450	968
X(1)	< 0.392	X

1. 使用をお勧めしません。

7.3.2.2 UCC256616 の TSET プログラミング

UCC256616 の場合、V_{TSETB} 電圧のみで TSET 設定が構成されます。V_{TSETB} に基づいて、時定数だけでなく OCP スレッショルドを選択できます。時定数を選択すると、最大デッドタイムも設定されます。セクション 7.3.2.2 の列 2 は、IPPC 動作が維持される最低周波数を示しています。この周波数を下回ると、コントローラは引き続き閉ループ動作を維持し、従来の電流モード制御で動作します。

表 UCC256616 の TSET プログラミング オプション表 で、TSET 電圧の値は公称値です。各 TSET 設定で使用される最大および最小範囲は、公称値の ±48mV 以内です。

表 7-3. UCC256616 の TSET プログラミング オプション表

TSET オプション番号	3.5V OCP の場合の TSET 電圧 (V)	4V OCP の場合の TSET 電圧 (V)	IPPC 動作 (kHz) の最低周波数	積分器の時定数 (ns)	最大デッドタイム (µs)
17	2.295	2.675	698.6	68	0.5
16	2.168	2.802	591.6	80	0.5
15	2.041	2.929	501	93	0.5
14	1.914	3.056	424.3	112	0.5
13	1.787	3.183	359.3	132	1
12	1.66	3.310	304.3	156	1
11	1.533	3.427	256.7	184	1
10	1.416	3.554	218.2	214	1
9	1.299	3.681	184.8	257	1
8	1.182	3.798	156.5	304	1
7	1.074	3.906	132.5	359	1
6	0.967	4.013	112.2	424	1
5	0.850	4.130	95	490	1
4	0.742	4.238	80.5	588	1

Copyright © 2026 Texas Instruments Incorporated

表 7-3. UCC256616 の TSET プログラミング オプション表 (続き)

TSET オプション番号	3.5V OCP の場合の TSET 電圧 (V)	4V OCP の場合の TSET 電圧 (V)	IPPC 動作 (kHz) の最低周波数	積分器の時定数 (ns)	最大デッドタイム (µs)
3	0.644	4.336	68.1	694	1
2	0.547	4.433	57.7	820	1
1	0.450	4.532	48.9	968	1
X(1)	< 0.392	> 4.589	—	X	—

(1) 使用をお勧めしません。

7.3.3 帰還チェーン (制御入力)

出力電圧の制御は、絶縁膜の 2 次側にある電圧レギュレータ回路により提供されます。2 次側レギュレータ回路からの要求信号は、フォトカプラを使用して絶縁バリアを通過します。

定電流源 I_{FB} が、VCCP 電圧から生成され、FB ピンに接続されます。抵抗器 RFB も PMOS と直列に定電流源に接続されます。通常動作中は、FB ピンの電圧がツェナー ダイオード基準電圧に PMOS のソース — ゲート間電圧降下を加えた値と等しくなるように、PMOS は常時オンになります。

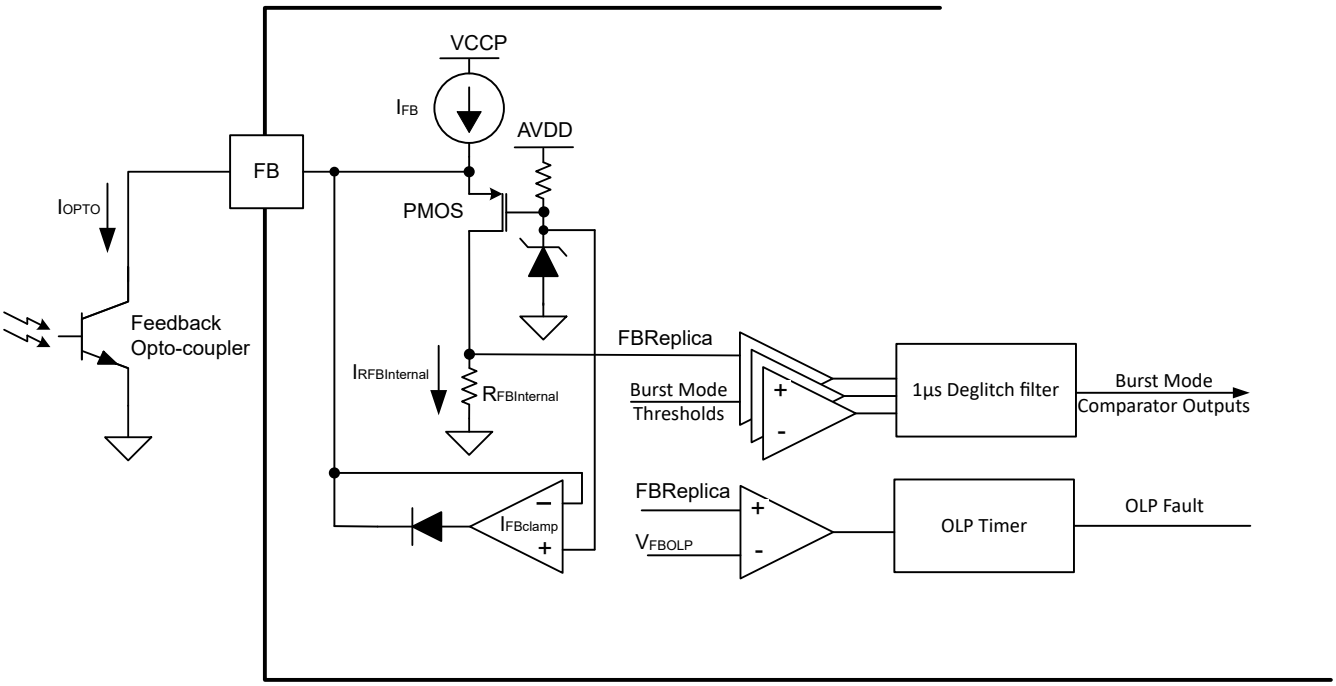


図 7-6. 帰還信号経路 ブロック図

$$I_{R_{FBInternal}} = I_{FB} - I_{OPTO} \quad (5)$$

制御信号 *FBReplica* は、式 6 を使用して表します。

$$FBReplica = I_{R_{FBInternal}} \times R_{FBInternal} \quad (6)$$

式 6 から、I_{OPTO} が増加すると、$I_{RFBInternal}$ が減少し、*FBReplica* が減少します。このように制御信号が反転します。I_{OPTO} が増加し続け、I_{FB} の値に達すると、PMOS を流れる電流が十分にないため、FB ピンの電圧は低下し始めます。FB ピンが low になると、フォトカプラの寄生コンデンサを充電して FB ピンの電圧をプルアップすることに起因する余分な遅延が発生し、システムの過渡応答に影響を及ぼします。FB ピンの電圧クランプ回路を使用して、この状況を防止します。FB ピンの電圧が FB ピンのクランプ電圧スレッショルドを下回ると、追加の電流源がオンになり、FB の電圧をクランプ

Copyright © 2026 Texas Instruments Incorporated

します。クランプの強度は $I_{FBClamp}$ です。FB ピン クランプ回路により、軽負荷から重負荷までのシステム過渡性能が向上します。FB ピンのクランプ動作を下図に示します。

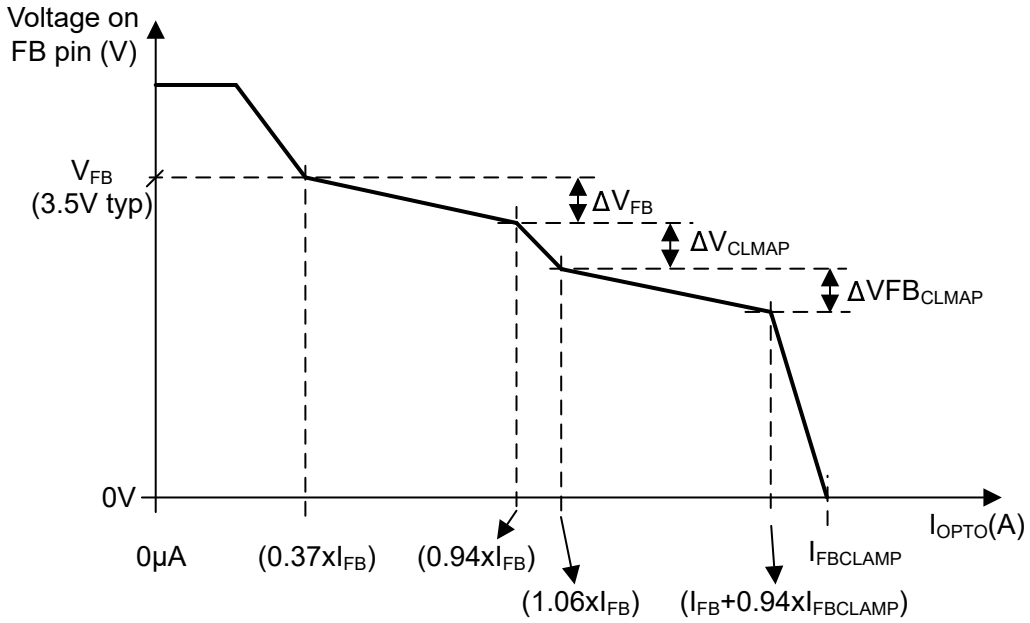


図 7-7. FB ピン電圧と FB ピン電流との関係

7.3.4 アダプティブ デッドタイム

UCC25661x ファミリには、ハイサイド パルスとローサイド パルス間のデッド タイムを最適化するため、高速な低レイテンシ スルーレート検出ブロックが実装されています。アダプティブ デッド タイム ブロックは、貫通電流および過剰なボディ ダイオード導通を防止するためにデッド タイムを調整します。

アダプティブ デッド タイム ブロックのコアには、最大 200V/ns のスルーレートを検出できるスルー レート検出器ブロックがあり、UCC25661x ファミリは高周波共振コンバータでの使用に最適です。

バースト モードでは、ZCS 防止動作中、またはスルー レートが低速になる可能性のある電力段で、共振タンクの電流極性信号 (極性コンパレータ出力) を使用してスルー レート検出器を強化します。

LLC の自然な対称動作を利用することで、スルーレート検出器は、ハイサイド スイッチがオフになってからローサイド スイッチがオンになるまでのデッドタイムのみを決定します。このデッド タイムはコピーされ、ローサイド MOSFET のターン オフとハイサイド MOSFET のターン オン間のデッド タイムに適用されます。デッド タイムがコピーされないいくつかの例外があります。条件は以下のとおりです。

- 直前の High から Low への遷移でスルーレート検出器信号が見つからない場合
- 前のサイクルでの ZCS 検出

上記の条件では、ISNS 信号に基づく Ipolarity コンパレータを使用して、low から high への遷移中のデッド タイムを調整します。

7.3.5 入力電圧検出

BLK ピンによる入力電圧検出を使用して、以下に示す複数の機能を実装します。

- 入力電圧のブラウンインおよびブラウンアウト
- 入力フィードフォワード (セクション 7.3.1 で説明)
- 入力電圧 OVP

Copyright © 2026 Texas Instruments Incorporated

7.3.5.1 ブラウンインおよびブラウンアウトのスレッショルドとオプション

UCC25661x ファミリは、プログラマブルなブラウンインおよびブラウンアウトのスレッショルドを提供します。BLK ピンの電圧が $V_{BLKStop}$ を下回ると、コントローラはブラウンアウト状態に移行し、スイッチングを停止します。ブラウンアウト状態では、追加の電流シンクがオンになり、BLK ピンから I_{BLKHys} を引きます。ピンに外部接続された等価抵抗を変更して、実際のブラウンイン電圧を設定します。

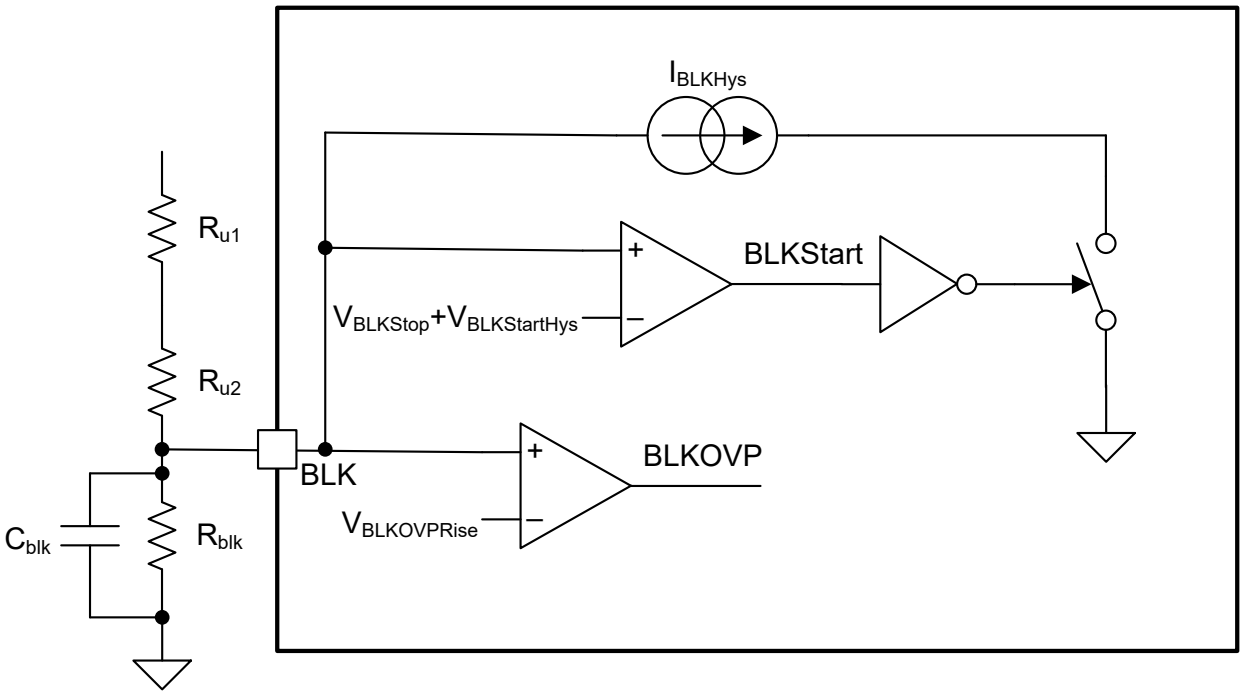


図 7-8. BLK ピンの入力電圧検出アーキテクチャ

ブラウンアウトが検出されると、コントローラはスイッチングを停止します。BLK 電圧がブラウンイン電圧を上回ると、コントローラはすぐにソフトスタートを開始し、フォルトのアイドル時間を待ちません。

7.3.5.2 AC 入力のゼロ交差検出

入力ゼロ交差検出は、BLK ピン検出用に AC ブラウンアウト オプションが選択されている場合のみイネーブルになります。この方法では、BLK ピンで分圧抵抗回路によって HV ピン電圧が検出されます。期待される波形は、分割した整流 AC 電圧です。70Vac 入力および 265Vac 入力時の BLK 抵抗デバイダに対して 8MΩ と 100kΩ を使用する例を示します。

Copyright © 2026 Texas Instruments Incorporated

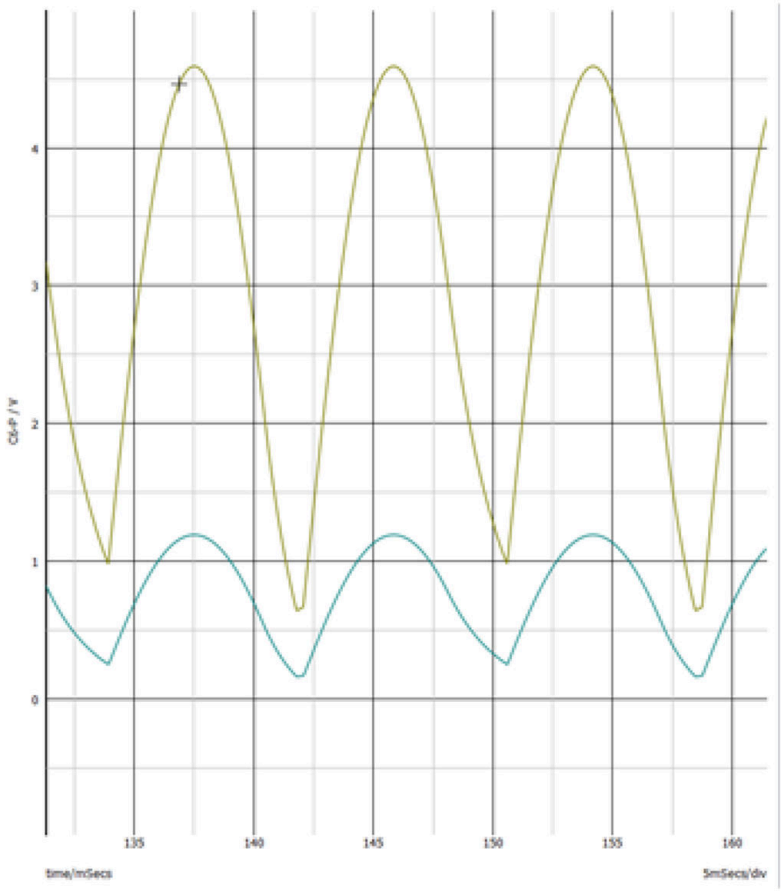


図 7-9. BLK ピンを使用した入力 AC ゼロ交差検出

AC 存在を判定するには、瞬時 BLK 電圧と BLK ピーク検出器出力の ½ を調べるコンパレータを使用します。瞬間的な BLK 電圧がピーク BLK 電圧の ½ を下回り、その後、½ BLK ピーク電圧を (ヒステリシス付きで) 上回ると、AC 存在が検出されます。X コンデンサ放電アルゴリズムは実質的に、AC の有無を検出するために、BLK コンパレータ出力の立ち上がりエッジ (blk_zcd) を探します。

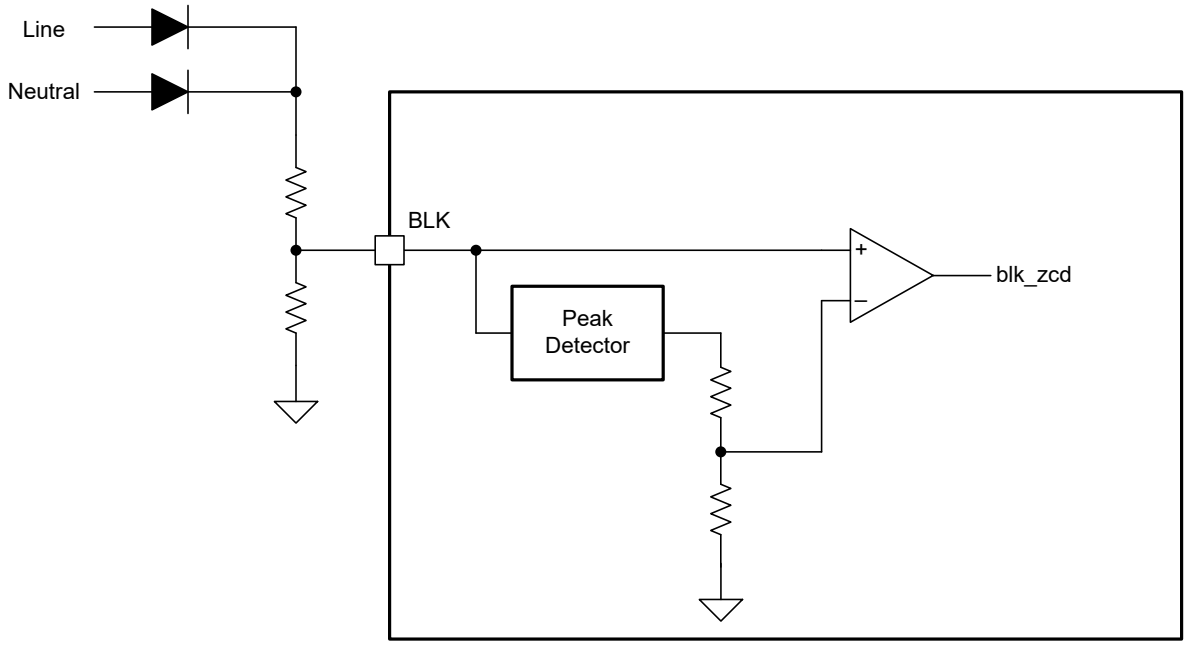


図 7-10. BLK ZCD 検出のブロック図

7.3.5.3 出力 OVP および外部 OTP

UCC25661x ファミリ はマルチファンクション ピン (OVP/OTP) を備えており、出力過電圧と外部過熱状態を監視します。バイアス巻線の反射電圧と電源電圧 VCCP は、出力電圧を監視します。

VCCP と OVP/OTP ピンの間にツェナー ダイオードを接続します。通常の動作条件では、ツェナーは導通せず、OVP/OTP ピンの電圧は NTC 抵抗と I_{OTP} のソース電流の結果となります。VCCP がツェナー ブレークダウン電圧を超えるのに十分な大きさになった場合、ツェナー電流により OVP/OTP ピンの電圧が high になります。OVP/OTP の電圧が $VOVP_{pos}$ スレッショルドを 40us 上回ると、コントローラは障害を検出し、スイッチングを停止します。

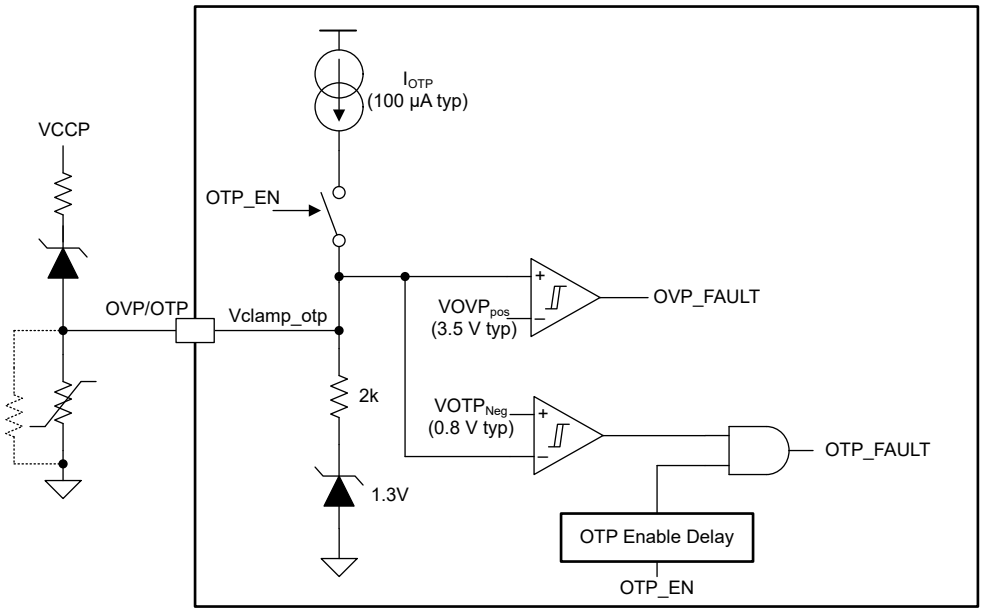


図 7-11. OVP/OTP 保護アーキテクチャ

Copyright © 2026 Texas Instruments Incorporated

NTC は OVP/OTP から GNDP に接続します。内部の電流源 I_{OTP} は、OVP/OTP ピンから流れ出し、NTC 抵抗に流れます。NTC の温度に基づいて、外部過熱フォルトが発生したかどうかを判断するために、ピンの結果として得られた電圧が $VOTP_{Neg}$ と比較されます。外部過熱保護が検出されると、UCC25661x ファミリはフォルト状態に移行します。1 秒の待機時間後に、UCC25661x ファミリは OVP/OTP ピンの電圧を確認します。OVP/OTP ピンの電圧が $VOVP_{Pos}$ よりも高い場合、UCC25661x ファミリは再起動を試みます。再起動できない場合、UCC25661x ファミリはフォルト アイドル状態で継続して待機します。バースト モード中は、静止電流を最小化するため、過熱保護機能が無効化されます。バースト モードから通常スイッチングに遷移するとき、OTP 機能が再度イネーブルされます。

7.3.6 共振タンク電流検出

ISNS ピンは微分器により共振タンク電流を検知します。過電流保護ピンとしてだけでなく、ISNS ピンも制御機能の重要な部分です。

ISNS ピンの機能は次のとおりです

- 制御電圧を発生させ、IPPC 制御に使用する積分器への入力
- OCP (サイクル単位) 保護
- 共振電流極性検出
- ZCS (ゼロ電流スイッチング) 防止とデッドタイム管理
- 起動時の逆回復回避

7.4 保護

7.4.1 ゼロ電流スイッチング (ZCS) 保護

ZCS 保護は、LLC コンバータが容量性動作領域に上回らないようにするために必要な機能です。容量性領域では、ボディ ダイオードの逆回復により、両方のスイッチに短時間電流が流れたために MOSFET が損傷する可能性があります。さらに、ゲインと周波数の関係は容量性領域で反転し、コンバータが電力段のレギュレーションを完全に失う可能性があります。ZCS 保護の目標は、電流が反転する前に MOSFET を確実にオフにできるようにすることで、MOSFET のボディ ダイオードがハード逆回復する可能性をなくすことです。これにより、出力段の信頼性が向上します。最小ターンオフ電流はスレッショルドに設定されます。これにより、この状況でのスイッチに対する ZVS または ZVS スイッチングの可能性が高くなります。デッド タイム エンジンを組み合わせると、スルー完了信号と IPOL 信号の両方を考慮しているため、V_{DS} 電圧のバレー ポイントで逆方向の MOSFET が確実にオンになり、スイッチング損失を最小限に抑えられるようになります。

Copyright © 2026 Texas Instruments Incorporated

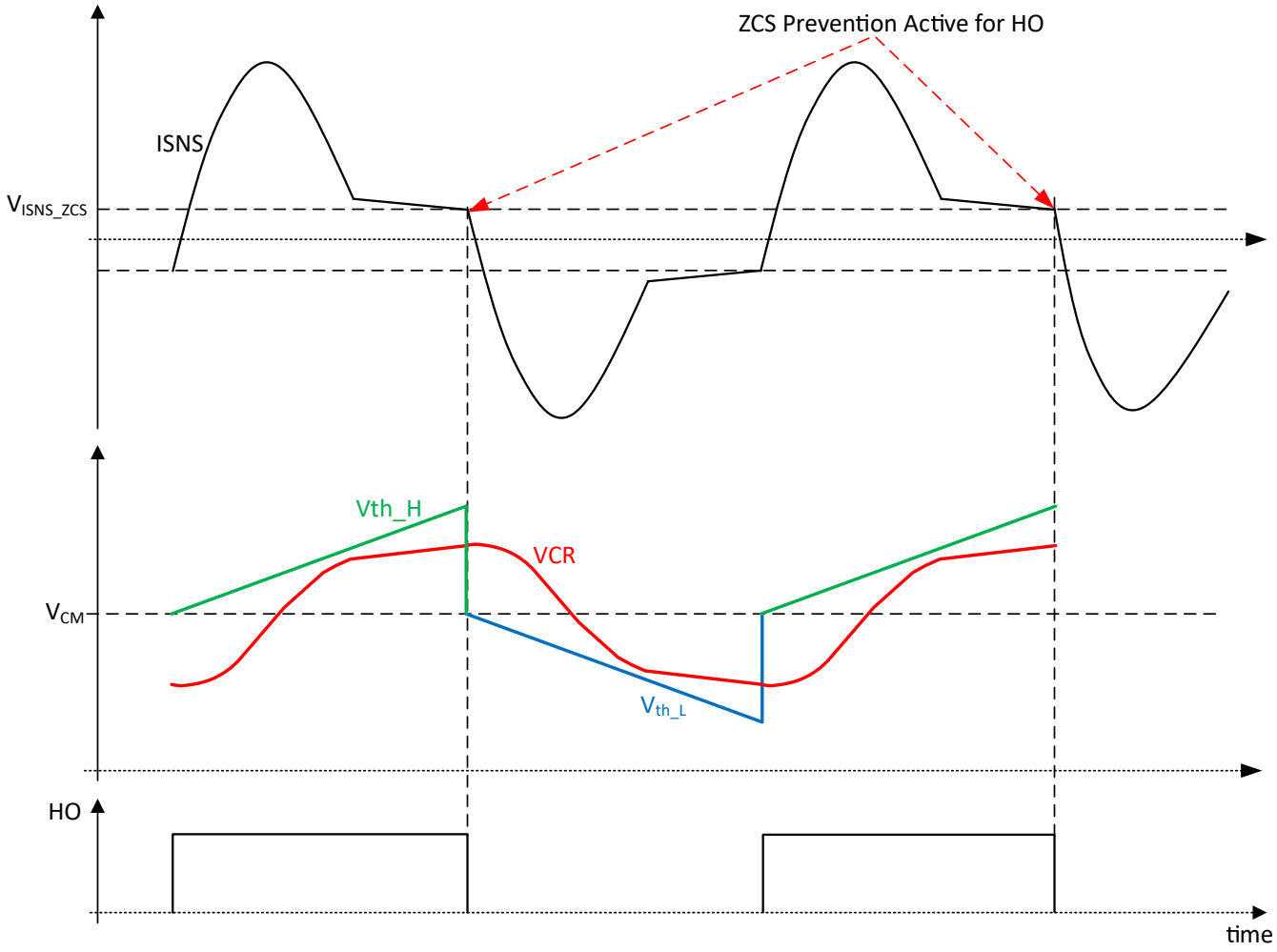


図 7-12. ZCS 保護

誘導性/容量性の境界で動作が成立しない場合は、ゲートがオフになる前に共振電流が減少します。ISNS 波形が V_{ISNS_ZCS} スレッショルドよりも低い場合、VCR 波形が VTH 境界を超えるのを待たず、ゲート パルス HO は早期終了します。この早期のゲート終端方法では、ゲート ターンオフ エッジで十分な共振電流を残して、デッド タイム中に ZVS 遷移を駆動できます。LO ゲート パルスについても同様の説明が有効です。

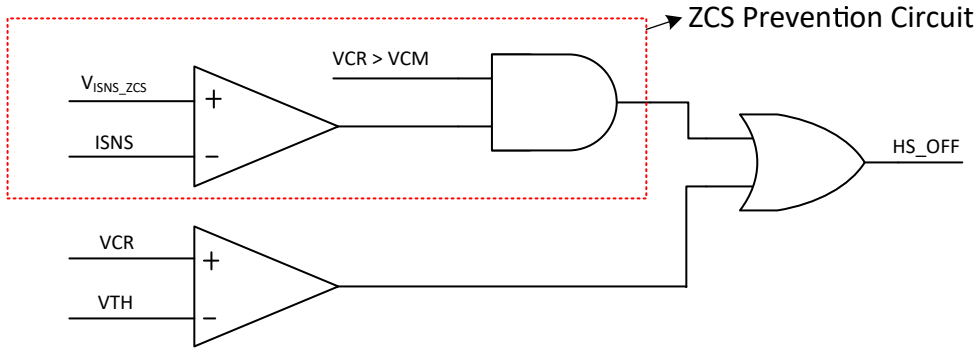


図 7-13. ハイサイド MOSFET がオンのときの ZCS 防止方式

共振周波数よりも共振電流の形状が十分低い場合、共振電流波形の正しい立ち下がりエッジを検出するにはいくつかの課題が生じます。UCC25661x ファミリには、ISNS 信号の正しい立ち下がりエッジを確実に検出して、誤トリップを防止す

Copyright © 2026 Texas Instruments Incorporated

るため、追加のロジックが実装されています。ノイズに対する堅牢性を高めるため、HO または LO ゲートの立ち上がりエッジで ISNS ZCS コンパレータがブランキングされます。VCR コンパレータと ISNS ZCS コンパレータの両方で、同じブランキング時間 tleb が使用されます。ZCS イベントが検出されると、内部ソフト スタート ランプ電圧がゆっくりと低下します。内部ソフト スタートが下降すると、スイッチング周波数も強制的に上昇し、コンバータの容量性領域から強制的に逸脱します。TZCSFault が一定時間持続した ZCS 条件が発生した場合、UCC25661x ファミリ コントローラはスイッチングを停止し、フォルト状態に移行します。

7.4.2 ソフト スタート中の最小電流ターンオフ

起動時および 1 次側の最初の MOSFET 数スイッチング サイクルでは、ボディ ダイオードの逆回復とハード スイッチングが行われることがあります。この経験は主に、起動時に、Vin/2 の定常状態動作電圧から共振コンデンサが DC バイアス電圧を生じる可能性があることによるものです。これにより、起動時の共振タンク電流が非対称になります。最初の数サイクルでは、非対称性が十分に高く、スイッチ ターンオフの時点の電流が逆極性になることがあります。

その例については、図 7-14 を参照してください。

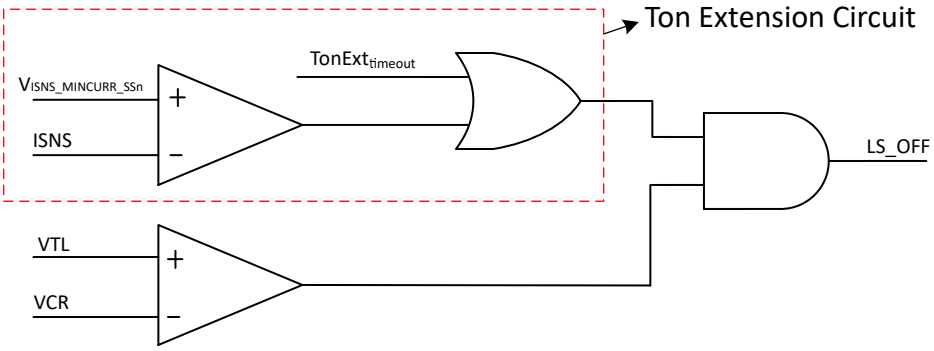


図 7-14. Ton 拡張方式

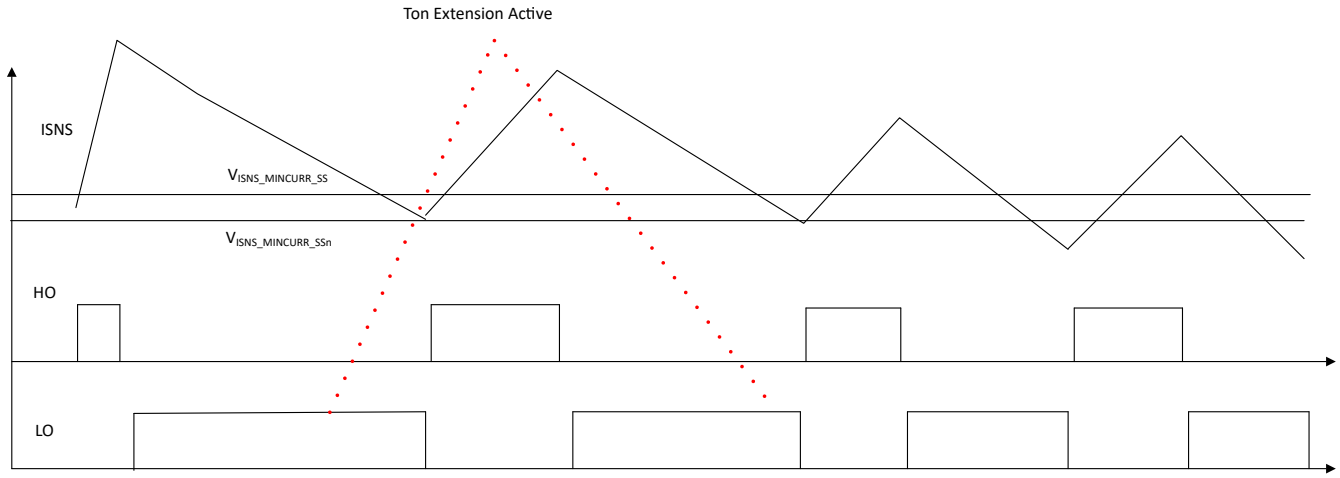


図 7-15. 起動時の ZCS 防止

7.4.3 サイクル単位の電流制限と短絡保護

UCC25661x ファミリの OCP およびサイクル単位の電流制限機能は、短絡に対して高速 (50ns 未満) 応答を実現しています。サイクル単位の保護機能は、電力段のピーク ストレスを制限するのに役立ちます。ISNS 電圧が V_{ISNS_OCP} を上回ると、現在の HO ゲート パルスは終了します。それに応じて、後半サイクルで、対応する過電流制限が検出されると、現在の LO パルスが終了します。7 回のスイッチング サイクル (n_{OCP}) 連続での状態で OCP が検出されると、デバイスはフォルト状態に移行します。50 回のスタートアップ中、連続スイッチング サイクルの (n_{OCP_SS}) で OCP 状態が検出されると、デバイスはフォルト状態に移行します。

Copyright © 2026 Texas Instruments Incorporated

7.4.4 過負荷 (OLP) 保護

フィード フォワードを備えた IPPC は、Pout と内部制御信号 FBReplica の間に密接な相関関係を得ます。

FBReplica が V_{FBOLP} を上回ると (すなわち、I_{opto} が 0µA に低下すると)、システムは入力電力の制限を開始し、OLP タイマ カウントが増加します。FBReplica が (T_{OLP}) を上回る間 V_{FBOLP} を上回ると、OLP フォルトが検出され、システムはフォルト再起動シーケンスに移行します。

7.4.5 VCC OVP 保護

VCCP ピンの内部電流制限クランプにより、VCCP ピンを保護し、VCCP ピンに印加される電圧が推奨最大電圧を超えると、ゲート駆動出力電圧をクランプします。クランプには最大シンク電流 $IVCC_{Clamp}$ があります。VCC_{Shunt} を流れる電流が $IVCC_{Clamp}$ を超えると、VCCP ピンの電圧が VCC_OV を超えてさらに上昇します。上昇する場合、UCC25661x はフォルト状態に移行し、1 秒のフォルト アイドル時間後に再試行します。

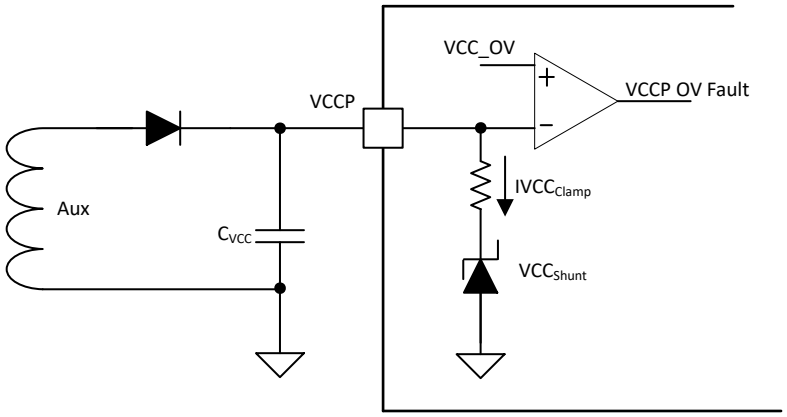


図 7-16. VCC クランプ

7.5 デバイスの機能モード

7.5.1 スタートアップ

7.5.1.1 HV スタートアップ内蔵

7.5.1.1.1 最初の起動シーケンス

1. AC プラグを差し込むと、HV ピンに電圧が印加されます。VCCP 電圧が VCC_{Short} を下回ると、VCCP ピンは $I_{VCC_Charge_Low}$ で充電されます。VCCP 電圧が VCC_{Short} より高い場合は、VCCP ピンが $I_{VCC_Charge_High}$ で充電されます。
2. VCCP 電圧が VCC_{UVLOr} を上回ると、デバイスの初期化が完了するまで、内部 LDO が V5P 電圧をレギュレートします。
3. V5P が確立されます。LL ピンと TSET ピンは、バースト モードと内部 VCR シンセサイザのプログラミングに使用します。
4. HV スタートアップ オプションがイネーブルの場合、VCCP が完全に確立される前に PFC がオンになるのを防ぐため、TSET ピンは high (PFC オフを意味します) を出力します。
5. VCCP が $VCC_{StartSelf}$ を上回ると、HV 充電電流は停止します。LLC の起動プロセスが開始されます。TSET 電圧は 1V 未満に維持され、PFC が起動することができます。
6. ステージ 3 と 4 の間に、VCCP 電圧が $VCC_{ReStartJfet}$ を下回ると、HV 充電電流が再度イネーブルになり、VCCP は $I_{VCC_Charge_High}$ で充電されます
7. LLC の起動が完了すると、VCCP が $VCC_{ReStartJfet}$ を下回るまでの間、HV 充電電流はディスエーブルになります。
8. 通常動作中に、VCCP 電圧が $VCC_{StopSwitching}$ を下回ると、異常が発生し、UCC25661x ファミリはシャット ダウンします。その後、通常の再起動シーケンスが実行されます。

Copyright © 2026 Texas Instruments Incorporated

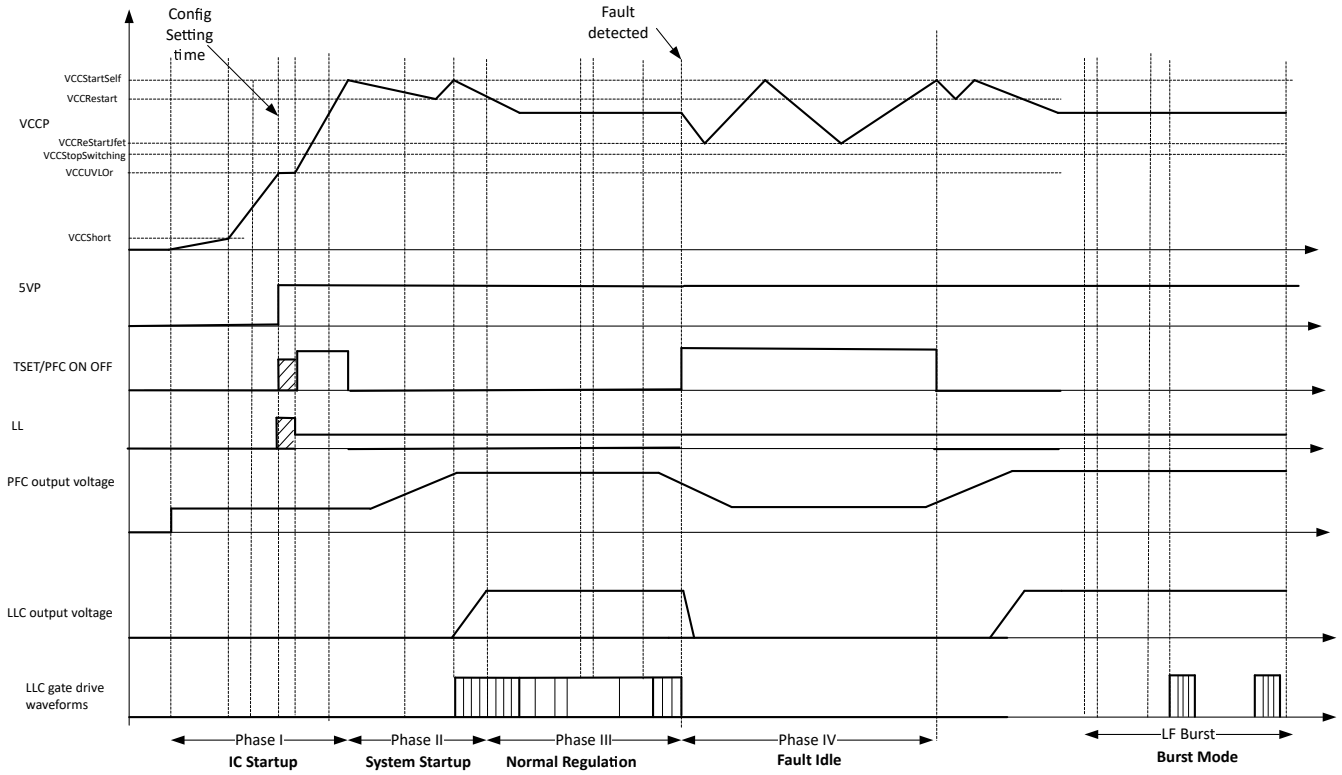


図 7-17. 「*HV スタートアップ*」機能の起動シーケンスを有効化

7.5.1.1.2 シーケンスを再起動します

1. 異常が検出されると、UCC25661x ファミリはシャット ダウンします。フォルト リトライ モードの場合、1 秒間のアイドル時間の後、UCC25661 は再試行します (VCCP が VCC_{UVLOf} を上回っているとき、TSET 出力は high)。
2. VCCP 電圧が VCC_{Short} を下回ると、VCCP ピンは $I_{VCC_Charge_Low}$ で充電されます。VCCP 電圧が VCC_{Short} より高い場合は、VCCP ピンが $I_{VCC_Charge_High}$ で充電されます。VCCP ピンの電圧が $VCC_{StartSelf}$ より高い場合、HV 起動はイネーブルではありません (位相 I がスキップされます)。V5P が確立され、バースト モード設定用に LL ピンが解放されます。

7.5.1.2 HV スタートアップなし

HV スタートアップが無効になると、PFC オン/オフ信号も無効化されます。スタートアップ シーケンスは、次のとおりです。

1. VCCP 電圧が VCC_{UVLOr} を上回ると、V5P が確立されます
2. LL ピンと TSET ピンは、バースト モードおよび内部 VCR 積分器の設定に使用されます。
3. VCC が VCC_{UVLOf} を下回ると、V5P はオフになり、システムはシャット ダウンされます。

Copyright © 2026 Texas Instruments Incorporated

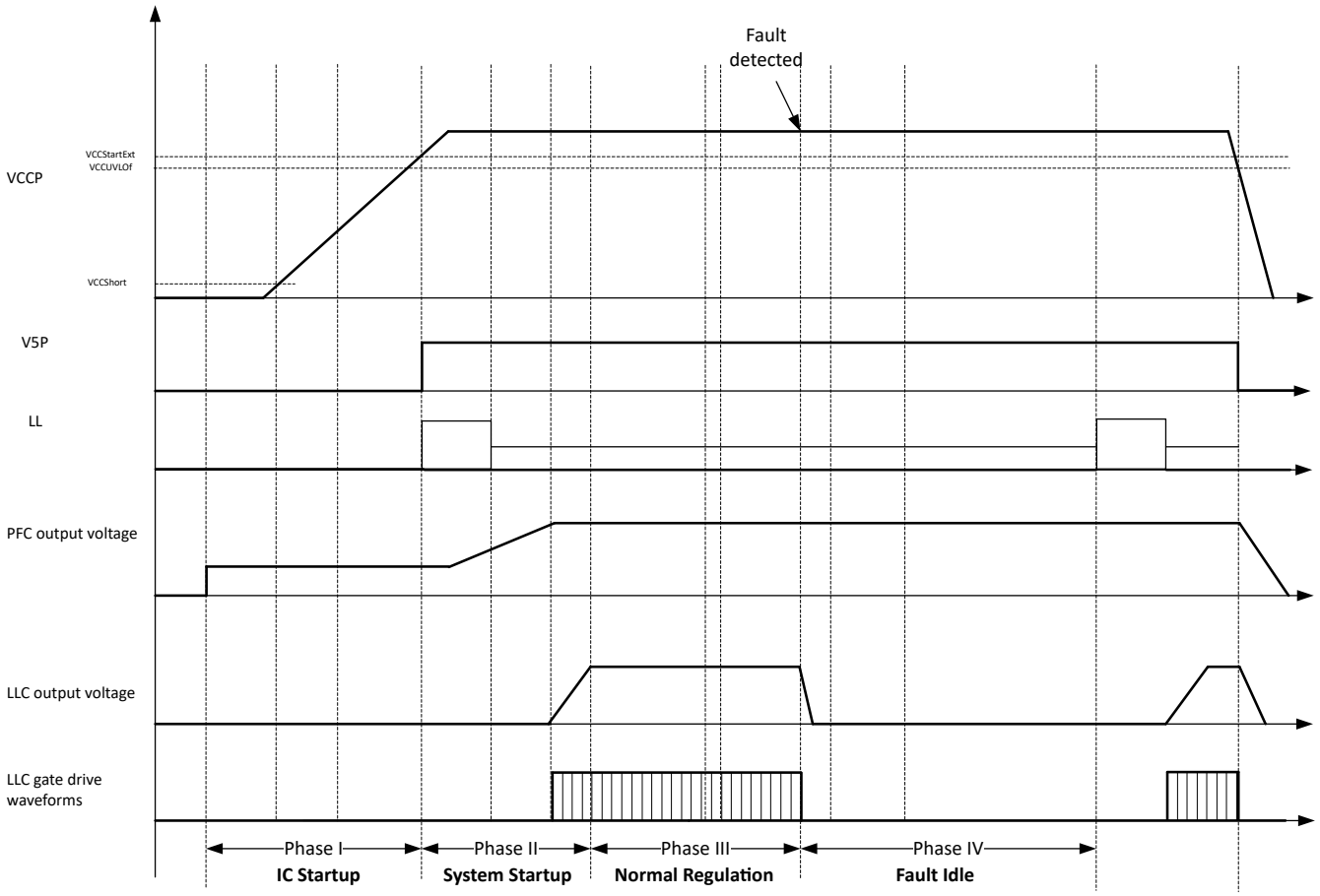


図 7-18. 「HV スタートアップ」機能の起動シーケンスを無効にしました

7.5.2 ソフト スタート ランプ

ソフト スタート ランプは、UCC25661x ファミリに内蔵されています。内部で 25ms の固定最大ソフト スタート時間が生成されるため、出力電圧の高速上昇を可能にしながら、スタートアップ時の突入電流を低減します。

7.5.2.1 スタートアップからレギュレーションへの遷移

UCC25661x ファミリには、新しいソフト スタートが実装されているため、起動時の突入電流を制御できます。この新しい方式により、早期のソフト スタートの終了を回避でき、ソフト スタートと閉ループ レギュレーションとの間をスムーズな遷移を確立するのに役立ちます。

スタートアップ時に、定義されたスロープを使用して内部ソフト スタート電圧 (*SSRamp*) が上昇し、*FBReplica* は出力電圧がレギュレーション電圧を下回っていることから high になります。ピックの下型ブロックはこれら 2 つの信号を識別し、より小さい方の信号を使用して、電力段スイッチのターンオフを制御します。

ソフト スタートは、*SSRamp* が最小スレッショルドを上回った後にのみ終了し、図 7-19 に示すように、早期のソフトスタート終了を回避します。

Copyright © 2026 Texas Instruments Incorporated

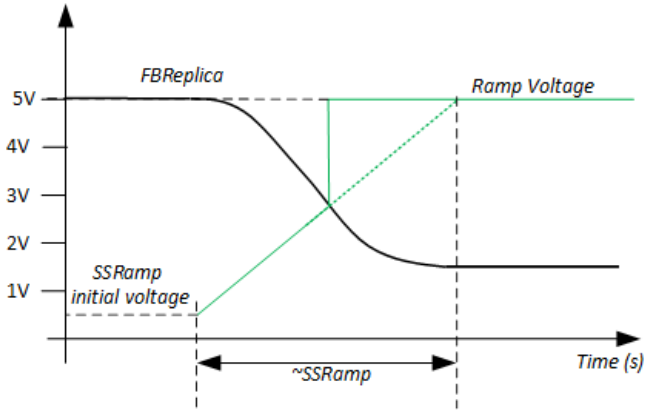


図 7-19. ソフト スタート動作

7.5.3 軽負荷効率の管理

7.5.3.1 動作モード (バースト パターン)

UCC25661x ファミリ バースト モード アルゴリズムは、可聴ノイズを最小限に抑えながら、軽負荷時の効率を向上させます。これは、バーストパケットの周波数を可聴範囲を上回る (25kHz 超) ように維持するか、またはバースト パケットの周波数を可聴領域の非常に低い端 (400Hz 未満) に維持することで実現されます。UCC25661x ファミリは 2 つのバースト モード パターンである、高周波 (HF) パルス スキップと低周波数 (LF) バーストを採用しています。

HF バースト パケットには、固定数の LO および HO パルスが含まれます。HF バーストの目的は、バースト周波数を可聴周波数範囲よりも高く維持することです。下の図では、スイッチ ノードの 2 番目のバレーでローサイド ゲートがイネーブルになり、次の HF バースト パケットの配信を開始します。

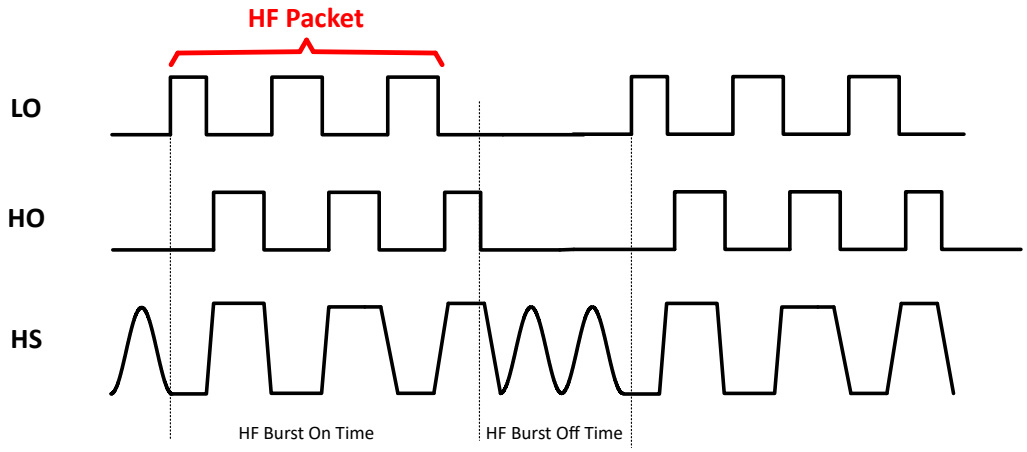


図 7-20. 高周波数パルス スキップ パケット

LF バーストには、いくつかの HF バースト パケットと LF バースト オフ期間が含まれます。

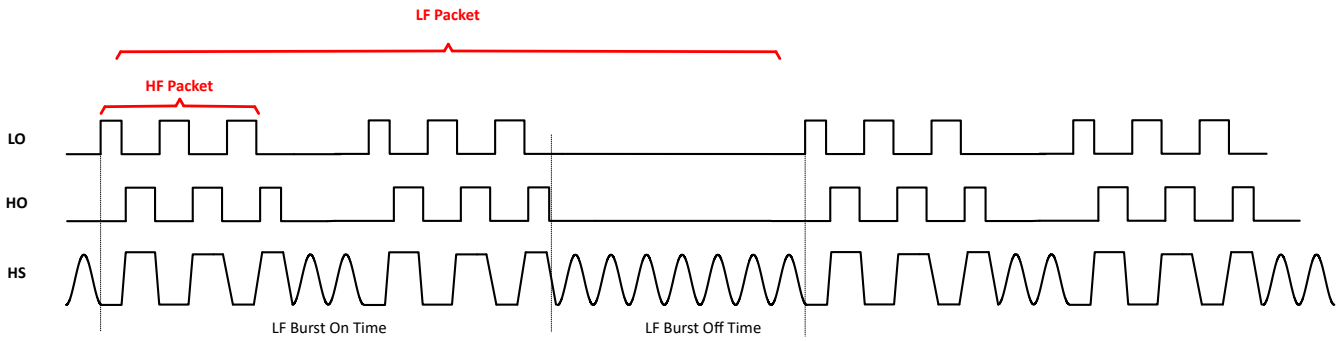


図 7-21. 低周波数のバースト パケット

LF バースト周波数を周波数範囲内に維持するために、HF バースト パケットの数が計算されます。目標周波数範囲のセットを内部的に用意しており、デフォルト オプションは、200Hz 付近で LF バーストを制御することです。

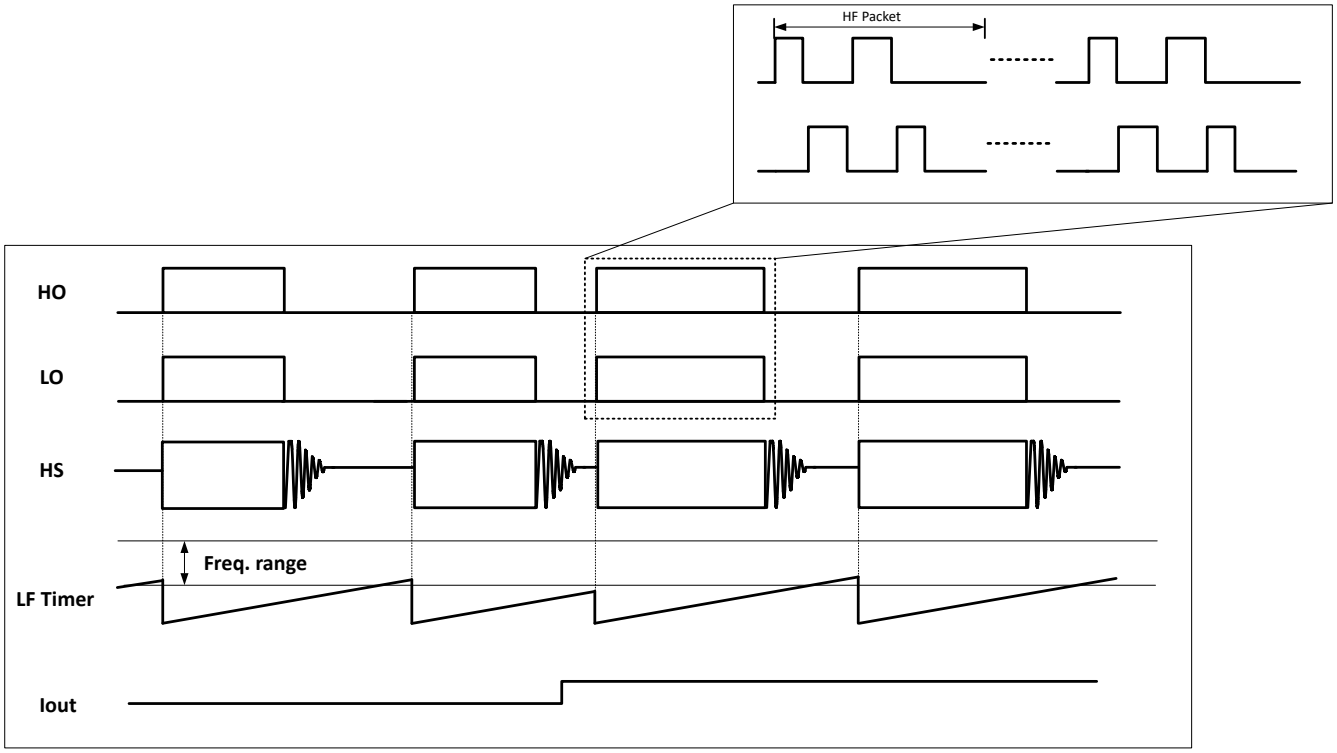


図 7-22. LF バースト内のパケット サイズ レギュレーション

7.5.3.2 モード遷移の管理

LL ピンを使用して、UCC25661x ファミリが HF パルス スキップおよび LF バースト モードに移行する電力レベルを設定します。設定可能な 2 つのスレッショルドは、*HFBurstEntry* と *LFBursttEntry* です。電力レベルの構成方法の詳細については、セクション 7.5.3.3 を参照してください。

図 7-23 に、バースト モードでの UCC25661 の開始および終了動作を示します。

- *HFBurstEntry* は、システムが HF パルス スキップに入る目的の電力レベルにおける *FBReplica* 電圧に対応します。
- *LFBurstEntry* は、システムが LF Burst に移行する修正 *FBReplica* 電圧に対応します。
- FBreplica が HFBurstEntry を上回ると、UCC25661x ファミリは通常スイッチングで動作します。

Copyright © 2026 Texas Instruments Incorporated

- FBreplica が HFBurstEntry 未満で、LFBurstEntry より大きい場合、UCC25661x ファミリは HF パルス スキップ モードで動作します。HF パルス スキップ モードでは、各パケットのエネルギーは引き続き制御信号 *FBReplica* によって制御されます。
- FBreplica が LFBurstEntry を下回ると、UCC25661x ファミリは LF バースト モードで動作します。LF バースト モードでは、各パケットのエネルギーは *LFBurstEntry* スレッショルドに固定されます。
- LF バーストモードで動作しているときは、*FBReplica* が *LFBurstEntry* スレッショルドを上回ると、新しい LF バースト セグメントが開始されます。セグメントは、目的の数のパケットが配信され、*FBReplica* が *PacketStop* スレッショルドを下回ると終了します。
- LF バースト セグメント内の必要なパケット数が計算され、LF バースト動作周波数が 200Hz ～ 400Hz 以内に調整されます。
- 急激な負荷降下が発生した場合、出力の過電圧状態を回避するために LF バースト セグメントはただちに終端されます。
- LFBurst において、LFBurstExit および HFBurstExit スレッショルドは連続的に計算されます。式 7 および 式 8 では、これについて説明します。
- FBReplica が LFBurstExit を上回ると、UCC25661x ファミリは HF バースト モードでの動作に戻ります。
- FBReplica が HFBurstExit を上回ると、UCC25661x ファミリは HFBurst を終了し、通常スイッチングに移行します。
- コントローラが HFBurst を終了するたびに、コントローラが再びバースト モードにならないように、2ms のブランキング時間が追加されます。このブランキング期間中に、*FBReplica* が PacketStop スレッショルドを下回ると、コントローラは再び LFBurst に入ります。

$$\text{LFBurstExit} = \text{LFBurstEntry} \times \frac{(\text{LF Burst On Time} + \text{LF Burst Off Time})}{(\text{LF Burst On Time})} \quad (7)$$

$$\text{HFBurstExit} = \text{HFBurstEntry} \times \frac{(\text{HF Burst On Time} + \text{HF Burst Off Time})}{(\text{HF Burst On Time})} \quad (8)$$

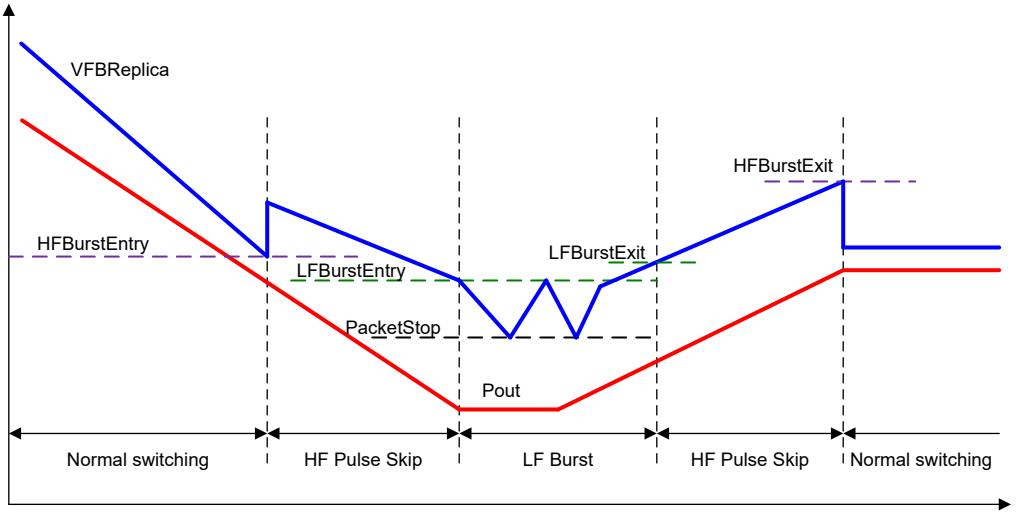


図 7-23. *FBReplica* コンパレータからのバースト モードの決定

7.5.3.3 バースト モード スレッショルド プログラミング

バースト モード スレッショルドは、V5P と GNDP の間に接続された外付け抵抗分圧器によって行われます。外部分圧器のセンターノードを LL ピンに接続します。プログラミング フェーズ中に、定電流 I_{LLPrgm} が LL ピンに供給され、その結果得られる電圧は、T_{LLPrgm} の時点で ADC (V_{LLA}) を介して測定されます。T_{Prgm} の後、I_{LLPrgm} がオフになり、LL 分圧抵抗の電圧 (V_{LLB}) が測定されます。

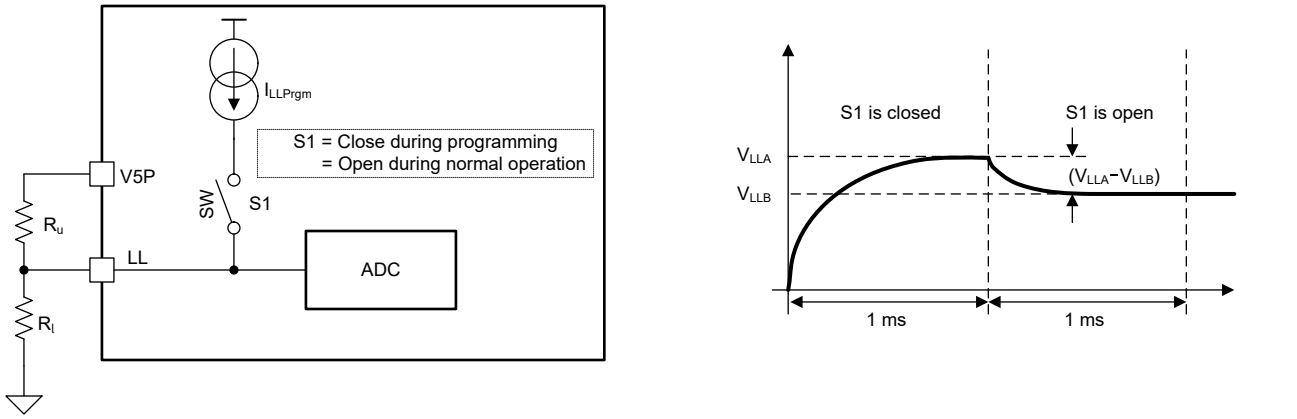


図 7-24. LL ピンのプログラミング

スイッチ S1 がオフになった後の LL ピンの電圧 (V_{LLB}) は、システムが LF バースト セグメントを停止する入力電力を設定するために直接使用されます (*PacketStop* = V_{LLB})。

測定された V_{LLB} 電圧、および V_{LLA} と V_{LLB} の電圧差に基づいて、コントローラが HF バーストに入る *FBReplica* 電圧を決定します。詳細については、設計計算機を参照してください。

コントローラが LF バーストセグメントを開始する *FBReplica* は、式 9 を使用して計算されます。

$$\text{LFBurstEntry} = \text{PacketStop} \div 0.6 \tag{9}$$

HFBurstexit および *LFBurstexit* スレッショルドには、それぞれ *HFBurstentry* および *LFBurstentry* からのヒステリシスがあります。2 つのヒステリシスはユーザー定義のパラメータではありません。これら 2 つのヒステリシスは、コンバータの動作ポイントに基づいて内部で動的に推定されます。

バースト モード機能は、(V_{LLA} - V_{LLB}) を適切にプログラムすることで無効化できます。

表 7-4. バースト モードを外部でプログラム可能な設定

(VLLA - VLLB) (V)	a = (PacketStop ÷ HFBurstEntry) 比率	備考
> 2.41	該当なし	バースト無効化
2.185	0.45	LF 周波数範囲:200Hz ～ 400Hz
1.754	0.50	LF 周波数範囲:200Hz ～ 400Hz
1.391	0.55	LF 周波数範囲:200Hz ～ 400Hz
1.087	0.60	LF 周波数範囲:200Hz ～ 400Hz
0.833	0.65	LF 周波数範囲:200Hz ～ 400Hz
0.617	0.70	LF 周波数範囲:200Hz ～ 400Hz
0.441	0.75	LF 周波数範囲:200Hz ～ 400Hz
0.176	0.80	LF 周波数範囲:200Hz ～ 400Hz

システムがさまざまな低消費電力モードに移行する入力電力を直接設定できるため、バースト モードを動的に無効にすることで、システム設計の自由をさらに高めることができます。

7.5.3.4 バースト モードでの TSET ピンの代替機能

Copyright © 2026 Texas Instruments Incorporated

7.5.3.4.1 PFC オン / オフ

UCC256614 では、TSET ピンを PFC オン / オフ ロジックとして使用できます。初期のプログラミング フェーズの後、TSET は小信号 MOSFET (たとえば 2N7002) を駆動するために想定されるロジック出力ピンになります。UCC256614 が LF バースト モードで動作すると、PFC オン / オフ 信号が high になります。LF バースト モードを終了すると、TSET ピンの電圧が low になります。これは、PFC をオフにするか、PFC コントローラのバースト モード スレッショルドを調整して、低スタンバイ電力モードを有効にするために使用できます。

7.5.3.4.2 強制バースト モード

UCC256610 では、低周波バースト モードはソフトオンおよびソフトオフ波形整形を行います。これにより、低可聴ノイズのスタンバイ モードを実現できます。強制バースト モードを使用しない場合、負荷がわずかに増加するため、コントローラは何度もバーストモードを終了して通常のスイッチング動作を再開し、その後バーストモードに戻ることがあります。追加のソフトオンおよびソフトオフ パケットに起因するこの頻繁なモード ジャンプにより、可聴ノイズが増加します。

これを回避するため、UCC256610 では、TSET ピンが起動後に入力ピンとして機能します。TSET を (GND に対して) Low にすることで、コントローラは、バースト パケットのソフトオンおよびソフトオフ シェーピングを伴う低周波数バースト モードでの動作を維持します。これにより、低可聴ノイズ モードで動作を継続できます。TSET ピンがプルダウンから解放されると、コントローラは負荷条件に基づいて動作モードを再開します。

7.5.3.5 ソフト オン / オフ

ソフト オン / オフがイネーブルの場合、LF パケットの 1 番目と最後の 2 つの HF パケットは、スイッチング スレッショルドに対して低い電圧を使用します。

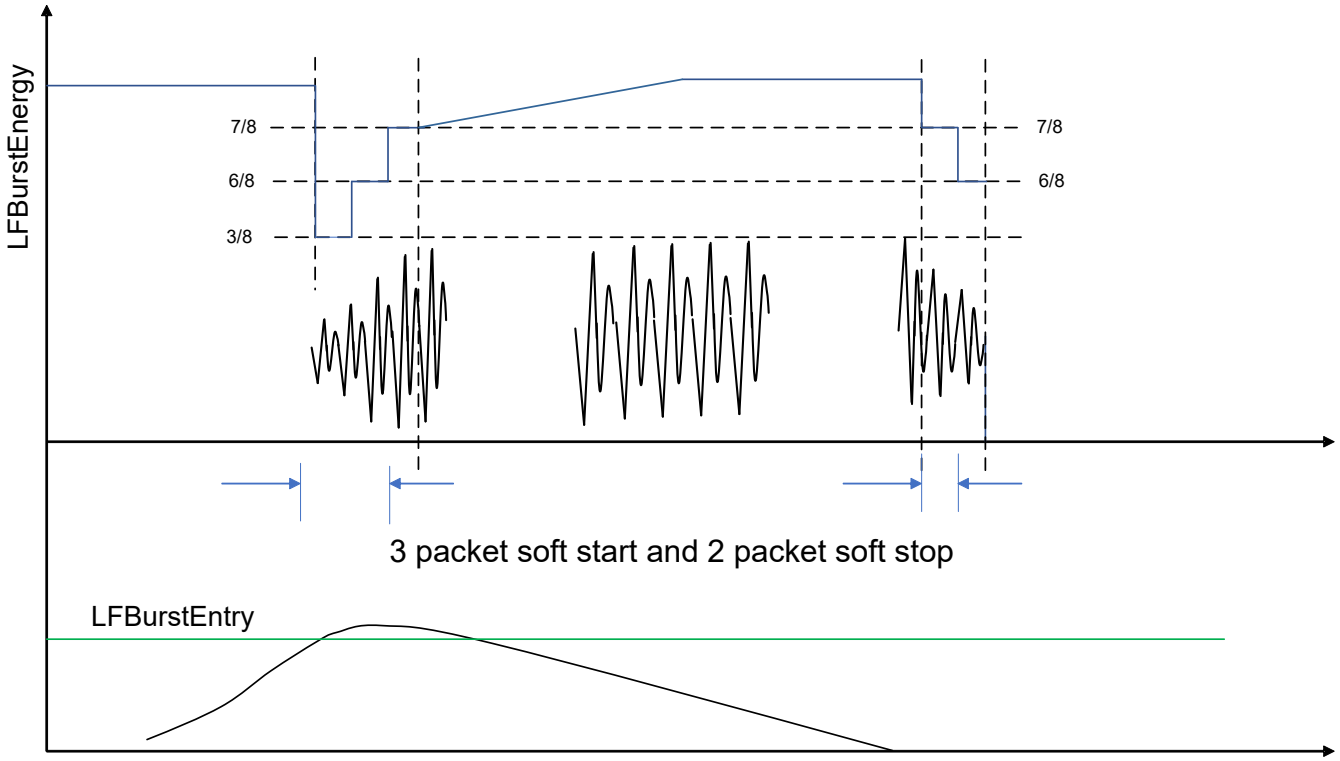


図 7-25. ソフト オン / ソフト オフ対応の低周波数バースト パケット

7.5.4 X コンデンサの放電

HV ピンは、AC 存在検出と X コンデンサ放電に使用します。

7.5.4.1 HV ピンのみでの検出

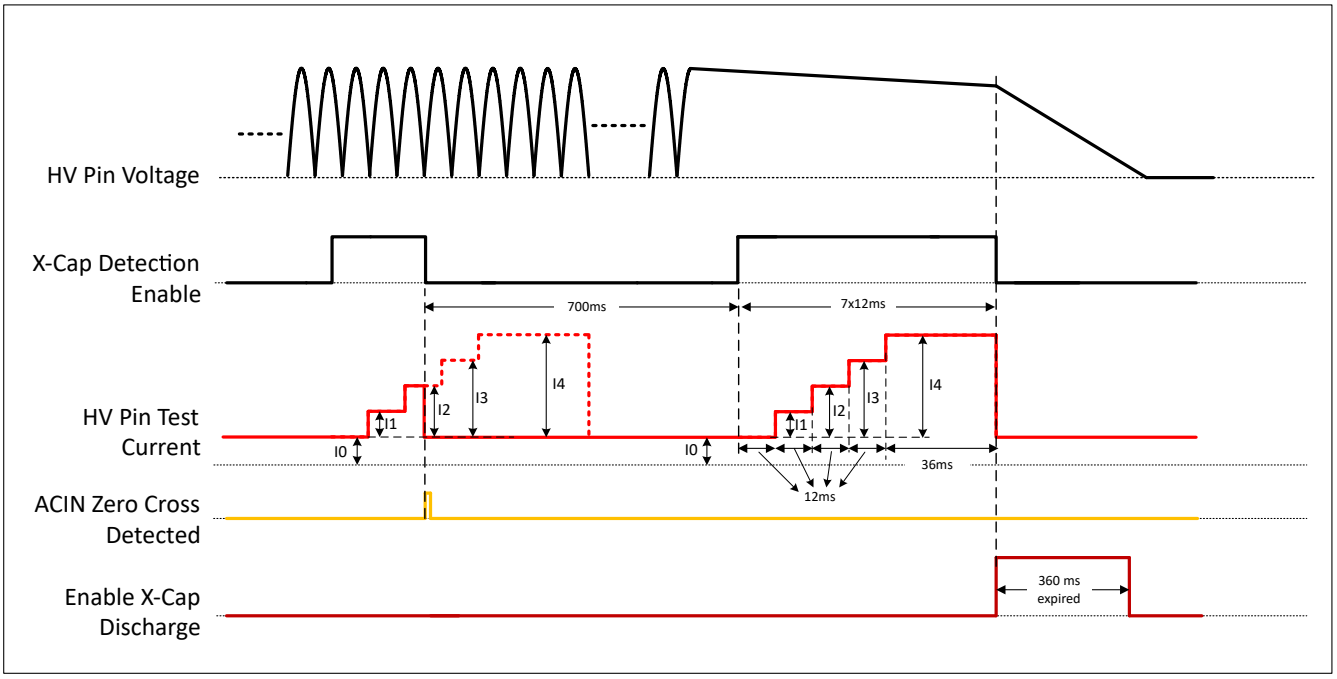


図 7-26. ゼロ交差検出シーケンス (HV ピンのみ)

Copyright © 2026 Texas Instruments Incorporated

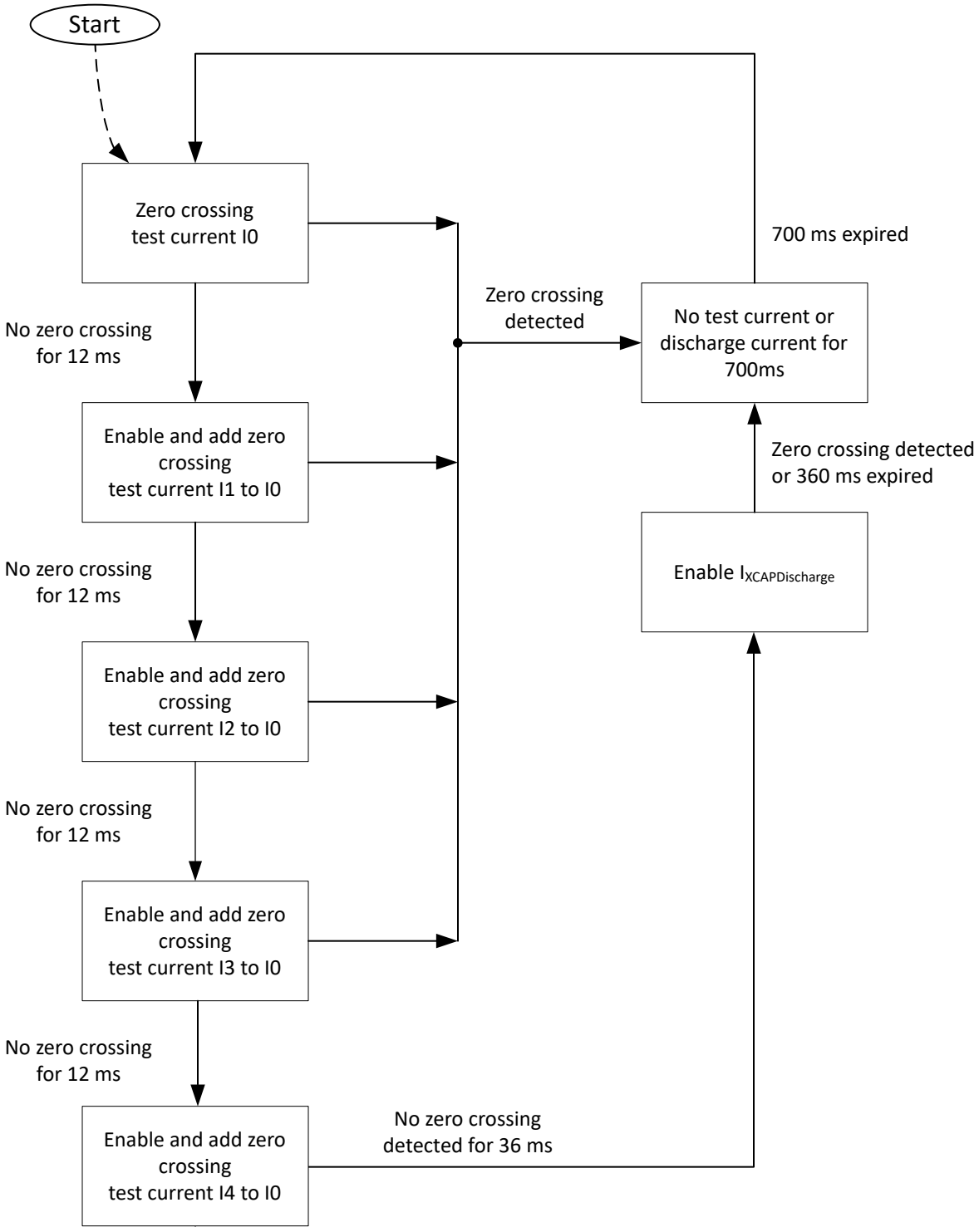


図 7-27. AC ZCD と X コンデンサ放電のフロー チャート

1. 700ms ごとに、HV ピンのゼロ交差検出回路が動作します。
2. 最初は、HV ピンのテスト電流は I0 で、時間は 12ms です。HV ピン電圧がチェックされ、電圧が 9V スレッショルド未満であるかどうかが確認されます
3. HV ピンの電圧が 9V を下回らない場合は、テスト電流 I1 を I0 に印加して、HV ピンの電圧が 9V スレッショルド未満であるか再度確認します

4. それでも HV ピンの電圧が 9V を下回らない場合は、I2 にテスト電流を追加し、次に I3、I4 を I0 に印加してテスト電流を上げ続けます。
5. I4 テスト電流の最大オン時間は 36ms です
6. I4 の後であっても HV ピンの電圧が 9V を下回らない場合、X コンデンサ放電回路が 360ms 間イネーブルになります。
7. 2 つのテスト電流イベントとの間の最小間隔は 700ms です

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UCC25661x ファミリは、LLC トポロジを実装する広範なアプリケーションに使用できます。使用の参考として、デバイスの機能を説明している以下の資料を活用してください。

- フル機能の評価基板ハードウェア
- Excel 設計計算ツール
- Simplis モデル

以下に代表的な設計例を記載します。

8.2 代表的なアプリケーション

図 8-1 に UCC256611 をコントローラとして使用する代表的なハーフ ブリッジ LLC アプリケーションを示します。

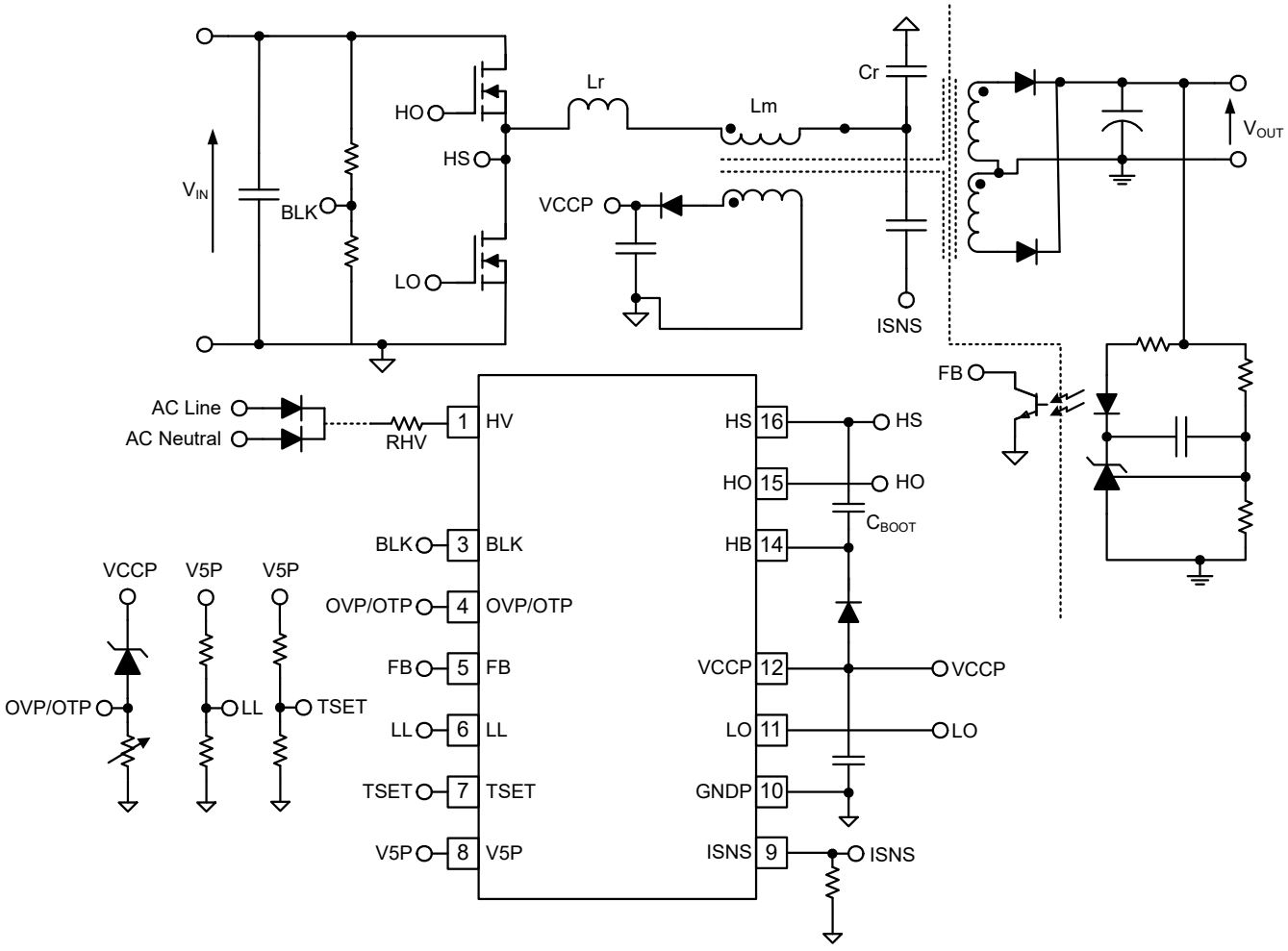


図 8-1. 代表的なアプリケーションの図

8.2.1 設計要件

設計仕様の概要を 表 8-1 に示します。

表 8-1. システム設計仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力特性					
DC 電圧範囲		365	390	410	VDC
AC 電圧範囲		85		264	VAC
AC 電圧周波数		47		63	Hz
入力 DC UVLO オン			365		VDC
入力 DC UVLO オフ			315		VDC
出力特性					
出力電圧、VOUT	無負荷 ～ 全負荷		12		VDC
出力負荷電流、IOUT	360VDC～410VDC			15	A
出力電圧リップル	390VDC、全負荷 = 15A		120		mVpp
システム特性					
共振周波数			100		kHz
ピーク効率	390VDC		92		
動作温度	自然対流		25		°C

8.2.2 詳細な設計手順

8.2.2.1 LLC 電力段要件

設計は、LLC 電力段コンポーネントの各値を設定することから始まります。ここに述べる LLC 電力段の設計手順は、『*LLC 共振ハーフ ブリッジ パワー コンバータの設計*』アプリケーション ノートから引用したものです。このアプリケーション ノートでは、使用する各式の由来が十分に説明されています。以下の式は、LLC 方式の解析によく用いられる FHA (First Harmonic Approximation) 法に基づきます。この手法は、あらゆる設計の出発点には適しているものの、最終設計には FHA の結果、回路シミュレーション、ハードウェア テストを組み合わせる反復アプローチが必要です。別の設計手法は、『*UCC29950 の LLC 設計*』アプリケーション ノートです。

8.2.2.2 LLC のゲイン範囲

まず、公称入力電圧と公称出力電圧から変圧器の巻数比を求めます。

$$N_{PS} = \frac{V_{IN(nom)} \div 2}{V_{OUT(nom)}} = \frac{390 \div 2}{12} = 16.25 \Rightarrow 16.5 \tag{10}$$

次に、LLC のゲイン範囲 $M_{G(min)}$ と $M_{G(max)}$ を決定します。同期整流器を使用しない場合、他の損失 (V_{loss}) により 0.5V と整流ダイオードに 0.5V の電圧降下 (V_f) があると仮定します。

$$M_{G(min)} = N_{PS}\frac{V_{OUT(min)} + V_f}{V_{IN(min)} \div 2} = 16.5\frac{12 + 0.5}{410 \div 2} = 1.006 \tag{11}$$

$$M_{G(max)} = N_{PS}\frac{V_{OUT(max)} + V_f + V_{loss}}{V_{IN(min)} \div 2} = 16.5\frac{12 + 0.5 + 0.5}{365 \div 2} = 1.175 \tag{12}$$

8.2.2.3 L_n と Q_e の選択

L_n は、磁化インダクタンスと共振インダクタンスとの比率を意味します。

$$L_N = \frac{L_M}{L_R} \tag{13}$$

Copyright © 2026 Texas Instruments Incorporated

Q_E は共振タンクの品質係数です。

$$Q_E = \frac{\sqrt{L_R \div C_R}}{R_E} \quad (14)$$

式 14 において、R_E は等価負荷抵抗です。

L_N と Q_E の値を選択することにより、LLC ゲイン曲線が描かれ、$M_{G(min)}$ および $M_{G(max)}$ のパターンと交差します。結果として描かれる曲線のピーク ゲインは、$M_{G(max)}$ より大きくなります。L_N と Q_E の選択方法の詳細については、ここでは説明しておらず、設計カリキュレータを参照してください。

選択した L_N と Q_E の値は次のとおりです。

- L_N = 6
- Q_E = 0.3

8.2.2.4 等価負荷抵抗の選定

式 15 により等価負荷抵抗を求めます。

$$R_E = \frac{8 \times {N_{PS}}^2}{\pi^2} \times \frac{V_{OUT(nom)}}{I_{OUT(nom)}} = \frac{8 \times 16.5^2}{\pi^2} \times \frac{12}{15} = 176.5\Omega \quad (15)$$

8.2.2.5 LLC 共振回路の部品パラメータの決定

共振タンク コンポーネント パラメータを求める前に、公称スイッチング周波数(共振周波数)を選択してください。この設計では、共振周波数として 100kHz を選択します。

- f_0 = 100kHz

式 16、式 17 および 式 18 を使用して共振タンクパラメータを計算します。

$$C_R = \frac{1}{2\pi \times Q_E \times f_0 \times R_E} = \frac{1}{2\pi \times 0.3 \times 100\text{kHz} \times 176.5\Omega} = 30.0\text{nF} \quad (16)$$

$$L_R = \frac{1}{(2\pi \times f_0)^2 C_R} = \frac{1}{(2\pi \times 100\text{kHz})^2 \times 30.0\text{nF}} = 84.4\mu\text{H} \quad (17)$$

$$L_M = L_N \times L_R = 6 \times 84.4\mu\text{H} = 506.4\mu\text{H} \quad (18)$$

予備パラメータを選択したら、最も近い実際の部品の値で利用できるものを見つけ、選択したパラメータでゲイン曲線を再評価し、時間ドメイン シミュレーションを実行して回路動作を検証します。

次の共振タンク パラメータは以下のとおりです。

$$C_R = 30\text{nF} \quad (19)$$

$$L_R = 85\mu\text{H} \quad (20)$$

$$L_M = 510\mu\text{H} \quad (21)$$

最終共振タンク パラメータに基づき、共振周波数を計算します。

$$f_0 = \frac{1}{2\pi\sqrt{L_R C_R}} = \frac{1}{2\pi\sqrt{30\text{nF} \times 85\mu\text{H}}} = 99.7\text{kHz} \quad (22)$$

新しい LLC ゲイン曲線に基づき、最大および最小ゲインでの正規化したスイッチング周波数は次のように計算されます。

- $f_{N(Mgmax)}$ = 0.7
- $f_{N(Mgmin)}$ = 1.0

$$f_{N(Mgmax)} = 0.7 \quad (23)$$

$$f_{N(Mgmin)} = 1.0 \quad (24)$$

最大および最小スイッチング周波数は次のとおりです。

$$f_{SW(Mgmax)} = 69.8kHz \quad (25)$$

$$f_{SW(Mgmin)} = 99.7kHz \quad (26)$$

8.2.2.6 LLC の 1 次側の電流

コンポーネントを選択するために、1 次側電流を計算します。この電流は 110% の過負荷条件に基づいて計算します。

1 次側 RMS 負荷電流は次の式で計算されます。

$$I_{OE} = \frac{\pi}{2\sqrt{2}} \times \frac{I_O}{n} = \frac{\pi}{2\sqrt{2}} \times \frac{1.1 \times 15A}{16.5} = 1.111A \quad (27)$$

最小スイッチング周波数での RMS 磁化電流は次の式で計算されます。

$$I_M = \frac{\pi}{2\sqrt{2}} \times \frac{N_{PS} V_{OUT}}{\omega L_M} = \frac{\pi}{2\sqrt{2}} \times \frac{16.5 \times 12}{2\pi \times 64.8kHz \times 510\mu H} = 0.797A \quad (28)$$

共振タンクの総電流は次の式で計算されます。

$$I_R = \sqrt{{I_M}^2 + {I_{OE}}^2} = \sqrt{(1.111A)^2 + (0.797A)^2} = 1.367A \quad (29)$$

8.2.2.7 LLC の 2 次側の電流

2 次側の総 RMS 負荷電流は、1 次側電流 (I_{OE}) から 2 次側に換算した電流です。

$$I_{OES} = N_{PS} \times I_{OE} = 16.5 \times 1.111A = 18.327A \quad (30)$$

この設計では、変圧器の 2 次側にセンタータップ (巻線の中間を引き出した端子) が付いています。各 2 次側変圧器巻線の電流は次の式で計算できます。

$$I_{WS} = \frac{\sqrt{2} \times I_{OES}}{2} = \frac{\sqrt{2} \times 18.327A}{2} = 12.959A \quad (31)$$

該当する半波平均電流は次のとおりです。

$$I_{SAV} = \frac{\sqrt{2} \times I_{OES}}{\pi} = \frac{\sqrt{2} \times 18.327A}{\pi} = 8.250A \quad (32)$$

8.2.2.8 LLC 変圧器

効率を最大化するには、HV スタートアップ機能を使用するバイアス巻線を使用します。VCCP 電圧が 12V を上回るようにバイアス巻線を設計します。

以下の仕様に従って、トランスを製作または購入します。

- 巻数比:1 次側:2 次側:バイアス = 33:2:3
- 1 次端子電圧:$450V_{PK}$
- 1 次側磁化インダクタンス:L_M = 510µH
- 1 次側巻線定格電流:I_R = 1.367A
- 2 次端子電圧:$36V_{PK}$
- 2 次巻線定格電流:I_{WS} = 12.959A

Copyright © 2026 Texas Instruments Incorporated

- 最小スイッチング周波数:69.8kHz
- 最大スイッチング周波数:99.7kHz
- 1 次側と 2 次側の絶縁:IEC60950 強化絶縁

広い入力範囲の LLC として動作する一部のアプリケーションでは、スタンバイ モードで PFC がシャットオフされる可能性があるため、重負荷シャットダウン中は動作周波数が大幅に低下する可能性があり、LLC は ZCS 境界をわずかに上回る、低い周波数で動作します。共振回路、変圧器インダクタ、共振インダクタ内の磁気部品を、より低い周波数で動作するように定格します。

バイアス電圧は、巻線比に従って 18V となります。コントローラの電圧を 15V に下げるには、コントローラの VCCP に供給する前に、UCC25661EVM-128 のような電圧レギュレータ回路を使用します。

8.2.2.9 LLC 共振インダクタ

共振インダクタの両端の AC 電圧は、AC 電圧インピーダンスと電流を乗じて計算されます。

$$V_{L_R} = \omega L_R I_R = 2\pi \times 69.8\text{kHz} \times 85\mu\text{H} \times 1.367\text{A} = 50.946\text{V} \quad (33)$$

次の仕様に従って、インダクタを構築または購入します。

- インダクタンス:L_R = 85µH
- 定格電流:I_R = 1.367A
- 端子 AC 電圧:50.946V
- 周波数範囲:69.8kHz ～ 99.7kHz

一部の設計では、トランスの漏れインダクタンスを共振インダクタンスとして利用しており、外部共振インダクタを必要としない場合があります。

8.2.2.10 LLC 共振コンデンサ

LLC 共振コンデンサはスイッチング周波数でフル 1 次電流を伝導します。過熱を防止するため、散逸係数の小さいコンデンサを使用してください。

共振コンデンサの AC 電圧は、AC 電圧インピーダンスに電流を掛けた値で求められます。

$$V_{CR} = \frac{I_R}{\omega C_R} = \frac{1.367\text{A}}{2\pi \times 69.8\text{kHz} \times 30\text{nF}} = 104.0\text{V} \quad (34)$$

$$V_{CR(RMS)} = \sqrt{\left(\frac{V_{IN[max]}}{2}\right)^2 + {V_{CR}}^2} = \sqrt{\left(\frac{410}{2}\right)^2 + 104.0^2} = 229.9\text{V} \quad (35)$$

ピーク電圧:

$$V_{CR(peak)} = \frac{V_{IN(max)}}{2} + \sqrt{2}V_{CR} = \frac{410}{2} + \sqrt{2} \times 104.0 = 352.0\text{V} \quad (36)$$

谷電圧:

$$V_{CR(valley)} = \frac{V_{IN(max)}}{2} - \sqrt{2}V_{CR} = \frac{410}{2} - \sqrt{2} \times 104.0 = 58.0\text{V} \quad (37)$$

定格電流:

$$I_R = 1.367\text{A} \quad (38)$$

8.2.2.11 LLC の 1 次側 MOSFET

各 MOSFET は、入力電圧をそれぞれの最大印加電圧と認識します。次のように MOSFET の定格電圧は最大バルク電圧の 1.5 倍に設定します。

Copyright © 2026 Texas Instruments Incorporated

$$V_{QLLC(peak)} = 1.5 \times V_{IN(max)} = 615V \quad (39)$$

次のように MOSFET の定格電流は最大 1 次側 RMS 電流の 1.1 倍に設定します。

$$I_{QLLC} = 1.1 \times I_R = 1.504A \quad (40)$$

8.2.2.12 アダプティブ デッドタイムの設計における考慮事項

共振タンクを設計し、1 次側の MOSFET を選定した後、コンバータの ZVS 動作を再確認します。ZVS は、ゲート ターンオフ エッジで、スイッチ ノードの容量を放電するのに十分な電流が共振インダクタに残っている場合、または LI^2 が $C_{OSS}V^2$ より大きい場合、ZVS は実現しません。C_{OSS} は、2 つのスイッチ段 MOSFET のドレイン - ソース間の実効容量です。UCC25661 は、スイッチのスルーイングに基づくアダプティブ デッドタイムを実装しています。スルー検出回路の検出範囲は 0.1V/ns ～ 200V/ns です。

ZVS 動作を確認するには、図 8-2 に示されているように、コントローラーは、一連の時間領域シミュレーションを実行し、ゲート オフ エッジでの共振電流を捕捉します。

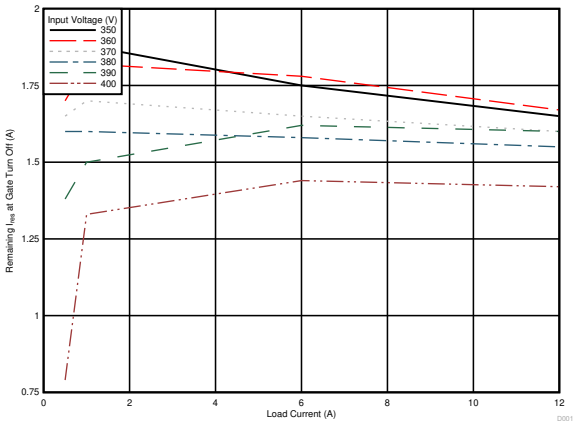


図 8-2. アダプティブ デッドタイム

上記の 図 8-2 は、5% 負荷で最大スイッチング周波数が生じ、5% 負荷でシステムがバーストを開始すると仮定したものです。

図 8-2 を使用すると、当該動作範囲で、タンクに残っている最小共振電流は I_{min} = 0.8A になります。スルー レートを計算するため、1 次側スイッチノードの寄生容量を把握してください。スルーレートは、MOSFET のデータシートに記載された C_{OSS} の値から推定します。この場合、各 MOSFET が 200pF であるため、合計 $C_{switchnode}$ = 400pF となります。最小スルーレートは次の式を使用して算出されます。

$$\frac{I_{MIN}}{C_{switchnode}} = \frac{0.8A}{400pF} = 2V/ns \quad (41)$$

8.2.2.13 LLC 整流ダイオード

出力ダイオードの電圧定格は、次のように計算されます。

$$V_{DD} = 1.2 \times \frac{V_{IN(max)}}{N_{PS}} = 1.2 \times \frac{410}{16.5} = 29.82V \quad (42)$$

出力ダイオードの電流定格は、次のように計算されます。

$$I_{SAV} = \frac{\sqrt{2} \times I_{OES}}{\pi} = \frac{\sqrt{2} \times 18.329}{\pi} = 8.250A \quad (43)$$

Copyright © 2026 Texas Instruments Incorporated

8.2.2.14 LLC 出力コンデンサ

LLC コンバータトポロジは出力フィルタを必要としません。ピーク ツー ピークの出力リップルを低減するために、小型の 2 段目フィルタ インダクタを使用します。出力コンデンサが整流器の全波出力電流を担うと仮定すると、コンデンサの定格リップル電流は次のとおりです。

$$I_{RECT} = \frac{\pi}{2\sqrt{2}} I_{OUT} = \frac{\pi}{2\sqrt{2}} \times 15 = 16.66A \quad (44)$$

12V の出力電圧に対して定格 20V を採用します。

$$V_{LLCcap} = 20V \quad (45)$$

このコンデンサの RMS 定格電流は次のとおりです。

$$I_{C(out)} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} I_{OUT}\right)^2 - {I_{OUT}}^2} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} \times 15\right)^2 - 15^2} = 7.251A \quad (46)$$

導電性高分子技術を採用した固体アルミニウム コンデンサは、定格リップル電流が高いため、特に設計がより低い温度で動作する必要がある場合には、良い選択肢となります。1 つのコンデンサのリップル電流定格が不十分な場合は、複数のコンデンサを並列に接続します。

LLC 段の出力時のリップル電圧は、コンデンサに流れる AC 電流量の関数です。このリップル電圧を推計するため、負荷の DC 電流を含むすべての電流がフィルタ コンデンサに流れるものと仮定します。

$$ESR_{max} = \frac{V_{OUT(pk-pk)}}{I_{RECT(pk)}} = \frac{0.12v}{2\frac{\pi}{4} \times 15A} = 5.1m\Omega \quad (47)$$

コンデンサの仕様は次のとおりです。

- 定格電圧:20V
- 定格リップル電流:7.251A
- 実効 ESR: < 5.1mΩ

8.2.2.15 HV ピン直列抵抗

HV ピンに複数の抵抗を直列に接続することで、各抵抗器の消費電力を制限できます。HV ピンの標準的な直列抵抗は 5kΩ であり、各アプリケーションに直列抵抗値を最適化する必要があります。たとえば、より高いバス電圧を使用する場合は、より高い値の直列抵抗を選択します。

8.2.2.16 BLK ピン分圧器

BLK ピンは LLC DC 入力電圧を検知して、LLC コンバータをオンおよびオフにするタイミングを決定します。また、BLK ピンの電圧はフィードフォワード補償にも使用されます。

UCC25661EVM-128 の BLK ピン抵抗分割器の電力バジェットは 15mW です。BLK が検知する抵抗の合計値は次の式で計算されます。

$$R_{BLKsns} = R_{BLKupper} + R_{BLKlower} = \frac{{V_{IN(nom)}}^2}{P_{BLKsns}} = \frac{390^2}{0.015} = 10M\Omega \quad (48)$$

LLC スタートアップ電圧を 365V に選択します。次に、以下のように $V_{BLKStop}$、$V_{BLKStartHys}$、$I_{BLKSink}$ に関係する $V_{BLKStart}$ を示します。

$$V_{BLKStart} = 365\left(\frac{R_{BLKlower}}{R_{BLKupper} + R_{BLKlower}}\right) = V_{BLKStop} + V_{BLKStartHys} + I_{BLKsink}\left(\frac{R_{BLKupper}R_{BLKlower}}{R_{BLKupper} + R_{BLKlower}}\right) \quad (49)$$

Copyright © 2026 Texas Instruments Incorporated

$V_{BLKStop}$ = 1V、$V_{BLKStartHys}$ = 0.1V、$I_{BLKSink}$ = 5µA のとき、$R_{BLKupper}$ は 10MΩ、$R_{BLKlower}$ は 35.4kΩ になります。$R_{BLKlower}$ には標準値 35.4kΩ が選択され、$R_{BLKupper}$ には標準値として ×3 3.3MΩ が直列として選択されます。

実際のスタートアップ電圧は、以下を使用して計算します

$$V_{BLKStart}\left[\frac{R_{BLKupper}+R_{BLKlower}}{R_{BLKlower}}\right] = \left[V_{BLKStop}+V_{BLKStartHys}+I_{BLKSink}\left(\frac{R_{BLKupper}R_{BLKlower}}{R_{BLKupper}+R_{BLKlower}}\right)\right]\times\left[\frac{R_{BLKupper}+R_{BLKlower}}{R_{BLKlower}}\right] = 358V \quad (50)$$

BLK 抵抗の消費電力は、以下で計算されます

$$P_{BLKsns} = \frac{V_{IN(nom)}{}^2}{\left(R_{BLKupper}+R_{BLKlower}\right)} = \frac{390^2}{(10M\Omega+35.4k\Omega)} = 15.3mW \quad (51)$$

LLC ターンオフ電圧は、以下で計算されます

$$V_{BLKStop}\left(\frac{R_{BLKupper}+R_{BLKlower}}{R_{BLKlower}}\right) = 280.6V \quad (52)$$

8.2.2.17 ISNS ピン微分器

ISNS ピンは微分器により共振電流を検出します。ISNS ピンを TSET、BLK ピンの抵抗と組み合わせることで、過負荷保護レベルを設定できます。過負荷保護 (V_{FBOLP}) の標準スレッショルド電圧は 4.75V です。ISNS ピンは過電流保護レベル (OCP1) の設定にも使用できます。OCP1 のスレッショルド値は、使用している TSET ピンの抵抗とバリアントに応じて 3.5V または 4V です。この評価基板の場合、UCC256611 を使用しています。そのため、このバリアントでは、OCP1 スレッショルド値電圧は 3.5V です。

全負荷時のピーク共振インダクタ電流

$$I_{R_PEAK} = \sqrt{2}I_R = \sqrt{2}\times 1.367 = 1.933A \quad (53)$$

抵抗に比べて高電圧コンデンサの選択肢は少ないため、まず電流検出コンデンサを選定します。

$$C_{ISNS} = 150pF \quad (54)$$

この設計では、UCC256611 を使用します。そのため、このバリアントでは、OCP1 スレッショルド値電圧は 3.5V です。

$$OCP1_Threshold = 3.5V \quad (55)$$

それから必要な ISNS 抵抗値を計算します。

$$R_{ISNS} < \frac{OCP1_Threshold\cdot C_r}{I_{R_PEAK}\cdot C_{ISNS}} = \frac{3.5V\cdot 30nF}{1.933A\cdot 150pF} = 329\Omega \quad (56)$$

$$R_{ISNS} = 226\Omega \quad (57)$$

式 57 が選択されます。

OCP1 レベルでのピーク共振電流は、以下を使用して計算されます。

$$I_{R_PEAK_OCP1} = \frac{OCP1_Threshold\times C_r}{R_{ISNS}\times C_{ISNS}} = \frac{3.5\times 30nF}{226\times 150pF} = 3.097A \quad (58)$$

Copyright © 2026 Texas Instruments Incorporated

8.2.2.18 TSET ピン

TSET ピン抵抗は、VCR 積分器の時定数 (タイマ ゲイン ([k_s])、R_{VCR}、R_{RAMP}、C_{VCR})、および IPPC モードの最小スイッチング周波数を設定します。TSET ピンの抵抗は、特定の出力電力に対する $V_{FBreplica}$ 電圧も決定します。

以下の情報は、*OCP/OLP　デカップリング*がイネーブルのデバイスに関するものです。

最小入力電圧および最大出力電力時に $f_{SW(Mgmin)}$ と全負荷動作周波数に基づいて V_{TSETB} 電圧オプションを選択します。この設計では、最小入力電圧 365V、定格出力電力において、観測される全負荷動作周波数が 89kHz であるため、設計計算機オプション #4 を選択します。オプション #4 の場合、表 7-1 に示すように、V_{TSETB} 電圧は 0.742V ～ 48mV の範囲にする必要があります。

特定の電力出力に対して FBReplica の振幅を設定するために、(V_{TSETA} - V_{TSETB}) 電圧を選択します。図 8-3 に示すように、最大出力電力で FBReplica 振幅が V_{FBOLP} を下回るように、差電圧を選択し、ワースト ケースとして必要なマージンを確保します。この設計では、VCR 積分器の時定数と、選択した ISNS および BLK 抵抗によって、最大入力電力時の FBReplica 振幅が 4V に近くなり、(V_{TSETA} - V_{TSETB}) 電圧を 0.850V ～ 48mV の範囲に設定できるように、表 7-1 表からオプション #5 を選択しています。表 7-1

$$V_{TSETB} = \frac{R_{TSET_lower} \cdot V5P}{R_{TSET_lower} + R_{TSET_upper}} \tag{59}$$

$$V_{TSETA} = V_{TSETB} + \frac{R_{TSET_lower} \cdot R_{TSET_upper}}{R_{TSET_lower} + R_{TSET_upper}} \cdot I_{TSETPrgm} \tag{60}$$

式 59 と式 60 を解くと、R_{TSET_upper} は 572.78kΩ、R_{TSET_lower} は 99.81kΩ です。

最後に、R_{TSET_upper} = 576kΩ かつ R_{TSET_lower} = 100kΩ を選択します。

最終的な V_{TSETB} および (V_{TSETA} - V_{TSETB}) は 式 61 と 式 62 を使用して計算できます。

$$V_{TSETB} = \frac{100k \cdot 5V}{100k + 576k} = 0.74V \tag{61}$$

$$\left(V_{TSETA} - V_{TSETB}\right) = \frac{100k \cdot 576k}{100k + 576k} \cdot 10\mu A = 0.852V \tag{62}$$

図 8-3 に、LLC の入力電力に対する FBReplica 電圧を示します。

P_{in} を計算するために、次の式で 92% の効率を使用します。

$$P_{in} = \frac{P_{out}}{\eta} \tag{63}$$

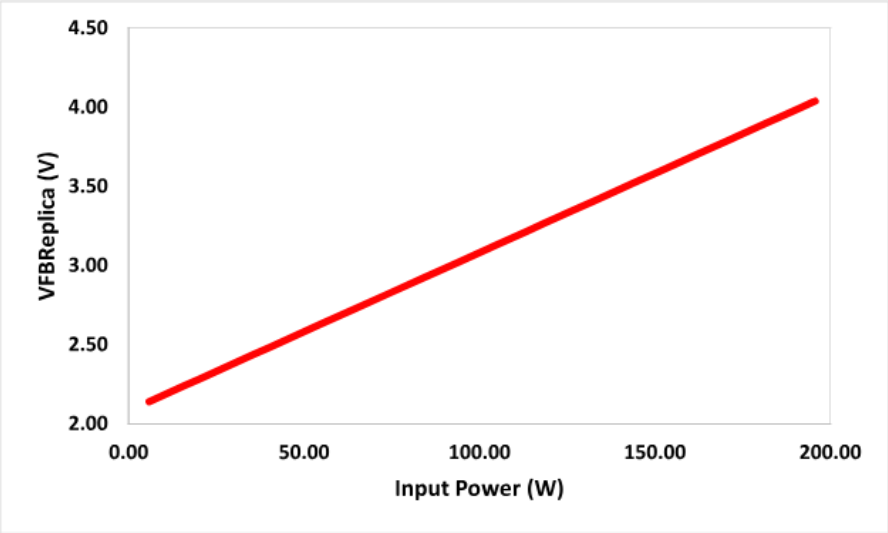


図 8-3. FBReplica と P_{in} の比較

FBReplica 電圧は、帰還オプトカプラ エミッタとグランドの間に 10kΩ の抵抗を入れることによって測定します。10kΩ 抵抗で測定された電圧が V_{10k} であると仮定します。FBReplica 電圧を計算するには、式 64 を使用します。

$$\mathrm{FBReplica} = \left(\mathrm{I_{FB}} - \frac{\mathrm{V_{10k\Omega}}}{10\mathrm{k\Omega}}\right) \times \mathrm{R_{FBInternal}} \tag{64}$$

8.2.2.19 OVP/OTP ピン

OVP/OTP ピンは、パワー ステージを過電圧から保護するために使用されます。OVP/OTP ピンは、負の温度係数 (NTC) サーミスタを使用した過熱保護のためにも同じピンが使用されます。バイアス巻線電圧は、トランスの巻線比による出力電圧のミラーイメージであるため、このピンをツェナー ダイオードでプルアップすると、OVP を 1 次側に設定するのに便利です。このデザインで、公称出力電圧は 12V です。出力電圧と推奨されるバイアス電圧の比に基づいて、バイアス巻線と 2 次側巻線との巻線比は 1.5 です。整流ダイオードが存在する場合、0.5V の電圧降下 (Vf) が発生すると仮定します。同期整流を使用する場合、その他の損失 (Vloss) による 0.5V の電圧降下のみを推定できるため、バイアス巻線の公称電圧はを使って計算できます。

$$\mathrm{V_{BiasWindingNom}} = (12 + 0.5 + 0.5) \times \frac{\mathrm{N_{aux}}}{\mathrm{N_2}} = (12 + 0.5 + 0.5) \times \frac{3}{2} = 19.5\mathrm{V} \tag{65}$$

この設計に望ましい OVP スレッショルドは、公称値の 140% です。UC25661 デバイスの OVP スレッショルド レベル (V_{OVPpos}) は 3.5V です。これにより、ツェナー ダイオードに必要な電圧定格は次の式で計算されます。

$$\mathrm{V_z} = (1.4 \times \mathrm{V_{out}} + \mathrm{V_{drop}}) \times \frac{\mathrm{N_{aux}}}{\mathrm{N_2}} - \mathrm{V_{OVPpos}} = (1.4 \times 12 + 0.5 + 0.5) \times \frac{3}{2} - 3.5 = 23.2\mathrm{V} \tag{66}$$

使用されるツェナーの実際の電圧定格は 23V と仮定します。次に OVP がトリガされる実際の出力電圧が決まります。

$$\mathrm{V_{out_ovp}} = (\mathrm{V_z} + \mathrm{V_{OVPpos}}) \times \frac{\mathrm{N_2}}{\mathrm{N_{aux}}} - \mathrm{V_{drop}} = (23 + 3.5) \times \frac{2}{3} - 1 = 16.67\mathrm{V} = 139\% \times \mathrm{V_{out}} \tag{67}$$

通常動作時、OVP/OTP ピンの標準電圧は 0.8V ～ 3.5V の動作範囲内です。過熱保護のため、OVP/OTP ピンを OTP スレッショルド 0.8V 未満にプルダウンします。室温では、OVP/OTP ピンの電圧は 1.4V と見なされます。室温でのこのピンの実効抵抗値は以下のとおりです。

Copyright © 2026 Texas Instruments Incorporated

$$R_{OVP/OTP_25} = \frac{1.4V}{I_{OVP_OTP}} = \frac{1.4V}{100 \times 10^{-6}A} = 14k\Omega \quad (68)$$

$$R_{OVP/OTP_25} = \frac{R_{ext} \times R_{NTC_25}}{R_{ext} + R_{NTC_25}} = 14k\Omega \quad (69)$$

R_{ext} はサーミスタと並列に接続された外付け抵抗です。R_{NTC_25} は室温でのサーミスタの抵抗値です。

この設計では、過熱保護を 110°C に設定します。NTC の利用可能性と温度係数に基づいて、式 70 を選択します。

$$\frac{R_{NTC_110}}{R_{NTC_25}} = 0.035263 \quad (70)$$

B57371V2474J060 データ シートを参照してください。ここで、R_{NTC_110} は 110°C におけるサーミスタの抵抗です。

OTP トリガーの場合、OVP/OTP ピンの電圧が 0.8V 未満であることを確認します。

$$R_{OVP/OTP_110} = \frac{0.8V}{I_{OVP_OTP}} = \frac{0.8V}{100 \times 10^{-6}A} = 8k\Omega \quad (71)$$

$$R_{OVP/OTP_110} = \frac{R_{ext} \times R_{NTC_110}}{R_{ext} + R_{NTC_110}} = 8k\Omega \quad (72)$$

式 69、式 70、式 72 から、R_{NTC_25} は 510kΩ、R_{ext} は 14.4kΩ になります。R_{NTC_25} = 470kΩ (メーカー型番 : B57371V2474J060) と R_{ext} = 15kΩ を選択しています。

室温では、新しい抵抗を選択したときに、OVP/OTP 電圧が次のように計算されます。

$$R_{OVP/OTP_25} \times I_{OVP_OTP} = \left(\frac{15k \times 470k}{15k + 470k}\right) \times 100 \times 10^{-6} = 1.454V \quad (73)$$

110^0C では、OVP/OTP 電圧は次のとおりに計算されます。

$$R_{OVP/OTP_110} \times I_{OVP_OTP} = \left(\frac{15k \times (470k \times 0.035263)}{15k + (470k \times 0.035263)}\right) \times 100 \times 10^{-6} = 0.78V \quad (74)$$

8.2.2.20 バースト モード プログラミング

LL ピンの電圧 (VLLB) と、LL ピンに接続されている分圧抵抗により、ユーザーは以下に示すように HFBurstEntry スレッショルドと LFBurstEntry スレッショルドを設定できます。

$$VLLB = \frac{R_{LL_lower} \cdot V5P}{R_{LL_upper} + R_{LL_lower}} \quad (75)$$

$$VLLA = VLLB + \frac{R_{LL_lower}R_{LL_upper}}{R_{LL_upper} + R_{LL_lower}} \cdot I_{LLPrgm} \quad (76)$$

表 7-1 に示すように、(V_{LLA} – V_{LLB}) 電圧によって V_{LLB}/HFBurstEntry 比が決まります。

この設計では、(V_{LLB}/HFBurstEntry) = 0.55 を考慮します。(V_{LLA} – V_{LLB}) の値が 1.087V ～ 1.391V の範囲内にあることを確認します。

次に、HFBurstEntry は、以下のような LL ピンの電圧と関係します。

$$HFBurstEntry = \frac{VLLB}{0.55} = 1.818 \cdot VLLB \quad (77)$$

LFBurstEntry は、常に以下の LL ピンの電圧に関係します。

Copyright © 2026 Texas Instruments Incorporated

$$\text{LFBurstEntry} = \frac{\text{VLLB}}{0.6} = 1.667 \cdot \text{VLLB} \quad (78)$$

曲線に基づき、目的の性能を満たすように V_{LLB} およびハードウェア テスト $V_{LLA} – V_{LLB}$ を調整します。

この設計では、VLLB = 1.2V、VLLA = ((VLLA – VLLB) の最大電圧) - 0.1V を考慮しています。これらの値を 式 75、式 76 に代入することによって、$R_{LLupper}$ は 538k、$R_{LLlower}$ は 170k となります。

最後に、この設計では $R_{LLupper}$ = 536kΩ、$R_{LLlower}$ = 169kΩ が選択されています。

最終的なバーストエ ントリは、次のように計算されます。

$$\text{VLLB} = \frac{169\text{k} \cdot 5}{169\text{k} + 536\text{k}} = 1.199\text{V} \quad (79)$$

$$\text{VLLA} = 1.199\text{V} + \frac{169\text{k} \cdot 536\text{k}}{169\text{k} + 536\text{k}} \cdot 10\mu\text{A} = 2.483\text{V} \quad (80)$$

$$\text{VLLA} - \text{VLLB} = 1.285\text{V} \quad (81)$$

$$\text{HFBurstEntry} = 1.818 \cdot 1.199 = 2.179\text{V} \quad (82)$$

$$\text{LFBurstEntry} = 1.667 \cdot 1.199 = 1.998\text{V} \quad (83)$$

8.2.3 アプリケーション曲線

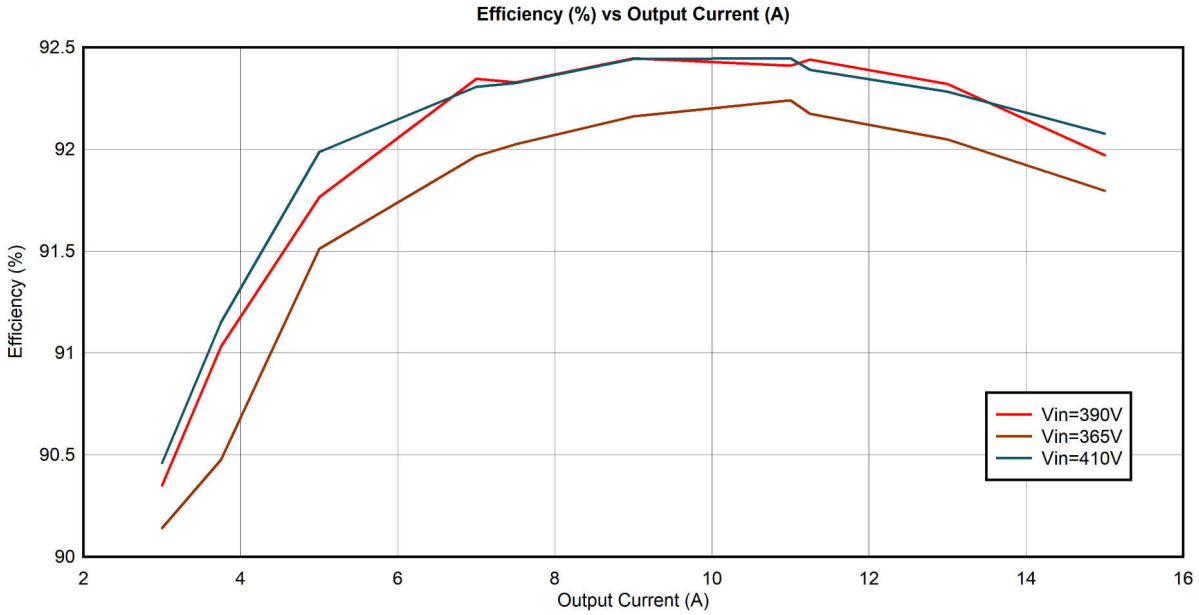


図 8-4. 効率

Copyright © 2026 Texas Instruments Incorporated

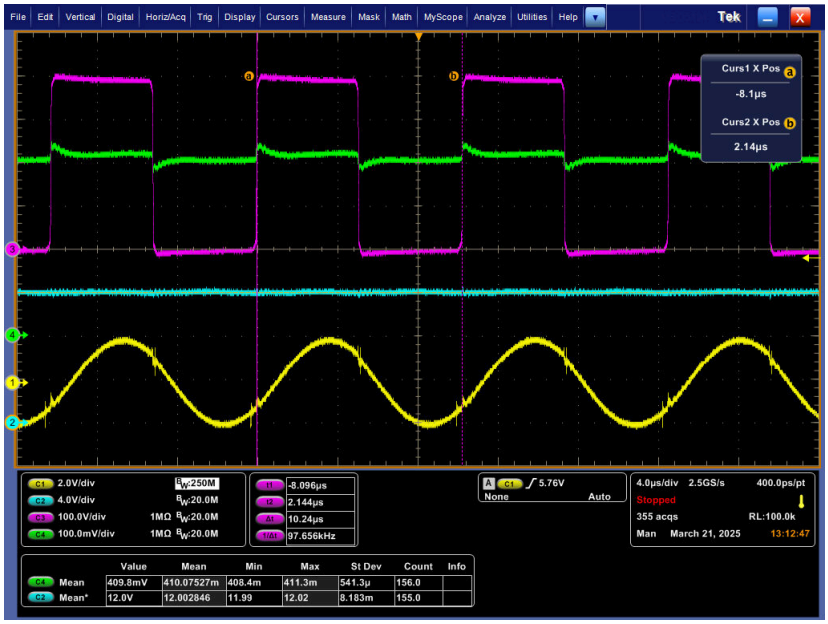


図 8-5. 390V 入力における 15A 負荷の定常状態波形 (Ch1 = ISNS、Ch2 = Vout、Ch3 = SW、Ch4 = I_OPT)

8.3 電源に関する推奨事項

8.3.1 VCCP ピン コンデンサ

VCCP が $VCC_{StopSwitching}$ レベルを下回らないように、LF バースト動作中にサポートに十分な大きさの VCCP コンデンサを選択します。

100µF 以上の容量を持つコンデンサ、またはコンデンサの組み合わせを選択します。VCCP ピンのコンデンサは、LF バースト動作時の静止電流と、VCCP の高周波電流の低インピーダンス パスをサポートしていることを確認します。DC バイアス電圧のセラミック コンデンサのディレーティングは、メーカーのデータシートを使用して、コンデンサを選択するときに考慮してください。

8.3.2 ブート・キャパシタ

LF バースト オフ期間中は、HB ピンからハイサイド ゲート ドライバが消費する電力を C_{BOOT} から引き出す必要があるため、ブートストラップ コンデンサの電圧が減衰することになります。次のバースト期間の開始時には、ハイサイド ゲート ドライバ (HO) を駆動するのに十分な電圧が C_{BOOT} に残っていなければならず、その後、ローサイド ゲート ドライバ (LO) の導通期間でそれは C_{VCCP} から補充されます。したがって、このバースト オフ期間中にハイサイド ドライバが消費する電力は、HB および VCCP に接続する必要があるコンデンサのサイズとコストに直接影響します。

システムの最大バースト オフ期間が 150ms で、ブートストラップ ダイオードの順方向電圧降下が 1V と仮定します。UVLO フォルトを防止するため、8V の最小ブートストラップ電圧を目標とします。ブート コンデンサの最大許容電圧降下は次のとおりです。

$$V_{bootmaxdrop} = V_{VCCP} - V_{bootforwarddrop} - 8V = 12V - 1V - 8V = 3V \quad (84)$$

そこで、ブート コンデンサのサイズが決まります。

$$C_B = \frac{I_{BOOT_QUIESCENT}}{V_{bootmaxdrop}} = \frac{60\mu A \times 150ms}{3V} = 3uF \quad (85)$$

低リーク電流、低 ESR のセラミック コンデンサを選択します。DC バイアス電圧のセラミック コンデンサのディレーティングは、メーカーのデータシートを使用して、コンデンサを選択するときに考慮する必要があります。

8.3.3 V5P ピン コンデンサ

V5P ピンが、GND に対してデカップリング コンデンサに接続されていることを確認します。このピンの負荷は非常に小さいため、0.1µF ～ 4.7µF の小さなデカップリング コンデンサが推奨されます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- エネルギー蓄積電解コンデンサに加えて、2.2µF セラミック コンデンサを VCCP ピンに接続します。2.2µF セラミック コンデンサは、VCCP ピンのできるだけ近くに配置します。
- バイアス巻線波形の高いスパイクを除去するために、必要なフィルタリング コンデンサを VCCP ピンに追加します。
- 推奨される最小ブート コンデンサ C_B は 0.1µF です。セクション 8.3.2 で説明されているように計算し、電気的特性表の I_{BOOT_LEAK} (ブート リーク電流) を参照してください。
- 信号グランドと電源グランドは、1 点で接続することを推奨します。LLC コンバータの入力バルク コンデンサの負端子に接続するため、電源グランドを推奨します。
- ISNS (100pF)、BLK (10nF)、LL (330pF)、TSET (220pF)、OVP/OTP (100pF) のフィルタ コンデンサは、それぞれのピンにできるだけ近づけて配置してください。
- FB 配線はできるだけ短くし、FB 配線は dv/dt の高い配線から離して配線します。
- 歪みを小さくするために、ISNS コンデンサにはフィルム コンデンサまたは C0G (NP0) セラミック コンデンサを使用します
- 必要な高電圧空間距離と沿面距離を確保します。
- HV ピンに 2kV の HBM ESD 定格が必要な場合は、最大 2kV の HBM ESD に合格するために、HV ピンとグランドの間に 100pF のコンデンサを配置します。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

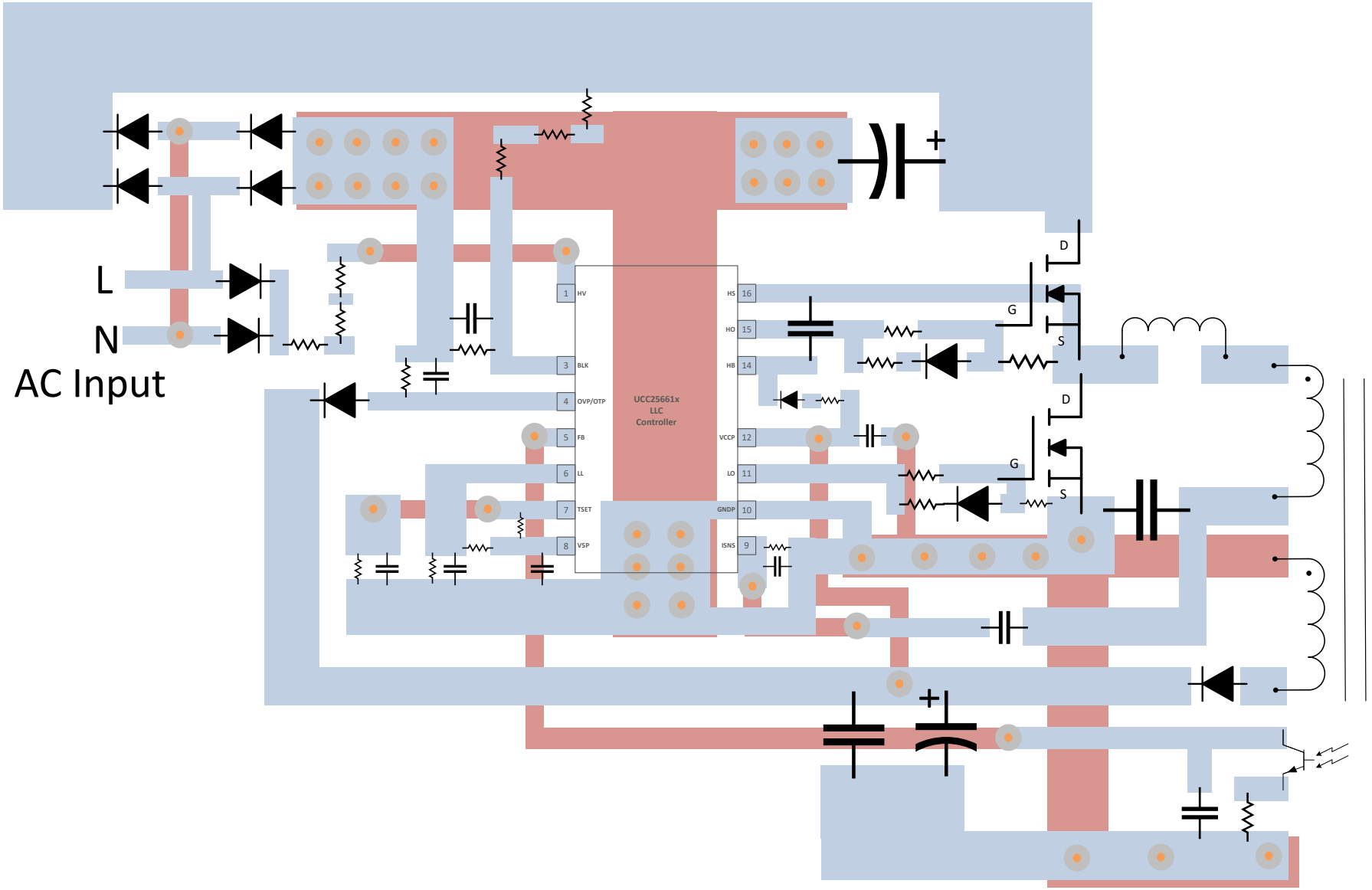


図 8-6. 2 層基板の UCC25661x のレイアウト例

8.4.2.1 回路図

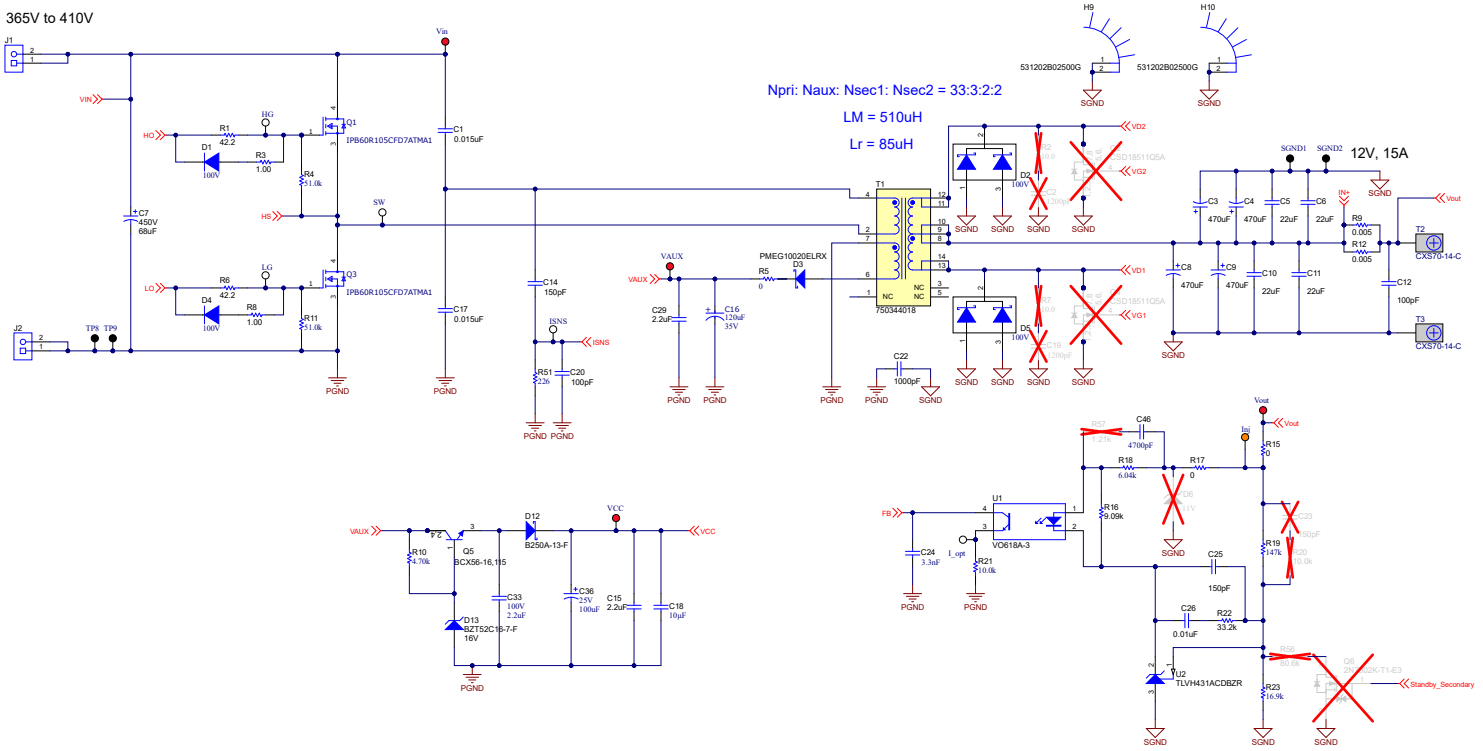


図 8-7. UCC25661EVM-128 電力段の回路図

Copyright © 2026 Texas Instruments Incorporated

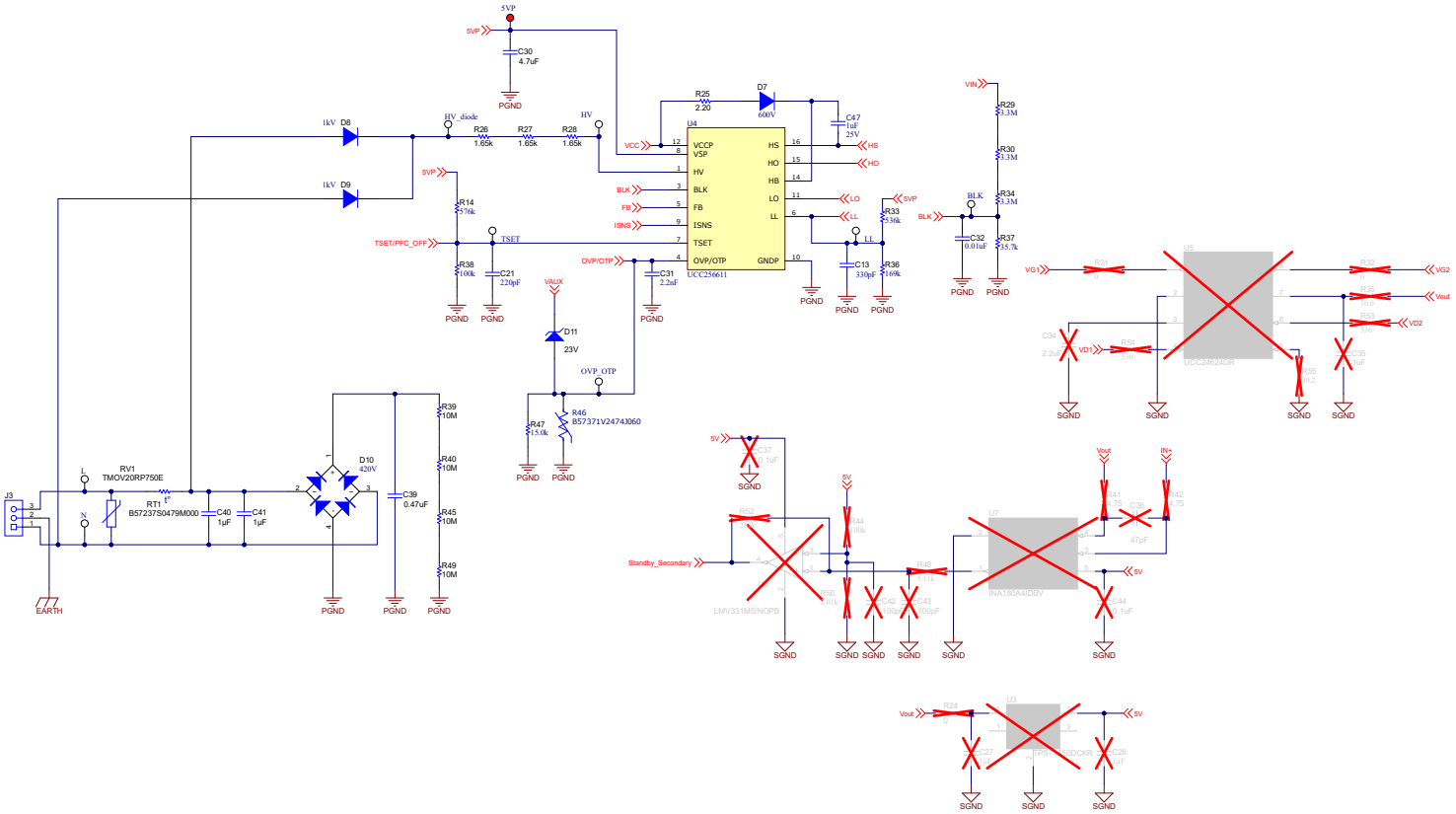


図 8-8. UCC25661EVM-128 の制御回路図

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

- TDK Electronics、『温度測定用 NTC サーミスタ』
- テキサス インスツルメンツ、『UCC29950 の LLC 設計』、アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2026) to Revision C (August 2026)	Page
• 拡張ゲイン範囲デバイスを UCC256611 から UCC256610 に更新しました	1
• *「デバイス比較」*表を追加	3
• 表 7-1 を分割するように、TSET プログラミングのセクションを更新しました	22

Changes from Revision A (September 2025) to Revision B (January 2026)	Page
• 文書全体にわたって表、図、式、クロスリファレンスの採番方法を更新	1
• 「特長」セクションに「X コンデンサの放電」と「拡張ゲイン範囲」を追加	1
• 以下のように変更：UCC25661 からドキュメント全体にわたって「UCC25661x ファミリ」に変更	1

Copyright © 2026 Texas Instruments Incorporated

- *「デバイス比較」*表を追加 3
- UCC256611、UCC256612、UCC256613、UCC256614、UCC256616 の注文可能オプションを仕様表に追加しました 6
- 詳細説明の概要に「拡張ゲイン範囲 (EGR) の利点」を追加 17
- 「VCR シンセサイザ」セクションに「EGR 情報」を追加 21
- 「UCC256616 の TSET プログラミング」セクションを追加 23
- 「バースト モードでの TSET ピン代替機能」、「PFC のオン / オフ」、「TSET 強制低可聴ノイズ スタンバイ モード」、「X コンデンサ放電」、「HV ピンのみを使用した検出」セクションを削除 38

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

付録：パッケージ·オプション

パッケージ情報

注文可能な型番	ステータス (1)	資料のタイプ (2)	パッケージ	ピン数	パッケージ数量	キャリア	RoHS (3)	リード端子の仕上げ/ボールの原材料 (4)	MSL 定格/ピークリフロー (5)	動作温度 (℃)	部品マーキング (6)
UCC256610DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256610
UCC256611DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256611
UCC256612DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256612
UCC256613DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256613
UCC256614DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256614
UCC256616DDBR	アクティブ	量産出荷中	SOIC (DDB)	14	2500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-1 年	-40～125	UCC256616

(1) **ステータス:** ステータスの詳細については、TI の 製品ライフ サイクル をご覧ください。
(2) **資料のタイプ:** 指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
(3) **RoHS 値:** はい、いいえ、RoHS 免除。詳細情報および値の定義については、TI RoHS に関する声明 を参照してください。
(4) **リード端子の仕上げ/ボールの原材料:** 部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
(5) **MSL 定格/ピークリフロー:** 湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
(6) **部品マーキング:** ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。
複数の部品マーキングが括弧の中に記載されています。括弧内で「～」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.1 メカニカル データ

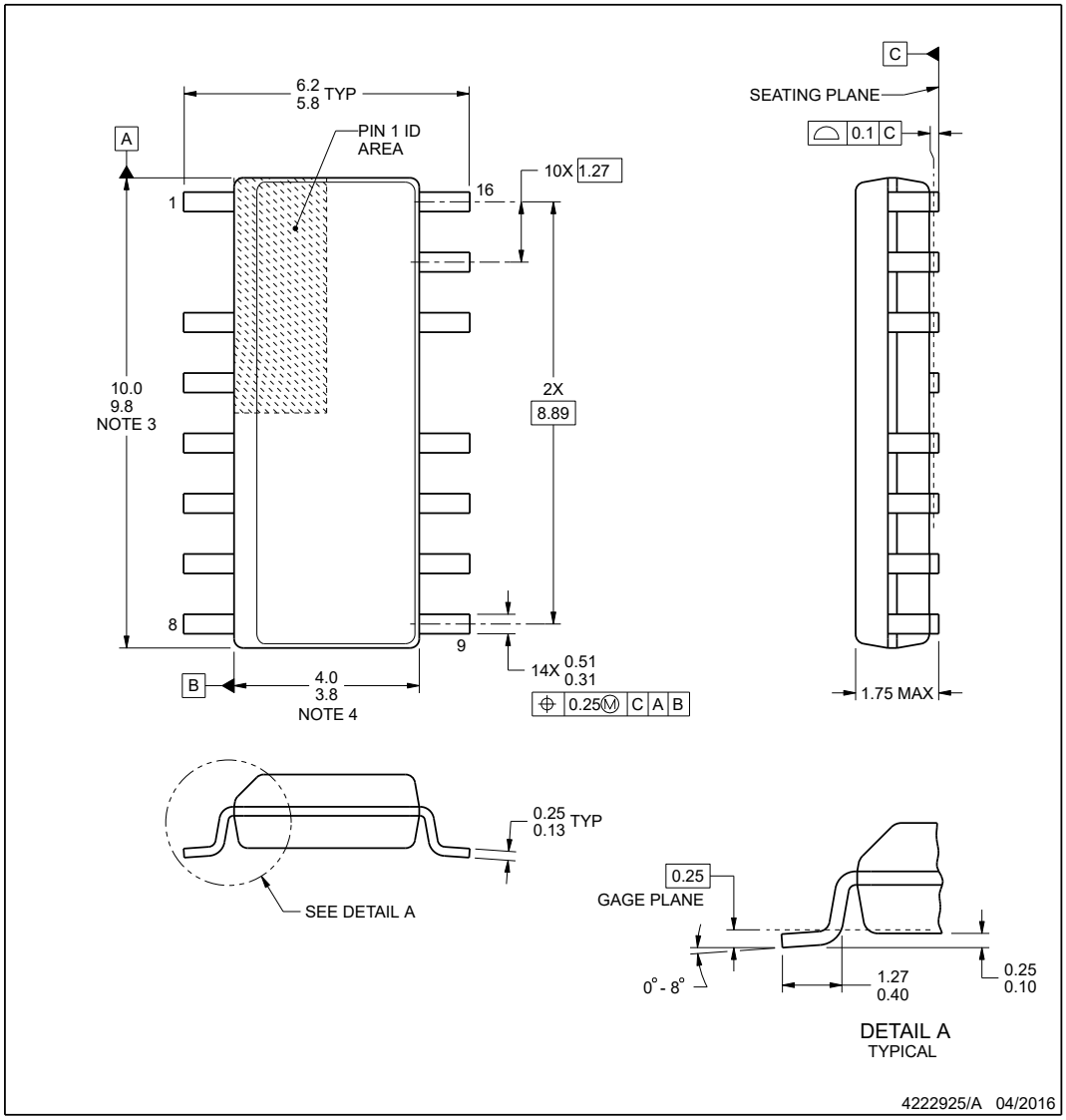
PACKAGE OUTLINE

DDB0014A



SOIC - 1.75 mm max height

SOIC



NOTES:

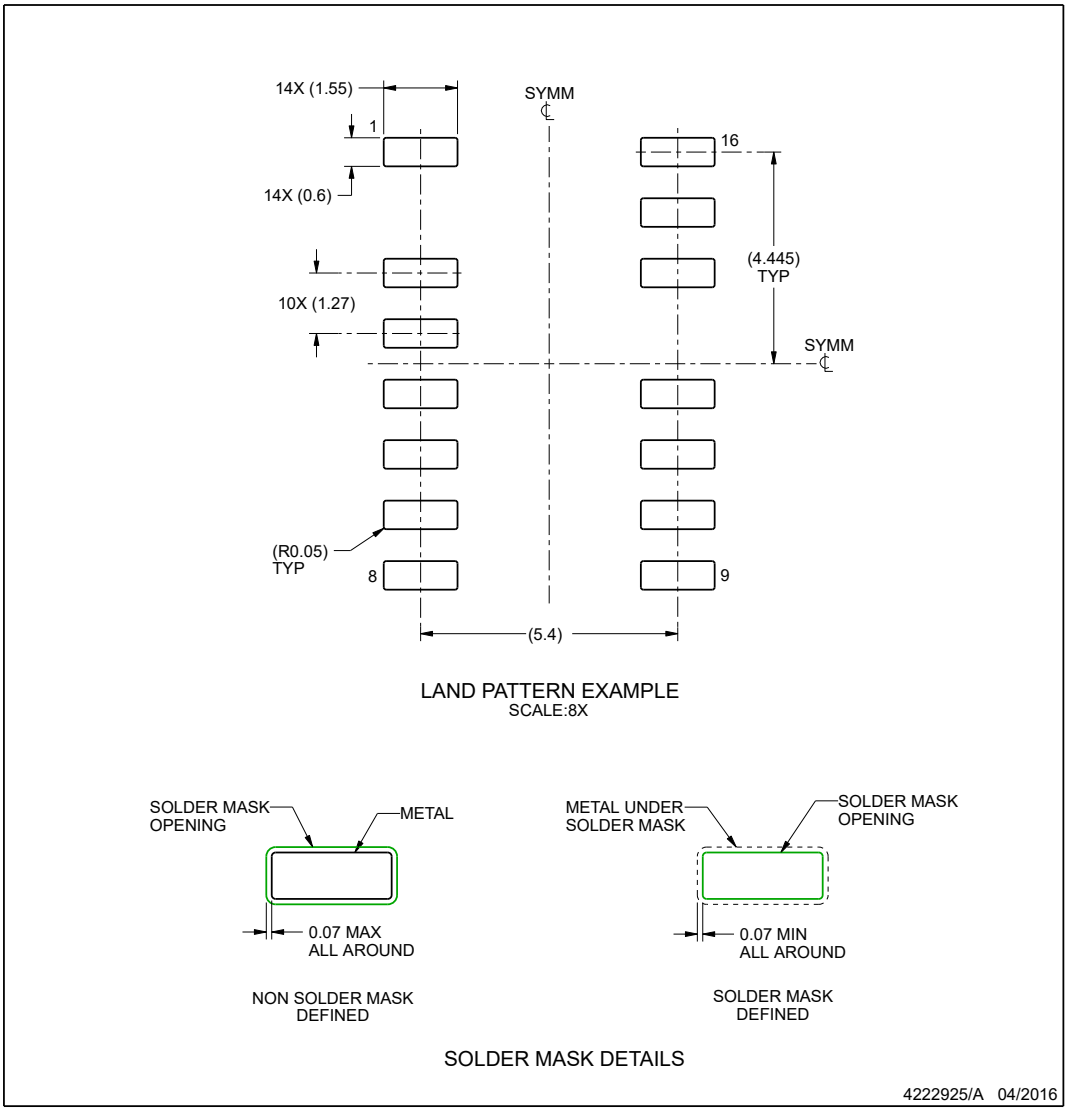
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-012, variation AC.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DDB0014A — **SOIC - 1.75 mm max height**

SOIC



NOTES: (continued)

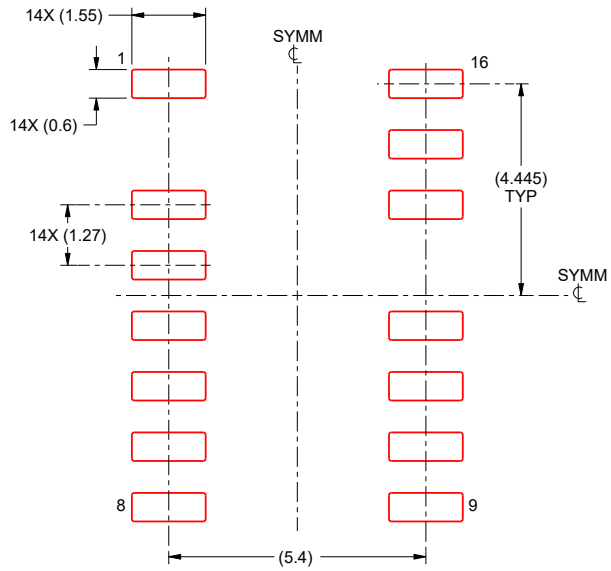
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDB0014A — **SOIC - 1.75 mm max height**

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222925/A 04/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC256610DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256610
UCC256611DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256611
UCC256612DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256612
UCC256613DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256613
UCC256614DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256614
UCC256616DDBR	Active	Production	SOIC (DDB) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256616

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC25661 :

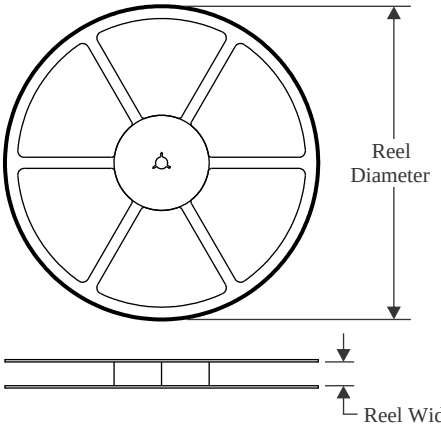
- Automotive : UCC25661-Q1

NOTE: Qualified Version Definitions:

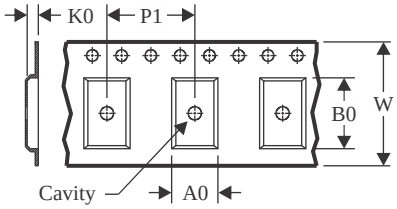
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

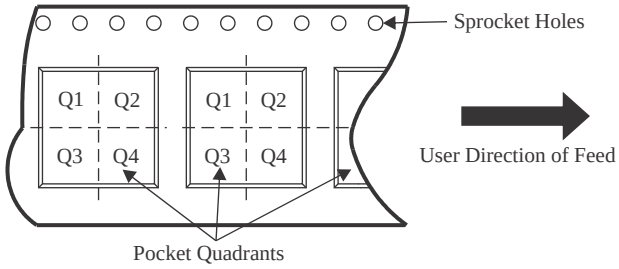


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

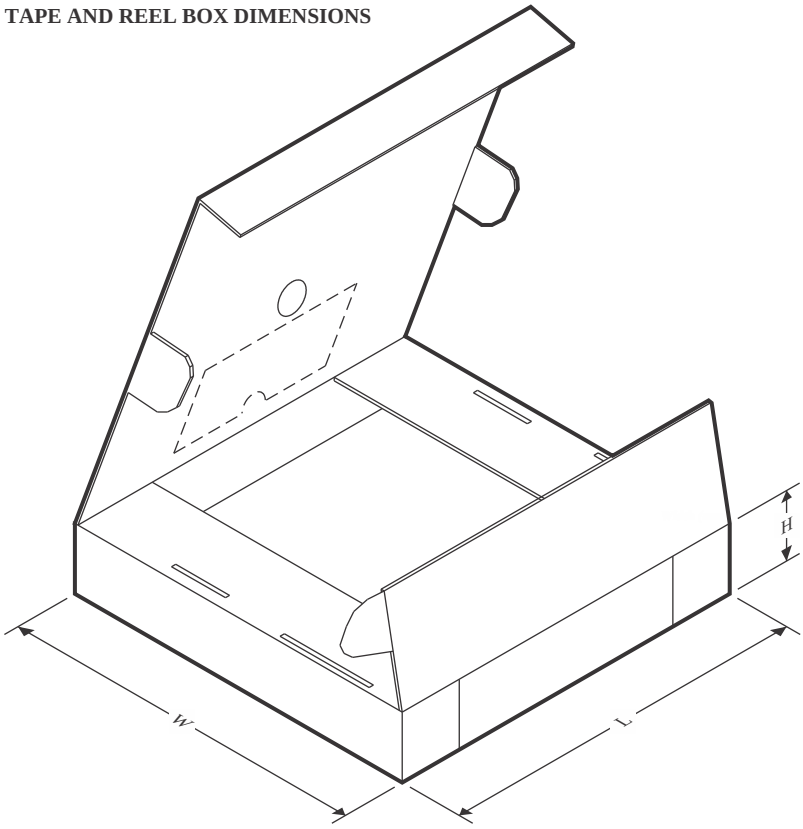
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC256610DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256611DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256612DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256613DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256614DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256616DDBR	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC256610DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256611DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256612DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256613DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256614DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256616DDBR	SOIC	DDB	14	2500	353.0	353.0	32.0

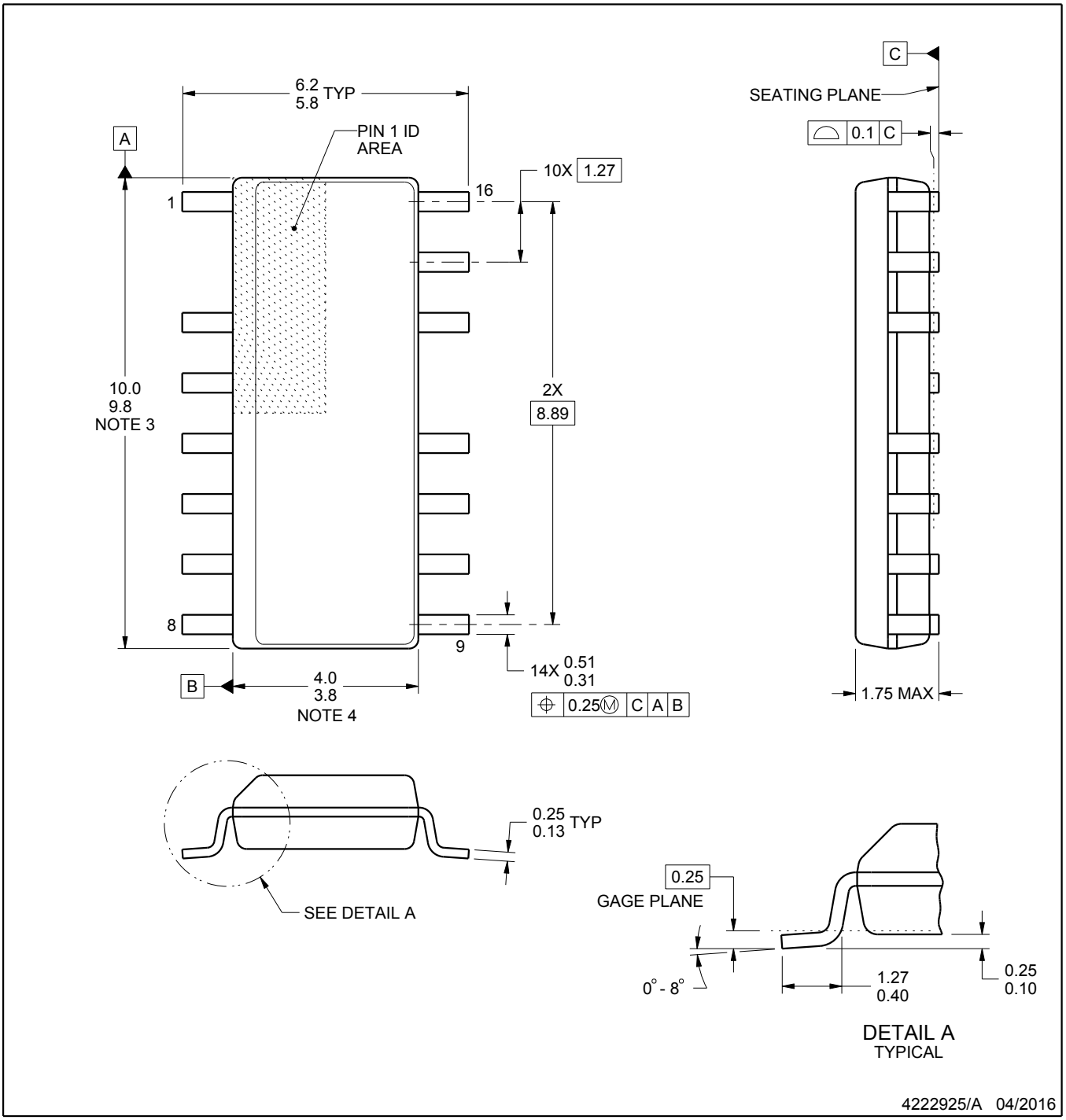


PACKAGE OUTLINE

DDB0014A

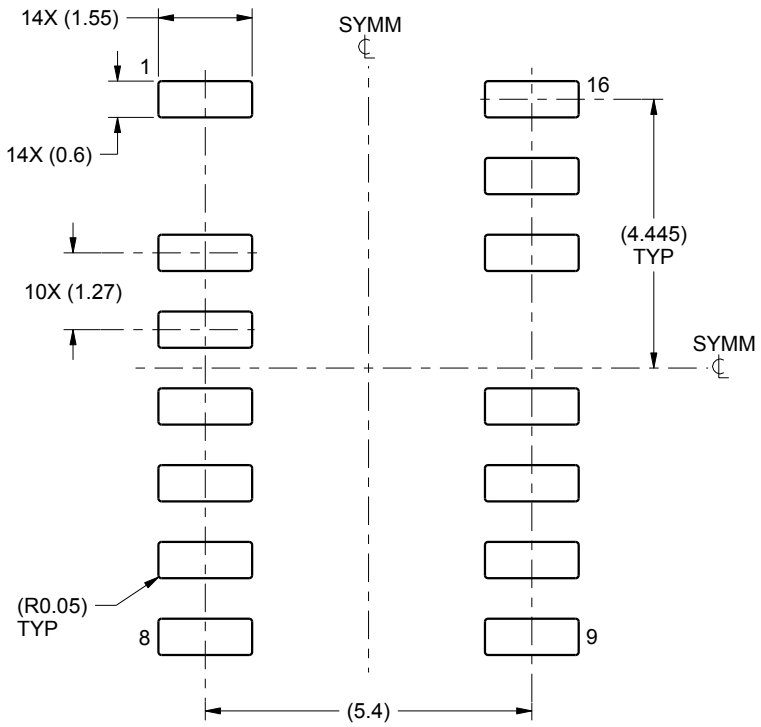
SOIC - 1.75 mm max height

SOIC

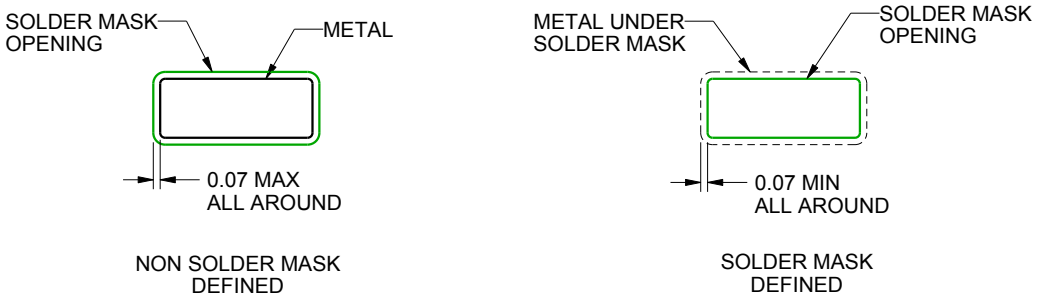


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-012, variation AC.



LAND PATTERN EXAMPLE
SCALE:8X

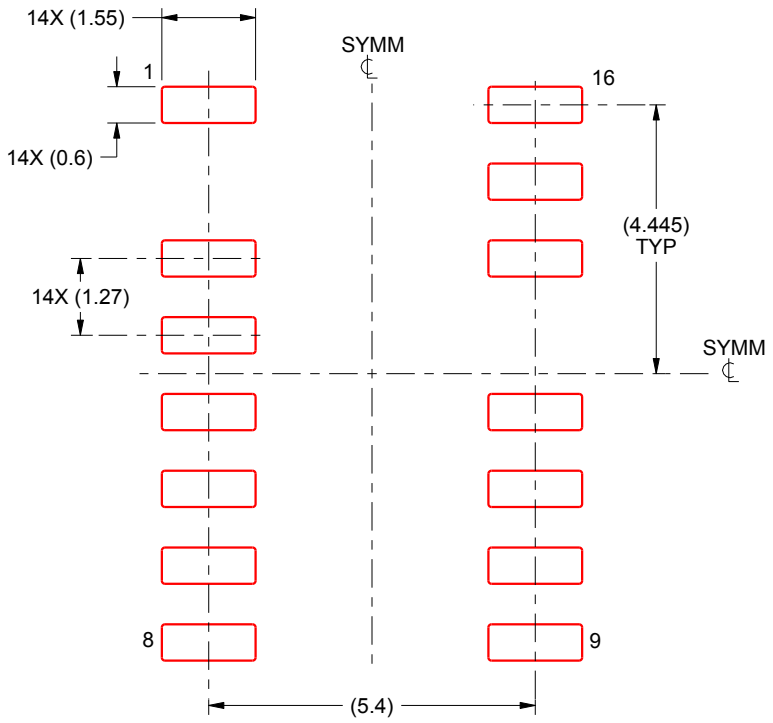


SOLDER MASK DETAILS

4222925/A 04/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222925/A 04/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月