UCC27211A-Q1 車載用 8V UVLO 搭載の 120V、3.7A/4.5A ハーフブリッジ ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み：デバイス温度グレード 1
- 接合部温度範囲：-40℃～+150℃
- ハイサイド / ローサイド構成の 2 つの N チャネル MOSFET を独立した入力で駆動
- 最大ブート電圧：120V DC
- ソース 3.7A、シンク 4.5A の出力電流
- 入力ピンは電源電圧範囲に依存せず –10V～+20V を入力可能
- TTL 対応入力
- 8V～17V VDD の動作範囲 (絶対最大定格 20V)
- 立ち上がり時間 7.2ns、立ち下がり時間 5.5ns (1000pF 負荷時)
- 高速伝搬遅延時間 (標準 20ns)
- 遅延マッチング：4ns
- ハイサイドおよびローサイド ドライバに対して対称的な低電圧誤動作防止機能
- 業界標準の SO-PowerPAD SOIC-8 パッケージで供給

2 アプリケーション

- 車載用 DC/DC コンバータと OBC
- 2 輪車と 3 輪車のトラクション ドライブとバッテリ パック
- 電動パワー ステアリング (EPS)
- ワイヤレス充電
- スマート ガラス モジュール

3 概要

UCC27211A-Q1 デバイス ドライバは、定評ある UCC27201 MOSFET ドライバをベースとしながら、いくつかの点で性能が大きく向上しています。

ピーク出力プルアップ / プルダウン電流がソース 3.7A およびシンク 4.5A に増加したことで、より大電力の MOSFET を駆動でき、MOSFET のミラー プラトー領域過渡時のスイッチング損失を最小限に抑えることができます。入力構造が -10VDC を直接扱えるため、堅牢性が増し、整流ダイオードなしでゲート駆動トランスに直接インターフェイスできます。また、入力は電源電圧に依存せず、最大定格は 20V です。

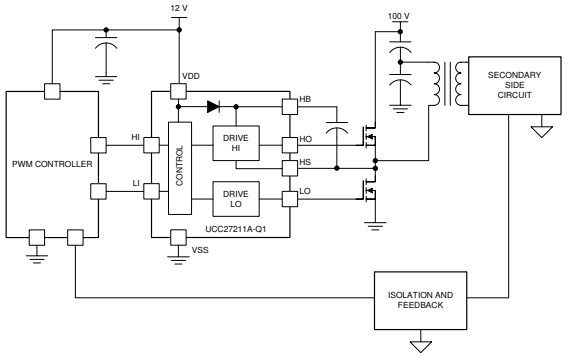
UCC27211A-Q1 のスイッチング ノード (HS ピン) は最大で -(24 - VDD)V を処理できるため、寄生インダクタンスや浮遊容量によって生じる固有の負電圧からハイサイド チャネルを保護できます。UCC27211A-Q1 (TTL 入力) はヒステリシスが増大しているため、アナログまたはデジタル PWM コントローラへのインターフェイスでノイズ耐性が強化されます。

ローサイドとハイサイドのゲート ドライバが独立して制御され、それぞれのオン/オフ間に 4ns でマッチングが行われます。120V 定格のブートストラップ ダイオードを内蔵しているため、外部にディスクリート ダイオードが不要です。ハイサイド ドライバとローサイド ドライバの両方に低電圧誤動作防止機能が搭載され、対称的なオン/オフ動作を実現しながら、駆動電圧が規定のスレッショルド未満の場合は出力が強制的に LOW になります。

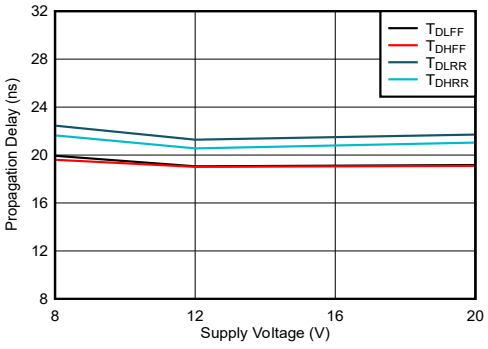
製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
UCC27211A-Q1	DDA (PowerPAD™ SOIC、8)	4.9mm × 3.9mm
	D (SOIC、8)	4.9mm × 3.9mm

(1) 供給されているすべてのパッケージについては、セクション 12 を参照してください。



代表的なアプリケーションの図



伝播遅延と電源電圧との関係、T = 25℃

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 タイミング図.....8
5.8 代表的特性.....8
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....12
6.3 機能説明.....12
6.4 デバイスの機能モード.....13
7 アプリケーションと実装.....14
7.1 アプリケーション情報.....14
7.2 代表的なアプリケーション.....14
8 電源に関する推奨事項.....20
9 レイアウト.....20
9.1 レイアウトのガイドライン.....20
9.2 レイアウト例.....21
9.3 熱に関する注意事項.....21
10 デバイスおよびドキュメントのサポート.....22
10.1 サード・パーティ製品に関する免責事項.....22
10.2 ドキュメントのサポート.....22
10.3 ドキュメントの更新通知を受け取る方法.....22
10.4 サポート・リソース.....22
10.5 商標.....22
10.6 静電気放電に関する注意事項.....22
10.7 用語集.....22
11 改訂履歴.....22
12 メカニカル、パッケージ、および注文情報.....23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

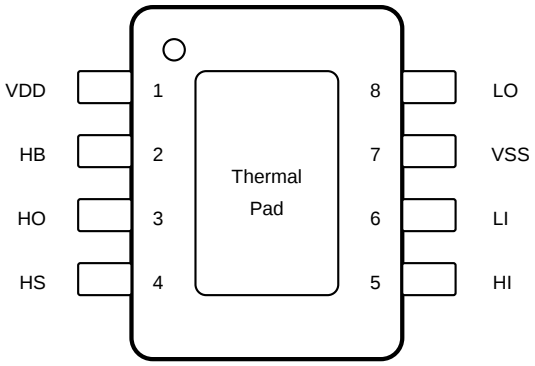


図 4-1. DDA パッケージ 8 ピン SO-PowerPAD 上面図

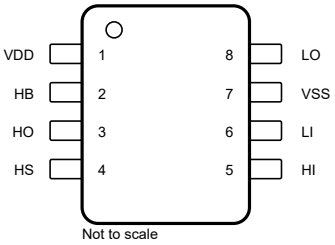


図 4-2. D パッケージ 8 ピン SOIC 低面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
HB	2	P	ハイサイド ブートストラップ電源。ブートストラップ ダイオードはオンチップですが、外部ブートストラップ コンデンサが必要です。ブートストラップ コンデンサの正側をこのピンに接続します。HB バイパス コンデンサの標準範囲は 0.022µF～0.1µF です。コンデンサの値はハイサイド MOSFET のゲート電荷に依存しており、速度およびリップルの条件に基づいて選択する必要があります。
HI	5	I	ハイサイド入力。(1)
HO	3	O	ハイサイド出力。ハイサイド パワー MOSFET のゲートに接続します。
HS	4	P	ハイサイド ソース接続。ハイサイド パワー MOSFET のソースに接続します。ブートストラップ コンデンサの負側をこのピンに接続します。
LI	6	I	ローサイド入力。(1)
LO	8	O	ローサイド出力。ローサイド パワー MOSFET のゲートに接続します。
VDD	1	P	ローサイド ゲートドライバへの正電源。このピンを V_{SS} (GND) にデカップリングします。デカップリング コンデンサの標準範囲は 0.22µF～4.7µF です (2)を参照)。
VSS	7	—	デバイスの負電源端子で、通常は接地されています。
放熱パッド(3)		—	DDA パッケージでのみ使用されます。V_{SS} (GND) を電気的に基準とします。熱性能を向上させるため、大きな熱質量パターンまたは GND プレーンに接続します。

(1) HI または LI 入力は、低インピーダンスのソース信号に接続されていると想定されます。ソース出力のインピーダンスは、100Ω 未満であると想定されています。ソース インピーダンスが 100Ω を超える場合は、HI と VSS の間、LI と VSS の間にそれぞれバイパス コンデンサを追加します。追加コンデンサの値は、ピン上のノイズ レベルによって異なります。ノイズの影響を効果的に除去するために、通常は 1nF～10nF が使用されます。HI または LI の 2 つのピンにノイズが存在すると、HO および LO の誤動作によってロジック出力が誤ったものになります。

(2) 低温アプリケーションでは、上部範囲の容量を使用することを推奨します。PCB レイアウトについては、「*レイアウトのガイドライン*」に従ってください。

(3) サーマル パッドはパッケージのどのリードにも直接は接続されていませんが、デバイスのグランドである基板に電気的、熱的に接続されています。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内、すべての電圧は V_{SS} 基準 (特に記述のない限り) 。(1)

			最小値	最大値	単位
V_{DD}	電源電圧		-0.3	20	V
V_{HI}、V_{LI}	HI および LI の入力電圧		-10	20	V
V_{LO}	LO の出力電圧	DC	-0.3	V_{DD} + 0.3	V
		繰り返しパルス < 100ns (2)	-2	V_{DD} + 0.3	
V_{HO}	HO の出力電圧	DC	V_{HS} – 0.3	V_{HB} + 0.3	V
		繰り返しパルス < 100ns (2)	V_{HS} – 2	V_{HB} + 0.3	
V_{HS}	HS の電圧	DC	-1	115	V
		繰り返しパルス < 100ns (2)	-(24V - V_{DD})	115	
V_{HB}	HB の電圧		-0.3	120	V
	HB-HS の電圧		-0.3	20	V
T_J	動作時接合部温度		-40	150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内、すべての電圧は V_{SS} 基準 (特に記述のない限り) 。

		最小値	公称値	最大値	単位
V_{DD}	電源電圧	8	12	17	V
V_{HS}	HS の電圧	-1		105	V
	HS の電圧 (反復パルス < 100ns) (1)	-(24V - V_{DD})		110	
V_{HB}	HB の電圧	V_{HS} + 8.0、V_{DD} - 1		V_{HS} + 17、115	
SR_{HS}	HS の電圧スルー レート			50	V/ns
T_J	動作時接合部温度	-40		150	°C

(1) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

5.4 熱に関する情報

熱評価基準(1)		UCC27211A-Q1		単位
		D (SOIC)	DDA (PowerPad™ SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	112.5	44.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.1	68.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	59.6	20	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	7	6.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	58.7	20	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	8.4	°C/W

(1) 従来および新しい熱評価基準値の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準値』、SPRA953 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

V_{DD} = V_{HB} = 12V、V_{HS} = V_{SS} = 0V、LO または HO は無負荷、T_A = T_J = -40℃～+150℃ (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{DD}	VDD 静止電流	V_{LI} = V_{HI} = 0V		0.11	0.19	mA
I_{DDO}	VDD 動作電流	f = 500kHz、C_{LOAD} = 0		1.4	3	mA
I_{HB}	ブート電圧の静止電流	V_{LI} = V_{HI} = 0V		0.065	0.12	mA
I_{HBO}	ブート電圧動作電流	f = 500kHz、C_{LOAD} = 0		1.3	3	mA
I_{HBS}	HB から VSS への静止電流	V_{HS} = V_{HB} = 105V		0.0005	1	µA
I_{HBSO}	HB から VSS への動作電流	f = 500kHz、C_{LOAD} = 0		0.03	1	mA
入力						
V_{HIT_HI}	入力電圧 high スレッショルド		1.7	2.3	2.55	V
V_{HIT_LI}	入力電圧 high スレッショルド		1.7	2.3	2.55	V
V_{LIT_HI}	入力電圧 Low スレッショルド		1.2	1.6	1.9	V
V_{LIT_LI}	入力電圧 Low スレッショルド		1.2	1.6	1.9	V
V_{IHYS_HI}	入力電圧ヒステリシス			0.7		V
V_{IHYS_LI}	入力電圧ヒステリシス			0.7		V
R_{IN_HI}	入力プルダウン抵抗	V_{IN} = 3V		68		kΩ
R_{IN_LI}	入力プルダウン抵抗	V_{IN} = 3V		68		kΩ
低電圧保護 (UVLO)						
V_{DDR}	VDD 上昇スレッショルド		6.2	7	7.8	V
V_{DDHYS}	VDD スレッショルド ヒステリシス			0.5		V
V_{HBR}	VHB 上昇スレッショルド		5.6	6.7	7.9	V
V_{HBHYS}	VHB スレッショルド ヒステリシス			1.1		V
ブートストラップ ダイオード						
V_F	低電流順方向電圧	$I_{VDD - HB}$ = 100µA		0.65	0.85	V
V_{FI}	高電流順方向電圧	$I_{VDD - HB}$ = 100mA		0.9	1.05	V
R_D	動的抵抗、ΔVF/ΔI	$I_{VDD - HB}$ = 160mA および 180mA	0.3	0.55	0.85	Ω
LO ゲートドライバ						
V_{LOL}	Low レベル出力電圧	I_{LO} = 100mA		0.07	0.19	V
V_{LOH}	High レベル出力電圧	I_{LO} = -100mA、V_{LOH} = V_{DD} – V_{LO}		0.11	0.29	V
	ピーク プルアップ電流 (1)	V_{LO} = 0V		3.7		A
	ピーク プルダウン電流 (1)	V_{LO} = 12V		4.5		A
HO ゲートドライバ						
V_{HOL}	Low レベル出力電圧	I_{HO} = 100mA		0.07	0.19	V
V_{HOH}	High レベル出力電圧	I_{HO} = –100mA、V_{HOH} = V_{HB}- V_{HO}		0.11	0.29	V
	ピーク プルアップ電流 (1)	V_{HO} = 0V		3.7		A
	ピーク プルダウン電流 (1)	V_{HO} = 12V		4.5		A

(1) 量産品のパラメータはテストしていません。

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

V_{DD} = V_{HB} = 12V、V_{HS} = V_{SS} = 0V、LO または HO は無負荷、T_A = T_J = -40℃～+150℃ (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
伝搬遅延						
t_{DLFF}	VLI 立ち下がりから VLO 立ち下がりまで	C_{LOAD} = 0pF、LI の V_{LIT} から LO 立ち下がりの 90% まで	10	19	30	ns
t_{DHFF}	VHI 立ち下がりから VHO 立ち下がりまで	C_{LOAD} = 0pF、HI の V_{LIT} から HO 立ち下がりの 90% まで	10	19	30	ns
t_{DLRR}	VLI 立ち上がりから VLO 立ち上がりまで	C_{LOAD} = 0pF、LI の V_{HIT} から LO 立ち上がりの 10% まで	10	20	42	ns
t_{DHRR}	VHI 立ち上がりから VHO 立ち上がりまで	C_{LOAD} = 0pF、C_{LOAD} = 0pF、HI の V_{HIT} から HO 立ち上がりの 10% まで	10	20	42	ns
遅延マッチング						
t_{MON}	LI ON、HI OFF	T_J = 25℃		4	9.5	ns
t_{MON}	LI ON、HI OFF	T_J = -40℃～150℃、		4	17	ns
t_{MOFF}	LI OFF、HI ON	T_J = 25℃		4	9.5	ns
t_{MOFF}	LI OFF、HI ON	T_J = -40℃～150℃		4	17	ns
出力の立ち上がりおよび立ち下がり時間						
t_{R_LO}	LO の立ち上がり時間	C_{LOAD} = 1000pF、10% から 90%		7.2		ns
t_{R_HO}	HO の立ち上がり時間	C_{LOAD} = 1000pF、10% から 90%		7.2		ns
t_{F_LO}	LO の立ち下がり時間	C_{LOAD} = 1000pF、10% から 90%		5.5		ns
t_{F_HO}	HO の立ち下がり時間	C_{LOAD} = 1000pF、10% から 90%		5.5		ns
$t_{R_LO_p1}$	LO の立ち上がり時間（3V～9V）	C_{LOAD} = 0.1μF、(3V～9V)		0.27	0.6	μs
$t_{R_HO_p1}$	HO の立ち上がり時間（3V～9V）	C_{LOAD} = 0.1μF、(3V～9V)		0.27	0.6	μs
$t_{F_LO_p1}$	LO の立ち下がり時間（9V～3V）	C_{LOAD} = 0.1μF、(9V～3V)		0.16	0.4	μs
$t_{F_HO_p1}$	HO の立ち下がり時間（9V～3V）	C_{LOAD} = 0.1μF、(9V～3V)		0.16	0.4	μs
その他						
t_{IN_PW}	出力 LO を変化させる最小入力パルス幅				40	ns
t_{IN_PW}	出力 HO を変化させる最小入力パルス幅				40	ns
t_{OFF_BSD}	ブートストラップ ダイオードのターンオフ時間 (1) (2)	I_F = 20mA、I_{REV} = 0.5A(3)		20		ns

(1) 量産品のパラメータはテストしていません。
(2) 標準値、T_A = 25℃
(3) I_F：ブートストラップ ダイオードに印加される順方向電流 I_{REV}：ブートストラップ ダイオードに印加される逆方向電流。

5.7 タイミング図

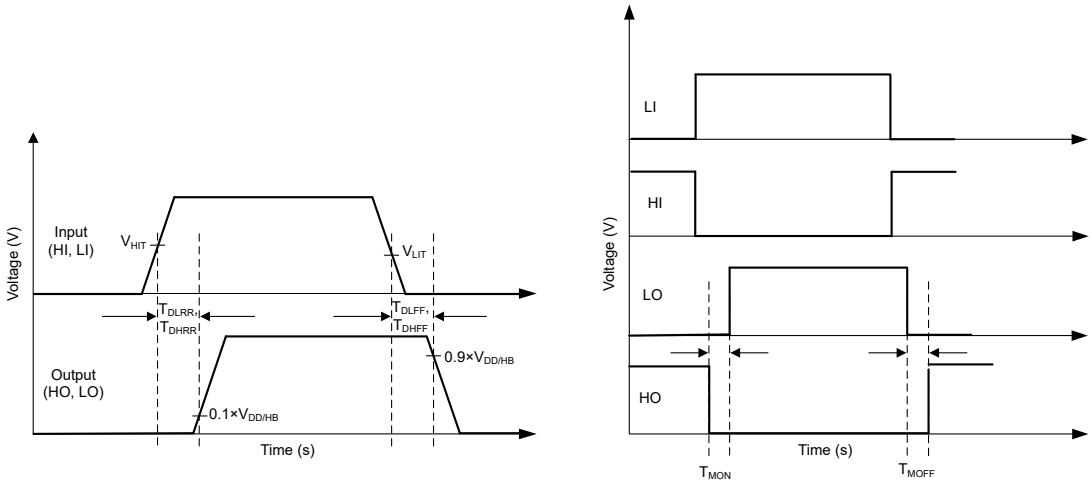


図 5-1. タイミング図

5.8 代表的特性

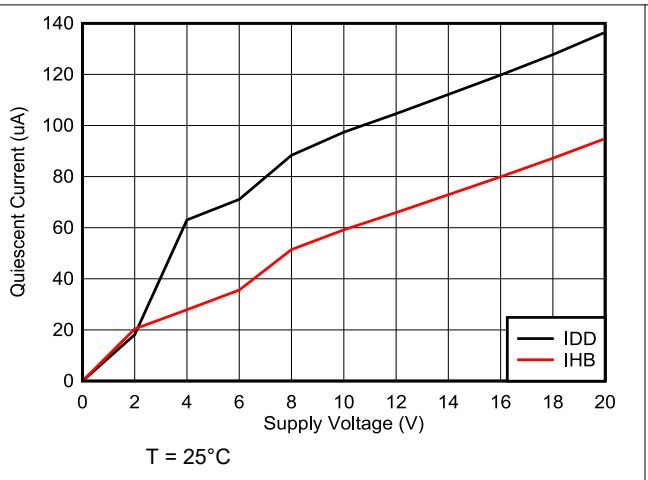


図 5-2. 静止電流と電源電圧との関係

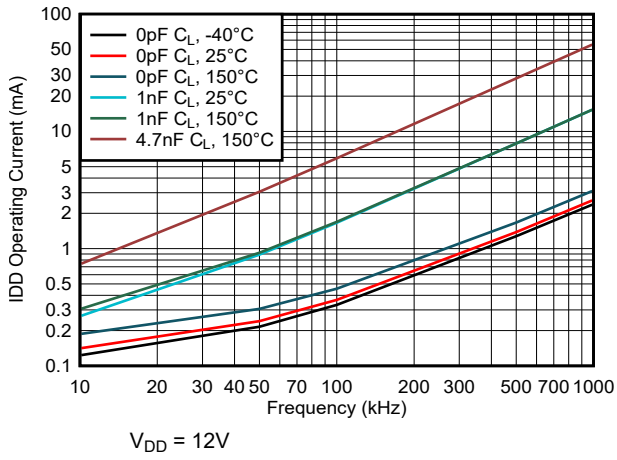
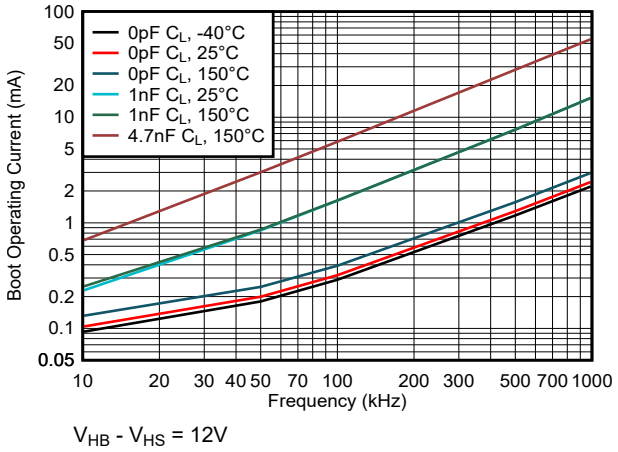


図 5-3. IDD の動作電流と周波数との関係

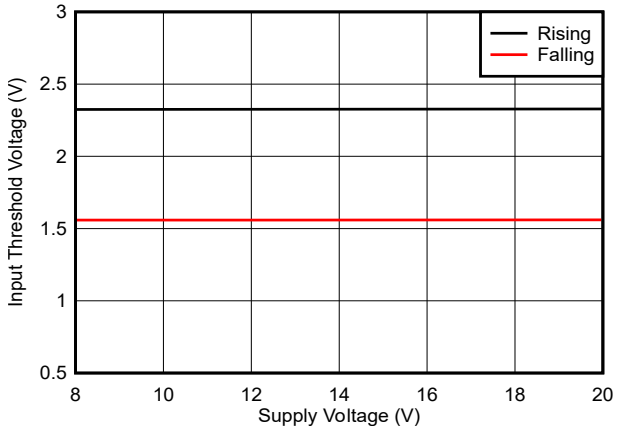
Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)



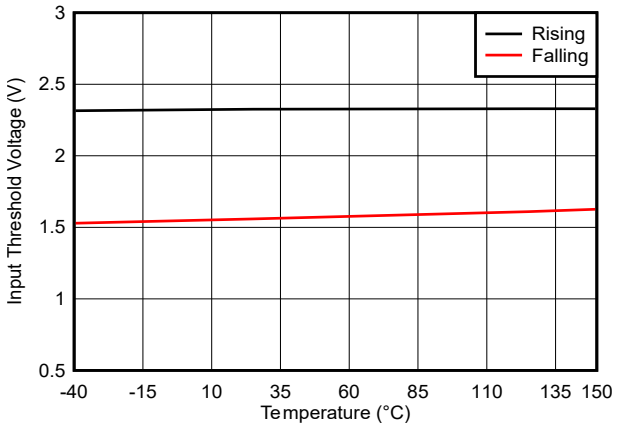
V_{HB} - V_{HS} = 12V

図 5-4. ブート電圧動作電流と周波数との関係 (HB から HS)



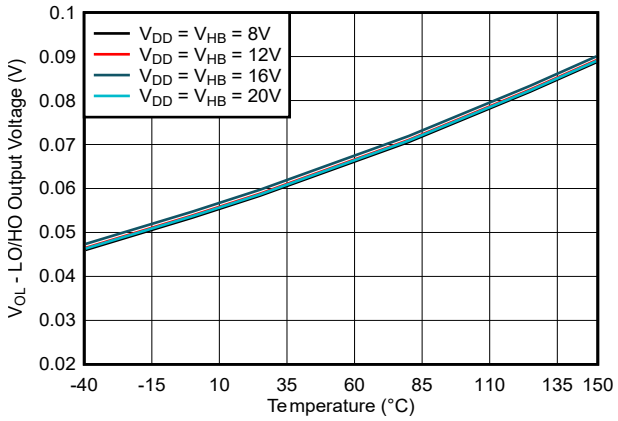
T = 25°C

図 5-5. 入力スレッショルドと電源電圧との関係



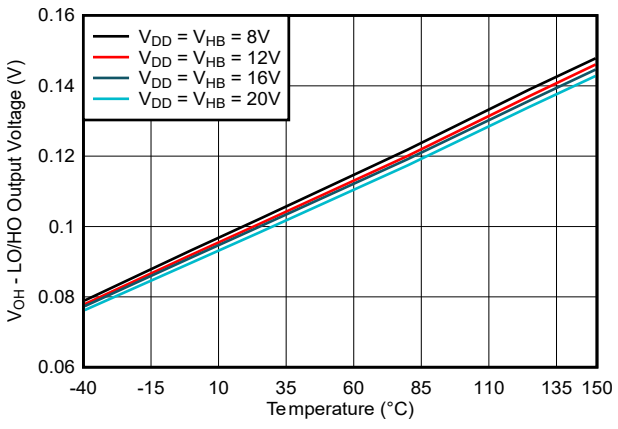
V_{DD} = 12V

図 5-6. 入力スレッショルドと温度との関係



I_{HO} = I_{LO} = 100mA

図 5-7. LO および HO の Low レベル出力電圧と温度との関係



I_{HO} = I_{LO} = 100mA

図 5-8. LO および HO の High レベル出力電圧と温度との関係

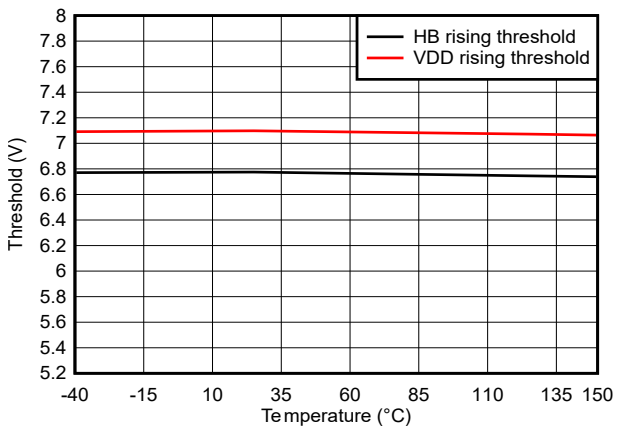


図 5-9. 低電圧誤動作防止スレッショルドと温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

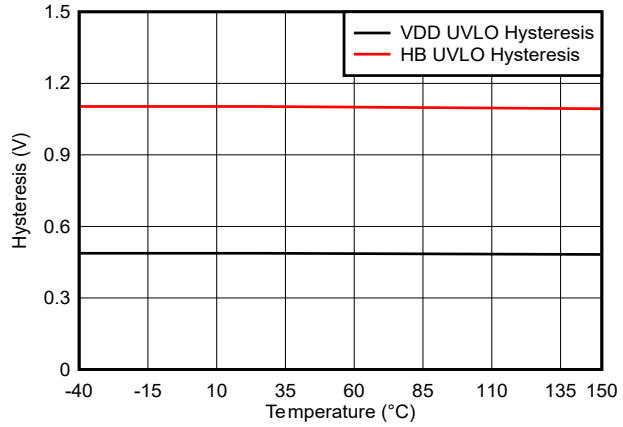
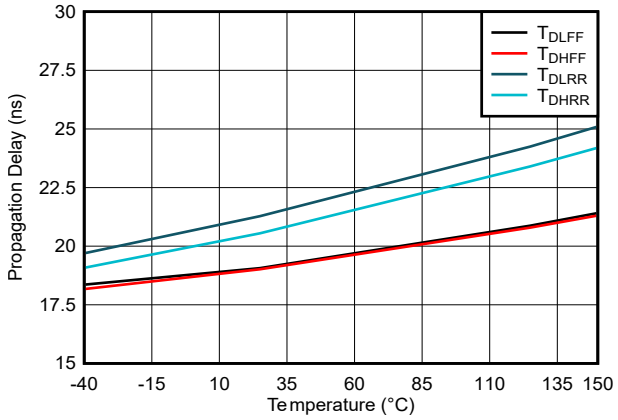
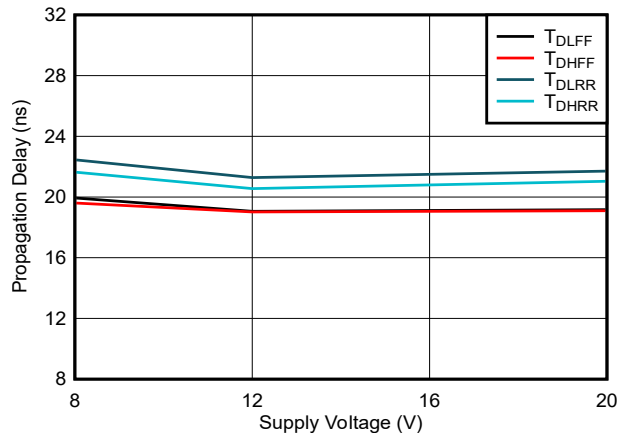


図 5-10. 低電圧誤動作防止スレッショルドのヒステリシスと温度との関係



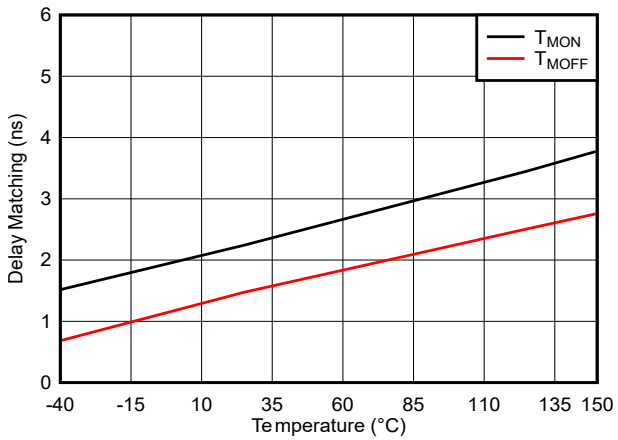
V_{DD} = V_{HB} = 12V

図 5-11. 伝搬遅延と温度との関係



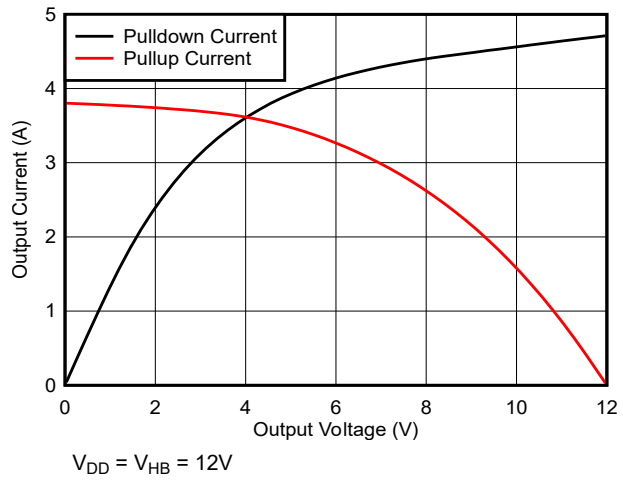
T = 25°C

図 5-12. 伝搬遅延と電源電圧との関係 (V_{DD} = V_{HB})



V_{DD} = V_{HB} = 12V

図 5-13. 遅延マッチングと温度との関係



V_{DD} = V_{HB} = 12V

図 5-14. 出力電流と出力電圧との関係

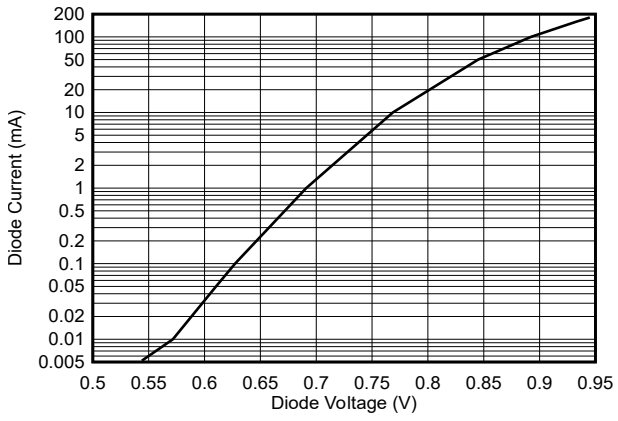


図 5-15. ダイオード電流とダイオード電圧との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

UCC27211A-Q1 デバイスは、ハーフおよびフルブリッジまたは同期整流降圧の構成で、N チャネル MOSFET のハイサイドとローサイドの両方を駆動するよう設計されています。このフローティング ハイサイド ドライバは、最大 120V で動作でき、これにより、ハーフブリッジ、フルブリッジ、プッシュプル、2 スイッチ フォワード、アクティブ クランプ フォワードのコンバータで N チャネル MOSFET 制御が可能になります。

UCC27211A は、3.7A ソースおよび 4.5A シンク能力、業界最高のスイッチング特性や、表 6-1 に示すその他の多くの機能を備えています。これらの機能を組み合わせることで、高周波スイッチング電源回路で効率的で堅牢、信頼性の高い動作を実現します。

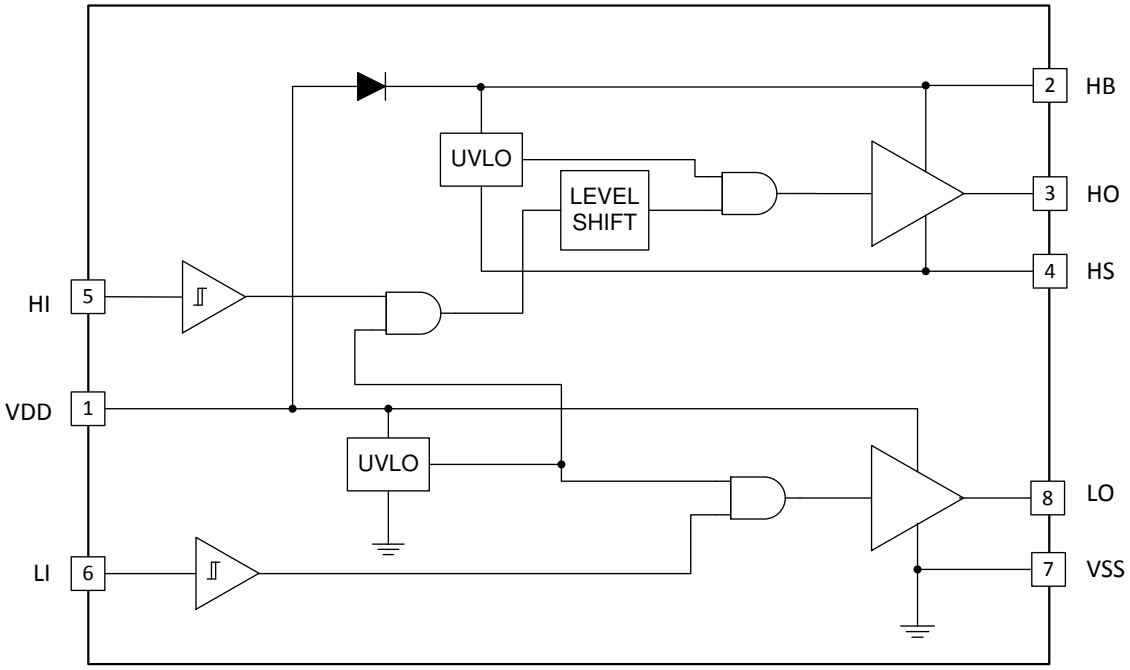
表 6-1. UCC27211A-Q1 の特長

機能	利点
3.7A ソースおよび 4.5A シンク電流	最小の電力損失で大電力 MOSFET を駆動するのに理想的な大ピーク電流 (ミラー プラトーで高速駆動可能)
入力ピン (HI および LI) は -10VDC～20VDC を直接処理可能	堅牢性およびアンダーシュート / オーバーシュート対処能力の向上により、整流ダイオードの使用を必要とせずにゲート駆動トランスと直接インターフェイスが可能。
120V 内部ブート ダイオード	電気通信の 100V サージ要件を満たす電圧マージンを実現
スイッチ ノード (HS ピン) は -(24 - VDD)V の絶対最大電圧に 100ns 間耐えることが可能	ハイサイド チャネルに対して寄生インダクタンスや浮遊容量によって生じる固有の負電圧からの追加保護が可能
電圧スパイクに対処する堅牢な ESD 回路	dV/dT が大きい条件に対する優れた耐性
伝搬遅延 20ns、立ち上がり時間 7.2ns、立ち下がり時間 5.5ns	クラス最高のスイッチング特性と非常に小さいパルス伝送歪み
チャネル間遅延マッチング : 4ns (標準値)	ブリッジ内のトランスのボルト秒オフセットを回避
対称型 UVLO 回路	ハイサイドとローサイドの同時シャットダウンを保証
ヒステリシスが大きい TTL 最適化スレッショルド	アナログまたはデジタル PWM コントローラを補完、ヒステリシスの増大によりノイズ耐性を向上

UCC27211A-Q1 デバイスには、ハイサイドとローサイドに個別の入力があり、アプリケーションの入力制御信号の柔軟性を最大限に許容します。ハイサイド ドライバのバイアス電源用のブート ダイオードは、デバイスに内蔵されています。UCC27211A-Q1 は TTL またはロジック互換バージョンです。ハイサイド ドライバはスイッチ ノード (HS) を基準とします。このスイッチ ノードは通常、ハイサイド MOSFET のソース ピン、ローサイド MOSFET のドレイン ピンです。ローサイド ドライバは V_{SS} を基準としており、通常はグランドです。UCC27211A-Q1 の機能は、入力段、UVLO 保護、レベル シフト、ブート ダイオード、出力ドライバ段に分割されています。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力段

UCC27211A-Q1 デバイスの入力段は、公称 68kΩ のインピーダンスを持ち、入力容量は約 4pF です。V_{SS} (グランド) へのプルダウン抵抗は 68kΩ です。ロジックレベル互換入力により、2.3V の立ち上がりスレッショルド、1.6V の立ち下がりスレッショルドを実現します。

6.3.2 低電圧誤動作防止 (UVLO)

ハイサイドおよびローサイド ドライバのバイアス電源には UVLO 保護機能があります。V_{DD} と、V_{HB} から V_{HS} への差動電圧が監視されます。V_{DD} UVLO は、V_{DD} が指定されたスレッショルドを下回ると、両方のドライバをディスエーブルにします。V_{DD} の立ち上がりスレッショルドは 7V で、ヒステリシスは 0.5V です。VHB UVLO は、V_{HB} から V_{HS} への差動電圧が指定のスレッショルドを下回ると、ハイサイド ドライバのみをディスエーブルにします。V_{HB} UVLO の立ち上がりスレッショルドは 6.7V で、ヒステリシスは 1.1V です。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 レベル シフト

レベル シフト回路は、ハイサイド入力から、スイッチ ノード (HS) を基準とするハイサイド ドライバ段へのインターフェイスです。レベル シフト回路を使用すると、HS ピンを基準とする HO 出力の制御が可能になり、ローサイド ドライバとの遅延マッチングが向上します。

6.3.4 ブート ダイオード

ハイサイド バイアスを生成するために必要なブート ダイオードは、UCC27211A-Q1 ドライバ ファミリに内蔵されています。ダイオード アノードを V_{DD} に、カソードを V_{HB} に接続します。V_{HB} コンデンサを HB と HS ピンに接続すると、HS がグランドに遷移したときに、V_{HB} コンデンサの電荷がスイッチング サイクルごとにリフレッシュされます。ブート ダイオードにより、高速な回復時間、低いダイオード抵抗、電圧定格マージンが可能になり、効率的で信頼性の高い動作を実現できます。

6.3.5 出力段

出力段は、パワー トレイン内のパワー MOSFET へのインターフェイスです。両方の出力ドライバで高いスルーレート、低い抵抗、高いピーク電流能力を実現しているため、パワー MOSFET の効率的なスイッチングが可能です。ローサイド出力段は V_{DD} と V_{SS} 間の電圧を基準とし、ハイサイドは V_{HB} と V_{HS} 間の電圧を基準とします。

6.4 デバイスの機能モード

このデバイスは、通常モードおよび UVLO モードで動作します。UVLO の動作モードの詳細については、「*低電圧誤動作防止 (UVLO)*」セクションを参照してください。通常モードでは、出力の状態は HI ピンと LI ピンの状態に依存します。表 6-2 に、各種入力ピンの組み合わせの出力状態を示します。

表 6-2. デバイス ロジック表

HI ピン	LI ピン	HO(1)	LO(2)
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	H

(1) HO は HS を基準として測定されます。
(2) LO は VSS を基準として測定されます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

パワー デバイスの高速なスイッチングに影響を与え、関連するスイッチング電力損失を低減するため、コントローラの PWM 出力とパワー 半導体デバイスのゲートとの間には、強力なゲート ドライバが使用されています。また、PWM コントローラがスイッチング デバイスのゲートを直接駆動できない場合、ゲート ドライバが不可欠です。デジタル電源の登場に伴って、デジタル コントローラからの PWM 信号は多くの場合 3.3V のロジック信号であり、パワー スイッチを正常にターンオンできないので、この状況がよく発生します。パワー デバイスを完全にターンオンし、導通損失を最小限に抑えるには、3.3V の信号をゲート駆動電圧 (12V など) まで昇圧するためにレベル シフト回路が必要です。トーテムポール配置の NPN/PNP バイポーラ トランジスタをベースとする従来のバッファ駆動回路は、エミッタ フォロワ構成であり、レベル シフト機能がないため、デジタル電源においては不十分であることがわかっています。ゲート ドライバは、レベル シフト機能とバッファ ドライブ機能の両方を効果的に組み合わせています。また、ゲート ドライバには、大電流ドライバを物理的にパワー スイッチの近くに配置することにより高周波スイッチング ノイズの影響を最小化する、ゲート ドライブ トランスを駆動する、フローティング パワー デバイスのゲートを制御する、ゲート電荷の電力損失をコントローラからドライバに移動することによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

最後に、GaN ベースのスイッチのような新しいワイド バンドギャップ パワー デバイス技術は、非常に高いスイッチング周波数での動作をサポート可能であり、ゲート駆動能力に関して非常に特別な要件が必要となります。これらの要件には、低い VDD 電圧 (5V 以下) での動作、短い伝搬遅延、優れた放熱特性を持つ小型で低インダクタンスのパッケージでの供給が含まれます。ゲート ドライバ デバイスは、スイッチング電源で非常に重要な部品であり、高性能、高価な部品の点数削減、基板面積の削減、システム設計の簡素化という利点を兼ね備えています。

7.2 代表的なアプリケーション

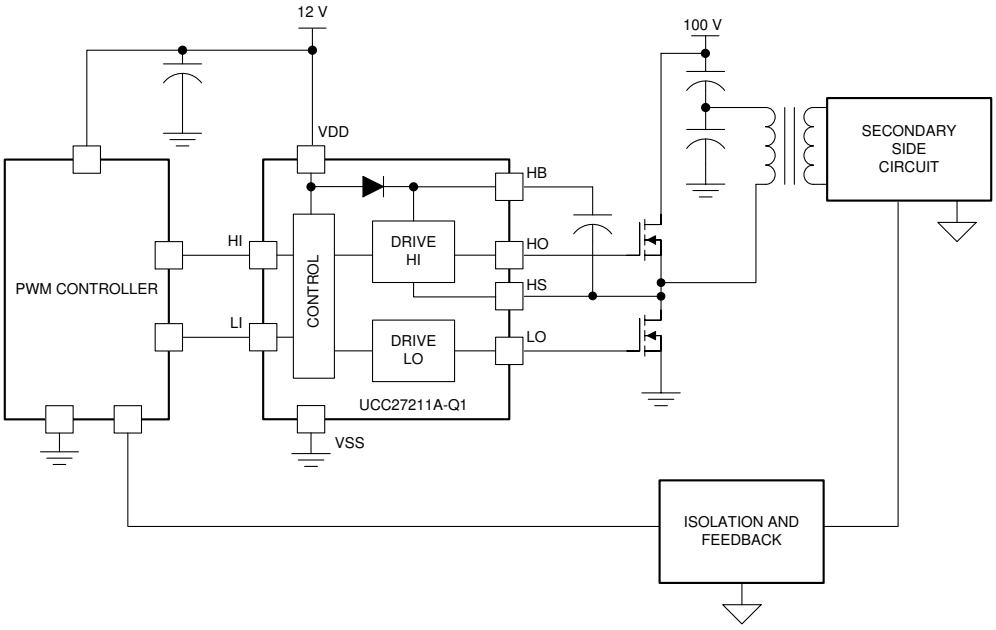


図 7-1. UCC27211A-Q1 代表的なアプリケーション図 1

Copyright © 2025 Texas Instruments Incorporated

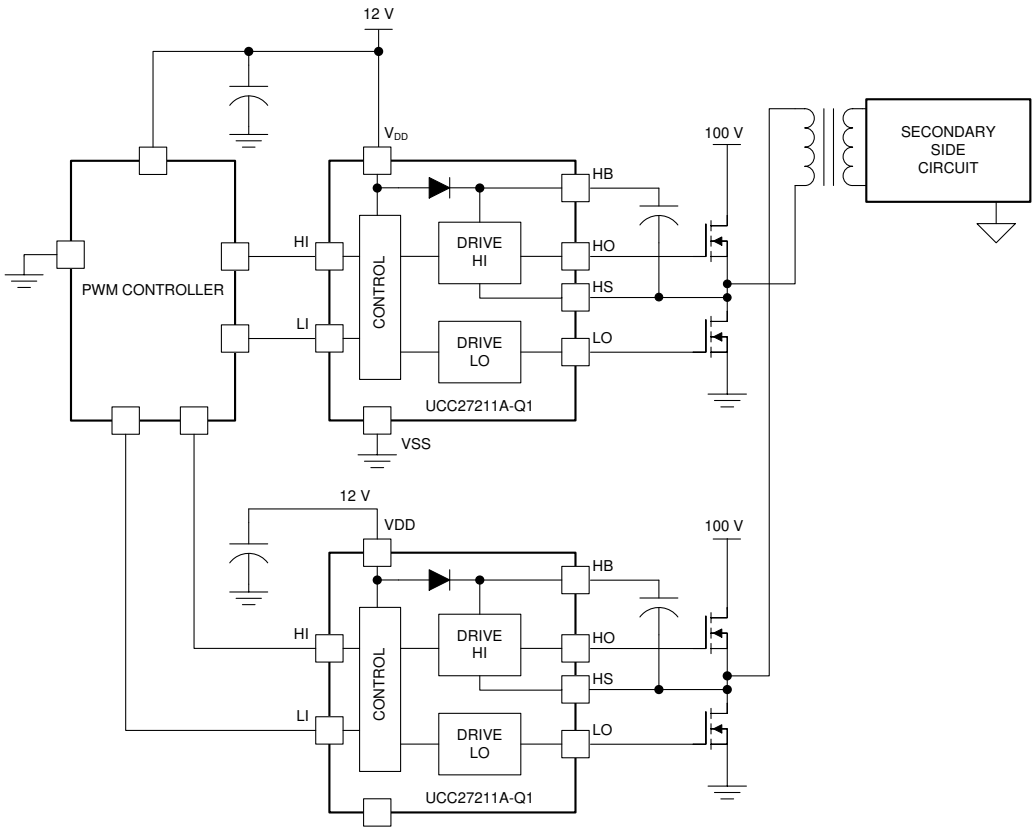


図 7-2. UCC27211A-Q1 代表的なアプリケーション図 2

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 設計仕様

設計パラメータ	数値の例
電源電圧、VDD	12 V
HS、VHS の電圧	0V～100V
HB、VHB の電圧	12V～112V
出力電流定格、IO	-4.5A/3.7A
動作周波数	500kHz

7.2.2 詳細な設計手順

7.2.2.1 入力スレッショルドのタイプ

UCC27211A-Q1 デバイスの入力絶対最大電圧範囲は -10V～20V です。堅牢性が向上しているため、両方の部品をゲート駆動トランスに直接接続できます。UCC27211A-Q1 デバイスには、広いヒステリシスの TTL 互換入力スレッショルド ロジックが搭載されています。スレッショルド電圧レベルは低電圧で、VDD 電源電圧から独立しているため、マイクロコントローラからのロジック レベル入力信号だけでなく、アナログ コントローラからの高電圧入力信号とも互換性があります。UCC27211A-Q1 デバイスの実際の入力スレッショルド電圧レベルとヒステリシスの仕様については、「電気的特性」表を参照してください。

7.2.2.2 V_{DD} バイアス電源電圧

デバイスの VDD ピンに印加するバイアス電源電圧は、「絶対最大定格」表に記載されている値を超えないようにする必要があります。ただし、パワー スイッチによって、効果的なターンオンとターンオフを実現するためにゲート端子に印加する電圧レベルは異なります。特定のパワー スイッチでは、ターンオンに正のゲート電圧、ターンオフに負のゲート電圧が必要な場合があります。この場合、VDD バイアス電源は電圧差と等しくなります。8V～17V の広い動作範囲に対応する UCC27211A-Q1 デバイスは、Si MOSFET、IGBT、ワイドバンドギャップ パワー半導体など、さまざまなパワー スイッチの駆動に使用できます。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.3 ソースおよびシンク ピーク電流

一般に、スイッチング電力損失を最小限に抑えるため、ターンオン時およびターンオフ時のパワー スイッチのスイッチング速度はできるだけ高速にする必要があります。ゲート ドライバ デバイスは、ターゲットのパワー MOSFET で目標のスイッチング速度を達成するために必要なピーク電流を供給できる必要があります。スイッチング速度のシステム要件は一般に、パワー MOSFET のドレイン-ソース間電圧 (dV_{DS}/dt など) のスルーレートとして記述されます。たとえば、連続導通モード (CCM) 昇圧 PFC コンバータ アプリケーションにおいて、SPP20N60C3 パワー MOSFET を DC バス電圧 400V を使用して 20V/ns 以上の dV_{DS}/dt でターンオンする必要があるというシステム要件がある場合があります。この種のアプリケーションは誘導性ハード スイッチング アプリケーションであり、スイッチング電力損失を低減することが重要です。この要件は、パワー MOSFET のターンオン イベント時のドレイン-ソース間電圧スイング全体 (オフ状態の 400V からオン状態の $V_{DS(on)}$) が約 20ns 以内に完了する必要があることを意味します。ドレイン-ソース間の電圧スイングが発生すると、パワー MOSFET のミラー電荷 (SPP20N60C3 データシートに記載されている QGD パラメータの標準値は 33nC) がゲート ドライバのピーク電流によって供給されます。パワー MOSFET の誘導性スイッチング メカニズムによれば、この時点でのパワー MOSFET のゲート-ソース間電圧はミラー プラトー電圧であり、通常はパワー MOSFET のスレッショルド電圧 $V_{GS(TH)}$ よりも数ボルト高い値です。

目標の dV_{DS}/dt を達成するには、ゲート ドライバが Q_{GD} の充電量を 20ns 以内で供給できる必要があります。つまり、ゲート ドライバが 1.65A (= 33nC/20ns) 以上のピーク電流を供給する必要があります。UCC27211A ゲート ドライバは、4A のピーク ソーシング電流を供給でき、設計要件を明確に上回るとともに、必要なスイッチング速度を満たすことができます。2.4 倍のオーバードライブ機能により、パワー MOSFET の Q_{GD} パラメータの部品間変動に対して追加マージンが得られるほか、外部ゲート抵抗を挿入し、スイッチング速度を効率と EMI の最適化のバランスを取って柔軟に調整できます。ただし、実用的な設計では、PCB のゲート ドライブ回路の寄生配線インダクタンスが、パワー MOSFET のスイッチング速度に対して決定的な役割を果たします。この寄生配線インダクタンスには、ゲート ドライバの出力電流パルスの di/dt を制限する効果があります。これを説明するため、ゲート ドライバからの出力電流パルスの波形が三角波プロファイルに近似できるとします。このプロファイルでは、三角波下の面積
(½ × I_{PEAK} × 時間) が、パワー MOSFET の総ゲート電荷 (SPP20N60C3 パワー MOSFET のデータシートの QG パラメータ = 87nC (標準値)) に等しくなります。寄生配線インダクタンスにより di/dt が制限されると、パワー MOSFET のスイッチングに必要な QG を供給する必要のある時間内に、ゲート ドライバの最大ピーク電流能力が完全に達成されない状況が発生する可能性があります。つまり、必要な QG は依然として供給されますが、式の時間パラメータが支配的であり、電流パルスの I_{PEAK} 値はデバイスの真のピーク電流能力よりもはるかに小さくなります。このため、理論的な計算でゲート ドライバが目標のスイッチング速度を達成できることが示されても、目的のスイッチング速度を達成できない場合があります。そのため、ゲート ドライバ デバイスをパワー MOSFET の非常に近くに配置し、PCB の配線インダクタンスを最小限に抑えて厳密なゲート駆動ループを設計することが、ゲート ドライバのピーク電流能力を最大限に実現するために重要です。

7.2.2.4 伝搬遅延

許容されるゲート ドライバからの伝搬遅延は、使用されるスイッチング周波数と、システムで許容されるパルス歪みレベルに依存します。UCC27211AQ1 デバイスの伝搬遅延は 20ns (標準値) であるため、パルス歪みが非常に小さく、非常に高い周波数での動作が可能です。UCC27211A-Q1 デバイスの伝搬特性およびスイッチング特性については、「電気的特性」表を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.5 消費電力

ゲートドライバの消費電力には、式 1 に示すように 2 つの部分があります。

$$P_{DISS} = P_{DC} + P_{SW} \quad (1)$$

消費電力 (PDC) の DC 部分を計算するには、式 2 を使用します。

$$PDC = I_Q \times V_{DD} \quad (2)$$

ここで、

- I_Q はドライバの静止電流です。

静止電流は、入力段、リファレンス電圧、ロジック回路、保護機能、さらにドライバの出力状態が変化したときの内部デバイスのスイッチングに関連する電流 (寄生容量の充電と放電、寄生貫通電流など) などのすべての内部回路をバイアスするためにデバイスが消費する電流です。UCC27211A-Q1 は、静止電流が非常に低く (0.17mA 未満、「電気的特性」表を参照)、出力ドライバ段での貫通電流を排除するためのロジックが内蔵されています。したがって、PDC がゲートドライバ内の総消費電力に及ぼす影響は、無視できるレベルであると想定できます。スイッチング (PSW) 時にゲートドライバ パッケージで消費される電力は、以下の要因によって決まります。

- 電源デバイスに必要なゲート電荷 (通常は駆動電圧 VG の関数で、入力バイアス電源電圧 VDD に非常に近い値)
- スイッチング周波数
- 外部ゲート抵抗の使用。ディスクリートの容量性負荷でドライバ デバイスをテストする場合、バイアス電源から必要とされる電力を計算するのはかなり簡単です。バイアス電源からコンデンサを充電するために転送する必要があるエネルギーは、式 3 で求められます。

$$EG = ½C_{LOAD} \times V_{DD}^{\ 2} \quad (3)$$

  - ここで、
  - C_{LOAD} は負荷コンデンサです。
  - V_{DD} はドライバに供給されるバイアス電圧です。

コンデンサの充電時と放電時には、等しい量のエネルギーが消費されます。これから、総電力損失は式 4 で求められます。

$$PG = C_{LOAD} \times V_{DD}^{\ 2} \times f_{SW} \quad (4)$$

ここで、

- f_{SW} はスイッチング周波数

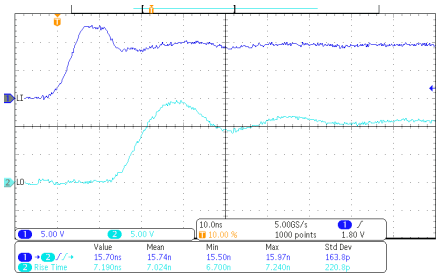
パワー MOSFET/IGBT で生成されるスイッチング負荷は、デバイスのスイッチングに必要なゲート電荷を調べることにより、等価容量に変換されます。このゲート電荷には、入力静電容量の影響と、オン状態とオフ状態を切り替えるパワー デバイスのドレイン電圧をスイングさせるために必要な追加電荷が含まれます。ほとんどのメーカーは、指定された条件でデバイスをスイッチングするための標準および最大ゲート電荷 (nC 単位) の仕様を提供しています。ゲート電荷 Qg を使用して、コンデンサのスイッチング時に消費される必要のある電力を決定します。これは、式 $Q_G = C_{LOAD} \times V_{DD}$ で計算され、式 5 が得られます。

$$P_G = C_{LOAD} \times V_{DD}^{\ 2} \times f_{SW} = Q_G \times V_{DD} \times f_{SW} \quad (5)$$

この電力 P_G は、MOSFET/IGBT がオン / オフになるときに、回路の抵抗性素子で消費されます。総電力の半分はターンオン中に負荷コンデンサが充電されるときに消費され、残りの半分はターンオフ中に負荷コンデンサが放電されるときに消費されます。ドライバと MOSFET/IGBT の間に外部ゲート抵抗が取り付けられていない場合、この電力はドライバ パッケージ内で完全に消費されます。外部ゲートドライブ抵抗を使用すると、ドライバの内部抵抗と外部ゲート抵抗との間で消費電力が共有されます。

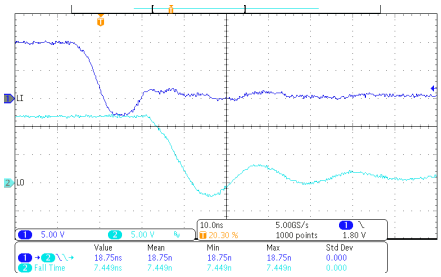
Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線



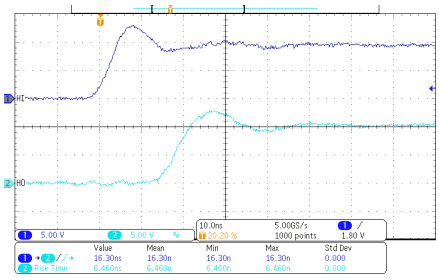
C_L = 1nF V_{DD} = 12V

図 7-3. LO 立ち上がり時間と LI から LO へのターンオン伝搬遅延



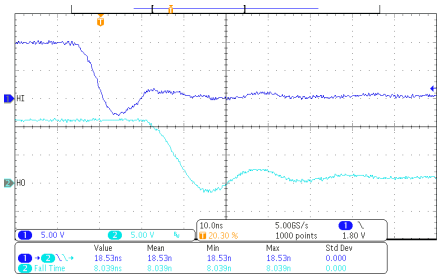
C_L = 1nF V_{DD} = 12V

図 7-4. LO 立ち下がり時間と LI から LO へのターンオフ伝搬遅延



C_L = 1nF V_{DD} = 12V

図 7-5. HO 立ち上がり時間と HI から HO へのターンオン伝搬遅延



C_L = 1nF V_{DD} = 12V

図 7-6. HO 立ち下がり時間と HI から HO へのターンオフ伝搬遅延

Copyright © 2025 Texas Instruments Incorporated

8 電源に関する推奨事項

UCC27211AQ1 デバイスの動作に推奨されるバイアス電源電圧範囲は 8V～17V です。この範囲の下限は、V_{DD} ピンの電源回路ブロックに内蔵されている低電圧誤動作防止 (UVLO) 保護機能によって制御されます。V_{DD} ピンの電圧が $V_{(on)}$ 電源スタート スレッショルドを下回ってドライバが UVLO 状態になると、入力の状態にかかわらず、出力が Low に保持されます。この範囲の上限は、デバイスの V_{DD} ピンの絶対最大電圧定格 (ストレス評価) である 20V によって決まります。過渡電圧スパイクを許容するため 3V のマージンを維持すると、V_{DD} ピンの最大推奨電圧は 17V です。UVLO 保護機能にはヒステリシス機能も含まれています。つまり、V_{DD} ピンのバイアス電圧がスレッショルド電圧を超えてデバイスが動作を開始した後に電圧が低下すると、電圧降下がヒステリシス仕様 $V_{DD(hys)}$ を超えない限り、デバイスは通常の動作を継続します。したがって、8V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルをデバイスのヒステリシス仕様値よりも小さくすることが重要です。システムのシャットダウン中は、デバイスの動作は V_{DD} ピンの電圧が $V_{(OFF)}$ のスレッショルドを下回るまで継続されます。これを考慮して、システムのシャットダウンのタイミング設計要件を評価する必要があります。同様に、システムのスタートアップ時には、V_{DD} ピンの電圧が $V_{(on)}$ のスレッショルドを超えるまで、デバイスは動作を開始しません。

デバイスの内部回路ブロックで消費される静止電流は、V_{DD} ピンから供給されます。この事実はよく知られていますが、LO ピンから供給されるソース電流パルスの電荷も同じ V_{DD} ピンを通して供給されることを認識することが重要です。その結果、電流が LO ピンからソースされるたびに、対応する電流パルスが V_{DD} ピン経由でデバイスに供給されます。そのため、デカップリングの目的で、V_{DD} ピンと GND ピンの間にローカル バイパス コンデンサを配置し、デバイスにできる限り近づけて配置してください。低 ESR の表面実装型セラミック コンデンサが必要です。V_{DD} と GND の間に 0.22μF～4.7μF のコンデンサを使用することをお勧めします。同様に、HO ピンから供給される電流パルスは HB ピンから電源を得ています。したがって、HB ピンと HS ピンの間に 0.022μF～0.1μF のローカル デカップリング コンデンサを配置することを推奨します。

9 レイアウト

9.1 レイアウトのガイドライン

設計のスイッチング特性と効率を向上させるには、以下のレイアウト規則に従う必要があります。

- ドライバは、MOSFET のできるだけ近くに配置します。
- V_{DD} - V_{SS} および V_{HB} - V_{HS} (ブートストラップ) コンデンサは、デバイスにできるだけ近づけて配置します (図 9-1 参照)。
- GND パターンに細心の注意を払います。DRM パッケージのサーマル パッドを VSS ピン (GND) に接続し、GND として使用します。ドライバからの GND パターンは MOSFET のソースに直接接続されますが、MOSFET のドレインまたはソース電流の大電流パスには配置しないでください。
- HS ノードには、ハイサイド ドライバの GND と同様のルールを使用します。
- UCC27211A を使用するシステムでは、デバイスの V_{DD}-V_{SS} に専用のデカップリング コンデンサを配置することをお勧めします。
- VDD パターンは、LO、HS、HO 信号の近くに配置しないように注意する必要があります。
- LO および HO には幅広いパターンを使用し、関連する GND または HS パターンに沿って近づけて配置します。可能であれば、60～100mil の幅をお勧めします。
- ドライバ出力または SW ノードをある層から別の層に配線する必要がある場合は、少なくとも 2 つ以上のビアを使用します。GND に対しては、サーマル パッドの要件でビア数と寄生インダクタンスを考慮する必要があります。
- LI と HI (ドライバ入力) が HS ノードやその他の高い dV/dt パターンの近くになると、比較的高インピーダンスのリード線に大きなノイズを引き起こす可能性があるため、避けてください。

レイアウトが不適切な場合、効率の大幅な低下やシステムの誤動作が発生し、システム全体の信頼性の低下につながる可能性もあります。

Copyright © 2025 Texas Instruments Incorporated

9.2 レイアウト例

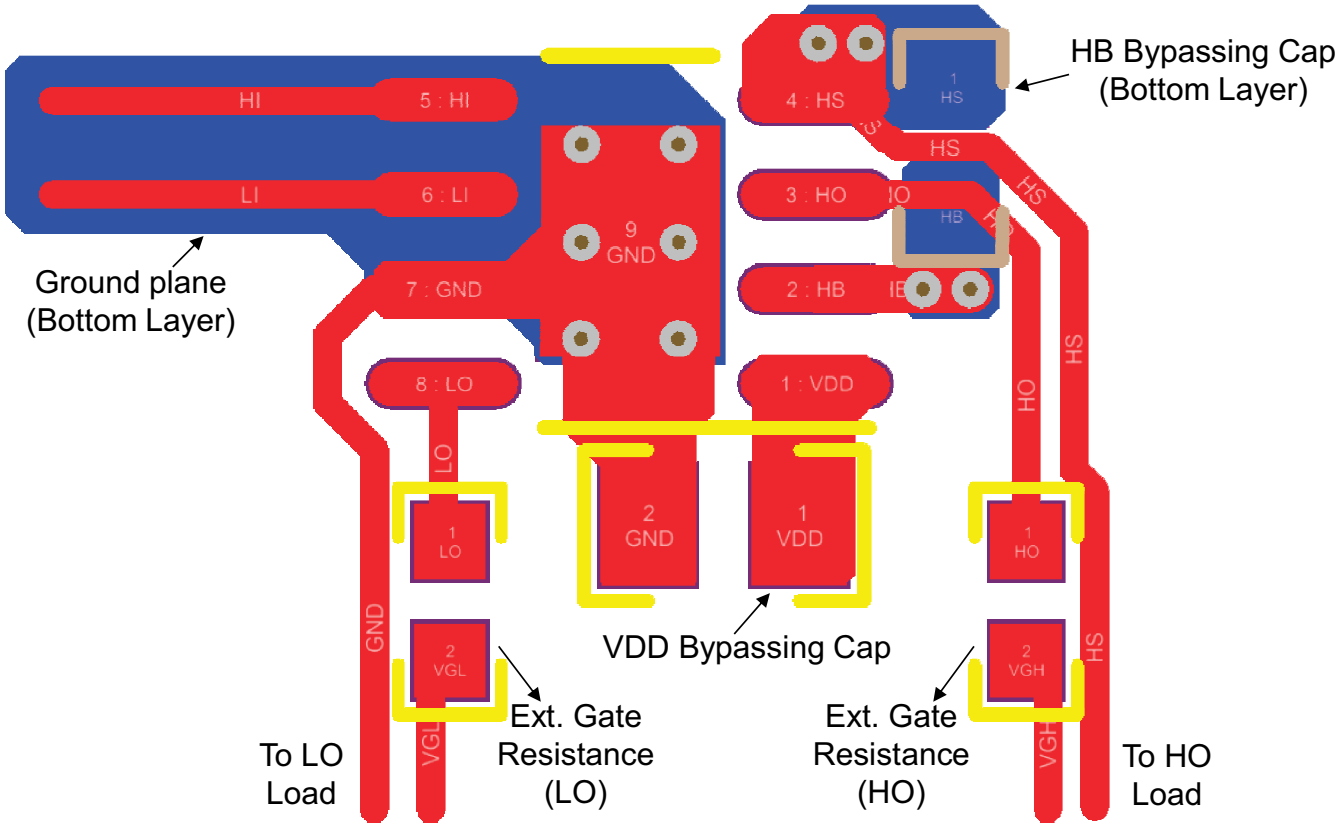


図 9-1. UCC27211A-Q1 の PCB レイアウトの例

9.3 熱に関する注意事項

ドライバの有効範囲は、負荷の駆動電力要件とパッケージの熱特性に大きく影響されます。特定の温度範囲で有効になるゲートドライバの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。ドライバ パッケージの熱評価基準は、「熱に関する情報」セクションに記載されています。表の詳細については、テキサス・インスツルメンツの『半導体および IC パッケージの熱評価基準』アプリケーション ノート (SPRA953) を参照してください。UCC27211A-Q1 デバイスは、で提供されます。8 ピン SO-PowerPAD パッケージ。

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

『熱特性強化型パッケージ PowerPAD™』、アプリケーション レポート (SLMA002)

『PowerPAD™ 入門』、アプリケーション レポート (SLMA004)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

PowerPAD™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2024) to Revision C (September 2025)	Page
• DDA (PowerPad™ SOIC) の熱に関する情報を更新	5

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (January 2016) to Revision B (July 2024) **Page**

- デバイスの主な特長を反映するようにドキュメントのタイトルを変更。 1
- デバイスの特性を反映するよう、いくつかの仕様を変更。 1
- 「特長」セクションを変更：1) CDM 分類レベルを最新の JEDEC 規格に合わせて変更、実際の HBM 定格は変更なし (C6 の詳細を示します。から C3)。2) 接合部温度範囲の仕様を変更 (修正前：-40℃～140℃。修正後：–40℃～150℃)。3) ピーク電流を、仕様を反映するよう変更、実際の駆動強度は変更なし (4A/4A から 3.7A/4.5A に変更)。4) 0.9Ω のプルアップおよびプルダウン抵抗は「電気的特性」に規定されていないため削除。 1
- 「アプリケーション」セクションを更新して代表的なアプリケーションの上位 5 つを記載 1
- 「概要」セクションを変更：1) 新しい D (SOIC、8) パッケージ バリアントを追加。2) ピーク電流を、標準的なプルアップ / プルダウンを表示するように変更、実際の仕様には変更なし (4A/4A から 3.7A/4.5A に変更)。3)「電気的特性」表で、プルアップ / プルダウン抵抗の情報が実際の仕様ではないため削除。4) 伝搬遅延プロットを新しいデータに更新。5)「絶対最大定格」表の仕様に合わせて HS 過渡許容値を変更 (-18V から-(24-VDD)V に変更)。 1
- 「推奨動作条件」を更新：動作時接合部温度の最大値を 140℃から 150℃に変更。 4
- 「熱に関する情報」セクションをデバイスの特性を反映するように更新。 4
- 「電気的特性」表の消費電流仕様を更新：1) I_{DD}、I_{DDO}、I_{HB} および I_{HBO} の最小仕様を削除。2) I_{DD} の標準値を 0.085mA から 0.11mA に変更。3) I_{DDO} の標準値を 2.5mA から 1.4mA に変更。4) I_{DDO} の最大値を 6.5mA から 3mA5) I_{HBO} の標準値を 2.5mA から 1.3mA に変更。6) I_{HBO} の最大値を 5.1mA から 3mA に変更。8) I_{HBS} テスト条件を、V_{HS} の最大推奨動作条件に合わせて 115V から 105V に変更。9) I_{HBSO} の標準値を 0.07mA から 0.03mA に変更。10) I_{HBSO} の最大値を 1.2mA から 1mA に変更。 4
- 「電気的特性」表のブートストラップ ダイオードの仕様を更新：1) V_F の最大値を 0.8V から 0.85V に変更。2) V_{Fi} の標準値を 0.85V から 0.9V に変更、最大値を 0.95V から 1.05V に変更。3) R_D テスト条件を 100mA、80mA から 180mA、160mA に変更。4) R_D の標準値を 0.5Ω。から 0.55Ω) 4
- 「電気的特性」表の LO/HO ゲートドライバの仕様を更新：1) V_{LOL}、V_{LOH}、V_{HOL}、V_{HOH} の最小仕様を削除。2) V_{LOL} および V_{HOL} の標準値を 0.1V から 0.07V に変更。3) V_{LOH} および V_{HOH} の標準値を 0.16V から 0.11V に変更。.. 4
- 「スイッチング特性」表の伝搬遅延仕様を更新：1) T_{DLFF} および T_{DHFF} の標準値を 16ns。から 19ns)。 4
- 「スイッチング特性」表の出力の立ち上がりおよび立ち下がり時間の仕様を更新：1) t_R の標準値を 0.36us の詳細を示します。から 0.27us)。2) t_F の標準値を 0.15us の詳細を示します。から 0.16us)。 4
- 「スイッチング特性 - その他」表を更新：t_{IN_PW} の最大値を 50ns。から 40ns)。 4
- 「代表的特性」セクションのすべてのプロットを、デバイスの標準仕様を反映するよう更新。 8
- 「概要」セクションに記載されている代表的仕様を、「電気的特性」表のデバイス仕様と一致するように変更。 11
- 「入力段」セクションを、電気的特性表の入力プルダウン抵抗の標準仕様と一致するよう変更 (70kΩ から 68kΩ に変更)。 12
- アプリケーション曲線を、伝搬遅延および立ち上がり / 立ち下がり時間のプロットを示すよう変更。 19

Changes from Revision * (December 2015) to Revision A (January 2016) **Page**

- マーケティングのステータスを「製品プレビュー」から「量産データ」に変更。 1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

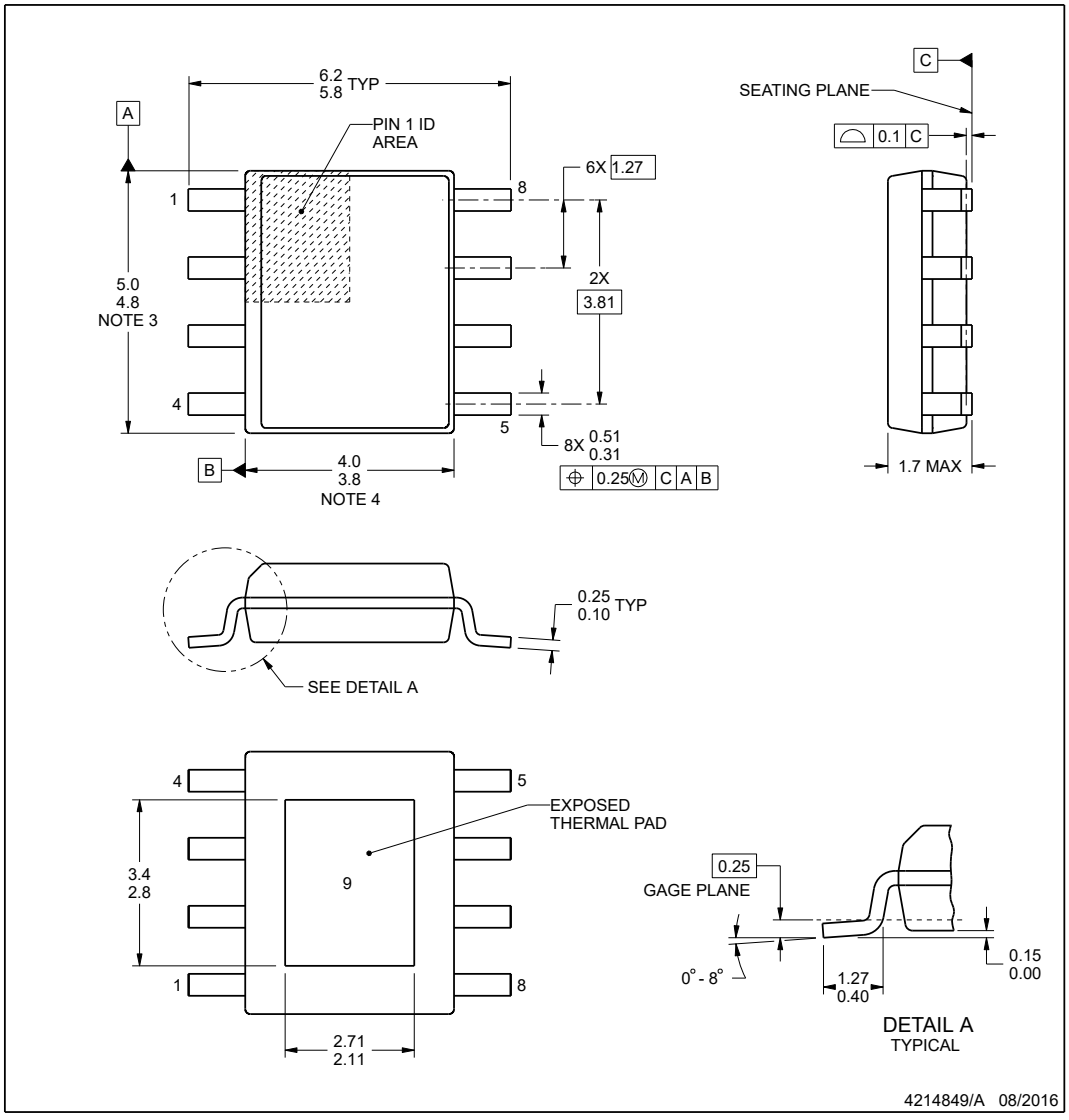
PACKAGE OUTLINE

DDA0008B



PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

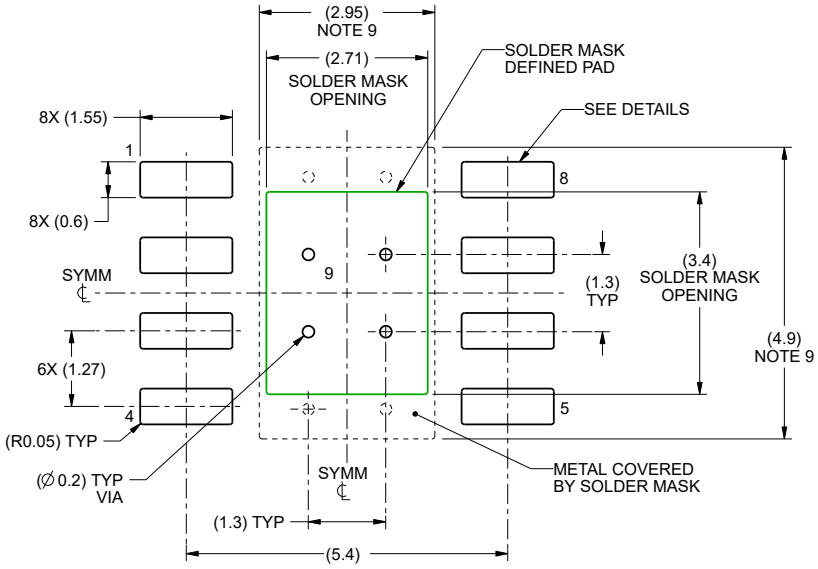
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

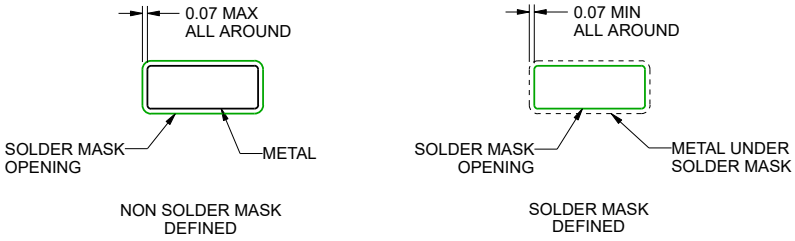
EXAMPLE BOARD LAYOUT

DDA0008B — **PowerPAD ™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/A 08/2016

NOTES: (continued)

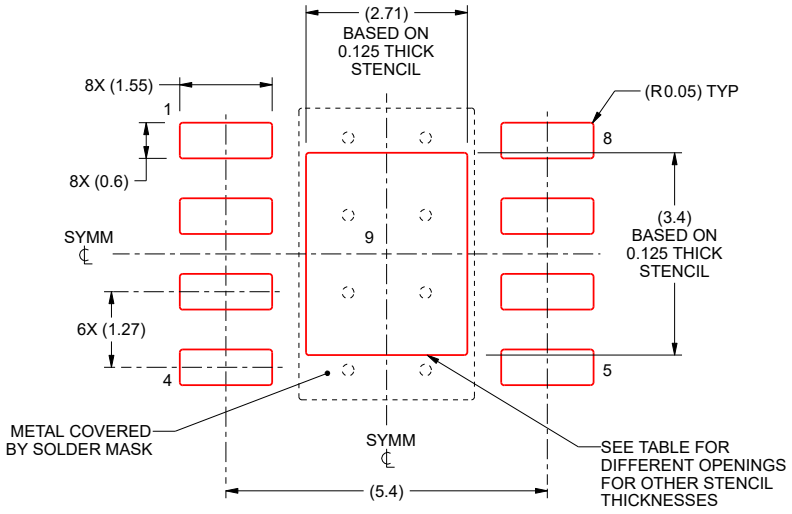
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDA0008B — **PowerPAD ™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/A 08/2016

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27211AQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	27211Q
UCC27211AQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	27211Q
UCC27211AQDDARQ1.B	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	27211Q
UCC27211AQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	27211Q
UCC27211AQDRQ1.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	27211Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27211A-Q1 :

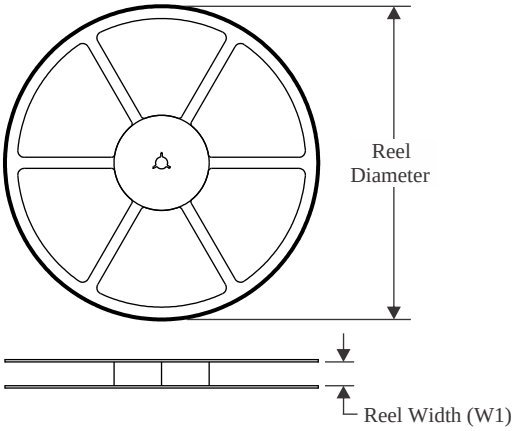
- Catalog : UCC27211A

NOTE: Qualified Version Definitions:

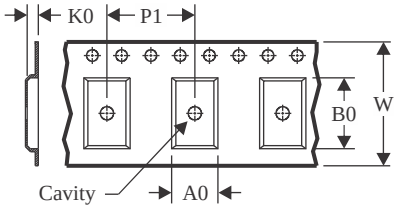
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

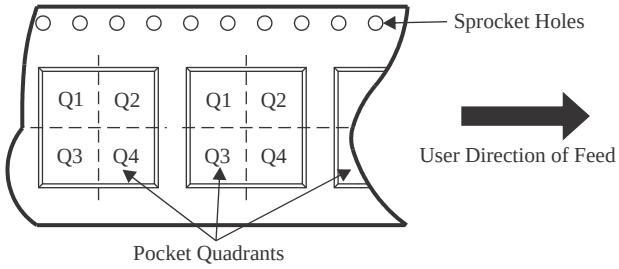


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

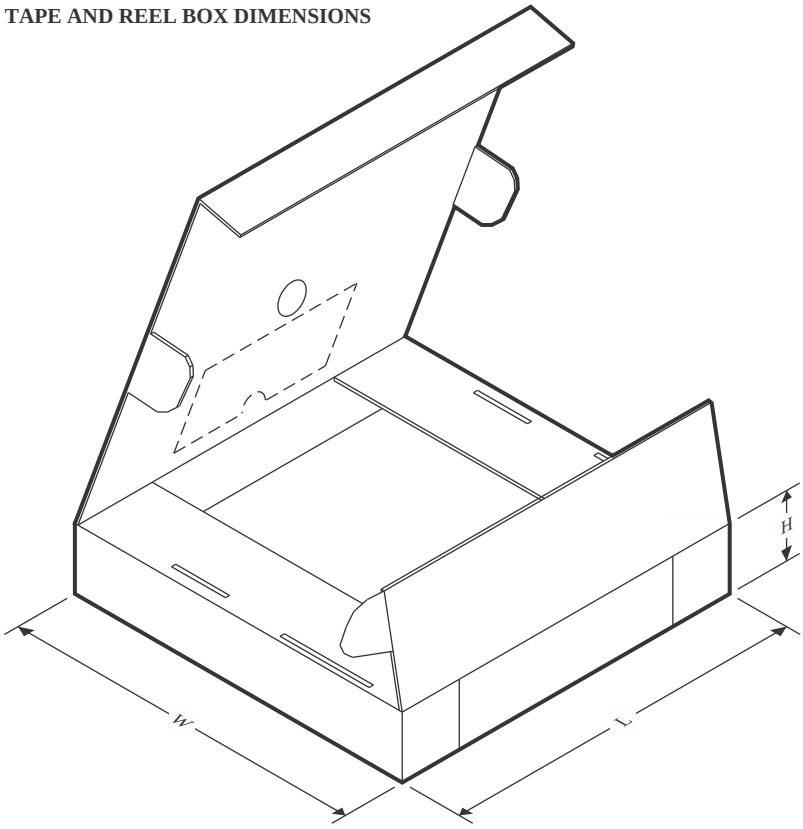
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27211AQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

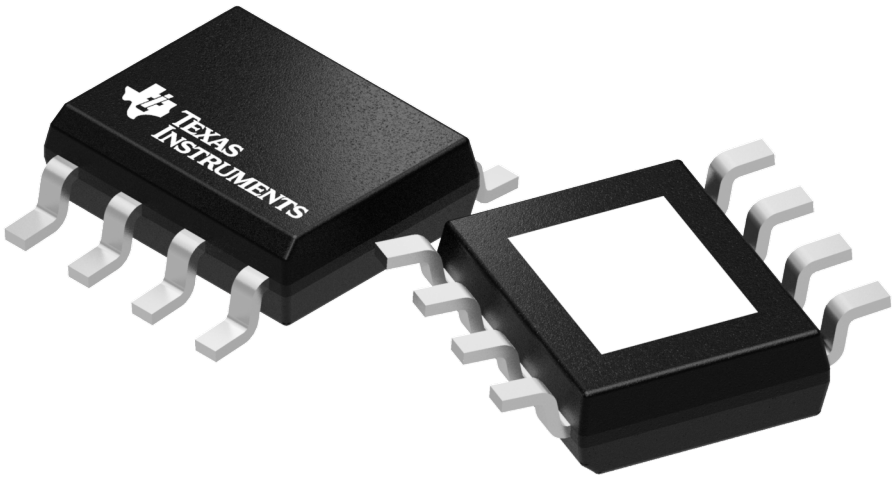


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27211AQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0

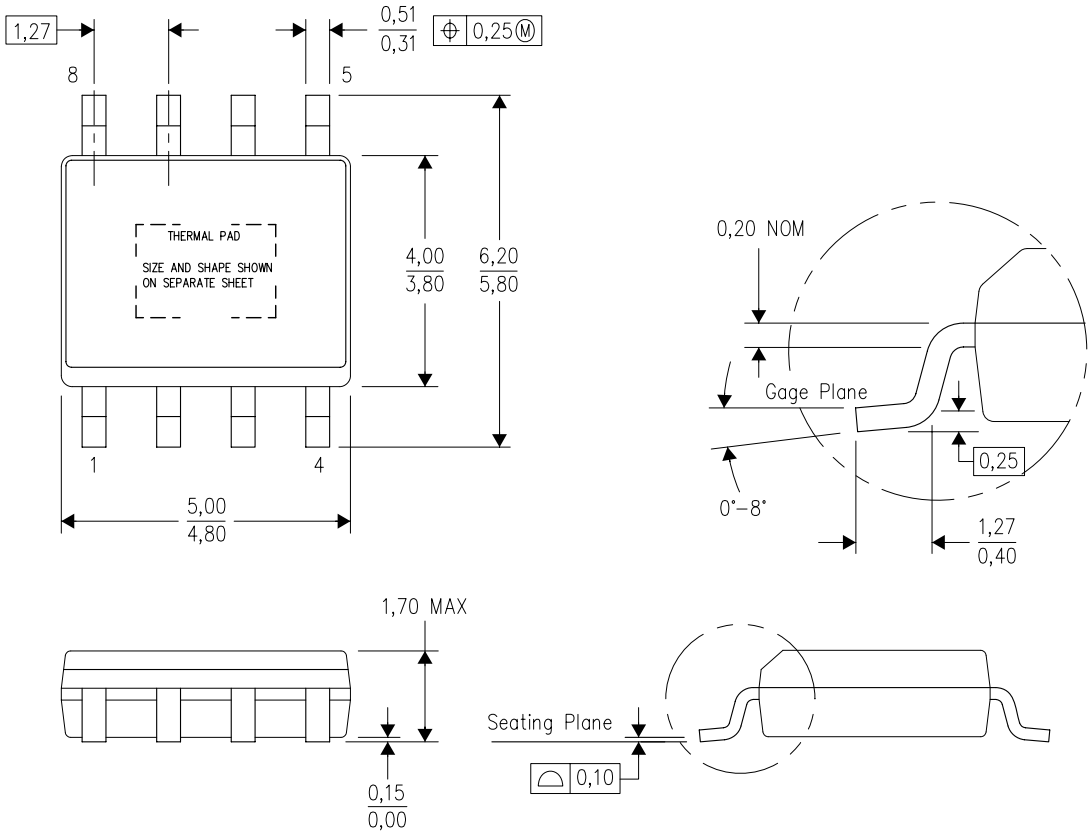
DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DDA (R–PDSO–G8) PowerPAD™ PLASTIC SMALL–OUTLINE



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5–1994.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <http://www.ti.com>.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. This package complies to JEDEC MS–012 variation BA

PowerPAD is a trademark of Texas Instruments.

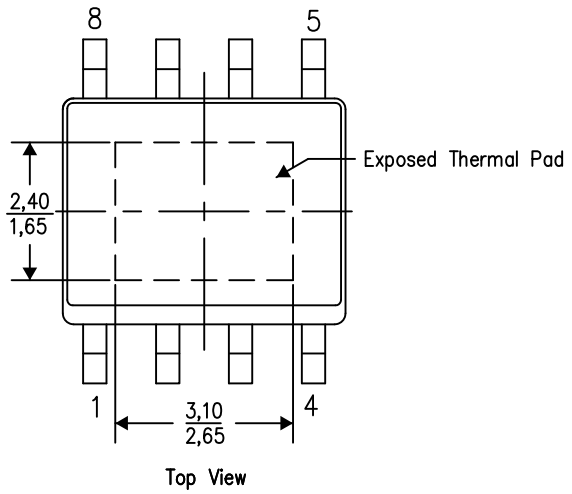
DDA (R–PDSO–G8) PowerPAD™ PLASTIC SMALL OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



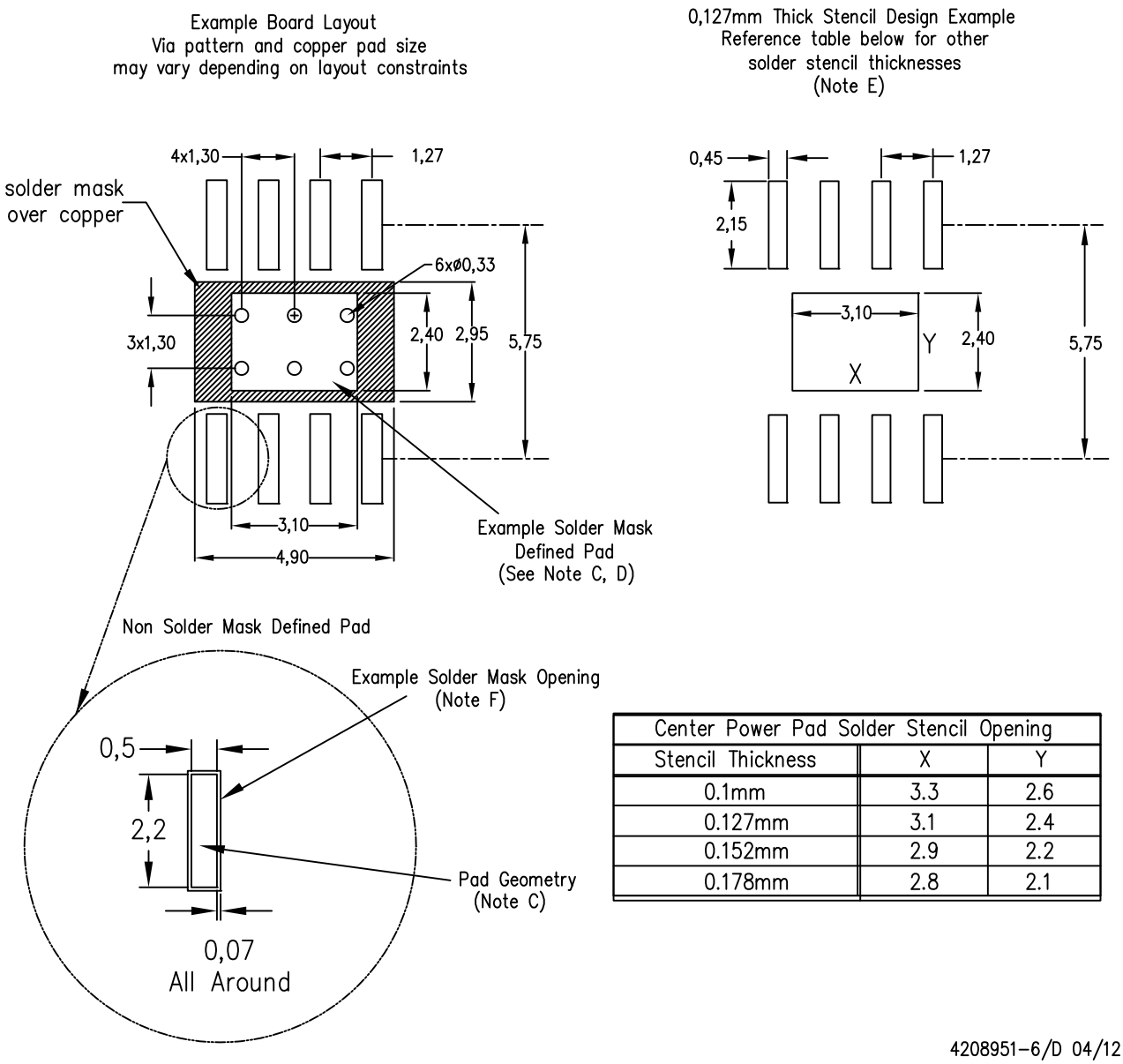
Exposed Thermal Pad Dimensions

4206322–6/L 05/12

NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

DDA (R–PDSO–G8) PowerPAD™ PLASTIC SMALL OUTLINE



Center Power Pad Solder Stencil Opening		
Stencil Thickness	X	Y
0.1mm	3.3	2.6
0.127mm	3.1	2.4
0.152mm	2.9	2.2
0.178mm	2.8	2.1

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

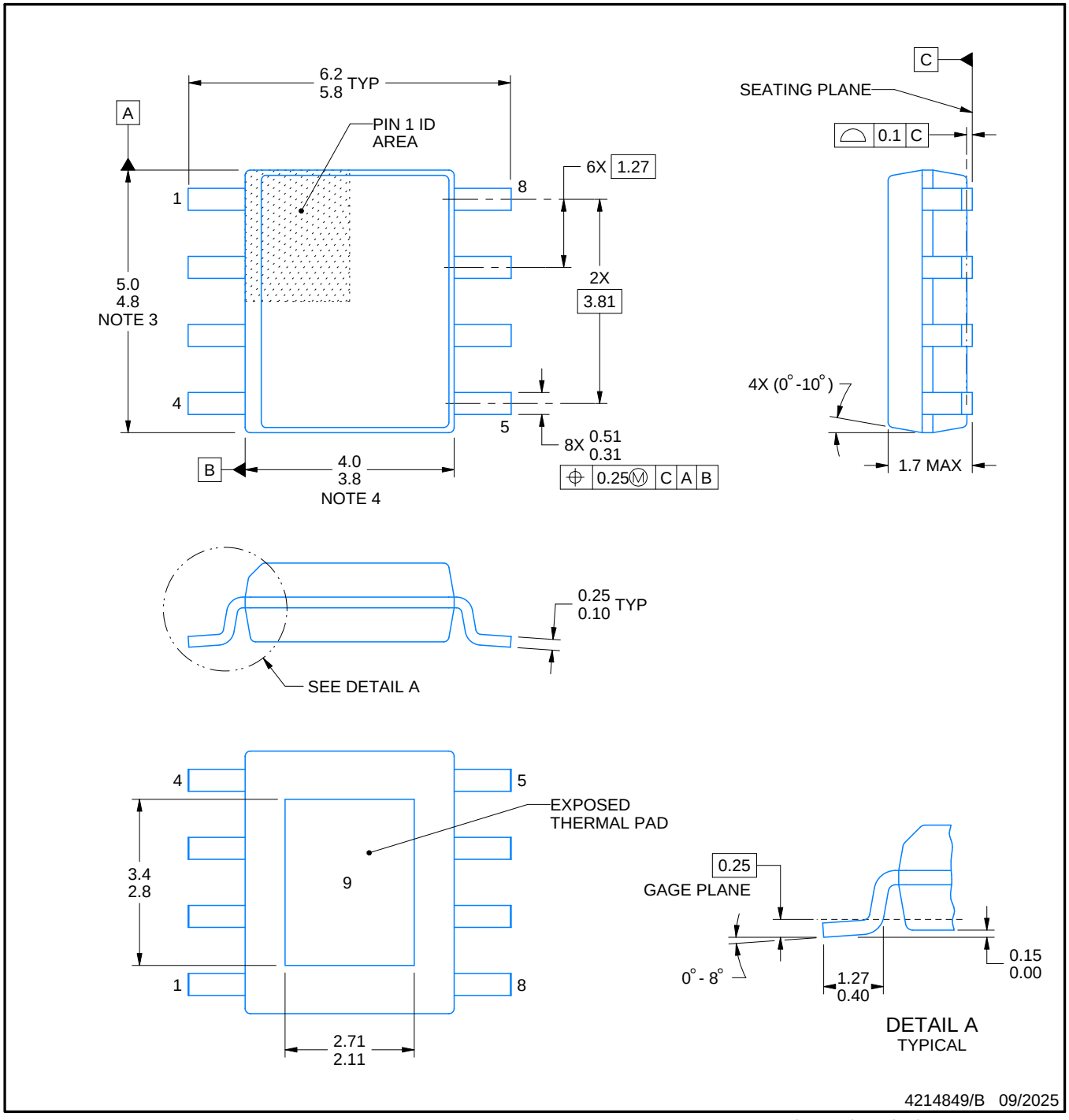
PowerPAD is a trademark of Texas Instruments.

PACKAGE OUTLINE

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

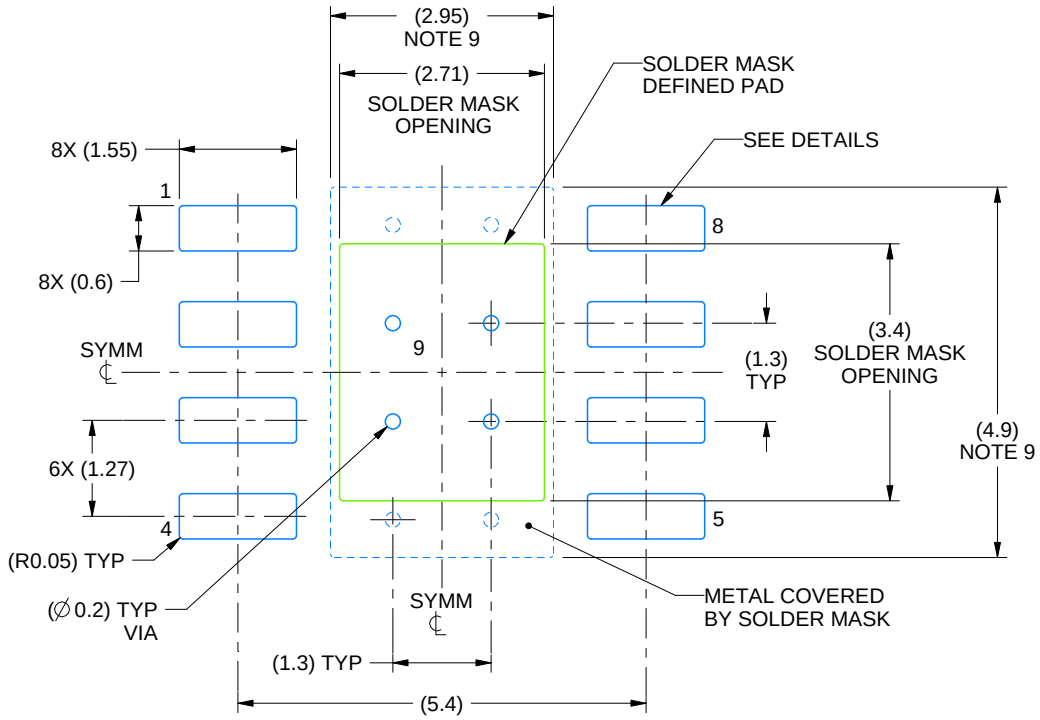
PLASTIC SMALL OUTLINE



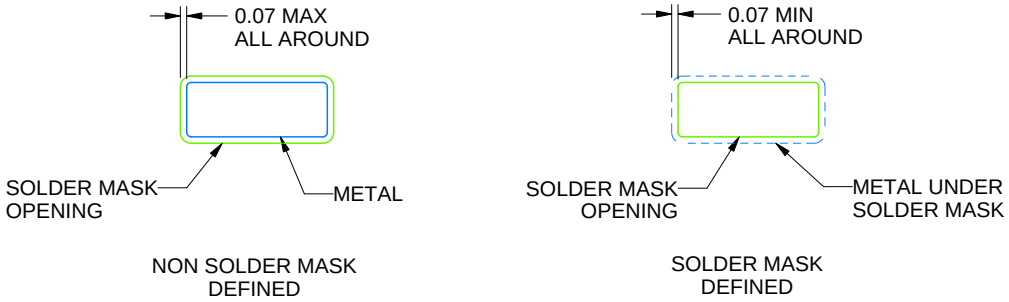
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

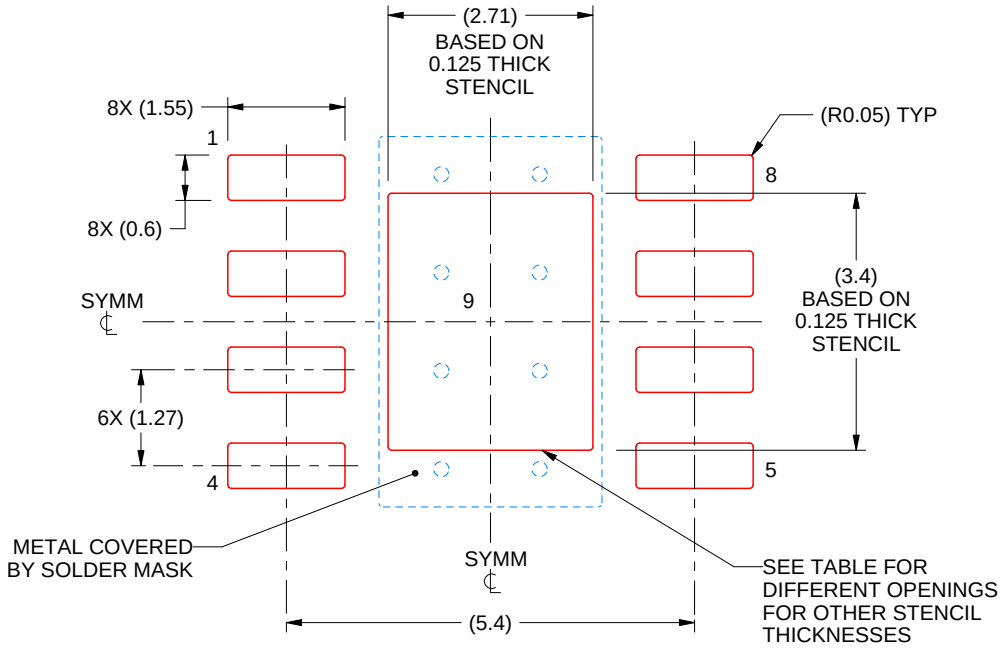
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



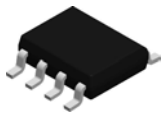
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

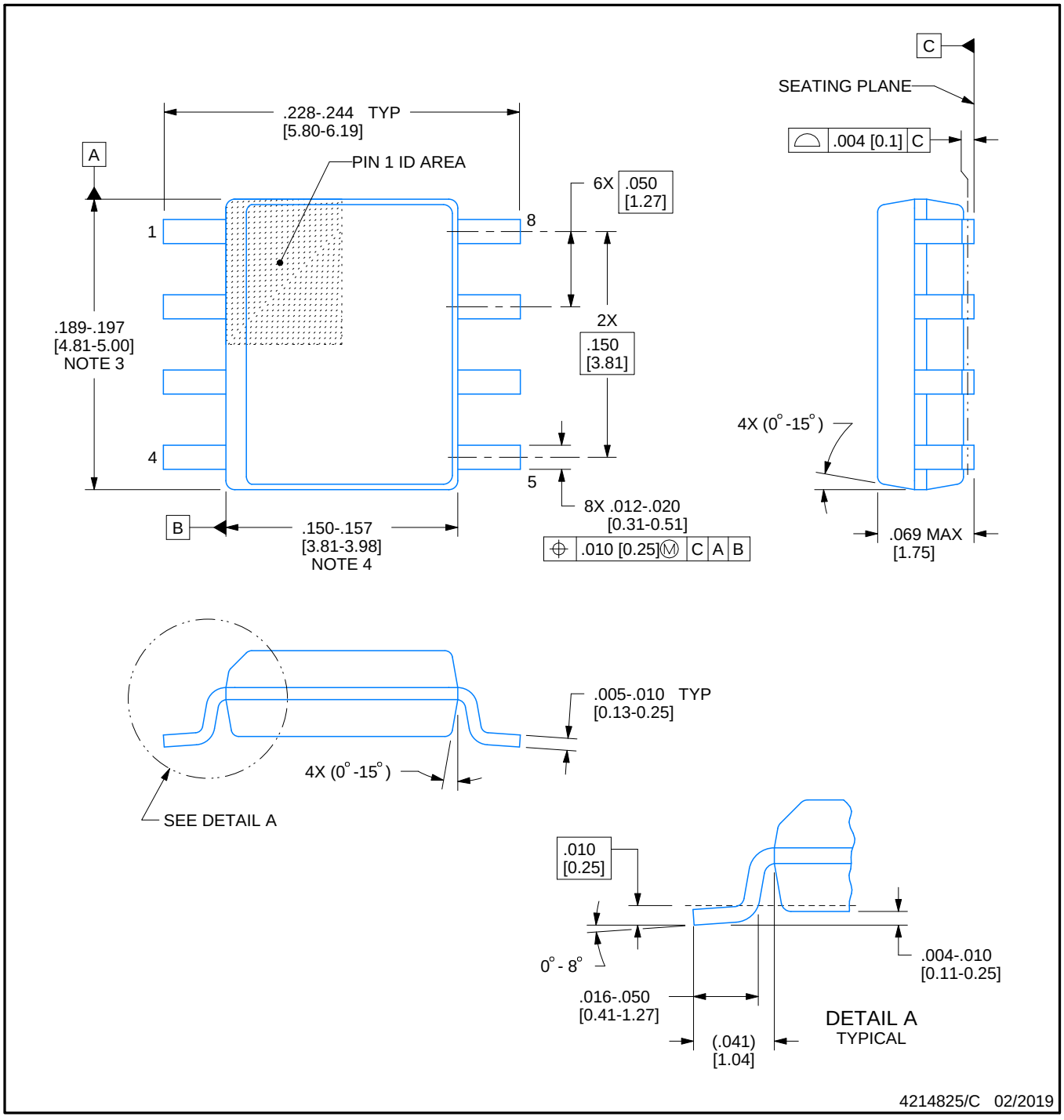


PACKAGE OUTLINE

D0008A

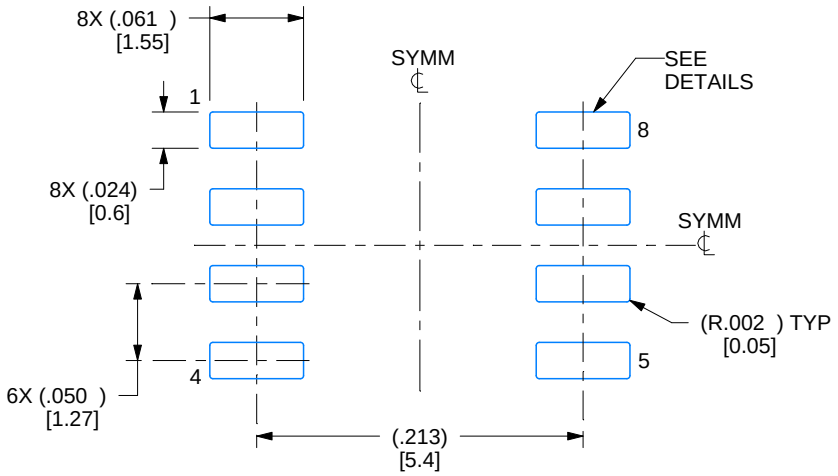
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

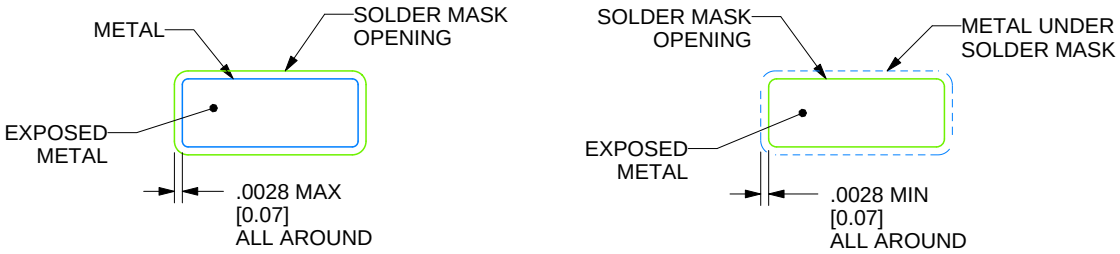


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

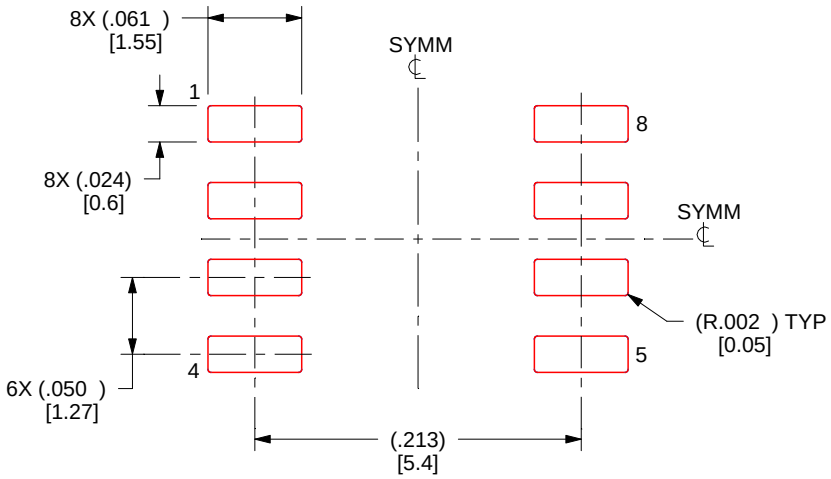
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月