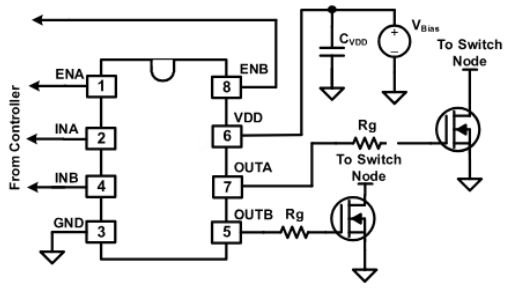
UCC27624V-Q1、30V、5A、デュアル チャネル、8V-UVLO、ローサイド ゲート ドライバ、–10V 入力機能付き、車載用アプリケーション向け

1 特長

- 車載アプリケーション用に認定済み
- AEC-Q100 認定済み
  - デバイス温度グレード 1
- 各チャネルの 5A (代表値) ピーク ソースおよびシンク駆動電流
- –10V まで扱える入力およびイネーブル ピン
- -2V (過渡) を扱える出力
- VDD 電圧の絶対 hhhh 最大値:30V
- 9.5V～26V の広い VDD 動作範囲 (UVLO 付き)
- ヒステリシス付きのロジック スレッショルドによる高いノイズ耐性
- VDD と無関係な入力スレッショルド (TTL 互換)
- 高速伝搬遅延時間:17ns (標準値)
- 高速立ち上がり / 立ち下がり時間:6ns/10ns (標準値)
- 2 チャネル間遅延マッチング:1ns (代表値)
- 2 チャネルを並列に使用することで、より高い駆動電流を実現可能
- SOIC8 PowerPAD™ と VSSOP8 PowerPAD™ のパッケージ オプション
- 動作時の接合部温度範囲:–40℃～150℃

2 アプリケーション

- 車載用 DC/DC コンバータ
- スイッチ モード電源 (SMPS)
- 力率改善 (PFC) 回路
- DC/DC コンバータ
- モーター ドライブ
- ソーラー電源
- パルス トランス ドライバ



アプリケーション概略図

3 説明

UCC27624V-Q1 は、MOSFET、IGBT、SiC パワー スイッチを効率的に駆動するデュアルチャネル高速ローサイド ゲート ドライバです。UCC27624V-Q1 は 5A (代表値) のピーク駆動能力を持っています。これにより、パワー スイッチの立ち上がり / 立ち下がり時間を短縮し、スイッチング損失を低減し、効率を向上させます。本デバイスの高速伝搬遅延 (代表値 17ns) は、システムのデッドタイム最適化、パルス幅利用率、制御ループ応答、過渡性能を改善させることで出力段の効率を向上させます。

UCC27624V-Q1 は、入力で –10V を扱えるため、中程度のグランド バウンスが発生するシステムの堅牢性を向上させることができます。これらの入力は電源電圧の影響を受けず、ほとんどのコントローラ出力に接続できるため、制御の柔軟性を最大限に高めることができます。独立したイネーブル信号を使うと、メイン制御ロジックとは無関係に電力段を制御できます。システム障害が発生した場合、イネーブル ローにすることで、ゲート ドライバを迅速にシャットオフできます。多くの高周波スイッチング電源では、電源デバイスのゲートにノイズを生じさせます。このノイズがゲート ドライバの出力ピンに注入され、ドライバを誤動作させる可能性があります。本デバイスは、過渡逆電流と逆電圧への対応能力があるため、電源デバイスやパルス変圧器のゲートのノイズが許容され、ドライバの誤動作を防止できます。

UCC27624V-Q1 は、低電圧誤動作防止機能 (UVLO) 機能も搭載されており、システムの堅牢性が向上します。パワー デバイスの動作に十分なバイアス電圧がない場合は、強力な内部プルダウン MOSFET によってゲート ドライバの出力が LOW に保持されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称)
UCC27624V-Q1	D (SOIC 8)	4.90mm × 3.91mm
UCC27624V-Q1	DDA (SOIC 8)	4.90mm x 3.91mm
UCC27624V-Q1	DGK (VSSOP 8)	3.00mm x 3.00mm
UCC27624V-Q1	DGN (VSSOP 8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 タイミング図.....8
5.8 代表的特性.....9
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....15
6.3 機能説明.....15
6.4 デバイスの機能モード.....18
7 アプリケーションと実装.....19
7.1 使用上の注意.....19
7.2 代表的なアプリケーション.....20
7.3 電源に関する推奨事項.....23
7.4 レイアウト.....24
8 デバイスおよびドキュメントのサポート.....27
8.1 サード・パーティ製品に関する免責事項.....27
8.2 ドキュメントの更新通知を受け取る方法.....27
8.3 サポート・リソース.....27
8.4 商標.....27
8.5 静電気放電に関する注意事項.....27
8.6 用語集.....27
9 改訂履歴.....27
10 メカニカル、パッケージ、および注文情報.....27

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

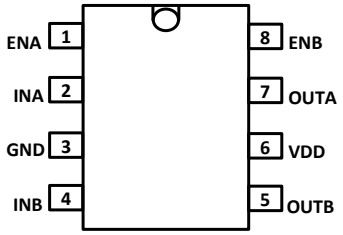


図 4-1. D パッケージ 8 ピン SOIC 上面図

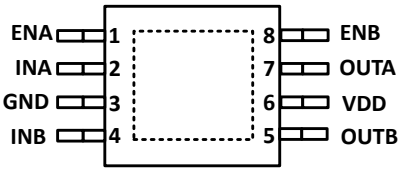


図 4-2. DGN パッケージ 8 ピン VSSOP 上面図

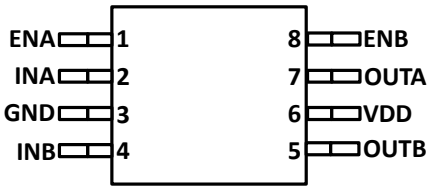


図 4-3. DGK パッケージ 8 ピン VSSOP 上面図

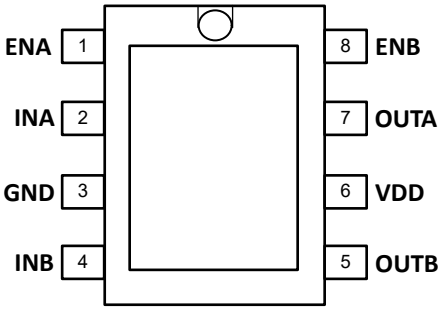


図 4-4. DDA パッケージ 8 ピン SOIC 上面図

表 4-1. ピンの機能

ピン			タイプ(1)	説明
名称	DGN、DDA	D、DGK		
ENA	1	1	I	チャネル A のイネーブル入力。ENA をバイアスすると、LOW では INA の状態に関係なく、チャネル A 出力が無効になる。ENA を HIGH にプルすると、チャネル A の出力が有効になる。ENA をフローティングのままにすると、内部プルアップ抵抗により、チャネル A はデフォルトで有効になる。このピンを使用しない場合は、VDD に接続することが推奨される。
ENB	8	8	I	チャネル B のイネーブル入力。ENB、LOW をバイアスすると、INB の状態に関係なく、チャネル A 出力が無効になる。ENB を HIGH にプルすると、チャネル B の出力が有効になる。ENB をフローティングのままにすると、内部プルアップ抵抗により、チャネル B はデフォルトで有効になる。このピンを使用しない場合は、VDD に接続することが推奨される。
GND	3	3	—	グランド:すべての信号はこのピンを基準とする。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	DGN、DDA	D、DGK		
INA	2	2	I	チャネル A への入力。INA は UCC27624V-Q1 デバイスの非反転入力。内部プルダウン抵抗によりデフォルトで INA が未バイアス状態またはフローティング状態である場合、OUTA は LOW で維持される。このピンを使用しない場合は GND に接続する。
INB	4	4	I	チャネル B への入力。INB は UCC27624V-Q1 デバイスの非反転入力。内部プルダウン抵抗によりデフォルトで INB が未バイアス状態またはフローティング状態である場合、OUTB は LOW で維持される。このピンを使用しない場合は GND に接続する。
OUTA	7	7	O	チャネル A 出力
OUTB	5	5	O	チャネル B 出力
VDD	6	6	I	バイアス電源入力。通常、このデバイスの GND ピンを基準としている ≥1µF と 0.1µF の 2 つのセラミック コンデンサを使用してこのピンをバイパスする。
	サーマル パッド	—	—	大型の銅プレーンを経由して GND に接続する。このパッドは GND への低インピーダンス パスではない。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2) (3)

		最小値	最大値	単位
電源電圧、VDD		-0.3	30	V
出力ピン電圧、OUTA、OUTB	DC	-0.3	VDD +0.3	V
	200ns パルス	-2	VDD +3	V
入力電圧 INA、INB、ENA、ENB		-10	30	V
動作時の接合部温度、T_J		-40	150	°C
リード温度	半田付け、10 秒		300	°C
	リフロー		260	
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 特に記述のない限り、すべての電圧は GND を基準とします。電流は、指定された端子に流れ込む方向を正、流れ出る方向を負とします。パッケージの熱的な制約と検討事項については、データシートのセクション 5.4 を参照してください。
(3) これらのデバイスは静電放電の影響を受けやすいため、適切なデバイス取り扱い手順に従ってください。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由空気での推奨動作温度範囲内。特に明記されていない限り、すべての電圧は GND を基準とします

	最小値	公称値	最大値	単位
電源電圧、VDD	9.5	12	26	V
入力電圧、INA、INB、ENA、ENB	-10		26	V
出力ピン電圧、OUTA、OUTB	0		VDD	V
動作時の接合部温度、T_J	-40		150	°C

5.4 熱に関する情報

熱評価基準		UCC27624V-Q1				単位
		DGN	D	DDA	DGK	
		8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	48.9	126.4	50.37	148.59	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	71.8	67.0	67.30	56.27	
$R_{\theta JB}$	接合部から基板への熱抵抗	22.3	69.9	23.80	79.67	
Ψ_{JT}	接合部から上面への特性パラメータ	2.6	19.2	10.75	10.13	
Ψ_{JB}	接合部から基板への特性パラメータ	22.3	69.1	23.95	78.89	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.5	該当なし	9.04	該当なし	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

特に記述のない限り、VDD = 12V、T_A = T_J = –40°C ～ 150°C、VDD と GND の間に 1µF コンデンサを接続、出力は無負荷。標準条件仕様は 25°C における仕様。

パラメータ		テスト条件	最小値	標準値	最大値	単位
バイアス電流						
I_{VDDq}	VDD の静止消費電流	V_{INx} = 3.3V、VDD = 3.4V、ENx = VDD		300	450	µA
I_{VDD}	VDD の静的電源電流	V_{INx} = 3.3V、ENx = VDD		0.6	1.0	mA
I_{VDD}	VDD の静的電源電流	V_{INx} = 0V、ENx = VDD		0.7	1.0	mA
I_{VDDO}	VDD 動作電流	f_{SW} = 1000kHz、ENx = VDD、V_{INx} = 0V ～ 3.3V PWM		3.2	3.8	mA
I_{DIS}	VDD のディスエーブル時電流	V_{INx} = 3.3V、ENx = 0V		0.8	1.1	mA
低電圧誤動作防止 (UVLO)						
V_{VDD_ON}	VDD UVLO 立ち上がりスレッショルド		8.0	8.5	9.0	V
V_{VDD_OFF}	VDD UVLO 立ち下がりスレッショルド		7.5	8.0	8.5	V
V_{VDD_HYS}	VDD UVLO ヒステリシス			0.5		V
入力 (INA、INB)						
V_{INx_H}	入力信号 high スレッショルド	出力 High、ENx = HIGH	1.8	2	2.3	V
V_{INx_L}	入力信号 Low スレッショルド	出力 Low、ENx = HIGH	0.8	1	1.2	V
V_{INx_HYS}	入力信号ヒステリシス			1		V
R_{INx}	INx ピン プルダウン抵抗	INx = 3.3V		120		kΩ
イネーブル (ENA、ENB)						
V_{ENx_H}	イネーブル信号 High スレッショルド	出力 High、INx = HIGH	1.8	2	2.3	V
V_{ENx_L}	イネーブル信号 Low スレッショルド	出力 Low、INx = HIGH	0.8	1	1.2	V
V_{ENx_HYS}	イネーブル信号ヒステリシス			1		V
R_{ENx}	EN ピン プルアップ抵抗	ENx = 0V		200		kΩ
出力 (OUTA、OUTB)						
I_{SRC} (1)	ピーク出力ソース電流	VDD = 12V、C_{VDD} = 10µF、C_L = 0.1µF、f = 1kHz		5		A
I_{SNK} (1)	ピーク出力シンク電流	VDD = 12V、C_{VDD} = 10µF、C_L = 0.1µF、f = 1kHz		-5		A
R_{OH} (2)	プルアップ抵抗	I_{OUT} = –50mA、セクション 6.3.4 を参照		5	8.5	Ω
R_{OL}	プルダウン抵抗	I_{OUT} = 50mA		0.6	1.1	Ω

(1) 量産品のパラメータはテストしていません。
(2) この表の出力プルアップ抵抗は、PMOS 構造の抵抗のみを測定する DC 測定値です (N チャネル構造ではありません)。

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性

特に記述のない限り、VDD = V_{EN} = 12V、T_A = T_J = –40°C ～ 150°C、VDD と GND の間に 1µF コンデンサを接続、出力は無負荷。標準条件仕様は 25°C における仕様(1)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{Rx}	立ち上がり時間	C_{LOAD} = 1.8nF、20% ～ 80%、Vin = 0V ～ 3.3V		6	10	ns
t_{Fx}	立ち下がり時間	C_{LOAD} = 1.8nF、90% ～ 10%、Vin = 0V ～ 3.3V		10	14	ns
t_{D1x}	ターンオン伝搬遅延	C_{LOAD} = 1.8nF、入力立ち上がりの V_{INx_H} ～ 出力立ち上がりの 10%、Vin = 0V ～ 3.3V、Fsw = 500kHz、デューティ サイクル 50%、T_J = 125°C		17	27	ns
t_{D2x}	ターンオフ伝搬遅延	C_{LOAD} = 1.8nF、入力立ち下がりの V_{INx_L} ～ 出力立ち下がりの 90%、Vin = 0V ～ 3.3V、Fsw = 500kHz、デューティ サイクル 50%、T_J = 125°C		17	27	ns
t_{D3x}	イネーブル伝搬遅延	C_{LOAD} = 1.8nF、イネーブル立ち上がりの V_{ENx_H} ～ 出力立ち上がりの 10%、Vin = 0V ～ 3.3V、Fsw = 500kHz、デューティ サイクル 50%、T_J = 125°C		17	27	ns
t_{D4x}	ディスエーブル伝搬遅延	C_{LOAD} = 1.8nF、イネーブル立ち下がりの V_{ENx_L} ～ 出力立ち下がりの 90%、Vin = 0V ～ 3.3V、Fsw = 500kHz、デューティ サイクル 50%、T_J = 125°C		17	27	ns
t_M	2 チャネル間遅延マッチング	C_{LOAD} = 1.8nF、Vin = 0V ～ 3.3V、Fsw = 500kHz、デューティ サイクル 50%、INA = INB、$\lvert t_{RA} - t_{RB} \rvert$、$\lvert t_{FA} - t_{FB} \rvert$		1	2	ns
t_{PWmin}	最小入力パルス幅	C_L = 1.8nF、Vin = 0V ～ 3.3V、Fsw = 500kHz、Vo > 1.5V		10	15	ns

(1) スイッチング パラメータについては、出荷時のテストは行っていません。

Copyright © 2026 Texas Instruments Incorporated

5.7 タイミング図

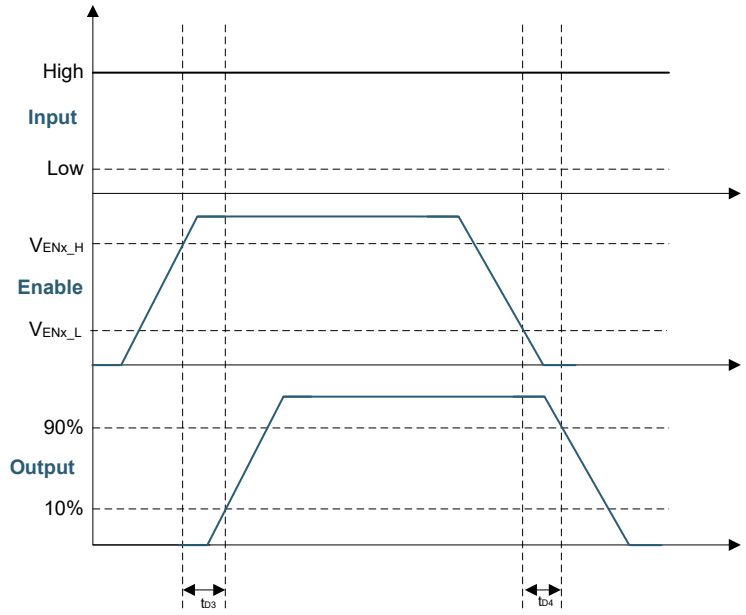


図 5-1. イネーブル機能

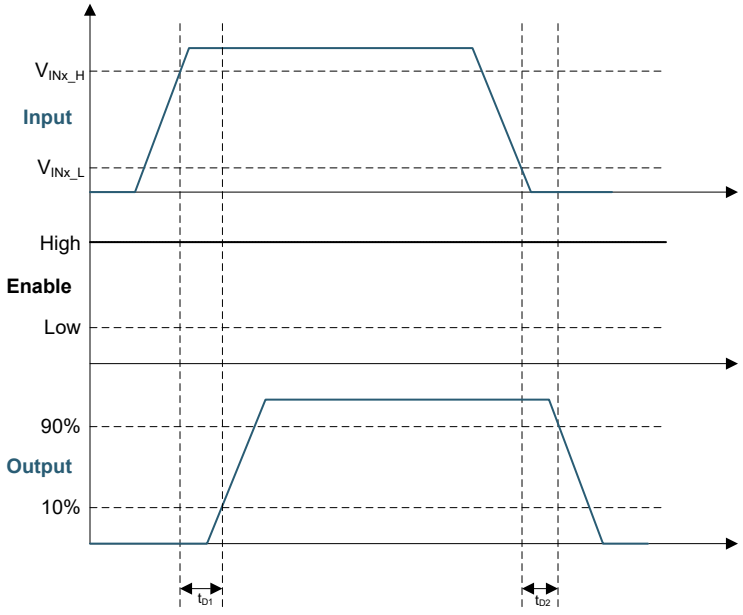


図 5-2. 入出力動作

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

特に記述のない限り、VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C、無負荷

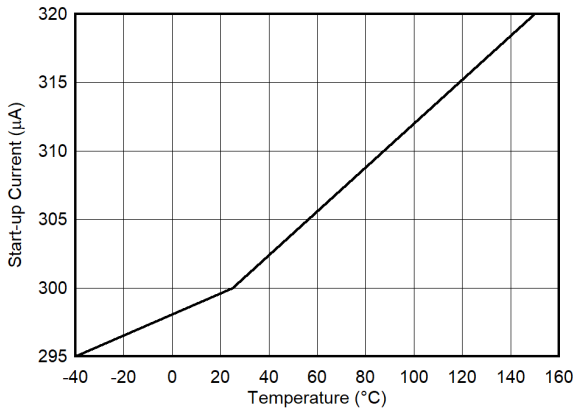


図 5-3. 起動および静止電流

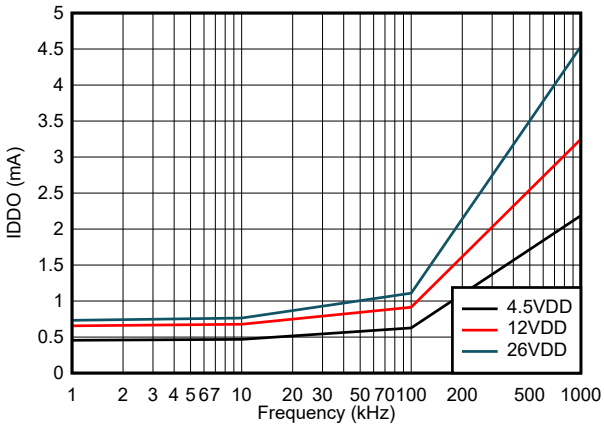


図 5-4. 動作電源電流 (両方の出力のスイッチング)

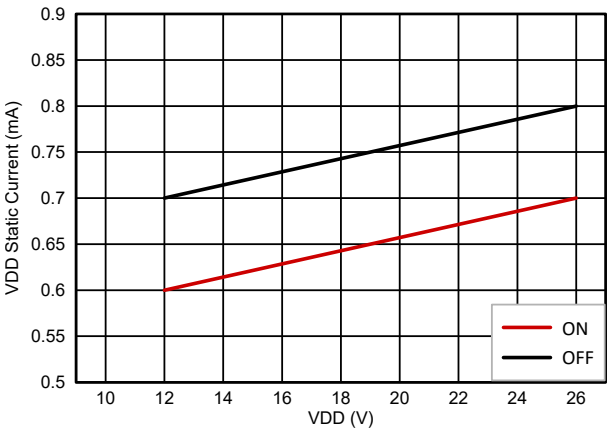


図 5-5. 静的電源電流 (DC オン状態またはオフ状態での出力)

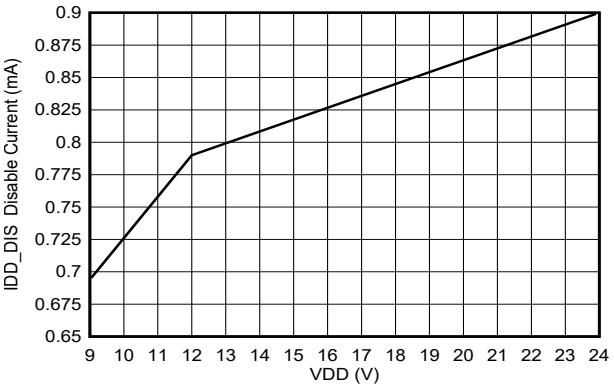


図 5-6. ディセーブル電流 (EN = 0V)

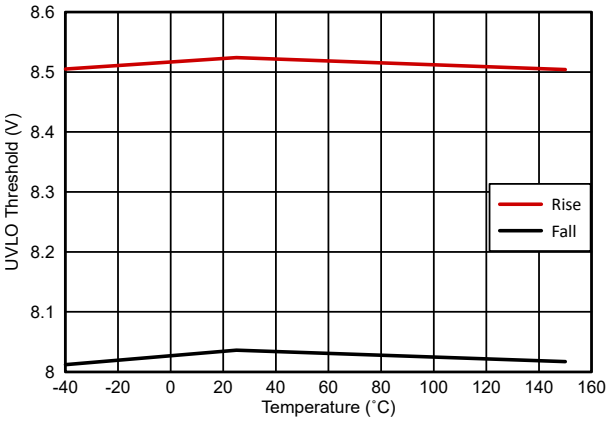


図 5-7. VDD UVLO スレッショルド

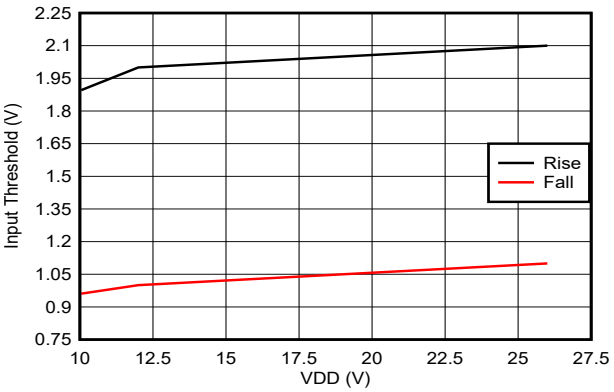


図 5-8. 入力スレッショルド

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C、無負荷

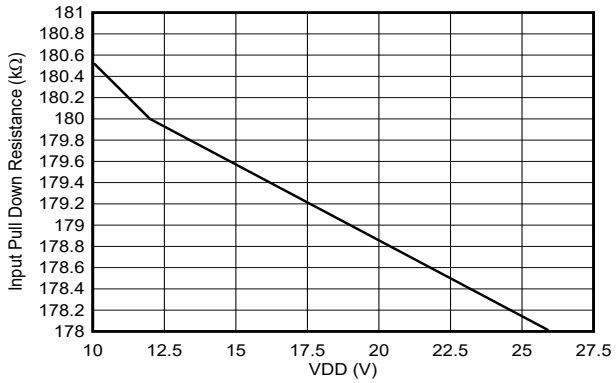


図 5-9. 入力プルダウン抵抗

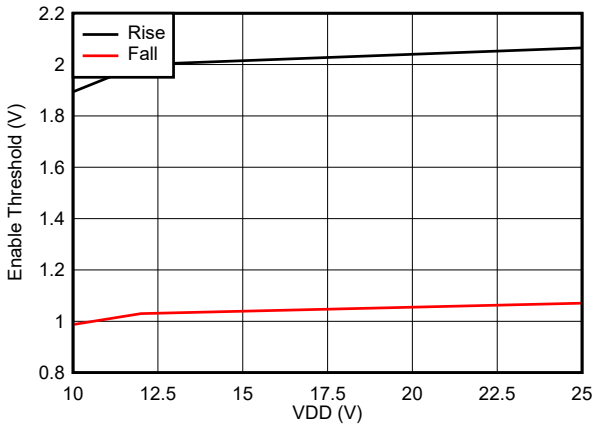


図 5-10. イネーブル スレッショルド

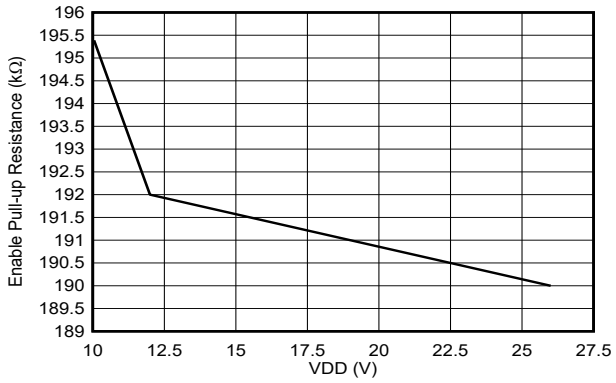


図 5-11. イネーブル時プルアップ抵抗

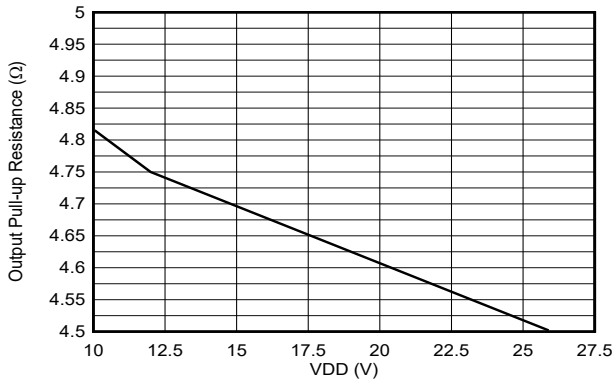


図 5-12. 出力プルアップ抵抗

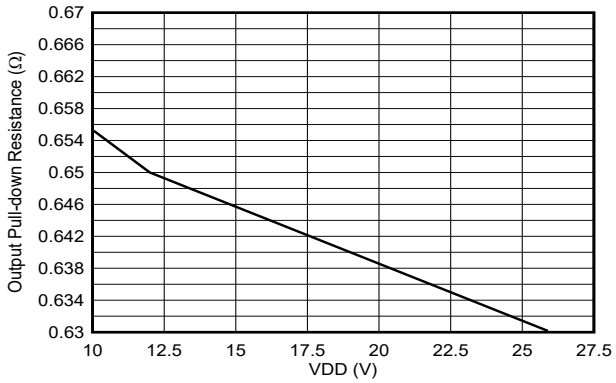


図 5-13. 出力プルダウン抵抗

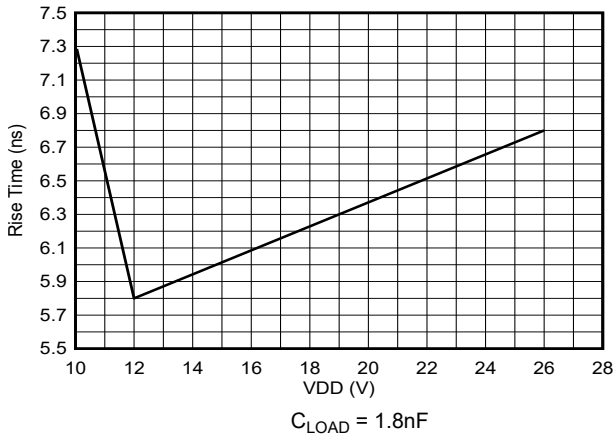


図 5-14. 出力立ち上がり時間と VDD との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C、無負荷

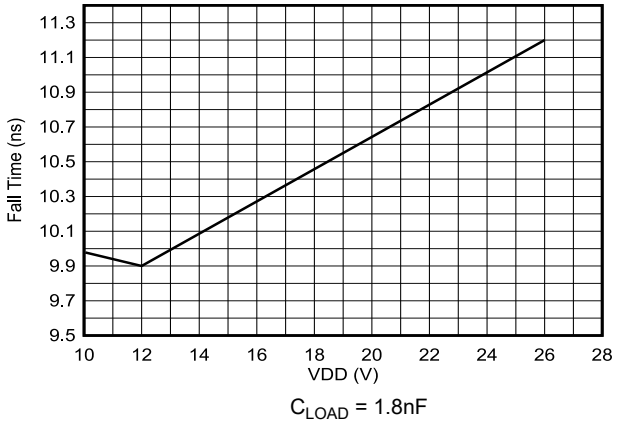


図 5-15. 出力立ち下がり時間と VDD との関係

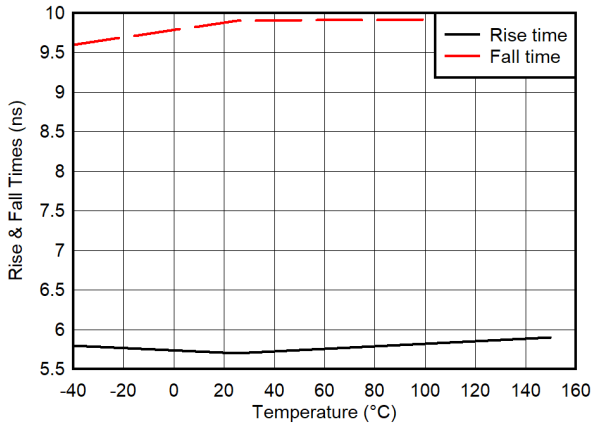


図 5-16. 出力の立ち上がりおよび立ち下がり時間と温度との関係

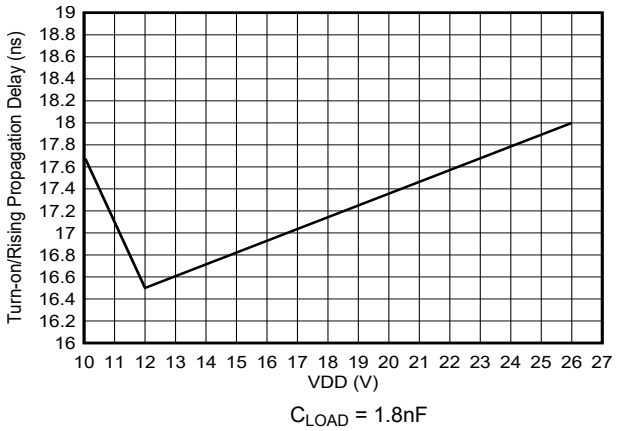


図 5-17. 入力から出力への立ち上がり (ターンオン) 伝搬遅延と VDD との関係

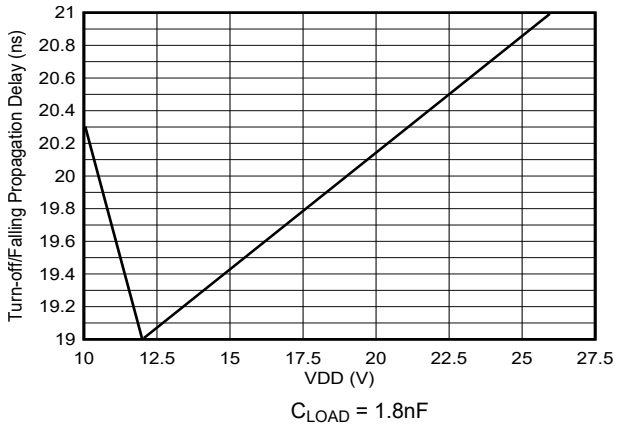
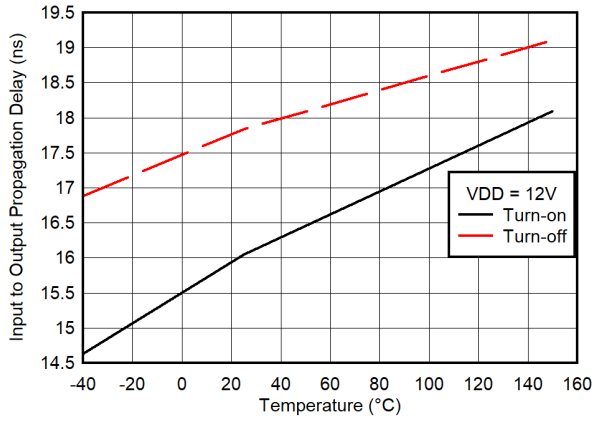


図 5-18. 入力から出力への立ち下がり (ターンオフ) 伝搬遅延と VDD との関係

Copyright © 2026 Texas Instruments Incorporated

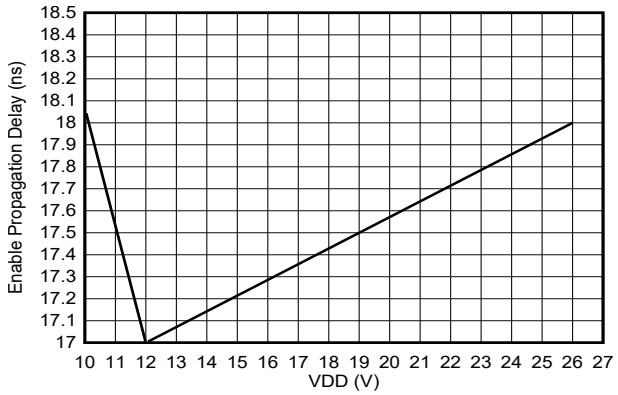
5.8 代表的特性 (続き)

特に記述のない限り、VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C、無負荷



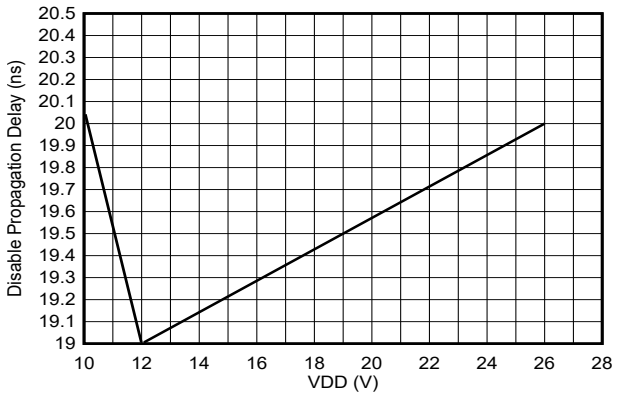
C_{LOAD} = 1.8nF

図 5-19. 入力伝搬遅延と温度との関係



C_{LOAD} = 1.8nF

図 5-20. イネーブルから出力への立ち上がり伝搬遅延



C_{LOAD} = 1.8nF

図 5-21. イネーブルから出力への立ち下がり伝搬遅延

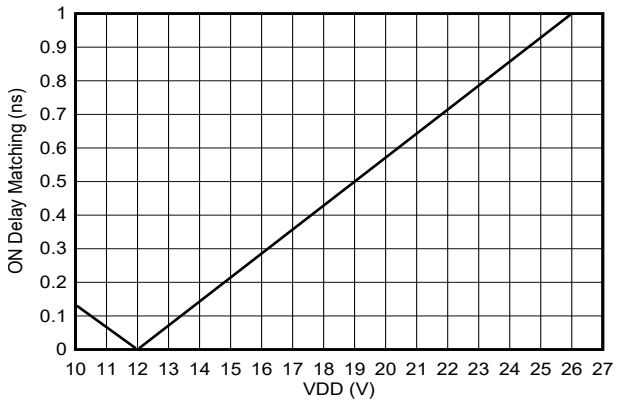


図 5-22. ターンオン / 立ち上がり遅延マッチング

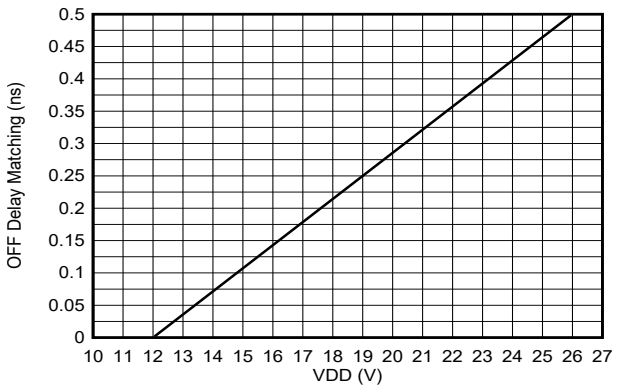


図 5-23. ターンオフと立ち下がり遅延のマッチング

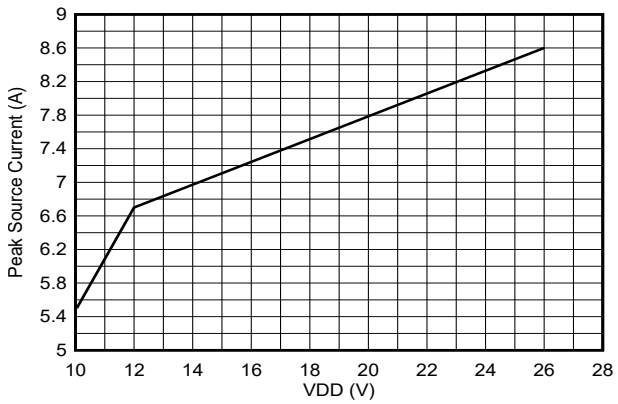


図 5-24. ピークソース電流と VDD との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C、無負荷

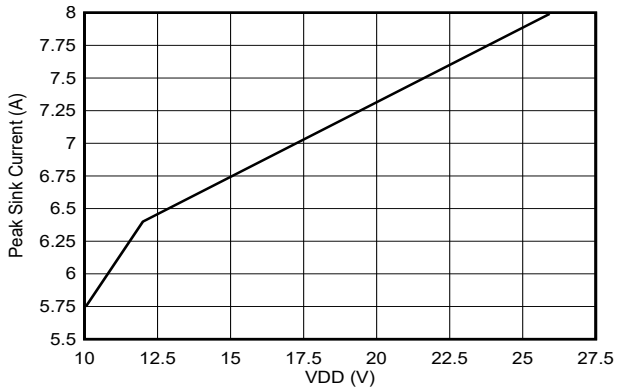


図 5-25. ピークシンク電流と VDD との関係

6 詳細説明

6.1 概要

UCC27624V-Q1 デバイスは、テキサス・インスツルメンツの最新世代のデュアルチャネル型ローサイド高速ゲートドライバ デバイスで、5A のソースとシンク電流能力、高速スイッチング特性など、数多くの機能を搭載しています。UCC27624V-Q1 の機能と特長ゲートドライバの機能の利点について詳しく説明しています。これらを組み合わせることで、高周波スイッチング電源回路で効率的、堅牢、信頼性の高い動作を実現します。UCC27624V-Q1 の堅牢な出力は –10V を処理できるため、ノイズの多い環境でも動作の信頼性を確保できます。このドライバは、出力に対して優れた過渡処理能力を備えており、逆電流処理、レール ツー レールの出力ドライブ、短い伝搬遅延 (標準 17ns) を実現しています。この堅牢性が組み込まれているため、UCC27624V-Q1 デバイスをゲート駆動トランスに直接接続することもできます。

UCC27624V-Q1 の入力スレッショルドは、TTL 低電圧ロジックと互換性があり、VDD 電源電圧に依存しない固定値となっています。また、スレッショルド要件が満たされている限り、ドライバは CMOS ベースのコントローラでも動作できます。1V 標準値のヒステリシスにより、優れたノイズ耐性が得られます。

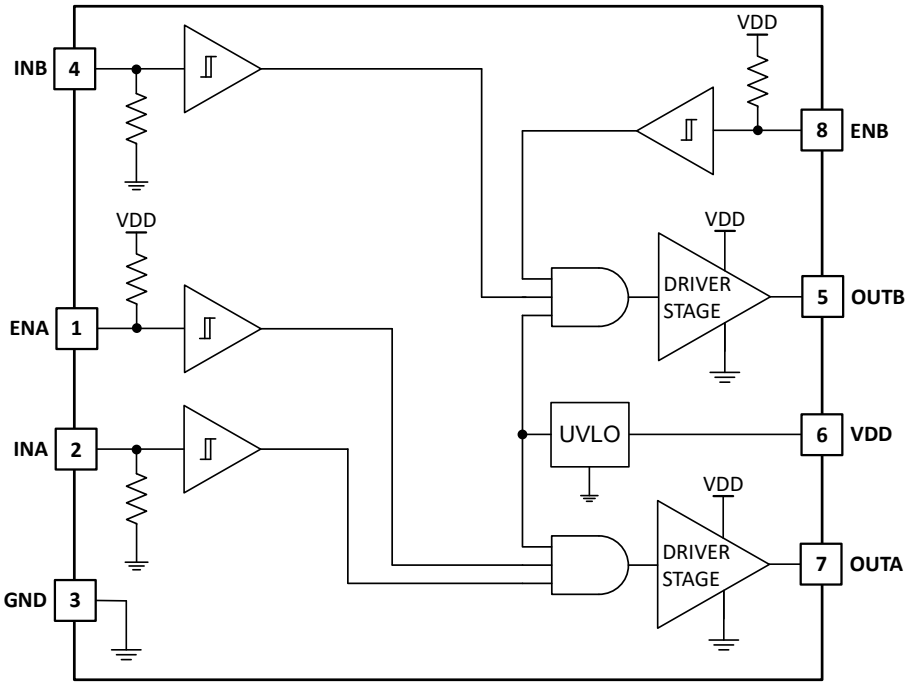
各チャネルには、TTL 互換の固定スレッショルドを持つイネーブル ピン ENx が搭載されています。ENx ピンは内部でプルアップされます。ENx を Low にすると対応するチャネルが無効になり、ENx をオープンにすると通常動作が可能になります。ENx ピンは、INx ピンと同じ性能を持つ追加の入力としても使用できます。

表 6-1. UCC27624V-Q1 の機能と特長

機能	利点
–10V IN と EN 機能	ゲートドライバのグランド バウンスが発生するノイズの多い環境で、信号の信頼性とデバイスの堅牢性を強化
17ns（代表値）の伝搬遅延時間	パルス伝送歪みが非常に少ない
チャネル間遅延マッチング：1ns (標準値)	並列出力が容易で、より大きい (2 倍) 電流能力に対応。並列パワー スイッチの駆動時に役立つ。
9.5V ～ 26V の広い VDD 動作範囲	システム設計における柔軟性。幅広い電力スイッチに対応
–40°C ～ +150°C の広い動作温度範囲	システム設計における柔軟性。システムの堅牢性の向上
VDD UVLO 保護	UVLO 状態で低出力を維持し、パワーアップ時とパワーダウン時にグリッチを防止。
入力ピン (INx) のフローティング状態時に低出力を維持。	保護機能は、特に安全性認証の異常条件テストで有益
イネーブル ピン (ENx) のフローティング状態時に出力を有効化。	ピン 1 とピン 8 が「未接続」ピンである設計において、テキサス・インスツルメンツの従来のデバイスとのピン互換性を確保
ヒステリシスが広い入力とイネーブル スレッショルド	デジタル電源向けに最適化されたマイコンのロジックレベル入力信号 (3.3V、5V) との互換性を維持しながら、ノイズ耐性を強化
VDD に依存しない入力	システム簡素化 (特に補助バイアス電源アーキテクチャ関連)

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



標準 ENx プルアップ抵抗は 200kΩ、INx プルダウン抵抗は 120kΩ です。

6.3 機能説明

6.3.1 動作時電源電流

UCC27624V-Q1 デバイスは、低静止電流 I_{DD} を特長としています。UVLO 状態と完全オン状態 (静的条件とスイッチング条件下) における標準的な動作電源電流を「電気的特性」の表にまとめています。デバイスが完全にオンになり、出力が静的状態 (DC High または DC Low) になると、最低の静止電流 (I_{DD}) が達成実現されます。この状態では、デバイスのすべての内部ロジック回路が完全に動作します。総電源電流とは、静止電流 I_{DD} と、スイッチングにより発生する平均電流 I_{OUT} と、イネーブル ピンのプルアップ抵抗に関連する電流の合計です。使用している駆動電圧における動作スイッチング周波数 (f_{SW}) と MOSFET ゲート電荷 (Q_G) が分かっている場合は、平均電流 I_{OUT} は Q_G と f_{SW} の積で算出できます。

代表的特性には、異なる V_{DD} バイアス電圧におけるスイッチング周波数の関数として、I_{DD} 電流の包括的な特性評価が示されています。平均 I_{OUT} の線形変化とその理論値のとの密接な相関は、ゲートドライバ デバイス内部では無視できる程度の貫通電流であり、高速特性を示します。

6.3.2 入力段

UCC27624V-Q1 ゲートドライバ デバイスの入力ピンは、TTL 互換の入力スレッショルド ロジックに基づいており、VDD の電源電圧とは無関係です。ロジックレベルのスレッショルドは、高スレッショルドが 2V 低スレッショルドが 1V であり、3.3V と 5V のデジタル電源コントローラ デバイスから生成される PWM 制御信号を使用して容易に駆動できます。ヒステリシスが通常 0.5V 未満の従来の TTL ロジック実装に比べて、広いヒステリシス (標準値 1V) により、ノイズ耐性が強化されています。また、UCC27624V-Q1 デバイスは、入力ピンのスレッショルド電圧レベルを厳密に制御できるため、システム設計の考慮事項が緩和され、温度範囲全体にわたって安定した動作が保証されます (代表的特性を参照)。これらのピンの入力容量が非常に小さいため、負荷が減少し、スイッチング速度が上昇します。

Copyright © 2026 Texas Instruments Incorporated

UCC27624V-Q1 デバイスは、各入力ピンがフローティング状態のときにチャネルの低出力を維持する重要な保護機能を備えています。これは、機能ブロック図に示すように、両方の入力ピン (INA、INB) でグランドに接続された内部プルダウン抵抗によって実現されます。

入力ピンは、広い範囲のスルーレートを処理できます。ほとんどの電源アプリケーションにおいて、ゲートドライバはデジタル コントローラまたはロジック ゲートの出力によって駆動されます。したがって、ほとんどのアプリケーションにおいて、入力信号のスルーレートは高速であり、UCC27624V デバイス ファミリでは問題になりません。UCC27624V-Q1 には広いヒステリシスがあるため、入力のヒステリシスが非常に小さい他の多くのドライバと比較すると、チャタリングの懸念が緩和軽減されます。電源デバイスの立ち上がり時間または立ち下がり時間の制限が主な目標である場合、ドライバの出力とスイッチング電源デバイスのゲートの間に外部ゲート抵抗を設けることを強く推奨します。この外付け抵抗には、ゲート ドライバ デバイス パッケージでのゲート電荷に関連する消費電力の一部を低減し、その電力を外部抵抗自体に伝送するという追加の利点があります。つまり、一部の電力はゲートドライバ内ではなくゲート抵抗で消費されます。また、UCC27624V-Q1 の入力ピンは –10V を処理できます。これにより、ノイズの多い (電気的) アプリケーションにおけるシステムの堅牢性が向上します。また、整流ダイオードを使用せずにドライバをゲート駆動ランスの出力に直接接続することもできるようになります。これにより、基板面積と BOM コストを節減できます。

6.3.3 イネーブル機能

イネーブル機能はゲートドライバ デバイスで非常に有益な機能です。特に、同期整流など一定のアプリケーションにおいては、負の電流の循環を防止し、軽負荷効率を向上させるために、軽負荷条件下でドライバ出力を無効にすることができます。

UCC27624V-Q1 デバイスは、各ドライバ チャネルの動作を排他的に制御するために独立したイネーブル ピン (ENx) を備えています。イネーブル ピンは、非反転構成 (アクティブ High 動作) に基づいています。したがって、ENx ピンがハイレベルになるとドライバが有効になり、ENx ピンがローレベルになるとドライバの出力が無効になります。入力ピンと同様に、イネーブル ピンも TTL 互換スレッショルド ロジックに基づいており、電源電圧に依存せず、3.3V または 5V のコントローラからのロジック信号を使って効果的に制御されます。また、UCC27624V-Q1 デバイスは、イネーブル機能のスレッショルド電圧レベルを厳密に制御できるため、システム設計の考慮事項が緩和され、温度範囲全体にわたって安定した動作が保証されます。ENx ピンはプルアップ抵抗を使用して VDD に内部でプルアップされ、その結果、デフォルト状態ではデバイスの出力が有効になります。したがって、ENx ピンがフローティングのままになっていても、ドライバ出力は有効になります。基本的に、このフローティングにより、UCC27624V-Q1 デバイスには、テキサス・インスツルメンツの前世代のドライバ (UCC27324、UCC27424、UCC27524) とのピン互換性があります。つまり、ピン 1 とピン 8 は ENx ピンまたは N/C ピンのいずれかになります。チャネル A とチャネル B の入力と出力を並列に接続してドライバの電流能力を増やす場合、ENA と ENB を一緒に接続して駆動する必要があります。UCC27624V-Q1 の ENx ピンは –10V を処理できるため、ノイズの多い (電気的) アプリケーションにおいてシステムの堅牢性を向上させることができます。

6.3.4 出力ステージ

UCC27624V-Q1 デバイスの出力段はプルアップ構造で独自のアーキテクチャを採用しており、最も必要とされるとき、つまり、パワー スイッチのターンオン遷移のミラー プラトー領域の間 (パワー スイッチのドレインまたはコレクタ電圧に dV/dt が生じたとき) に最大のピーク ソース電流を供給できます。デバイスの出力段は、N チャネルと P チャネルの MOSFET デバイスを並列に配置したハイブリッド プルアップ構造を採用しています。出力の状態が低から高に変化する短い瞬間に N チャネル MOSFET をオンにすることで、ゲートドライバ デバイスはピーク ソース電流を短時間の昇圧で実現でき、高速ターンオンを実現できます。この N チャネル MOSFET (R_{NMOS}) のオン抵抗は、アクティブ時に約 1.04Ω です。

Copyright © 2026 Texas Instruments Incorporated

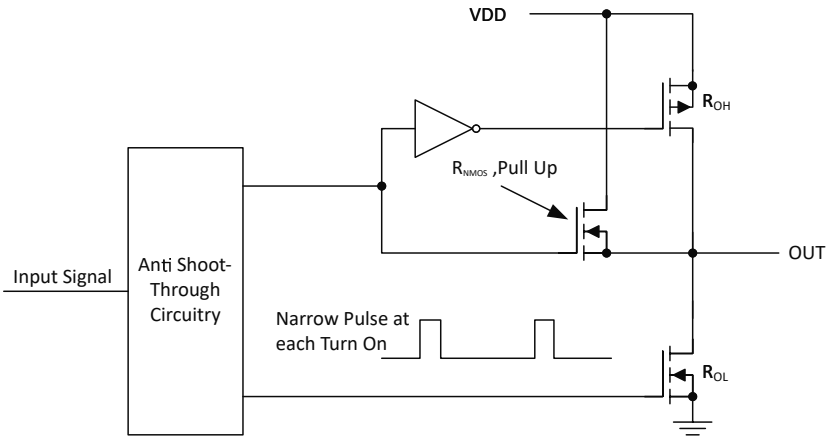


図 6-1. UCC27624V-Q1 ゲート ドライバ出力構造

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。これは、N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が低から高に変化する瞬間にのみオンするためです。ターンオン インスタンスにおける UCC27624V-Q1 のプルアップ段の実効抵抗は、R_{OH} パラメータが表す値よりもはるかに小さい値になることに注意してください。

UCC27624V-Q1 デバイスのプルダウン構造は、N チャネル MOSFET で単純に構成されています。R_{OL} パラメータ (これも DC 測定値です) は本デバイスのプルダウン状態のインピーダンスを表します。

UCC27624V-Q1 の各出力は、5A のピーク ソース電流と 5A のピーク シンク電流のパルスを供給できます。VDD と GND の間の出力電圧スイングは、非常に低ドロップアウトを実現する MOS 出力段により、レール ツー レール動作を実現します。MOSFET ボディ ダイオードが存在するため、過渡的なオーバーシュートやアンダーシュートに対するインピーダンスも低くなっています。これらのドライバの出力は、デバイスに損傷を与えずに、5A のピーク逆電流過渡に耐えられるように設計されています。

UCC27624V-Q1 デバイスは、トランスの一次側巻線が OUTA と OUTB で駆動され、入力 INA と INB が相補的に駆動される、双極性の対称型ドライブ ゲート トランス アプリケーションに特に適しています。これが可能である理由は、これらのデバイスの MOS 出力段では非常に低ドロップアウトがあり、高状態 (V_{OH}) と 低状態 (V_{OL}) の両方で発生することと、ドライバの出力段のインピーダンスが低いことです。これらの理由により、トランスの消磁と磁束不均衡に関する懸念を軽減できます。伝搬遅延が短いため、高周波アプリケーションでも適切にリセットできます。

パワー MOSFET のターンオン時またはターンオフ時にゼロ電圧スイッチングが発生するアプリケーションでは、ドライバは大きなピーク電流を供給し、ミラー プラトーが存在しない場合でも高速のスイッチングを実現します。この状況は同期整流器アプリケーションでよく発生します。理由は、通常、パワー MOSFET がオンになる前にボディ ダイオードが導通するためです。

6.3.5 低伝搬遅延とタイトにマッチングされた出力

UCC27624V-Q1 ドライバ デバイスは、入力と出力の間の伝搬遅延が 17ns (標準値) と非常に小さく、高周波スイッチング アプリケーションにおいてパルス幅歪みを最小限に抑えることができます。たとえば、同期整流器アプリケーションにおいて、単一のドライバ デバイスを使用して SR MOSFET を駆動すると、SR MOSFET が非常に低い歪みで駆動されます。また、ドライバ デバイスは、2 つのチャネル間で 1ns (標準値) 一致する非常に正確な内部伝搬遅延を特長としているため、タイミングが重要なデュアル ゲート ドライブを必要とするアプリケーションに有益です。たとえば、PFC アプリケーションでは、各出力チャネルを使用して、1 対の並列接続した MOSFET を独立して駆動でき、両方のチャネルの入力は PFC コントローラからの共通の制御信号で駆動できます。この場合、1ns の遅延マッチングにより、並列 MOSFET を確実に同時に駆動することで、ターンオン遅延とあーんオフ遅延の差を最小限に抑えることができます。2 つのチャネル間の厳密なマッチングのもう 1 つの利点は、2 つのチャネルを互いに接続して駆動電流能力を実質的に 2 倍にできることです。つまり、INA 入力と INB 入力、および OUTA 出力と OUTB 出力をまとめて接続することで、A チャネルと B チャネルを 1 つのドライバに結合できます。その後、並列接続されたパワー デバイスが 1 つの信号によって制御されます。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-2. デバイス ロジック表

ENA	ENB	INA	INB	UCC27624V-Q1	
				OUTA	OUTB
H	H	L	L	L	L
			H	L	H
		H	L	H	L
			H	H	H
L	L	任意	任意	L	L
任意	任意	浮動	浮動	L	L
浮動	浮動	L	L	L	L
			H	L	H
		H	L	H	L
			H	H	H

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

大電流ゲートドライバ デバイスは、さまざまな理由から、スイッチング電源アプリケーションで必要になります。パワー デバイスの高速なスイッチングを実現し、関連するスイッチング電力損失を低減するため、制御デバイスの PWM 出力とパワー半導体デバイスのゲートとの間には、強力なゲート ドライバ デバイスが使用されています。さらに、PWM コントローラ デバイスによるスイッチング デバイスのゲートの直接駆動が実現不可能である場合には、ゲート ドライバが必須となります。デジタル電源の登場に伴い、このような状況がよく見られるようになりました。その理由は、デジタル コントローラからの PWM 信号が、多くの場合 3.3V のロジック信号であり、これでは電源スイッチを効果的にオンにすることができないためです。パワーデバイスを完全にターンオンし、導通損失を最小限に抑えるには、3.3V の信号をゲート駆動電圧 (12V など) まで昇圧するためにレベルシフト回路が必要です。エミッタフォロワ構成としてトーテムポール配置された NPN/PNP バイポーラ トランジスタに基づく従来のバッファ駆動回路は、レベルシフト機能を持たないため、デジタル電源には不向きであることが分かっています。ゲートドライバ デバイスは、レベルシフト機能とバッファドライブ機能の両方を効果的に組み合わせています。また、ゲートドライバ デバイスには、大電流ドライバを物理的にパワー スイッチの近くに配置することにより高周波スイッチング ノイズの影響を最小化する、ゲート駆動トランスを駆動する、フローティング パワー デバイスのゲートを制御する、ゲート電荷の電力損失をコントローラに移動させることによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

最後に、SiC MOSFET のような新しいワイド バンドギャップ パワー デバイス技術は、非常に高いスイッチング周波数での動作をサポート可能であり、ゲート駆動能力に関して特別な要件が必要となります。これらの要件には、広い動作電圧範囲、低い伝搬遅延、良好な遅延マッチング、優れた放熱特性を持つ小型で低インダクタンスのパッケージでの可用性が含まれています。要約すると、ゲートドライバ デバイスはスイッチング電源において極めて重要な部品であり、高性能、低コスト、少ない部品数、基板スペースの節約、簡素化されたシステム設計といった利点を兼ね備えています。

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

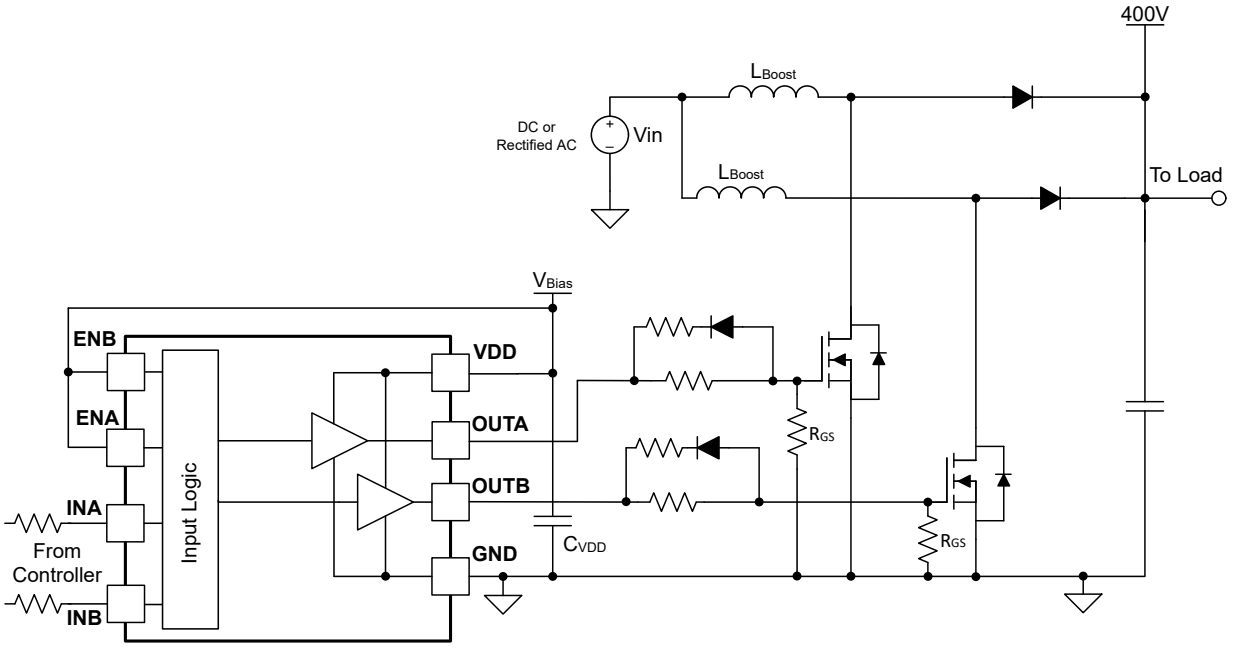


図 7-1. UCC27624V-Q1 代表的なアプリケーションの図

7.2.1 設計要件

最終アプリケーションのためにゲート ドライバ デバイスの選択とデザイン インを行う際には、まず、最適なものを選択できるように機能面の検討と評価を行う必要があります。検討項目には、バイアス電圧、UVLO、駆動電流、消費電力があります。

7.2.2 詳細な設計手順

7.2.2.1 VDD および低電圧誤動作防止

UCC27624V-Q1 デバイスは、VDD ピンの電源回路ブロックに低電圧誤動作防止 (UVLO) 保護機能が内蔵されています。VDD が立ち上がり、レベルがまだ UVLO スレッショルドを下回っているとき、入力のステータスに関係なく、この回路は低出力を維持します。UVLO は標準で 8V で、ヒステリシスは 500mV (標準値) です。このヒステリシスにより、特に VDD 動作範囲の下限で VDD 電源電圧にノイズが発生したときのチャタリングを防止します。UVLO ヒステリシスはさらに、バイアス電源バイパス コンデンサから大きなピーク電流が流れ込む高速スイッチング遷移によってバイアス ノイズが発生した場合に、誤トリップを防止するためにも重要です。広いバイアス電圧範囲で動作するドライバ能力と優れたスイッチング特性は、高度な低ゲート電荷高速 MOSFET、SiC MOSFET など、最新のパワー半導体デバイスの駆動において特に重要です。

電源投入時に、INx や ENx など他の入力ピンの状態に関係なく、VDD 電圧が UVLO 立ち上がりスレッショルドに達するまで、UCC27624V-Q1 ドライバ デバイスは低出力で維持されます。UVLO の立ち上がりスレッショルドの後、定常状態の V_{DD} に達するまで、OUT 信号の大きさは V_{DD} とともに上昇します。

最高の高速回路性能を確保し、かつ、デバイスが VDD ピンから電流を引き込んですべての内部回路にバイアスすることから生じるノイズ問題を回避するには、2 つの VDD バイパス コンデンサを使用します。さらにまた、表面実装で低 ESR のコンデンサを使用します。0.1µF セラミック コンデンサは、ゲート ドライバ デバイスの VDD ピンから GND ピンまで 1mm 未満の位置に配置する必要があります。さらに、負荷に必要な大電流ピークを供給できるようにするために、より大きなコンデンサ (≥1µF) を並列に (かつドライバ IC にできるだけ近い位置で) 接続する必要があります。コンデンサの並列

Copyright © 2026 Texas Instruments Incorporated

での組み合わせは、そのアプリケーションで想定される電流レベルとスイッチング周波数に対して低インピーダンス特性を示します。

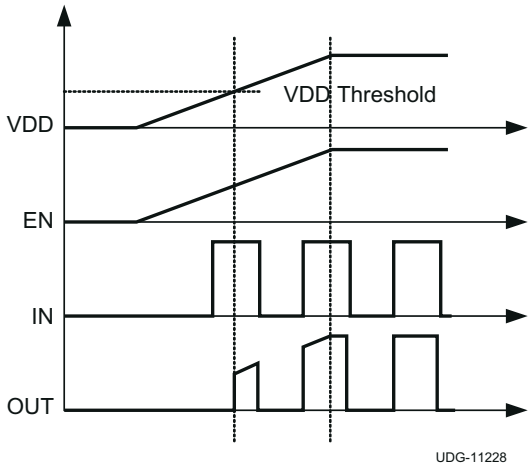


図 7-2. パワーアップ シーケンス

7.2.2.2 駆動電流および消費電力

UCC27624V-Q1 ドライバは、VDD = 12V で数百ナノ秒間、スイッチング パワー デバイス ゲート (MOSFET、IGBT、SiC MOSFET) に 5A のピーク電流を供給できます。本デバイスを迅速にオンさせるには、大きなピーク電流が必要です。次に、デバイスをオフにするには、ドライバにおいて同様の量の電流を地面に流す必要があります。これは、パワー デバイスの動作スイッチング周波数で繰り返されます。ゲート ドライバ デバイス パッケージで消費される電力は、以下の要因によって決まります。

- パワー MOSFET に必要なゲート電荷 (通常は駆動電圧 V_{GS} の関数で、低い V_{OH} ドロップアウトにより、入力バイアス電源電圧 V_{DD} に非常に近い値)。
- スイッチング周波数
- 外付けゲート抵抗

UCC27624V-Q1 は、静止電流が低く、出力ドライバ段での貫通電流を排除するためのロジックが内蔵されているため、パワー デバイスのスイッチングによる損失に比べてゲートドライバ内の消費電力への影響は非常に小さくなります。

ディスクリートの容量性負荷でドライバ デバイスをテストする場合、バイアス電源から必要とされる電力を計算するのはかなり簡単です。次の式は、バイアス電源からコンデンサを充電するために転送する必要があるエネルギーの例を示しています。

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (1)$$

ここで、

- C_{LOAD} は負荷コンデンサです。
- V_{DD} はドライバのバイアス電圧です。

コンデンサの放電時には、等しい量のエネルギーが消費されます。これにより、次の式の例に示すように、合計電力損失が生じます。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

ここで、

- f_{SW} : スイッチング周波数。

Copyright © 2026 Texas Instruments Incorporated

V_{DD} = 12V、C_{LOAD} = 10nF、f_{SW} = 300kHz の場合、スイッチング電力損失は次のように計算されます。

$$P_G = 10\,nF \times 12\,V^2 \times 300\,kHz = 0.432\,W \quad (3)$$

パワー MOSFET で生成されるスイッチング負荷は、デバイスのスイッチングに必要なゲート電荷を調べることにより、等価容量に変換されます。このゲート電荷には、入力静電容量の影響と、オン状態とオフ状態を切り替えるパワー デバイスのドレイン電圧をスイングさせるために必要な追加電荷が含まれます。ほとんどのメーカーは、指定された条件でデバイスをスイッチングするための標準および最大ゲート電荷 (nC 単位) を示す仕様を提供しています。ゲート電荷 Q_g を使用して、コンデンサの充電時に消費されなければならない電力を決定します。等価性を使用することで、次の式の中に $Q_g = C_{LOAD}V_{DD}$ が示されます。

$$P_G = C_{LOAD}V_{DD}^2 f_{SW} = Q_g V_{DD} f_{SW} \quad (4)$$

UCC27624V-Q1 デバイスが、1 つの出力チャネルで 60nC のゲート電荷 (V_{DD} = 12V で Q_g = 60nC) でパワー MOSFET を駆動していると仮定すると、ゲート電荷に関連する電力損失は次の式で計算されます。

$$P_G = 2 \times 60\,nC \times 12\,V \times 300\,kHz = 0.432\,W \quad (5)$$

この電力 P_G は、MOSFET がオンまたはオフになるときに、回路の抵抗素子で消費されます。総電力の半分はターンオン中に負荷コンデンサが充電されるときに消費され、残りの半分はターンオフ中に負荷コンデンサが放電されるときに消費されます。ドライバと MOSFET/IGBT の間に外部ゲート抵抗が取り付けられていない場合、この電力はドライバ パッケージ内で完全に消費されます。外部ゲート抵抗を使用すると、抵抗の比率に応じて、ドライバの内部抵抗と外部ゲート抵抗との間で消費電力が共有されます (より高い抵抗の部品で消費される電力がより大きい)。この簡略化された解析に基づき、スイッチング中のドライバの消費電力は次のように算出されます。

$$P_{SW} = 0.5 \times Q_G \times VDD \times f_{SW} \times \left(\frac{R_{OFF}}{R_{OFF} + R_{GATE}} + \frac{R_{ON}}{R_{ON} + R_{GATE}} \right) \quad (6)$$

ここで、

- $R_{OFF} = R_{OL}$
- $R_{ON} = R_{OH}$ (プルアップ構造の実効抵抗)

上記の式は、外部ゲート抵抗がドライバのピーク電流を低下させるのに十分な大きさである場合に必要となりますです。ドライバの消費電力は、上記のゲート電荷に関連する消費電力に加えて、入力段 (プルアップ抵抗とプルダウン抵抗を含む)、イネーブル、UVLO の各セクションなどのすべての内部回路をバイアスするためにデバイスが消費する静止バイアス電流に関連する電力に関係します。電気的特性表に示すように、静止電流は 1mA 未満です。ドライバ内部回路の DC 消費電流による電力損失は、以下のように計算できます。

$$P_Q = I_{DD}V_{DD} \quad (7)$$

バイアス電圧 12V での総内部消費電流を 0.6mA (標準値) と仮定すると、ドライバの DC 電力損失は次のようになります。

$$P_Q = 0.6\,mA \times 12\,V = 7.2\,mW \quad (8)$$

この電力損失は、前に計算したゲート電荷に関連する消費電力と比較するとごくわずかです。

12V 電源では、バイアス電流は次のように推定され、静止消費のために 0.6mA のオーバーヘッドが追加されます。

Copyright © 2026 Texas Instruments Incorporated

$$I_{DD} \sim \frac{P_G}{V_{DD}} = \frac{0.432\ W}{12\ V} = 0.036\ A \quad (9)$$

誘導性負荷とともにゲートドライバを使用する場合、ゲートドライバ デバイスの各ピンのリンギングには特に注意する必要があります。リンギングは、ピンの推奨動作定格を超えないようにしてください。

7.2.3 アプリケーション曲線

以下の図は、高電圧昇圧コンバータ アプリケーションで使用される UCC27624V-Q1 デバイスの代表的なスイッチング特性を示しています。このアプリケーションでは、UCC27624V-Q1 は 110nC のゲート電荷を持つ IGBT スイッチを駆動しています。

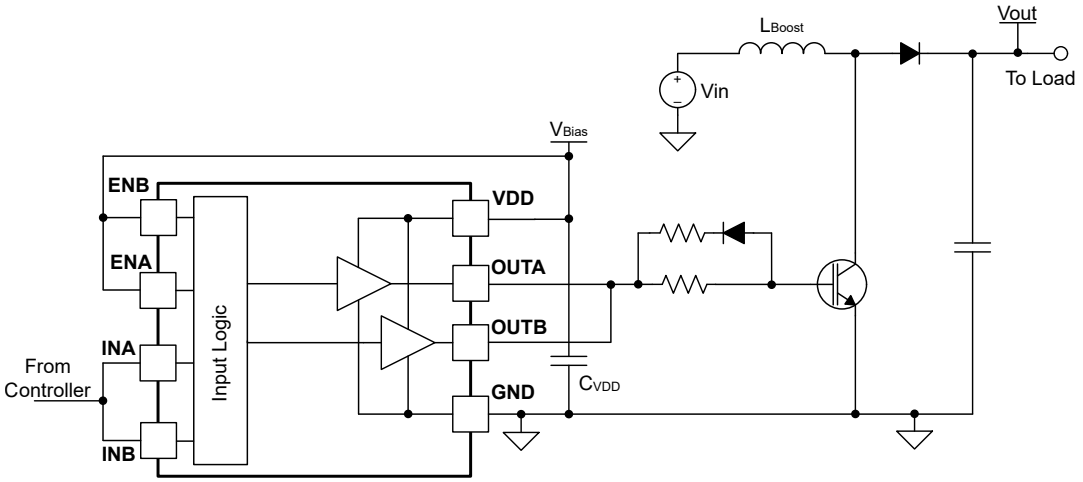
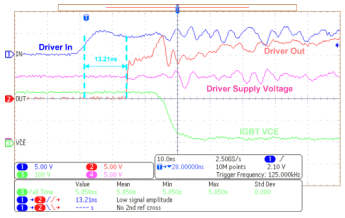
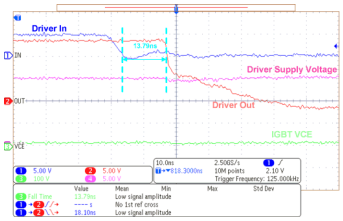


図 7-3. 昇圧コンバータの IGBT 駆動に使用されている UCC27624V-Q1



Vin = 210V、Vout = 235V、Iout = 1.14A、Fsw = 125kHz、ドライバ電源電圧 = 15V、ゲート抵抗 = 0Ω

図 7-4. ターンオン伝搬遅延波形



Vin = 210V、Vout = 235V、Iout = 1.14A、Fsw = 100kHz、ドライバ電源電圧 = 15V、ゲート抵抗 = 0Ω

図 7-5. ターンオフ伝搬遅延波形

7.3 電源に関する推奨事項

UCC27624V-Q1 デバイスの動作に規定されているバイアス電源電圧範囲は 9.5V ～ 26V です。この範囲の下限は、V_{DD} ピンの電源回路ブロックに内蔵されている低電圧誤動作防止 (UVLO) 保護機能によって制御されます。V_{DD} ピンの電圧が VDD UVLO ターンオン (立ち上がり) スレッショルドを下回っている時にドライバが UVLO 状態になると、入力のステータスにかかわらず、UVLO 保護機能により低出力が維持されます。この範囲の上限は、デバイスの VDD ピンの絶

Copyright © 2026 Texas Instruments Incorporated

対最大電圧定格 (ストレス評価) である 30V によって決まります。デバイスの全動作寿命を達成するには、デバイスの絶対最大定格から十分なマージンを確保する必要があります。したがって、VDD ピンの電圧上限の推奨値は 26V になります。

UVLO 保護機能は、ヒステリシス機能も備えています。つまり、VDD ピン バイアス電圧が立ち上がりスレッショルド電圧を超えると、デバイスが正常に動作を開始します。オンの時に VDD バイアス電圧が立ち上がりスレッショルドを下回ると、電圧降下が立ち下がりスレッショルドのヒステリシス仕様を超えない限り、デバイスは通常の機能を提供し続けます。したがって、設計エンジニアは、9.5V またはそれに近い電圧で動作しているときに、補助電源出力の電圧リップルがデバイスのヒステリシス仕様値よりも小さくなるようにする必要があります。そうしないと、デバイスの出力がオフになる可能性があります。システムのシャットダウン中、デバイスの動作は VDD ピンの電圧が VDD ターンオフ (立ち下がり) スレッショルドを下回るまで継続されます。これを考慮して、システムのシャットダウンのタイミング要件やシーケンシング要件を評価する必要があります。同様に、システムの起動時には、VDD ピンの電圧が VDD ターンオン (立ち上がり) スレッショルドを超えるまで、デバイスは動作を開始しません。

デバイスの内部回路ブロックで消費される静止電流は、VDD ピンから供給されます。この事実はよく知られていますが、OUTA/B ピンから供給されるソース電流パルスの電荷も同じ VDD ピン コンデンサを通して供給されることを把握しておくことが重要です。その結果、電流が出力ピンからソースされるたびに、対応する電流パルスが VDD ピン経由でデバイスに供給されます。したがって、デカップリングの目的のために、VDD ピンと GND ピンの間でデバイスにできる限り近い位置にローカル バイパス コンデンサを配置してください。低 ESR の表面実装型セラミック コンデンサが必要です。テキサス・インスツルメンツでは、デバイスの VDD ピンから 1mm 未満の位置に配置された 0.1µF セラミック表面実装型コンデンサと、並列接続を必須とする大型のセラミック コンデンサ (≥1µF) という 2 つのコンデンサの使用を推奨しています。

UCC27624V-Q1 は大電流ゲート ドライバです。このゲート ドライバを MOSFET などのスイッチング電源デバイスから離して配置すると、大きな誘導性ループが形成される恐れがあります。大きな誘導性ループは、ゲート ドライバの任意の全ピンで過剰なリンギングを発生させる恐れがあります。その場合は、ストレスがデバイスの推奨定格を超える可能性があります。そのため、ゲート ドライバはスイッチング電源デバイスにできるだけ近い位置に配置してください。また、大きいスイッチング電流と基板の寄生素子に起因するリンギングを減衰させるために、外部ゲート抵抗も使用してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

適切なデバイス動作と設計の堅牢性を実現するために、大電流、高速スイッチング回路では適切な PCB レイアウトが非常に重要です。UCC27624V-Q1 ゲート ドライバは、短い伝搬遅延と強力な出力段を内蔵しており、パワー MOSFET のゲートにおける立ち上がり / 立ち下がり時間が非常に短い状態で大きな電流ピークを供給できるため、非常に迅速な電圧遷移を実現できます。パターン長とインピーダンスの制御が不十分である場合、di/dt が非常に高くなると許容できないリンギングが発生することがあります。これらの高速ドライバを使用して設計する際は、以下の回路レイアウト ガイドラインを推奨します。

- ドライバ IC の出力ピンとスイッチング パワー デバイスのゲートの間の大電流パターン長を最小限に抑えるために、ドライバ IC をパワー デバイスにできるだけ近い位置に配置してください。
- ノイズ フィルタリングを向上させるために、VDD と GND の間にある VDD バイパス コンデンサは、パターン長を最短にしてドライバ IC にできるだけ近い位置に配置してください。これらのコンデンサは、パワー MOSFET のターンオン時に VDD ピンから引き出される大きなピーク電流に対応しています。定格電圧が 50V の X7R チップ コンデンサなど、低インダクタンスの表面実装デバイス (SMD) を使用することを強く推奨します。
- 浮遊インダクタンスを最小限に抑え続けるために、ターンオンとターンオフの電流ループ パス (ドライバ デバイス、パワー MOSFET、VDD バイパス コンデンサ) を可能な限り最小限に抑える必要があります。これらのループでは、ターンオン過渡時とターンオフ過渡時という 2 つの状況で高 dI/dt が確立されています。これにより、ドライバ デバイスの出力ピンとパワー MOSFET のゲートに大きな電圧過渡が誘発されます。
- 磁束消失を利用するために、可能な限り、ソース パターンとリターン パターンを並列にしてくださいます。
- 出力信号や入力信号など、複数の電源パターンと信号パターンを分けてください。
- スイッチ ノードの過渡現象とリンギングを最小限に抑えるため、パワー デバイスにゲート抵抗やスナバの追加が必要な場合があります。これらの対策は EMI を低減する可能性もあります。

Copyright © 2026 Texas Instruments Incorporated

- スターポイントのグランド接続は、ある電流ループから別の電流ループへのノイズ結合を最小限に抑える適切な方法です。ドライバの GND は、パワー MOSFET のソースや PWM コントローラのグランドなど、他の回路ノードにシングルポイントで接続されます。接続されたパスはインダクタンス低減のためできるだけ短くし、抵抗の低減のためできるだけ幅を広くする必要があります。
- ノイズ シールドを実現するために、グランド プレーンを使用します。ドライバ IC の OUT ピンの立ち上がり時間と立ち下がり時間が短いと、ドライバ IC の入力信号が破壊される可能性があります。グランド プレーンを高電流 (電力段) ループの導通パスにしないでください。代わりに、グランド電位を確立するために、グランド プレーンを 1 つのパターンでスターポイントに接続する必要があります。ノイズ シールドに加えて、グランド プレーンも消費電力の削減に役立ちます。
- 既存または新規の設計において、ゲートドライバ IC を UCC27624V-Q1 デバイスに置き換える際、特に駆動力が異なる場合には、外部ゲート抵抗と並列ダイオード抵抗の組み合わせが役に立つことがあります。

7.4.2 レイアウト例

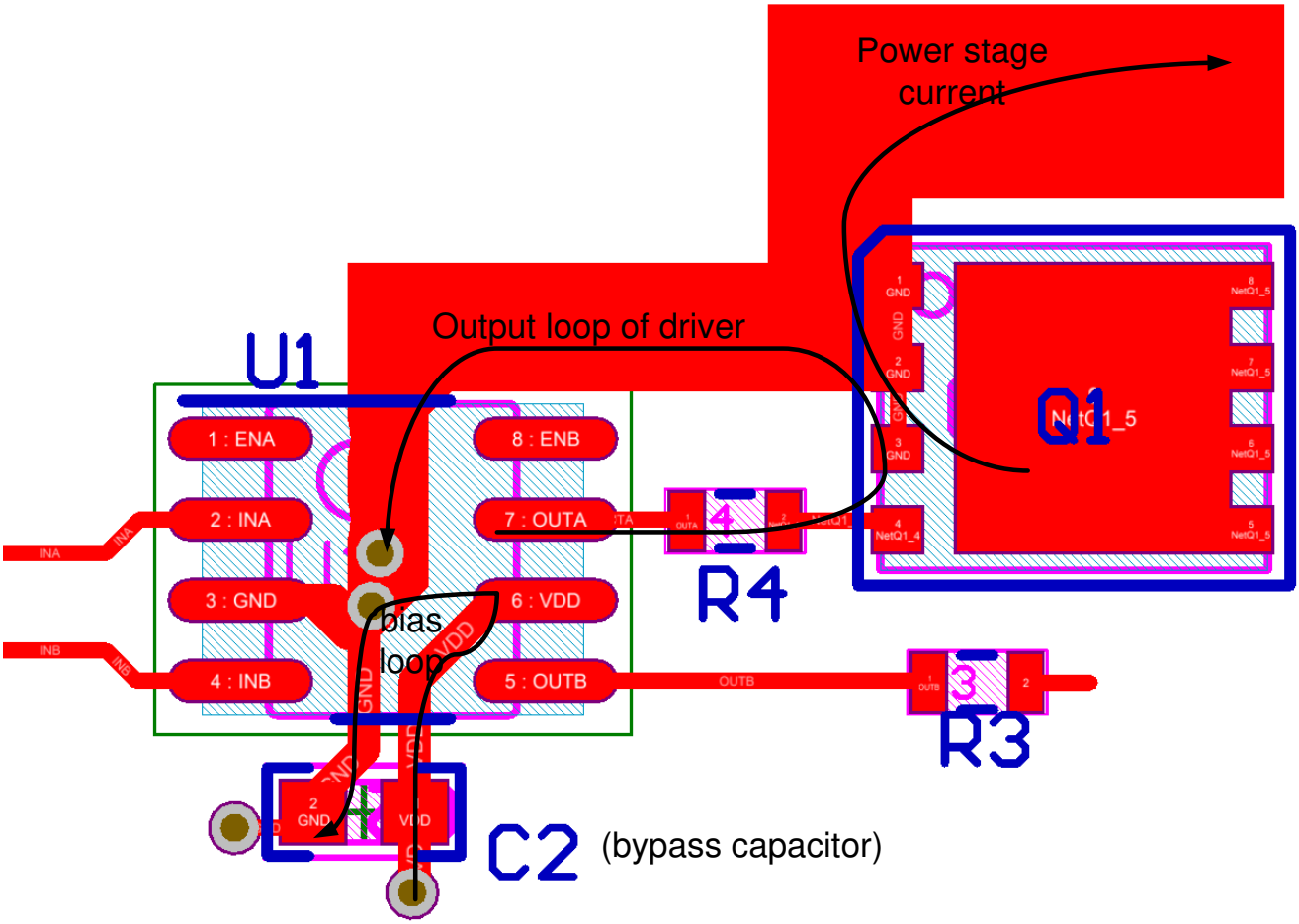


図 7-6. UCC27624V-Q1 レイアウト例

7.4.3 熱に関する注意事項

ドライバの有効範囲は、負荷の駆動電力要件とデバイス パッケージの熱特性に大きく影響されます。ゲートドライバ デバイスを特定の温度範囲で使用するためには、パッケージは接合部温度を指定定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。「熱に関する情報」表の詳細については、半導体および IC パッケージの熱評価基準アプリケーション ノート (SPRA953) を参照してください。

Copyright © 2026 Texas Instruments Incorporated

UCC27624V-Q1 デバイスに利用できるさまざまなパッケージ オプションの中で、DGN パッケージの消費電力能力が特別に取り上げられています。VSSOP-8 (DGN) のパッケージには、半導体の接合部からパッケージの底面を通して熱を取り除くためのサーマル パッドがあります。このパッドは、デバイスのパッケージの真下にあるプリント基板上の銅にはんだ付けされており、熱抵抗を極低値まで低減します。これにより、D のパッケージよりもヒートシンクを大幅に改善できます。このプリント基板は、熱除去サブシステムを完成させるために、サーマル ランドとサーマル ビアを考慮して設計する必要があります。VSSOP-8 パッケージの露出パッドはパッケージの鉛部分に直接接続されていませんが、PowerPAD はデバイスのサブストレートに熱的に接続されています。テキサス・インスツルメンツでは、PCB レイアウトでこの露出パッドをドライバ IC の GND ピンに外部で接続することを推奨しています。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

PowerPAD™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2025) to Revision A (March 2026)	Page
• 「パッケージ情報」に DDA パッケージと DGK パッケージを追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27624VQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	624VQDDA
UCC27624VQDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	JVQK
UCC27624VQDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	24VQ
UCC27624VQDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	24VQ
UCC27624VQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	U624VQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27624V-Q1 :

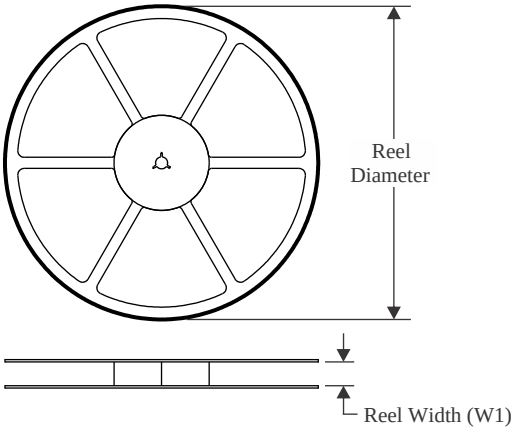
- Catalog : UCC27624V

NOTE: Qualified Version Definitions:

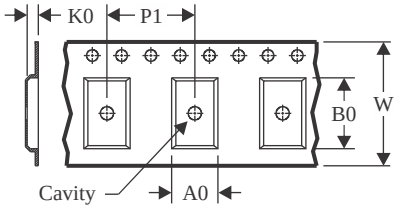
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

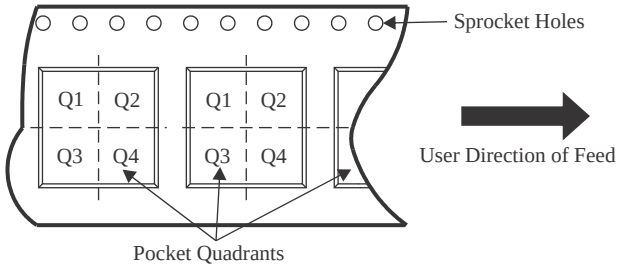


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

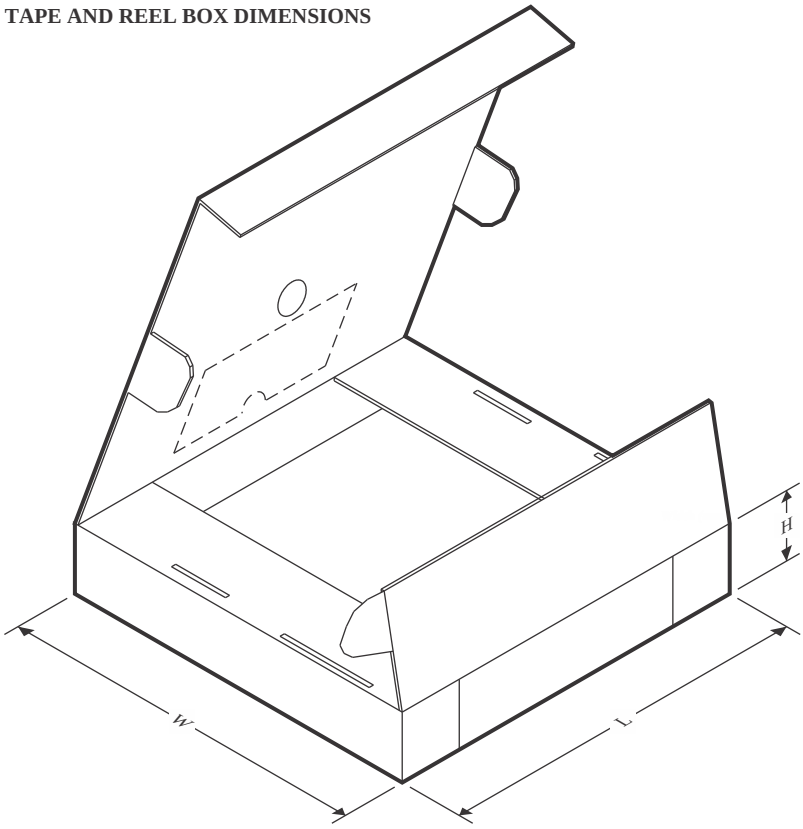
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27624VQDDARQ1	SO PowerPAD	DDA	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
UCC27624VQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27624VQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27624VQDRQ1	SOIC	D	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

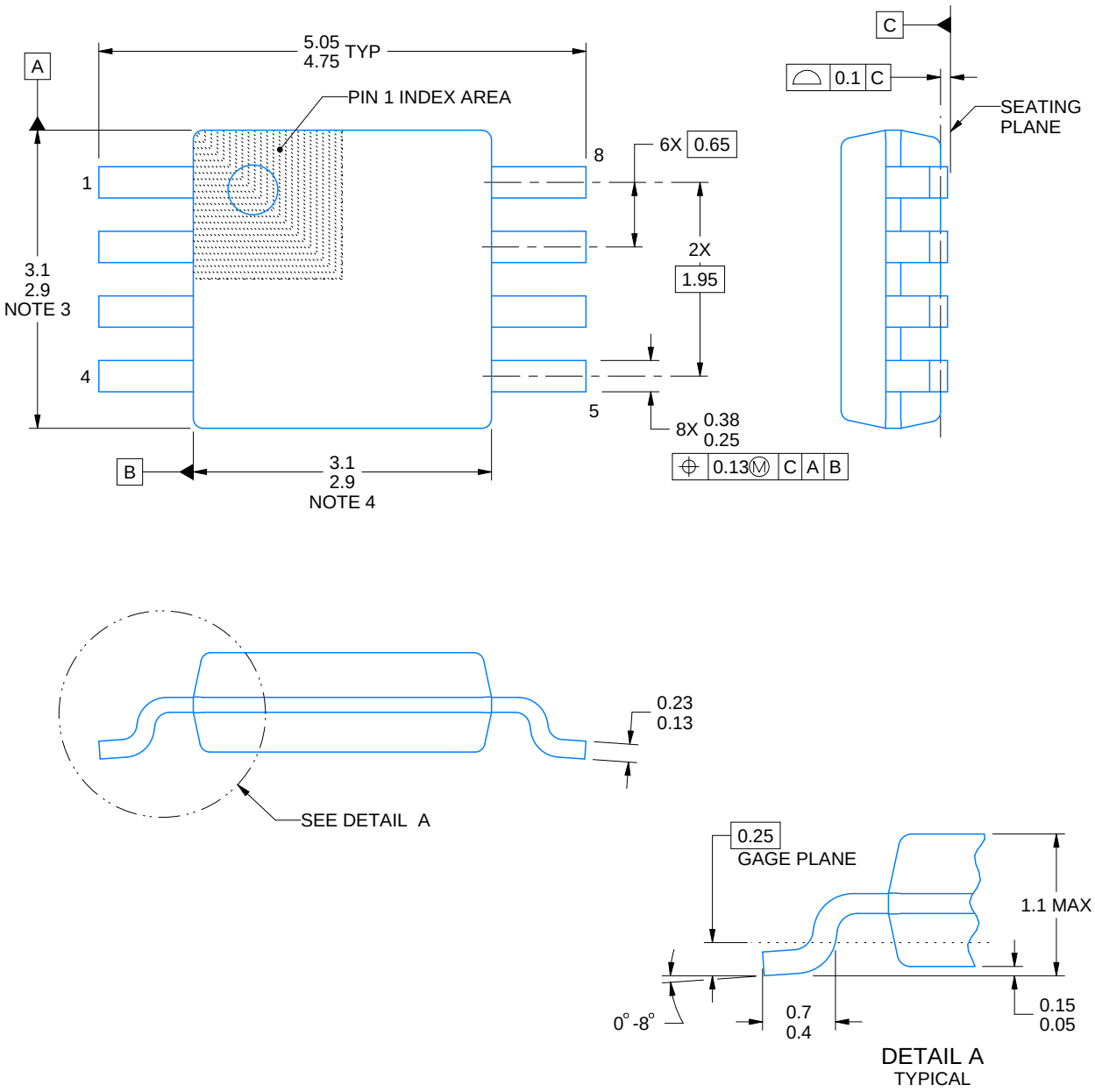
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27624VQDDARQ1	SO PowerPAD	DDA	8	3000	340.5	336.1	25.0
UCC27624VQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC27624VQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
UCC27624VQDRQ1	SOIC	D	8	3000	340.5	336.1	25.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

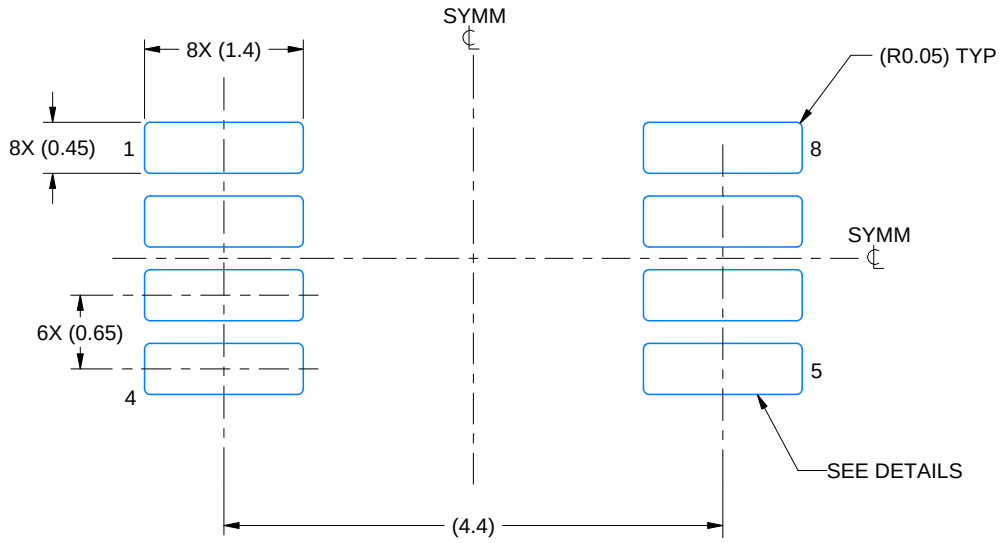
SMALL OUTLINE PACKAGE



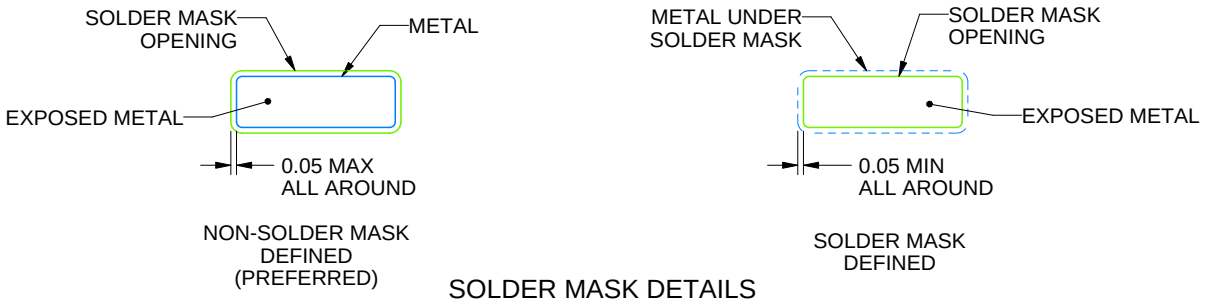
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

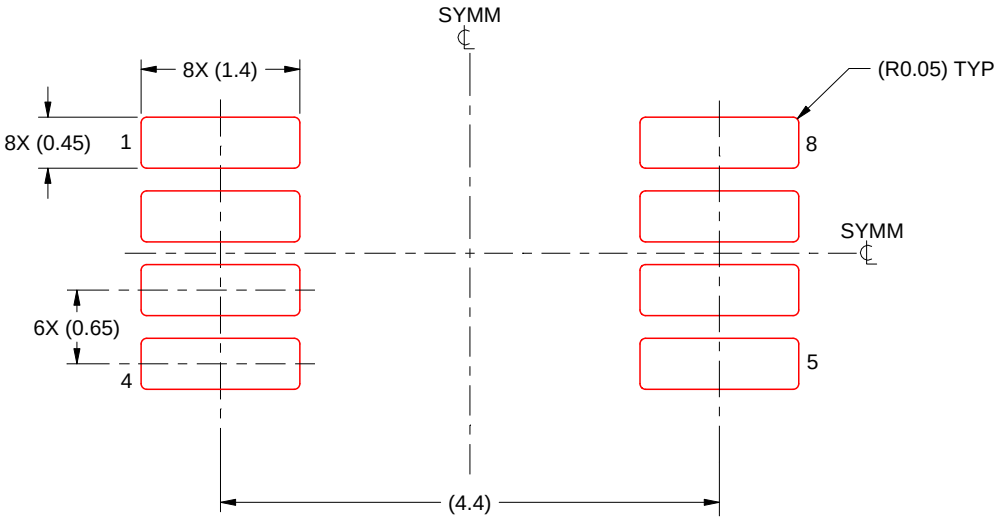


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

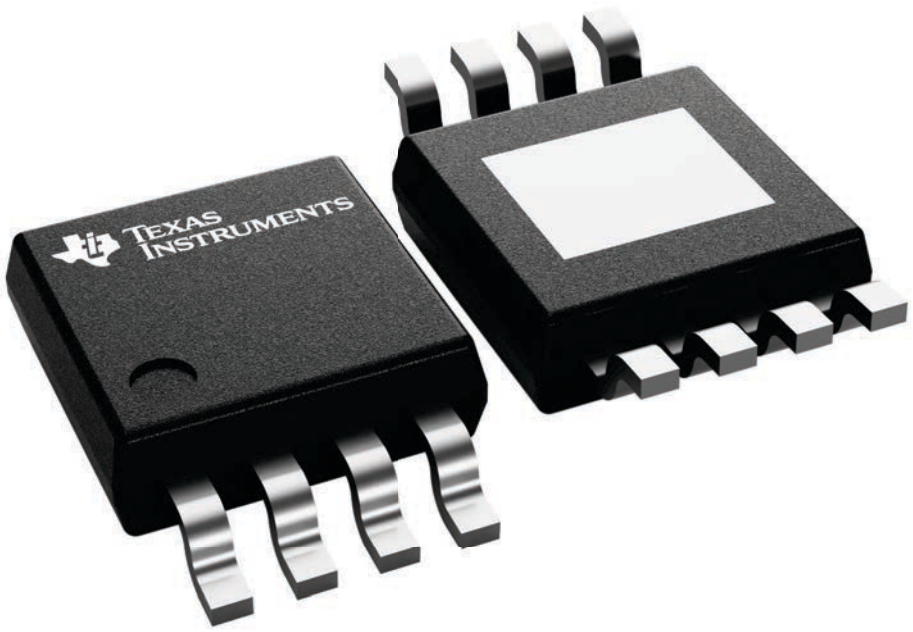
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



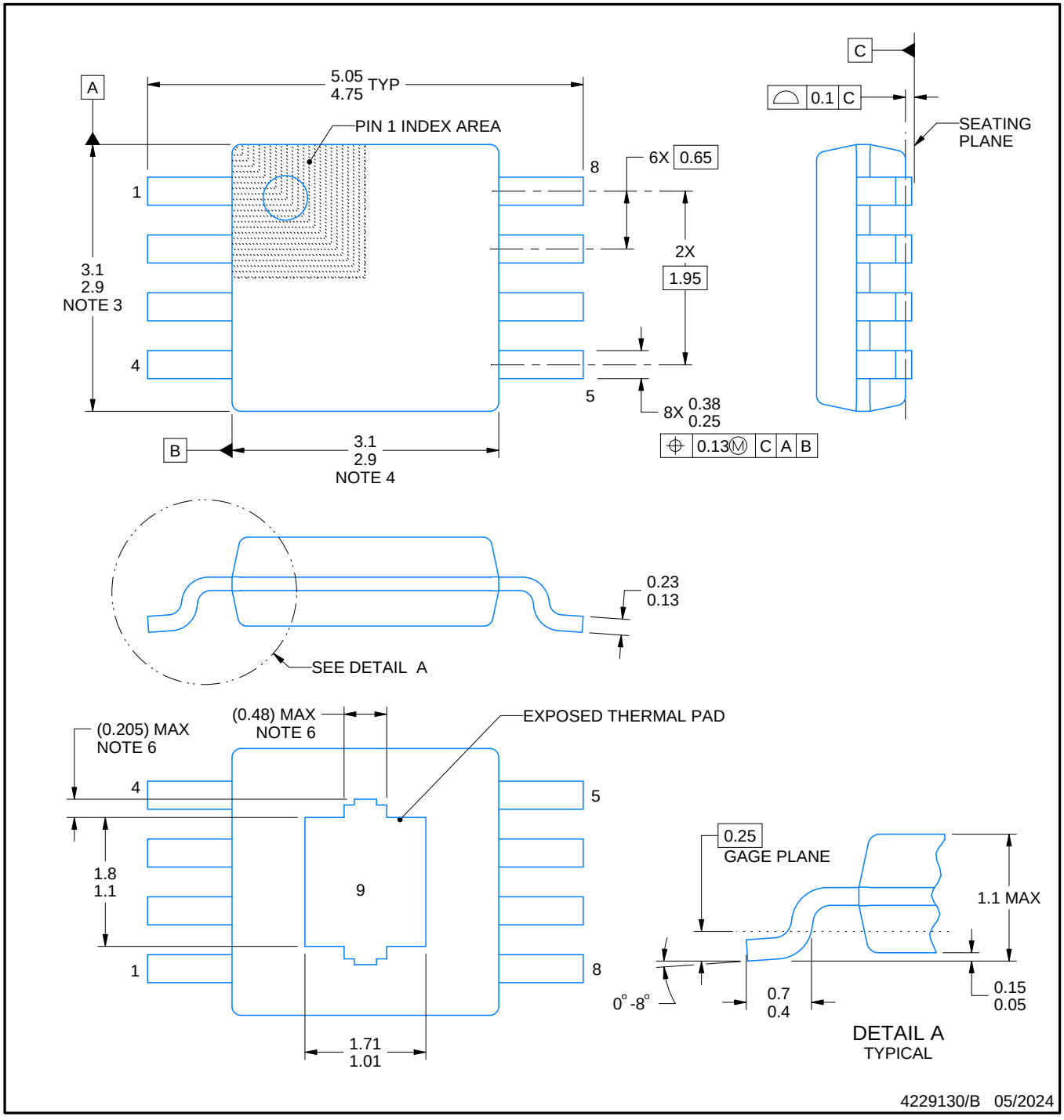
4225482/B

PACKAGE OUTLINE

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

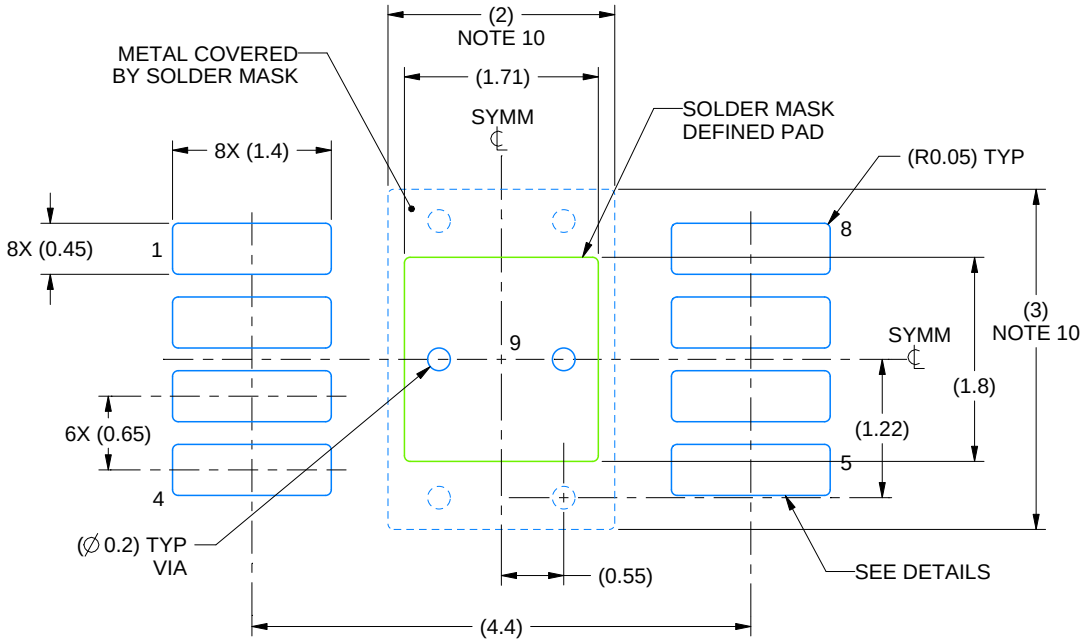
SMALL OUTLINE PACKAGE



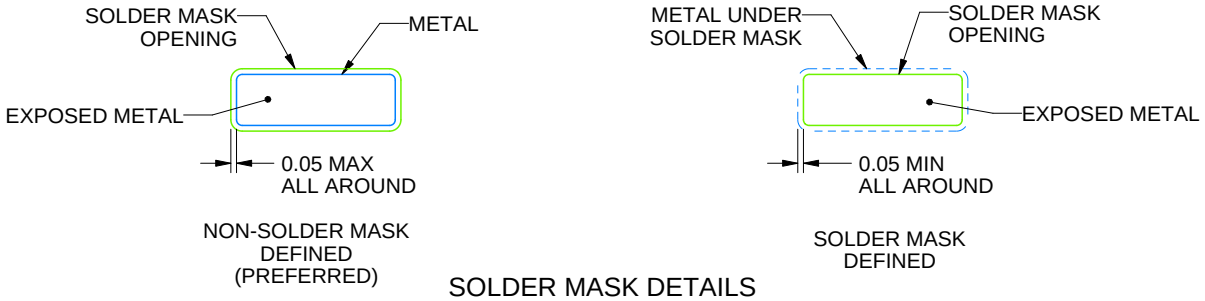
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

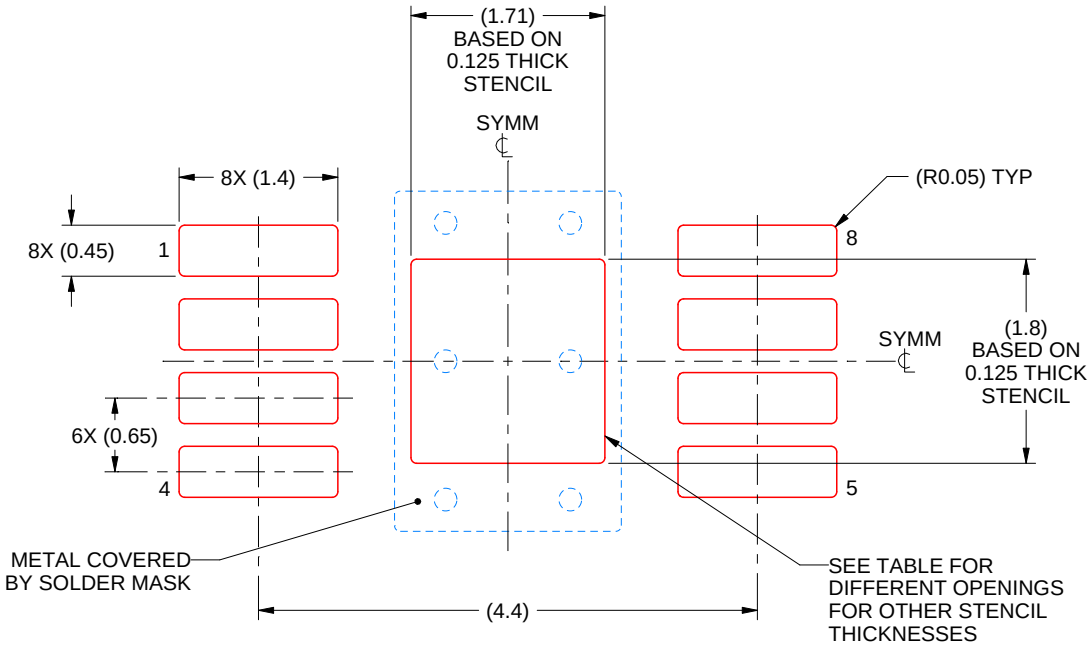


SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

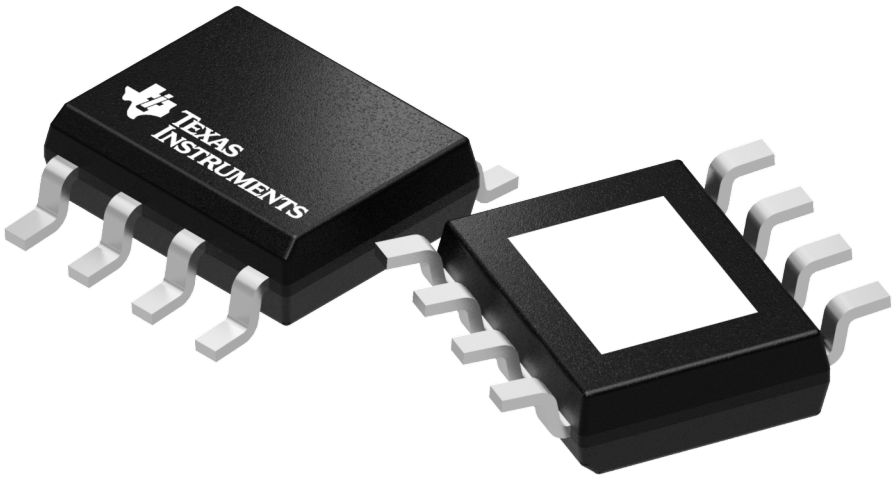
4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



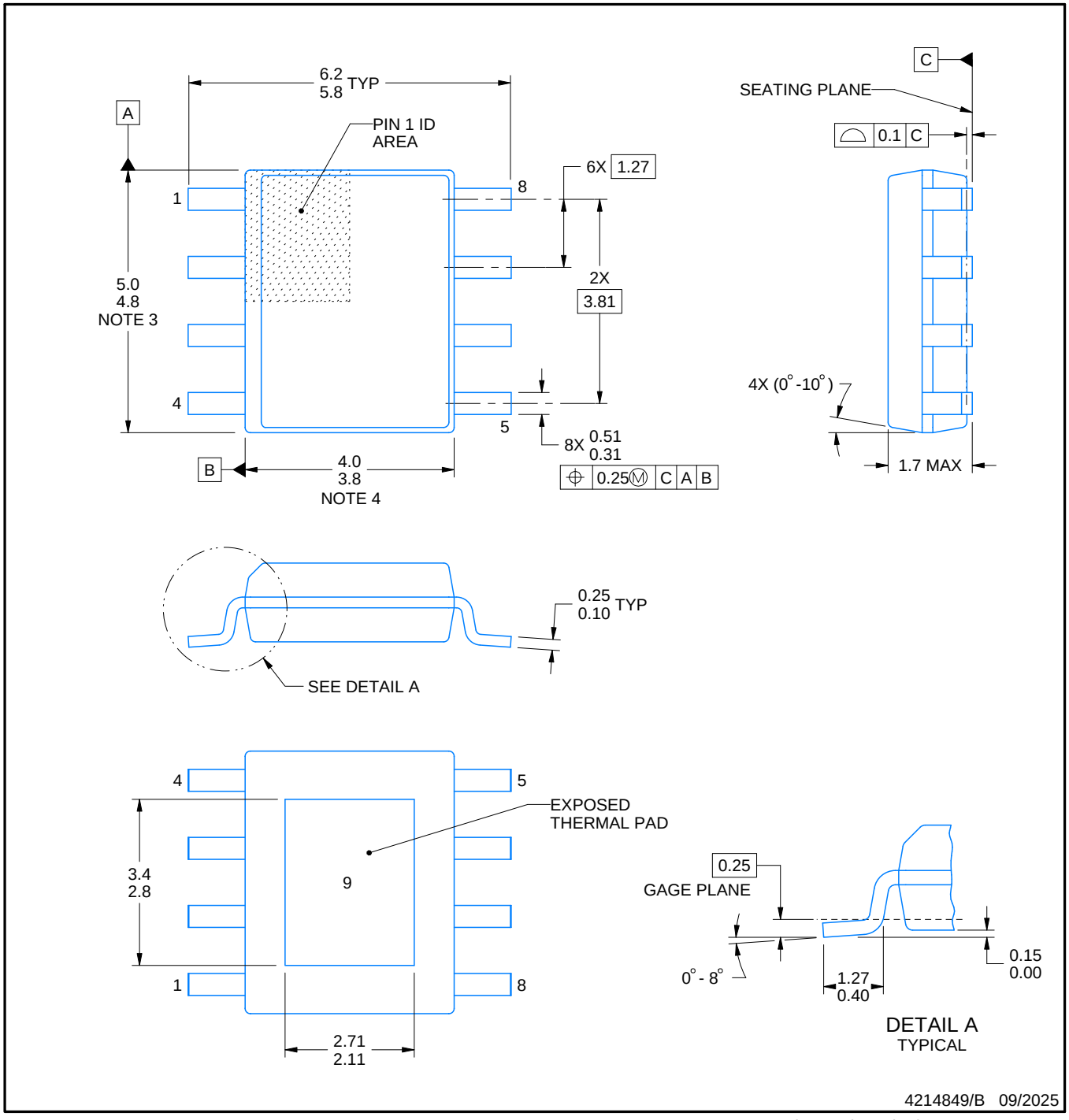
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

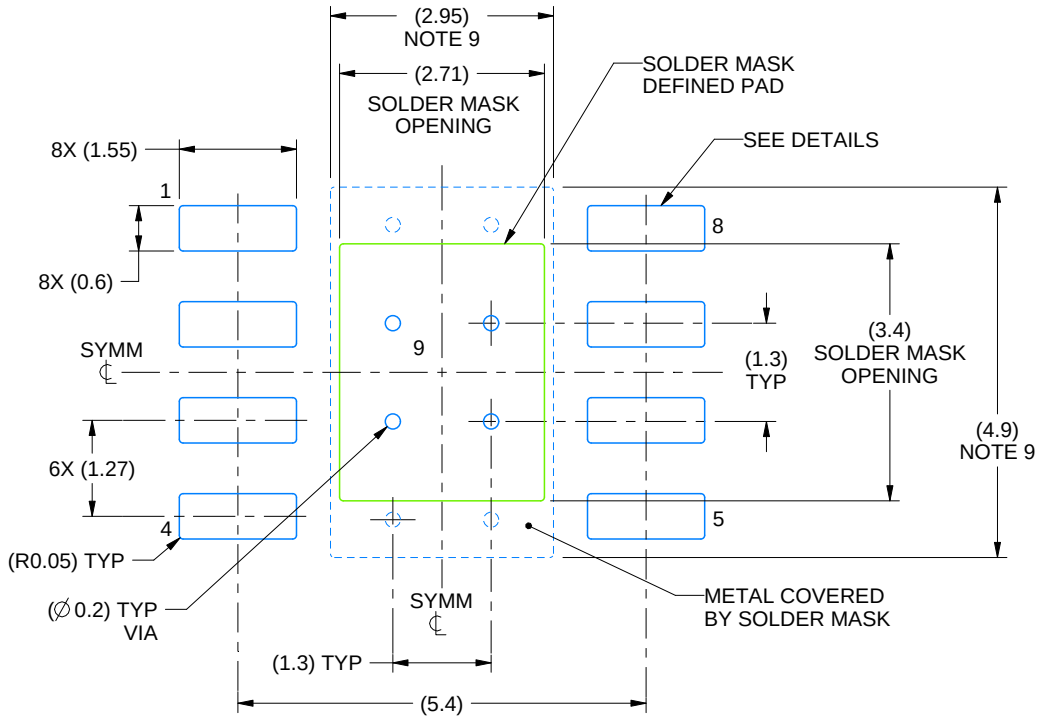
PLASTIC SMALL OUTLINE



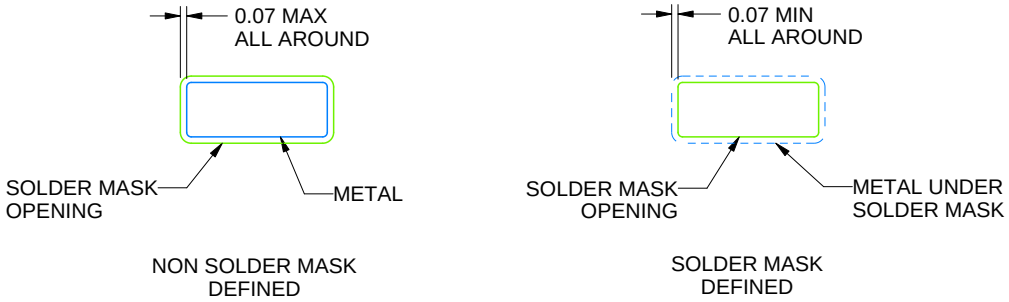
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

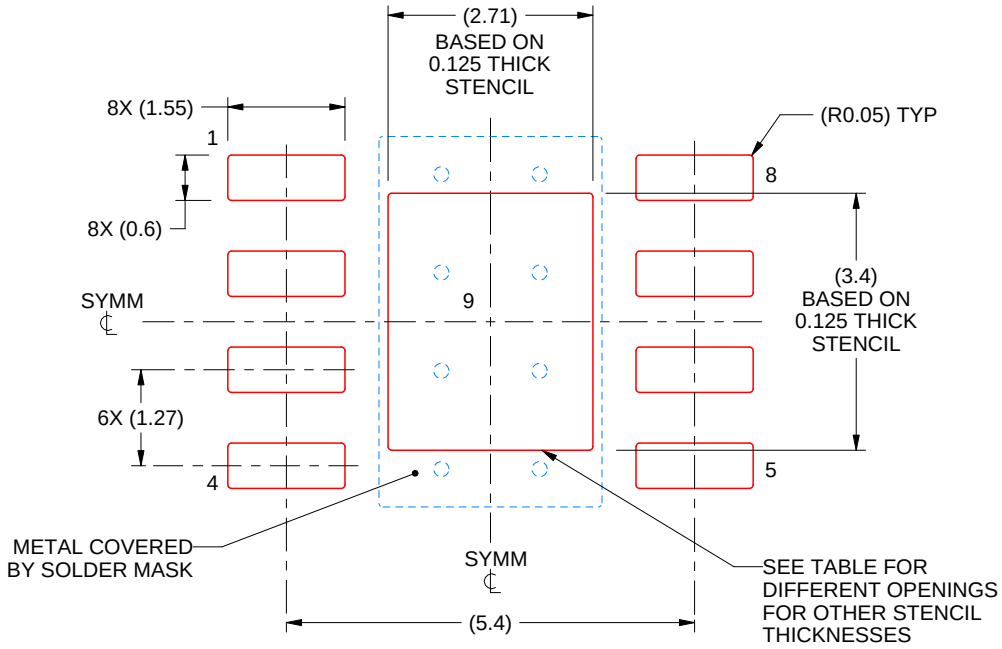
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



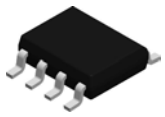
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

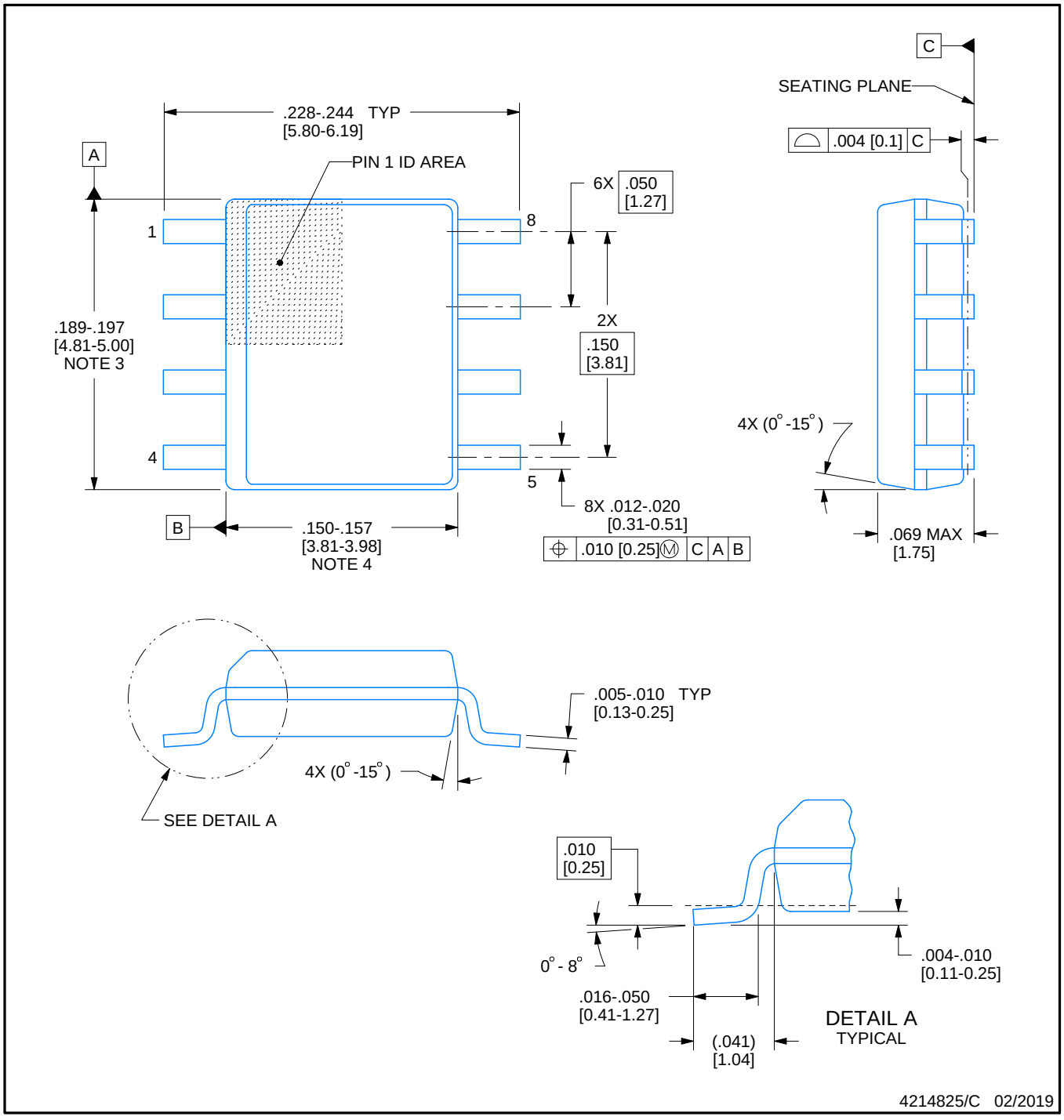


PACKAGE OUTLINE

D0008A

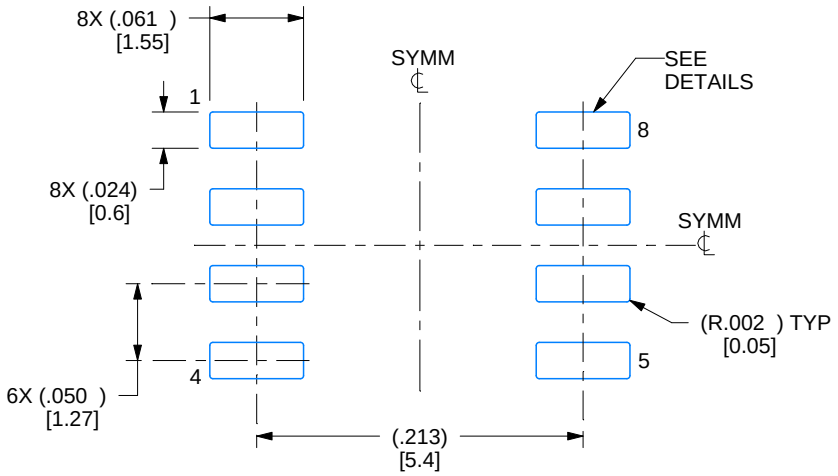
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

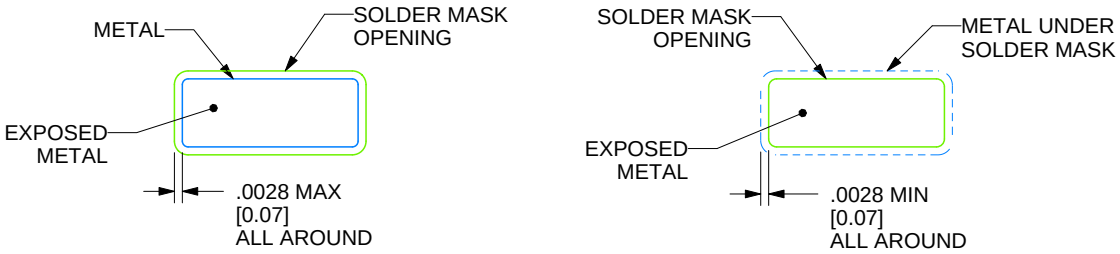


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

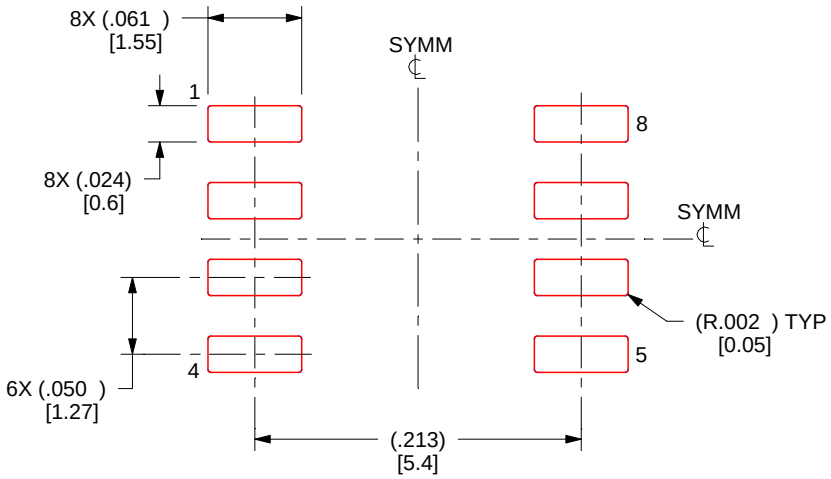
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月