

UCCx808A 低消費電力、電流モード プッシュプル PWM

1 特長

- プッシュプル構成内のデュアル出力ドライブ段
- ダイナミック応答を改善する電流センス放電トランジスタ
- 始動電流: 130 μ A (代表値)
- 1mA (標準動作電流)
- 1MHz に対する動作
- 内部ソフトスタート
- ゲイン帯域幅積が 2MHz のオンチップ エラー アンプ
- オンチップの VDD クランプ
- 出力駆動ステージのピーク ソース電流 500mA、ピークシンク電流 1A

2 アプリケーション

- 高効率のスイッチ モード電源
- テレコム DC/DC コンバータ
- ポイント オブ ロード 電源モジュール
- 低コストのプッシュプルおよびハーフ ブリッジ アプリケーション

3 説明

UCCx808A デバイスは、BiCMOS プッシュプル、高速、低消費電力のパルス幅変調器のファミリーです。UCCx808A には、オフラインまたは DC/DC の固定周波数電流モード スwitchング電源を最小限の外付け部品で構築するため必要な、すべての制御および駆動回路が内蔵されています。

UCCx808A デュアル出力駆動段は、プッシュプル構成で配置されています。両方の出力は、トグル フリップ フロップを使用して、発振器の半分の周波数でスイッチングされます。2 つの出力間のデッド タイムは、タイミング用のコンデンサおよび抵抗によって異なりますが、一般に 60ns ~ 200ns で、それぞれの出力ステージのデューティ サイクルは 50%未満に制限されます。

UCCx808A ファミリーには各種のパッケージ オプション、温度範囲オプション、低電圧誤動作防止レベルが用意されています。このファミリーには、オフラインおよびバッテリー駆動システム用の UVLO スレッシュホールドとヒステリシス オプションがあります。

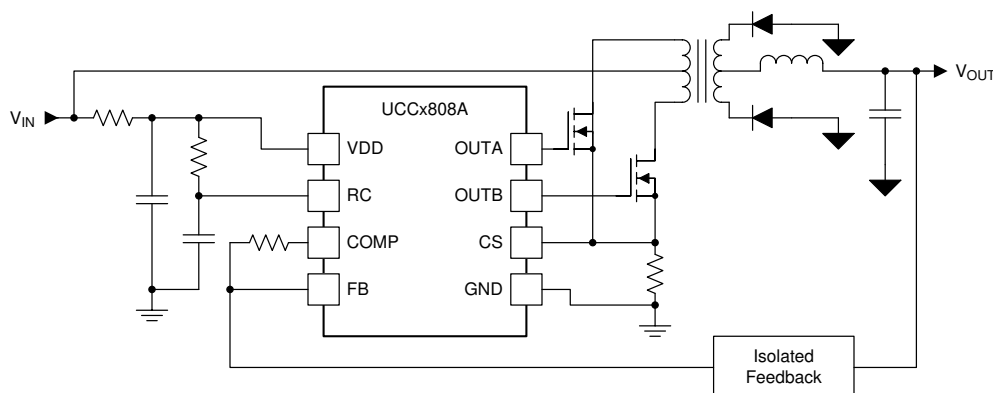
UCCx808A は UCC3808 ファミリーの拡張版です。主な相違点は、A バージョンには CS ピンからグラウンドへの内部放電トランジスタが搭載されており、発振器のデッド タイム中に各クロック サイクルでアクティブになることです。この機能により、各サイクル中に CS ピン上のフィルタ容量が放電されるため、フィルタ コンデンサの値と電流センス遅延を最小限に抑えることができます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
UCC2808A-1、 UCC2808A-2、 UCC3808A-2	D (SOIC, 8)	4.9mm × 6mm
	PW (TSSOP, 8)	3mm × 6.4mm
UCC3808A-1	D (SOIC, 8)	4.9mm × 6mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図



目次

1 特長	1	7 アプリケーションと実装	12
2 アプリケーション	1	7.1 アプリケーション情報.....	12
3 説明	1	7.2 代表的なアプリケーション.....	12
4 ピン構成および機能	3	7.3 電源に関する推奨事項.....	14
5 仕様	5	7.4 レイアウト.....	14
5.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート	15
5.2 ESD 定格.....	5	8.1 デバイス サポート.....	15
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート.....	15
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	15
5.5 電気的特性.....	6	8.4 サポート・リソース.....	15
5.6 代表的特性.....	7	8.5 商標.....	15
6 詳細説明	9	8.6 静電気放電に関する注意事項.....	15
6.1 概要.....	9	8.7 用語集.....	15
6.2 機能ブロック図.....	9	9 改訂履歴	15
6.3 機能説明.....	10	10 メカニカル、パッケージ、および注文情報	16
6.4 デバイスの機能モード.....	11		

4 ピン構成および機能

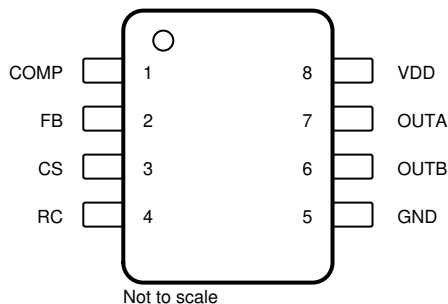


図 4-1. UCCx808A :
D パッケージ、8 ピン SOIC (上面図)

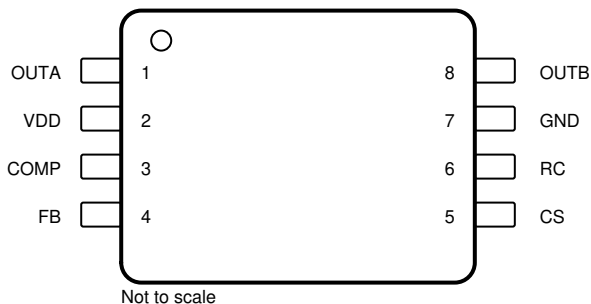


図 4-2. UCC2808A-x, UCC3808A-2 :
PW パッケージ、8 ピン TSSOP (上面図)

表 4-1. ピンの機能

名称	ピン		種類 ⁽¹⁾	説明
	番号			
	D (SOIC)	PW (TSSOP)		
COMP	1	3	O	COMP はエラー アンプの出力であり、PWM コンパレータの入力です。UCCx808A のエラー アンプは、真の低出力インピーダンスを持つ 2MHz のオペアンプです。このような理由で、COMP ピンは電流のソースとシンクの両方を行います。ただし、エラー アンプには内部的に電流制限がかけられているため、COMP ピンを外部から GND に強制的に接続することでゼロ デューティ サイクルを指示することができます。UCCx808A ファミリーは、内蔵のフルサイクル ソフト スタート機能を備えています。ソフト スタートは、最大 COMP 電圧に対するクランプとして実装されています。
CS	3	5	I	PWM への入力、ピーク電流、過電流コンパレータ。過電流コンパレータは、フォルト検出のみを目的としています。過電流スレッシュホールドを超えると、ソフトスタート サイクルが発生します。内部 MOSFET は、電流センス フィルタ コンデンサを放電して、パワー コンバータのダイナミック性能を向上させます。
FB	2	4	I	エラー アンプの反転入力です。最大の安定性を得るため、FB リードの長さはできるだけ短くし、FB の浮遊容量をできるだけ少なくします。
GND	5	7	G	すべての機能の基準グランドおよび電源グランド。大電流と UCC3808A は高周波数で動作するため、低インピーダンスの回路基板のグランド プレーンを強く推奨します。
OUTA	7	1	O	交流型の大電流出力段。どちらの段も、パワー MOSFET のゲートを駆動できます。各段は 500mA のピークソース電流と、1A のピークシンク電流に対応できます。出力段は、ブッシュアップ構成で、発振器の半分の周波数でスイッチングされます。RC ピンの電圧が上昇すると、2 つの出力のうちの 1 つが high になりますが、立ち下がり時間中は両方の出力がオフになります。2 つの出力の間のデッドタイムと、出力の立ち上がり時間が立ち下がり時間よりも遅いため、2 つの出力が同時動作することを防止しています。このデッドタイムは通常 60ns ～ 200ns で、タイミング コンデンサと抵抗の値に依存します。大電流出力ドライバは、VDD から GND に切り替わる MOSFET 出力デバイスで構成されています。各出力ステージは、オーバーシュートおよびアンダーシュートに対しても非常に低いインピーダンスを提供します。この構成により、多くの場合、外部ショットキー ダイオードによるクランプは不要となります。
OUTB	6	8	O	交流型の大電流出力段。どちらの段も、パワー MOSFET のゲートを駆動できます。各段は 500mA のピークソース電流と、1A のピークシンク電流に対応できます。出力段は、ブッシュアップ構成で、発振器の半分の周波数でスイッチングされます。RC ピンの電圧が上昇すると、2 つの出力のうちの 1 つが high になりますが、立ち下がり時間中は両方の出力がオフになります。2 つの出力の間のデッドタイムと、出力の立ち上がり時間が立ち下がり時間よりも遅いため、2 つの出力が同時動作することを防止しています。このデッドタイムは通常 60ns ～ 200ns で、タイミング コンデンサと抵抗の値に依存します。大電流出力ドライバは、VDD から GND に切り替わる MOSFET 出力デバイスで構成されています。各出力ステージは、オーバーシュートおよびアンダーシュートに対しても非常に低いインピーダンスを提供します。この構成により、多くの場合、外部ショットキー ダイオードによるクランプは不要となります。

表 4-1. ピンの機能 (続き)

ピン			種類 ⁽¹⁾	説明
名称	番号			
	D (SOIC)	PW (TSSOP)		
RC	4	6	O	発振器のプログラミング ピンです。UCC3808A の発振器は VDD と GND を内部で追跡し、電源レールの変動が周波数安定性に最小限の影響を及ぼすようにします。 セクション 6.2 に、発振器ブロック図を示します。発振器のプログラムに必要な部品は、抵抗 (VDD および RC に接続) とコンデンサ (RC および GND に接続) の 2 つのみです。発振器の周波数の近似値は、 式 1 の簡単な式で決定されます。 推奨されるタイミング抵抗の範囲は 10kΩ～200kΩ で、タイミング コンデンサの値の範囲は 100pF ～ 1000pF です。10kΩ より小さいタイミング抵抗を避けてください。最高の性能を得るには、タイミング コンデンサから GND へのリードをできるだけ短くし、タイミング抵抗から VDD へのリード線をできるだけ短くして、タイミング部品と RC 間のリード線をできるだけ短くします。外部タイミング ネットワークへのグラント配線と VDD 配線を分けることを推奨します。
VDD	8	2	P	このデバイスの電源入力接続です。静止 VDD 電流は非常に低いですが、OUTA および OUTB 電流とプログラムされた発振器周波数に応じて、総供給電流は高くなります。合計 VDD 電流は、静止 VDD 電流と平均 OUT 電流の合計です。動作周波数と MOSFET ゲート電荷 (Qg) が判明していれば、 式 2 で平均 OUT 電流が計算されます。 ノイズの問題を防ぐには、電解コンデンサとともに、チップにできるだけ近いセラミック コンデンサを使用して VDD を GND にバイパスします。1μF デカップリング コンデンサを推奨します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
	電源電圧 (IDD ≤ 10mA)		15	V
	電源電流		20	mA
	OUTA/OUTB ソース電流 (ピーク)		-0.5	A
	OUTA/OUTB シンク電流 (ピーク)		1	A
	アナログ入力 (FB, CS)	-0.3	VDD + 0.3 (6 以下)	V
TA < 25°C での消費電力	P パッケージ		1	W
	D パッケージ		650	mW
	PW パッケージ		400	
TJ	接合部温度	-55	150	°C
Tstg	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 指定された端子への電流は正で、指定された端子からの出力は負です。パッケージの熱的制限と検討事項については、『電源制御製品データブック』の「パッケージ」のセクションを参照してください。

5.2 ESD 定格

			値	単位
VESD	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
VDD	電源電圧	UCCx808-1	13	14	V
		UCCx808-2	5	14	
TJ	接合部温度	UCC2808-x	-40	85	°C
		UCC3808-x	0	70	

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		D (SOIC)	PW (TSSOP)	単位
		8 ピン	8 ピン	
RθJA	接合部から周囲への熱抵抗	118.7	157.7	°C/W
RθJC(top)	接合部からケース (上面) への熱抵抗	66	67.8	°C/W
RθJB	接合部から基板への熱抵抗	63.5	97.4	°C/W
ΨJT	接合部から上面への特性パラメータ	14.7	9.1	°C/W
ΨJB	接合部から基板への特性パラメータ	62.5	95.9	°C/W
RθJC(bot)	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ (UCC3808A-x)、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ (UCC2808A-x)、 $V_{DD} = 10\text{V}^{(1)}$ 、 V_{DD} から GND への $1\mu\text{F}$ コンデンサ、 $R = 22\text{k}\Omega$ 、 $C = 330\text{pF}$ 、 $T_A = T_J$ (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
発振器						
	オシレータの周波数		175	194	213	kHz
	発振器の振幅/VDD ⁽²⁾		0.44	0.5	0.56	V/V
エラー アンプ						
	入力電圧	COMP = 2V	1.95	2	2.05	V
	入力バイアス電流		-1		1	μA
	開ループ電圧ゲイン		60	80		dB
	COMP シンク電流	FB = 2.2V、COMP = 1V	0.3	2.5		mA
	COMP ソース電流	FB = 1.3V、COMP = 3.5V	-0.2	-0.5		mA
PWM						
	最大デューティ サイクル	OUTA または OUTB で測定	48%	49%	50%	
	最小デューティ サイクル	COMP = 0V			0%	
電流検出						
	ゲイン ⁽³⁾		1.9	2.2	2.5	V/V
	最大入力信号	COMP = 5V ⁽⁴⁾	0.45	0.5	0.55	V
	CS から出力までの遅延	COMP = 3.5V、 CS は 0mV ～ 600mV		100	200	ns
	CS ソース電流		-200			nA
	CS シンク電流	CS = 0.5V、RC = 5.5V ⁽⁵⁾	5	10		mA
	過電流スレッシュホールド		0.7	0.75	0.8	V
	COMP から CS へのオフセット	CS = 0V	0.35	0.8	1.2	V
出力						
	OUT 低レベル	I = 100mA		0.5	1	V
	OUT の high レベル	I = -50mA、VDD – OUT		0.5	1	V
	立ち上がり時間	C _L = 1nF		25	60	ns
	立ち下がり時間	C _L = 1nF		25	60	ns
低電圧誤動作防止						
	開始スレッシュホールド	UCCx808A-1 ⁽¹⁾	11.5	12.5	13.5	V
		UCCx808A-2	4.1	4.3	4.5	
	始動後の最小動作電圧	UCCx808A-1	7.6	8.3	9	V
		UCCx808A-2	3.9	4.1	4.3	
	ヒステリシス	UCCx808A-1	3.5	4.2	5.1	V
		UCCx808A-2	0.1	0.2	0.3	
ソフトスタート						
	COMP の立ち上がり時間	FB = 1.8V、0.5V から 4V までの上昇		3.5	20	ms
全般的な						
	スタートアップ電流	VDD < 開始スレッシュホールド		130	260	μA
	動作電源電流	FB = 0V、CS = 0V ⁽¹⁾ ⁽⁶⁾		1	2	mA
	VDD ツェナー シャント電圧	IDD = 10mA ⁽⁷⁾	13	14	15	V

(1) UCCx808A-1 の場合、VDD を起動スレッシュホールドより高く設定してから、10V に設定します。

(2) RC で測定。信号振幅は VDD に追従します。

(3) ゲインは $A = \Delta V_{\text{COMP}} / \Delta V_{\text{CS}}$ 、 $0\text{V} \leq V_{\text{CS}} \leq 0.4\text{V}$ 。

(4) FB を 0V にして、ラッチのトリップ ポイントで測定されたパラメータ。

(5) CS ピンの内部電流シンクは、外付けフィルタコンデンサを放電するように設計されており、DC シンク パスとしては意図されていません。

(6) 外部発振器ネットワークに電流は含まれません。

(7) 開始スレッシュホールドとツェナー シャント スレッシュホールドは互いに追従します。

5.6 代表的特性

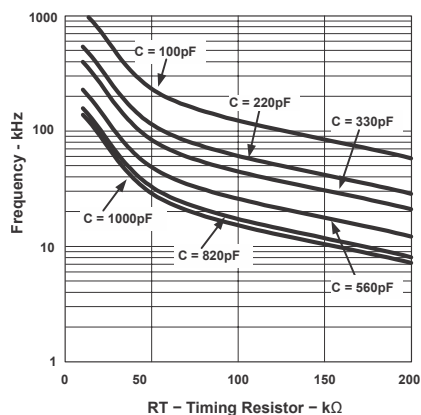


図 5-1. 発振器周波数と外部 RC 値との関係

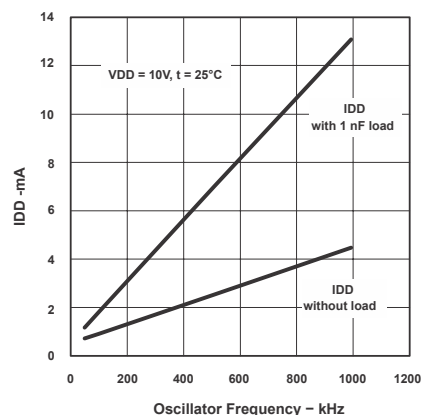


図 5-2. IDD と発振器周波数との関係

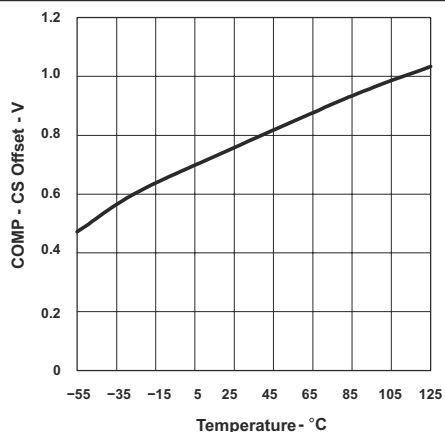


図 5-3. COMP と CS のオフセットと温度の関係

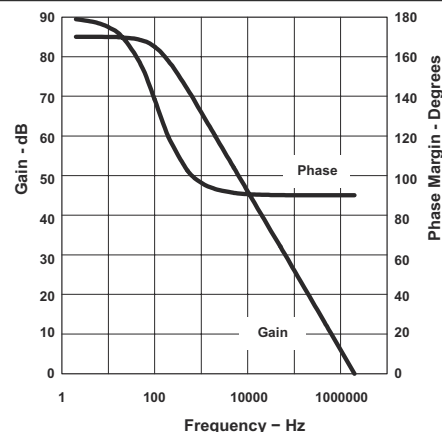


図 5-4. エラー アンプのゲインおよび位相応答と周波数との関係

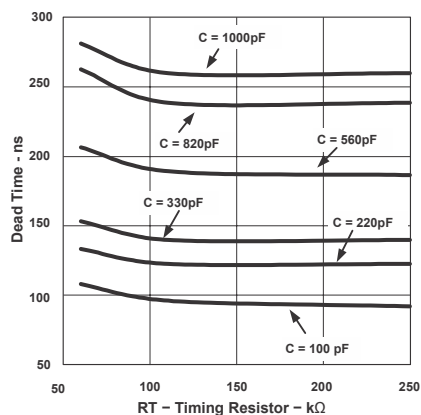


図 5-5. 出力デッド タイムと外部 RC 値との関係

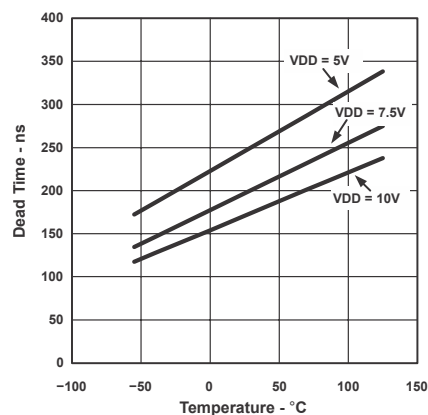


図 5-6. デッドタイムと温度との関係

5.6 代表的特性 (続き)

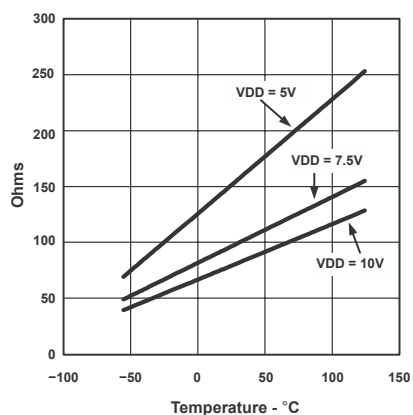


図 5-7. RC $R_{DS(on)}$ と温度との関係

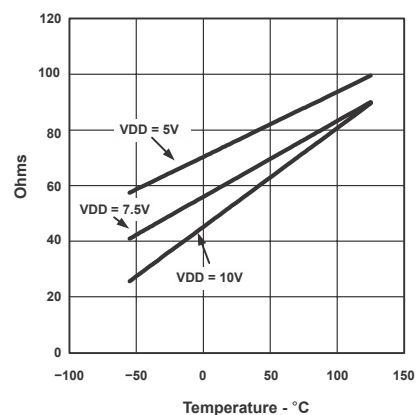


図 5-8. CS $R_{DS(on)}$ と温度との関係

6 詳細説明

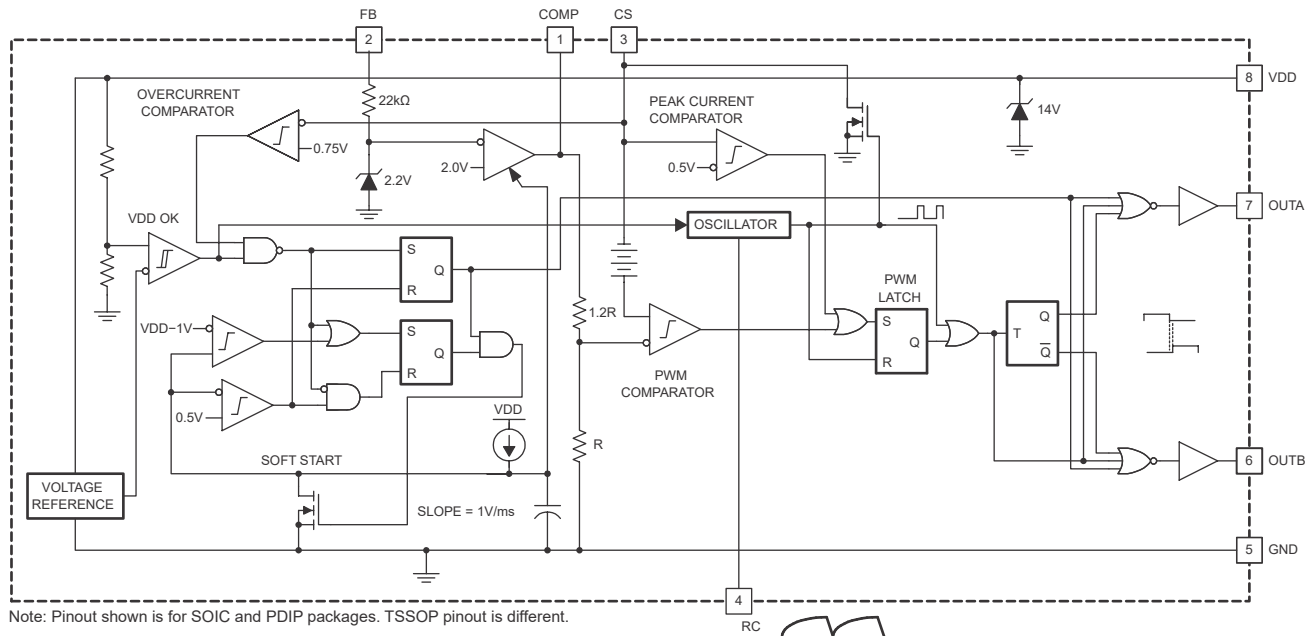
6.1 概要

UCCx808A-x デバイスは、高集積、低消費電力の電流モードのプッシュプル PWM コントローラです。このコントローラは、小さいスタート電流と、内部の制御アルゴリズムを採用し、ラインおよび負荷の変動が存在しても正確な出力電圧安定化を実現します。この UCCx808A-x ファミリの部品には、オフラインおよびバッテリー駆動システム用の UVLO スレッシュホールドとヒステリシス オプションがあります。

表 6-1. 低電圧誤動作防止レベル

部品番号	ターンオン スレッシュホールド	ターンオフ スレッシュホールド
UCCx808A-1	12.5	8.3
UCCx808A-2	4.3	4.1

6.2 機能ブロック図



注: 発振器は、RC 上にのこぎり波を生成します。RC 立ち上がり時間の間、出力段はオン時間を交代しますが、RC 立ち下がり時間の間は両方の段がオフになります。出力段は、両方の出力について 50% 未満の指定デューティ サイクルで発振器の周波数を 1/2 にスイッチングします。

図 6-1. ブロック図

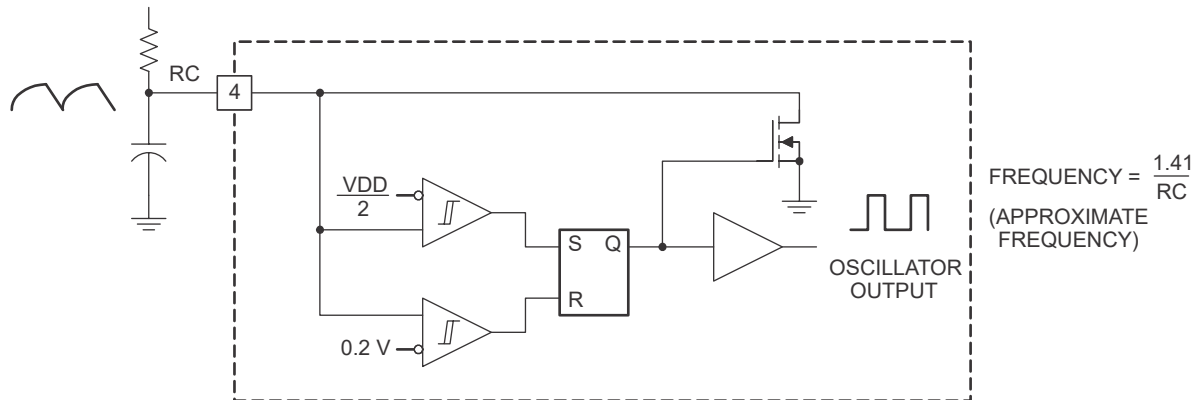


図 6-2. 発振器のブロック図

6.3 機能説明

6.3.1 ピン説明

6.3.1.1 COMP

COMP ピンはエラー アンプの出力であり、PWM コンパレータの入力です。UCC3808 のエラー アンプは、真の低出力インピーダンスを持つ 2MHz のオペアンプです。このような理由で、COMP ピンは電流のソースとシンクの両方を行います。ただし、エラー アンプは内部で電流制限されているため、COMP を GND にプルすることによってゼロ デューティ サイクルが外部から強制されます。

UCC3808 ファミリーは、内蔵のフルサイクル ソフト スタート機能を備えています。ソフト スタートは、最大 COMP 電圧に対するクランプとして実装されています。

6.3.1.2 CS

PWM への入力、ピーク電流、過電流コンパレータ。過電流コンパレータは、フォルト検出のみを目的としています。過電流スレッシュホールドを超えると、ソフトスタート サイクルが発生します。

6.3.1.3 FB

エラー アンプの反転入力です。最大の安定性を得るため、FB リードの長さはできるだけ短くし、FB の浮遊容量をできるだけ少なくします。

6.3.1.4 GND

すべての機能の基準グラウンドおよび電源グラウンド。大電流と高周波動作により、UCC3808 は低インピーダンスのプリント基板のグラウンド プレーンを強く推奨します。

6.3.1.5 OUTA と OUTB

交流型の大電流出力段。どちらの段も、パワー MOSFET のゲートを駆動できます。各段は 500mA のピークソース電流と、1A のピークシンク電流に対応できます。

出力段は、プッシュプル構成で、発振器の半分の周波数でスイッチングされます。RC ピンの電圧が上昇すると、2 つの出力のうちの 1 つが high になりますが、立ち下がり時間中は両方の出力がオフになります。2 つの出力の間のデッド タイムと、立ち下がり時間よりも出力の立ち上がり時間が遅くなるため、2 つの出力が同時にオンにならないことが保証されます。このデッド タイムは通常 60ns ~ 200ns で、タイミング コンデンサと抵抗の値に依存します。

大電流出力ドライバは、VDD から GND に切り替える MOSFET 出力デバイスで構成されています。各出力ステージは、オーバーシュートおよびアンダーシュートに対しても非常に低いインピーダンスを提供します。この規定により、多くの場合、外部ショットキー ダイオードによるクランプは不要となります。

6.3.1.6 RC

発振器のプログラミング ピンです。UCC3808-x の発振器は VDD と GND を内部で追跡するため、電源レールの変動が周波数の安定性に最小限の影響を及ぼすようにします。図 6-2 に、発振器ブロック図を示します。

発振器のプログラムに必要な部品は、抵抗 (VDD および RC に接続) とコンデンサ (RC および GND に接続) の 2 つのみです。式 1 は、振器のおおよその周波数を決定します。

$$f_{\text{OSCILLATOR}} = \frac{1.41}{RC} \quad (1)$$

ここで、

- 周波数は Hz 単位
- 抵抗はオーム (Ω) 単位
- 容量はファラド (Farads) 単位

推奨されるタイミング抵抗の範囲は 10k Ω ~ 200k Ω で、タイミング コンデンサは 100pF ~ 1000pF です。10k Ω より小さいタイミング抵抗を避けてください。

最高の性能を得るには、タイミング コンデンサから GND へのリードをできるだけ短くし、タイミング抵抗から VDD へのリード線をできるだけ短くして、タイミング部品と RC 間のリード線をできるだけ短くします。外部タイミング ネットワークへのグラウンド配線と VDD 配線を分けることを推奨します。

6.3.1.7 VDD

このデバイスの電源入力接続です。静止 VDD 電流は非常に低いですが、OUTA および OUTB 電流とプログラムされた発振器周波数に応じて、総供給電流は高くなります。合計 VDD 電流は、静止 VDD 電流と平均 OUT 電流の合計です。動作周波数と MOSFET ゲート電荷 (Qg) が判明していれば、式 2 により平均 OUT 電流を計算できます。

$$I_{\text{OUT}} = Q_g \times f \quad (2)$$

ここで、

- f は周波数です

ノイズの問題を防ぐには、電解コンデンサとともに、チップにできるだけ近いセラミック コンデンサを使用して VDD を GND にバイパスします。TI は、1 μ F デカップリング コンデンサをお勧めします。

6.4 デバイスの機能モード

6.4.1 VCC

VCC が 12.5V (UCCx808A-1 の場合) または 4.3V を上回る (UCCx808-2 の場合) と、デバイスはイネーブルになります。いずれかのフォルト条件が解消されると、ソフトスタート条件が開始され、ゲートドライバ出力はスイッチングを開始します。

VCC が 8.3V (UCCx808-1 の場合) または 4.1V (UCCx808-2 の場合) を下回ると、デバイスは UVLO 保護モードに入り、両方のゲートドライバがアクティブに low にプルされます。

6.4.2 プッシュプルまたはハーフブリッジ機能という 2 つの特長があります

UCCx808A には 180° 位相差のあるゲート駆動信号 (OUTA および OUTB) が交互に提供されるため、これらのデバイスはプッシュプルまたはハーフブリッジ トポロジのコントローラとして最適です。ハーフブリッジ トポロジの場合、UCCx808A-x は、OUTA 信号と OUTB 信号の一方または両方に外部ハイサイド ゲートドライバまたはパルストランスを必要とします。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

図 7-1 に、全波整流器を搭載した 200kHz プッシュプル アプリケーション回路を示します。出力 V_O は、5V で 最大 50W を供給し、入力から電氣的に絶縁されています。UCC3808A はピーク電流モード コントローラであるため、後続の 2N2907 エミッタ (CT 波形をバッファ) は、50% を超えるデューティ比に必要なスロープ補償を提供します。単一グラウンドの IC コントローラではコンデンサのデカップリングが非常に重要であるため、デバイスのできるだけ近くに 1 μ F コンデンサを配置します。コントローラ電源は、スタートアップ用の直列 RC であり、定常状態動作で使用する出力インダクタにバイアス巻線と並列に接続します。

調整可能な高精度シャントレギュレータ TL431 を使用して 2 次側のレギュレーションを実行するフォトカプラにより絶縁が実現されます。2 次側のこのデバイスを使用して、厳密な電圧レギュレーションによる小信号補償を実現しています。コスト、体積、機械的強度に応じて、出力インダクタには多くの選択肢があります。いくつかの設計オプションは、鉄粉、モリパーマロイ (MPP)、またはエアギャップのあるフェライト コアです。図 7-1 も参照してください。主電源変圧器には、マグネティクス社製の ER28 サイズ コアがあり、この周波数と温度で効率的に動作します。入力電圧範囲は 36 VDC ~ 72 VDC です。

7.2 代表的なアプリケーション

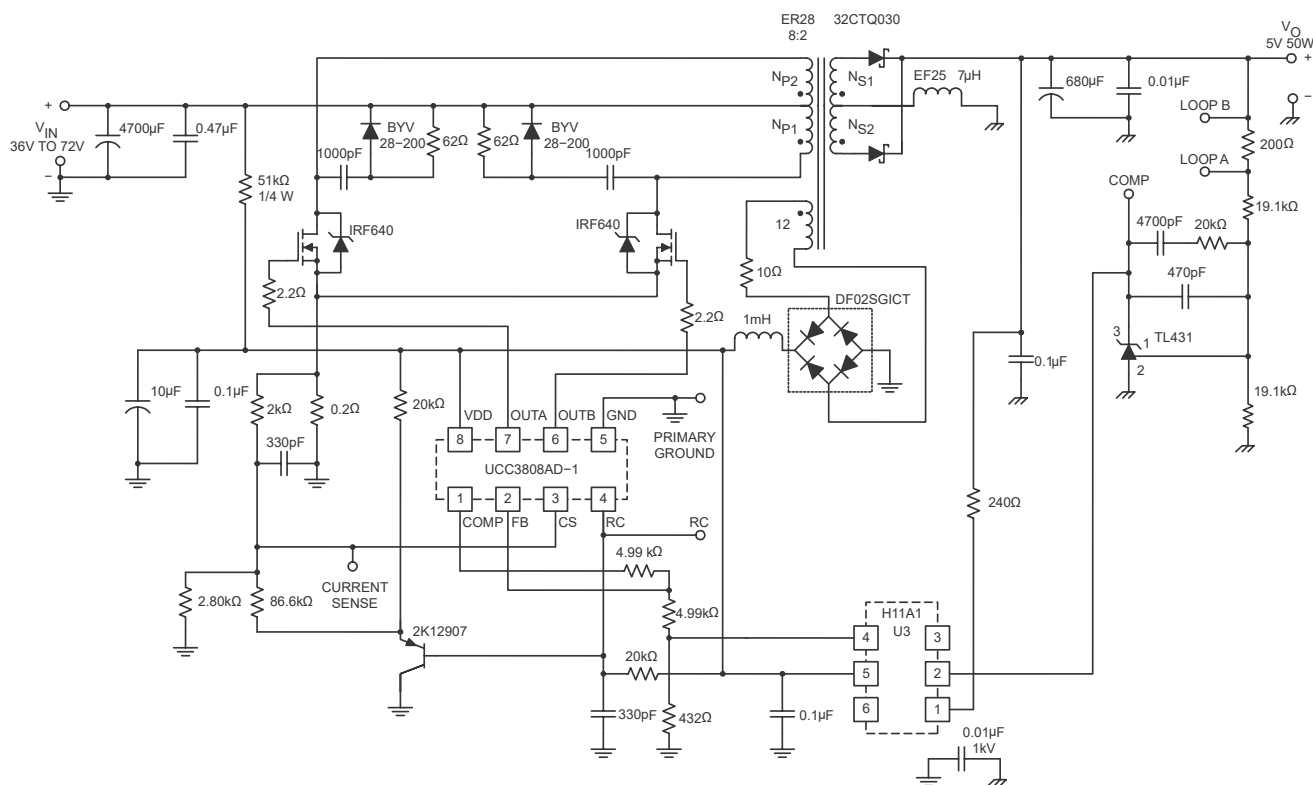


図 7-1. 代表的なアプリケーションの図 : 48VIN、5V、50W 出力

7.2.1 設計要件

表 7-1 に、UCC3808A-x の設計パラメータの一覧を示します。

表 7-1. 設計パラメータ

パラメータ	値
出力電圧	5V
定格出力電力	50W
入力 DC 電圧範囲	36V ~ 72V
スイッチング周波数	210kHz

7.2.2 詳細な設計手順

出力 V_O は、5V で最大 50W を供給し、入力から電氣的に絶縁されています。UCC3808A はピーク電流モード コントローラであるため、2N2907 エミッタ フォロワ アンプが発振器波形 (RC ピン) をバッファリングし、電流検出 (CS) 入力に対して勾配補償を行います。この補償は、デューティ サイクル比が 50% を超える場合に必要です。

VDD ピンにコンデンサ デカップリングを実装しています。TI では、10 μ F 電解および 0.1 μ F セラミックの最小デカップリング容量を使用することを推奨します。セラミック コンデンサは、VDD ピンにできる限り近づけて配置してください。UCC3808A には、最初は 36V から 72V への入力電源から電源が投入されます。電源が起動した後、メイン電源トランスの補助巻線によってバイアス電源が供給されます。

TL431 高精度プログラマブル リファレンスを使用して 2 次側でレギュレーションを行うフォトカプラにより絶縁が実現します。UCC3808A の内部エラー アンプはユニティ ゲイン アンプとして設定され、補償回路は 2 次側に備えています。

コストとサイズの制約に応じて、出力インダクタには多くの選択肢があります。この設計で使用する設計オプションは、鉄粉、モリパーマロイ、またはフェライト コア オプションです。パワートランスは、Magnetics Inc. の P 素材を使用した低プロファイルのデザインであり、EFD25 サイズです。この材料は、高いスイッチング周波数で電力損失を低減するための良い選択肢です。

スイッチング周波数は、RC ピンの RC ネットワークを使用して 210kHz に設定されます。

7.2.3 アプリケーション曲線

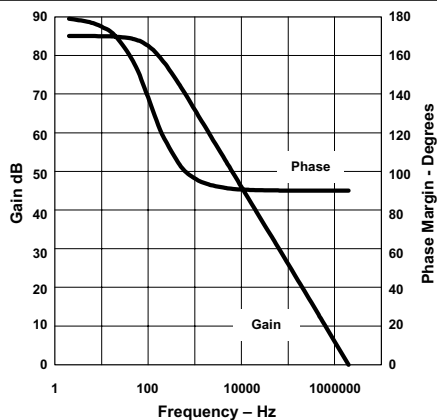


図 7-2. エラー アンプのゲインおよび位相応答と周波数との関係

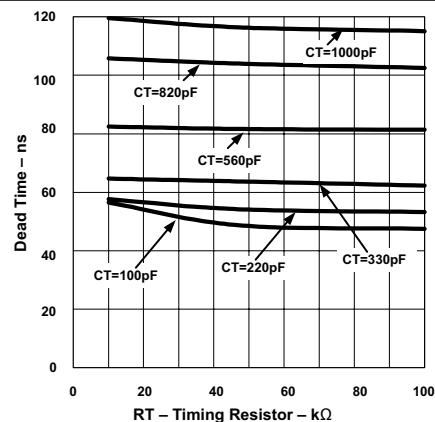


図 7-3. デッド タイムとタイミング レジスタとの関係

7.3 電源に関する推奨事項

これらのデバイスの VDD 電源ピンでは、UCCx808A-x コントローラの 1A 駆動能力により、電解コンデンサをエネルギー蓄積コンデンサとして配置する必要があります。低 ESR のノイズ デカップリング コンデンサも必要です。このコンデンサは、VDD および GND ピンのできるだけ近くに配置します。温度に対して安定した誘電特性を持つセラミック コンデンサを推奨します。X7R は、ここで使用するのに適した誘電体材料です。TI は、10 μ F、25V 電解コンデンサをお勧めします。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

1. VDD コンデンサは、VDD ピンと UCCx808A-x の GND との間に、両方のピンに直接トラックするように、できるだけ近くに配置します。
2. CS ピンには、小型の外付けフィルタ コンデンサを推奨します。CS から GND ピンにできるだけ直接フィルタ コンデンサを追跡します。
3. ノイズを拾って干渉を最小限に抑えるには、FB ピンと接続部品のトラックとレイアウトが重要です。FB ネット上のトレースの総表面積を最小限に抑えます。
4. OUTA および OUTB ピンは、大電流のソースおよびシンク能力を備えています。発振を減衰させるため、外部ゲート抵抗を使用することを推奨します。数 Ω 程度の値を推奨します。ゲート駆動パスに開路障害が発生した場合に MOSFET ゲートがフローティングになるのを防止するため、ゲートとソース間にプルダウン抵抗を接続することを推奨します。

7.4.2 レイアウト例

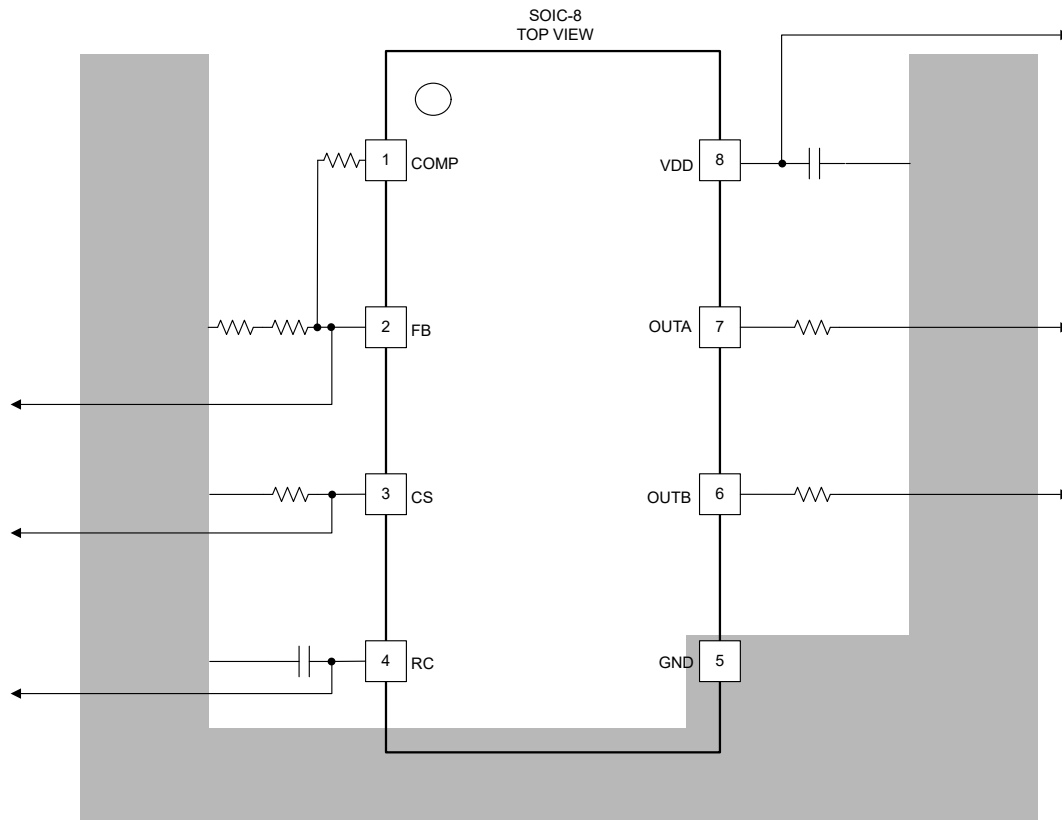


図 7-4. 推奨レイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。 [電源制御製品データブック](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (July 2018) to Revision G (July 2025)	Page
• PDIP 関連情報を削除.....	1
• ESD 定格を新しい制限値に更新.....	5
• 熱に関する情報を更新.....	5

Changes from Revision E (December 2016) to Revision F (July 2018)	Page
• 「概略アプリケーション」を変更.....	1

- N パッケージの参照を P パッケージ (PDIP) に変更.....5

Changes from Revision D (August 2002) to Revision E (October 2016)

Page

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。..... 1
- リード温度を削除、半田付け (10 秒): 最大 300°C..... 5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC2808AD-1	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	2808A-1
UCC2808AD-2	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	2808A-2
UCC2808ADTR-1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-1
UCC2808ADTR-1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-1
UCC2808ADTR-1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-1
UCC2808ADTR-2	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-2
UCC2808ADTR-2.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-2
UCC2808ADTR-2G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2808A-2
UCC2808APW-1	Obsolete	Production	TSSOP (PW) 8	-	-	Call TI	Call TI	-40 to 85	2808A1
UCC2808APWTR-2	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 85	2808A2
UCC2808APWTR-2.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	2808A2
UCC3808AD-1	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	3808A-1
UCC3808AD-2	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	3808A-2
UCC3808ADTR-1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3808A-1
UCC3808ADTR-1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3808A-1
UCC3808ADTR-1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3808A-1
UCC3808ADTR-2	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3808A-2
UCC3808ADTR-2.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3808A-2
UCC3808APW-2	Obsolete	Production	TSSOP (PW) 8	-	-	Call TI	Call TI	0 to 70	3808A2
UCC3808APWTR-2	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	0 to 70	3808A2
UCC3808APWTR-2.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 70	3808A2
UCC3808APWTR-2G4	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 70	3808A2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

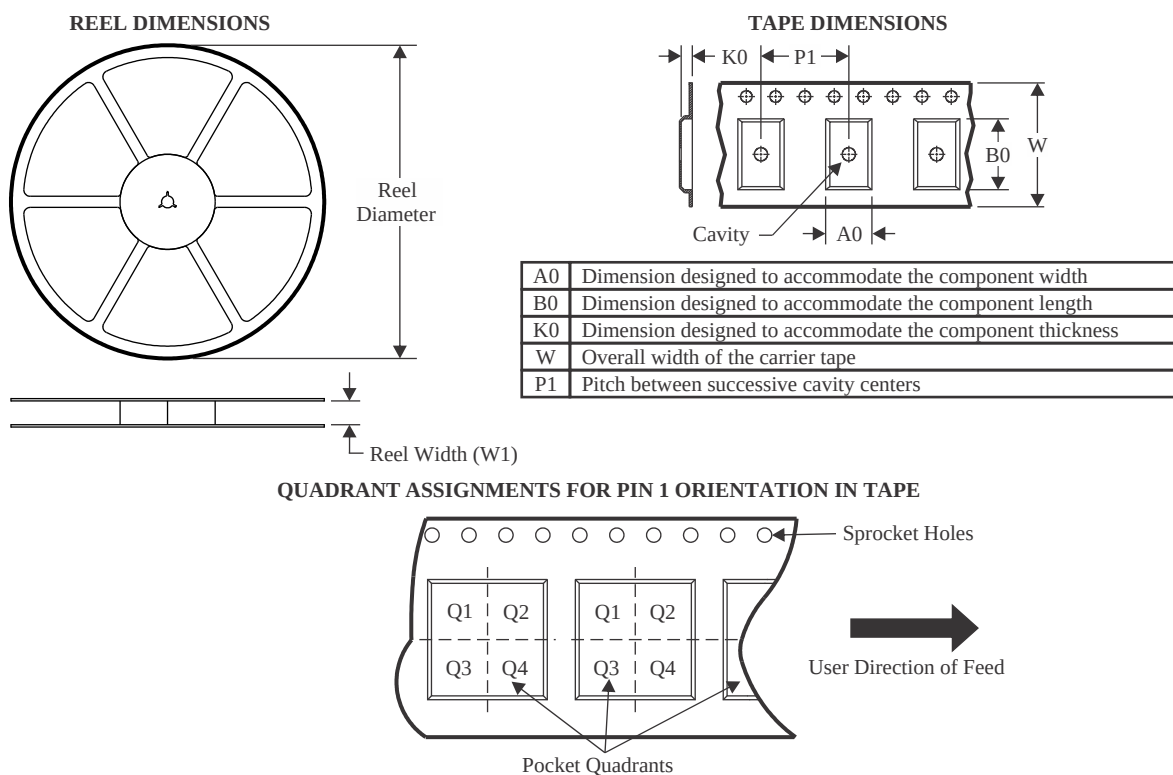
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

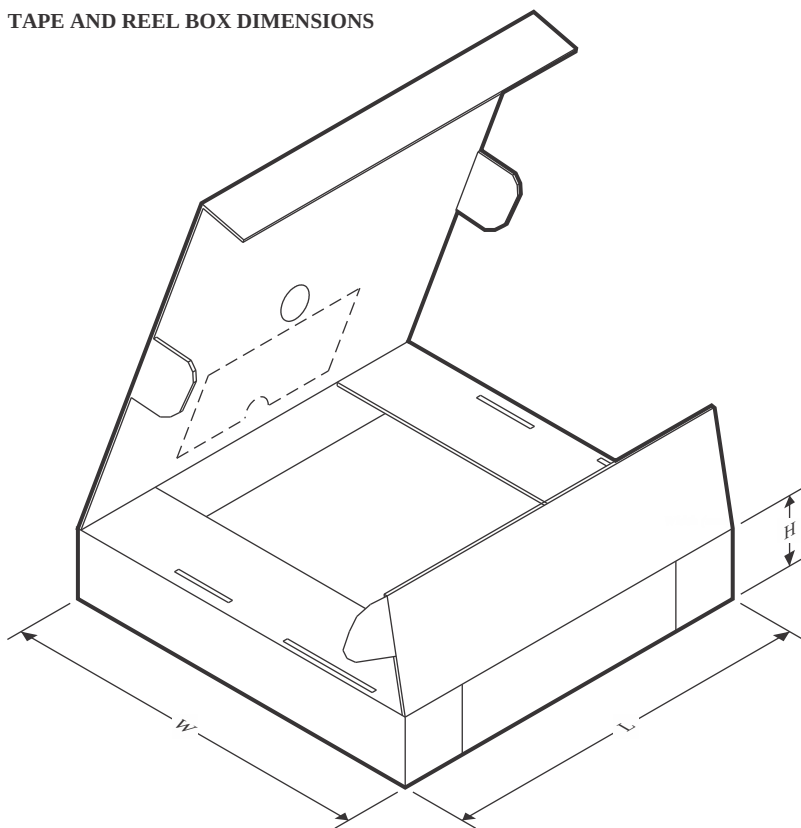
TAPE AND REEL INFORMATION



*All dimensions are nominal

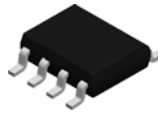
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC2808ADTR-1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC2808ADTR-2	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC2808APWTR-2	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
UCC3808ADTR-1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC3808ADTR-2	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC3808APWTR-2	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC2808ADTR-1	SOIC	D	8	2500	353.0	353.0	32.0
UCC2808ADTR-2	SOIC	D	8	2500	340.5	338.1	20.6
UCC2808APWTR-2	TSSOP	PW	8	2000	353.0	353.0	32.0
UCC3808ADTR-1	SOIC	D	8	2500	353.0	353.0	32.0
UCC3808ADTR-2	SOIC	D	8	2500	340.5	338.1	20.6
UCC3808APWTR-2	TSSOP	PW	8	2000	353.0	353.0	32.0

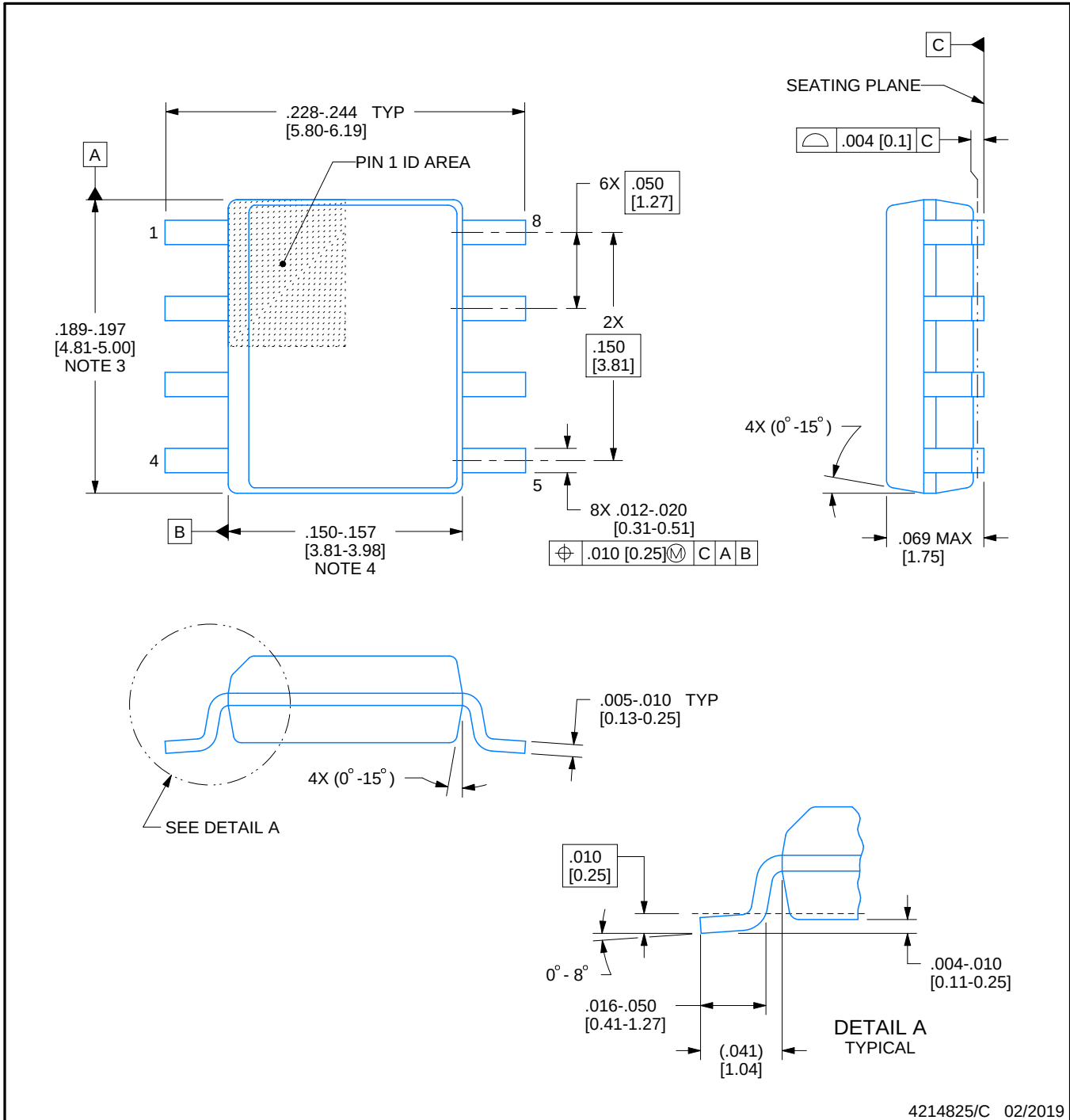


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

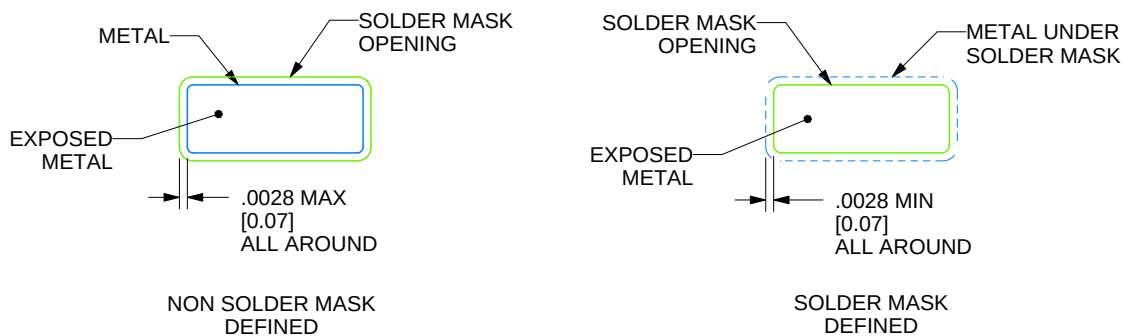
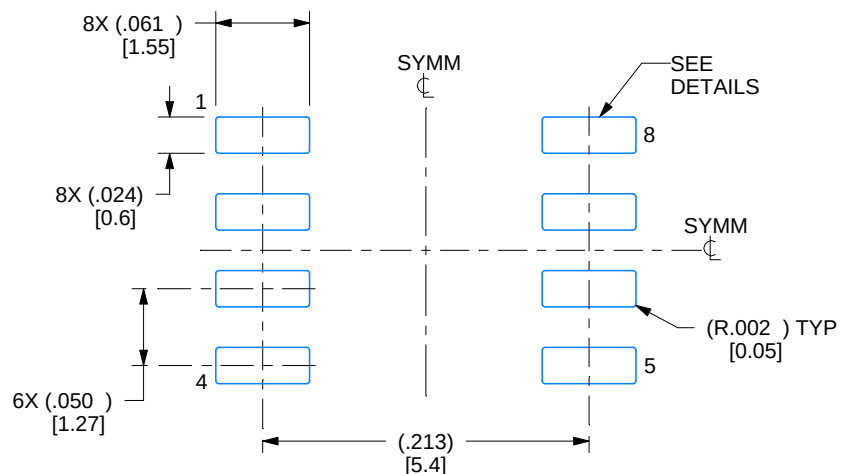
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

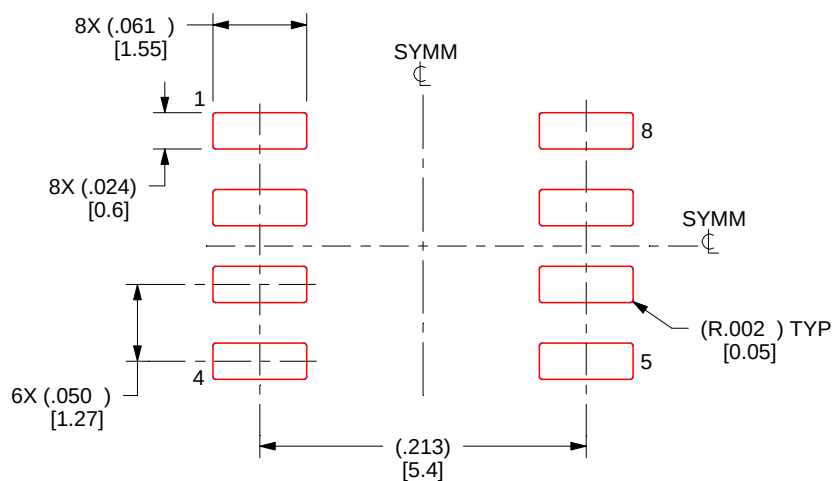
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

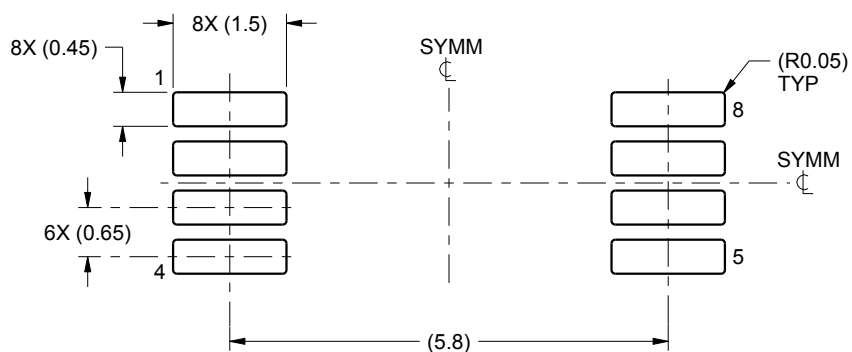
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

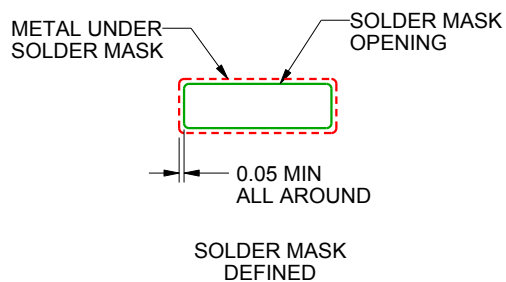
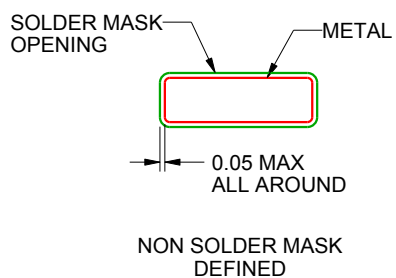
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

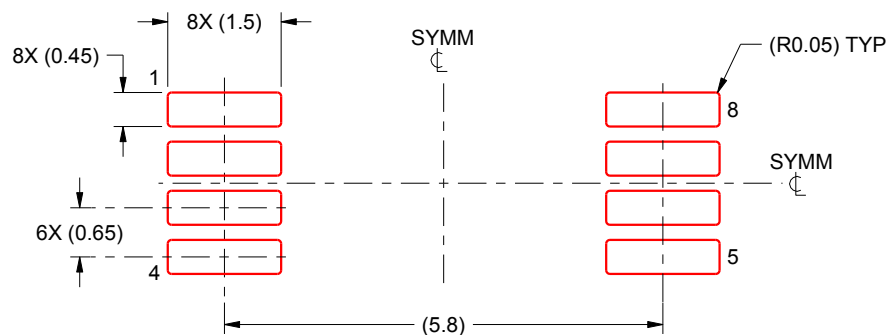
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月