UCC34141-Q1 車載 1.5W、12V V_{IN}、25V V_{OUT}、高電力密度、> 5kV$_{RMS}$、絶縁型 DC/DC モジュール

1 特長

- 統合型の絶縁型平面トランス
- 広い入力電圧範囲: 5.5V ～ 28V (22V OVLO 使用)
  - 11V ≤ V_{VIN} ≤ 13V、18V ≤ $V_{VDD-COM}$ ≤ 20V で ≥ 1.5W の標準出力、T_A ≤ 85°C で
- 出力電圧をプログラム可能 (VDD–COM)
  - 15V ～ 20V、≤±1.5% の合計レギュレーション精度
- 出力電圧をプログラム可能 (VEE–COM)
  - -2V ～ -8V、≤±5% の合計レギュレーション精度
- 適応型スペクトラム拡散変調 (SSM)
- 強力な磁場および放射磁場耐性
- 突入電流 ソフトスタートを減少
- ロジック イネーブルおよびプログラミング入力 UVLO 用の ENA ピン
- オープン ドレイン パワーグッドによる故障表示
- 保護機能を内蔵:UVLO、OVLO、短絡、OVP、UVP、サーマル シャットダウン。
- 絶縁静電容量:3pF 未満
- 沿面距離および空間距離:8.2mm 超
- 静的と動的の CMTI > ±250kV/µs
- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:-40°C ≦ T_A ≦ 125°C
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- ハイブリッド / 電気自動車およびパワートレイン システム
  - HEV/EV のインバータおよびモーター制御
  - HEV/EV の OBC (オンボード チャージャ) と DC/DC コンバータ
- データ センター
  - ラックの電源と熱管理
- エネルギー インフラ
  - DC 高速充電パワー モジュール
  - DC 高速充電ステーション
  - ストリング インバータ
- パワー デリバリー
  - 産業用 AC-DC

3 説明

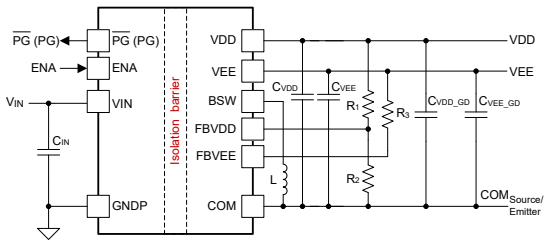
UCC34141-Q1 は、SiC と IGBT の各絶縁型ゲートドライバに電力を供給するために設計された、車載対応の強化絶縁、高動作電圧 DC/DC 電源モジュールです。TI 独自の内蔵トランスと高度な制御アーキテクチャにより、高い電力密度、低ノイズ、システムの部品表コスト削減を実現できます。このデバイスは、周囲温度が 85°C のとき、標準値 1.5W の出力電力を供給できます。抵抗デバイダにより容易に設定できる高精度のデュアル出力電圧により、SiC/IGBT の低オン抵抗で高速かつ信頼性の高いスイッチングを実現します。低レイテンシのフィードバック制御により、出力容量を低減して高速負荷過渡を実現し、動的な電圧プログラミングをサポートできます。広い入力電圧範囲と調整可能な V_{IN} UVLO は、電気自動車 (EV) の広いバッテリ電圧とレギュレーション済み入力レールの両方をサポートします。本デバイスは 5.5V ～ 20V の V_{IN} で動作し、最大 28V の V_{IN} 過電圧過渡に耐えられます。

内蔵の保護機能、異常検出出力付パワー グッド ピン、イネーブル機能により、システムの堅牢性が向上し、外付け部品を削減できます。沿面距離と空間距離が 8.2mm の SOIC パッケージにより、高い絶縁能力を実現しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UCC34141 DQDHARQ1	DHA (SSOP、16)	5.85mm × 7.50mm
UCC34141QDHARQ 1	DHA (SSOP、16)	5.85mm × 7.50mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 デバイスの比較 3
5 ピン構成および機能 4
6 仕様 6
6.1 絶対最大定格 6
6.2 ESD 定格 6
6.3 推奨動作条件 6
6.4 熱に関する情報 7
6.5 絶縁仕様 7
6.6 電気的特性 8
6.7 安全限界値 11
6.8 代表的特性 12
7 詳細説明 14
7.1 概要 14
7.2 機能ブロック図 15
7.3 機能説明 15
7.4 デバイスの機能モード 23
8 アプリケーションと実装 25
8.1 使用上の注意 25
8.2 代表的なアプリケーション 25
8.3 システム例 28
8.4 電源に関する推奨事項 29
8.5 レイアウト 29
9 デバイスおよびドキュメントのサポート 34
9.1 サード・パーティ製品に関する免責事項 34
9.2 ドキュメントのサポート 34
9.3 ドキュメントの更新通知を受け取る方法 34
9.4 サポート・リソース 34
9.5 商標 34
9.6 静電気放電に関する注意事項 34
9.7 用語集 34
10 改訂履歴 34
11 メカニカル、パッケージ、および注文情報 35

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイス比較表

型番	V_{VIN} 範囲	出力 (VDD - COM) 調整可能範囲	出力 (VEE - COM) 調整可能範囲	代表的な電力	パワーグッドのアクティブ極性	故障応答
UCC34141Q1	8V ～ 20V	18V ～ 20V	-2V ～ -8V	1.5W	Low	ラッチオフ
		15V ～ 18V	-2V ～ -8V	≥1W		
	5.5V ～ 8V	15V ～ 20V	-2V ～ -8V	≥0.3W		
UCC34141D-Q1	8V ～ 20V	18V ～ 20V	-2V ～ -8V	1.5W	High	自動再起動
		15V ～ 18V	-2V ～ -8V	≥1W		
	5.5V ～ 8V	15V ～ 20V	-2V ～ -8V	≥0.3W		

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

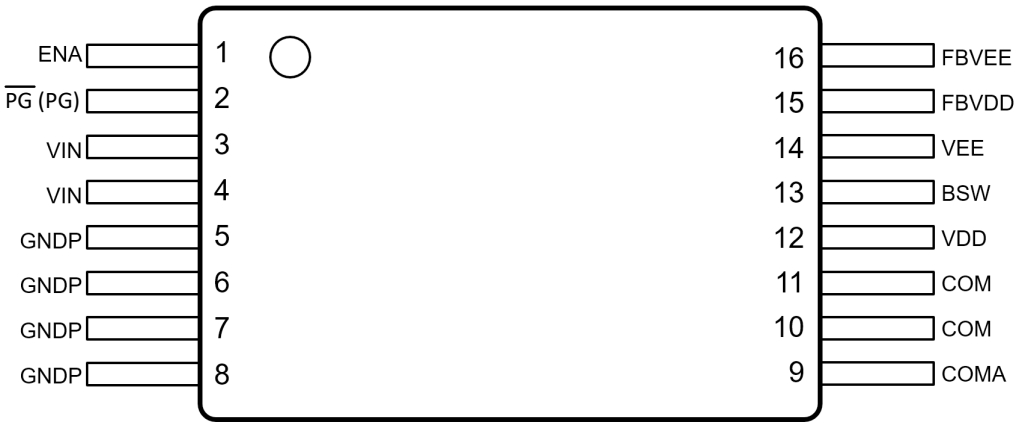


図 5-1. DHA パッケージ、16 ピン SSOP (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
BSW	13	P	内部バック・ブースト・コンバータ・スイッチ・ピン。このピンから COM にインダクタを接続します。3.3µH から 10µH チップへのインダクタを推奨しています。デバイスを単一出力モードで使用する場合は、このピンをフローティングのままにします。
COM	10、11	G	2 次側グランド。電源スイッチの電源に接続します。
COMA	9	G	ノイズに敏感なアナログ フィードバック入力 FBVDD および FBVEE 用の 2 次側アナログ センス基準接続。ローサイド FBVDD 帰還抵抗と高周波デカップリング フィルタ コンデンサを、COMA ピンとそれぞれのフィードバック ピン FBVDD の近くに接続します。2 次側ゲート駆動電圧リファレンス COM に接続します。単一点接続を使用し、高周波デカップリング セラミック コンデンサを COMA ピンの近くに配置します。
ENA	1	I	イネーブル ピン。ENA を LOW に強制すると、デバイスはディスエーブルになります。HIGH にプルすると、通常デバイス機能は有効化されます。VIN からの分圧抵抗を使用して入力 UVLO をプログラムできます。
FBVDD	15	I	帰還 (VDD – COM) 出力電圧センス ピン、および出力 (VDD – COM) 電圧調整用。VDD と COMA の間に分圧抵抗を接続して、中点が FBVDD に接続されます。等価な FBVDD 電圧は 2.5V に安定化され、絶縁全体にわたって内部ヒステリシス制御が行われます。ローサイド帰還抵抗と並列に、高周波デカップリング用に 470pF のセラミック コンデンサを追加する必要があります。高周波バイパス用の 470pF セラミック コンデンサは、ビアで接続された上層または下層の FBVDD ピンおよび COMA ピンの隣に配置する必要があります。
FBVEE	16	I	帰還 (COM–VEE) 出力電圧センス ピンで、出力 (COM–VEE) 電圧を調整するために使用されます。1 つの帰還抵抗を VEE に接続し、(COM - VEE) 電圧を 2V ～ 8V にプログラムします。10pF セラミック コンデンサを FBVEE と COMA の間に接続し、高周波ノイズをバイパスします。10pF のセラミック コンデンサは、上層またはビアで接続した下層の FBVEE ピンの隣に配置する必要があります。本デバイスを単一出力モードで使用する場合は、180kΩ 抵抗を VEE に接続します。
GNDP	5、6、7、8	G	VIN の 1 次側グランド接続。放熱のため、銅箔にいくつかのビアを配置します。
$\overline{PG}$(PG)	2	O	パワー グッド オープンドレイン出力ピン。$V_{VIN_UVLOP} \le V_{VIN} \le V_{VIN_OVLOP}$、$V_{VDD_UVP} \le V_{FBVDD} \le V_{VDD_OVP}$、$V_{VEE_UVP} \le V_{FBVEE} \le V_{VEE_OVP}$、$T_{J_Primary} \le T_{SHUT_P_R}$、および $T_{J_secondary} \le T_{SHUT_S_R}$ の場合、アクティブのままになります。4.99kΩ 抵抗を介して 3.3V または 5V レールにプルアップします。高周波ノイズをバイパスするための 0402 サイズの 1uF デカップリング コンデンサを、PCB 上で IC と同じ面にあるパワーグッド ピンの隣に接続します。このピンは UCC34141-Q1 ではアクティブ Low ですが、部品番号によってはアクティブ High にできます。
VDD	12	P	トランスからの 2 次側絶縁出力電圧。VDD から COM に 10µF と並列の 0.1µF セラミック コンデンサを接続します。サイズが 0402 の 0.1µF セラミック コンデンサは、高周波ノイズをバイパスするためであり、VDD ピンおよび COM ピンの隣に配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
VEE	14	P	負レールの 2 次側絶縁出力電圧 2.2µF セラミック コンデンサを VEE と COM の間に接続し、高周波ノイズをバイパスします。デバイスを単一出力モードで使用する場合は、VEE を COM に直接接続します。
VIN	3、4	P	1 次側入力電圧。VIN から GNDP に 10µF と並列の 0.1µF セラミック コンデンサを接続します。0402 サイズの 0.1µF セラミック コンデンサは、高周波ノイズを渡すためのものであり、PCB 上で IC と同じ面にある VIN ピンと GNDP ピンに隣接する必要があります。

(1) P = 電源、G = グランド、I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	標準値	最大値	単位
V_{VIN}	VIN から GNDP へ	-0.3		30	V
V_{ENA}、V_{PG}	ENA、PG から GNDP へ	-0.3		7	V
$V_{FBVEE-COM}$	FBVEE から COM へ	-0.3		7	V
$V_{BSW-COM}$	BSW から COM へ	-10		25.5	V
$V_{BSW-VEE}$	BSW から VEE へ	-0.7		32	V
$V_{BSW-VEE_tran}$	BSW から VEE へ (過渡 0.24ns)	-2.1		33.4	V
$V_{COM-VEE}$	COM から VEE	-0.3		10	V
$V_{VDD-COM}$、$V_{FBVDD-COM}$	VDD、FBVDD から COM へ	-0.3		25.5	V
$V_{VDD-VEE}$	VDD から VDD	-0.3		32	V
$P_{OUT_VDD_MAX}$	T_A = 25°C での合計出力電力			3	W
T_J	動作ジャンクション温度範囲	-40		150	°C
T_{stg}	保存温度	-65		150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002(1) 準拠	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 セクション 7.2 準拠	±750	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{VIN}	連続動作時の GNDP への 1 次側入力電圧	5.5(1)	12	20	V
V_{VIN}	過電圧過渡時の GNDP への 1 次側入力電圧			28	V
V_{ENA}	GNDP に対してイネーブル	0		5.5	V
V_{PG}	GNDP へのパワーグッド	0		5.5	V
$V_{VDD-COM}$	VDD から COM へ	15	18	20	V
$V_{VDD-VEE}$	VDD から VDD	15	22	25	V
$V_{COM-VEE}$	COM から VEE	2	4	8	V
T_A	周辺温度	-40		125	°C
T_J (2)	接合部温度	-40		150	°C

(1) 動作時の V_{VIN} の最小値については、$V_{VIN_UVLO_R}$ および $V_{VIN_UVLO_F}$ の電気的特性を参照してください。
(2) 温度および V_{VIN} 条件における最大定格負荷値については、(VDD-COM) および (COM-VEE) の各出力電圧設定での「代表的特性」セクションおよび「COM-VEE の出力機能」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		DHA (SOIC)	単位
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	63.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	32.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.1	°C/W
Ψ_{JA}	接合部から周囲への特性パラメータ	47.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3	°C/W

(1) 熱抵抗 (R) は JEDEC 基板に基づいており、特性パラメータ (Ψ) は「レイアウト」セクションに記載されている EVM に基づいています。従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 絶縁仕様

パラメータ		テスト条件	値	単位
総則				
CLR	外部空間距離(1)	空気を介した最短のピン間距離	> 8.2	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	> 8.2	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部距離 - トランスによる電力絶縁)	> 70	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (認証予定対象) (2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1700	V_{PK}
V_{IOWM}	最大動作絶縁電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1202	V_{RMS}
		DC 電圧	1700	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	7071	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	IEC 62368-1 に準拠し気中でテスト、1.2/50µs の波形	8000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(3)	$V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定試験)、IEC 62368-1 に準拠した 1.2/50µs 波形	10400	V_{PK}
q_{pd}	見掛けの電荷(4)	方法 a:I/O 安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 a:環境テスト サブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 b1:ルーチン テスト (100% 出荷時) の場合、$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s	≦ 5	pC
C_{IO}	絶縁バリア容量、入力から出力へ (5)	V_{IO} = 0.4 sin (2πft)、f = 1MHz	< 3	pF
R_{IO}	絶縁抵抗、入力から出力へ (5)	V_{IO} = 500V、T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≦ T_A ≦ 125°C時)	> 10^{11}	Ω
		V_{IO} = 500V (T_S = 150°C時)	> 10^9	Ω

Copyright © 2026 Texas Instruments Incorporated

6.5 絶縁仕様 (続き)

パラメータ		テスト条件	値	単位
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577 (認証予定対象)				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO} = 5000V_{RMS}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$、t = 1s (100% 出荷時テスト)	5000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグルーブやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、最大動作定格内に限定した安全な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

6.6 電気的特性

動作温度範囲全体 (T_J = -40℃ ～ 150℃)、特に記述のない限り。すべて T_A = 25℃ および V_{VIN} = 12V での標準値。外付け BOM の部品をピンの説明の表に記載します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (1 次側。すべて GNDP に対する電圧)						
V_{VIN}	入力電圧範囲	GNDP への 1 次側入力電圧。(VDD-COM)=18V、(COM-VEE)=4V、$P_{VDD-COM}$ = 0.3W、$P_{COM-VEE}$ = 0、T_A=85ºC。	5.5(1)	12	20	V
V_{VIN}	入力電圧範囲	GNDP への 1 次側入力電圧。(VDD-COM)=18V、(COM-VEE)=4V、$P_{VDD-COM}$ = 1.3W、$P_{COM-VEE}$ = 0、T_A=85ºC。	8(1)	12	18	V
I_{VINQ}	VIN 静止電流、ディセーブル	V_{ENA} = 0V、V_{VIN} = 5.5V-20V。			600	µA
I_{VINP_NL}	VIN 動作電流、イネーブル、無負荷	V_{ENA} = 5V、V_{VIN} = 12V、(VDD-COM) = 18V、(COM-VEE) = 5V、レギュレーション、$I_{VDD-COM}$ = $I_{COM-VEE}$ = 0mA。			18	mA
I_{VINP_FL}	VIN 動作電流、イネーブル、全負荷	V_{ENA} = 5V、V_{VIN} = 12V、(VDD-COM) = 18V、(COM-VEE)=4V、レギュレーション、$I_{VDD-COM}$ = 83mA、$I_{COM-VEE}$ = 0		250		mA
UVLOP コンパレータ (1 次側。すべて GNDP に対する電圧)						
$V_{VIN_UVLO_R}$	VIN アナログ UVLO 立ち上がりスレッショルド	アナログ コンパレータは常に最初にアクティブ	4	4.25	4.5	V
$V_{VIN_UVLO_F}$	VIN アナログ UVLO 立ち下がりスレッショルド	アナログ コンパレータは常に最初にアクティブ	3.8	4.04	4.28	V
OVLOP コンパレータ (1 次側。すべて GNDP に対する電圧)						
$V_{VIN_OVLO_R}$	VIN OVLO 立ち上がりスレッショルド		21.25	22	22.5	V
$V_{VIN_OVLO_F}$	VIN OVLO 立ち下がりスレッショルド		19.7	20.3	20.6	V
TSHUTP サーマル シャットダウン コンパレータ (1 次側。すべて GNDP に対する電圧)						
$T_{SHUT_P_R}$	1 次側過熱シャットダウンの立ち上がりスレッショルド		150	165		℃
$T_{SHUT_P_HYST}$	1 次側過熱シャットダウンのヒステリシス		10	20		℃
ENA 入力ピン (1 次側。すべて GNDP に対する電圧)						
V_{ENA_R}	イネーブル ピン立ち上がりスレッショルド	立ち上がりエッジ	1.425	1.5	1.575	V

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 (続き)

動作温度範囲全体 (T_J = -40℃ ～ 150℃)、特に記述のない限り。すべて T_A = 25℃ および V_{VIN} = 12V での標準値。外付け BOM の部品をピンの説明の表に記載します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ENA_F}	イネーブル ピン立ち下がりスレッショルド	立ち下がりエッジ	1.282	1.35	1.418	V
I_{ENA}	イネーブル ピンの入力電流	V_{ENA} = 5.0V		5	10	µA
$t_{ENA_LO_RST}$	EN = Low からリセットラッチオフまでの最小期間		400			µs
$t_{ENA_LO_DLY}$	EN = Low でラッチオフをリセットするのに必要な最小時間		200			µs
PG のオープン ドレイン出力ピン (1 次側。すべて GNDP に対する電圧)						
V_{PG_L}	PG の出力 low 飽和電圧	シンク電流 = 5mA			0.5	V
I_{PG_H}	PG リーク電流	V_{PG} = 5.5V			5	µA
1 次側ソフト スタート						
t_{PG_Delay}	VDD がレギュレーションに達してからパワーグッド信号 (PG) が発行されるまでのソフト スタート中のグリッチ除去時間。		8.2	9.5	10.7	ms
1 次側制御 (すべて GNDP に対する電圧)						
f_{SW}	スイッチング周波数	V_{VIN} = 12V、V_{ENA} = 5V、(VDD-COM) = 18V、(COM-VEE) = 4V		16.5		MHz
t_{SSTO}	1 次側ソフトスタート タイムアウト	VIN > UVLOP かつ ENA = High のときにタイマが開始され、パワーグッド ピンがグッドを示しているときにリセットされる	30	38	46	ms
(VDD-COM) 出力電圧 (2 次側)						
V_{VDD}	(VDD–COM) 出力電圧範囲		15	18	20	V
V_{VDD_REG}	(VDD – COM) 出力電圧 DC レギュレーション精度	FBVDD での 2 次側 (VDD–COM) 出力電圧精度、過負荷、ライン、温度範囲、外部調整、外付け抵抗分圧器、SOA 範囲内。	-1.45		1.45	%
(VDD-COM) レギュレーション ヒステリシス コンパレータ (2 次側)						
V_{FBVDD_REF}	(VDD-COM) に対するフィードバック制御基準電圧の立ち上がりスレッショルド		2.473	2.51	2.547	
V_{FBVDD_HYST}	FBVDD ピンのヒステリシス。この値は、ピーク ツー ピークの大きさを表します。		16	20	24	mV
(COM-VEE) レギュレーション ヒステリシス コンパレータ (2 次側)						
V_{FBVEE_HYST}	FBVEE ピンのヒステリシス。この値は、ピーク ツー ピークの大きさを表します。		20	60	75	mV
(VDD-COM) UVLO コンパレータ (2 次側)						
$V_{VDD_UVLOS_R}$	(VDD-COM) UVLO 立ち上がりスレッショルド	VDD から COM への電圧、立ち上がり	3.2	3.45	3.7	V
$V_{VDD_UVLOS_F}$	(VDD-COM) UVLO 立ち下がりスレッショルド	VDD から COM への電圧、立ち下がり	3	3.25	3.5	V
(VDD-COM) OVLO コンパレータ (2 次側)						
$V_{VDD_OVLOS_R}$	(VDD-COM) OVLO の立ち上がりスレッショルド	VDD から COM への電圧、立ち上がり	22.5	23	23.5	V
$V_{VDD_OVLOS_F}$	(VDD-COM) OVLO の立ち下がりスレッショルド	VDD から COM への電圧、立ち下がり	21.7	22.2	22.7	V
(VDD-COM) UVP、低電圧保護コンパレータ (2 次側)						

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 (続き)

動作温度範囲全体 (T_J = -40℃ ～ 150℃)、特に記述のない限り。すべて T_A = 25℃ および V_{VIN} = 12V での標準値。外付け BOM の部品をピンの説明の表に記載します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{VDD_UVP_R}$	(VDD-COM) 低電圧保護の立ち上がりスレッショルド、V_{UVP} = V_{REF} × 90%	FBVDD で	2.175	2.25	2.35	V
$V_{VDD_UVP_HYST}$	(VDD-COM) 低電圧保護ヒステリシス	FBVDD で		22		mV
(VDD-COM) OVP、過電圧保護コンパレータ (2 次側)						
$V_{VDD_OVP_R}$	(VDD-COM) 過電圧保護の立ち上がりスレッショルド、V_{OVP} = V_{REF} × 110%	FBVDD で	2.7	2.75	2.825	V
$V_{VDD_OVP_HYST}$	(VDD-COM) 過電圧保護ヒステリシス	FBVDD で		23		mV
(COM-COM VEE) 昇降圧コンバータ (2 次側)						
V_{VEE_REG}	(VEE) レギュレーション精度	COM-VEE= 2V、フィードバック抵抗精度 1%	-9.5		9.5	%
		COM-VEE= 3V、4V、5V、 1% のフィードバック抵抗精度	-4.5		4.5	%
		COM-VEE= 6V、7V、8V、 1% のフィードバック抵抗精度	-6.5		6.5	%
$V_{VEE_OVLOS_R}$	(COM-VEE) 過電圧誤作動防止立ち上がりスレッショルド	COM から VEE への電圧、立ち上がり	8.8	9	9.2	V
$V_{VEE_OVLOS_F}$	(COM-VEE) 過電圧誤作動防止立ち下がりスレッショルド	COM から VEE への電圧、立ち下がり	8.4	8.6	8.8	V
f_{SW_VEE}	VEE コンバータのスイッチング周波数	VDD-COM= 18V、COM-VEE = 4V、3.3µH 外部インダクタ		3.2		MHz
I_{LIM}	BSW ピンから出力される昇降圧インダクタ電流制限	さまざまな条件での最大電流制限	0.235	0.261	0.287	A
I_{LIM}	BSW ピンから出力される昇降圧インダクタ電流制限	VDD-COM=6V。	0.199	0.221	0.243	A
I_{LIM}	BSW ピンから出力される昇降圧インダクタ電流制限	VDD-COM=18V	0.127	0.141	0.155	A
I_{LIM}	BSW ピンから出力される昇降圧インダクタ電流制限	VDD-COM=25V	0.085	0.094	0.104	A
t_{VEE_SSTO}	VEE ソフト スタートが成功するかどうかを判定するためのタイムアウトスレッショルド		4.6	6.3	8	ms
(COM-VEE) UVP、低電圧保護コンパレータ (2 次側)						
$V_{VEE_UVP_F}$	(COM – VEE) 低電圧保護の立ち下がりスレッショルド	COM-VEE=2V		83		%
		COM-VEE=5V		90		%
		COM-VEE=8V		92		%
$V_{VEE_UVP_HYST}$	(COM-VEE) 低電圧保護ヒステリシス	COM-VEE=5V		85		mV
(COM-VEE) OVP、過電圧保護コンパレータ (2 次側)						
$V_{VEE_OVP_R}$	(COM – VEE) 過電圧保護の立ち上がりスレッショルド	COM-VEE=2V		117		%
		COM-VEE=5V		110		%
		COM-VEE=8V		108		%
$V_{VEE_OVP_HYST}$	(COM-VEE) 過電圧保護ヒステリシス	COM-VEE=5V		84		mV
TSHUTS サーマル シャットダウン コンパレータ (2 次側)						
$T_{SHUT_S_R}$	2 次側過熱シャットダウンの立ち上がりスレッショルド		150	165		°C
$T_{SHUT_S_HYST}$	2 次側過熱シャットダウンのヒステリシス		10	20		°C
自動リスタート						

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 (続き)

動作温度範囲全体 (T_J = -40℃ ～ 150℃)、特に記述のない限り。すべて T_A = 25℃ および V_{VIN} = 12V での標準値。外付け BOM の部品をピンの説明の表に記載します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RESTART}$	1 次側の自動再起動時間	2 次側フォルトがアサートまたはソフトスタートタイムアウトが終了した後		160		ms
CMTI (同相過渡電圧耐性)						
CMTI	同相過渡電圧耐性	静的 CMTI (立ち上がりおよび立ち下がり)		250		V/ns
		動的 CMTI (立ち上がりおよび立ち下がり)		250		V/ns
トランス内蔵型						
N	トランスの有効巻線比	2 次側から 1 次側へ		2.43		

(1) 動作 V_{VIN} の最小値については、$V_{VIN_UVLO_R}$ および $V_{VIN_UVLO_F}$ の電気的特性を参照してください。

6.7 安全限界値

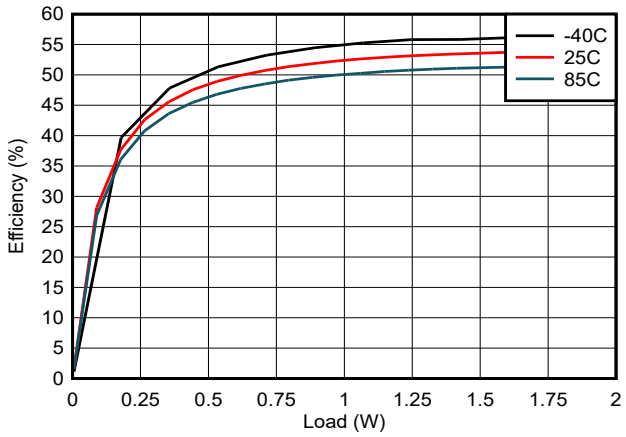
パラメータ		テスト条件	最大値	単位
I_S	安全入力 RMS 電流	$R_{\theta JA}$ = 52.3°C/W、V_{VIN} = 18V、T_J = 150°C、T_A = 25°C、P_{OUT} = 1.5W(1) (2)	220	mA
		$R_{\theta JA}$ = 52.3°C/W、V_{VIN} = 8V、T_J = 150°C、T_A = 25°C、P_{OUT} = 1.2W(1) (2)	450	mA
P_S	安全消費電力 (入力電力 - 出力電力)	$R_{\theta JA}$ = 52.3°C/W、T_J = 150°C、T_A = 25°C(1) (2)	2.39	W
T_S	安全温度	(1) (2)	150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全消費電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。

(2) 熱に関する情報の表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リードあり表面実装パッケージ用の高 K JEDEC テスト基板に搭載されているデバイスのものです。これらの式を使用して、以下のように各パラメータの値を計算します。$T_J = T_A + R_{\theta JA} \times P$、ここで、P はデバイスで消費される電力です。$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで、$T_{J(max)}$ は最大許容接合部温度です。

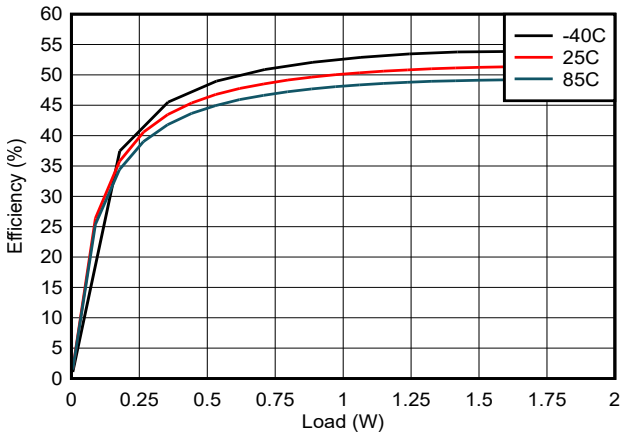
6.8 代表的特性

図 6-4、図 6-5、図 6-6 に示すように、VDD-COM の最大推奨平均電力安全動作領域 (SOA) は、各 V_{IN} において、3W 制限 (破線) と、その入力電圧に対応する熱ディレーティング曲線 (実線) のうち低い方によって決まります。125°C より高い周囲温度での動作は推奨されません。「電気的特性」表に示すように、T_{SHUT} の標準値は 165°C、T_{SHUT} の最小値は 150°C です。T_{SHUT} = 150°C における SOA ディレーティング曲線を以下に示します。熱ディレーティング電力は、「レイアウト例」セクションに示す EVM で取得します。アプリケーションに必要な総電力は、本データシートのほか、設計サポートドキュメントである UCC34141 カリキュレータ ツール の「設計要件」セクションの最下行から算出できます。



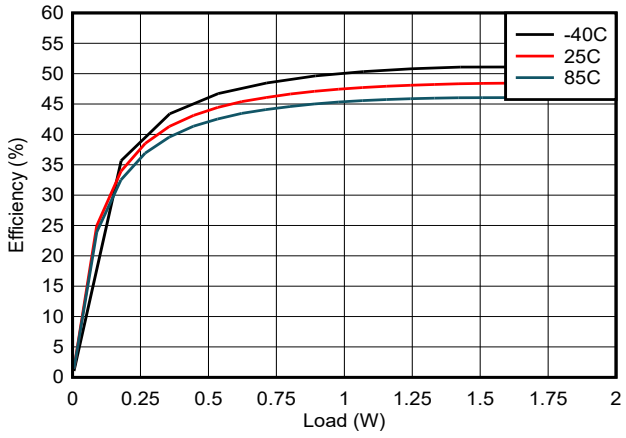
V_{IN} = 12V　$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ での無負荷

図 6-1. $V_{VDD-COM}$ における効率と負荷との関係



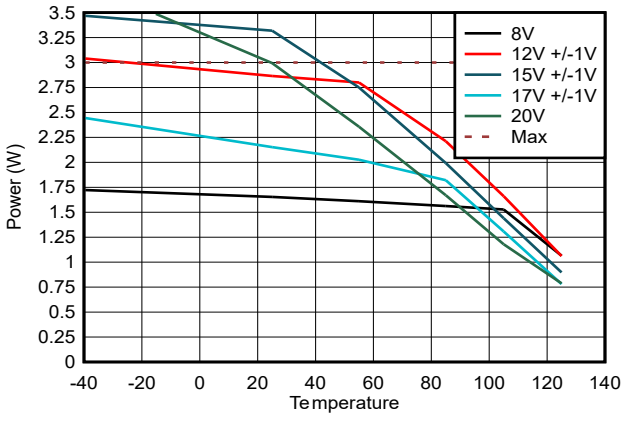
V_{IN} = 15V　$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ での無負荷

図 6-2. $V_{VDD-COM}$ における効率と負荷との関係



V_{IN} = 17V　$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ での無負荷

図 6-3. $V_{VDD-COM}$ における効率と負荷との関係



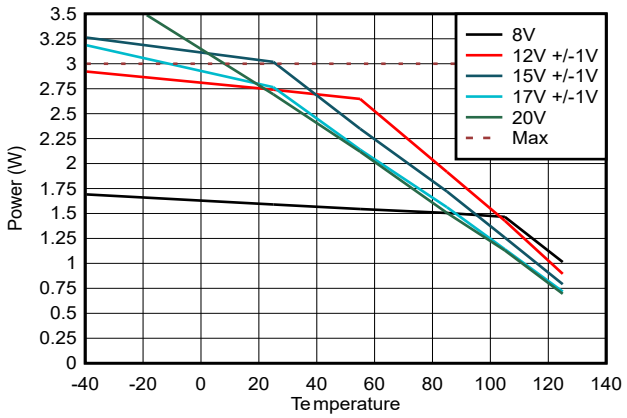
$V_{VDD-COM}$ = 20V　$V_{COM-VEE}$ = 5V　$V_{COM-VEE}$ での無負荷

図 6-4. プリレギュレートされた入力電圧に対する SOA ディレーティング曲線

Copyright © 2026 Texas Instruments Incorporated

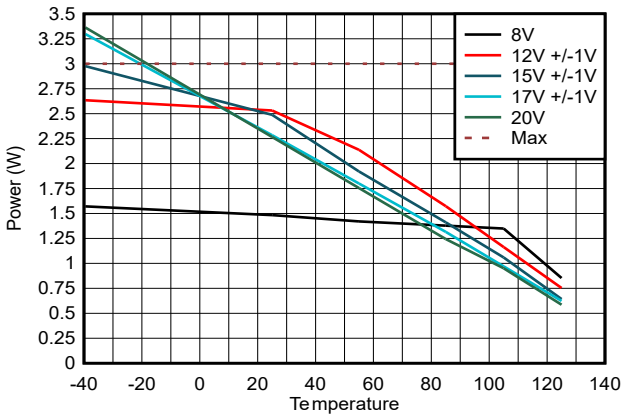
6.8 代表的特性 (続き)

図 6-4、図 6-5、図 6-6 に示すように、VDD-COM の最大推奨平均電力安全動作領域 (SOA) は、各 V_{IN} において、3W 制限 (破線) と、その入力電圧に対応する熱ディレーティング曲線 (実線) のうち低い方によって決まります。125°C より高い周囲温度での動作は推奨されません。「電気的特性」表に示すように、T_{SHUT} の標準値は 165°C、T_{SHUT} の最小値は 150°C です。T_{SHUT} = 150°C における SOA ディレーティング曲線を以下に示します。熱ディレーティング電力は、「レイアウト例」セクションに示す EVM で取得します。アプリケーションに必要な総電力は、本データシートのほか、設計サポートドキュメントである UCC34141 カリキュレータ ツール の「設計要件」セクションの最下行から算出できます。



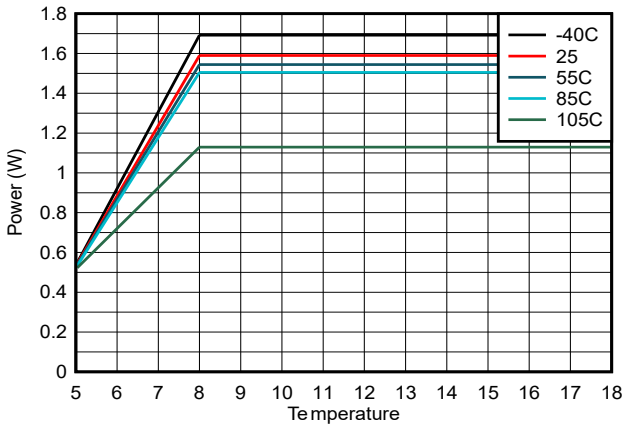
$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V　$V_{COM-VEE}$ での無負荷

図 6-5. プリレギュレートされた入力電圧に対する SOA ディレーティング曲線



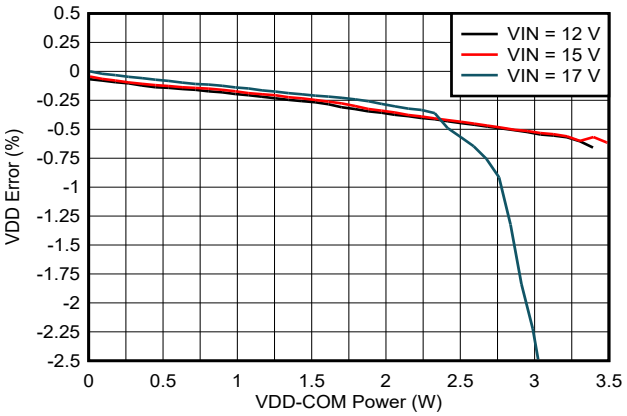
$V_{VDD-COM}$ = 15V　$V_{COM-VEE}$ = 7V　$V_{COM-VEE}$ での無負荷

図 6-6. プリレギュレートされた入力電圧に対する SOA ディレーティング曲線



$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V　$V_{COM-VEE}$ での無負荷

図 6-7. バッテリ直接接続を想定した入力電圧範囲が広い場合の SOA ディレーティング曲線



$V_{VDD-COM}$ = 18V　$V_{COM-VEE}$ = 5V　$V_{COM-VEE}$ での無負荷

図 6-8. 標準的なロード レギュレーション

7 詳細説明

7.1 概要

UCC34141-Q1 は、基板面積が限定されていて高集積を必要とするアプリケーションのために設計された絶縁電源モジュールです。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる高電圧アプリケーション向けにも最適です。薄型で重心が低く、重量が少ないため、大型の大型トランスを使用するシステムよりも耐振動性が高くなります。このデバイスは使いやすく、効率を最大限に高めるためにゲート電圧を最適化するときに必要に応じて正と負の両方の出力電圧を調整できる柔軟性があると同時に、厳格な電圧レギュレーション精度によりゲート酸化膜を過電圧から保護します。

このデバイスは、トラクション インバータ モーター ドライブ、オンボード チャージャー (OBC)、サーバー テレコム整流器、産業用モーター ドライブ、その他の高電圧 DC/DC コンバータの SiC または IGBT パワー デバイスのゲート ドライブに電源を供給するための高効率、低エミッションの絶縁型 DC/DC コンバータを内蔵しています。この DC/DC コンバータは、周囲温度 85°C で 1.5W を超える電力を供給できます。

内蔵の DC/DC コンバータは、スイッチ モード動作および独自の回路技法を使用して、電力損失を低減し効率を向上します。特殊な制御メカニズム、クロック方式、オンチップ トランスの使用により、高効率と低放射を実現しています。

内蔵トランスは、5000V_{RMS} の絶縁と 1202V_{RMS} の連続動作電圧を維持しながら、広い温度範囲で電力を供給します。トランスの絶縁静電容量が低いため、CMTI が高く、dv/dt スイッチングとスイッチング周波数を高速化できると同時に、ノイズ低減を実現できます。

VIN 電源は、内蔵トランスに接続された入力段をスイッチングする 1 次側電源コントローラに供給されます。電力は 2 次側出力段に転送され、COMA ピンを基準とした VDD ピンと FBVDD ピンとの間に接続された分圧抵抗で設定されるレベルに安定化されます。出力電圧は外付けの分圧抵抗によって調整可能で、広い (VDD ～ COM) 範囲に対応します。

高速のヒステリシス帰還バースト制御ループは (VDD–COM) を監視し、負荷およびライン過渡時も出力電圧がヒステリシス内に維持され、オーバーシュートやアンダーシュートが低減されることを確認します。バースト制御ループにより、全負荷範囲にわたって効率的な動作が可能になり、V_{VIN} 範囲の全体にわたって広い範囲で出力電圧を調整できます。低電圧誤動作防止 (UVLO) 保護機能は入力電圧ピン、VIN、ヒステリシスと入力フィルタを監視し、ノイズの多い状況でも堅牢なシステム性能を確保します。過電圧誤動作防止 (OVLO) 保護機能は、入力電圧ピン VIN を監視し、スイッチングを無効化して内部ピーク電圧を下げることで、過電圧ストレスから保護します。全起動時間にわたってソフト スタート タイミングを制御することで、出力コンデンサおよび負荷を充電している間のピーク入力突入電流を制限します。

UCC34141-Q1 は、ゲート ドライバの負バイアスとして使用される 2 番目の出力レール VEE も供給でき、IGBT のターンオフ スイッチングをより短時間で行え、SiC デバイスの高速スイッチング時に不要なターンオンから保護できます。VEE には、ゲート ドライバの PWM スイッチング時に負のレールを安定化するための、シンプルかつ高速、高効率のバイアス コントローラが搭載されています。COM ピンは、負の VEE レールのリファレンスであり、SiC デバイスのソースまたは IGBT デバイスのエミッタに接続します。

故障検出およびステータス ピンである $\overline{PG}$(PG) は、ホスト コントローラが DC/DC コンバータのステータスを監視し、ゲート ドライバに電力および PWM 制御信号の適切なシーケンシングを行うためのメカニズムを提供します。障害保護機能として、低電圧、過電圧、過熱シャットダウン機能と、絶縁型チャネル通信インターフェイスのウォッチドッグ タイマを搭載しています。

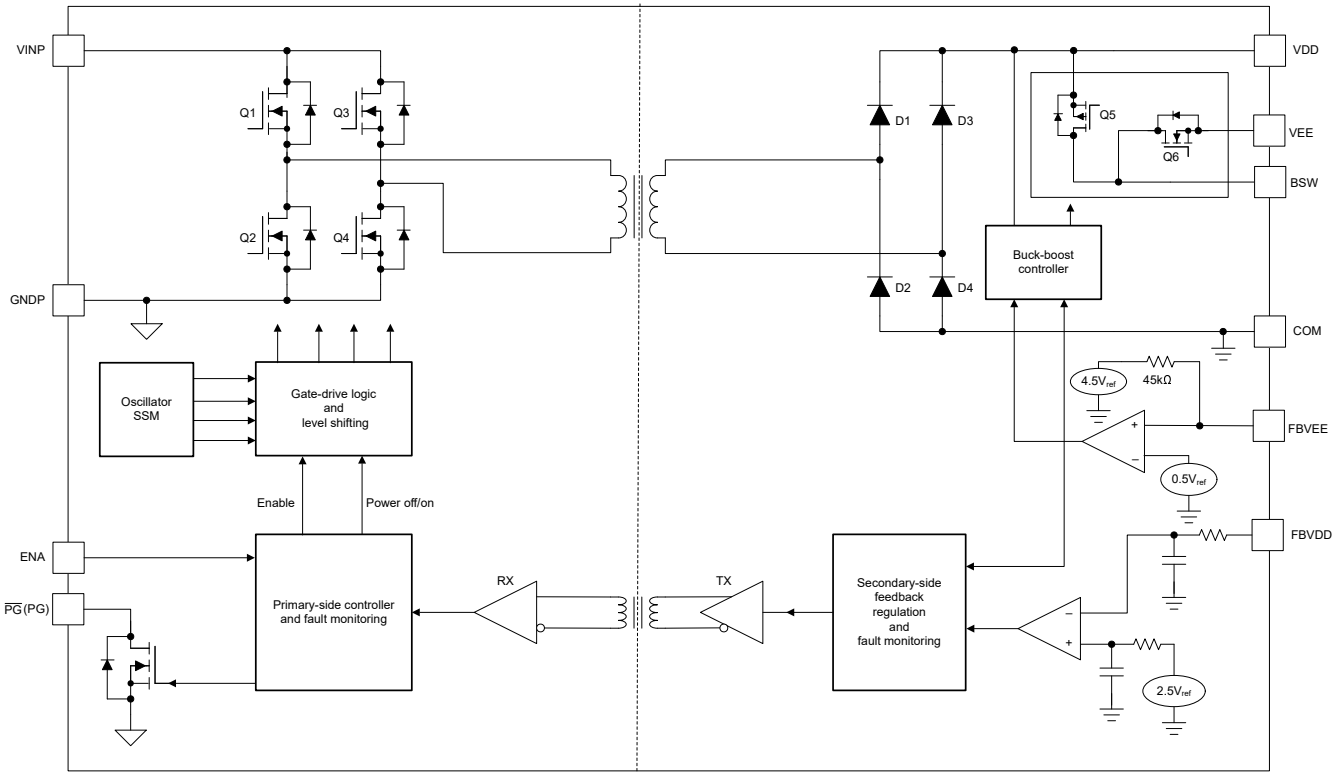
ソフトスタートの標準的なランプアップ時間は t_{SSTO} より短く、入力電圧、出力電圧、出力キャパシタンス、負荷に基づいて変動します。どちらかの出力が短絡または過負荷の場合、本デバイスは t_{SSTO} ソフトスタート時間内に電源オンにできないため、デバイスはシャットダウンします。デバイスの故障応答は、表 4-1 に示すように型番によって異なります。ラッチオフ動作では、デバイスは保護のためにシャットダウンし、ラッチオフします。また、ENA ピンをトグルするか、V_{VIN} をリセットすることでデバイスはリセットされます。自動再起動動作の場合は、シャットダウン後にタイマが有効になり、$t_{RESTART}$ 後に新しい電源投入シーケンスが開始されます。故障が解消されると、本デバイスはソフトスタートしてレギュレーションに成功します。障害状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒカップモードで安全に動作できます。

Copyright © 2026 Texas Instruments Incorporated

UCC34141-Q1 は、表 4-1 に示すように、HE の型番に基づいて、アクティブ極性が High または Low のパワーグッド インジケータを備えています。起動が完了し、パワーグッド ピンがアクティブになるまで、出力負荷を Low に維持する必要があります。連続するソフト スタートの場合、パワーグッド ピンがアクティブ ステータスを示すまで、(VDD – COM) または (COM – VEE) 出力に大きな負荷を加えないでください。

パワーグッド ステータス インジケータを使用すると、(VDD–COM) と (COM – VEE) の出力の両方がレギュレーションに達するまで、ゲートドライバの PWM などの追加負荷の印加を待機することができます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 電力段の動作

UCC34141-Q1 モジュールは、1 次側でソフト スイッチング フルブリッジ コンバータ、2 次側でパッシブ フルブリッジ整流器を使用します。小型の内蔵トランスは高いスイッチング周波数で動作するので、16 ピンの SSOP パッケージに統合するためにサイズを縮小できます。電力段のスイッチング周波数は、16.5 から 27MHz までの範囲内です。パワー段のスイッチング周波数は、以下の図に示すように、フィードフォワード制御による入力電圧によって決定されます。適応型スペクトラム拡散変調 (ASSM) を使用して放射を低減します。スイッチング電力損失を低減するために、ゼロ電圧スイッチング (ZVS) 動作が維持されています。

UCC34141-Q1 は、単一出力コンバータ (VDD から COM のみ) として構成することも、VDD から COM および COM から VEE へのデュアル出力コンバータ (COM から VEE への電源は反転昇降圧によって VDD から生成) として構成することもできます。

これら 2 つの出力は、ヒステリシス制御により独立して制御されます。

7.3.1.1 VDD - COM 電圧レギュレーション

VDD 出力はモジュールのメイン出力です。電力段の動作は、FBVDD ピンの電圧が内部リファレンス電圧 V_{FBVDD_REF} を上回っているか下回っているかを検出するヒステリシス コンパレータによって制御されます。FBVDD 電圧は、

R_{FBVDD_TOP} と R_{FBVDD_BOT} 間の分圧器によって決定されます。FBVDD 電圧がターンオフ スレッショルドを下回った場合、電力段はバースト オン状態で動作し、2 次側に電力を供給することで、VDD 電圧が上昇します。FBVDD がターンオフ スレッショルドに達すると、電力段がオフになります。電力段がオフになると、VDD 出力コンデンサが負荷に電力を供給し、VDD 電圧が低下します。FBVDD の電圧がターンオン スレッショルドを下回ると、電力段が再度オンになります。高精度の電圧リファレンスとヒステリシス制御により、VDD の出力電圧を V_{VDD_REG} の精度でレギュレートできます。

ノイズ耐性を高めるには、FBVDD ピンと COMA ピンとの間に 220pF の小さなコンデンサ C_{FBVDD} を追加する必要があります。電磁干渉ノイズが大きい環境では、帰還デカップリング容量 C_{FBVDD} が大きく、帰還抵抗 R_{FBVDD_TOP} と R_{FBVDD_BOT} の値を低い値に選択することで、VDD 帰還ループのノイズ耐性をさらに向上させることができます。

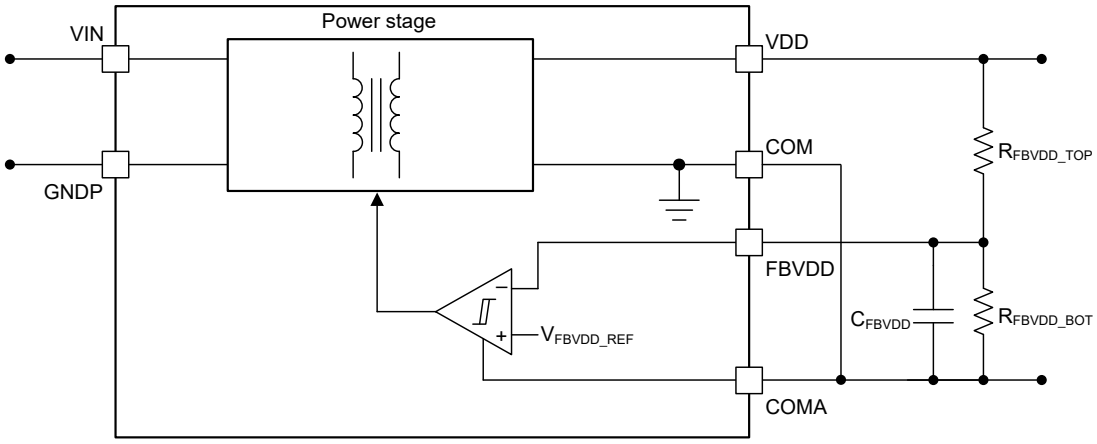


図 7-1. VDD-COM 電圧レギュレーションの機能ブロック図

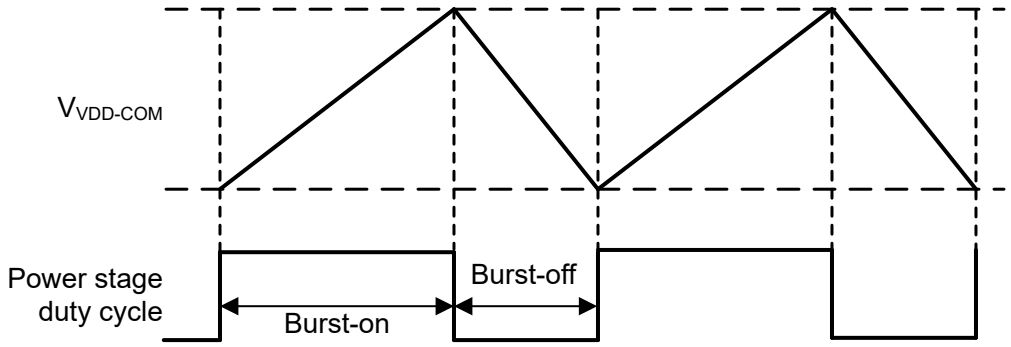


図 7-2. VDD-COM レギュレーション方式の概念

7.3.1.2 COM - VEE 電圧レギュレーション

内部の昇降圧コンバータから、安定化された負の VEE 電圧を生成します。昇降圧コンバータの動作は、セクション 8.2.2.2 で説明されるように、FBVEE ピンで検出される VEE 電圧によって決まります。内部 45k 抵抗と 4.5V のリファレンス電圧を活用し、VEE 電圧に対するプログラミング (設定) と、-2V ～ -8V の間で安定化を実施できます。

昇降圧コンバータは、COM から VEE への電圧レギュレーションのための内蔵ヒステリシス電圧帰還ループと、サイクル間の電流制限のための内蔵電流制御ループによって制御されます。FBVEE 電圧がターンオフ スレッショルドを下回った場合、昇降圧コンバータはピーク電流モード制御で動作します。インダクタ電流は、スイッチング サイクルの開始時に増加して、ピーク電流制限に達してからゼロに戻ります。通常動作では、コンバータは境界導通モードで動作しますが、スタートアップ時には連続導通モードに移行できます。昇降圧のピーク電流は I_{LIM} 未満に制限されているため、選択したインダクタは I_{LIM} よりも大きい飽和電流を持っている必要があります。ピーク電流制限 I_{LIM} は VDD 電圧に基づき最適化されています。これにより、VDD 電圧が異なる場合に制御ループ遅延によって生じるオーバーシュートを考慮しても、インダクタの最大電流が、VDD フィードフォワードがない条件での最大 I_{LIM} を超えないようになっています。VDD 電圧が高いほどオ

Copyright © 2026 Texas Instruments Incorporated

ーバーシュートが大きくなるため、補償のために VDD フィードフォワード制御では I_{LIM} の値が低く設定されます。推奨されるインダクタの選択範囲は 3.0µH ～ 10.0µH です。標準スイッチング周波数は、「電気的特性」表に記載されている条件下での f_{SW_VEE} です。

FBVEE 電圧がターン オフ スレッショルドに達すると、昇降圧コンバータがオフになります。FBVEE 電圧が負荷電流によりターン オン スレッショルドを下回ると、昇降圧コンバータが再度オンになります。高精度の電圧リファレンスとヒステリシス制御により、VEE の出力電圧を ≤5% の精度でレギュレートできます。

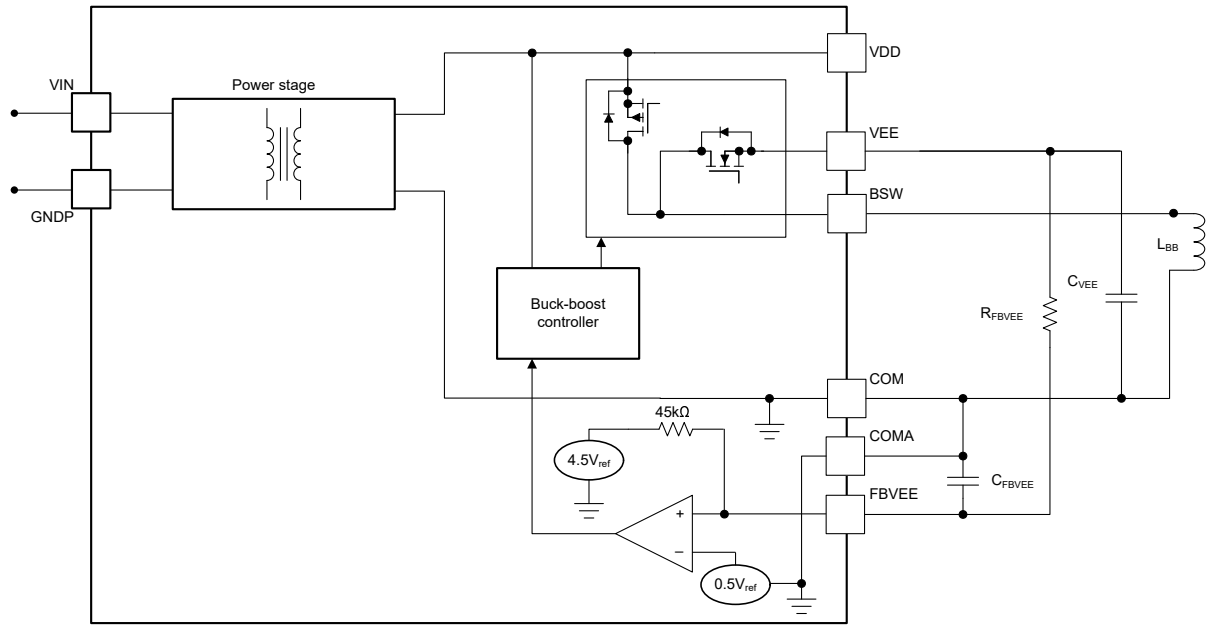


図 7-3. COM-VEE 電圧レギュレーションの機能ブロック図

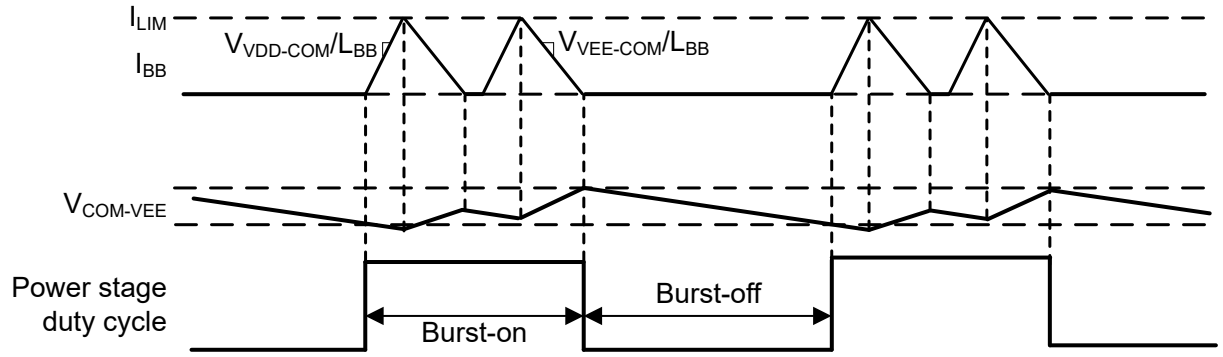


図 7-4. COM-VEE レギュレーション方式の概念

7.3.1.3 COM-VEE の出力容量

異なる VDD-COM 電圧および COM-VEE 電圧での VEE 昇降圧コンバータの最大出力電流および出力電力容量を図 7-5 と図 7-6 に示します。電力能力は、このデータシートのほか、設計サポート ドキュメント UCC34141 カリキュレータ ツール でも計算できます。このパワー モジュールには 2 つの独立した出力電力容量があります。1 つは「代表的特性」セクションの SOA 曲線で示されている VDD-COM 出力で、もう 1 つはこのセクションに示す COM-VEE 出力です。2 つの出力レールのいずれかが不足すると、過剰な出力電力要件が発生し、デバイスの出力低電圧保護とシャットダウンが発生する可能性があります。

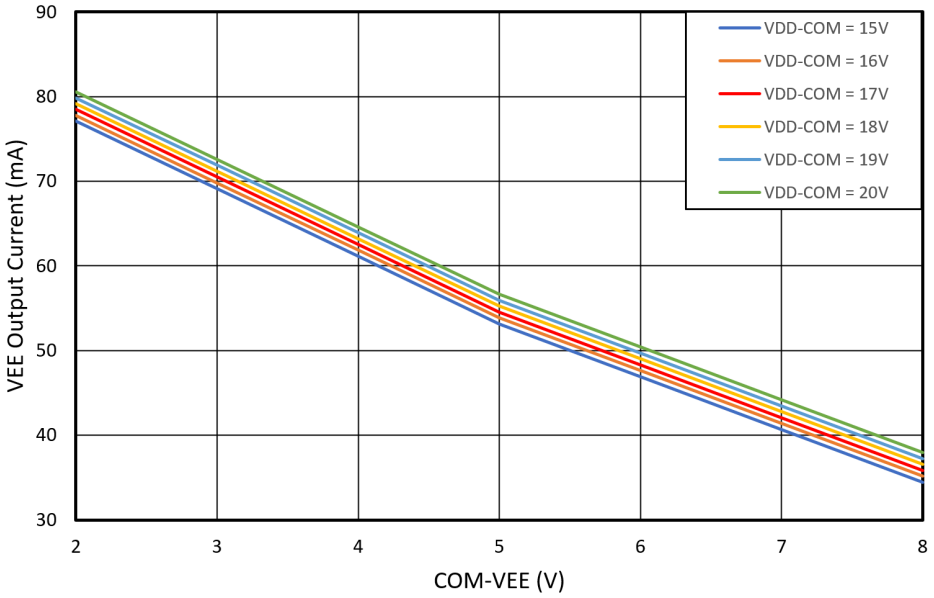


図 7-5. さまざまな VDD-COM 電圧と VEE-COM 電圧での VEE 昇降圧コンバータの出力電流容量

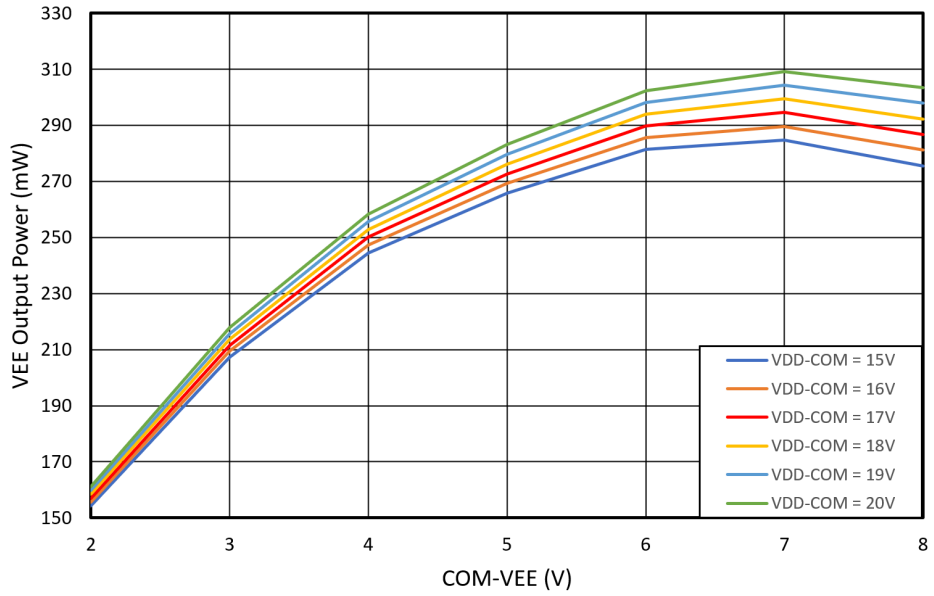


図 7-6. さまざまな VDD-COM 電圧と VEE-COM 電圧での VEE 昇降圧コンバータの出力電力容量

7.3.2 出力電圧のソフト スタート

UCC34141-Q1 にはソフトスタート機構があり、最小限の入力突入電流でスムーズかつ高速なソフトスタート動作を確立します。出力電圧ソフトスタートの図を下図に示します。入力電圧が VIN_UVLO スレッショルドを上回り、ENA 信号が High になると、ソフトスタート シーケンスは 1 次デューティ サイクルの開ループ制御から開始されます。電力段は固定バースト周波数で動作し、デューティサイクルを 6.5% から段階的に増加させることができます。デューティ サイクルの変化率は、出力電圧 VDD を立ち上げる際の入力突入電流を低減するため、あらかじめプログラム設定されています。1 次側は、このデューティ サイクル制限を解放する前に、2 次側の VDD 電圧が VDD_UVLO を通過するまで、このフェーズの間の最大デューティ サイクルを 62.5% に制限します。この制限により、本デバイスが短絡で起動し、VDD が立ち上がらない場合に、最小入力電流が確立されます。VDD がレギュレーション範囲に達すると、デューティ サイクルは 1 次側コントロ

Copyright © 2026 Texas Instruments Incorporated

ーラから決定されなくなり、代わりに VDD ヒステリシス制御がアクティブになり、定義されたヒステリシス幅内で出力電圧を厳密にレギュレートします。

VDD が UVLO スレッショルド $V_{VDD_UVLOS_R}$ を通過すると、FBVEE ステータス チェックが実行され、BSW ピン フォルト検出用に 1 つのインダクタ電流パルスが生成されます。

VEE のソフト スタートは、VDD レール コンデンサが充電され、VDD がレギュレーションに達した後に開始します。ソフト スタート中は、VEE 電圧が 0.5V 未満の間、VEE のピーク電流制限は低減されます。VEE 電圧が 0.5V を上回ると、インダクタのピーク電流制限は I_{LIM} 値に設定されます。

VEE が t_{VEE_SSTO} 期間内に VEE_UVP スレッショルドに確実に達するようにするには、ゲートドライバ側 (C_{VEE_GD}) と絶縁型コンバータ バイアス側 (C_{VEE_BIAS}) の COM から VEE への出力キャパシタンスの合計が最大許容値を超えないようにする必要があります。ゲートドライバ側での最大許容値 (C_{VEE_GD}) は、このデータシートのほか、設計サポートドキュメントである UCC34141 カリキュレータ ツール でも利用できます。式 1 では、コンデンサの最大許容値を以下のように決定します。式 1 で、$I_{LOAD_SS_VEE}$ は VEE ソフト スタート時の出力負荷の静止電流を表します。

$$C_{VEE_GD} \leq \frac{t_{VEE_SSOT_min}}{\frac{V_{VEE_SS}}{I_{VEE_Phase1} - I_{LOAD_SS_VEE}} + \frac{V_{VEE} - V_{VEE_SS}}{I_{VEE_Phase2} - I_{LOAD_SS_VEE}}} - C_{VEE_BIAS} \quad (1)$$

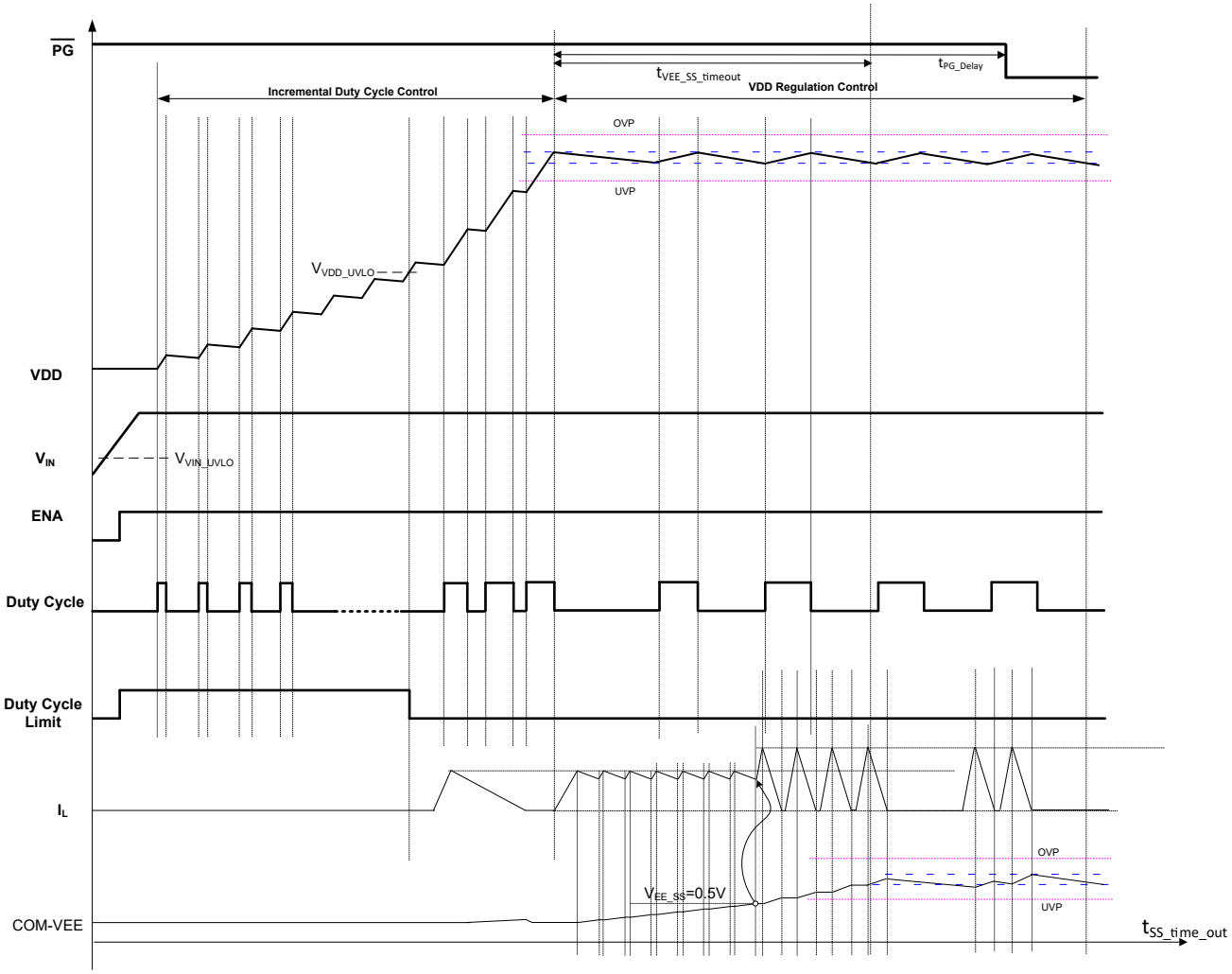


図 7-7. パワーグッド アクティブ Low の出力電圧ソフトスタート図

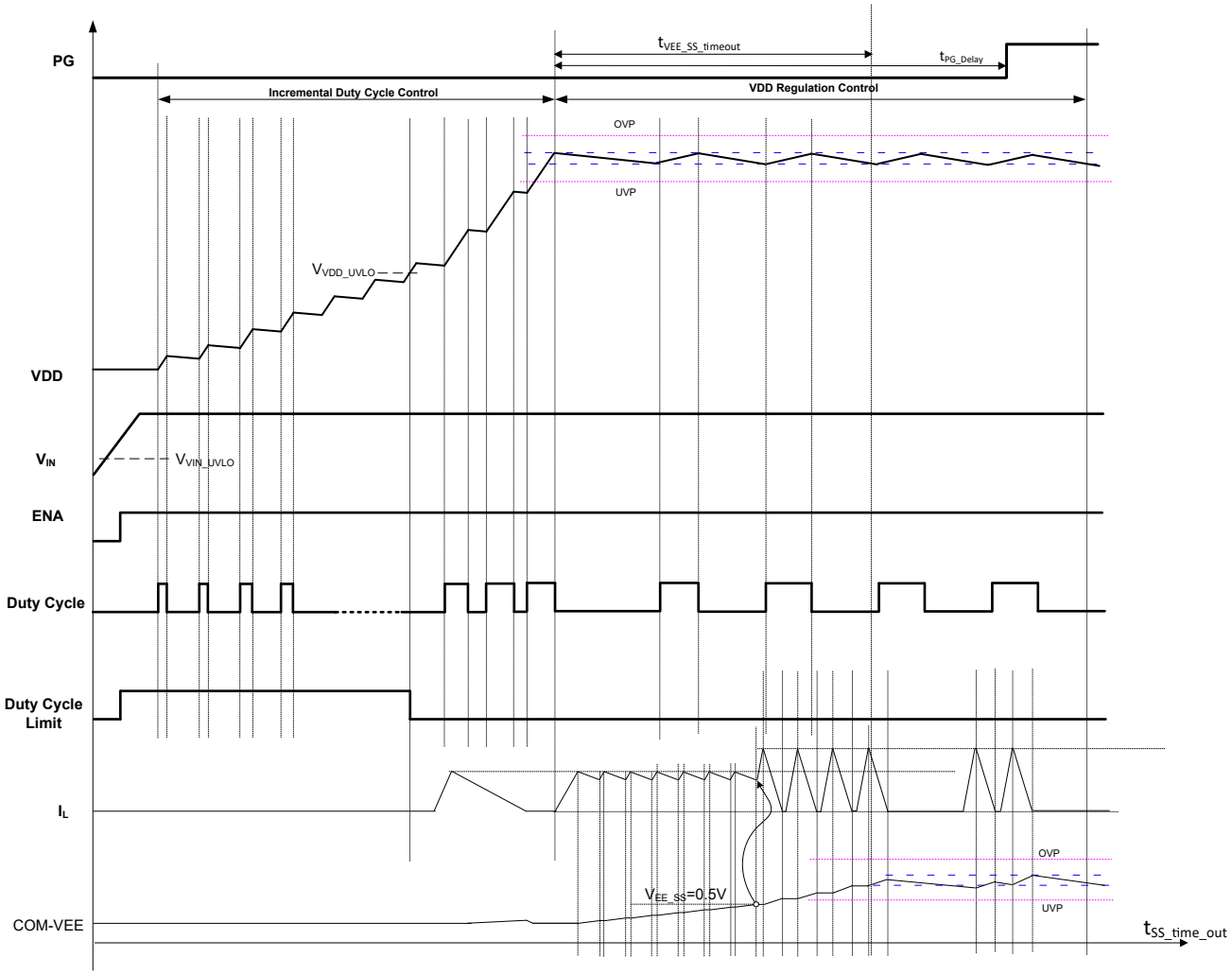


図 7-8. パワーグッド アクティブ High の出力電圧ソフトスタート図

7.3.3 ENA とパワーグッド

ENA 入力ピンと 1 次側のパワーグッド出力ピンは、5V または 3.3V ドメインの TTL と CMOS の両方のロジック レベルをサポートしています。アクティブ high イネーブル入力 (ENA) ピンを使用して、絶縁 DC/DC コンバータをオンにできます。ENA ピンの電圧がイネーブル スレッショルド V_{ENA_R} を上回ると、パワー モジュールはスイッチングを開始し、ソフトスタート プロセスを実施して、2 次側に電力を供給します。ENA ピンの電圧がディセーブル スレッショルド V_{ENA_F} を下回ると 、UCC34141-Q1 がディセーブルされ、内部電力段はスイッチングを停止します。

ラッチオフ デバイスでは、ENA ピンを使用して、保護セーフ状態モードに移行した後でデバイスをリセットすることもできます。故障が検出された後、保護ロジックがラッチオフし、デバイスをセーフ状態に移行します。本デバイスをリセットするには、システムは ENA ピン電圧を V_{ENA_F} 未満に $t_{EN_LO_RST}$ より長い時間トグルしてから、V_{ENA_R} を上回る状態に戻してラッチオフ モードを終了し、ソフトスタート シーケンスを開始する必要があります。故障検出の後、デバイスが再度有効になる前に、あらかじめ組み込まれた遅延として $t_{EN_LO_DLY}$ があります。故障検出後、$t_{EN_LO_DLY}$ より前に ENA をトグルしても、故障はリセットされません。

ENA ピンを使用して、VIN ピンと ENA ピンの間に外付け分圧抵抗を使用することで、プログラム可能な入力 UVLO を実装することもできます。入力 UVLO が比較的低く、V_{IN} が比較的高いデバイスやアプリケーションでは、起動時の V_{IN} のランプが遅いと、トランスの巻線比が比較的低く、出力コンデンサを充電するのに十分な電力を生成できないため、起動が失敗します。この問題は、VIN、ENA、および GNDP ピンの間に抵抗分圧器を追加して ENA 信号時間をプログラムし、

Copyright © 2026 Texas Instruments Incorporated

内部入力 UVLO をオーバーライドすることで解決できます。プログラマブル入力 UVLO 機能を使用すると、ENA ピンと GNDP ピンの間に遅延コンデンサを追加して、各パワーモジュール間の遅延時間をプログラムすることで、複数の内蔵 DC/DC モジュールをシーケンシャルに起動することもできます。具体的には、ENA1 信号を使って 1 つのモジュールまたは 1 つのグループ化されたモジュールを有効化でき、ENA1 からの遅延 ENA2 信号は、別のモジュールまたは別のグループ化されたモジュールを順に有効化できます。ENA1 と ENA2 が離れており、R_{ENA2} 配線が難しいアプリケーションでは、ENA1 用の RC 回路を各モジュールの ENA ピンに複製して、シーケンシャルな起動を実現できます。順次電源投入が必要ない場合は、複数のモジュールが同じ分圧抵抗を共有し、入力 UVLO スレッショルドをプログラムできます。実装を容易にするため、推奨される抵抗とコンデンサの値は、UCC34141 カリキュレータ ツール に記載されています。

抵抗デバイダで 1 つの故障イベント (単一下側抵抗のオープン状態など) を考慮する必要がある場合、ENA ピンの絶対最大値 7V を超えるリスクをアプリケーション レベルで低減する必要があります。2 つの方法を適用できます。1 つの方法は、ENA ピンに外付けのツェナー ダイオードを追加することです。もう 1 つの方法は、下側の抵抗を 2 つの抵抗部品に分割することです。

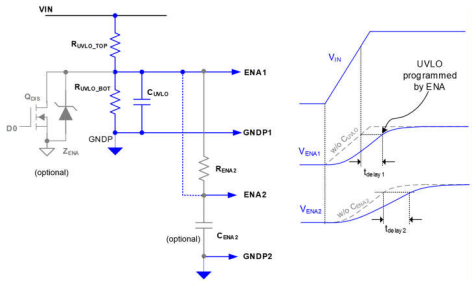


図 7-9. 入力 UVLO プログラミング回路および動作原理

パワーグッドは、モジュールに故障がなく、出力電圧が出力電圧レギュレーション設定ポイントの ±10% 以内であるときに、アクティブ状態を示すオープン ドレイン出力です。内部プルダウン MOSFET < 5mA の最大電流シンク能力を考慮するため、パワーグッド ピンから 5V または 3.3V のロジック レールへのプルアップ抵抗 (> 1kΩ) を推奨します。抵抗が大きいと、パワーグッド ピンの通常のロジック状態での静止電流が減少します。

電源投入時、VDD 電圧がレギュレーションに達すると、t_{VEE_SSTO} および t_{PG_Delay} の 2 つのタイマが開始されます。VEE が t_{VEE_SSTO} 期間内に VEE_UVP スレッショルドを通過しない場合、故障がトリガされ、デバイスをシャットダウンし、ソフト スタートが失敗したことのフラグが設定されます。t_{PG_Delay} 期間内に故障が検出されない場合、パワーグッド信号がアクティブ ステータスに変化し、パワーグッド状態を示します。VDD 電圧が t_{SSTO} 期間内にレギュレーションに達しない場合、故障がトリガされ、デバイスをシャットダウンし、ソフト スタートが失敗したことのフラグが設定されます。

故障がトリガされてデバイスがシャットダウンすると、$t_{RESTART}$ の自動再起動タイマが後から起動し、タイマの経過後にデバイスは自動再起動を試みます。故障状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒカップモードで安全に動作できます。

アクティブ Low のパワーグッド極性の場合、スタートアップ時に $\overline{PG}$ 信号には、隣接する VIN ピンと $\overline{PG}$ ピンとの間の寄生容量に起因する電圧降下があります。この容量性結合により、$\overline{PG}$ ピンにプルアップ電流が発生するため、プルアップ抵抗の両端で電圧降下が発生し、スタートアップ時に $\overline{PG}$ 信号に電圧降下が発生します。スタートアップ時の電圧降下を低減するため、4.99kΩ プルアップ抵抗と $\overline{PG}$ ピンとグランドを接続する 1µF のデカップリング コンデンサを推奨します。

アクティブ High のパワーグッド極性の場合、スタートアップ時は PG が接地されるため、10 プルアップ抵抗付き 0.1µF ～ 1µF 範囲の小さなデカップリング コンデンサを選択できます。アクティブ High 設定を使用すると、複数の DC/DC モジュールからの PG ピン信号を直接接続することで、グループの異常検出出力を簡単にできます。これは、いずれかの 1 つ (または複数) のモジュールのパワーバッド状態がプルダウン FET をオンにする場合でも、合成された PG 信号が Low のままになるためです。一方、パワーグッド状態中は、すべての DC/DC モジュールのプルダウン FET がオフの状態に維持されるため、合成された PG 信号は High のままになります。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 保護機能

UCC34141-Q1 は、入力低電圧誤動作防止、過電圧誤動作防止、出力低電圧、過電圧、過熱などの完全な保護機能を備えています。入力の低電圧および過電圧誤動作防止保護機能は、自動回復応答を備えています。他のすべての保護機能には、表 4-1 に示すように型番に基づいた故障応答があります。ラッチオフ応答保護がトリガされると、コンバータはラッチオフ状態に移行し、スイッチングを停止します。このラッチは、ENA ピンのオフ状態からオンに切り替えるか、または V_{VIN} 電圧を $V_{VIN_UVLO_F}$ スレッショルド未満に下げてから $V_{VIN_UVLO_R}$ スレッショルドより高くすることでリセットされます。自動再起動応答の場合、本デバイスがシャットダウンすると、$t_{RESTART}$ タイマが起動し、図 7-10 に示すように、本デバイスは新しいソフトスタート シーケンスを使って自動再起動を試みます。故障が解消されると、本デバイスはソフトスタートしてレギュレーションに成功します。故障状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒカップモードで安全に動作できます。

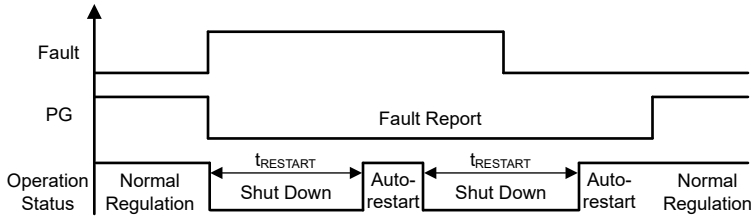


図 7-10. PG がアクティブ High のときの自動再起動動作

7.3.4.1 入力低電圧誤動作防止

V_{VIN} 電圧が UVLO スレッショルド $V_{VIN_UVLO_F}$ を下回ると、UCC34141-Q1 は入力低電圧誤動作防止に移行します。UVLO モードでは、コンバータはスイッチングを停止します。VIN ピンの電圧が $V_{VIN_UVLO_F}$ を下回ると、UCC34141-Q1 はすべての保護をリセットします。次に、V_{VIN} 電圧が UVLO スレッショルド $V_{VIN_UVLO_R}$ を上回ると、コンバータがイネーブルになります。ENA ピンの電圧に応じて、コンバータはスイッチングを開始して、ソフト スタート シーケンスを実行するか、ディスエーブル モードに移行して、ENA ピンの電圧が High に遷移するのを待機します。

7.3.4.2 入力過電圧誤動作防止

入力過電圧ロックアウト保護機能を使用して、過電圧事象をシステムに通知します。VIN ピンの電圧が入力過電圧誤動作防止スレッショルド $V_{VIN_OVLO_R}$ を上回ると、スイッチングが停止し、コンバータは 2 次側へのエネルギーの送信を停止します。過電圧誤動作防止の後で V_{VIN} ピンの電圧が回復スレッショルド $V_{VIN_OVLO_F}$ を下回ると、ENA ピンの電圧に応じて、コンバータはスイッチングを開始して、ソフト スタート シーケンスを実行するか、ディスエーブル モードに移行して、ENA ピンの電圧が High に遷移するまで待機します。

入力過電圧誤動作防止は、他のラッチオフ保護をリセットしません。

7.3.4.3 出力低電圧保護

2 つの出力低電圧保護機能が備わっています。1 つ目の機能は、FBVDD および FBVEE ピン電圧に基づいて出力電圧を監視するものです。FBVDD ピンの電圧が UVP スレッショルド $V_{VDD_UVP_F}$ を下回るか、FBVEE ピンの電圧が UVP スレッショルド $V_{VEE_UVP_F}$ を下回ると、低電圧保護がアクティブになります。UCC34141-Q1 はスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変化します。2 つ目は低電圧モニタ UVLO で、VDD ピンの VDD 電圧を直接監視します。VDD ピンの電圧が $V_{VDD_UVLOS_F}$ を下回ると、UCC34141-Q1 はスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変化します

ソフト スタート中は、出力電圧が 0V から上昇するため、FBVDD ピンと FBVEE ピンの両方の電圧は UVP スレッショルドを下回っています。UVP は、ソフト スタート時に無効化されます。ソフト スタートの完了後に、ピン電圧が UVP 回復スレッショルド ($V_{VDD_UVP_R}$、$V_{VEE_UVP_R}$) に到達できない場合、低電圧保護がアクティブになり、UCC34141-Q1 はスイッチングを停止し、パワーグッド ピンが非アクティブ ステータスに変化します。

Copyright © 2026 Texas Instruments Incorporated

7.3.4.4 出力過電圧保護

UCC34141-Q1 は、FBVDD ピンおよび FBVEE ピンによって出力電圧を検出し、出力電圧を制御します。出力電圧が過度に高くなりすぎたり、負荷または UCC34141-Q1 デバイスが損傷したりしないように、UCC34141-Q1 には出力過電圧保護機能が搭載されています。フィードバック ピンの電圧と出力電圧に基づいて 2 レベルの過電圧保護があります。

通常動作時は、負荷過渡により、出力電圧がレギュレーション レベルを超える場合があります。FBVDD および FBVEE のピン電圧に基づいて、電圧がスレッショルド $V_{VDD_OVP_R}$ または $V_{VEE_OVP_R}$ を超えると、コンバータは直ちにスイッチングを停止します。

外部帰還抵抗の短絡または開放を伴うシステム故障が発生した場合、分圧器が誤動作し、誤った出力電圧情報が生成される可能性があります。そのため、制御ループによって出力電圧が誤った電圧レベルに制御されます。このような故障に対して、UCC34141-Q1 にはフェイルセーフ過電圧保護機能も搭載されています。VDD-COM または COM-VEE 電圧が過電圧保護スレッショルド $V_{VDD_OVLOS_R}$ または $V_{VEE_OVLOS_R}$ を超えると、コンバータは直ちにシャットダウンされます。このフェイルセーフ保護レベルは、負荷ではなく UCC34141-Q1 を保護することを目的としています。

7.3.4.5 出力短絡保護機能

UCC34141-Q1 には、VDD レールと VEE レールの両方に短絡保護機能が内蔵されています。電源投入時、1 次側のソフト スタート タイムアウト t_{SSTO} によって短絡保護が行われます。t_{SSTO} が経過しても VDD および VEE がレギュレーション ターゲットに達していない場合、モジュールはスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変化します。通常動作中、短絡状態が発生した場合、出力は VDD の UVLO および UVP 機能によって保護されるとともに、COM-VEE が 0.5V 未満のときは出力電流が制限される VEE の短絡コンパレータによって保護されます。

7.3.4.6 過熱保護機能

UCC34141-Q1 は、1 次側および 2 次側電力段ならびに絶縁トランスを内蔵しています。電力変換に起因する電力損失により、モジュールの温度は周囲温度よりも高くなります。電源モジュールの安全な動作を確保するため、UCC34141-Q1 には過熱保護機能が搭載されています。1 次側電力段と 2 次側電力段の両方の温度が検出され、過熱保護スレッショルドと比較されます。1 次側電力段の温度が $T_{SHUT_P_R}$ を上回るか、2 次側電力段の温度が $T_{SHUT_S_R}$ を上回ると、モジュールは過熱保護モードに移行します。モジュールはスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変更されます。

7.3.4.7 BSW ピンの障害保護

UCC34141-Q1 は、VEE 昇降圧コンバータのソフト スタート期間中の BSW ピン障害に対する保護メカニズムを備えています。

BSW ピン オープンの場合、VDD 電圧が $V_{VDD_UVLOS_R}$ スレッショルドを超えると、本デバイスは最初のインダクタ電流パルス幅を検出します。このパルス幅は、ピーク電流制限に達するまでの電流上昇期間です。最初のインダクタ電流パルス幅が、最大インダクタンス (> 2.9µs) を使用して通常のパルス幅よりも高い場合は、BSW 故障保護機能がトリガされ、昇降圧スイッチングが無効化されます。その後、VDD ソフトスタートが完了すると、デバイスはスイッチングを停止します。

BSW ピンが COM または VEE ピンへ短絡した場合、本デバイスはリーディング エッジ ブランク期間の終了時にインダクタ電流を検出します。ソフト スタート中に電流がインダクタのピーク電流制限より大きくなると、BSW 故障保護機能がトリガされ、昇降圧スイッチングが無効化されます。その後、VDD ソフトスタートが完了すると、デバイスはスイッチングを停止します。

7.4 デバイスの機能モード

入力および出力条件、ENA ピンの電圧、およびデバイス温度に応じて、UCC34141-Q1 は以下の動作モードのいずれかで動作します。

- ディセーブル モード:このモードでは、モジュールはオフで、ENA ピンが high になって動作が開始されるまで待機します。
- ソフトスタート モード:このモードでは、モジュールは 2 次側への電力供給を開始します。モジュールへのストレスを低減するため、1 次側動作のデューティ サイクルを徐々に上昇させます。
- 通常動作モード:このモードでは、モジュールは通常動作し、電力を 2 次側に供給します。

Copyright © 2026 Texas Instruments Incorporated

- 保護モード、自動回復:このモードでは、入力 UVLO または OVLO 保護のためにモジュールがオフになります。入力電圧障害がクリアされた後、ENA ピンの電圧条件によっては、ENA ピンの電圧が low であればディセーブル モードになるか、ソフト スタート モードを経由して通常動作モードに移行します。
- 保護モード、ラッチオフ:このモードでは、他の保護により部品がオフになります。保護の原因となっている障害が解消されても、モジュールはオフのままです。V_{VIN} をリサイクルする動作では、最初に入力電圧がアナログ UVLO 立ち下がりスレッショルド ($V_{VIN_UVLO_F}$) を下回ることを確認してラッチオフ状態をリセットするか、または ENA ピンを Low (オフ) から High (オン) にトグルする必要があります。
- 保護モード、定義された $t_{RESTART}$ 時間後の自動再起動:このモードでは、他の保護機能によりデバイスがシャットダウンします。デバイスがシャットダウンすると、$t_{RESTART}$ タイマが起動し、デバイスは新しいソフトスタート シーケンスを使って自動再起動を試みます。故障が解消されると、デバイスはソフトスタートしてレギュレーションに成功します。故障状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。故障が発生していれば、本デバイスはヒカップ モードで安全に動作できます。

表 7-1 に、このデバイスの電源機能モードを示します。ENA ピンのグランドに対する内部で弱いプルダウン抵抗がありますが、テキサス インスツルメンツでは、このピンをオープンのままにすることは推奨していません。

表 7-1. デバイスの機能モード

入力			出力			動作モード
V_{VIN}	ENA	フォルト	$V_{(VDD-COM)}$ 絶縁型出力 1	$V_{(COM-VEE)}$ 絶縁型出力 2	パワー グッド (1) (2) オープン ドレイン	
$V_{VIN} < V_{VIN_UVLO_R}$	X	X	OFF	OFF	非アクティブ ステータス	保護モードと自動回復
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	Low	X	OFF	OFF	非アクティブ ステータス	ディセーブル モード
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	High	NO 故障	設定点での調整	設定点での調整	アクティブ ステータス	通常動作
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	High	YES 故障	OFF	OFF	非アクティブ ステータス	保護モード、ラッチオフ、または $t_{RESTART}$ 後の自動再起動
$V_{VIN} > V_{VIN_OVLO_R}$	X	X	OFF	OFF	非アクティブ ステータス	保護モードと自動回復

(1) 表 4-1 に示すパワーグッド アクティブ High デバイスの場合:アクティブ ステータス PG = HIGH、非アクティブ ステータス PG = LOW。
(2) 表 4-1 に示すパワーグッド アクティブ Low デバイスの場合:アクティブ ステータス $\overline{PG}$ = LOW、非アクティブ ステータス $\overline{PG}$ = HIGH。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UCC34141-Q1 は、基板面積が限定されていて高集積を必要とするアプリケーションのために設計されています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる高電圧アプリケーションにも最適です。

8.2 代表的なアプリケーション

以下の図に、絶縁型負荷に電力を供給する UCC34141-Q1 デバイス構成の代表的なアプリケーション回路図を示します。

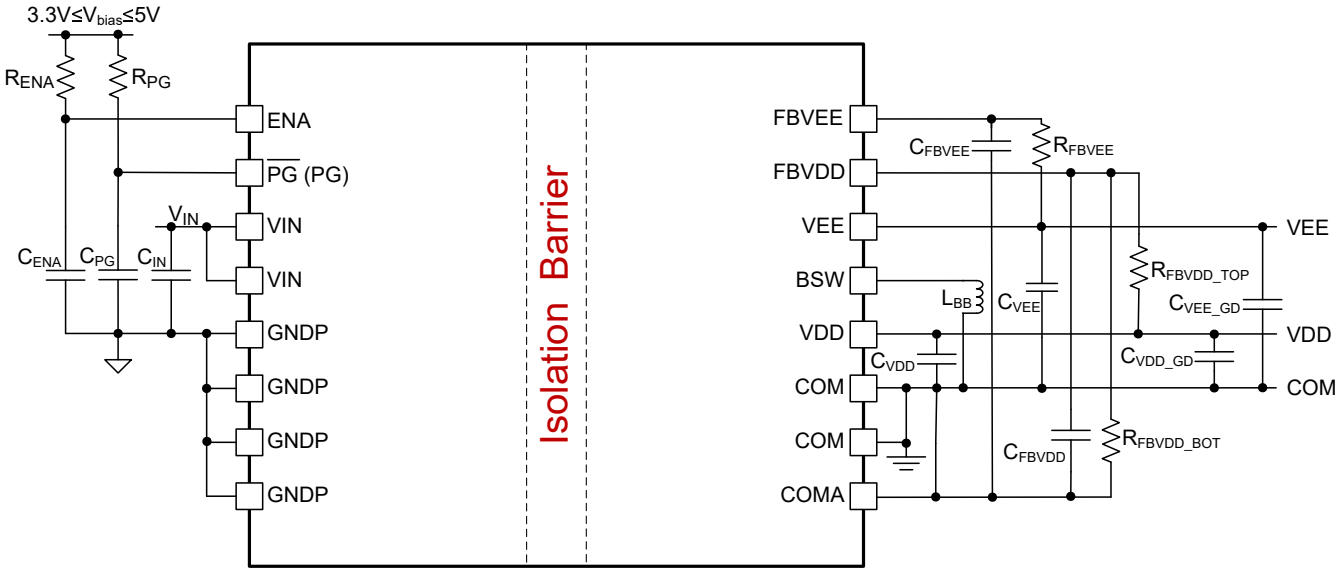


図 8-1. 可変デュアル出力構成

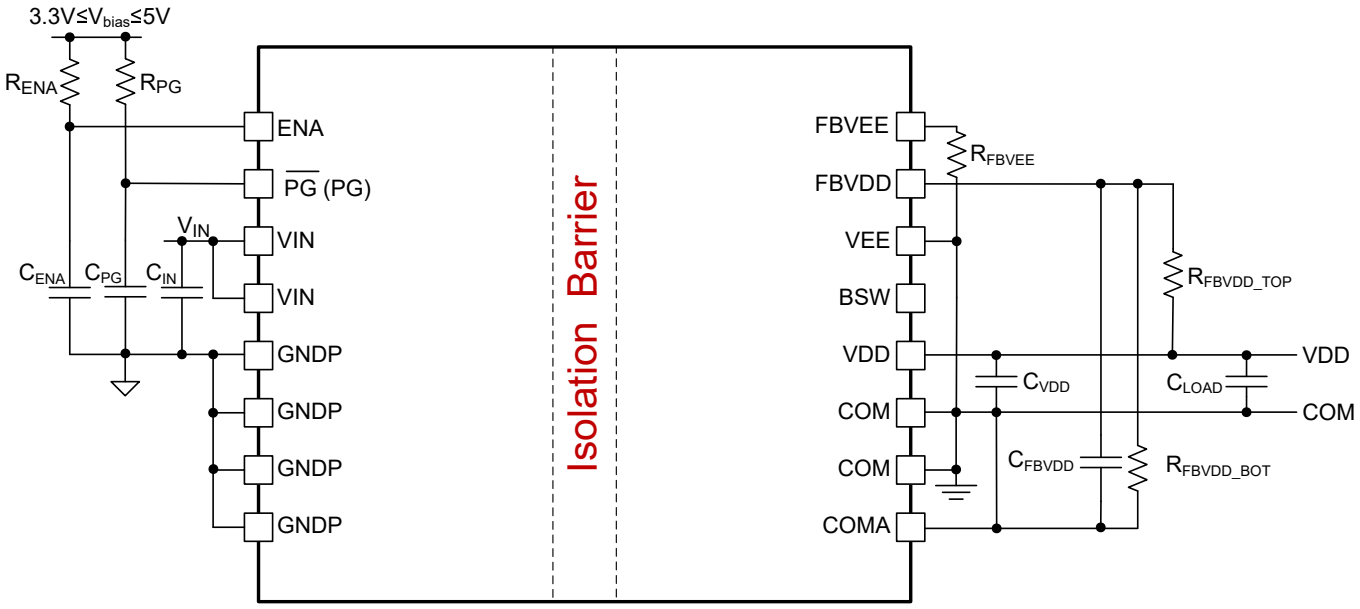


図 8-2. 単一、可変出力構成

8.2.1 設計要件

UCC34141-Q1 を使用する設計は簡単です。まず、単一出力またはデュアル出力を選択します。各出力の電圧を決定し、帰還抵抗を使用してレギュレーションを設定します。パワー デバイスのゲート電荷によって、ゲート ドライバの入力に必要な出力デカップリング容量の大きさが決まります。

デュアル可変出力構成の場合、1 個の内部反転昇降圧コンバータは、ターンオフ電源 (VEE) 用のレギュレーション済み負レールを生成します。バック・ブースト・コンバータは、ピーク電流モードのヒステリシス制御器によって制御されます。通常動作では、コンバータは不連続導通モードにとどまりますが、スタートアップ時には連続導通モードに移行できます。コンバータは内部で制御されており、必要なのは単一の表面実装インダクタ (L_{BB}) と出力バイパス コンデンサ (C_{VEE}) のみです。通常、コンバータは、3.3µH のインダクタと 2.2µF の出力コンデンサを使用するように設計されています。

BOM 部品の推奨値を示すサマリ表を以下に示します。このサマリ表は、このデータシートのほか、設計サポート ドキュメントである UCC34141 カリキュレータ ツール でも利用できます。

表 8-1. 推奨部品値

部品	説明	推奨値
R_{ENA}	ENA ピンのプルアップ抵抗	4.9kΩ を 3.3V または 5V レールに接続するか、制御信号で駆動
R_{PG}	$\overline{PG}$(PG) ピンのプルアップ抵抗	4.9kΩ を 3.3V または 5V レールに接続
C_{ENA}	ENA ピンのフィルタ コンデンサ	100nF
C_{PG}	$\overline{PG}$(PG) ピンのフィルタ コンデンサ	1uF
C_{IN}	入力電圧デカップリング コンデンサ	1.0µF と並列の 10µF
R_{FBVEE}	VEE 電圧を設定するための抵抗	セクション 8.2.2.2 を参照
C_{FBVEE}	FBVEE のフィルタ コンデンサ	10pF から COMA へ
L_{BB}	VEE レールの反転昇降圧インダクタ	3.3uH～10uH
R_{FBVDD_TOP}	VDD 出力電圧の上側選択抵抗	セクション 8.2.2.1 を参照
R_{FBVDD_BOT}	VDD 出力電圧の下側選択抵抗	セクション 8.2.2.1 を参照
C_{FBVDD}		220pF
C_{VDD}	出力バイアス電源コンデンサ	1.0µF と並列の 10µF
C_{VDD_GD}	ゲートドライバのバイパス コンデンサ	負荷コンデンサはスイッチング負荷のゲート電荷に依存するため、許容可能なリップル電圧を得るには容量を大きくする必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 推奨部品値 (続き)

部品	説明	推奨値
C_{VEE_GD}	ゲートドライバのバイパス コンデンサ	負荷コンデンサはスイッチング負荷のゲート電荷に依存するため、許容可能なリップル電圧を得るには容量を大きくする必要があります。

8.2.2 詳細な設計手順

セラミック デカップリング コンデンサは、デバイスピンにできる限り近づけて配置してください。入力電源の場合、ピン 3 および 4 (VIN) と ピン 5 (GNDP) の間にコンデンサを配置します。絶縁出力電源（VDD – COM）の場合は、C_{VDD} コンデンサをピン 12 (VDD) とピン 11 (COM) の間に配置します。負の電源電圧 (COM–VEE) の場合は、C_{VEE} コンデンサをピン 14 (VEE) とピン 11 (COM) の間に配置します。これらのコンデンサは、電力ドライブ回路の高速スイッチング波形に関連する過渡電流を供給するため、すべてのデカップリングコンデンサに特に重要になります。コンデンサの誘電体材料が、ターゲット アプリケーションの温度と適合していることを確認します。

8.2.2.1 VDD - COM 電圧レギュレーション

UCC34141-Q1 は、メイン出力として、絶縁出力 VDD-COM を生成します。電力段の動作は、ヒステリシス制御を使用して FBVDD ピンの VDD 電圧を検出することで決定されます。内部リファレンス電圧 V_{FBVDD_REF} = 2.5V (標準値)。選択した R_{FBVDD_BOT} における R_{FBVDD_TOP} の値を決定するには、次の式を使用します。

$$R_{FBVDD_TOP} = \frac{V_{VDD} \times R_{FBVDD_BOT}}{V_{FBVDD_REF}} - R_{FBVDD_BOT} \quad (2)$$

たとえば、VDD 値を 20V に設定するには、10kΩ 抵抗を R_{FBVDD_BOT} とし、R_{FBVDD_TOP} をのように計算できます

$$R_{FBVDD_TOP} = \frac{20V \times 10k\Omega}{2.5V} - 10k\Omega = 70k\Omega \quad (3)$$

ノイズ耐性を高めるには、FBVDD ピンと COMA ピンとの間に 220pF の小さなコンデンサ C_{FBVDD} を追加します。

8.2.2.2 COM-COM VEE 電圧レギュレーションおよび単一出力構成

UCC34141-Q1 は、VEE 帰還抵抗 R_{FBVEE} を使用して、デュアル出力またはシングル出力コンバータとして構成できます。次の表は、異なる R_{FBVEE} 値でプログラム可能な範囲をまとめたものです。VDD 単一出力モードは、150kΩ と 300kΩ の間の R_{FBVEE} 値によりプログラムできます。公差 ≤±5% の 180kΩ SMD 抵抗を推奨します。R_{FBVEE} が 150kΩ より低いと VDD および VEE デュアル出力モードがトリガされる可能性があり、R_{FBVEE} が 300kΩ より高いと FBVEE ピン オープン フォルトがトリガされる可能性があります。図 8-2 に、シングル出力構成の代表的なアプリケーションの回路図を示します

表 8-2. R_{FBVEE} プログラミング

R_{FBVEE}	0kΩ～5kΩ	25kΩ～85kΩ	150kΩ～300kΩ	>1000kΩ
動作モード	FBVEE ピン短絡フォルトがトリガされ、出力はシャットオフされます。	VEE レギュレーション時、VDD と VEE のデュアル出力 最高のレギュレーション精度を得るためには、公差 ≤ ±1% の SMD 抵抗を推奨します。	VDD 単一出力 公差 ≤±5% の 180kΩ SMD 抵抗を推奨します。	FBVEE ピン オープン フォルトがトリガされ、出力はシャットオフされます。

内部の昇降圧コンバータから、安定化された負の VEE 電圧を生成します。昇降圧コンバータの動作は、FBVEE ピンの VEE 電圧を検出することで決定されます。内部 45k 抵抗と 4.5V のリファレンス電圧を活用し、VEE 電圧に対するプログラミング (設定) と、-2V ～ -8V の安定化を実施できます。デュアル出力モードでの COM-V EE と R_{FBVEE} の間の伝達関数はです

$$R_{FBVEE} = \frac{(0.5V - V_{VEE}) \times 45k\Omega}{4.5V} \quad (4)$$

VEE レギュレーション値を -5V に設定する式の例

$$R_{FBVEE} = \frac{[0.5V - (-5V)] \times 45k\Omega}{4.5V} = 55k\Omega \quad (5)$$

8.3 システム例

UCC34141-Q1 モジュールはシステムにシームレスに統合されており、IGBT および SiC パワー FET の制御のためにゲートドライバに電力を供給します。故障とステータスの帰還は $\overline{PG}$ (PG) ピン経由で提供され、ENA ピンにより電源シーケンスを制御できます。デュアル出力構成とシングル出力構成のシステム図を以下に示します。

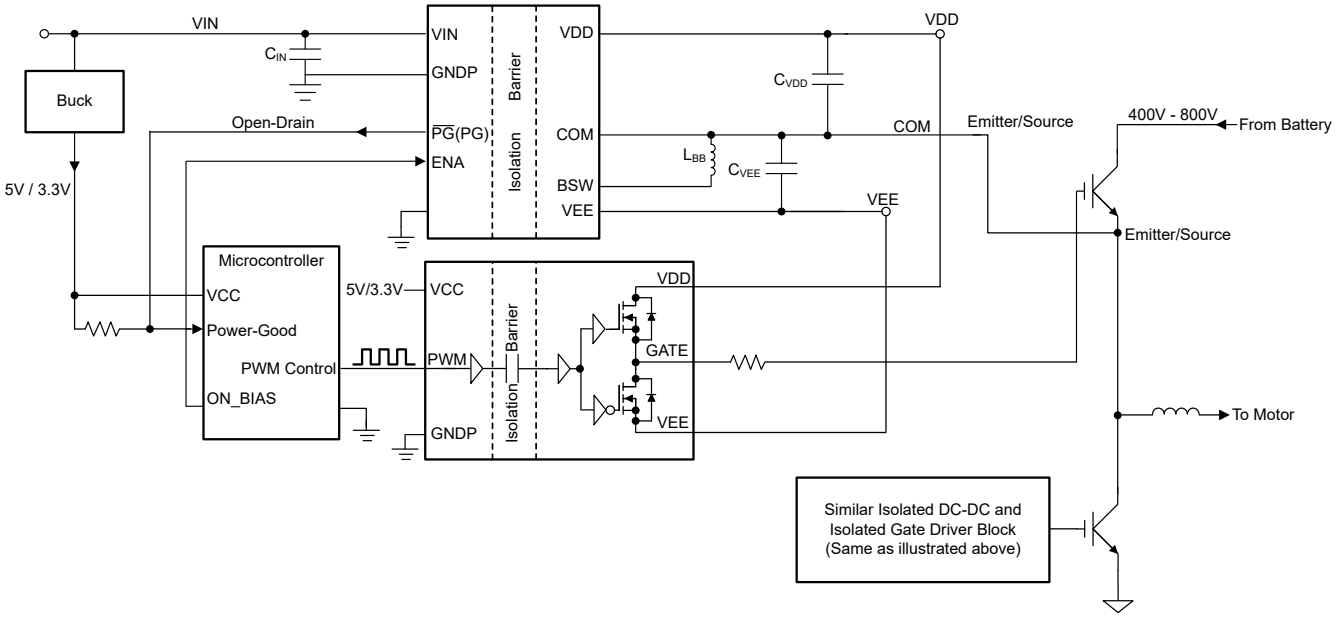


図 8-3. デュアル出力システム構成

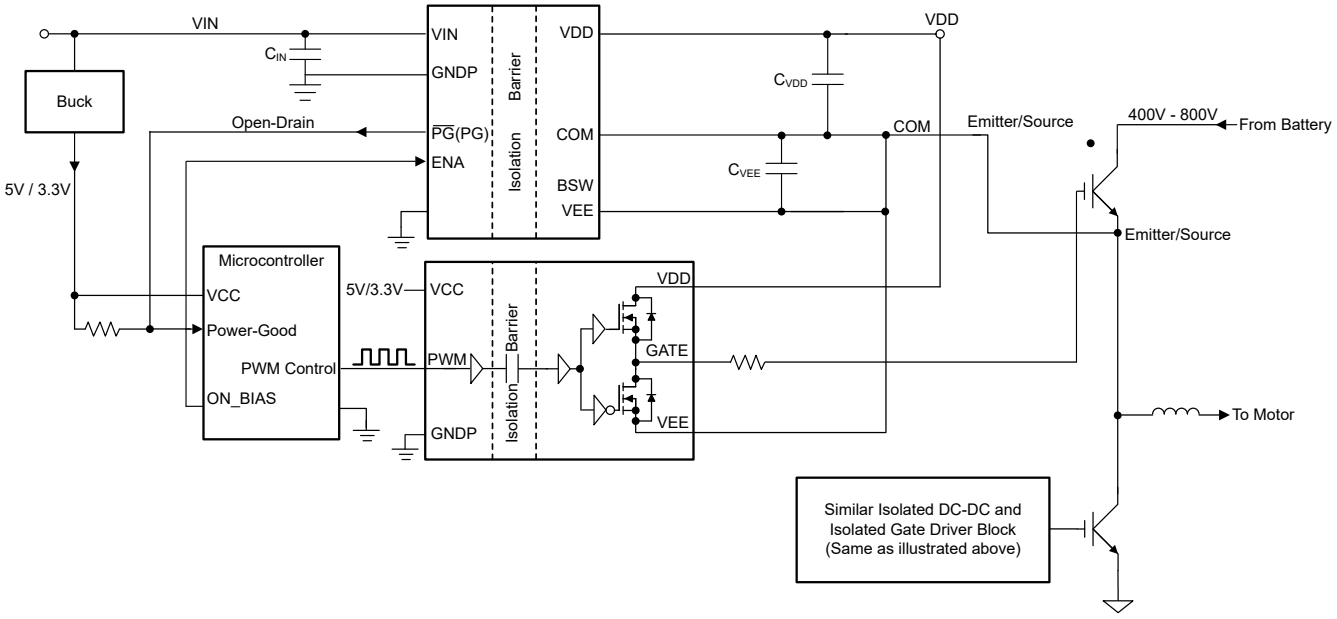


図 8-4. シングル出力システム構成

Copyright © 2026 Texas Instruments Incorporated

8.4 電源に関する推奨事項

UCC34141-Q1 には、単一の入力電源 VIN が必要です。信頼性の高い動作を確立するため、適切なデカップリング コンデンサを電源ピンのできるだけ近くに配置します。ローカル バイパス コンデンサは、入力側の VIN ピンと GNDP ピンの間、VDD と COM の間、および出力側 COM と VEE の間に配置する必要があります。TI は、高周波デカップリング用に推奨される容量を提供するために、低 ESR のセラミック表面実装コンデンサをお勧めします。最終アプリケーションで必要とされる出力負荷に対応できるよう、入力電源の定格電流は適切でなければなりません。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

UCC34141-Q1 の統合絶縁電源ソリューションは、システム設計の簡素化、基板面積の使用低減を可能にします。最適な性能を実現するために適切な PCB レイアウトについては、これらのガイドラインに従ってください。適切な熱 PCB 設計を実現するには、外付け層上に 2 オンスの銅箔を使用した最低 4 層の PCB 層スタックを推奨します。信号トラックを配線したり、UCC34141-Q1 の直下に部品を配置したりすることは推奨しません。

1. VIN ピンと GNDP ピンの間の入力コンデンサ:
   a. 0.1µF 高周波バイパス コンデンサ (C3) はピン 3、4 (VIN) およびピン 5 ～ 8 (GNDP) のできるだけ近く、PCB 上で IC と同じ側に配置します。最適な配置のために望ましいサイズは、0402 セラミック SMD 以下です。10MHz から 30MHz までの範囲の自己共振周波数は、内部絶縁型コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。高周波電流がコンデンサを流れて強制的に流れるように、バイパス コンデンサと IC ピンの間にビアを配置しないでください。
   b. 図 8-5 に示すように、バルク VIN コンデンサ (C2) は可能な限り近く、0.1µF 高周波バイパス コンデンサ (C3) と平行に、PCB 上で IC と同じ側に配置します。
2. VDD ピンと COM ピンの間の出力コンデンサ:
   a. 0.1µF 高周波バイパス コンデンサ (C5) は、ピン 12 (VDD) およびピン 10、11 (COM) のできるだけ近く、PCB と同じ側に IC として配置します。最適な配置のために望ましいサイズは、0402 セラミック SMD 以下です。10MHz から 30MHz までの範囲の自己共振周波数は、内部絶縁型コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。高周波電流がコンデンサを流れて強制的に流れるように、バイパス コンデンサと IC ピンの間にビアを配置しないでください。
   b. 図 8-5 に示すように、バルク VDD-COM コンデンサ (C8) は可能な限り近く、0.1µF 高周波バイパス コンデンサ (C5) と平行に、PCB 上で IC と同じ側に配置します。
3. VEE ピンと COM ピンの間の出力コンデンサ:
   a. 2.2µF の高周波バイパス コンデンサ (C9) は、VEE および COM ピンのできるだけ近くに配置します。3MHz から 4MHz までの自己共振周波数は、3.3µH のインダクタ (L1) を選択した昇降圧コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。コンデンサと VEE 昇降圧コンバータの内部ローサイド MOSFET との間のスイッチング ループを低減するために、コンデンサを PCB の反対側に配置し、ビアを使用して接続することも可能です。コンデンサを異なる側に配置すると、VDD ピンと COM ピンとのデカップリング コンデンサの配置も簡素化できます。図 8-9 に、C9 と L1 を PCB の底面に配置する例を示します。
4. 帰還:
   a. COMA は、すべての PCB 層を通して COM プレーンから絶縁する必要があります。1 つのビアを使用して、FBVEE ピンのローサイド フィルタ コンデンサと同じように、FBVDD ピンからローサイド抵抗およびフィルタ コンデンサに直接接続します。
   b. RFBVDD の帰還抵抗 (R6 と R7) とデカップリング セラミック コンデンサ (C6) は、IC の近くに配置します。
   c. 上側の帰還抵抗はローサイド抵抗の隣に配置し、両方の抵抗の間には短い直接接続を使用して、FBVDD ピンへは単一の接続を使用する。レギュレートされたレール (VDD-COM) を検出するための上側の接続は、最高の精度と最高の過渡応答を実現するため、VDD バイアス コンデンサから離し、ゲートドライバ ピンの近くに配線して接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

d. VEE 帰還抵抗 (R5) は、FBVEE (ピン 15) の隣に、デカップリング セラミック コンデンサ (C4) とともに配置する必要があります。また、レギュレートされたレール (COM-VEE) を検出するための接続は、最高の精度と最高の過渡応答を実現するために、COM バイアス コンデンサの離れた場所、ゲート ドライバ ピンの近くに配線して接続する必要があります。
e. デュアル出力モードを使用する場合、昇降圧インダクタ (L1) と 2.2µF デカップリング セラミック コンデンサ (C9) を実装する必要があります。これらのピンは、IC の反対側に配置することも、IC と同じ層に配置することもできます。
f. 図 8-6 にレイアウト例を示します。ここで、L2 (黄) はレイヤ 2 に配線され、L3 (緑) はレイヤ 3 に配線されています。

5. サーマルビア:UCC34141-Q1 の内部トランスは、リード フレームに直接接続します。そのため、以下の手順で概説するように、PCB に十分なスペースと適切なヒートシンクを確保することが重要です。
   a. VIN、GNDP、VDD、COM ピンを、複数のビアを介して内部のグランドまたは電源プレーンに接続することを推奨します。または、これらのピンに接続されるポリゴンをできるだけ幅広くします。
   b. PCB の上面 GNDP 銅を底面の GNDP 銅に接続する、複数のサーマル ビアを使用します。可能であれば、外付けの PCB 層の上下に 2 オンスの銅箔を使用することを推奨します。
   c. PCB の上面 VEE 銅を底面の VEE 銅に接続する、複数のサーマル ビアを使用します。可能であれば、外付けの PCB 層の上下に 2 オンスの銅箔を使用することを推奨します。
   d. 最上層と最下層の銅を接続するサーマル ビアも、内部の銅層に接続して、熱抽出をさらに改善することができます。
   e. サーマル ビアは以下に示すパターンと似たものにしますが、可能な限り銅の面積を広くします。TI では、直径 30mil、穴サイズ 12mil のサーマル ビアを使用することを推奨します。
   f. 図 8-7 にレイアウトの例を示します。銅の面積が少ない場合は、ピン 5 ～ 8 (1 次側) と 9 ～ 11 (2 次側) の近くに配置し、設計で可能な限り多くのサーマル ビアを使用します。

6. 沿面距離:データシートに規定されている沿面距離、空間距離、電圧絶縁定格を完全に維持するため、UCC34141-Q1 の直下に信号パターンを配線したり、部品を配置したりしないようにします。定義された絶縁バリア全体で、空間距離を赤色でハイライトしたままにします。基本絶縁でのキープアウトの空間距離は、強化絶縁要件 (8.2mm) より 50% 短くできます。8.2Mm を使用すると、追加のマージンが得られます。図 8-8 にレイアウトの例を示します。
7. ゲートドライバの出力コンデンサ:C_{VDD_GD} (C11 と C12) および C_{VEE_GD} (C10) は、UCC34141 カリキュレータ ツール で参照されるリファレンス指定子です。C11 と C12 は VDD と COM との間のコンデンサ、C10 は COM と VEE との間のコンデンサです。C10 ～ 12 はゲートドライバ IC が必要とするコンデンサです。
   a. 最適なデカップリングとゲートドライバのスイッチング性能を実現するため、C_{VDD_GD} と C_{VEE_GD} は、ゲートドライバ IC の隣に配置する必要があります。
   b. 最適な電圧レギュレーションを実現するため、VEE (FBVEE) および VDD (FBVDD) からの帰還パターンは、できる限り直線的に配置し、電圧帰還をゲートドライバ IC の近くにある VDD および VEE コンデンサで直接検出できるようにします。

8. パワー グッド ピン デカップリング コンデンサ:デカップリング コンデンサは、ピン 2 (パワー グッド ピン) の近くに、PCB の UCC34141-Q1 と同じ側に配置する必要があります。図 8-5 に示す C13 の配置を参照してください。

8.5.2 レイアウト例

以下の図に示す PCB レイアウト例は、図 8-1 に示す回路図に基づいています。

Copyright © 2026 Texas Instruments Incorporated

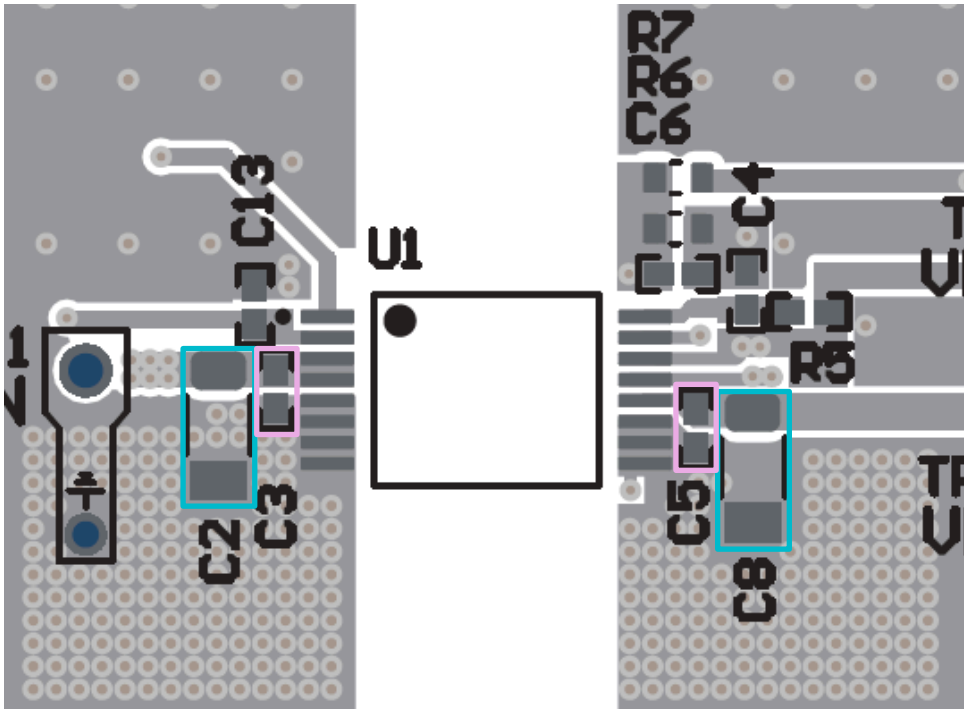


図 8-5. VIN (C2、C3) と VDD (C5、C8) コンデンサ

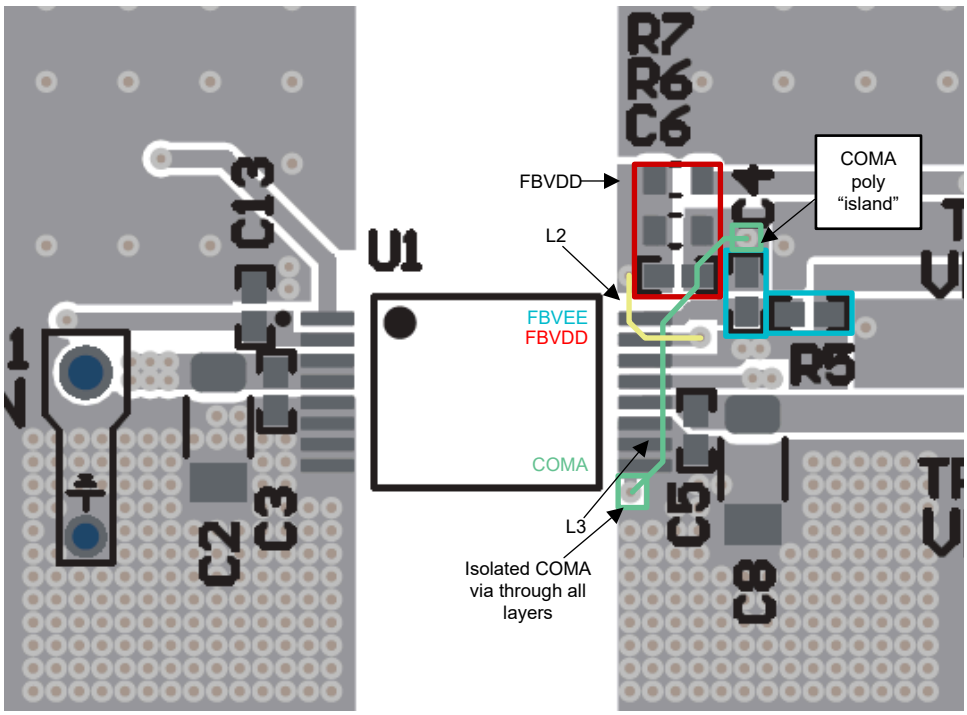


図 8-6. FBVDD (R6-7、C6)、FBVEE (R5、C4)、COMA 配線

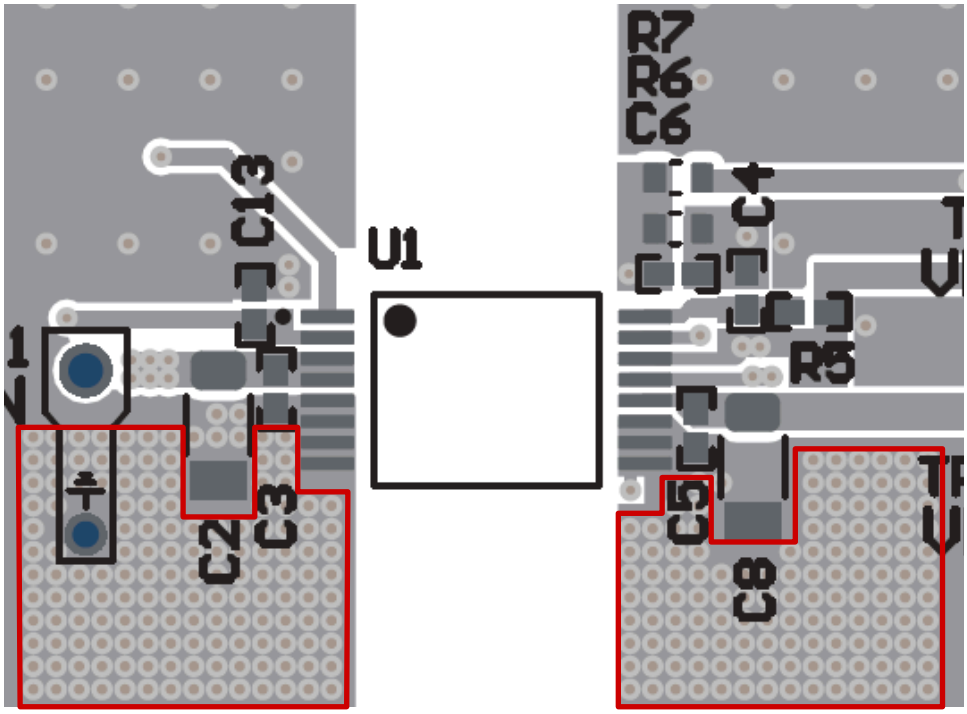


図 8-7. サーマル ビア

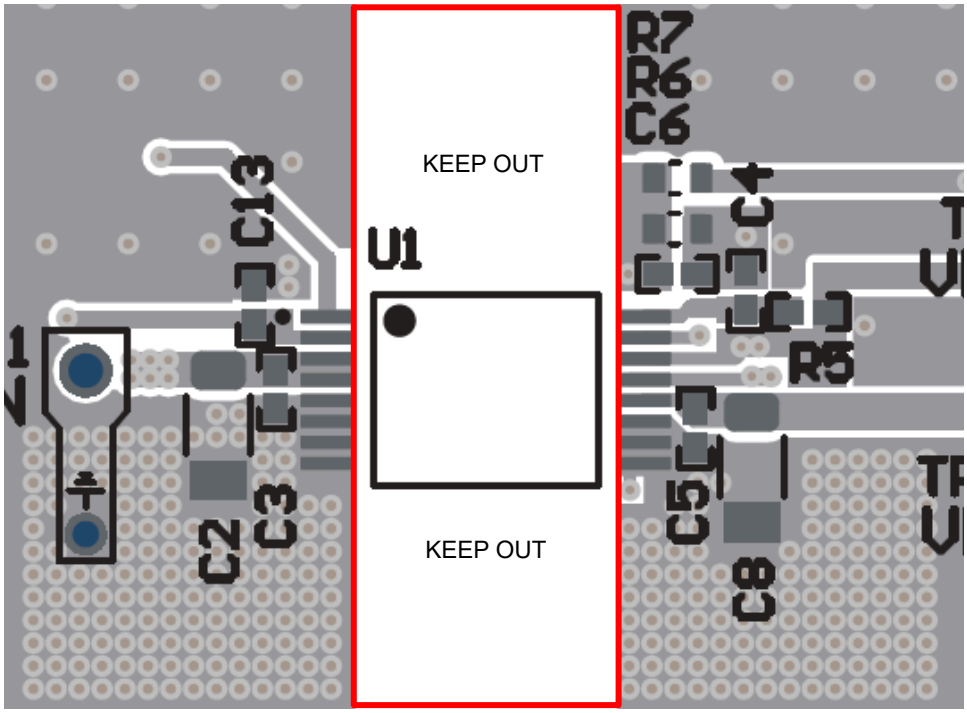


図 8-8. 絶縁禁止領域

Copyright © 2026 Texas Instruments Incorporated

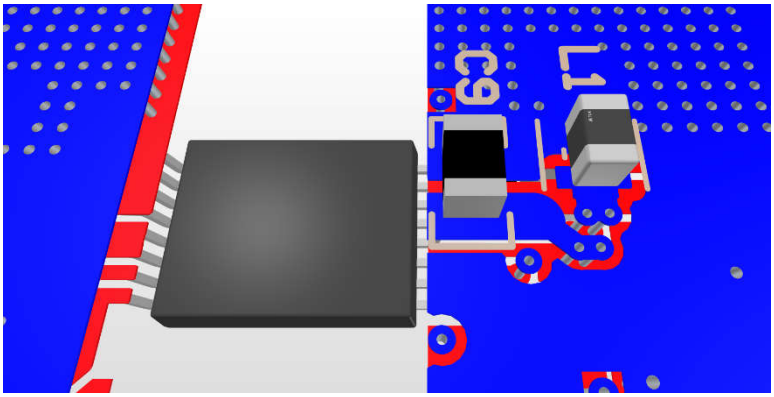


図 8-9. 底面、昇降圧、VEE LC の配置と配線

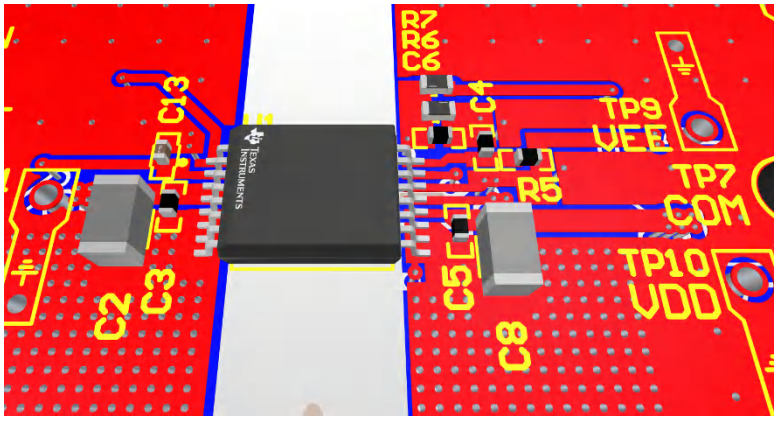


図 8-10. 上面、部品の配置と配線

9 デバイスおよびドキュメントのサポート

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*絶縁の用語集*』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2026) to Revision D (April 2026)	Page
• I_{VINP_NL} の最大値を以下の通り更新。16mA から 18mA	8

Changes from Revision B (November 2025) to Revision C (March 2026)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス インスツルメンツは、JEDEC 標準の J-STD-020 リフロー プロセスを使用してデバイスを取り付けることを推奨します。ピーク ハンダ付け温度が 260ºC を超えてはなりません。テスト プロセス中に手動設置が必要な場合は、ピーク温度が 260°C を超えないように制限することを推奨します。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC34141QDHARQ1	Active	Preproduction	SO-MOD (DHA) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PUCC34141QDHARQ1.A	Active	Preproduction	SO-MOD (DHA) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC34141DQDHARQ1	Active	Production	SO-MOD (DHA) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	C34141DQ
UCC34141QDHARQ1	Active	Production	SO-MOD (DHA) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	CC34141Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC34141-Q1 :

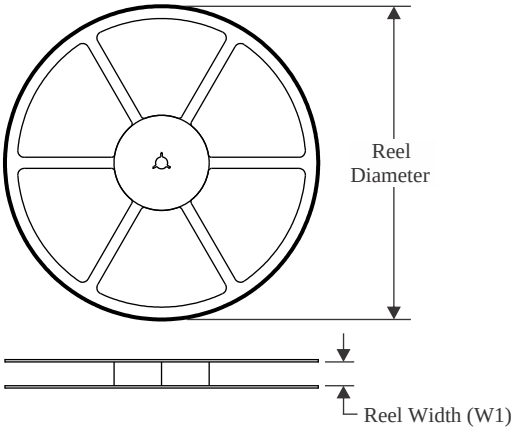
- Catalog : UCC34141
- Military : UCC14141-Q1

NOTE: Qualified Version Definitions:

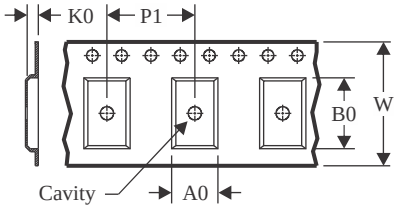
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

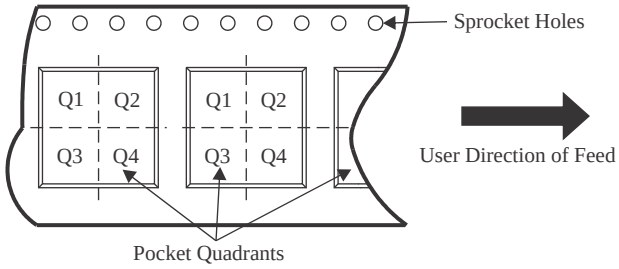


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

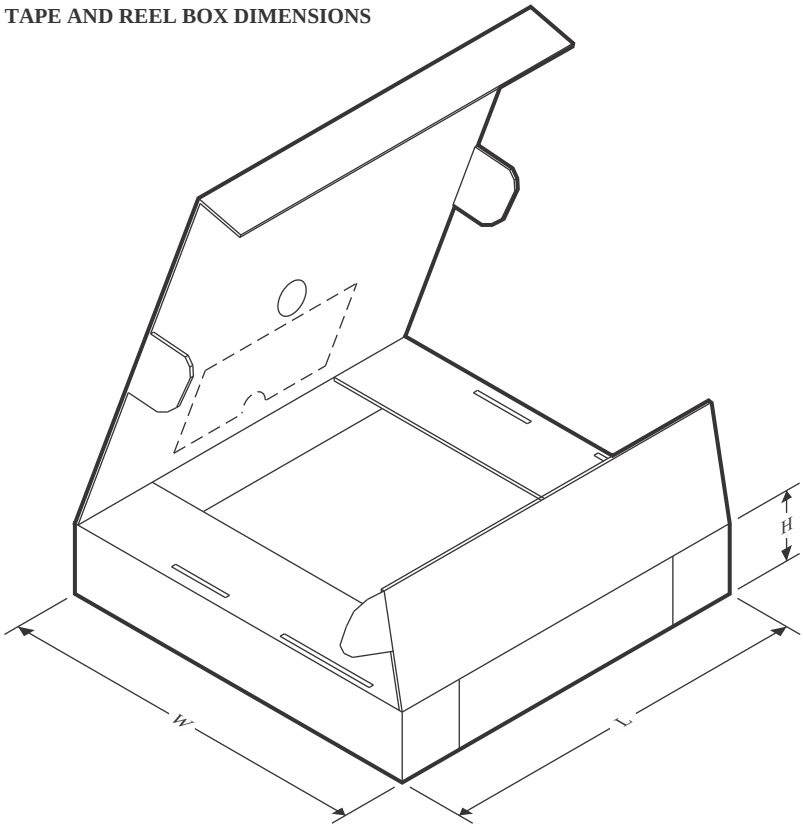
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC34141DQDHARQ1	SO-MOD	DHA	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC34141QDHARQ1	SO-MOD	DHA	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

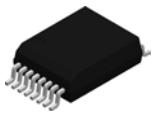
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC34141DQDHARQ1	SO-MOD	DHA	16	1000	350.0	350.0	43.0
UCC34141QDHARQ1	SO-MOD	DHA	16	1000	350.0	350.0	43.0

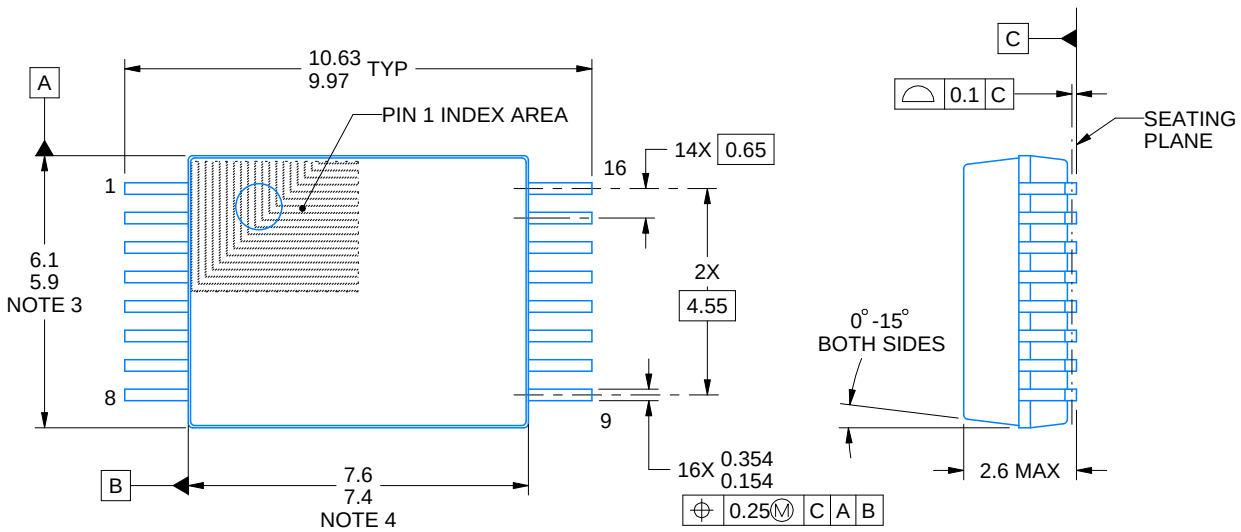
DHA0016A

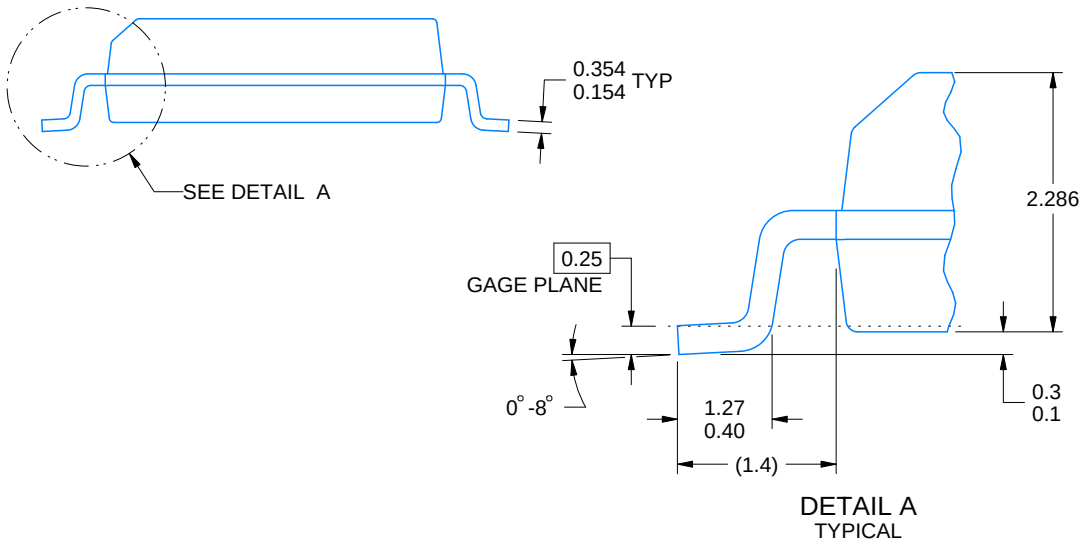


PACKAGE OUTLINE

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE

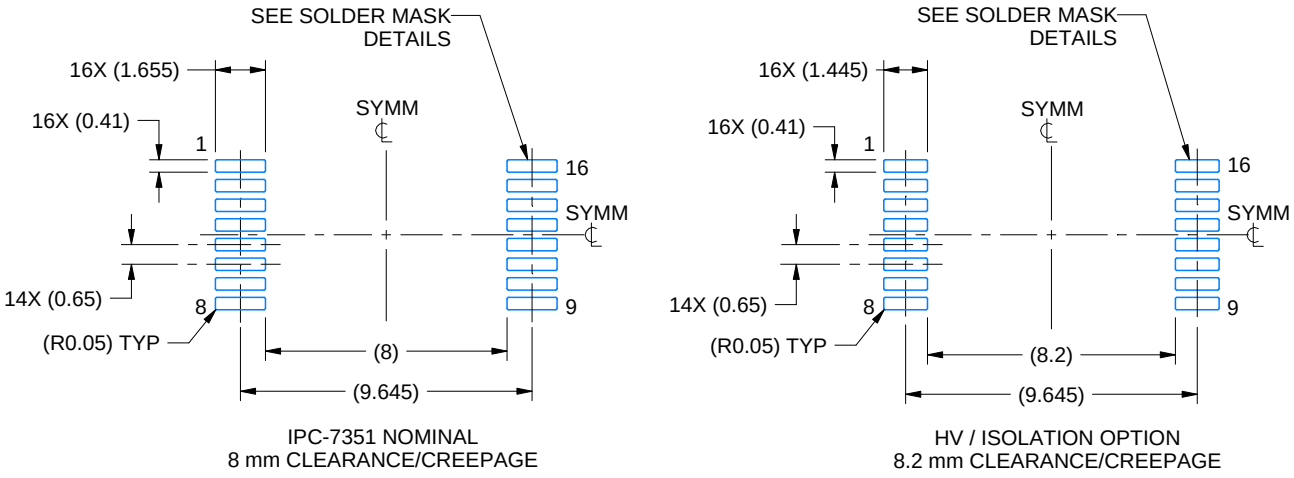




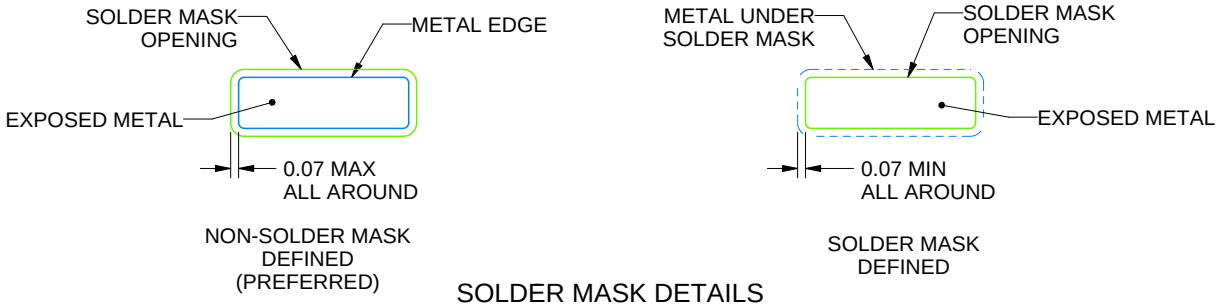
4230131/C 08/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLES
EXPOSED METAL SHOWN
SCALE: 4X



SOLDER MASK DETAILS

4230131/C 08/2026

NOTES: (continued)

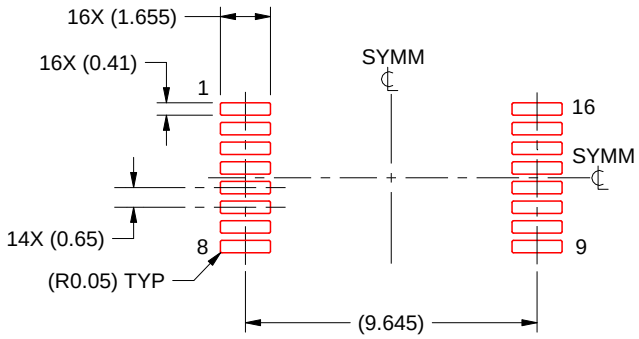
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

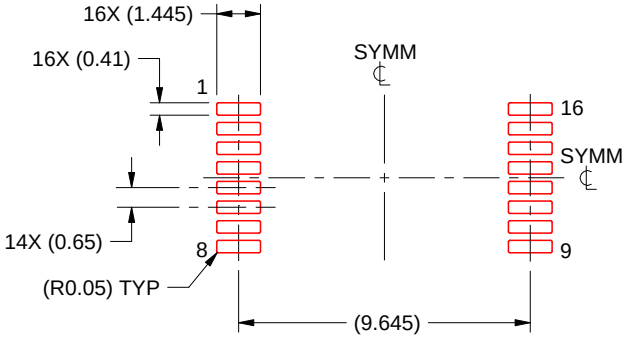
DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



IPC-7351 NOMINAL
8 mm CLEARANCE/CREEPAGE



HV / ISOLATION OPTION
8.2 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLES
BASED ON 0.125 mm THICK STENCIL
SCALE: 4X

4230131/C 08/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月