

UCC53x0 シングル チャネル絶縁ゲート ドライバ

1 特長

- 機能オプション
 - 分割出力 (UCC53x0S)
 - GND2 を基準とする UVLO (UCC53x0E)
 - ミラー クランプ オプション (UCC53x0M)
- 8 ピン D (沿面距離 4mm) および DWV (沿面距離 8.5mm) パッケージ
- 60ns (代表値) の伝搬遅延時間
- 最小 CMTI: 100kV/ns
- 絶縁バリアの寿命: >40 年
- 入力電圧範囲: 3V~15V
- 最大 33V のドライバ電源電圧
 - 8V および 12V UVLO オプション
- 負の 5V に対応可能な入力ピン
- 安全関連認証:
 - DIN V VDE V 0884-11:2017-01 と DIN EN 61010-1 に準拠した絶縁耐圧: 7000V_{PK} (DWV、予定)、4242V_{PK} (D)
 - UL 1577 に準拠した絶縁耐圧定格 (1 分間): 5000V_{RMS} (DWV)、3000V_{RMS} (D)
 - GB4943.1-2011 準拠の CQC 認定: D および DWV (予定)
- CMOS 入力
- 動作温度: -40°C~+125°C

2 アプリケーション

- モータドライブ
- 高電圧の DC/DC コンバータ
- UPS および PSU
- HEV および EV 電源モジュール
- 太陽光インバータ

3 説明

UCC53x0 は、MOSFET、IGBT、SiC MOSFET、GaN FET (UCC5350SBD) を駆動するように設計されたシングル チャネル絶縁型ゲート ドライバのファミリです。UCC53x0S には分割出力があり、立ち上がりと立ち下りの時間を別々に制御できます。UCC53x0M は、トランジスタのゲートを内部的なクランプへ接続することで、ミラー電流により誤って電源オンが発生することを防止します。UCC53x0E には、GND2 を基準とする UVLO2 があり、真の UVLO 読み取り値を得られます。

UCC53x0 は、4mm SOIC-8 (D) または 8.5mm SOIC-8 (DWV) パッケージで供給され、それぞれ最大 3kV_{RMS} および 5kV_{RMS} の絶縁電圧をサポートできます。これらの各種のオプションを取りそろえた UCC53x0 ファミリは、モータドライブや産業用電源に適しています。

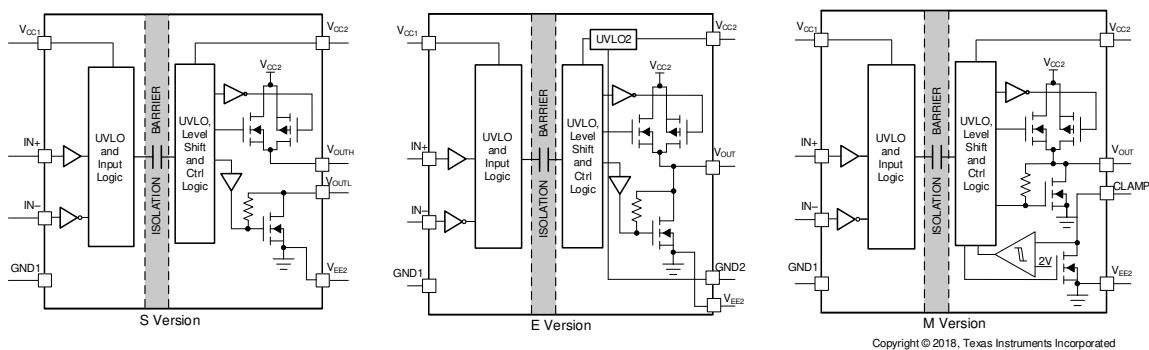
フォトカプラと比較して、UCC53x0 ファミリは部品間スキューが小さく、伝搬遅延時間が短く、より高い温度でも動作し、CMTI が高いという特長があります。

製品情報

発注用部品番号 (1)(2)	代表的なソース電流およびシンク電流	説明
UCC5310MC	4.3A、2.2A	ミラー クランプ
UCC5320SC	4.3A、4.4A	分割出力
UCC5320EC	4.3A、4.4A	IGBT エミッタを基準とする UVLO
UCC5350MC	10A、10A	ミラー クランプ
UCC5350SB	8.5A、10A	8V UVLO 付きの分割出力
UCC5390SC	17A、17A	分割出力
UCC5390EC	17A、17A	IGBT エミッタを基準とする UVLO

- (1) 供給されているすべてのパッケージについては、[セクション 14](#) を参照してください。
- (2) デバイスの詳細な比較については、[セクション 4](#) を参照してください。





機能ブロック図 (S、E、M バージョン)

目次

1 特長.....	1	8.1 概要.....	27
2 アプリケーション.....	1	8.2 機能ブロック図.....	27
3 説明.....	1	8.3 機能説明.....	29
4 デバイス比較表.....	4	8.4 デバイスの機能モード.....	33
5 ピン構成および機能.....	5	9 アプリケーションと実装.....	35
6 仕様.....	7	9.1 使用上の注意.....	35
6.1 絶対最大定格.....	7	9.2 代表的なアプリケーション.....	35
6.2 ESD 定格.....	7	10 電源に関する推奨事項.....	41
6.3 推奨動作条件.....	7	11 レイアウト.....	42
6.4 熱に関する情報.....	8	11.1 レイアウトのガイドライン.....	42
6.5 電力定格.....	8	11.2 レイアウト例.....	43
6.6 D パッケージの絶縁仕様.....	9	11.3 PCB 材料.....	44
6.7 DWV パッケージの絶縁仕様.....	10	12 デバイスおよびドキュメントのサポート.....	46
6.8 D パッケージの安全関連認証.....	11	12.1 デバイス サポート.....	46
6.9 DWV パッケージの安全関連認証.....	11	12.2 ドキュメントのサポート.....	46
6.10 安全限界値.....	11	12.3 認証.....	46
6.11 電气的特性.....	12	12.4 ドキュメントの更新通知を受け取る方法.....	46
6.12 スイッチング特性.....	14	12.5 サポート・リソース.....	46
6.13 絶縁特性曲線.....	15	12.6 商標.....	46
6.14 代表的特性.....	16	12.7 静電気放電に関する注意事項.....	46
7 パラメータ測定情報.....	24	12.8 用語集.....	46
7.1 伝搬遅延、反転、非反転型構成.....	24	13 改訂履歴.....	46
8 詳細説明.....	27	14 メカニカル、パッケージ、および注文情報.....	48

4 デバイス比較表

デバイスのオプション ⁽¹⁾	パッケージ	標準ソース電流	標準シンク電流	ピン配置	UVLO	絶縁定格
UCC5310MC	D	4.3A	2.2A	ミラー クランプ	12V	3-kV _{RMS}
	DWV					5kV _{RMS}
UCC5320EC	D	4.3A	4.4A	GND2 を基準とする UVLO	12V	3-kV _{RMS}
UCC5320SC	D	4.3A	4.4A	分割出力	12V	3-kV _{RMS}
	DWV					5kV _{RMS}
UCC5350MC	D	10A	10A	ミラー クランプ	12V	3-kV _{RMS}
	DWV					5kV _{RMS}
UCC5350SB	D	8.5A	10A	分割出力	8V	3-kV _{RMS}
UCC5390EC	D	17A	17A	GND2 を基準とする UVLO	12V	3-kV _{RMS}
	DWV					5kV _{RMS}
UCC5390SC	D	17A	17A	分割出力	12V	3-kV _{RMS}

(1) 接尾辞「S」、「E」、および「M」は、注文可能な部品番号の一部です。完全な注文可能な部品番号については、[セクション 14](#) を参照してください。

5 ピン構成および機能

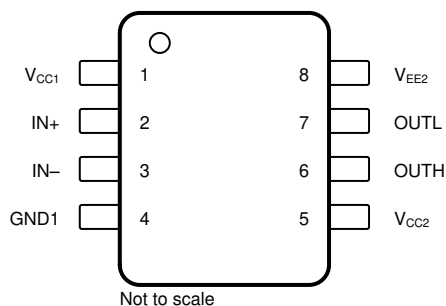


図 5-1. UCC5320S、UCC5350SB、および UCC5390S 8 ピン SOIC 上面図

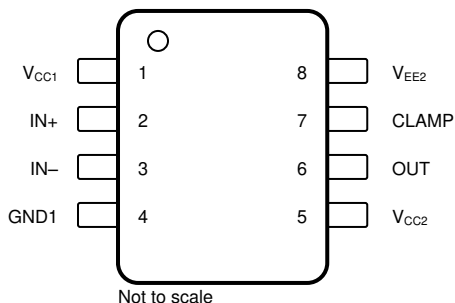


図 5-2. UCC5310M および UCC5350M 8 ピン SOIC 上面図

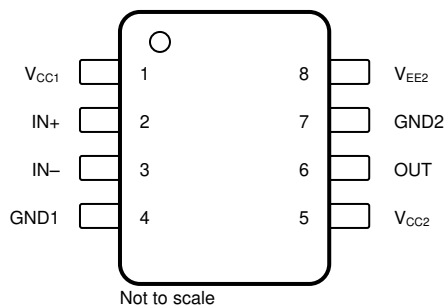


図 5-3. UCC5320E および UCC5390E 8 ピン SOIC 上面図

表 5-1. ピンの機能

ピン				タイプ ⁽¹⁾	説明
名称	番号				
	UCC53x0S	UCC53x0M	UCC53x0E		
CLAMP	—	7	—	I	UCC53x0M に搭載されているアクティブ ミラー クランプ入力は、パワー スイッチの誤動作を防ぐために使用されます。
GND1	4	4	4	G	入力グラウンド。入力側のすべての信号はこのグラウンドを基準とします。
GND2	—	—	7	G	ゲート駆動共通ピン。このピンを IGBT のエミッタに接続してください。UCC53x0E では、UVLO は GND2 を基準としています。
IN+	2	2	2	I	非反転ゲート駆動電圧制御入力。IN+ ピンには CMOS 入力スレッシュホールドがあります。このピンは、オープンのままにすると内部で Low にプルされます。表 8-4 を使用して、これらのデバイスの入出力ロジックを理解してください。
IN-	3	3	3	I	反転ゲート駆動電圧制御入力。IN- ピンには CMOS 入力スレッシュホールドがあります。このピンは、オープンのままにすると内部で High にプルされます。表 8-4 を使用して、これらのデバイスの入出力ロジックを理解してください。

表 5-1. ピンの機能 (続き)

名称	ピン 番号			タイプ ⁽¹⁾	説明
	UCC53x0S	UCC53x0M	UCC53x0E		
OUT	—	6	6	O	UCC53x0E および UCC53x0M バージョンのゲート駆動出力。
OUTH	6	—	—	O	UCC53x0S に記載されているゲート駆動プルアップ出力。
OUTL	7	—	—	O	UCC53x0S にあるゲート駆動プルダウン出力。
V _{CC1}	1	1	1	P	入力電源電圧。局所的にデカップリングされたコンデンサを GND に接続します。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。
V _{CC2}	5	5	5	P	正の出力電源レール。局所的にデカップリングされたコンデンサを V _{EE2} に接続します。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。
V _{EE2}	8	8	8	P	E バージョンは負の出力電源レール、S および M バージョンは GND 。E バージョンでは、 GND2 にローカル デカップリング コンデンサを接続してください。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力バイアスピン電源電圧	$V_{CC1} - GND1$	GND1 - 0.3	18	V
ドライバ バイアス電源	$V_{CC2} - V_{EE2}$	-0.3	35	V
E バージョンの V_{EE2} バイポーラ電源電圧	$V_{EE2} - GND2$	-17.5	0.3	V
出力信号電圧	$V_{OUTH} - V_{EE2}$, $V_{OUTL} - V_{EE2}$, $V_{OUT} - V_{EE2}$, $V_{CLAMP} - V_{EE2}$	$V_{EE2} - 0.3$	$V_{CC2} + 0.3$	V
入力信号電圧	$V_{IN+} - GND1$, $V_{IN-} - GND1$	GND1 - 5	$V_{CC1} + 0.3$	V
接合部温度、 T_J ⁽²⁾		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) T_J の推奨動作条件を維持するには、「熱に関する情報」の表を参照してください。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±4000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC1}	電源電圧入力側	3		15	V
V_{CC2}	正電源電圧出力側 ($V_{CC2} - V_{EE2}$)、UCC53x0	13.2		33	V
V_{CC2}	正電源電圧出力側 ($V_{CC2} - V_{EE2}$)、UCC5350SBD	9.5		33	V
V_{EE2}	E バージョンのバイポーラ電源電圧 ($V_{EE2} - GND2$)、UCC53x0	-16		0	V
V_{SUP2}	合計電源電圧出力側 ($V_{CC2} - V_{EE2}$)、UCC53x0	13.2		33	V
T_A	周辺温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC53x0		単位
		D (SOIC)	DWV (SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	109.5	119.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	43.1	64.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	51.2	65.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	18.3	37.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	50.7	63.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
D パッケージ						
P _D	入力および出力の最大消費電力	V _{CC1} = 15V、V _{CC2} = 15V、f = 2.1MHz、 50% デューティ サイクル、方形波、2.2nF 負荷			1.14	W
P _{D1}	最大入力消費電力				0.05	W
P _{D2}	最大出力消費電力				1.09	W
DWV パッケージ						
P _D	入力および出力の最大消費電力	V _{CC1} = 15V、V _{CC2} = 15V、f = 1.9MHz、 50% デューティ サイクル、方形波、2.2nF 負荷			1.04	W
P _{D1}	最大入力消費電力				0.05	W
P _{D2}	最大出力消費電力				0.99	W

6.6 D パッケージの絶縁仕様

パラメータ		テスト条件	値	単位
			D	
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	≥ 4	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 21	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 400	V
材料グループ		IEC 60664-1 に準拠	II	
IEC 60664-1 に準拠した過電圧カテゴリ		定格商用電源が 150 _V RMS 以下	I-IV	
		定格商用電源が 300 _V RMS 以下	I-III	
DIN V VDE 0884-11:2017-01 ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (パイボラ)	990 ⁽⁶⁾	V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb) テスト	700 ⁽⁶⁾	V _{RMS}
		DC 電圧	990 ⁽⁶⁾	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定時テスト)、 V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時テスト)	4242	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62368-1 に準拠したテスト手法、1.2/50μs 波形、V _{TEST} = 1.3 × V _{IOSM} (認定)	4242	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、 V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60 s、 V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10 s	≤ 5	
		方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、 V _{pd(m)} = 1.5 × V _{IORM} 、t _m = 1s	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	1.2	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	
汚染度			2	
耐候性カテゴリ			40/125/21	
UL 1577				
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} 、t = 60s (認定時テスト)、V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時テスト)	3000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。
- (6) アプリケーション パラメータに従って、システム絶縁動作電圧を検証する必要があります。

6.7 DWV パッケージの絶縁仕様

パラメータ		テスト条件	値	単位
			DWV	
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 21	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
IEC 60664-1 に準拠した過電圧カテゴリ		材料グループ	IEC 60664-1 に準拠	I
		定格商用電源が 600 _V RMS 以下	I-III	
		定格商用電源が 1000 _V RMS 以下	I-II	
DIN V VDE 0884-11:2017-01 ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb) テスト	1500	V _{RMS}
		DC 電圧	2121	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定)、 V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時)	7000	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62368-1 に準拠したテスト手法、1.2/50μs 波形、 V _{TEST} = 1.6 × V _{IOSM} (認定)	8000	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、 V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60 s、 V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10 s	≤ 5	
		方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、 V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	1.2	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	
汚染度			2	
耐候性カテゴリ			40/125/21	
UL 1577				
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} 、t = 60s (認定時テスト)、V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時テスト)	5000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、安全定格内に限定した安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

6.8 D パッケージの安全関連認証

VDE	UL	CQC
DIN V VDE V 0884–11:2017–01 および DIN EN 61010-1 (VDE 0411-1):2011-07 に従って認証済み	UL 1577 部品認定プログラムの認定	GB 4943.1-2011 による認証
基本絶縁 最大過渡絶縁過電圧: 4242V _{PK} 、 最大反復ピーク電圧: 990V _{PK} 、 最大サージ絶縁電圧: 4242V _{PK}	シングル保護: 3000V _{RMS}	基本絶縁、 高度 ≤ 5000m、 熱帯気候、 最大動作電圧: 700V _{RMS}
認証書番号: 40047657	ファイル番号: E181974	認証番号: CQC18001199354

6.9 DWV パッケージの安全関連認証

VDE	UL	CQC
DIN V VDE V 0884–11:2017–01 および DIN EN 61010-1 に基づく認証を予定	UL 1577 部品認定プログラムの認定	GB 4943.1–2011 に基づく認証を予定
強化絶縁 最大過渡絶縁耐電圧、7000 V _{PK} ； 最大反復ピーク絶縁耐電圧、2121 V _{PK} ； 最大サージ絶縁耐電圧、8000 V _{PK}	シングル保護: 5000V _{RMS}	強化絶縁、 高度 ≤ 5000m、 熱帯気候
認証番号: 40047657	ファイル番号: E181974	認証計画中

6.10 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ	テスト条件	最小値	標準値	最大値	単位
D パッケージ					
I _S 安全出力電源電流	R _{θJA} = 109.5°C/W, V _{CC2} = 15V, T _J = 150°C, T _A = 25°C、 図 6-1 を参照	出力側		73	mA
	R _{θJA} = 109.5°C/W, V _{CC2} = 30V, T _J = 150°C, T _A = 25°C、 図 6-1 を参照	出力側		36	
P _S 安全出力電源	R _{θJA} = 109.5°C/W, T _J = 150°C, T _A = 25°C、 図 6-3 参照	入力側		0.05	W
		出力側		1.09	
		合計		1.14	
T _S 最高安全温度 ⁽¹⁾				150	°C
DWV パッケージ					
I _S 安全入力、出力、または電源電流	R _{θJA} = 119.8°C/W, V _I = 15V, T _J = 150°C, T _A = 25°C、 図 6-2 を参照	出力側		66	mA
		出力側		33	
P _S 安全入力、出力、または合計電力	R _{θJA} = 119.8°C/W, T _J = 150°C, T _A = 25°C、 図 6-4 を参照	入力側		0.05	W
		出力側		0.99	
		合計		1.04	
T _S 最高安全温度 ⁽¹⁾				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。

「熱に関する情報」表にある接合部から空気への熱抵抗 R_{θJA} は、リードあり表面実装パッケージ用の高 K テスト基板に搭載されているデバイスのものです。これらの式を使用して、以下のように各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P ここで、P は本デバイスで消費される電力です。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S ここで、T_{J(max)} は許容される最大接合部温度です。

P_S = I_S × V_I ここで、V_I は最大入力電圧です。

6.11 電気的特性

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_L = 100pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I _{VCC1}	入力電源静止電流			1.67	2.4	mA
I _{VCC2}	出力消費静止電流			1.1	1.8	mA
電源電圧の低電圧スレッシュホールド						
V _{IT+(UVLO1)}	VCC1 正方向の UVLO スレッシュホールド電圧			2.6	2.8	V
V _{IT-(UVLO1)}	VCC1 負方向の UVLO スレッシュホールド電圧		2.4	2.5		V
V _{hys(UVLO1)}	VCC1 UVLO スレッシュホールドのヒステリシス			0.1		V
UCC5310MC、UCC5320SC、UCC5320EC、UCC5390SC、UCC5390EC、UCC5350MC の UVLO スレッシュホールド (12-V UVLO バージョン)						
V _{IT+(UVLO2)}	VCC2 正方向の UVLO スレッシュホールド電圧			12	13	V
V _{IT-(UVLO2)}	VCC2 負方向の UVLO スレッシュホールド電圧		10.3	11		V
V _{hys(UVLO2)}	VCC2 UVLO スレッシュホールド電圧ヒステリシス			1		V
UCC5350SB UVLO スレッシュホールド (8-V UVLO バージョン)						
V _{IT+(UVLO2)}	VCC2 正方向の UVLO スレッシュホールド電圧			8.7	9.4	V
V _{IT-(UVLO2)}	VCC2 負方向の UVLO スレッシュホールド電圧		7.3	8.0		V
V _{hys(UVLO2)}	VCC2 UVLO スレッシュホールド電圧ヒステリシス			0.7		V
ロジック I/O						
V _{IT+(IN)}	正方向の入力スレッシュホールド電圧 (IN+、IN-)		0.55 × V _{CC1} 0.7 × V _{CC1}			V
V _{IT-(IN)}	負方向の入力スレッシュホールド電圧 (IN+、IN-)		0.3 × V _{CC1} 0.45 × V _{CC1}			V
V _{hys(IN)}	入力ヒステリシス電圧 (IN+、IN-)		0.1 × V _{CC1}			V
I _{IH}	IN+ での High レベル入力リーク	IN+ = V _{CC1}		40	240	μA
I _{IL}	IN- での Low レベル入力リーク	IN- = GND1		-240	-40	μA
		IN- = GND1 – 5V		-310	-80	
ゲートドライバ段						
V _{OH}	High レベル出力電圧 (VCC2 - OUT) と (VCC2 - OUTH)	I _{OUT} = -20mA		100	240	mV
V _{OL}	Low レベル出力電圧 (OUT と OUTL)	UCC5320SC と UCC5320EC、 IN+ = Low、IN- = High、I _O = 20mA		9.4	13	mV
		UCC5310MC、 IN+ = Low、IN- = High、I _O = 20mA		17	26	
		UCC5390SC と UCC5390EC、 IN+ = Low、IN- = High、I _O = 20mA		2	3	
		UCC5350MC と UCC5350SB、 IN+ = Low、IN- = High、I _O = 20mA		5	7	

6.11 電気的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_L = 100pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{OH}	ピークソース電流	UCC5320SC と UCC5320EC、 IN+ = High、IN– = low	2.4	4.3	A	
		UCC5310MC、IN+ = high、IN– = low	2.4	4.3		
		UCC5390SC と UCC5390EC、 IN+ = High、IN– = Low	10	17		
		UCC5350MC、 IN+ = High、IN– = Low	5	10		
		UCC5350SB IN+ = High、IN– = Low	5	8.5		
I _{OL}	ピークシンク電流	UCC5320SC と UCC5320EC、 IN+ = Low、IN– = High	2.2	4.4	A	
		UCC5310MC、IN+ = Low、IN– = High	1.1	2.2		
		UCC5390SC と UCC5390EC、 IN+ = Low、IN– = High	10	17		
		UCC5350MC、 IN+ = Low、IN– = High	5	10		
		UCC5350SB IN+ = Low、IN– = High	5	10		
アクティブ ミラー クランプ (UCC53xxM のみ)						
V _{CLAMP}	Low レベル クランプ電圧	UCC5310MC、I _{CLAMP} = 20mA		26	50	mV
		UCC5350MC、I _{CLAMP} = 20mA		7	10	
I _{CLAMP}	クランプ low レベル電流	UCC5310MC、V _{CLAMP} = V _{EE2} + 15V	1.1	2.2	A	
		UCC5350MC、V _{CLAMP} = V _{EE2} + 15V	5	10		
I _{CLAMP(L)}	Low レベル電流をクランプして低い出力電圧に変換	UCC5310MC、V _{CLAMP} = V _{EE2} + 2V	0.7	1.5	A	
		UCC5350MC、V _{CLAMP} = V _{EE2} + 2V	5	10		
V _{CLAMP-TH}	クランプのスレッシュホルド電圧	UCC5310MC、UCC5350MC		2.1	2.3	V
短絡クランプ						
V _{CLP-OUT}	クランプ電圧 (V _{OUTH} – V _{CC2} または V _{OUT} – V _{CC2})	IN+ = High、IN– = Low、t _{CLAMP} = 10μs、 I _{OUTH} または I _{OUT} = 500 mA		1	1.3	V
V _{CLP-OUT}	クランプ電圧 (V _{EE2} – V _{OUTL} または V _{EE2} – V _{CLAMP} または V _{EE2} – V _{OUT})	IN+ = Low、IN– = high、t _{CLAMP} = 10μs、 I _{CLAMP} または I _{OUTL} = –500 mA		1.5	V	
		IN+ = Low、IN– = high、 I _{CLAMP} または I _{OUTL} = –20 mA		0.9		
アクティブ プルダウン						
V _{OUTSD}	OUTL、CLAMP、OUT のアクティブ プルダウン電圧	I _{OUTL} または I _{OUT} = 0.1 × I _{OUTL(typ)} ・V _{CC2} = open		1.8	2.5	V

6.12 スイッチング特性

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から GND1 への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $T_A = -40^\circ C$ ~ $+125^\circ C$ (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_r 出力信号の立ち上がり時間	UCC5320SC、UCC5320EC、UCC5310MC、 $C_{LOAD} = 1nF$		12	28	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 1nF$		10	26	ns
t_f 出力信号の立ち下がり時間	UCC5320SC と UCC5320EC、 $C_{LOAD} = 1nF$		10	25	ns
	UCC5310MC、 $C_{LOAD} = 1nF$		10	26	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 1nF$		10	22	ns
t_{PLH} 伝搬遅延 (デフォルトバージョン)、High	UCC5320SC と UCC5320EC、 $C_{LOAD} = 100pF$		60	72	ns
	UCC5310MC、 $C_{LOAD} = 100pF$		60	75	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 100pF$		65	100	ns
t_{PHL} 伝搬遅延 (デフォルトバージョン)、Low	UCC5320SC と UCC5320EC、 $C_{LOAD} = 100pF$		60	75	ns
	UCC5310MC、 $C_{LOAD} = 100pF$		60	75	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 100pF$		65	100	ns
t_{UVLO1_rec} V_{CC1} の UVLO 回復遅延	図 8-9 を参照		30		μs
t_{UVLO2_rec} V_{CC2} の UVLO 回復遅延	図 8-9 を参照		50		μs
t_{PWD} パルス幅歪み $ t_{PHL} - t_{PLH} $	UCC5320SC と UCC5320EC、 $C_{LOAD} = 100pF$		1	20	ns
	UCC5310MC、 $C_{LOAD} = 100pF$		1	20	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 100pF$		1	20	ns
	UCC5350MC、 $C_{LOAD} = 100pF$		1	20	ns
$t_{sk(pp)}$ 部品間スキュー ⁽¹⁾	UCC5320SC と UCC5320EC、 $C_{LOAD} = 100pF$		1	25	ns
	UCC5310MC、 $C_{LOAD} = 100pF$		1	25	ns
	UCC5390SC、UCC5350SB、UCC5390EC、 $C_{LOAD} = 100pF$		1	25	ns
	UCC5350MC、 $C_{LOAD} = 100pF$		1	25	ns
CMTI 同相過渡耐性	PWM は GND または V_{CC1} に接続、 $V_{CM} = 1200V$	100	120		kV/ μs

(1) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷 (特性化により保証) で動作する異なるデバイスについて、同方向にスイッチングするときの出力間での伝搬遅延時間の差です。

6.13 絶縁特性曲線

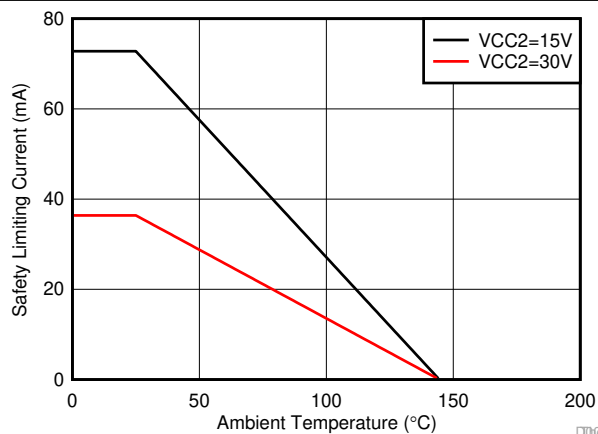


図 6-1. D パッケージの VDE に従う制限電流の熱特性低下曲線

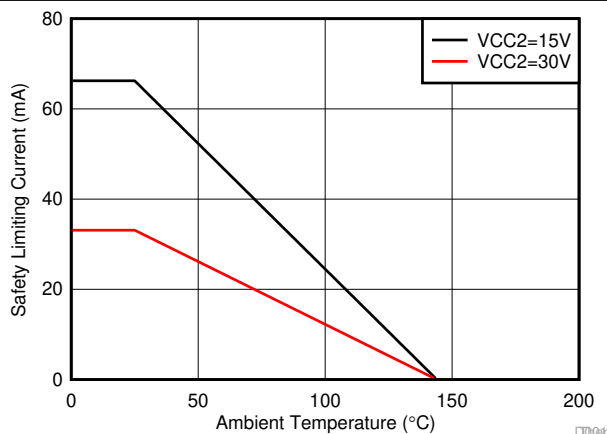


図 6-2. DWV パッケージの VDE に従う制限電流の熱特性低下曲線

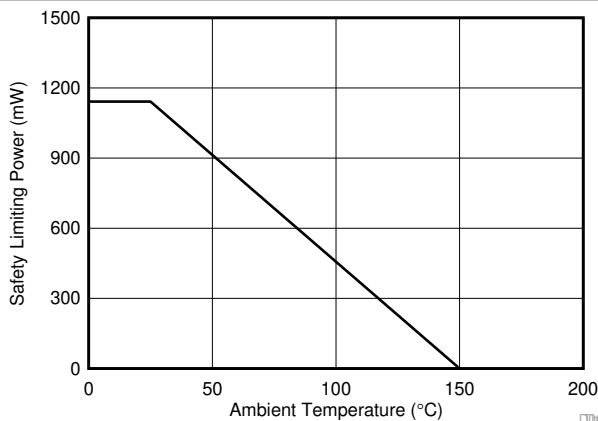


図 6-3. D パッケージの VDE に従う制限電力の熱特性低下曲線

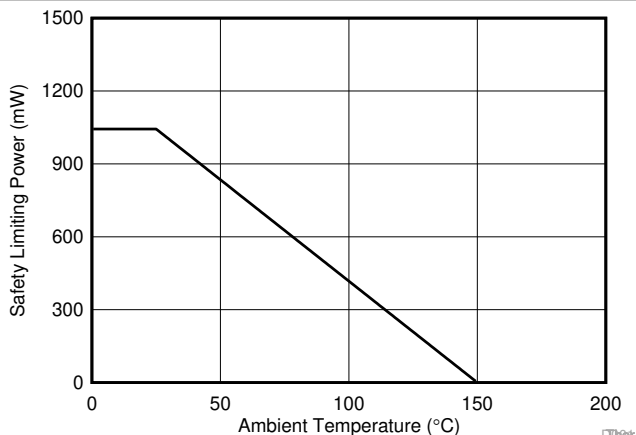


図 6-4. DWV パッケージの VDE に従う制限電力の熱特性低下曲線

6.14 代表的特性

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

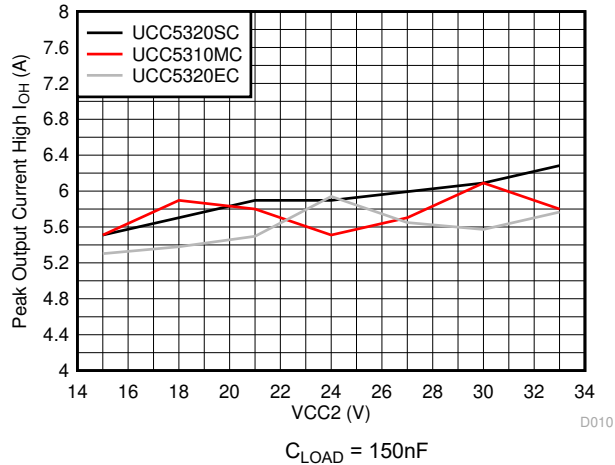


図 6-5. 出力 High の駆動電流と出力電圧との関係

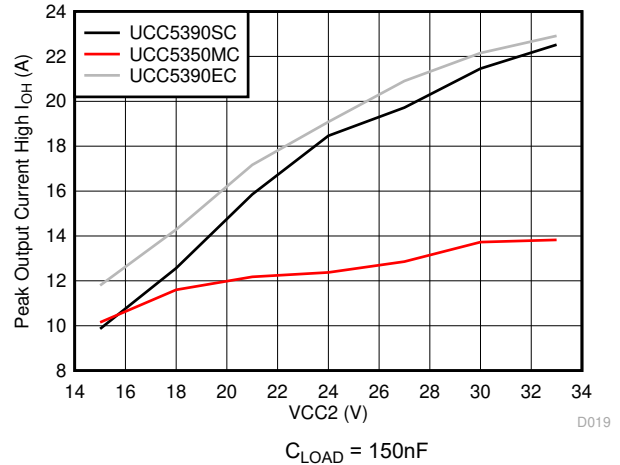


図 6-6. 出力 High の駆動電流と出力電圧との関係

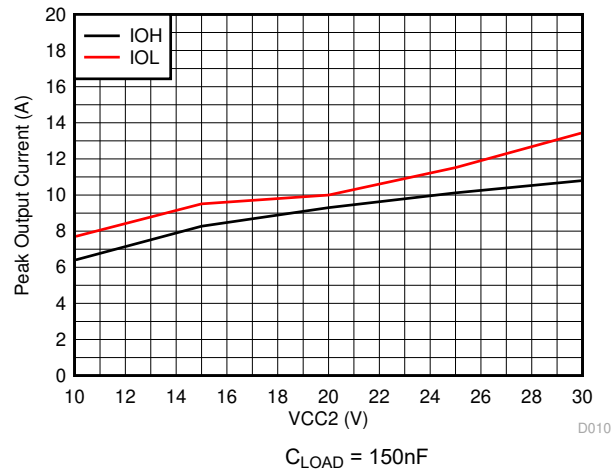


図 6-7. UCC5350SBD 出力 High の駆動電流と出力電圧との関係

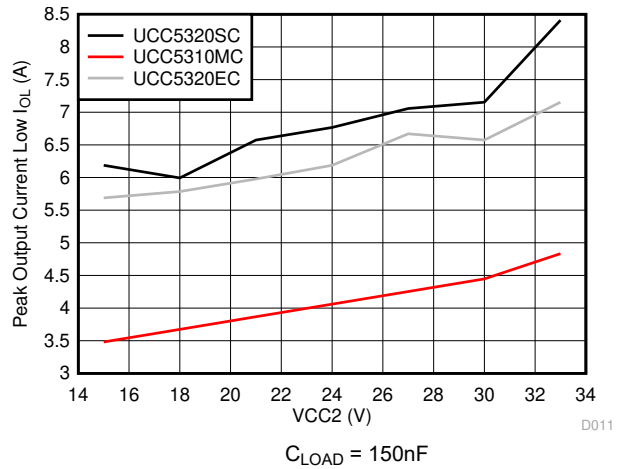


図 6-8. 出力 Low の駆動電流と出力電圧との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

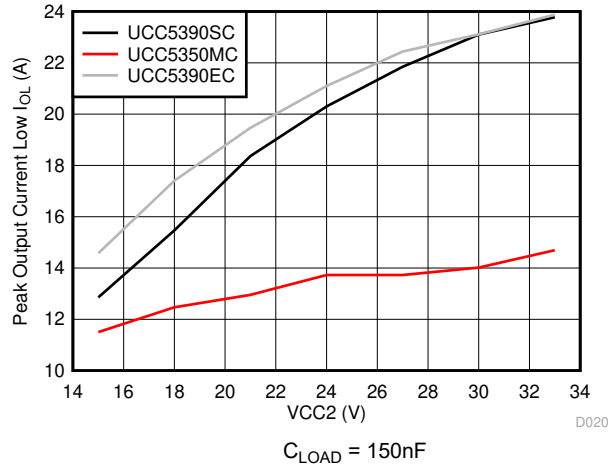


図 6-9. 出力 Low の駆動電流と出力電圧との関係

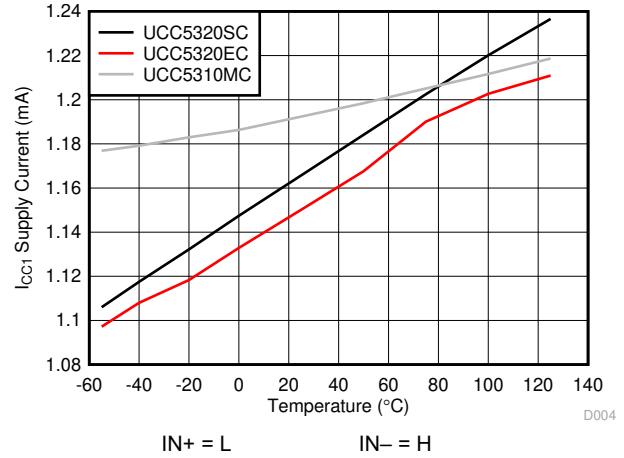


図 6-10. I_{CC1} 電源電流と温度との関係

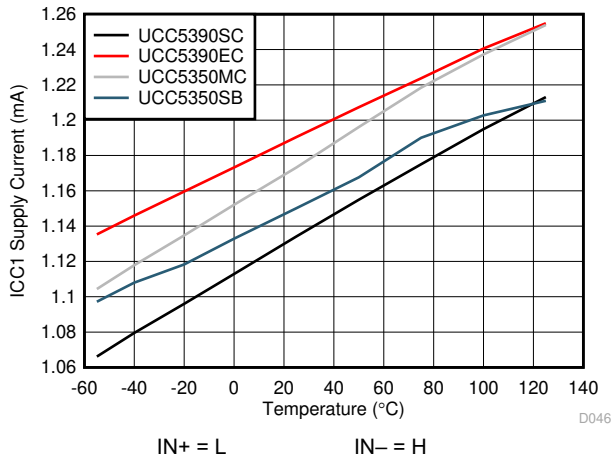


図 6-11. I_{CC1} 電源電流と温度との関係

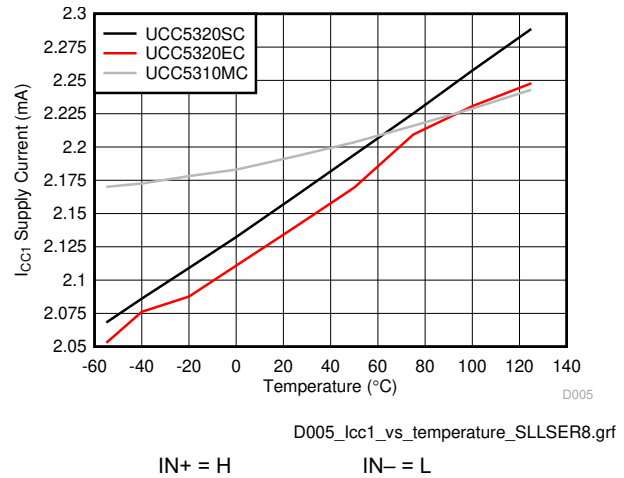


図 6-12. I_{CC1} 電源電流と温度との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

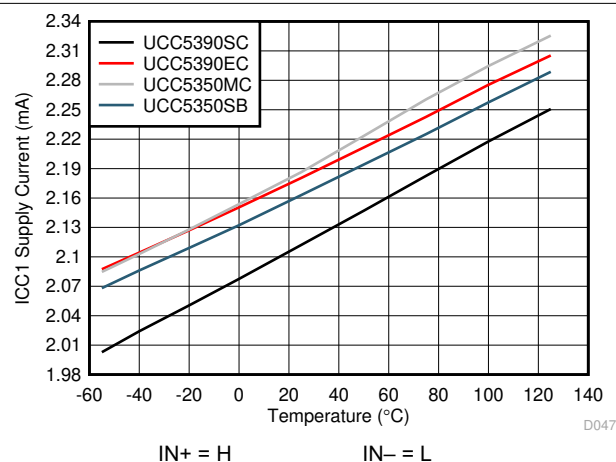
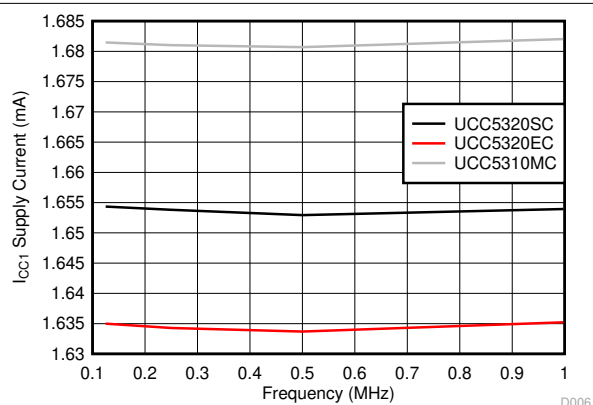


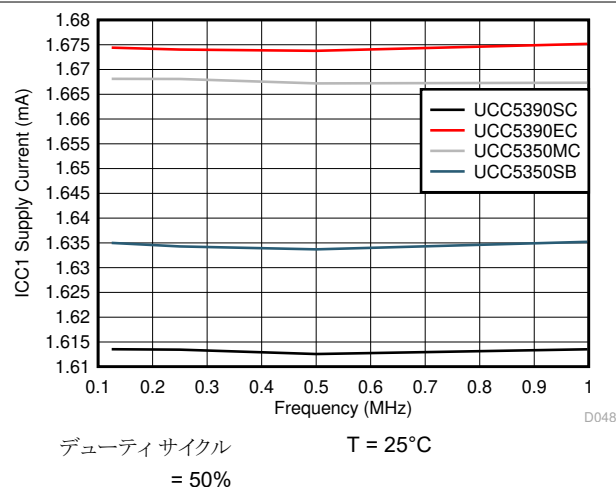
図 6-13. I_{CC1} 電源電流と温度との関係



デューティ サイクル
= 50%

$T = 25^\circ C$

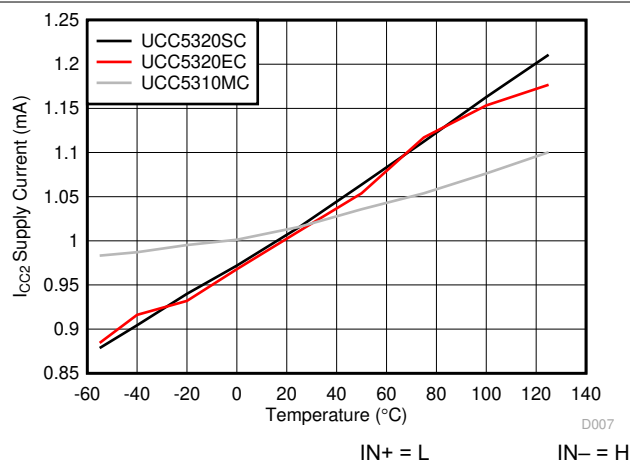
図 6-14. I_{CC1} 電源電流と入力周波数との関係



デューティ サイクル
= 50%

$T = 25^\circ C$

図 6-15. I_{CC1} 電源電流と入力周波数との関係



$IN+ = L$ $IN- = H$

図 6-16. I_{CC2} 電源電流と温度との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

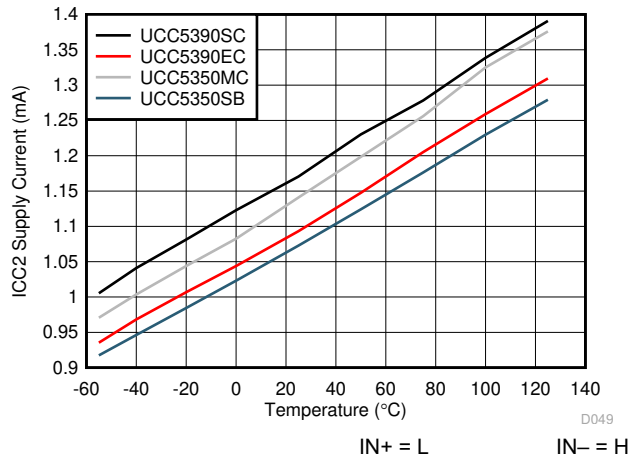


図 6-17. I_{CC2} 電源電流と温度との関係

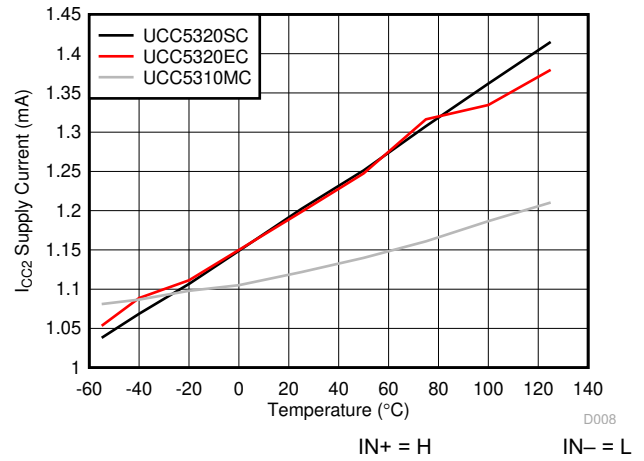


図 6-18. I_{CC2} 電源電流と温度との関係

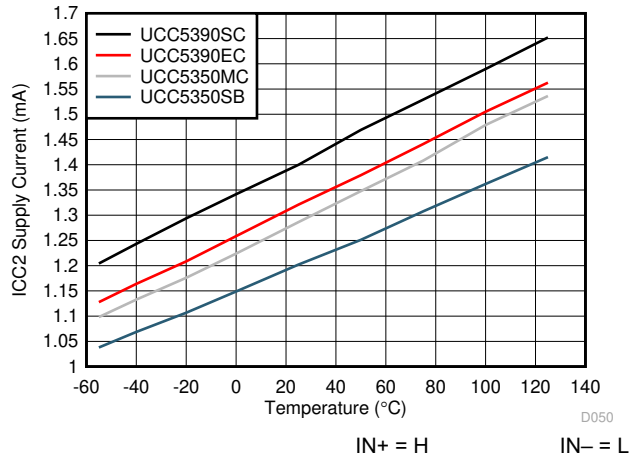


図 6-19. I_{CC2} 電源電流と温度との関係

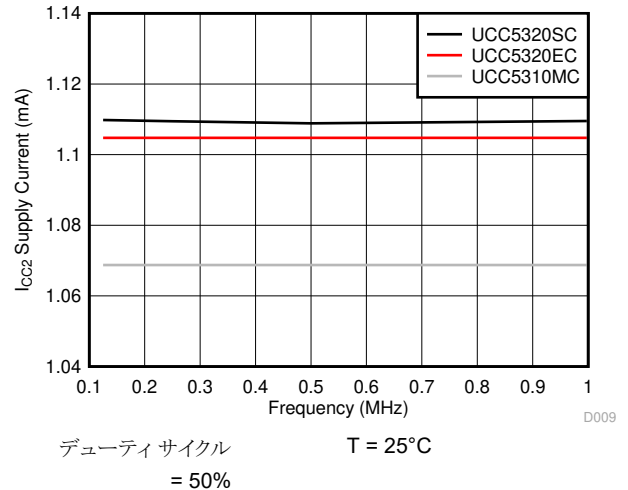


図 6-20. I_{CC2} 電源電流と入力周波数との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

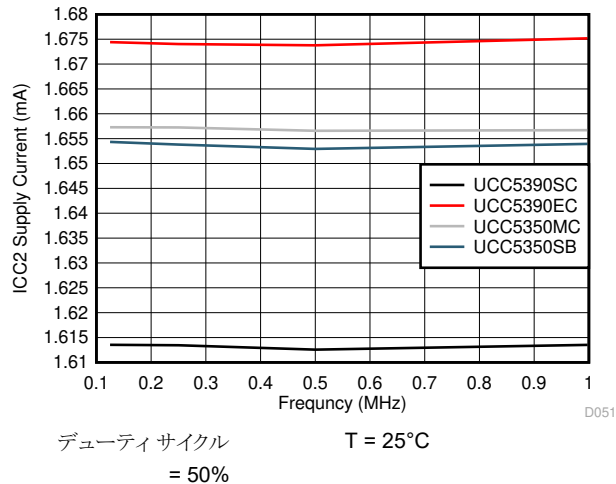


図 6-21. I_{CC2} 電源電流と入力周波数との関係

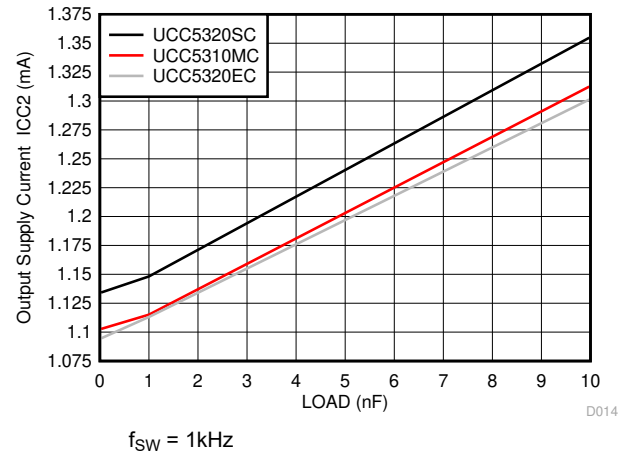


図 6-22. I_{CC2} 電源電流と負荷容量との関係

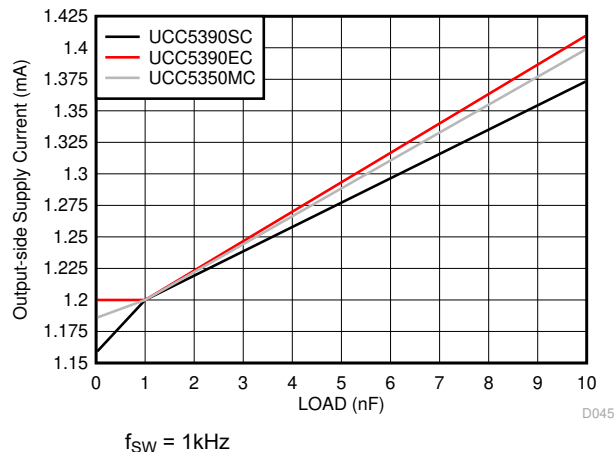


図 6-23. I_{CC2} 電源電流と負荷容量との関係

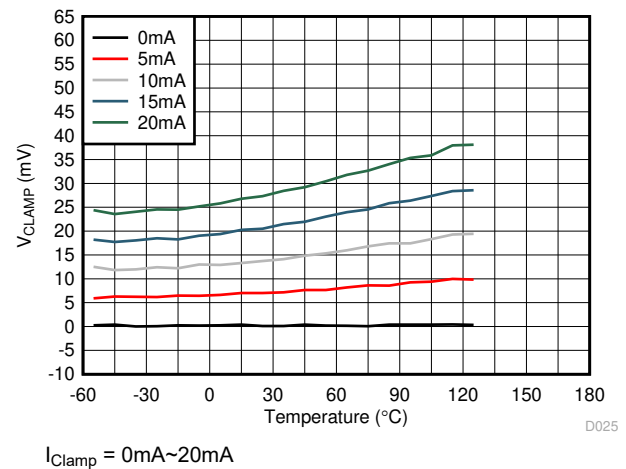


図 6-24. UCC5310M V_{Clamp} と温度との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

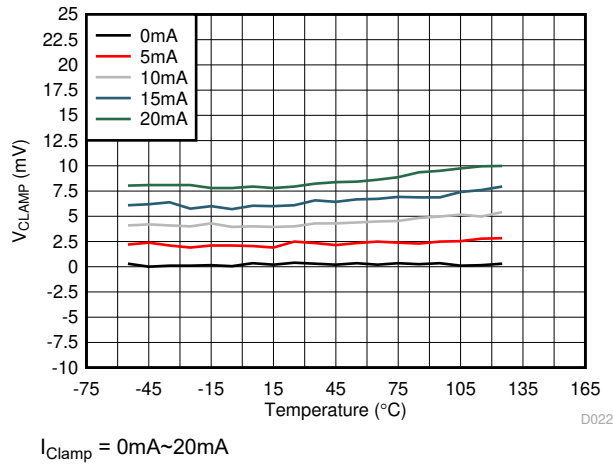


図 6-25. UCC5350M V_{Clamp} と温度との関係

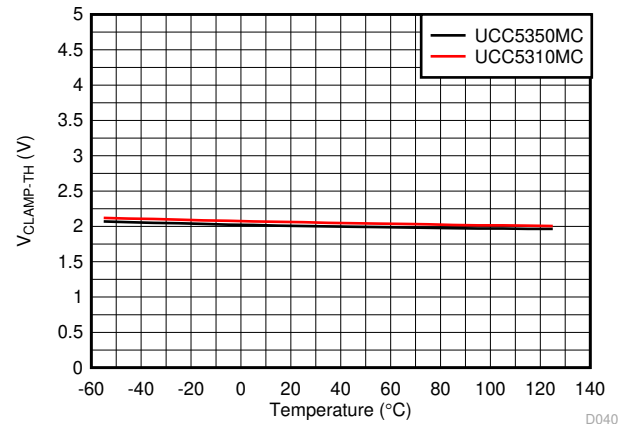


図 6-26. $V_{Clamp-TH}$ と温度との関係

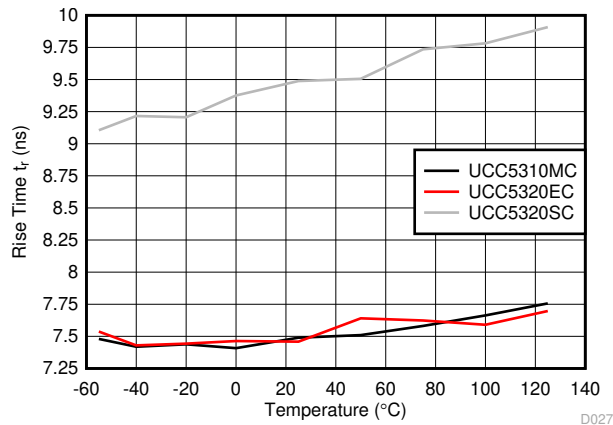


図 6-27. 立ち上がり時間と温度との関係

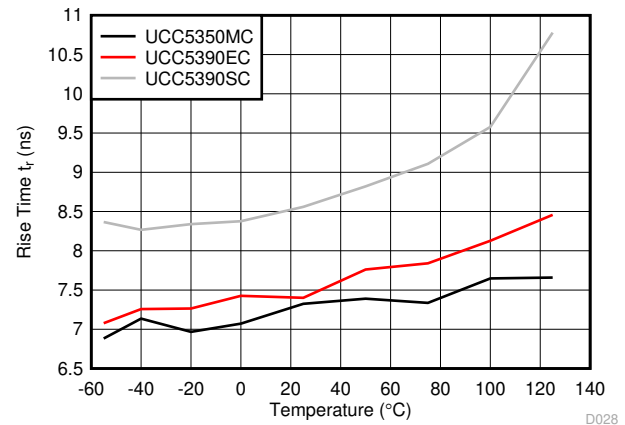


図 6-28. 立ち上がり時間と温度との関係

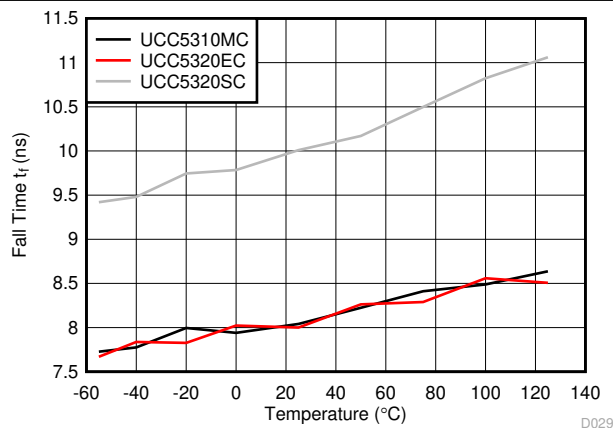


図 6-29. 立ち下がり時間と温度との関係

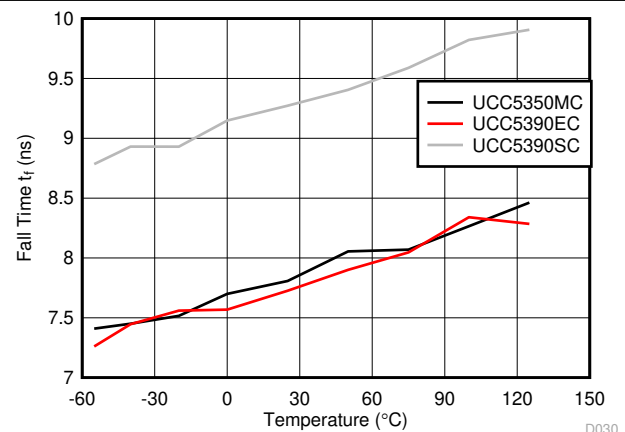


図 6-30. 立ち下がり時間と温度との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

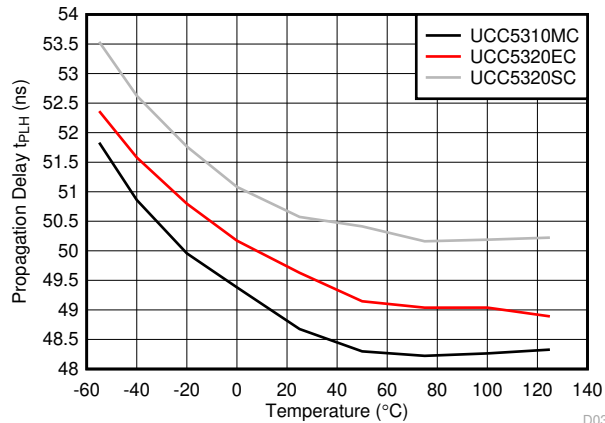
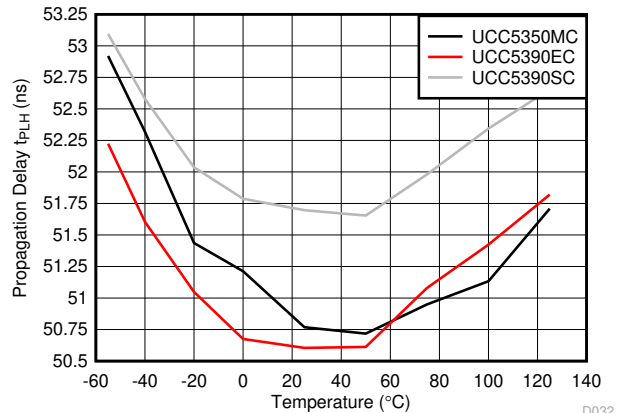
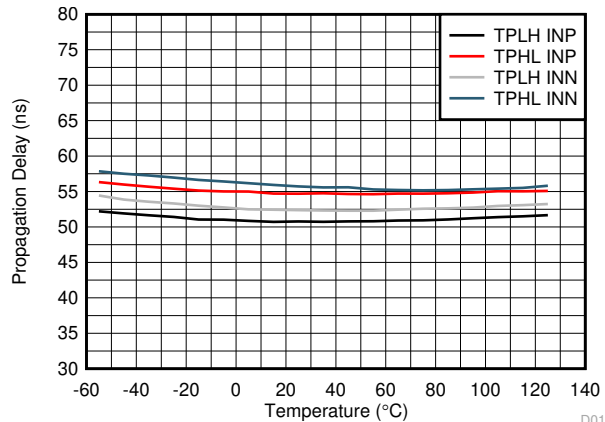
図 6-31. 伝搬遅延 t_{PLH} と温度との関係図 6-32. 伝搬遅延 t_{PLH} と温度との関係

図 6-33. UCC5350SBD の伝搬遅延と温度との関係

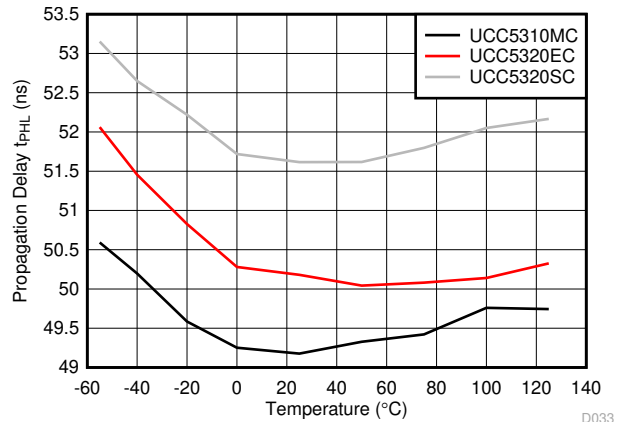
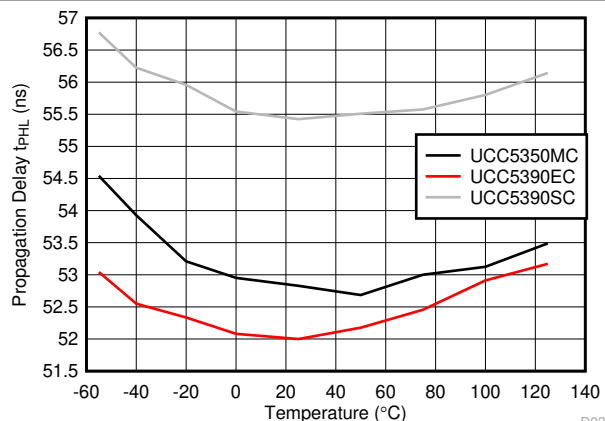
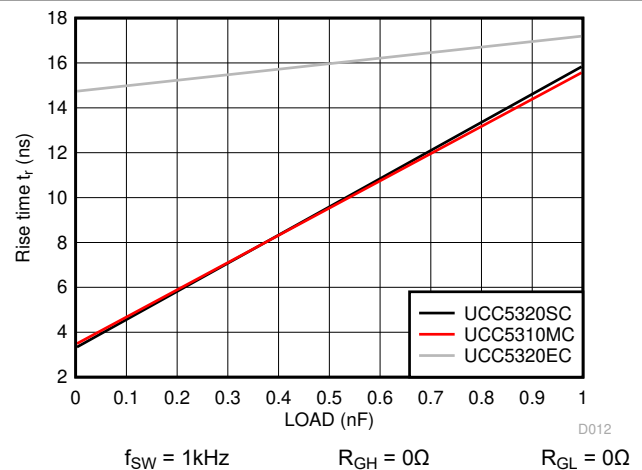
図 6-34. 伝搬遅延 t_{PLH} と温度との関係図 6-35. 伝搬遅延 t_{PHL} と温度との関係

図 6-36. 立ち上がり時間と負荷容量との関係

6.14 代表的特性 (続き)

$V_{CC1} = 3.3V$ または $5V$ 、 V_{CC1} から $GND1$ への $0.1\mu F$ コンデンサ、 $V_{CC2} = 15V$ 、 V_{CC2} から V_{EE2} への $1\mu F$ コンデンサ、 $C_{LOAD} = 1nF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (特に記述のない限り)

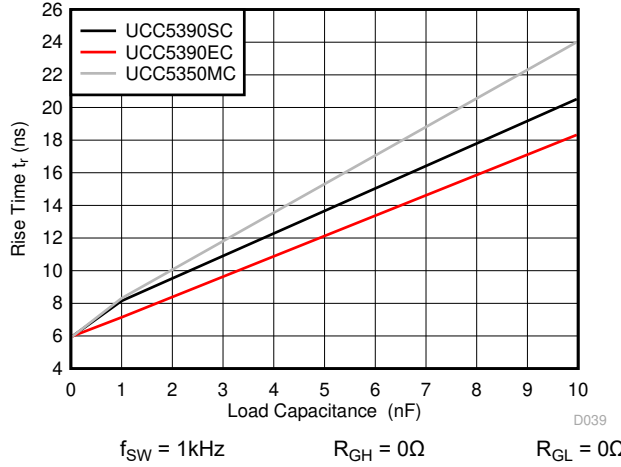


図 6-37. 立ち上がり時間と負荷容量との関係

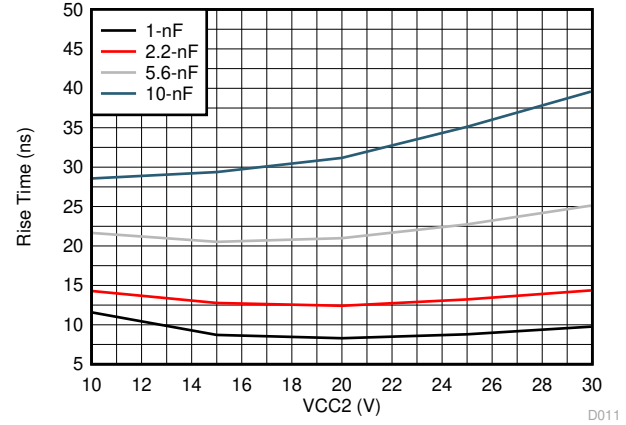


図 6-38. UCC5350SBD 立ち上がり時間と C_L および V_{CC2} との関係

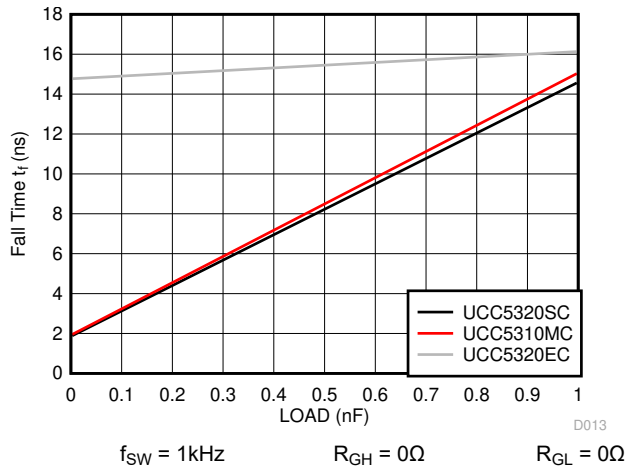


図 6-39. 立ち下がり時間と負荷容量との関係

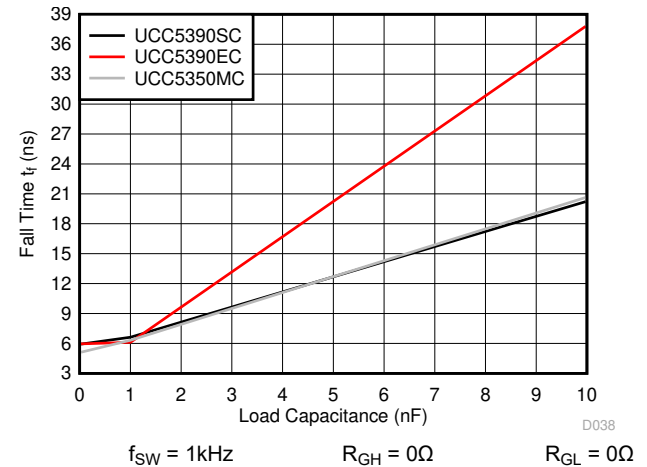


図 6-40. 立ち下がり時間と負荷容量との関係

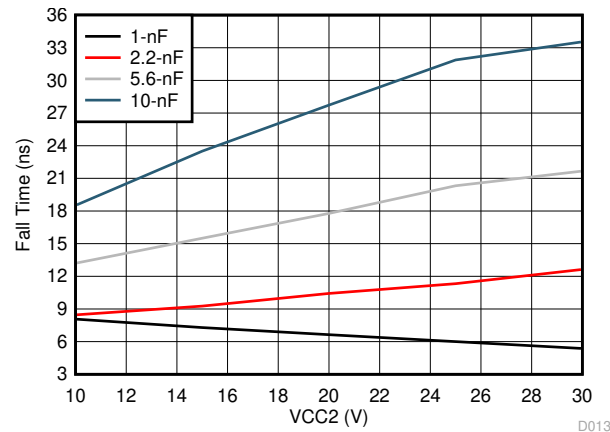


図 6-41. UCC5350SBD 立ち下がり時間と C_L および V_{CC2} との関係

7 パラメータ測定情報

7.1 伝搬遅延、反転、非反転型構成

図 7-1 は、非反転構成における伝搬遅延 t_{OUTH} および t_{OUTL} を示しています。図 7-2 に、反転型構成での伝搬遅延を示します。これらの図は、立ち上がり (t_r) および立ち下がり (t_f) 時間の測定に使用される方法も示しています。

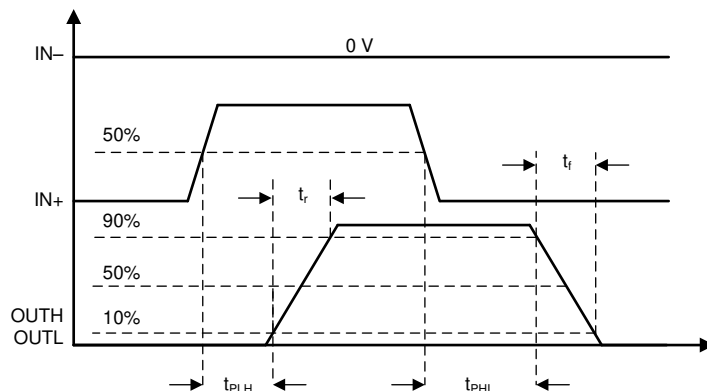


図 7-1. t_{OUTH} および t_{OUTL} の伝搬遅延、非反転構成

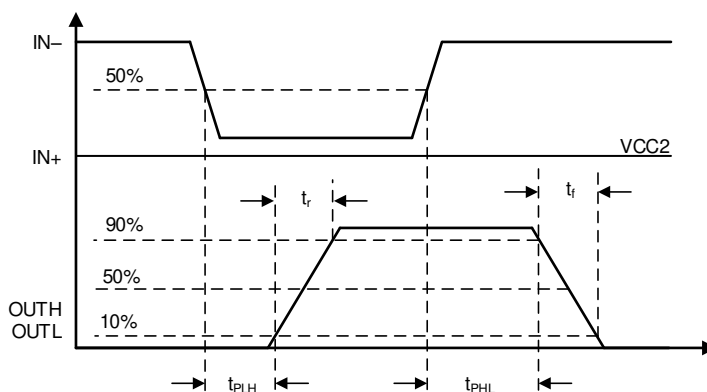
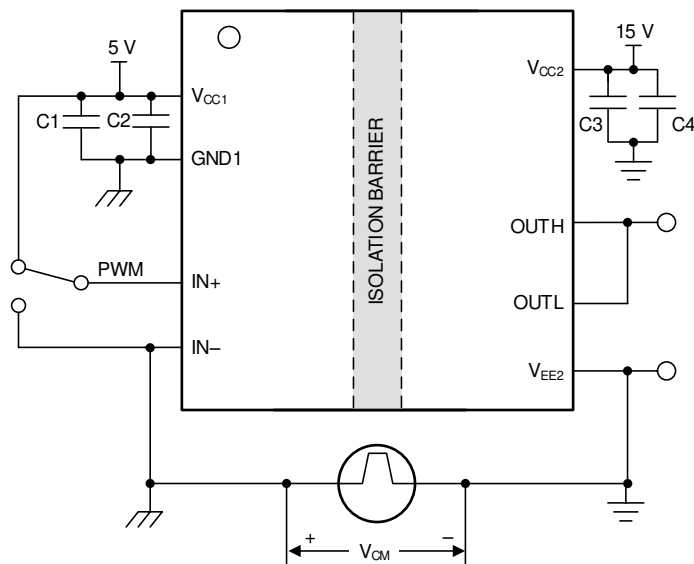


図 7-2. t_{OUTH} および t_{OUTL} の伝搬遅延、反転構成

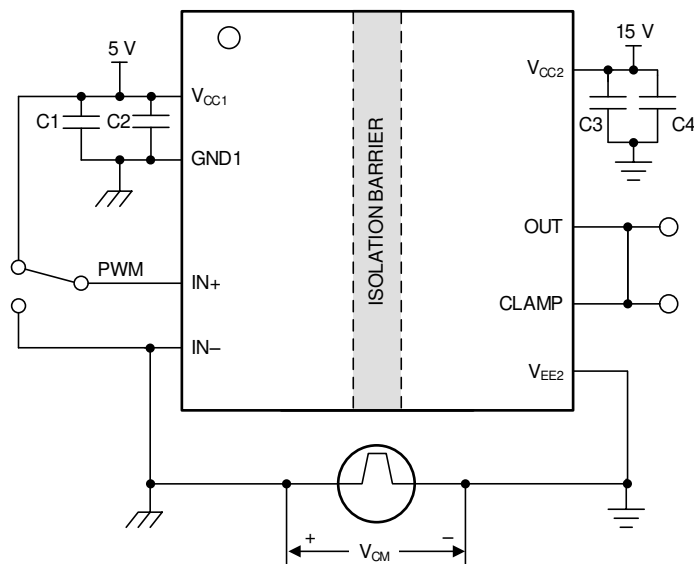
7.1.1 CMTI テスト

図 7-3、図 7-4、図 7-5 は、各デバイスタイプで使用する CMTI テスト構成の概略図です。



Copyright © 2017, Texas Instruments Incorporated

図 7-3. スプリット出力 (UCC53x0S) 用の CMTI テスト回路



Copyright © 2017, Texas Instruments Incorporated

図 7-4. ミラー クランプ (UCC53x0M) 用の CMTI テスト回路

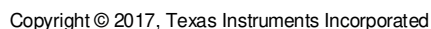


図 7-5. GND2 に対する UVLO2 の CMTI テスト回路 (UCC53x0E)

8 詳細説明

8.1 概要

UCC53x0 絶縁ゲートドライバファミリには、分割出力、ミラー クランプ、および GND2 を基準とする UVLO2 の 3 つのバリエーションがあります (セクション 4 を参照)。UCC53x0 ファミリのデバイス内部の絶縁は、高電圧 SiO₂ ベースのコンデンサによって実現されています。絶縁を介する信号の送信には、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します (図 8-2 を参照)。トランスミッタは、バリアを介して 1 つのデジタル状態を表す高周波キャリアを送信し、もう 1 つのデジタル状態を表すのに信号を送信しません。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。また、UCC53x0 デバイスには、CMTI 性能を最大化し、高周波キャリアおよび I/O バッファのスイッチングによる放射エミッションを最小限に抑えるための高度な回路技術が組み込まれています。デジタル容量性アイソレータの概念ブロック図である 図 8-1 は、代表的なチャンネルの機能ブロック図を示しています。図 8-2 に、OOK 方式の概念図を示します。

図 8-1 に、変調 (OOK) とシグナル コンディショニングを通じ、入力信号が容量性絶縁バリアをどのように通過するかを示します。

8.2 機能ブロック図

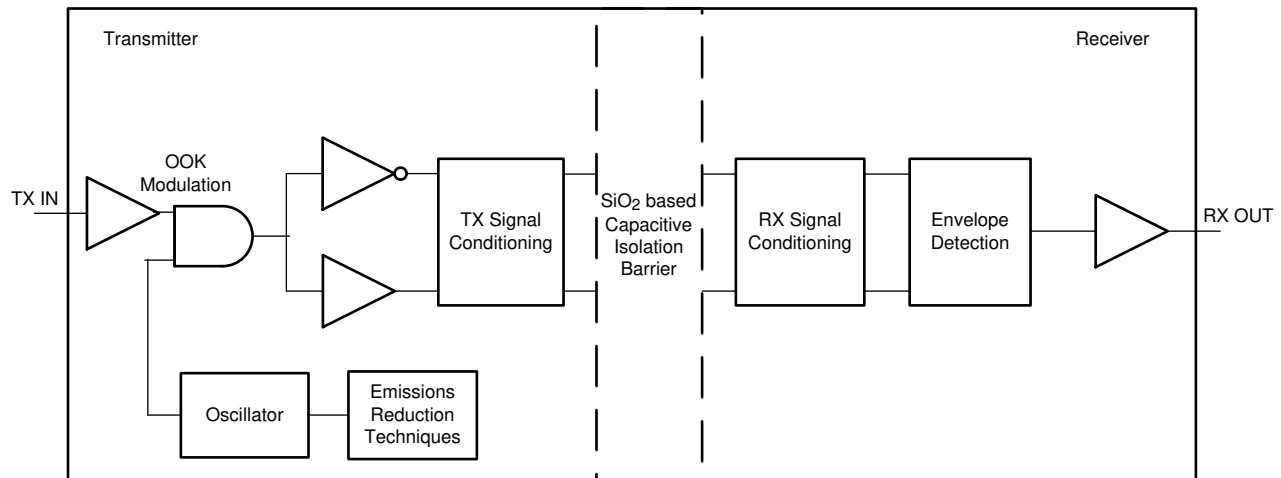


図 8-1. 容量性データチャンネルの概念ブロック図

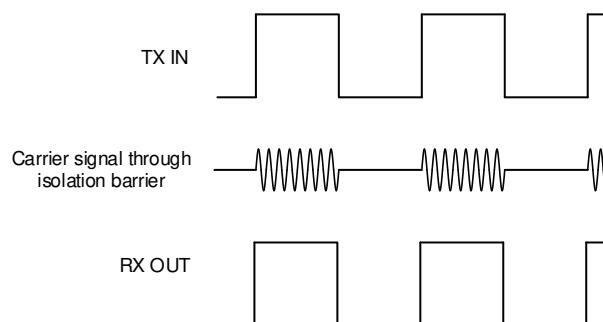


図 8-2. オン オフ キーイング (OOK) による変調方式

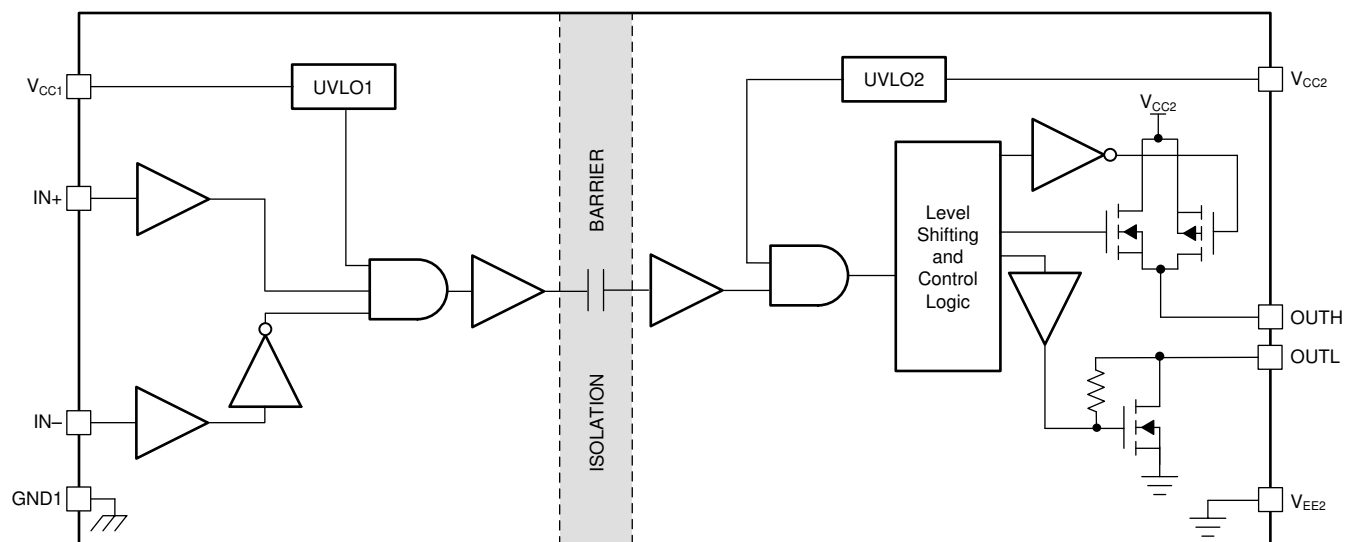


図 8-3. 機能ブロック図 — 分割出力 (UCC53x0S)

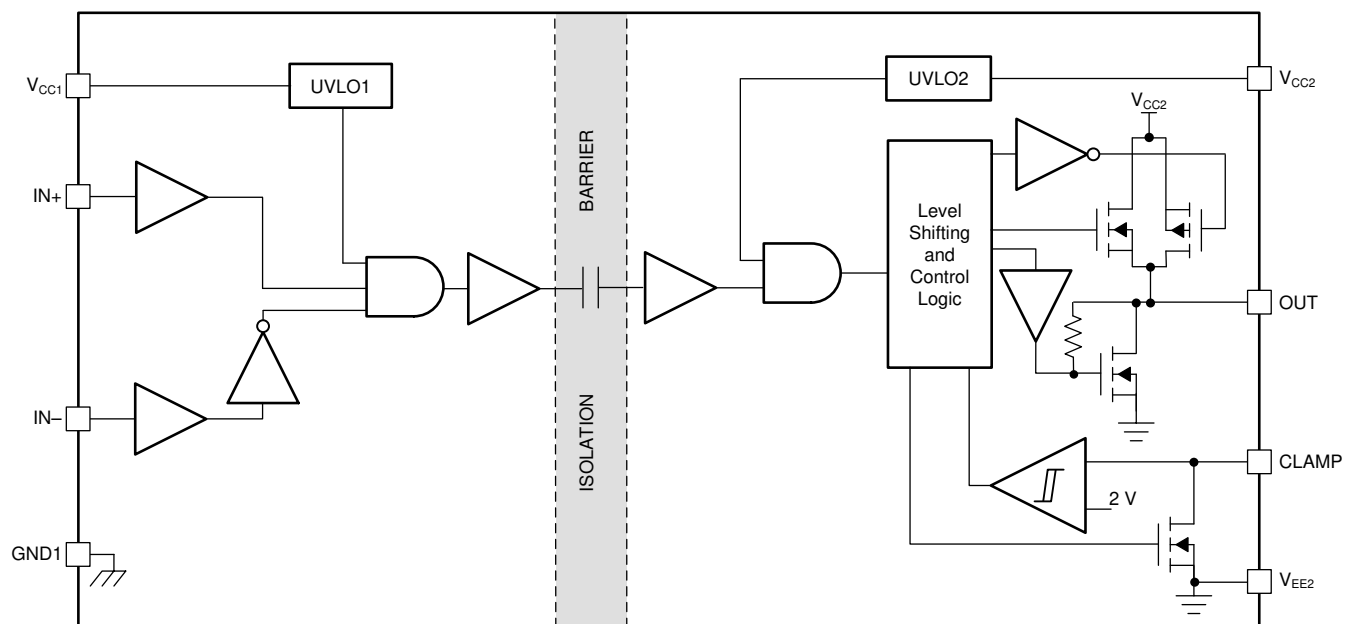


図 8-4. 機能ブロック図 — ミラークランプ (UCC53x0M)

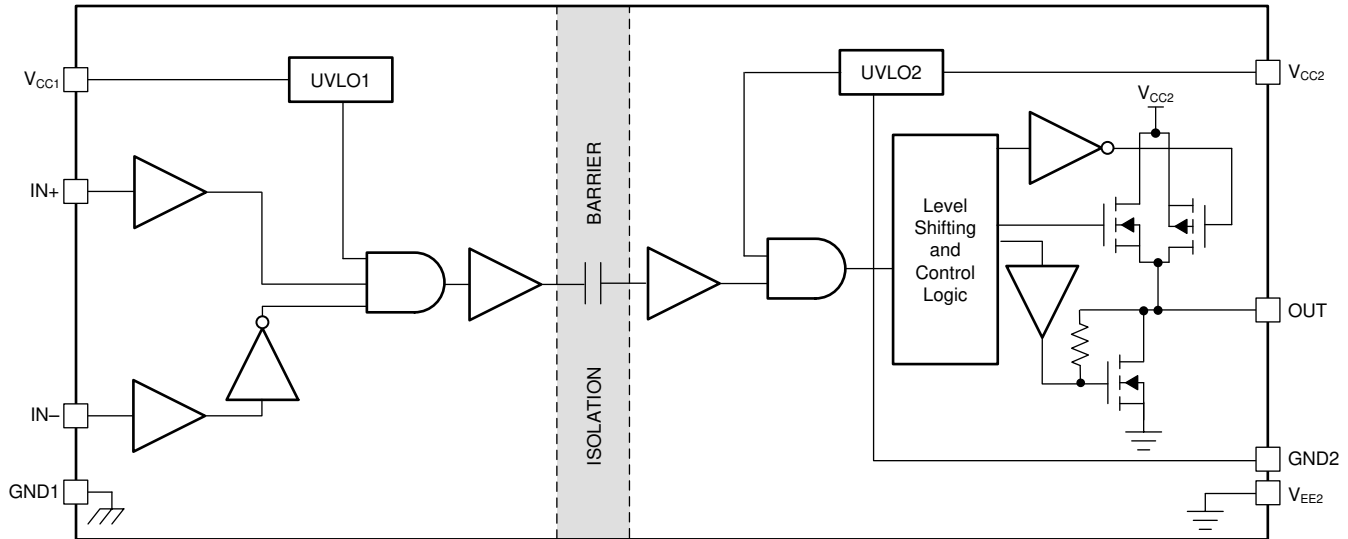


図 8-5. 機能ブロック図 — GND2 を基準とした UVLO (UCC53x0E)

8.3 機能説明

8.3.1 電源

V_{CC1} 入力電源は 3V ~ 15V の広い電圧範囲に対応し、 V_{CC2} の出力電源は 9.5V ~ 33V の電圧範囲に対応します。バイポーラ電源で動作する場合、ゲートの電圧がエミッタまたはソースに対して負になると、電源デバイスはオフになります。この構成では、ミラー効果によって電流が流れるため、電源デバイスが意図せずオンになるのが防止されます。バイポーラ動作の V_{CC2} および V_{EE2} 出力電源の標準値は、IGBT では GND2 に対して 15V および -8V、SiC MOSFET では 20V および -5V です。

ユニポーラ電源を使用する場合、 V_{CC2} 電源は IGBT では V_{EE2} に対して 15V、SiC MOSFET では 20V に接続されます。 V_{EE2} 電源は 0V に接続されています。この使用事例では、ミラー クランプ機能を搭載した UCC53x0 デバイス (UCC53x0M) を使用できます。ミラー クランプ機能は、電源デバイスのゲートと V_{EE2} 電源との間に低インピーダンスのパスを追加することで実装されます。クランプ ピンを流れるミラー電流はシンクされ、これによりゲート電圧がゲートのターンオン スレッショルド値よりも低くなるようにクランプされます。

8.3.2 入力段

UCC53x0 ファミリの入力ピン (IN+ および IN-) は、CMOS 互換の入力スレッショルド ロジックに基づいており、 V_{CC2} 電源電圧から完全に絶縁されています。UCC53x0 は、標準の High スレッショルド ($V_{IT+(IN)}$) が $0.55 \times V_{CC1}$ 、標準の Low スレッショルドが $0.45 \times V_{CC1}$ であるため、ロジックレベルの制御信号 (3.3V マイコンからの信号など) で入力ピンを簡単に駆動できます。 $0.1 \times V_{CC1}$ という広いヒステリシス ($V_{hys(IN)}$) は良好なノイズ耐性と安定動作に役立ちます。いずれかの入力がオープンのままになっている場合、128k Ω の内部プルダウン抵抗は IN+ ピンを low に強制し、128k Ω の内部抵抗は IN- を high にします。ただし、ノイズ耐性を向上させるために入力を使用しない場合は、入力を接地するか V_{CC1} に接続することを TI は推奨します。

UCC53x0 ファミリの入力側は出力ドライバから絶縁されているため、入力信号の振幅は、推奨される制限を超えない限り V_{CC2} より大きくても小さくてもかまいません。この特長により、ゲートドライバを制御信号ソースと柔軟に統合でき、任意のゲートに対して最も効率的な V_{CC2} をユーザーは選択できます。ただし、IN+ または IN- に印加される信号の振幅は、 V_{CC1} の電圧を上回ってはいけません。

8.3.3 出力ステージ

UCC53x0 ファミリの出力段は、最も必要とされるとき、つまり、パワー スイッチのターンオン遷移のミラー プラトー領域の間 (パワー スイッチのドレインまたはコレクタ電圧に dV/dt が生じたとき) に最大のピークソース電流を供給できるプルアップ構造を採用しています。出力段のプルアップ構造は、並列接続した P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を備えています。N チャネル MOSFET の役割は、ピークソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、高速ターンオンを実現します。表 8-1 に、プルアップおよびプルダウン構造の標準内部抵抗値を示します。

表 8-1. UCC53x0 のオン抵抗

デバイスのオプション	R_{NMOS}	R_{OH}	R_{OL}	R_{CLAMP}	単位
UCC5320SC, UCC5320EC	4.5	12	0.65	該当なし	Ω
UCC5310MC	4.5	12	1.3	1.3	Ω
UCC5390SC, UCC5390EC	0.76	12	0.13	該当なし	Ω
UCC5350MC	1.54	12	0.26	0.26	Ω
UCC5350SB	1.54	12	0.26	該当なし	Ω

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。プルアップ N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするため、このパラメータは P チャネル デバイスでのみ使用されます。このため、この短いターンオン段階における UCC53x0 のプルアップ段の実効抵抗は、 R_{OH} パラメータが表す値よりもはるかに小さくなり、高速ターンオンを実現します。ターンオン段階の出力抵抗は、 $R_{OH} \parallel R_{NMOS}$ の並列組み合わせとなります。

UCC53x0 S および E バージョンのプルダウン構造は、N チャネル MOSFET で単純に構成されています。M バージョンで、CLAMP ピンおよび OUT ピンが IGBT または MOSFET のゲートに接続されている場合、プルダウン回路に追加の FET が並列に接続されます。 V_{CC2} と V_{EE2} との間の出力電圧スイングは、レール ツー レールで動作します。

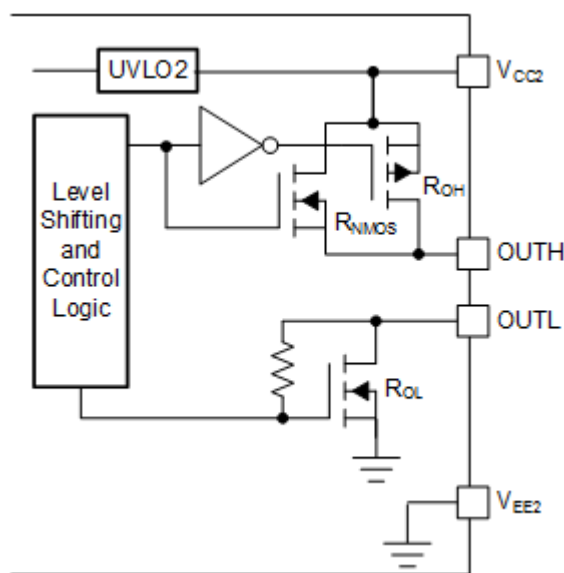


図 8-6. 出力段—S バージョン

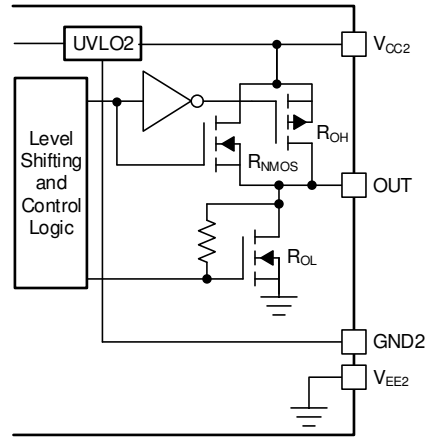


図 8-7. 出力段 — E バージョン

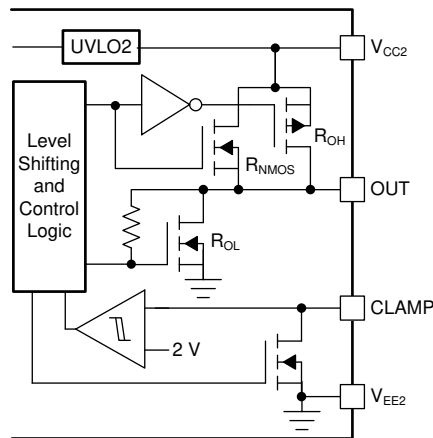


図 8-8. 出力段 — M バージョン

8.3.4 保護機能

8.3.4.1 低電圧誤動作防止 (UVLO)

UVLO 機能は、 V_{CC1} ピンと $GND1$ ピン間、および V_{CC2} ピンと V_{EE2} ピン間にある V_{CC1} および V_{CC2} 電源の両方に実装されており、IGBT と MOSFET での駆動不足状態を防止します。デバイス起動時に V_{CC} が $V_{IT+}(UVLO)$ を下回っている場合や、起動後に $V_{IT-}(UVLO)$ を下回った場合、電圧源の UVLO 機能は、入力ピン ($IN+$ および $IN-$) にかかわらず、影響を受ける出力を Low に保持します (表 8-2 を参照)。 V_{CC} UVLO 保護機能はヒステリシス機能 ($V_{hys}(UVLO)$) を備えています。このヒステリシスは、電源がグラウンド ノイズを生成したときのチャタリングを防止します。これにより、デバイスがスイッチングを開始し、動作電流消費が急激に増加したときに発生するバイアス電圧の小さな降下を許容できます。UVLO 機能を図 8-9 に示します。

表 8-2. UCC53x0 V_{CC1} UVLO ロジック

条件	入力		出力	
	IN+	IN-	OUTH	OUT, OUTL
デバイス起動時、 $V_{CC1} - GND1 < V_{IT+}(UVLO1)$	H	L	ハイ インピーダンス	L
	L	H	ハイ インピーダンス	L
	H	H	ハイ インピーダンス	L
	L	L	ハイ インピーダンス	L
デバイス起動後、 $V_{CC1} - GND1 < V_{IT-}(UVLO1)$	H	L	ハイ インピーダンス	L
	L	H	ハイ インピーダンス	L
	H	H	ハイ インピーダンス	L
	L	L	ハイ インピーダンス	L

表 8-3. UCC53x0 V_{CC2} UVLO ロジック

条件	入力		出力	
	IN+	IN-	OUTH	OUT, OUTL
デバイス起動時、 $V_{CC2} - V_{EE2} < V_{IT+}(UVLO2)$	H	L	ハイ インピーダンス	L
	L	H	ハイ インピーダンス	L
	H	H	ハイ インピーダンス	L
	L	L	ハイ インピーダンス	L
デバイス起動後、 $V_{CC2} - V_{EE2} < V_{IT-}(UVLO2)$	H	L	ハイ インピーダンス	L
	L	H	ハイ インピーダンス	L
	H	H	ハイ インピーダンス	L
	L	L	ハイ インピーダンス	L

V_{CC1} または V_{CC2} が UVLO1 または UVLO2 スレッショルドを下回る場合、電源電圧が $V_{IT+}(UVLO)$ または $V_{IT-}(UVLO2)$ を再度上回ると、出力で遅延 t_{UVLO1_rec} または t_{UVLO2_rec} が発生します。この遅延を図 8-9 に示します。

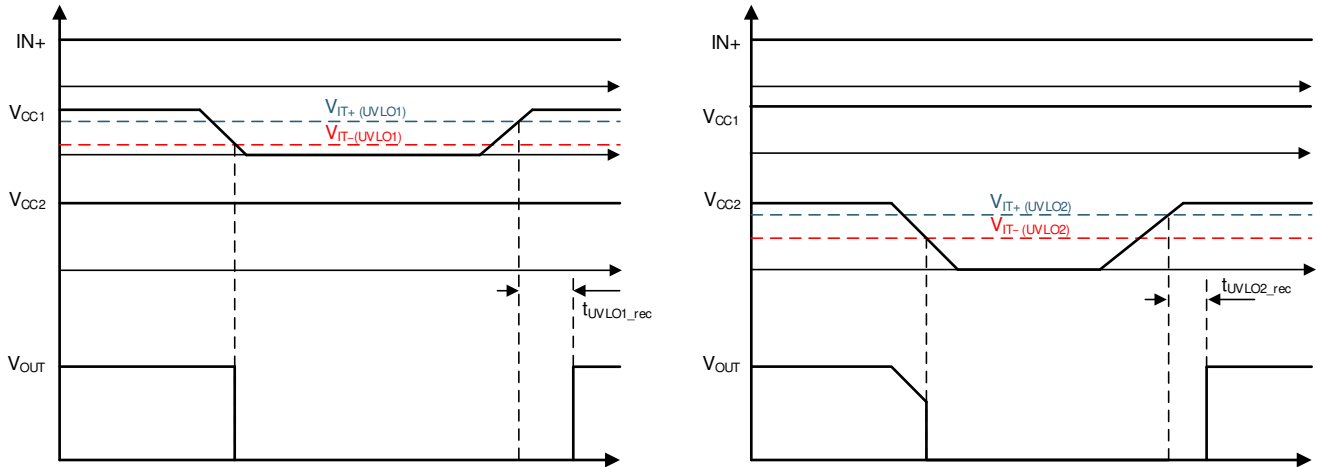


図 8-9. UVLO 機能

8.3.4.2 アクティブ プルダウン

アクティブ プルダウン機能は、 V_{CC2} 電源に電力が接続されていないときに IGBT または MOSFET ゲートを Low 状態にするために使用されます。この機能は、出力を約 2 V にクランプすることで、OUT、および CLAMP ピンにおける IGBT および MOSFET の誤動作によるターンオンを防止します。

ドライバの出力段にバイアスが印加されていない場合、または UVLO 状態である場合、ドライバ出力の電圧上昇を制限するアクティブ クランプ回路によってドライバ出力は Low に保持されます。この条件では、下側の NMOS のゲートが 500k Ω 抵抗経由でドライバ出力に接続される一方で、上側の PMOS はプルアップ抵抗によってオフに保持されます。この構成では、出力は下側の NMOS デバイスのスレッシュホールド電圧 (バイアス電力が存在しない場合は約 1.5V) に実質的にクランプされます。

8.3.4.3 短絡クランプ

短絡クランプ機能は、短絡状態のときにドライバ出力の電圧をクランプし、アクティブ ミラー クランプ ピンを V_{CC2} 電圧よりもわずかに高くするために使用されます。短絡クランプ機能は、過電圧による破損や劣化から IGBT または MOSFET ゲートを保護するのに役立ちます。短絡クランプ機能は、専用ピンとドライバ内の V_{CC2} ピンの間にダイオード接続を追加することにより実装されます。内部ダイオードは、10 μ s の間最大 500mA の電流を供給でき、20mA の電流を連続供給できます。必要に応じて外部ショットキー ダイオードを使用し、電流伝導能力を向上させます。

8.3.4.4 アクティブ ミラー クランプ (UCC53x0M)

アクティブ ミラー クランプ機能を使用すると、ユニポーラ電源を使用するアプリケーションにおいて、ミラー電流によってパワー スイッチが誤ってオンになるのを防止できます。アクティブ ミラー クランプ機能は、パワー スイッチのゲート端子とグラウンド (V_{EE2}) の間に低インピーダンスのパスを追加してミラー電流をシンクすることにより実装されます。ミラー クランプ機能により、オフ状態ではパワー スイッチのゲート電圧が 2V 未満にクランプされます。図 9-2 は、UCC5310M および UCC5350M の代表的な応用回路を示しています。

8.4 デバイスの機能モード

表 8-4 に、 V_{CC1} および V_{CC2} が推奨範囲内であると仮定した、UCC53x0 デバイスの機能モードを示します。

表 8-4. UCC53x0S の機能表

IN+	IN-	OUTH	OUTL
低	X	ハイ インピーダンス	低
X	高	ハイ インピーダンス	低
高	低	高	ハイ インピーダンス

表 8-5. UCC53x0M および UCC53x0E の機能表

IN+	IN-	OUT
低	X	低
X	高	低
高	低	高

8.4.1 ESD 構造

図 8-10 に、UCC53x0 デバイスの ESD 保護素子に関連する複数のダイオードを示します。これは、本デバイスの絶対最大定格を図で表したものです。

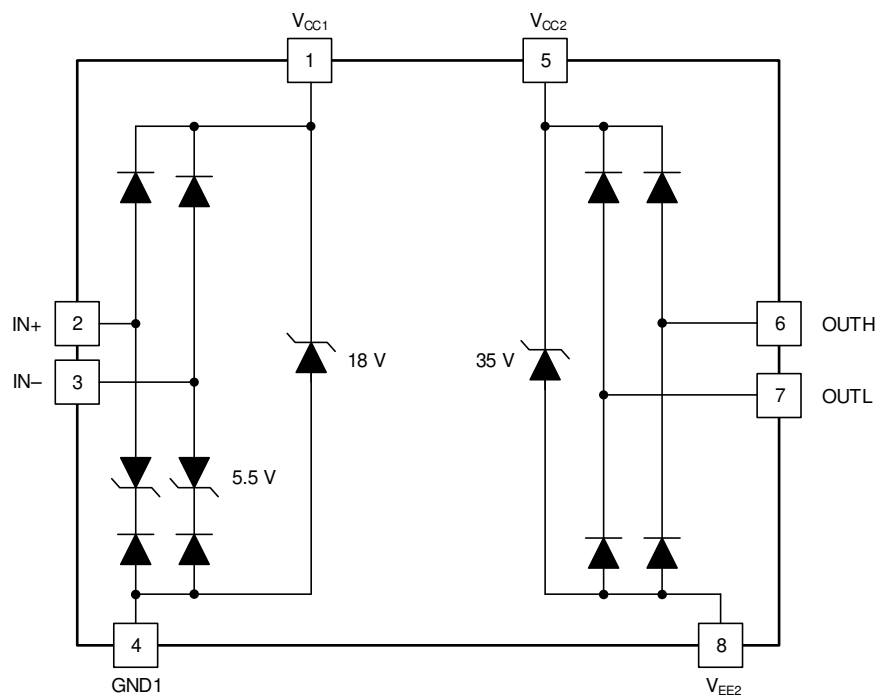


図 8-10. ESD 構造

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

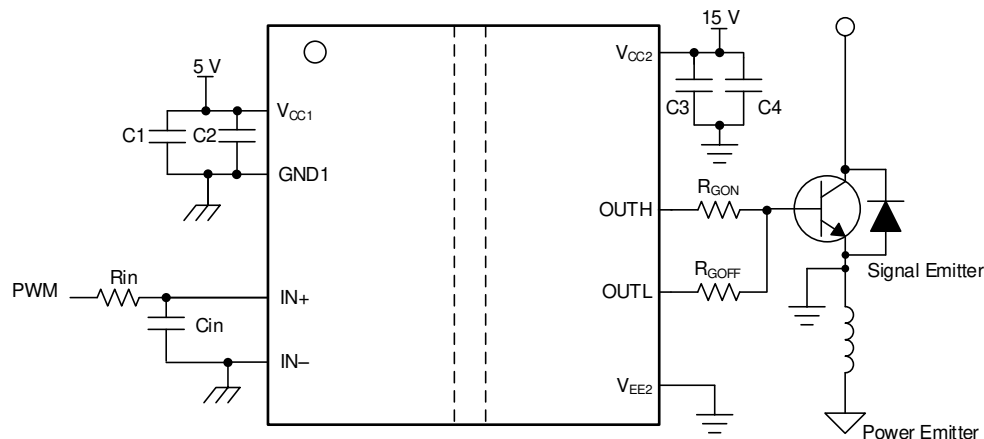
9.1 使用上の注意

UCC53x0 は、MOSFET、IGBT、SiC MOSFET などのパワー半導体デバイス向けの、シンプルな絶縁型ゲートドライバのファミリです。このデバイス ファミリは、モーター制御、ソーラー インバータ、スイッチ モード電源、産業用インバータなどのアプリケーションでの使用を想定しています。

UCC53x0 ファミリのデバイスには 3 つのピン配置構成があり、GND2 を基準とする分割出力、ミラークランプ、UVLO が特長です。UCC5320SC、UCC5350SB、UCC5390SC には分割出力の OUTH と OUTL があります。この 2 本のピンを使用して、パワー トランジスタのターンオンおよびターンオフの整流を個別にデカップリングできます。UCC5310MC と UCC5350MC はアクティブ ミラー クランプを備えており、ミラー電流によってパワー トランジスタが誤ってターンオンするのを防止できます。UCC5320EC と UCC5390EC は、V_{CC2} ピンと GND2 ピンの間の電圧を監視することで真の UVLO 保護を備え、パワー トランジスタが飽和領域で動作することを防止します。UCC53x0 ファミリのデバイスは、8 ピンの D および 8 ピンの DWV パッケージ オプションで供給され、それぞれ沿面距離 (空間距離) は 4mm と 8.5mm であり、基本絶縁または強化絶縁が必要なアプリケーションに適しています。駆動強度が異なるため、定格電力の異なるパワー トランジスタを必要とするアプリケーションに対してシンプルなドライバ プラットフォームを使用できます。特に、UCC5390 デバイスには 10-A の最小駆動電流があり、高電力トランジスタの駆動に使用される外部電流バッファを不要にするのに役立ちます。

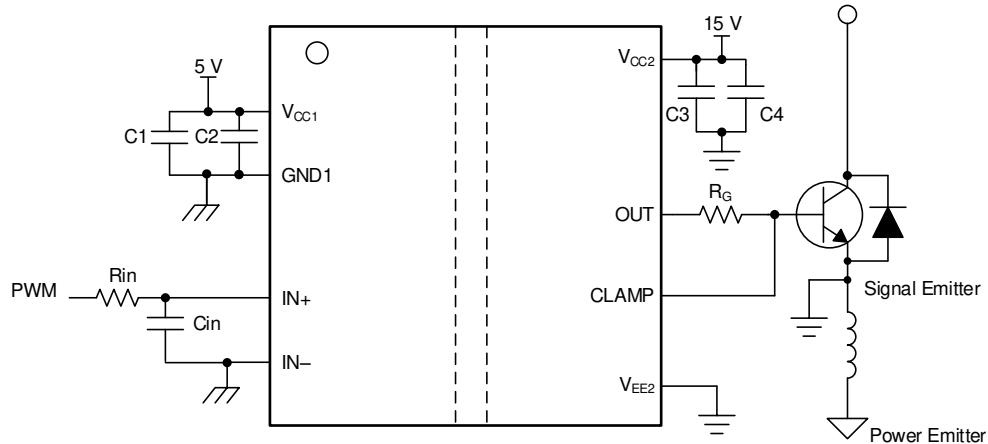
9.2 代表的なアプリケーション

図 9-1、図 9-2、図 9-3 に、IGBT を駆動するための代表的なアプリケーションの回路図を示します。



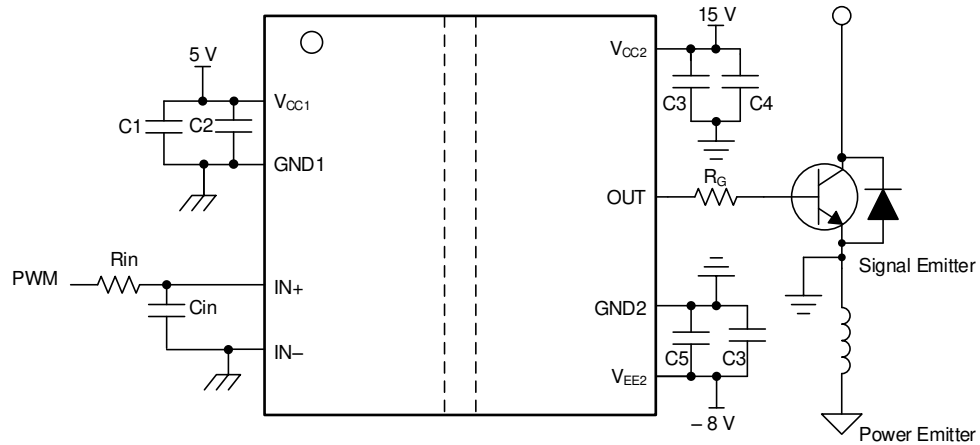
Copyright © 2017, Texas Instruments Incorporated

図 9-1. IGBT を駆動するための UCC53x0S の代表的なアプリケーション回路



Copyright © 2017, Texas Instruments Incorporated

図 9-2. IGBT を駆動するための UCC5310M および UCC5350M の代表的なアプリケーション回路



Copyright © 2018, Texas Instruments Incorporated

図 9-3. IGBT を駆動するための UCC5320E および UCC5390E の代表的なアプリケーション回路

9.2.1 設計要件

表 9-1 に、UCC5320S 分割出力ゲートドライバの入力と出力を観察するための推奨条件を示します。この際、IN- ピンを GND1 ピンに接続します。

表 9-1. UCC5320S 設計要件

パラメータ	値	単位
V _{CC1}	3.3	V
V _{CC2}	15	V
IN+	3.3	V
IN-	GND1	-
スイッチング周波数	10	kHz
IGBT	IKW50N65H5	-

9.2.2 詳細な設計手順

9.2.2.1 IN+ および IN- 入力フィルタの設計

ユーザーが出力の信号を低速にする (または遅延させる) 目的でゲートドライバへの信号成形を避けることを TI は推奨します。しかし、理想的でないレイアウトまたは長い PCB 配線によって生じるリングングを除去するために小さな入力フィルタ R_{IN} - C_{IN} を使用することは可能です。

このようなフィルタでは、 $0 \sim 100\Omega$ の R_{IN} 抵抗と $10 \sim 1000\text{pF}$ の C_{IN} コンデンサを使用する必要があります。この例では、 $R_{IN} = 51\Omega$ と $C_{IN} = 33\text{pF}$ が選択されており、コーナー周波数は約 100MHz です。

これらの部品を選択する際は、ノイズ耐性と伝搬遅延のトレードオフに注意してください。

9.2.2.2 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 $R_{G(ON)}$ および $R_{G(OFF)}$ は、以下の目的で使します。

1. 寄生インダクタンスおよび容量に起因するリングングの制限
2. 高電圧または高電流スイッチングの dv/dt , di/dt , ボディダイオードの逆方向回復に起因するリングングの制限
3. ゲート駆動強度 (すなわちピークシンクおよびソース電流) の微調整によるスイッチング損失の最適化
4. 電磁干渉 (EMI) の低減

出力段には、P チャネル MOSFET と N チャネル MOSFET を並列接続したプルアップ構造があります。この合計ピークソース電流は、UCC5320 ファミリーで 4.3A 、UCC5390 ファミリーで 17A 、UCC5390 ファミリーで 17A です。UCC5320S を例として、ピークソース電流を推定するには式 1 を使用してください。

$$I_{OH} = \min \left(4.3 \text{ A}, \frac{V_{CC2}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} \right) \quad (1)$$

ここで、

- R_{ON} は外部ターンオン抵抗です。
- R_{GFET_Int} : パワー トランジスタのデータシートに記載されているパワー トランジスタの内部ゲート抵抗。この例では 0Ω と想定されています。
- I_{OH} : ピークソース電流 – 4.3 A (ゲートドライバ ピークソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、ピークソース電流は式 2 で計算されたように約 1.8A です。

$$I_{OH} = \frac{V_{CC2}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{15 \text{ V}}{4.5 \Omega \parallel 12 \Omega + 5.1 \Omega + 0 \Omega} \approx 1.8 \text{ A} \quad (2)$$

同様に、ピークシンク電流を計算するには、式 3 を使します。

$$I_{OL} = \min \left(4.4 \text{ A}, \frac{V_{CC2}}{R_{OL} + R_{OFF} + R_{GFET_Int}} \right) \quad (3)$$

ここで、

- R_{OFF} は、外付けターンオフ抵抗です。
- I_{OL} は、ピークシンク電流 – 4.4A (ゲートドライバ ピークシンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、ピークシンク電流は式 4 と 4.4A の小さい方の値です。

$$I_{OL} = \frac{V_{CC2}}{R_{OL} + R_{OFF} + R_{GFET_Int}} = \frac{15\text{ V}}{0.65\ \Omega + 10\ \Omega + 0\ \Omega} \approx 1.4\text{ A} \quad (4)$$

注

推定ピーク電流は、PCB レイアウトと負荷容量の影響も受けます。ゲートドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲートドライバのループをできるだけ小さくすることを強く推奨します。一方、パワー トランジスタの負荷容量 (C_{ISS}) が非常に小さい (通常 1nF 未満) 場合、ピーク ソースおよびシンク電流はループ 寄生素子に支配されます。なぜなら、立ち上がりおよび立ち下がり時間が非常に小さく、寄生リンギングの周期に近いからです。

9.2.2.3 ゲート ドライバの電力損失の推定

ゲートドライバ サブシステムの総損失 P_G には、UCC53x0 デバイスの電力損失 (P_{GD}) と、外部ゲート駆動抵抗などのペリフェラル回路の電力損失が含まれます。

P_{GD} 値は、UCC53x0 デバイスの熱的安定性に関連する制限値を決定する主要な電力損失で、複数の要因からの損失を計算することにより推定できます。

第 1 の要因は静的電力損失 P_{GDQ} です。これにはドライバの静止電力損失と、特定のスイッチング周波数で動作しているドライバの自己消費電力が含まれます。 P_{GDQ} パラメータは、所定の V_{CC1} 、 V_{CC2} 、スイッチング周波数、周囲温度において、OUT または OUTH および OUTL ピンに負荷が接続されていない状態でベンチ測定されます。この例では、 $V_{CC1} = 3.3\text{V}$ 、 $V_{CC2} = 15\text{V}$ です。PWM を 0V から 3.3V まで 10kHz でスイッチングした場合の各電源の電流は、 $I_{CC1} = 1.67\text{mA}$ 、 $I_{CC2} = 1.11\text{mA}$ と測定されます。 P_{GDQ} は式 5 を使用して計算されます。

$$P_{GDQ} = V_{CC1} \times I_{VCC1} + V_{CC2} \times I_{CC2} \approx 22\text{mW} \quad (5)$$

第 2 の要素はスイッチング動作損失 P_{GDO} であり、所定の負荷容量によりドライバは各スイッチング サイクル中に負荷を充放電します。負荷スイッチングからの総ダイナミック損失 P_{GSW} を計算するには、式 6 を使用します。

$$P_{GSW} = V_{CC2} \times Q_G \times f_{SW} \quad (6)$$

ここで、

- Q_G は、 V_{CC2} におけるパワー トランジスタのゲート電荷です。

この例のアプリケーションでは、式 7 に示すように、負荷スイッチングによる総ダイナミック損失は約 18mW です。

$$P_{GSW} = 15\text{ V} \times 120\text{ nC} \times 10\text{ kHz} = 18\text{ mW} \quad (7)$$

Q_G は、50A で 520V をスイッチングするパワー トランジスタの総ゲート電荷量を表します。テスト条件が変わると、この値も変わる可能性があります。UCC5320S の出力段のゲートドライバ損失 (P_{GDO}) は P_{GSW} の一部です。外部ゲートドライバの抵抗とパワー トランジスタの内部抵抗が $0\ \Omega$ で、ゲートドライバの損失がすべて UCC5320S の内部で消費される場合、 P_{GDO} は P_{GSW} と等しくなります。外部ターンオンおよびターンオフ抵抗が存在する場合、総損失はゲートドライバのプルアップ / プルダウン抵抗、外部ゲート抵抗、パワー トランジスタの内部抵抗に分散されます。ソース/シンク電流が 4.3A/4.4A に飽和していない場合、プルアップ/ダウン抵抗は線形かつ固定ですが、ソース/シンク電流が飽和している場合、プルアップ/ダウン抵抗は非線形であることに注意します。そのため、これらの 2 つの条件によって P_{GDO} は異なります。

ケース 1 - 線形のプルアップ / ダウン抵抗:

$$P_{GDO} = \frac{P_{GSW}}{2} \left(\frac{R_{OH} \parallel R_{NMOS}}{R_{OH} \parallel R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} + R_{GFET_Int}} \right) \quad (8)$$

この設計例では、予測されるソースおよびシンク電流はすべて 4.3A 未満および 4.4A であるため、式 9 を使用して UCC53x0 ゲートドライバ損失を推定します。

$$P_{GDO} = \frac{18 \text{ mW}}{2} \left(\frac{12 \Omega \parallel 4.5 \Omega}{12 \Omega \parallel 4.5 \Omega + 5.1 \Omega + 0 \Omega} + \frac{0.65 \Omega}{0.65 \Omega + 10 \Omega + 0 \Omega} \right) \approx 4.1 \text{ mW} \quad (9)$$

ケース 2 - 非線形のプルアップ / ダウン抵抗:

$$P_{GDO} = f_{SW} \times \left[4.3 \text{ A} \times \int_0^{T_{R_Sys}} (V_{CC2} - V_{OUTH}(t)) dt + 4.4 \text{ A} \times \int_0^{T_{F_Sys}} V_{OUTL}(t) dt \right] \quad (10)$$

ここで、

- $V_{OUTH/L}(t)$ は、ターンオンおよびターンオフ中のゲートドライバ OUTH と OUTL ピンの電圧です。出力がある期間飽和している場合、この値は負荷コンデンサを充電または放電する定電流源 (ターンオン時は 4.3A、ターンオフ時は 4.4A) として簡素化できます。その結果、 $V_{OUTH/L}(t)$ 波形は線形となり、 T_{R_Sys} と T_{F_Sys} は簡単に予測できます。

一部の条件で、プルアップ回路とプルダウン回路のどちらかのみが飽和し、他方が飽和していない場合、 P_{GDO} はケース 1 とケース 2 の組み合わせとなり、この説明に基づいて、プルアップとプルダウンに対して式を簡単に特定できます。

UCC53x0 ゲートドライバ P_{GD} で消費されるゲートドライバの総損失は、式 11 を使用して計算します。

$$P_{GD} = P_{GDQ} + P_{GDO} = 22 \text{ mW} + 4.1 \text{ mW} = 26.1 \text{ mW} \quad (11)$$

9.2.2.4 推定接合部温度

UCC53x0 ファミリの接合部温度 (T_J) を推定するには、以下の式を使用します。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \quad (12)$$

ここで、

- T_C は、熱電対またはその他の手段で測定された UCC53x0 のケース上面温度です。
- Ψ_{JT} は、「熱に関する情報」表に記載されている、接合部から上面への熱特性パラメータです。

接合部からケースへの熱抵抗 ($R_{\theta JC}$) の代わりに接合部から上面への熱特性パラメータ (Ψ_{JT}) を使用することで、接合部温度の推定の精度を大幅に向上させることができます。ほとんどの IC の熱エネルギーの大半は、パッケージのリードを経由して PCB に放散されるのに対して、全エネルギーのごく一部のみがケース上面から放散されます (通常は熱電対で測定されます)。 $R_{\theta JC}$ 抵抗は、熱エネルギーの大部分がケースを通して放散される場合 (例: 金属パッケージが使われている場合、IC パッケージにヒートシンクが取り付けられている場合) にのみ有効に使用できます。それ以外の場合に $R_{\theta JC}$ を使っても、真の接合部温度を正確に推定することはできません。 Ψ_{JT} パラメータは、IC の上面を通して放散される大部分のエネルギーが、テスト環境とアプリケーション環境で同等であると仮定することで実験的に求められます。推奨レイアウトガイドラインが守られている限り、接合部温度は数°C以内の精度で推定できます。

9.2.3 V_{CC1} および V_{CC2} コンデンサの選択

V_{CC1} および V_{CC2} 電源のバイパス コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量公差の表面実装型の低 ESR/ESL 多層セラミック コンデンサ (MLCC) を推奨します。

注

一部の MLCC の DC バイアスは、実際の容量値に影響を与えます。たとえば、25V、1 μ F X7R のコンデンサは、15V_{DC} の DC バイアスを印加した場合、わずか 500nF に測定されます。

9.2.3.1 V_{CC1} コンデンサの選択

V_{CC1} に接続されたバイパス コンデンサは、1 次側ロジックに必要な過渡電流と総消費電流に対応しますが、これはわずか数ミリアンペアです。したがって、この用途には 100nF 以上の 50V MLCC を推奨します。バイアス電源出力が V_{CC1} ピンから比較的離れた場所に配置されている場合、1 μ F を超える値のタンタルまたは電解コンデンサを MLCC と並列に配置する必要があります。

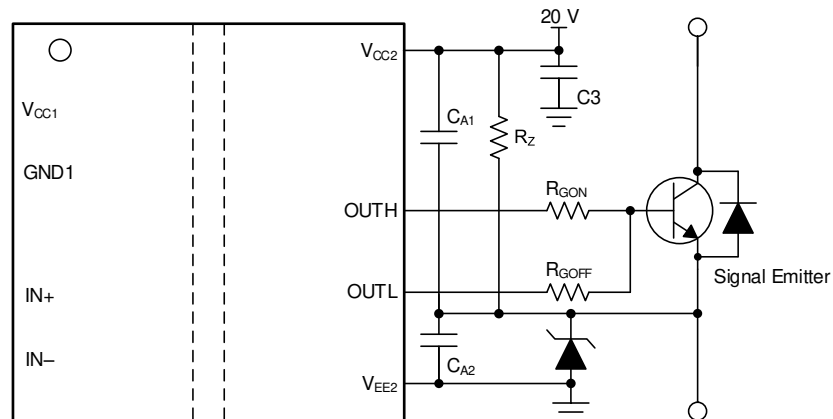
9.2.3.2 V_{CC2} コンデンサの選択

50V、10 μ F の MLCC と 50V、0.22 μ F の MLCC を C_{VCC2} コンデンサとして選択しています。バイアス電源出力が V_{CC2} ピンから比較的離れた場所に配置されている場合、10 μ F を超える値のタンタルまたは電解コンデンサを C_{VCC2} と並列に接続する必要があります。

9.2.3.3 出力段の負バイアスを使う応用回路

理想的でない PCB レイアウトと長いパッケージリード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリングングが生じる可能性があります。リングングがスレッショルド電圧を上回る場合、意図しないターンオンおよび貫通電流が発生する可能性があります。ゲート駆動に負のバイアスを印加することは、このようなリングングをスレッショルドよりも低く保つための一般的な方法です。負のゲート駆動バイアスの実装例をいくつか示します。

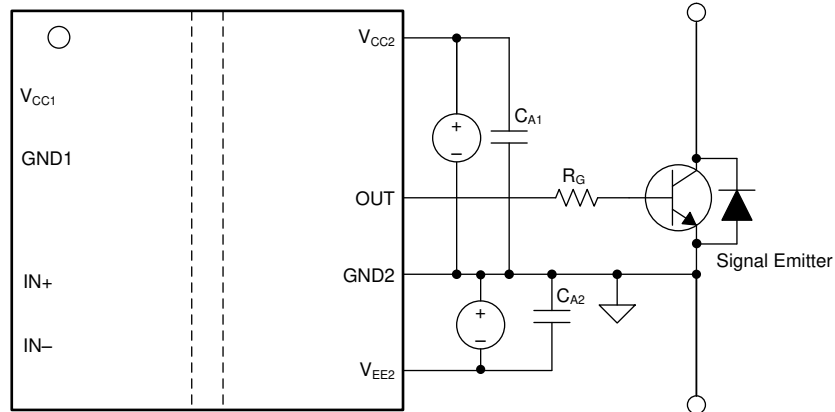
図 9-4 に第 1 の例を示します。この例では、絶縁型電源の出力段に接続したツェナー ダイオードを使って負バイアスを印加することで出力をターンオフさせています。この負バイアスはツェナー ダイオード電圧によって設定されます。絶縁型電源が 20V に等しい場合、ターンオフ電圧は -5.1 V、ターンオン電圧は 20V ~ 5.1V $\approx$ 15V です。



Copyright © 2017, Texas Instruments Incorporated

図 9-4. 絶縁型バイアス電源の出力に接続したツェナー ダイオードによる負バイアス印加

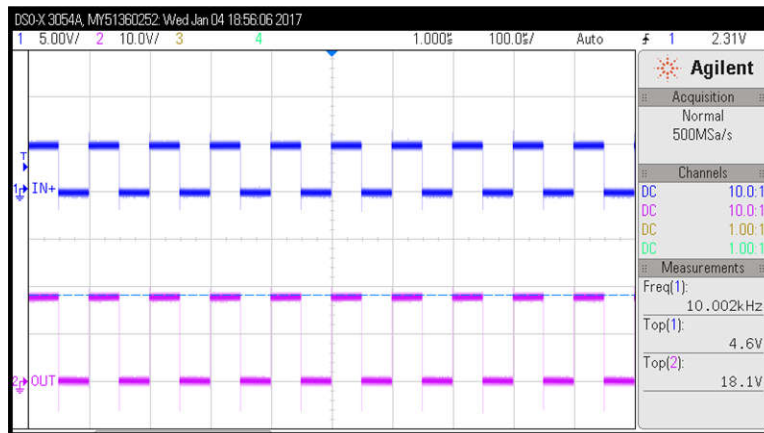
図 9-5 に、2 つの電源 (または 1 つの 1 入力 2 出力電源) を使う別の例を示します。V_{CC2} と GND2 間の電源が正の駆動出力電圧を決定し、V_{EE2} と GND2 間の電源が負のターンオフ電圧を決定します。このソリューションでは最初の例よりも多くの電源を必要としますが、正と負のレール電圧をより柔軟に設定できます。



Copyright © 2017, Texas Instruments Incorporated

図 9-5. 2つのアイソバイアス電源 (UCC5320E および UCC5390E) による負バイアス

9.2.4 アプリケーション曲線



$V_{CC2} = 20\text{ V}$ $V_{EE2} = \text{GND}$ $f_{\text{SW}} = 10\text{ kHz}$

図 9-6. PWM 入力とゲート電圧波形

10 電源に関する推奨事項

UCC53x0 デバイスの推奨入力電源電圧 (V_{CC1}) は 3 V ~ 15V です。出力バイアス電源電圧 (V_{CC2}) の範囲の下限は、デバイスの内部 UVLO 保護機能によって決定されます。正常に動作させるためには、 V_{CC1} および V_{CC2} の電圧がそれぞれの UVLO しきい値を下回らないようにしてください。下回った場合、UVLO 保護機能により、ゲートドライバの出力が 50 μs 以上 Low レベルにクランプされる可能性があります。UVLO の詳細については、[セクション 8.3.4.1](#) を参照してください。 V_{CC2} 範囲の上限は、UCC53x0 デバイスによって駆動されるパワー デバイスの最大ゲート電圧に依存しますが、推奨される V_{CC2} の最大値である 33 V を超えてはなりません。デバイス バイアス用に、 V_{CC2} ピンと V_{EE2} ピンの間に 220 nF ~ 10 μF のローカル バイパス コンデンサを配置する必要があります。高周波フィルタリングのため、デバイスのバイアス コンデンサと並列に追加の 100nF コンデンサを配置することを推奨します。両方のコンデンサを、デバイスにできる限り近づけて配置する必要があります。低 ESR のセラミック表面実装コンデンサが推奨されます。同様に、 V_{CC1} ピンと GND1 ピンの間にもバイパス コンデンサを配置する必要があります。UCC53x0 デバイスの入力側の論理回路が消費する電流は小さいため、このバイパス コンデンサの推奨される最小値は 100nF です。

アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツ [SN6501](#) または [SN6505A](#) などのトランス ドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションでは、『[SN6501](#)

絶縁電源用の変圧器ドライバ』データシートまたは『SN6505A 絶縁型電源用の低ノイズ、1A 変圧器ドライバ』データシートで、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

11 レイアウト

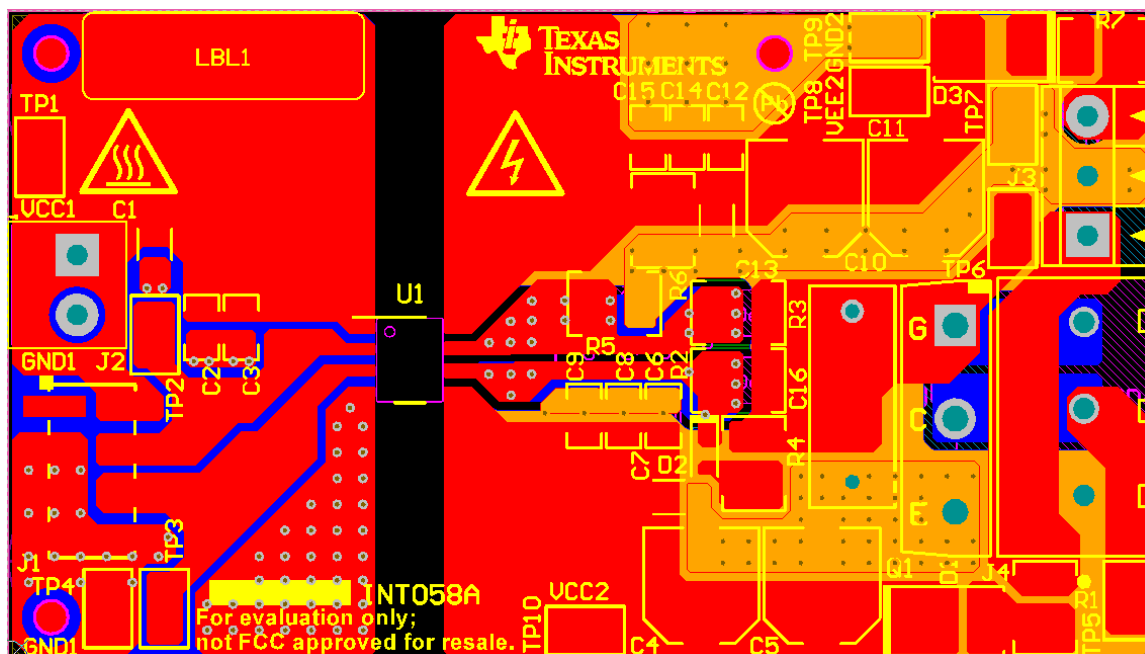
11.1 レイアウトのガイドライン

設計者が UCC53x0 の性能を適切に引き出すには、PCB レイアウトに細心の注意を払う必要があります。主なガイドラインは次のとおりです。

- 部品の配置:
 - ノイズをバイパスし、外付けパワー トランジスタをターンオンさせる際の大きなピーク電流に対応するため、低 ESR かつ低 ESL のコンデンサを本デバイスの近く、 V_{CC1} と $GND1$ ピンとの間、および V_{CC2} と V_{EE2} ピンとの間に接続する必要があります。
 - スイッチ ノードに接続されている V_{EE2} ピンでの大きな負の過渡を防止するため、上側トランジスタのソースと下側トランジスタのソースとの間の寄生インダクタンスを最小限に抑える必要があります。
- 接地に関する注意事項:
 - トランジスタのゲートを充放電する大きいピーク電流が流れる領域を、最小の物理面積に制限することが不可欠です。これによりループのインダクタンスの減少が制限され、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲートドライバは、トランジスタのできるだけ近くに配置する必要があります。
- 高電圧に関する注意事項:
 - 1 次側と 2 次側の間の絶縁性能を確保するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトや溝を推奨します。
- 熱に関する検討事項:
 - 駆動電圧が高い、負荷が重い、スイッチング周波数が高い、のいずれかの場合、UCC53x0 は大きな電力を消費する可能性があります (詳細については [セクション 9.2.2.3](#) を参照)。適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
 - V_{CC2} および V_{EE2} ピンに接続する PCB 銅箔を増やすことを推奨します。 V_{EE2} への接続を最大化することを優先します。ただし、前述の高電圧 PCB に関する考慮事項に従う必要があります。
 - TI は、システムに複数の層がある場合は、 V_{CC2} ピンおよび V_{EE2} ピンを、適切なサイズの複数のビアを経由して内部のグラウンドまたは電源プレーンに接続することを推奨しています。熱伝導率を最大化するため、これらのビアは IC ピンの近くに配置する必要があります。ただし、異なる高電圧プレーンからのパターンや銅箔が重ならないように注意してください。

11.2 レイアウト例

PCB レイアウトの例を、[図 11-1](#) に示します。この図では、信号と主要なコンポーネントにラベル付けされています。



A. 1 次側と 2 次側の間に PCB パターンも銅箔も存在しないため、絶縁性能を確保できます。

図 11-1. レイアウト例

[図 11-2](#) と [図 11-3](#) に上層と下層のパターンと銅箔を示します。

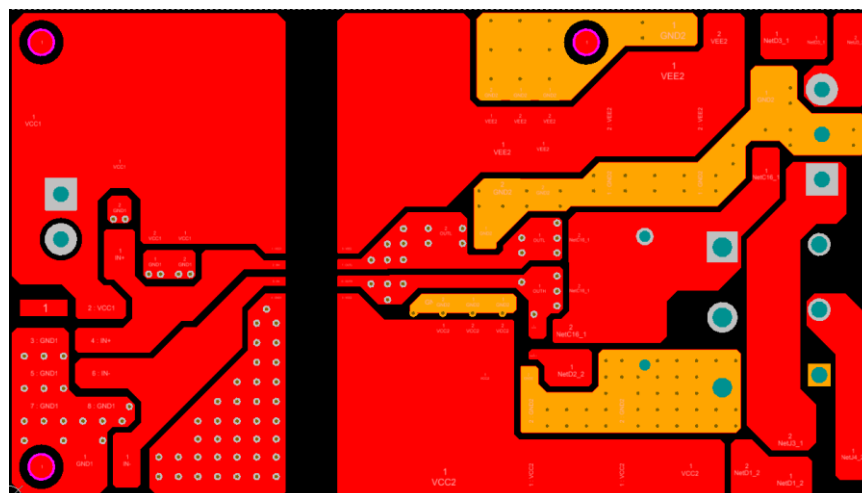


図 11-2. 上層のパターンと銅箔

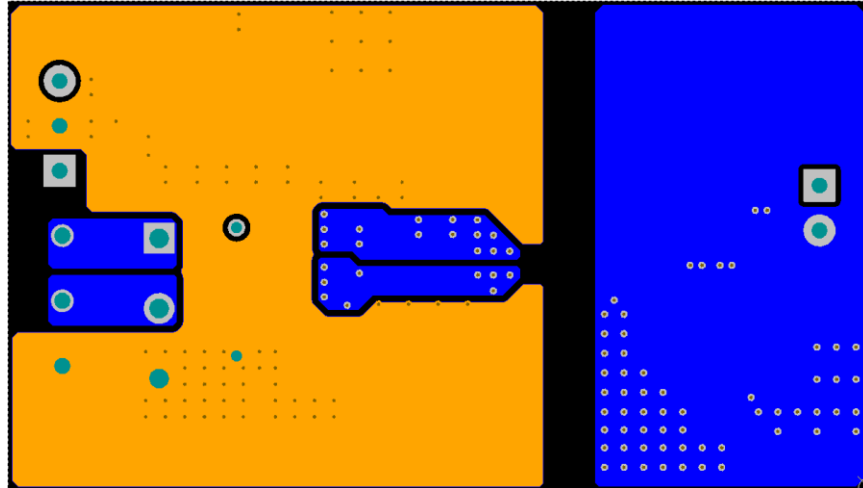
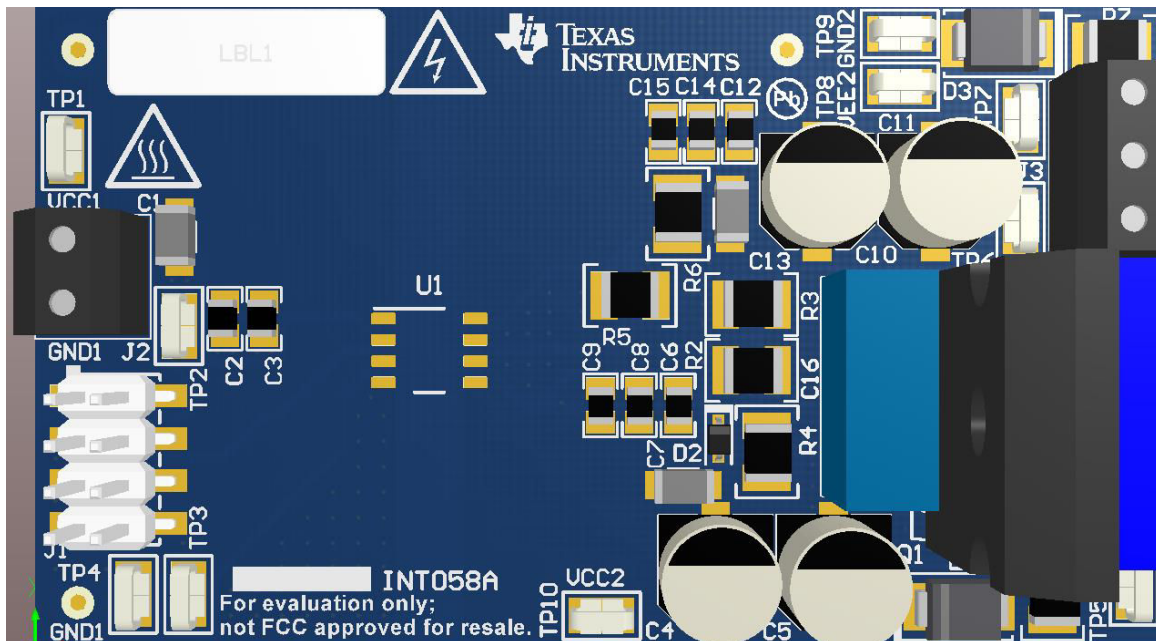


図 11-3. 下層のパターンと銅箔 (反転)

図 11-4 に、PCB 上面図の 3D レイアウトを示します。



- A. 1 次側と 2 次側の間の PCB カットアウトの場所に注意します。これにより、絶縁性能を確保しています。

図 11-4. PCB の 3-D 図

11.3 PCB 材料

標準的な FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

図 11-5 に、推奨されるレイヤ スタックを示します。

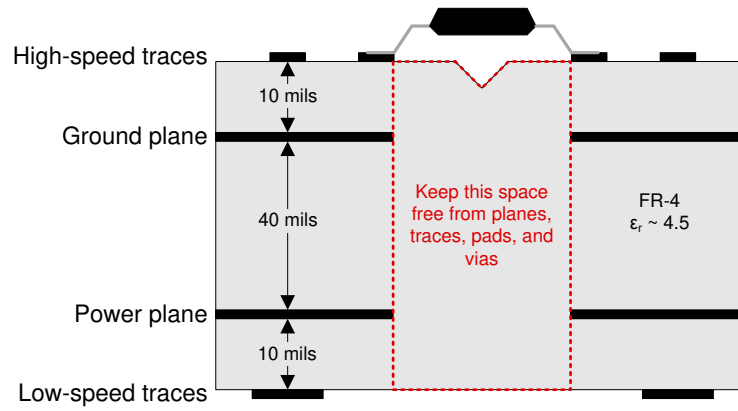


図 11-5. 推奨されるレイヤ・スタック

12 デバイスおよびドキュメントのサポート

12.1 デバイス サポート

12.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

12.2 ドキュメントのサポート

12.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[デジタル アイスレータ設計ガイド](#)』
- テキサス インスツルメンツ、『[絶縁の用語集](#)』
- テキサス・インスツルメンツ、『[SN6501 絶縁電源用のトランスドライバ](#)』データシート
- テキサス・インスツルメンツ、『[SN6505A 絶縁電源用の低ノイズ、1A トランスドライバ](#)』データシート
- テキサス インスツルメンツ、『[UCC5390ECDWV 絶縁型ゲートドライバ評価基板](#)』ユーザー ガイド
- テキサス インスツルメンツ、『[UCC53x0xD 評価基板](#)』ユーザー ガイド

12.3 認証

UL オンライン認定ディレクトリ、『[FPPT2.E181974 非光学絶縁デバイス - 部品](#)』認定番号:20170718-E181974、

12.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

12.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

12.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.8 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (March 2024) to Revision J (August 2024) Page

- 見出しの最小値を標準値に変更し、「製品情報」表で値を最小値から標準値に変更..... **1**
- 見出しの最小値を標準値に変更し、「製品比較」表で値を最小値から標準値に変更..... **4**

Changes from Revision H (February 2024) to Revision I (March 2024) Page

- 「認定予定」を「認証番号」に変更:「DWV パッケージの安全関連認証」セクションの 40047657..... **11**

Changes from Revision G (December 2023) to Revision H (February 2024) Page

- 絶縁仕様の CTI と材料グループの値を変更し、表に注を追加..... **9**

Changes from Revision F (January 2019) to Revision G (December 2023) Page

- UCC5350MC DWV パッケージを追加..... **4**

Changes from Revision E (October 2018) to Revision F (January 2019) Page

- 2 番目の項目から (UCC5390EC) を削除(現在 3 つの幅広デバイスがリリースされているので)..... **1**
- 安全関連認証に DIN EN 61010-1 を追加..... **1**
- 「安全関連の認定」の箇条書き項目全体にわたって「(予定)」を追加..... **1**
- 「概要」の「ピン配置構成と駆動力のバリエーション」とスイッチ タイプの情報を変更..... **1**
- 「絶縁仕様」とデータシート全体の沿面距離と空間距離を 9mm から 8.5mm に変更..... **10**
- D パッケージの VDE および CQC 認定、DWV パッケージの UL ファイル番号を追加..... **11**
- V_{OH} の試験条件を変更..... **12**
- UCC53x0M の図に細部を変更..... **30**
- E バージョンの代表的なアプリケーション回路を、負バイアスのコンデンサを追加するよう変更..... **35**

Changes from Revision D (May 2018) to Revision E (October 2018) Page

- UCC5310 DWV パッケージを「プレビュー」から「ファイナル」に変更。..... **4**
- UCC5320 DWV パッケージを「プレビュー」から「ファイナル」に変更。..... **4**

Changes from Revision C (February 2018) to Revision D (May 2018) Page

- UCC5390EC のマーケティング ステータスをプレビューから量産に変更..... **1**

Changes from Revision B (August 2017) to Revision C (February 2018) Page

- UCC5350SBD、UCC5320SCDWV、UCC5310MCDWV、UCC5390ECDWV デバイスをデータシートに追加..... **1**
- E および M バージョンと DWV パッケージの情報を含むように「特長」、「アプリケーション」、「概要」、「機能ブロック図」を変更..... **1**
- ピン配置および機能に UCC5350SB を追加..... **5**
- 最低保管温度を追加..... **7**

• 「絶縁仕様」および「安全関連認証」表の VDE V 0884-10 を VDE V 0884-11 に変更.....	9
• 変更された安全制限値.....	11
• 供給電流の試験条件を削除.....	12
• UCC5390 および UCC5350 の情報を含むように「代表的な曲線およびテスト条件」を追加.....	16
• デバイス I/O 図を削除.....	34
• ESD の図を変更.....	34
• UL オンライン認定ディレクトリを「認定」セクションに追加.....	46

Changes from Revision A (June 2017) to Revision B (August 2017)	Page
--	-------------

• 動作時の周囲温度の最低値を –55°C から –40°C に変更.....	1
---	---

Changes from Revision * (June 2017) to Revision A (June 2017)	Page
--	-------------

• 将来の 10A デバイスにも利用可能な 17A をタイトルから削除.....	1
--	---

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC5310MCD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	5310M
UCC5310MCDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5310M
UCC5310MCDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5310M
UCC5310MCDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5310MC
UCC5310MCDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5310MC
UCC5320ECD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	5320E
UCC5320ECDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320E
UCC5320ECDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320E
UCC5320SCDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320S
UCC5320SCDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320S
UCC5320SCDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320SC
UCC5320SCDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5320SC
UCC5350MCDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	5350M
UCC5350MCDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350M
UCC5350MCDWV	Obsolete	Production	SOIC (DWV) 8	-	-	Call TI	Call TI	-40 to 125	5350MC
UCC5350MCDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350MC
UCC5350MCDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350MC
UCC5350SBD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	5350SB
UCC5350SBD R	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	5350SB
UCC5350SBD R.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350SB
UCC5390ECDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0E
UCC5390ECDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0E
UCC5390ECDWV	Obsolete	Production	SOIC (DWV) 8	-	-	Call TI	Call TI	-40 to 125	5390EC
UCC5390ECDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5390EC
UCC5390ECDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5390EC
UCC5390SCD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	53X0S
UCC5390SCDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0S
UCC5390SCDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0S
UCC5390SCDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0S

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC5390SCDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	53X0S

- (1) Status:** For more details on status, see our [product life cycle](#).
- (2) Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

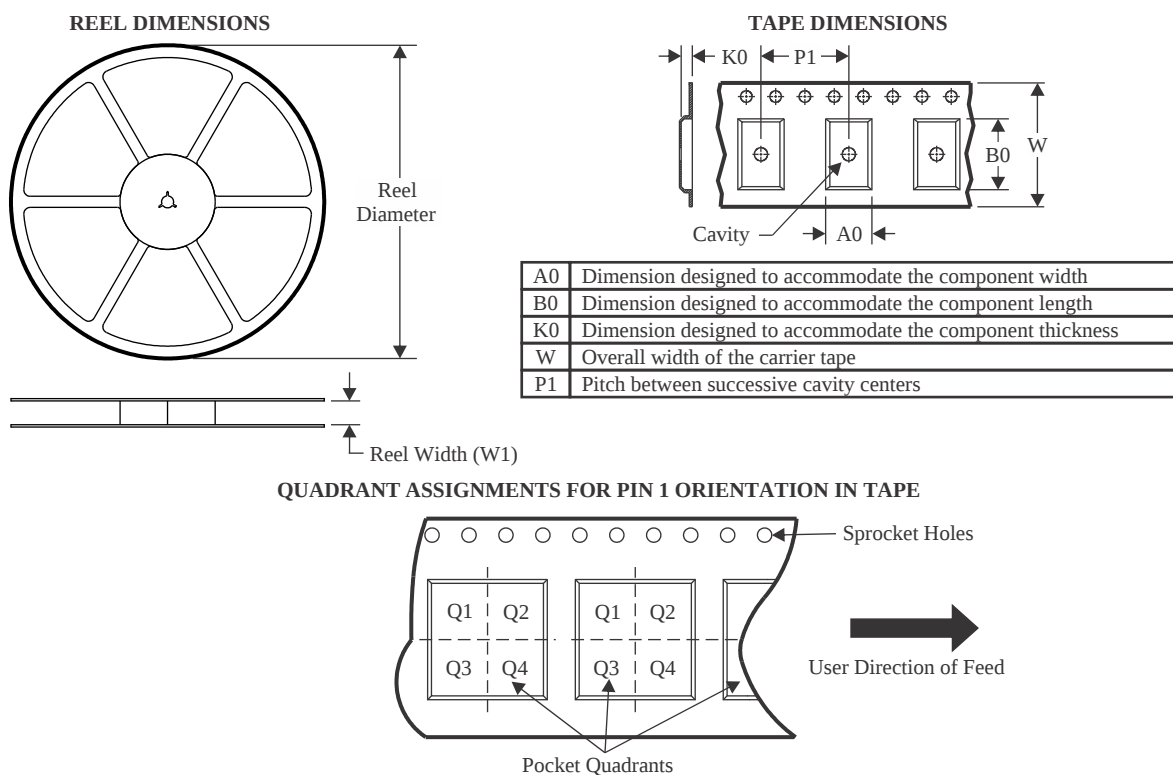
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC5350, UCC5390 :

- Automotive : [UCC5350-Q1](#), [UCC5390-Q1](#)

NOTE: Qualified Version Definitions:

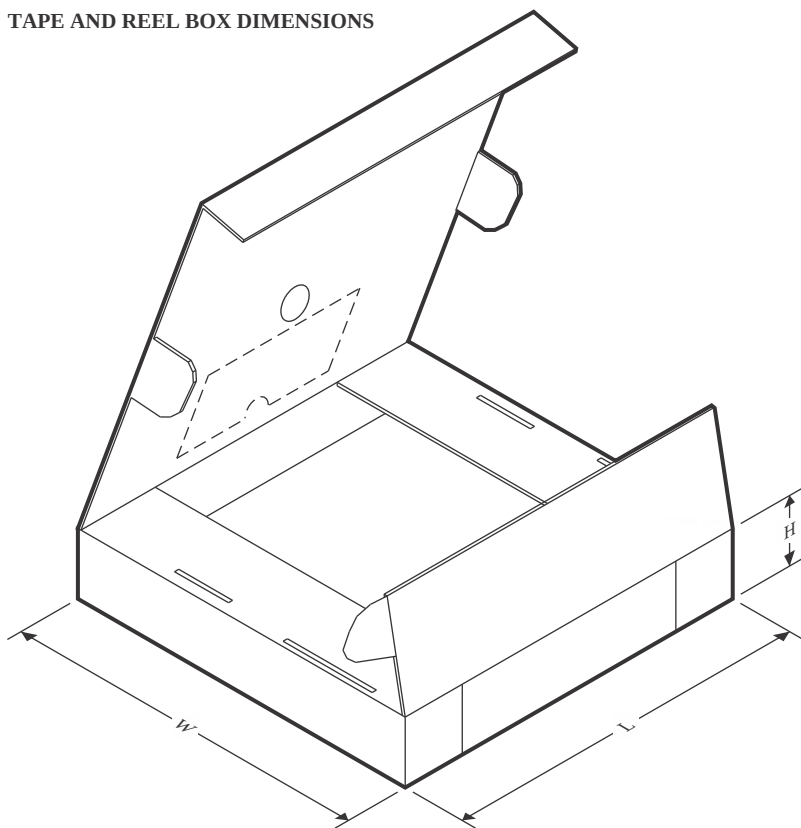
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC5310MCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5310MCDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5320ECDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5320SCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5320SCDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5350MCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5350MCDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5350SBDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5390ECDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5390ECDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5390SCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5390SCDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

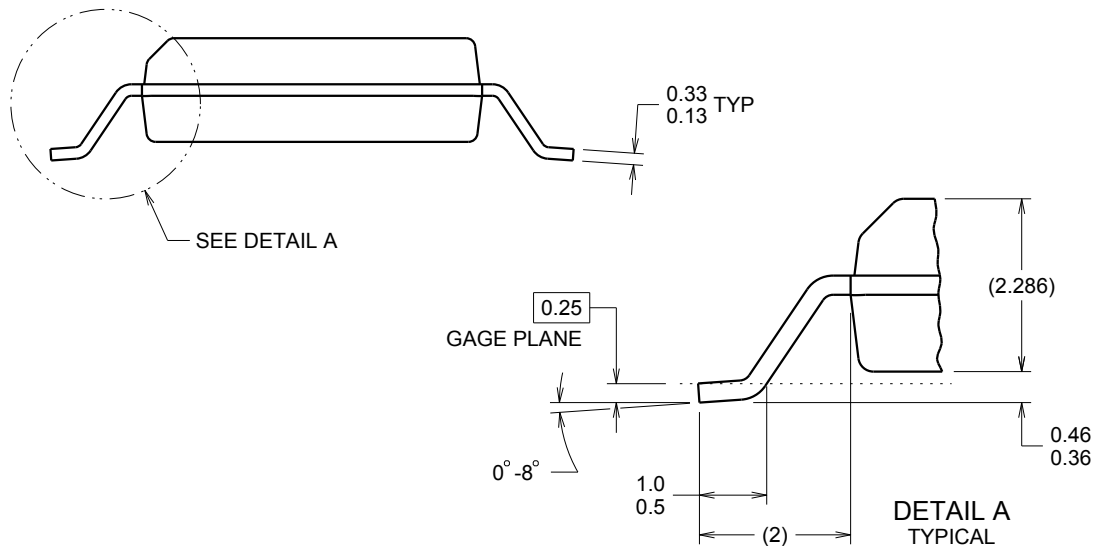


*All dimensions are nominal

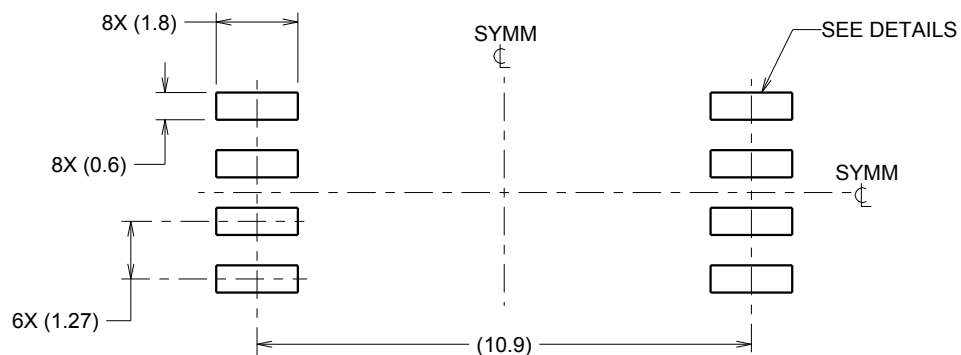
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC5310MCDR	SOIC	D	8	2500	353.0	353.0	32.0
UCC5310MCDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5320ECDR	SOIC	D	8	2500	350.0	350.0	43.0
UCC5320SCDR	SOIC	D	8	2500	350.0	350.0	43.0
UCC5320SCDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5350MCDR	SOIC	D	8	2500	353.0	353.0	32.0
UCC5350MCDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5350SBDR	SOIC	D	8	2500	353.0	353.0	32.0
UCC5390ECDR	SOIC	D	8	2500	350.0	350.0	43.0
UCC5390ECDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5390SCDR	SOIC	D	8	2500	350.0	350.0	43.0
UCC5390SCDRG4	SOIC	D	8	2500	350.0	350.0	43.0

SOIC - 2.8 mm max height

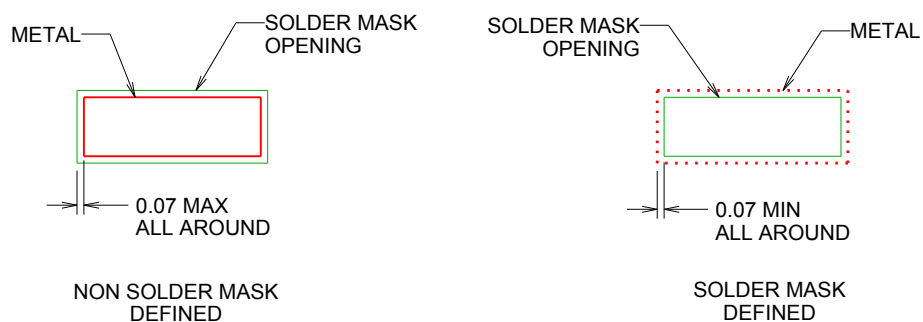
PIN 1 ID AREA
 11.5 ± 0.25 TYP
 5.95
 5.75
 NOTE 3
 1
 4
 8
 5
 6X 1.27
 2X 3.81
 8X 0.51
 0.31
 7.6
 7.4
 NOTE 4
 A
 B
 SEATING PLANE
 0.1 C
 2.8 MAX
 C
 A
 B



1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

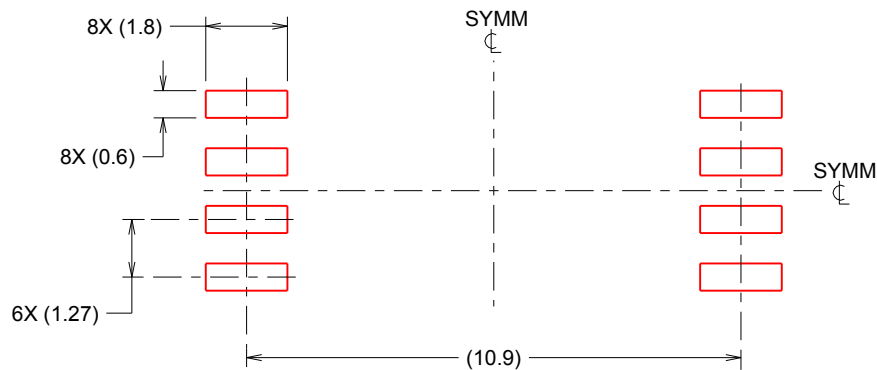


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

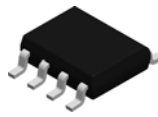


SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

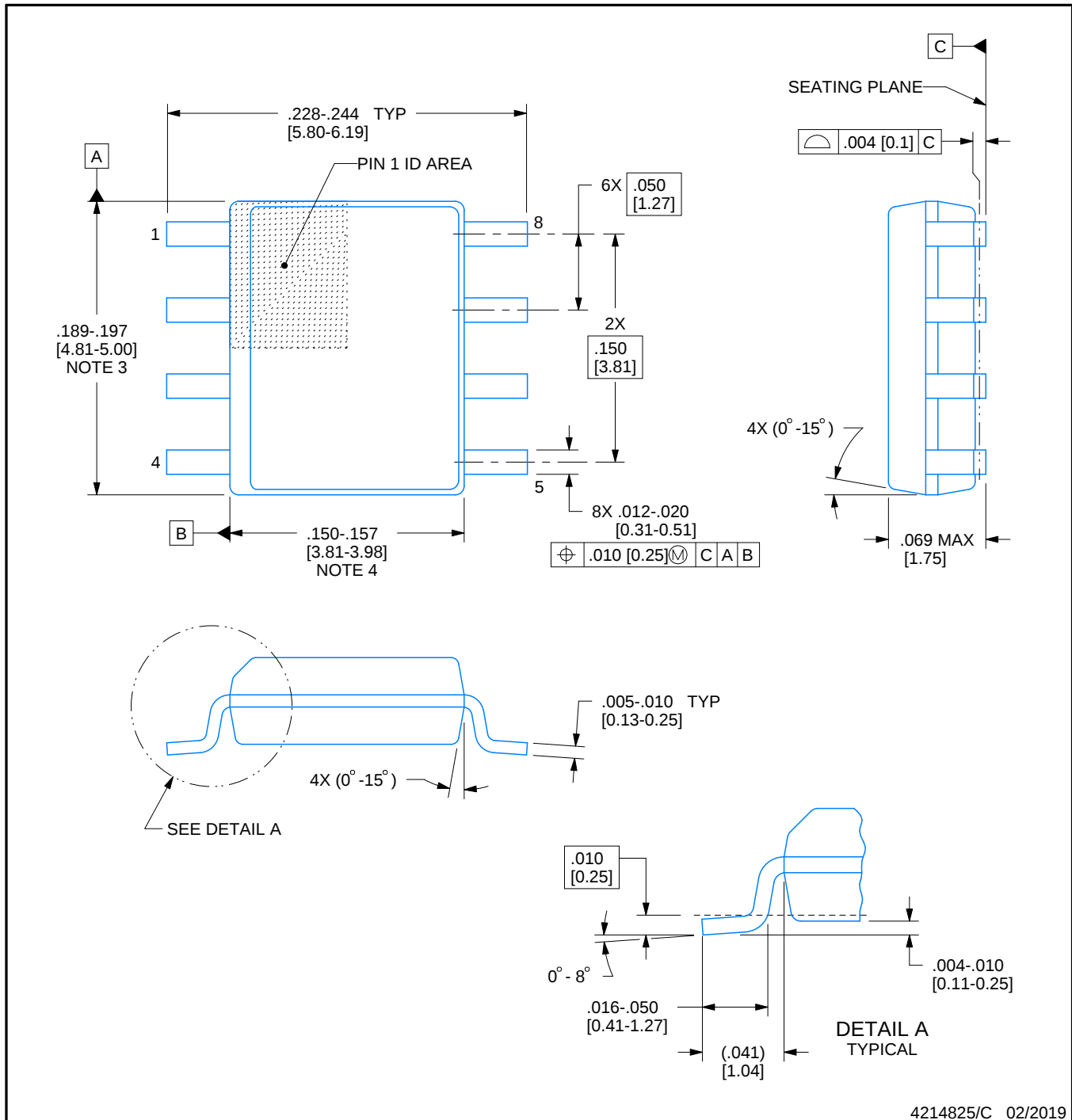


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

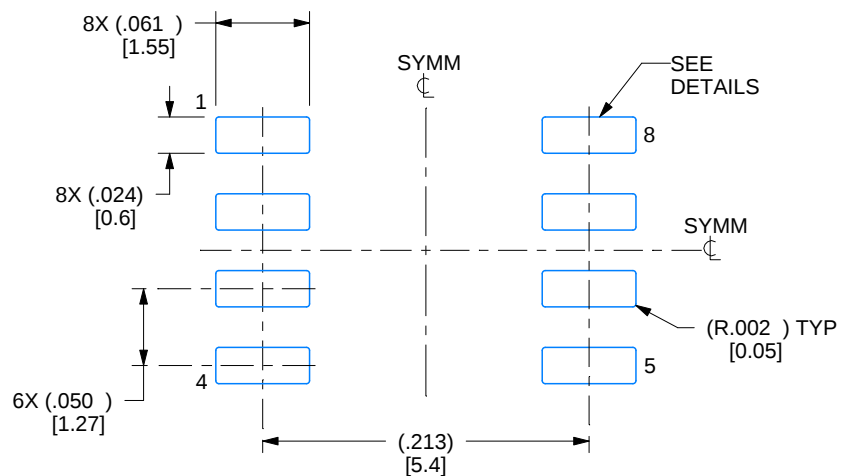
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

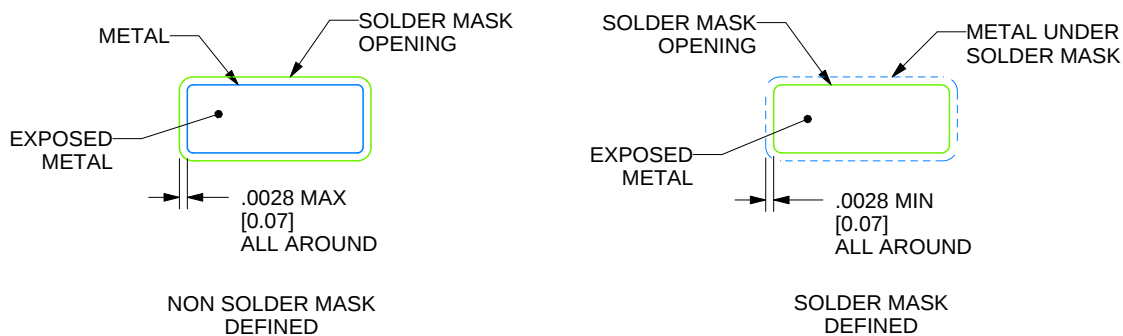
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

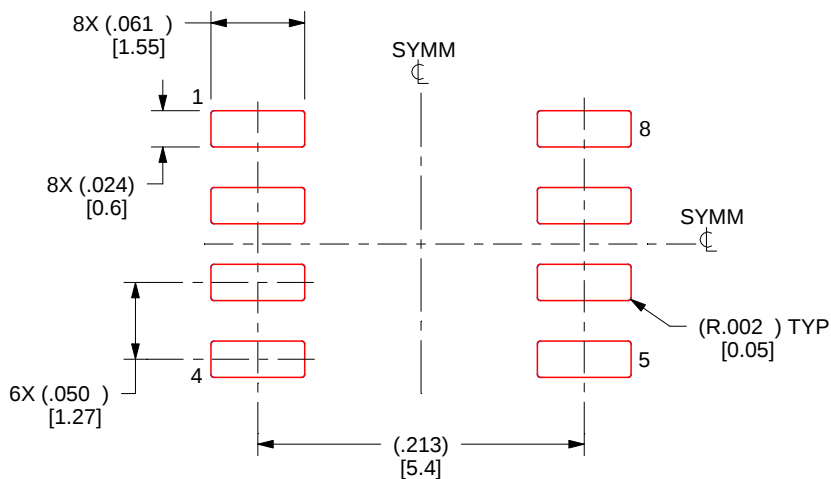
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月