UCC5350-Q1
車載アプリケーションにおける SiC/IGBT 向け 10A シングル チャネル絶縁ゲート ドライバ

1 特長

- 5kV$_{RMS}$ および 3kV$_{RMS}$ シングル チャネル絶縁型ゲートドライバ
- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1
- 機能安全品質管理
  - 機能安全システムの設計に役立つ資料を利用可能
- 機能オプション
  - 分割出力、8V UVLO (UCC5350SB-Q1)
  - ミラー クランプ、12V UVLO (UCC5350MC-Q1)
- ±5A 以上のピーク電流駆動力
- ピーク電流駆動力:±10A (代表値)
- 入力電圧範囲:3V～15V
- 最大 33V のドライバ電源電圧
  - 8V および 12V UVLO オプション
- 最小 CMTI:100V/ns
- 負の 5V に対応可能な入力ピン
- 伝搬遅延時間:100ns 以下、部品間スキュー:25ns 未満
- 8 ピン DWV (沿面距離 8.5mm) および D (沿面距離 4mm) パッケージ
- 絶縁バリアの寿命:40 年超
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
- CMOS 入力
- 動作時接合部温度:–40°C ～ +150°C

2 アプリケーション

- オンボード チャージャ
- EV 用トラクション インバータ
- DC 充電ステーション
- HVAC
- 暖房器具

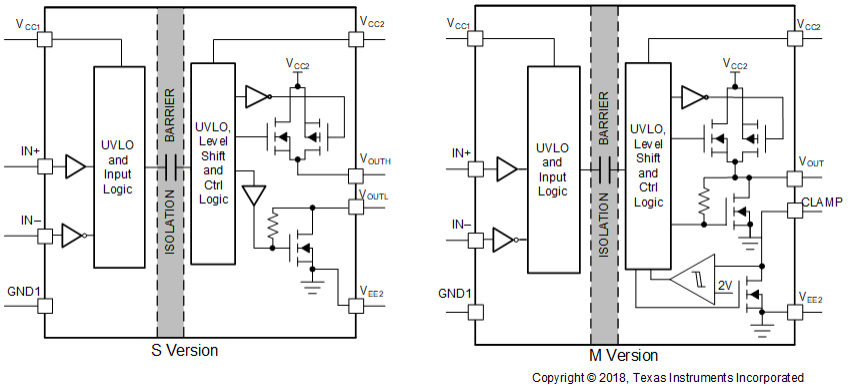
3 説明

UCC5350-Q1 はシングル チャネルの絶縁ゲート ドライバで、10A ソースおよび 10A シンクの代表的なピーク電流を持ち、MOSFET、IGBT、SiC MOSFET を駆動するよう設計されています。UCC5350-Q1 には、ミラー クランプまたは分割出力のオプションがあります。CLAMP ピンを使ってトランジスタのゲートを出力のそばの内部 FET と出力に接続することで、ミラー電流インジェクションによる誤ターンオンを防止できます。分割出力オプションを使うと、ゲート電圧の立ち上がり/立ち下がり時間を OUTH および OUTL ピンで個別に制御できます。

パッケージ情報

部品のバージョン	特長	パッケージ (1)	本体サイズ (公称)
UCC5350MC-Q1	ミラー クランプ、12V UVLO	DWV (SOIC、8)	7.5mm × 5.85mm
		D (SOIC、8)	3.91mm x 4.9mm
UCC5350SB-Q1	分割出力、8V UVLO	D (SOIC、8)	3.91mm x 4.9mm

(1) 供給されているすべてのパッケージについては、セクション 13 を参照してください。



Copyright © 2018, Texas Instruments Incorporated

機能ブロック図 (S、M バージョン)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

UCC5350-Q1 は、4mm SOIC-8 (D) または 8.5mm ワイド ボディ SOIC-8 (DWV) パッケージで供給され、それぞれ最大 $3kV_{RMS}$ および $5kV_{RMS}$ の絶縁電圧をサポートできます。入力側は、絶縁バリア寿命が 40 年以上ある SiO_2 容量性絶縁技術によって出力側と絶縁されています。UCC5350-Q1 は、高電圧トラクション インバータおよびオンボード チャージャなどの用途の IGBT または MOSFET の駆動に適しています。

フォトカプラ ゲート ドライバと比較して、UCC5350-Q1 デバイスは部品間スキューが小さく、伝搬遅延時間が短く、より高い温度でも動作し、CMTI が高いという特長があります。

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電力定格.....7
5.6 D パッケージの絶縁仕様.....7
5.7 DWV パッケージの絶縁仕様.....9
5.8 D パッケージの安全関連認証.....10
5.9 DWV パッケージの安全関連認証.....10
5.10 安全限界値.....10
5.11 電気的特性.....11
5.12 スイッチング特性.....12
5.13 絶縁特性曲線.....13
5.14 代表的特性.....14
6 パラメータ測定情報.....17
6.1 伝搬遅延、反転、非反転型構成.....17
7 詳細説明.....19
7.1 概要.....19
7.2 機能ブロック図.....19
7.3 機能説明.....20
7.4 デバイスの機能モード.....24
8 アプリケーションと実装.....26
8.1 使用上の注意.....26
8.2 代表的なアプリケーション.....26
9 電源に関する推奨事項.....31
10 レイアウト.....32
10.1 レイアウトのガイドライン.....32
10.2 レイアウト例.....32
10.3 PCB 材料.....35
11 デバイスおよびドキュメントのサポート.....36
11.1 デバイス サポート.....36
11.2 ドキュメントのサポート.....36
11.3 認証.....36
11.4 ドキュメントの更新通知を受け取る方法.....36
11.5 サポート・リソース.....36
11.6 商標.....36
11.7 静電気放電に関する注意事項.....36
11.8 用語集.....36
12 改訂履歴.....36
13 メカニカル、パッケージ、および注文情報.....38

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

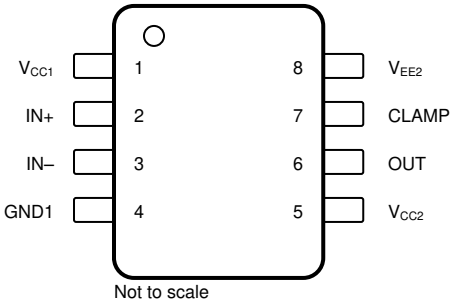


図 4-1. UCC5350MC-Q18 ピン SOIC 上面図

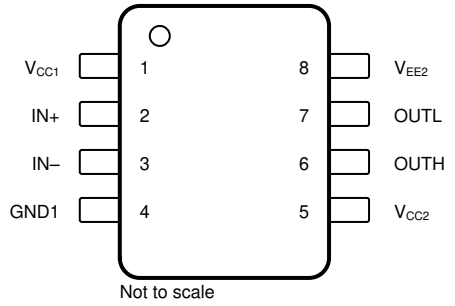


図 4-2. UCC5350SB-Q1 8 ピン SOIC 上面図

表 4-1. ピンの機能

ピン			タイプ[1]	説明
名称	番号	番号		
	UCC5350MC-Q1	UCC5350SB-Q1		
CLAMP	7	—	I	アクティブ ミラー クランプ入力を使用することで、M バージョンに見られるパワー スイッチの誤ターンオンを防止します。低インダクタンスを使用してゲートに直接接続します。
GND1	4	4	G	入力グランド。入力側のすべての信号はこのグランドを基準とします。
IN+	2	2	I	非反転ゲート駆動電圧制御入力。IN+ ピンには CMOS 入力スレッショルドがあります。このピンは、オープンのままにすると内部で Low にプルされます。
IN-	3	3	I	反転ゲート駆動電圧制御入力。IN– ピンには CMOS 入力スレッショルドがあります。このピンは、オープンのままにすると内部で High にプルされます。
OUT	6	—	O	「M」バージョンで見られるゲート駆動出力
OUTH	—	6	O	「S」バージョンに見られるゲート駆動プルアップ出力
OUTL	—	7	O	「S」バージョンに見られるゲート駆動プルダウン出力
V_{CC1}	1	1	P	入力電源電圧。局所的にデカップリングされたコンデンサを GND1 に接続します。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。
V_{CC2}	5	5	P	正の出力電源レール。局所的にデカップリングされたコンデンサを V_{EE2} に接続します。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	番号	番号		
	UCC5350MC-Q1	UCC5350SB-Q1		
V_{EE2}	8	8	G	グランド ピン。MOSFET ソースまたは IGBT エミッタに接続します。局所的にデカップリングされたコンデンサを V_{CC2} から V_{EE2} に接続します。デバイスと可能な限り近くに配置した低 ESR または低 ESL のコンデンサを使用します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力バイアス ピン電源電圧	V_{CC1} – GND1	GND1 - 0.3	18	V
ドライバ バイアス電源	V_{CC2} - V_{EE2}	-0.3	35	V
出力信号電圧	V_{OUTH} – V_{EE2}、V_{OUTL} – V_{EE2}、V_{OUT} – V_{EE2}、V_{CLAMP} – V_{EE2}	V_{EE2} - 0.3	V_{CC2} + 0.3	V
入力信号電圧	V_{IN+} – GND1、$V_{IN–}$ – GND1	GND1 - 5	V_{CC1} + 0.3	V
接合部温度、T_J(2)		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) T_J の推奨動作条件を維持するには、「熱に関する情報」の表を参照してください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	±4000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC1}	電源電圧、入力側	3		15	V
V_{CC2}	正の電源電圧出力側 (V_{CC2} – V_{EE2})、UCC5350MC	13.2		33	V
V_{CC2}	正の電源電圧出力側 (V_{CC2} – V_{EE2})、UCC5350SB	9.5		33	V
T_J	接合部温度	-40		150	°C

5.4 熱に関する情報

熱評価基準(1)		UCC5350-Q1		単位
		D	DWV	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部と周囲の間の熱抵抗	109.5	119.8	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		UCC5350-Q1		単位
		D	DWV	
		8 ピン	8 ピン	
$R_{\theta JC(top)}$	接合部とケースの間 (上面) の熱抵抗	43.1	64.1	℃/W
$R_{\theta JB}$	接合部と基板の間の熱抵抗	51.2	65.4	℃/W
Ψ_{JT}	接合部と上面の間の特性パラメータ	18.3	37.6	℃/W
Ψ_{JB}	接合部と基板の間の特性パラメータ	50.7	63.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
D パッケージ (UCC5350MC-Q1)						
P_D	入力および出力の最大消費電力	V_{CC1} = 15V、V_{CC2} = 15V、f = 2.1MHz、50% デューティ サイクル、方形波、2.2nF 負荷			1.14	W
P_{D1}	最大入力消費電力				0.05	W
P_{D2}	最大出力消費電力				1.09	W
D パッケージ (UCC5350SB-Q1)						
P_D	入力および出力の最大消費電力	V_{CC1} = 15V、V_{CC2} = 15V、f = 1.8MHz、50% デューティ サイクル、方形波、2.2nF 負荷			0.99	W
P_{D1}	最大入力消費電力				0.05	W
P_{D2}	最大出力消費電力				0.94	W
DWV パッケージ (UCC5350MC-Q1)						
P_D	入力および出力の最大消費電力	V_{CC1} = 15V、V_{CC2} = 15V、f = 1.9MHz、50% デューティ サイクル、方形波、2.2nF 負荷			1.04	W
P_{D1}	最大入力消費電力				0.05	W
P_{D2}	最大出力消費電力				0.99	W

5.6 D パッケージの絶縁仕様

パラメータ		テスト条件	値	単位
			D	
CLR	外部空間距離(1)	空気中での最短のピン間距離	≥ 4	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	≥ 4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 21	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303–11)、IEC 60112	> 400	V
	材料グループ	IEC 60664-1 に準拠	II	
IEC 60664-1 に準拠した過電圧カテゴリ		定格商用電源電圧 ≤ 150_{VRMS}	I-IV	
		定格商用電源電圧 ≤ 300_{VRMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1200(7)	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) 試験	850(7)(8)	V_{RMS}
		DC 電圧	1200(7)	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	V_{TEST} = V_{IOTM}、t = 60s (認証)、 V_{TEST} = 1.2 × V_{IOTM}、t = 1s (100% 出荷)	4242	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	IEC 62368-1 に準拠し気中でテスト、1.2/50µs の波形	5000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	V_{IOSM} ≥ 1.3 × V_{IMP}、油中試験 (認証試験)、 IEC 62368-1 準拠の 1.2/50µs 波形	6500	V_{PK}
q_{pd}	見掛けの電荷(5)	方法 a：I/O 安全試験サブグループ 2/3 の後、 V_{ini} = V_{IOTM}、t_{ini} = 60s、 $V_{pd(m)}$ = 1.2 × V_{IORM}、t_m = 10s	≦ 5	pC
		方法 a：環境試験サブグループ 1 の後、 V_{ini} = V_{IOTM}、t_{ini} = 60s、 $V_{pd(m)}$ = 1.3 × V_{IORM}、t_m = 10s	≦ 5	
		メソッド b：ルーチン試験 (100% 出荷時) V_{ini} = 1.2 × V_{IOTM}、t_{ini} = 1s、 $V_{pd(m)}$ = 1.5 × V_{IORM}、t_m = 1s (メソッド b1) または $V_{pd(m)}$ = V_{ini}、t_m = t_{ini} (メソッド b2)	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ (6)	V_{IO} = 0.4 × sin (2πft)、f = 1MHz	1.2	pF

Copyright © 2026 Texas Instruments Incorporated

5.6 D パッケージの絶縁仕様 (続き)

パラメータ		テスト条件	値	単位
			D	
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V、T_A = 25℃	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^{9}	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	V_{TEST} = V_{ISO}、t = 60s (認定時テスト)、V_{TEST} = 1.2 × V_{ISO}、t = 1s (100% 出荷時テスト)	3000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。
(7) アプリケーション パラメータに従って、システム絶縁動作電圧を検証する必要があります。
(8) UCC5350-Q1 は、IEC/VDE の部分放電試験中に 850V_{RMS} を超える動作電圧による製造試験を実施済みです

Copyright © 2026 Texas Instruments Incorporated

5.7 DWV パッケージの絶縁仕様

パラメータ		テスト条件	値	単位
			DWV	
CLR	外部空間距離(1)	空気中での最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 21	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303–11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
IEC 60664-1 に準拠した過電圧カテゴリ		定格商用電源電圧 ≤ 600_{VRMS}	I-III	
		定格商用電源電圧 ≤ 1000_{VRMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) 試験	1500	V_{RMS}
		DC 電圧	2121	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認証)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷)	7071	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	IEC 62368-1 に準拠し気中でテスト、1.2/50µs の波形	8000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	V_ISOM ≧ 1.3 VIMP、油中試験 (認証試験)、IEC 62368-1 に準拠した 1.2/50µs 波形	10400	V_{PK}
q_{pd}	見掛けの電荷(5)	方法 a：I/O 安全試験サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 a：環境試験サブグループ 1 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		メソッド b：ルーチン試験 (100% 出荷時) $V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、 $V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s (メソッド b1) または $V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2)	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(6)	V_{IO} = 0.4 × sin (2πft)、f = 1MHz	1.2	pF
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V、T_A = 25℃	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定時テスト)、$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	5000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、安全定格内に限定した安全な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2026 Texas Instruments Incorporated

5.8 D パッケージの安全関連認証

VDE	UL
DIN EN IEC 60747–17 (VDE 0884-17) による認証	UL 1577 部品認定プログラムの認定
認証書番号:40047657	ファイル番号:E181974

5.9 DWV パッケージの安全関連認証

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	UL 1577 部品認定プログラムの認定
認証書番号:40040142	ファイル番号:E181974

5.10 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件		最小値	標準値	最大値	単位
D パッケージ (UCC5350MC-Q1)							
I_S	安全出力電源電流	$R_{\theta JA}$ = 109.5°C/W、V_{CC2} = 15V、T_J = 150°C、T_A = 25°C、図 5-2 を参照	出力側			73	mA
		$R_{\theta JA}$ = 109.5°C/W、V_{CC2} = 30V、T_J = 150°C、T_A = 25°C、図 5-2 を参照	出力側			36	
P_S	安全出力電源	$R_{\theta JA}$ = 109.5°C/W、T_J = 150°C、T_A = 25°C、図 5-4 参照	入力側			0.05	W
			出力側			1.09	
			合計			1.14	
T_S	最高安全温度(1)					150	°C
D パッケージ (UCC5350SB-Q1)							
I_S	安全出力電源電流	$R_{\theta JA}$ = 109.5°C/W、V_{CC2} = 15V、T_J = 150°C、T_A = 25°C、図 5-2 を参照	出力側			63	mA
		$R_{\theta JA}$ = 109.5°C/W、V_{CC2} = 30V、T_J = 150°C、T_A = 25°C、図 5-2 を参照	出力側			31	
P_S	安全出力電源	$R_{\theta JA}$ = 109.5°C/W、T_J = 150°C、T_A = 25°C、図 5-4 参照	入力側			0.05	W
			出力側			0.94	
			合計			0.99	
T_S	最高安全温度(1)					150	°C
DWV パッケージ (UCC5350MC-Q1)							
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 119.8°C/W、V_I = 15V、T_J = 150°C、T_A = 25°C、図 5-1 を参照	出力側			66	mA
		$R_{\theta JA}$ = 119.8°C/W、V_I = 30V、T_J = 150°C、T_A = 25°C、図 5-1 を参照	出力側			33	
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 119.8°C/W、T_J = 150°C、T_A = 25°C、図 5-3 を参照	入力側			0.05	W
			出力側			0.99	
			合計			1.04	
T_S	最高安全温度(1)					150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。

「熱に関する情報」表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リードあり表面実装パッケージ用の高 K 試験基板に搭載されているデバイスのものです。これらの式を使用して、以下のように各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$ ここで、P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ここで、$T_{J(max)}$ は許容される最大接合部温度です。
$P_S = I_S \times V_I$ ここで、V_I は最大入力電圧です。

Copyright © 2026 Texas Instruments Incorporated

5.11 電気的特性

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 へ 0.1µF のコンデンサ、V_{CC2}= 15V、V_{CC2} から V_{EE2} へ 1µF のコンデンサ、C_L = 100pF、T_J = –40°C ～ +125°C (UCC5350MC-Q1)、T_J = –40°C ～ +150°C (UCC5350SB-Q1) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{VCC1}	入力電源静止電流			1.67	2.4	mA
I_{VCC2}	出力電源の静止電流			1.1	1.8	mA
電源電圧の低電圧スレッショルド						
$V_{IT+(UVLO1)}$	VCC1 正方向の UVLO スレッショルド電圧			2.6	2.8	V
$V_{IT-(UVLO1)}$	VCC1 負方向の UVLO スレッショルド電圧		2.4	2.5		V
$V_{hys(UVLO1)}$	VCC1 UVLO スレッショルドのヒステリシス			0.1		V
出力電源電圧の低電圧スレッショルド (UCC5350MC-Q1)						
$V_{IT+(UVLO2)}$	VCC2 正方向の UVLO スレッショルド電圧			12	13	V
$V_{IT-(UVLO2)}$	VCC2 負方向の UVLO スレッショルド電圧		10.3	11		V
$V_{hys(UVLO2)}$	VCC2 UVLO スレッショルド電圧のヒステリシス			1		V
出力電源電圧の低電圧スレッショルド (UCC5350SB-Q1)						
$V_{IT+(UVLO2)}$	VCC2 正方向の UVLO スレッショルド電圧			8.7	9.4	V
$V_{IT-(UVLO2)}$	VCC2 負方向の UVLO スレッショルド電圧		7.3	8.0		V
$V_{hys(UVLO2)}$	VCC2 UVLO スレッショルド電圧のヒステリシス			0.7		V
ロジック I/O						
$V_{IT+(IN)}$	正方向の入力スレッショルド電圧 (IN+、IN–)			0.55 × V_{CC1}	0.7 × V_{CC1}	V
$V_{IT-(IN)}$	負方向の入力スレッショルド電圧 (IN+、IN–)		0.3 × V_{CC1}	0.45 × V_{CC1}		V
$V_{hys(IN)}$	入力ヒステリシス電圧 (IN+、IN–)			0.1 × V_{CC1}		V
I_{IH}	IN+ での High レベル入力リーケージ	IN+ = V_{CC1}		40	240	µA
I_{IL}	IN– での Low レベル入力リーケージ	IN– = GND1	-240	-40		µA
		IN– = GND1 – 5V	-310	-80		
ゲートドライバ段						
V_{OH}	High レベル出力電圧 (VCC2 - OUT) および (VCC2 - OUTH)	I_{OUT} = –20mA	100	240		mV
V_{OL}	Low レベル出力電圧 (OUT および OUTL)	IN+ = Low、IN– = High、I_{OUT} = 20mA	5	7		mV
I_{OH}	ピークソース電流	UCC5350MC、IN+ = High、IN– = Low	5	10		A
		UCC5350SB、IN+ = High、IN– = Low	5	8.5		A
I_{OL}	ピークシンク電流	IN+ = Low、IN– = High	5	10		A
アクティブ ミラー クランプ (UCC5350MC-Q1 のみ)						
V_{CLAMP}	Low レベル クランプ電圧	I_{CLAMP} = 20mA		7	10	mV
I_{CLAMP}	クランプ Low レベル電流	V_{CLAMP} = V_{EE2} + 15V	5	10		A

Copyright © 2026 Texas Instruments Incorporated

5.11 電気的特性 (続き)

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 へ 0.1µF のコンデンサ、V_{CC2}= 15V、V_{CC2} から V_{EE2} へ 1µF のコンデンサ、C_L = 100pF、T_J = –40°C ～ +125°C (UCC5350MC-Q1)、T_J = –40°C ～ +150°C (UCC5350SB-Q1) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CLAMP(L)}$	低出力電圧のためのクランプ Low レベル電流	V_{CLAMP} = V_{EE2} + 2V	5	10		A
$V_{CLAMP-TH}$	クランプのスレッショルド電圧			2.1	2.3	V
短絡クランプ						
$V_{CLP-OUT}$	クランピング電圧 (V_{OUT} –V_{CC2})	IN+ = High、IN– = Low、t_{CLAMP} = 10µs、I_{OUT}= 500mA		1	1.3	V
$V_{CLP-OUT}$	クランピング電圧 (V_{EE2} – V_{OUT})	IN+ = Low、IN– = High、t_{CLAMP} = 10µs、I_{OUT} = -500mA		1.5		V
		IN+ = Low、IN– = High、I_{OUT} = -20mA		0.9	1	
アクティブ プルダウン						
V_{OUTSD}	OUT のアクティブ プルダウン電圧	I_{OUT} = 0.1 × $I_{OUT(typ)}$、V_{CC2} = オープン		1.8	2.5	V

5.12 スイッチング特性

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 への 0.1µF コンデンサ、V_{CC2} = 15V、V_{CC2} から V_{EE2} への 1µF コンデンサ、T_J = –40°C ～ +125°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_r	出力信号の立ち上がり時間	C_{LOAD} = 1nF		10	26	ns
t_f	出力信号の立ち下がり時間	C_{LOAD} = 1nF		10	22	ns
t_{PLH}	伝搬遅延、高	C_{LOAD} = 100pF	40	55	70	ns
t_{PHL}	伝搬遅延、低	C_{LOAD} = 100pF	40	55	70	ns
t_{UVLO1_rec}	V_{CC1} の UVLO 回復遅延	図 7-7 を参照してください。		30		µs
t_{UVLO2_rec}	V_{CC2} の UVLO 回復遅延	図 7-7 を参照してください。		50		µs
t_{PWD}	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$	C_{LOAD} = 100pF		1	20	ns
$t_{sk(pp)}$	部品間スキュー(1)	C_{LOAD} = 100pF		1	25	ns
t_{PWmin1}	OUT < 10% × V_{CC2} の場合の OUT で応答なし	C_{LOAD} = 100pF	8			ns
t_{PWmin2}	OUT ≥ 90% × V_{CC2} の場合の OUT で応答なし	C_{LOAD} = 100pF			38	ns
CMTI	同相過渡耐性	PWM は GND または V_{CC1} に接続、V_{CM} = 1200V	100	120		kV/µs

(1) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷 (特性化により保証) で動作する異なるデバイスについて、同方向にスイッチングするときの出力間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

5.13 絶縁特性曲線

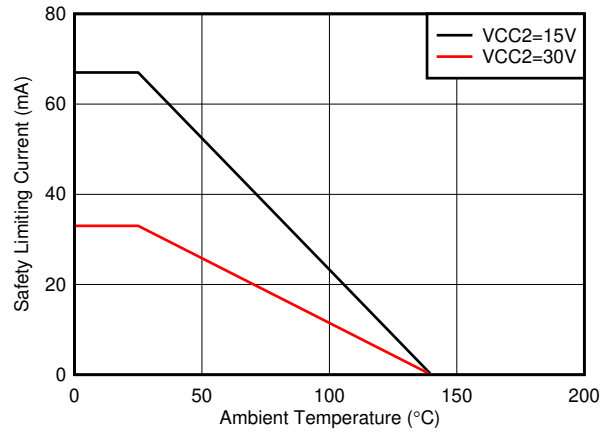


図 5-1. DWV パッケージの VDE に従う制限電流の熱特性低下曲線

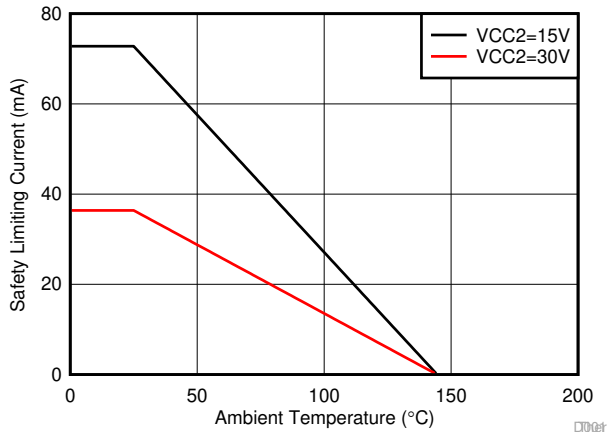


図 5-2. D パッケージの VDE に従う制限電流の熱特性低下曲線

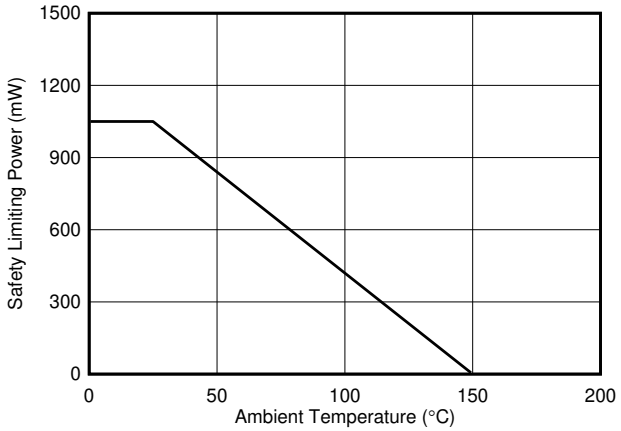


図 5-3. DWV パッケージの VDE に従う制限電力の熱特性低下曲線

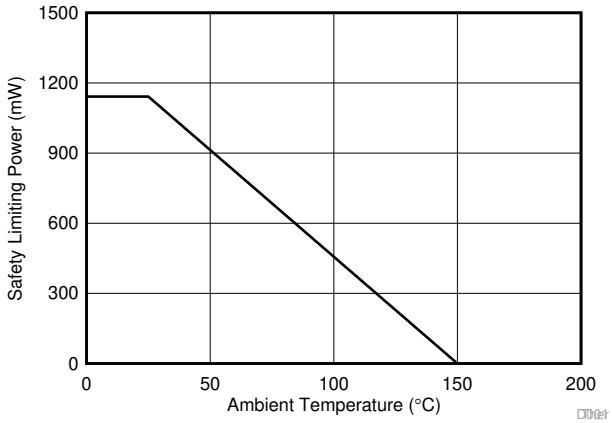


図 5-4. D パッケージの VDE に従う制限電力の熱特性低下曲線

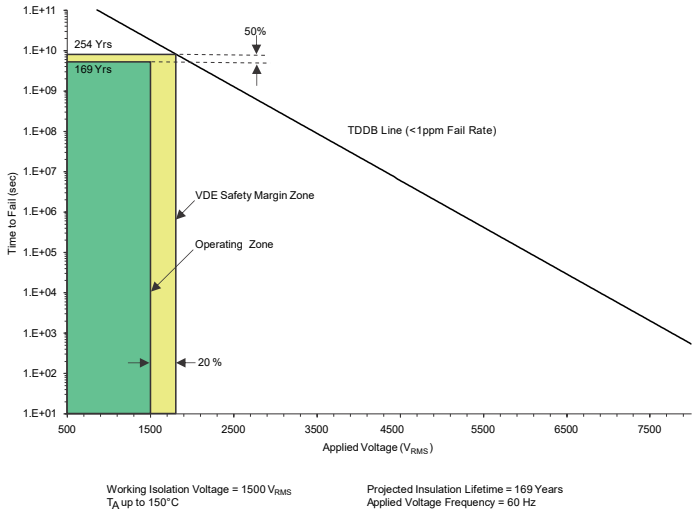
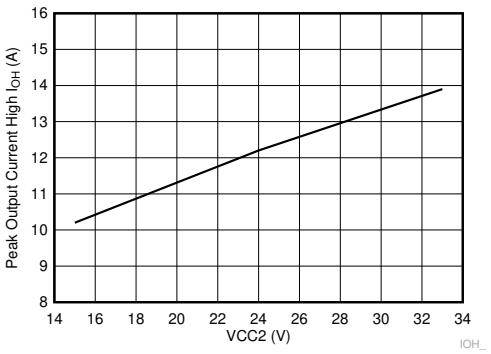


図 5-5. 絶縁寿命予測データ

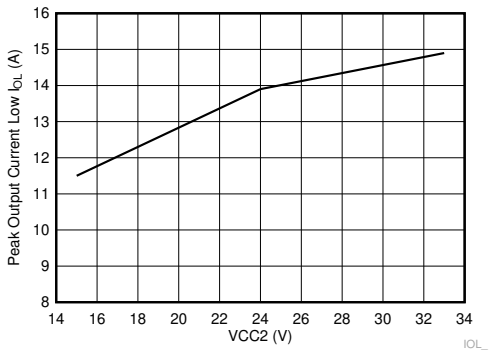
5.14 代表的特性

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 への 0.1µF コンデンサ、V_{CC2} = 15V、V_{CC2} から V_{EE2} への 1µF コンデンサ、C_{LOAD} = 1nF、T_J = –40°C ～ +125°C (特に記述のない限り)



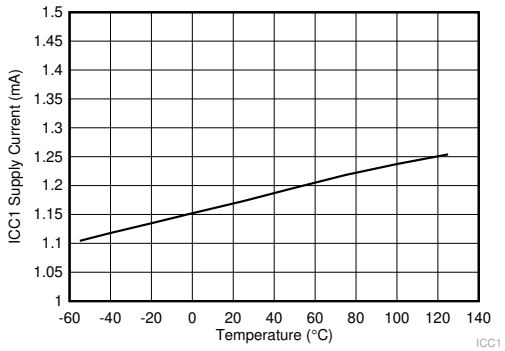
C_{LOAD} = 150nF

図 5-6. 出力 High の駆動電流と出力電圧との関係



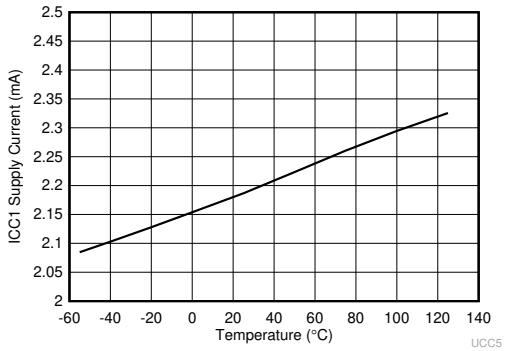
C_{LOAD} = 150nF

図 5-7. 出力 Low の駆動電流と出力電圧との関係



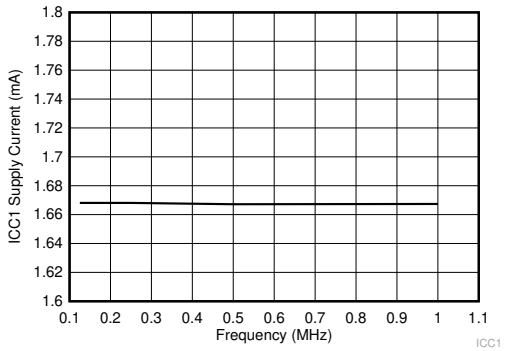
IN+ = L　　IN– = H

図 5-8. I_{CC1} 電源電流と温度との関係



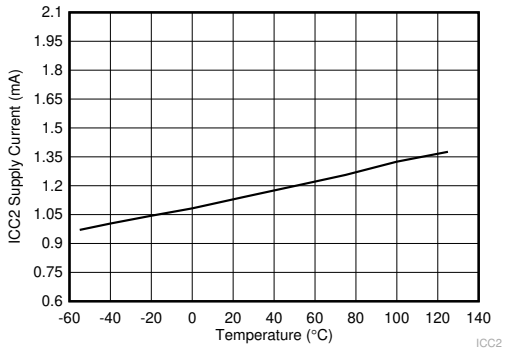
IN+ = H　　IN– = L

図 5-9. I_{CC1} 電源電流と温度との関係



デューティ サイクル = 50%　　T = 25°C

図 5-10. I_{CC1} 電源電流と入力周波数との関係



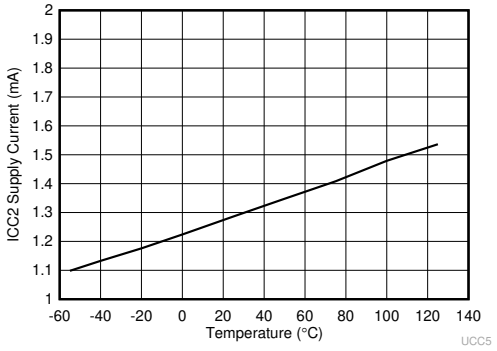
IN+ = L　　IN– = H

図 5-11. I_{CC2} 電源電流と温度との関係

Copyright © 2026 Texas Instruments Incorporated

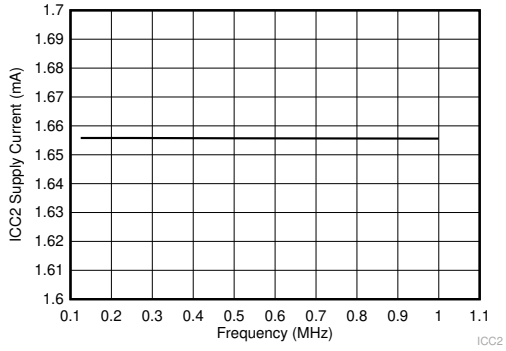
5.14 代表的特性 (続き)

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 への 0.1µF コンデンサ、V_{CC2} = 15V、V_{CC2} から V_{EE2} への 1µF コンデンサ、C_{LOAD} = 1nF、T_J = –40°C ～ +125°C (特に記述のない限り)



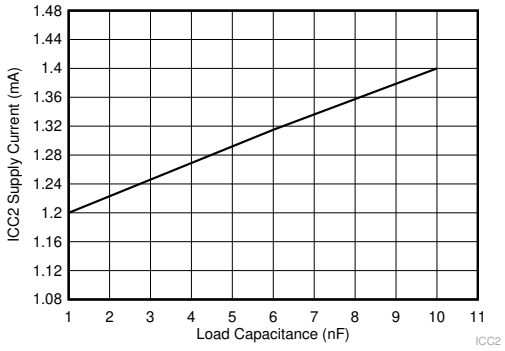
IN+ = H　　IN– = L

図 5-12. I_{CC2} 電源電流と温度との関係



デューティ サイクル = 50%　　T = 25°C

図 5-13. I_{CC2} 電源電流と入力周波数との関係



f_{SW} = 1kHz

図 5-14. I_{CC2} 電源電流と負荷容量との関係

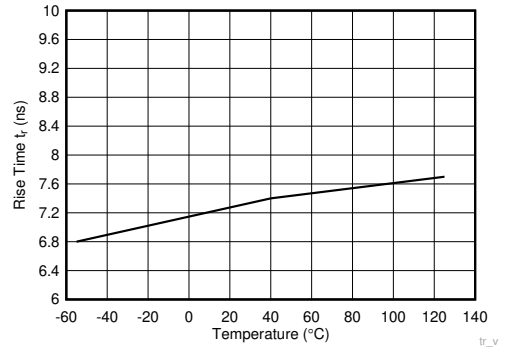


図 5-15. 立ち上がり時間と温度との関係

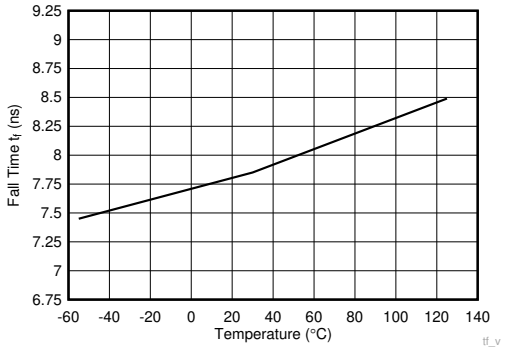


図 5-16. 立ち下がり時間と温度との関係

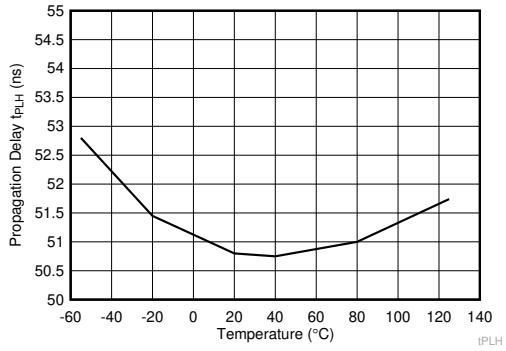


図 5-17. 伝搬遅延 t_{PLH} と温度との関係

5.14 代表的特性 (続き)

V_{CC1} = 3.3V または 5V、V_{CC1} から GND1 への 0.1µF コンデンサ、V_{CC2} = 15V、V_{CC2} から V_{EE2} への 1µF コンデンサ、C_{LOAD} = 1nF、T_J = –40°C ～ +125°C (特に記述のない限り)

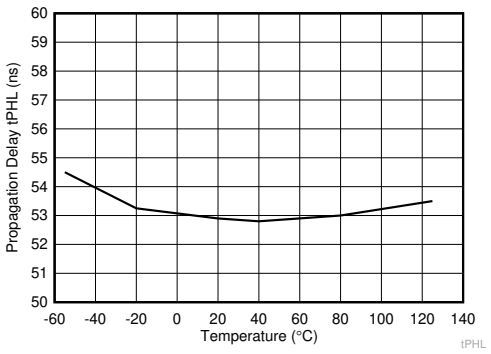
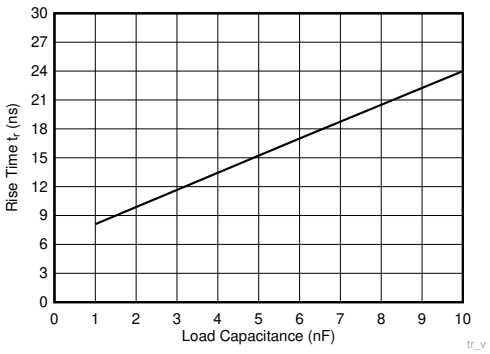
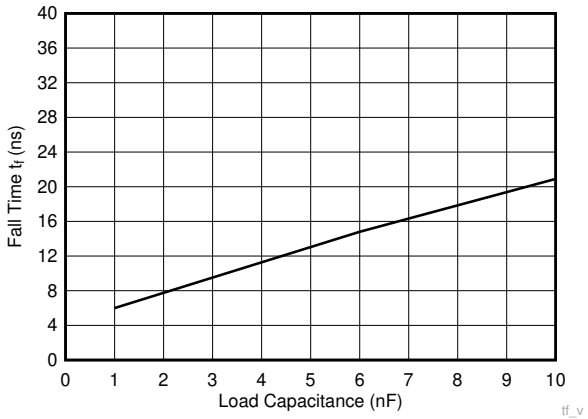


図 5-18. 伝搬遅延 t_{PHL} と温度との関係



f_{SW} = 1kHz　　R_{GH} = 0Ω　　R_{GL} = 0Ω

図 5-19. 立ち上がり時間と負荷容量との関係



f_{SW} = 1kHz　　R_{GH} = 0Ω　　R_{GL} = 0Ω

図 5-20. 立ち下がり時間と負荷容量との関係

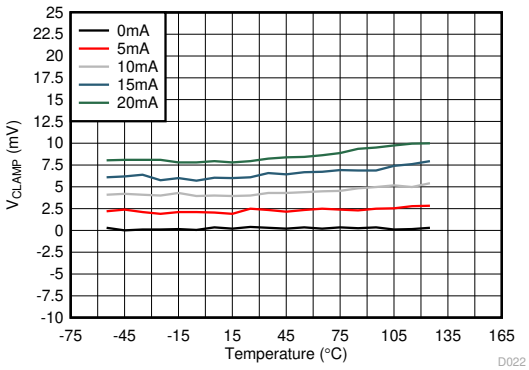


図 5-21. V_{CLAMP} と温度との関係

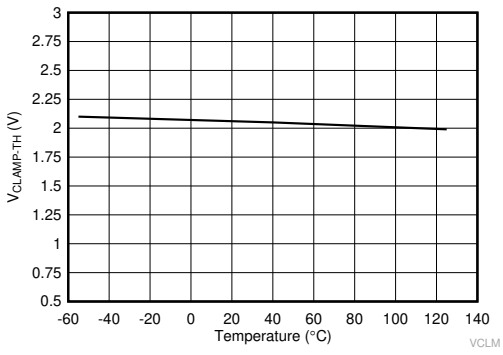


図 5-22. $V_{CLAMP-TH}$ と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 伝搬遅延、反転、非反転型構成

図 6-1 に、非反転型構成での伝搬遅延を示します。図 6-2 に、反転型構成での伝搬遅延を示します。これらの図は、立ち上がり (t_r) および立ち下がり (t_f) 時間の測定に使用される方法も示しています。

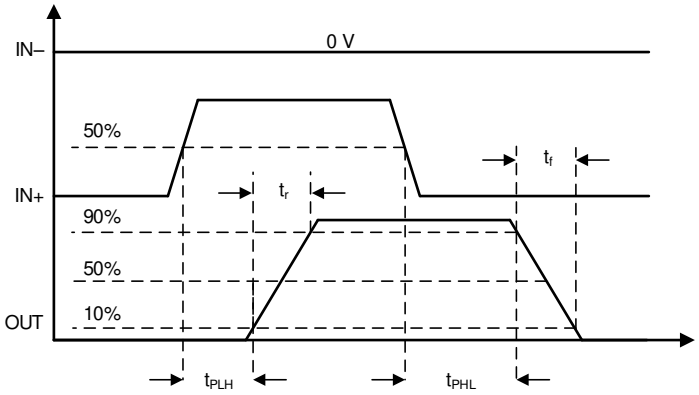


図 6-1. 伝搬遅延、非反転型構成

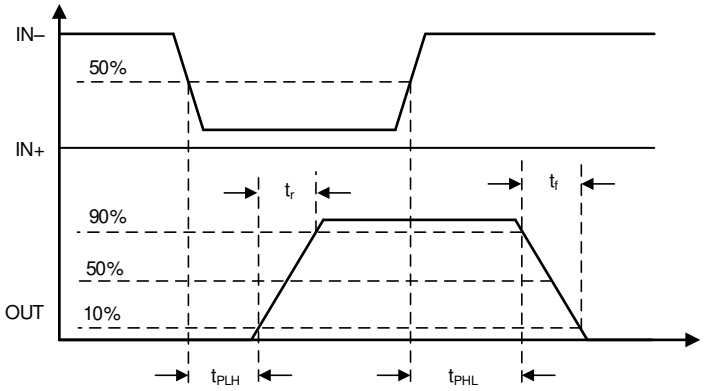
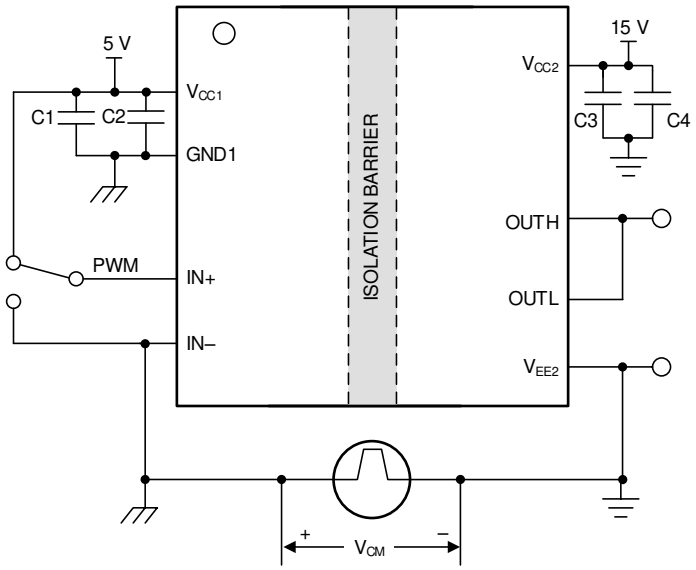


図 6-2. 伝搬遅延、反転型構成

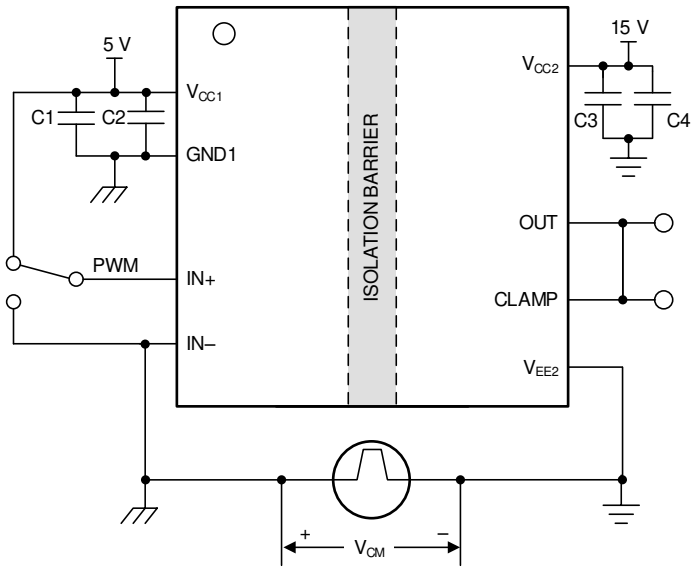
6.1.1 CMTI テスト

図 6-3、図 6-4 は CMTI 試験構成の概略図です。



Copyright © 2017, Texas Instruments Incorporated

図 6-3. 分割出力用 (UCC5350SB) の CMTI 試験回路



Copyright © 2017, Texas Instruments Incorporated

図 6-4. ミラー クランプ (UCC5350MC) 用の CMTI テスト回路

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

UCC5350-Q1 ファミリの絶縁型ゲートドライバには、分割出力とミラー クランプという 2 つのバリエーションがあります。UCC5350-Q1 の内部の絶縁は、高電圧 SiO_2 ベースのコンデンサを使用して実装されています。絶縁を介する信号の送信には、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します (図 7-2 を参照)。トランスミッタは、バリアを介して 1 つのデジタル状態を表す高周波キャリアを送信し、もう 1 つのデジタル状態を表すのに信号を送信しません。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。UCC5350-Q1 には高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化します。デジタル容量性アイソレータの概念ブロック図である 図 7-1 は、代表的なチャネルの機能ブロック図を示しています。図 7-2 に、OOK 方式の概念図を示します。

図 7-1 に、変調 (OOK) とシグナル コンディショニングを通じ、入力信号が容量性絶縁バリアをどのように通過するかを示します。

7.2 機能ブロック図

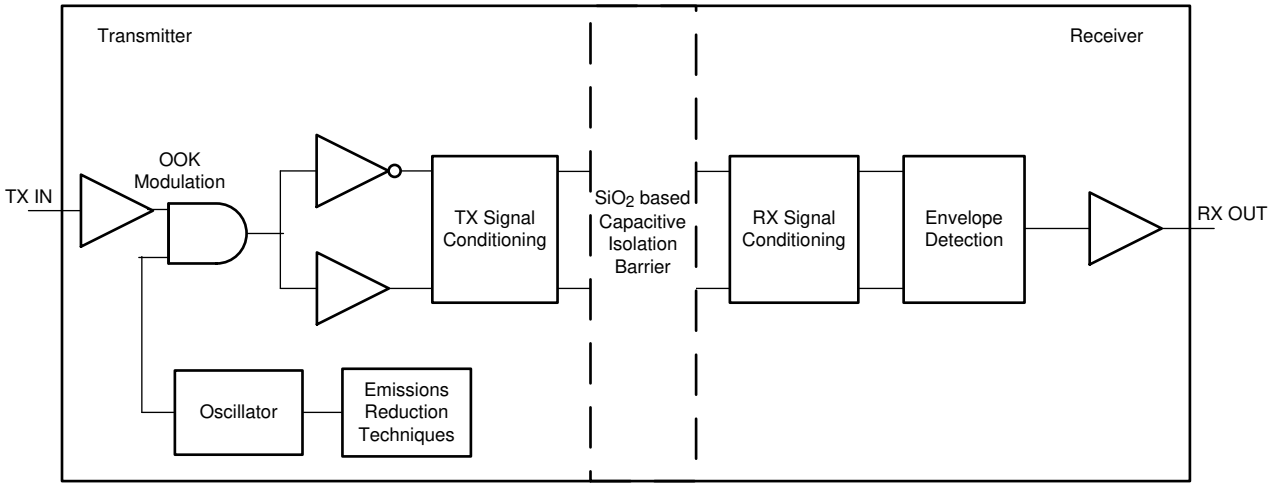


図 7-1. 容量性データチャネルの概念ブロック図

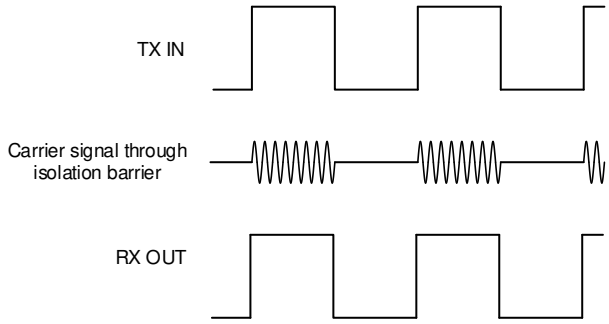


図 7-2. オン オフ キーイング (OOK) による変調方式

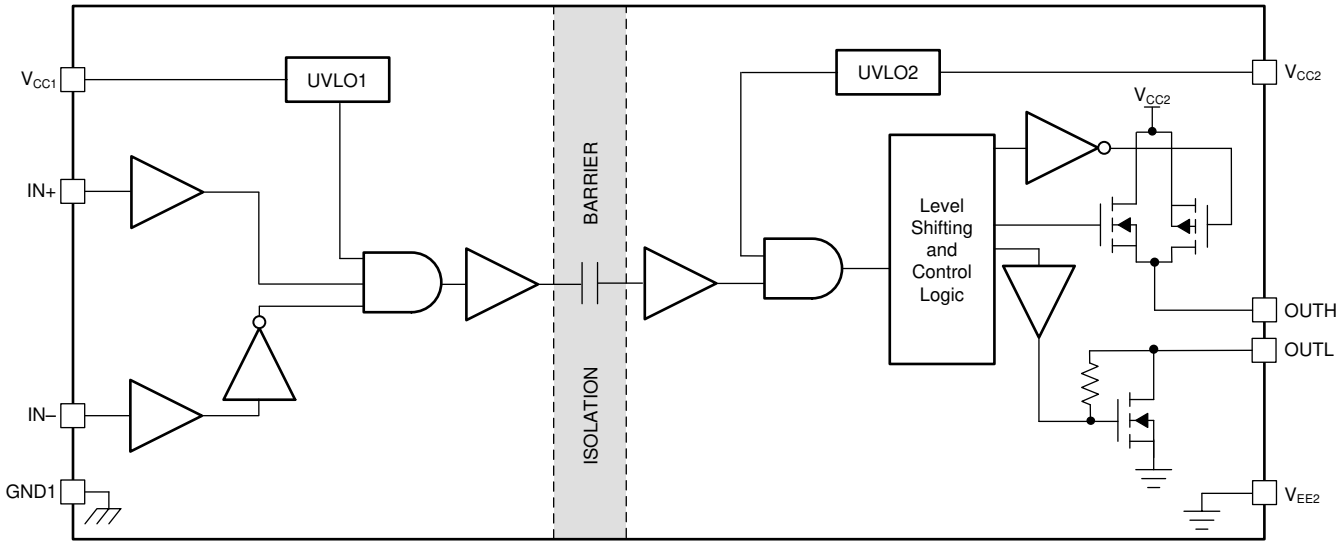


図 7-3. 機能ブロック図 — 分割出力

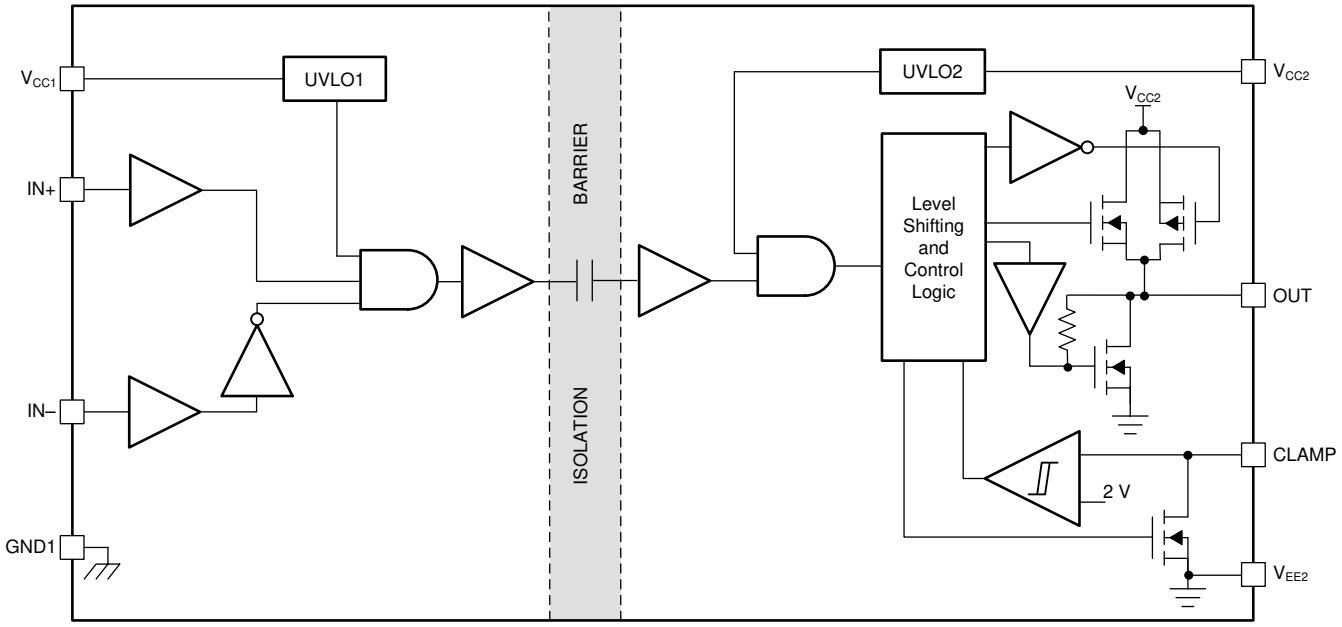


図 7-4. 機能ブロック図 — ミラークランプ

7.3 機能説明

7.3.1 電源

入力電源 V_{CC1} は 3V ～ 15V の広い電圧範囲に対応し、出力電源 V_{CC2} は 13.2V ～ 33V (UCC5350MC) または 9.5V ～ 33V (UCC5350SB) の電圧範囲に対応します。

ユニポーラ電源を使用する場合、V_{CC2} 電源は IGBT では VEE2 に対して 15V、SiC MOSFET では 20V に接続されます。V_{EE2} 電源は 0V に接続されています。この使用事例では、ミラー クランプを使用すると、負の電圧レールなしで、パワー スイッチが誤ってオンになるのを防止できます。ミラー クランプ機能は、電源デバイスのゲートと V_{EE2} 電源との間に低インピーダンスのパスを追加することで実装されます。ミラー電流はクランプ ピンを通してシンクされ、ゲート電圧がゲートのターンオン スレッショルド値よりも低くなるようにクランプされます。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 入力段

UCC5350-Q1 の入力ピン (IN+ および IN–) は、CMOS 互換の入力スレッショルド ロジックに基づいており、V_{CC2} 電源電圧から完全に絶縁されています。UCC5350-Q1 は、標準の High スレッショルド ($V_{IT+(IN)}$) が 0.55 × V_{CC1}、標準の Low スレッショルドが 0.45 × V_{CC1} であるため、ロジック レベルの制御信号 (3.3V マイコンからの信号など) で入力ピンを簡単に駆動できます。0.1 × V_{CC1} という広いヒステリシス ($V_{hys(IN)}$) は良好なノイズ耐性と安定動作に役立ちます。いずれかの入力がオープンのままになっている場合、128kΩ の内部プルダウン抵抗は IN+ ピンを Low に強制し、128kΩ の内部抵抗は IN- を High にします。ただし、ノイズ耐性を向上させるために入力を使用しない場合は、入力を接地するか VCC1 に接続することを TI は推奨します。

UCC5350-Q1 の入力側は出力ドライバから絶縁されているため、入力信号の振幅は、推奨される制限を超えない限り V_{CC2} より大きくても小さくてもかまいません。この特長により、ゲート ドライバを制御信号ソースと柔軟に統合でき、任意のゲートに対して最も効率的な V_{CC2} をユーザーは選択できます。ただし、IN+ または IN– に印加される信号の振幅は、V_{CC1} の電圧を上回ってはいけません。

7.3.3 出力段

UCC5350-Q1 の出力段は、最も必要とされるとき、つまり、パワー スイッチのターンオン遷移のミラー プラトー領域の間 (パワー スイッチのドレインまたはコレクタ電圧に dV/dt が生じたとき) に最大のピーク ソース電流を供給できるプルアップ構造を採用しています。出力段のプルアップ構造は、並列接続した P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を備えています。N チャネル MOSFET の役割は、ピーク ソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、高速ターンオンを実現します。表 7-1 に、プルアップおよびプルダウン構造の標準内部抵抗値を示します。

表 7-1. UCC5350-Q1 のオン抵抗

デバイスのオプション	R_{NMOS}	R_{OH}	R_{OL}	R_{CLAMP}	単位
UCC5350MC-Q1	1.54	12	0.26	0.26	Ω
UCC5350SB-Q1	1.54	12	0.26	該当なし	Ω

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。プルアップ N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするため、このパラメータは P チャネル デバイスでのみ使用されます。このため、この短いターンオン段階における UCC5350-Q1 のプルアップ段の実効抵抗は、R_{OH} パラメータが表す値よりもはるかに小さくなり、高速ターンオンを実現します。ターンオン段階の出力抵抗は、R_{OH} || R_{NMOS} の並列組み合わせとなります。

UCC5350-Q1 のプルダウン構造は、N チャネル MOSFET で単純に構成されています。UCC5350-Q1 の出力は、5A ピーク電流パルスを供給またはシンクできます。V_{CC2} と V_{EE2} の間の出力電圧スイングは、非常に低ドロップアウトを実現する MOS 出力段により、レール ツー レール動作を実現します。

Copyright © 2026 Texas Instruments Incorporated

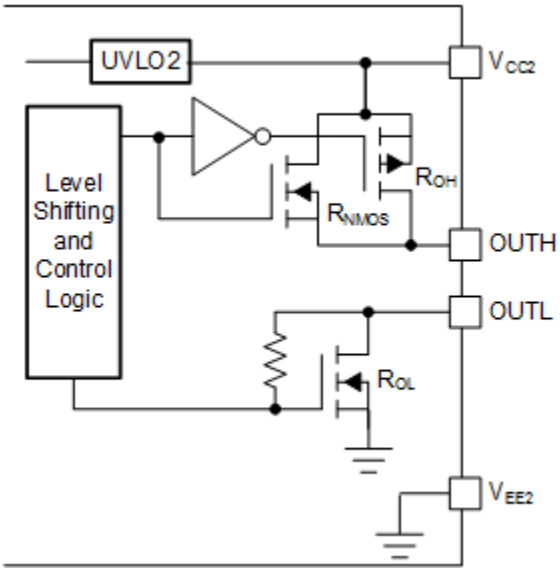


図 7-5. 出力段— S バージョン

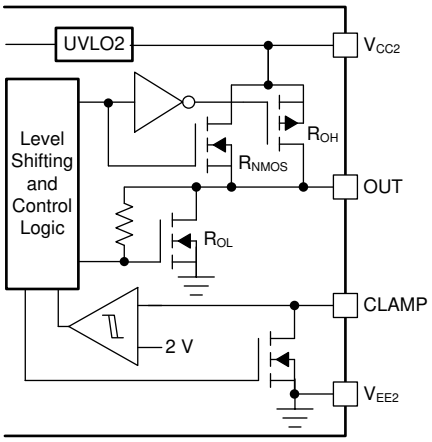


図 7-6. 出力段— M バージョン

7.3.4 保護機能

7.3.4.1 低電圧誤動作防止 (UVLO)

UVLO 機能は、V_{CC1} ピンと GND1 ピン間、および V_{CC2} ピンと V_{EE2} ピン間にある V_{CC1} および V_{CC2} 電源の両方に実装されており、IGBT と MOSFET での駆動不足状態を防止します。デバイス起動時に V_{CC} が $V_{IT+\ (UVLO)}$ を下回っている場合や、起動後に $V_{IT–(UVLO)}$ を下回った場合、電圧源の UVLO 機能は、入力ピン (IN+ および IN–) にかかわりなく、影響を受ける出力を Low にホールドします (表 7-2 を参照)。V_{CC} UVLO 保護機能はヒステリシス機能 ($V_{hys(UVLO)}$) を備えています。このヒステリシスは、電源がグランド ノイズを生成したときのチャタリングを防止します。これにより、デバイスがスイッチングを開始し、動作電流消費が急激に増加したときに発生するバイアス電圧の小さな降下を許容できます。UVLO 機能を図 7-7 に示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. UCC5350-Q1 V_{CC1} UVLO ロジック

条件	入力		出力
	IN+	IN-	OUT
デバイス起動時、V_{CC1} – GND1 < $V_{IT+(UVLO1)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L
デバイス起動後、V_{CC1} – GND1 < $V_{IT-(UVLO1)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L

表 7-3. UCC5350-Q1 V_{CC2} UVLO ロジック

条件	入力		出力
	IN+	IN-	OUT
デバイス起動時、V_{CC2} – V_{EE2} < $V_{IT+(UVLO2)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L
デバイス起動後、V_{CC2} – V_{EE2} < $V_{IT-(UVLO2)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L

V_{CC1} または V_{CC2} が UVLO1 または UVLO2 スレッショルドを下回る場合、電源電圧が $V_{IT+ (UVLO)}$ または $V_{IT+ (UVLO2)}$ を再度上回ると、出力で遅延 t_{UVLO1_rec} または t_{UVLO2_rec} が発生します。この遅延を図 7-7 に示します。

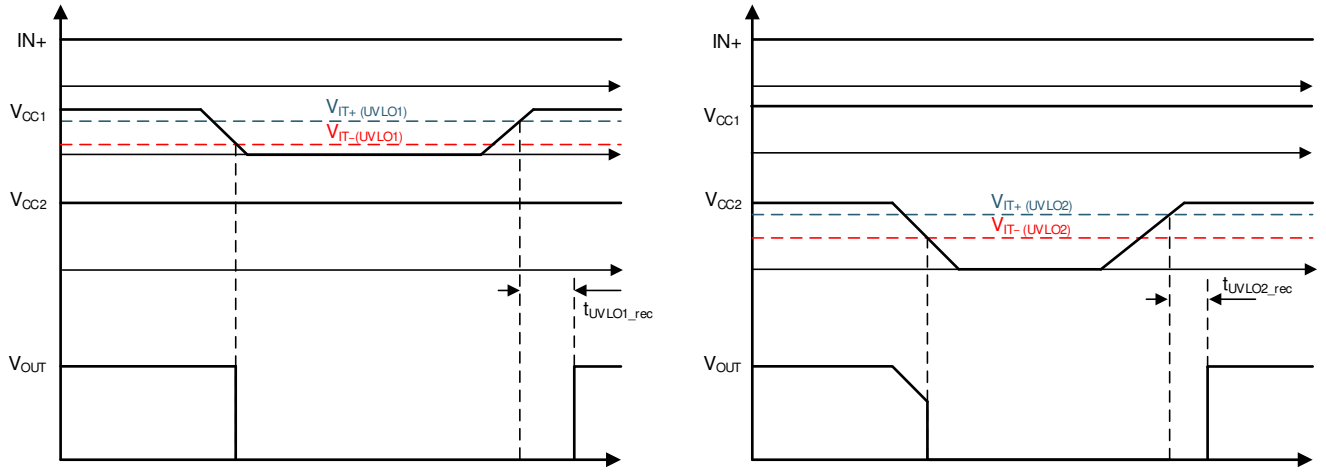


図 7-7. UVLO 機能

7.3.4.2 アクティブ プルダウン

アクティブ プルダウン機能は、V_{CC2} 電源に電力が接続されていないときに IGBT または MOSFET ゲートを Low 状態にするために使用されます。この機能は、出力を約 2 V にクランプすることで、、OUT、および CLAMP ピンにおける IGBT および MOSFET の誤動作によるターンオンを防止します。

ドライバの出力段にバイアスが印加されていない場合、または UVLO 状態である場合、ドライバ出力の電圧上昇を制限するアクティブ クランプ回路によってドライバ出力は Low に保持されます。この条件では、下側の NMOS のゲートが 500kΩ 抵抗経由でドライバ出力に接続される一方で、上側の PMOS はプルアップ抵抗によってオフに保持されます。この構成では、出力は下側の NMOS デバイスのスレッショルド電圧 (バイアス電力が存在しない場合は約 1.5V) に実質的にクランプされます。

7.3.4.3 短絡クランプ

短絡クランプ機能は、短絡状態のときにドライバ出力の電圧をクランプし、アクティブ ミラー クランプ ピンを V_{CC2} 電圧よりもわずかに高くするために使用されます。短絡クランプ機能は、過電圧による破損や劣化から IGBT または MOSFET ゲートを保護するのに役立ちます。短絡クランプ機能は、専用ピンとドライバ内の V_{CC2} ピンの間にダイオード接続を追加することにより実装されます。内部ダイオードは、10µs の間最大 500mA の電流を供給でき、20mA の電流を連続供給できます。必要に応じて外部ショットキー ダイオードを使用し、電流伝導能力を向上させます。

7.3.4.4 アクティブ ミラー クランプ

アクティブ ミラー クランプ機能を使用すると、ユニポーラ電源を使用するアプリケーションにおいて、ミラー電流によってパワー スイッチが誤ってオンになるのを防止できます。アクティブ ミラー クランプ機能は、パワー スイッチのゲート端子とグランド (V_{EE2}) の間に低インピーダンスのパスを追加してミラー電流をシンクすることにより実装されます。ミラー クランプ機能により、オフ状態ではパワー スイッチのゲート電圧が 2V 未満にクランプされます。図 8-2 に、この機能の代表的なアプリケーション回路を示します。

7.4 デバイスの機能モード

表 7-5 に、V_{CC1} と V_{CC2} が推奨範囲内であると仮定した、UCC5350-Q1 の機能モードを示します。

表 7-4. UCC5350SB-Q1 の機能表

IN+	IN-	OUTH	OUTL
Low	X	ハイ インピーダンス	Low
X	High	ハイ インピーダンス	Low
High	Low	High	ハイ インピーダンス

表 7-5. UCC5350MC-Q1 の機能表

IN+	IN-	OUT
Low	X	Low
X	High	Low
High	Low	High

7.4.1 ESD 構造

図 7-9 に、UCC5350-Q1 デバイスの ESD 保護部品として機能する複数のダイオードを示します。これは、本デバイスの絶対最大定格を図で表したものです。

Copyright © 2026 Texas Instruments Incorporated

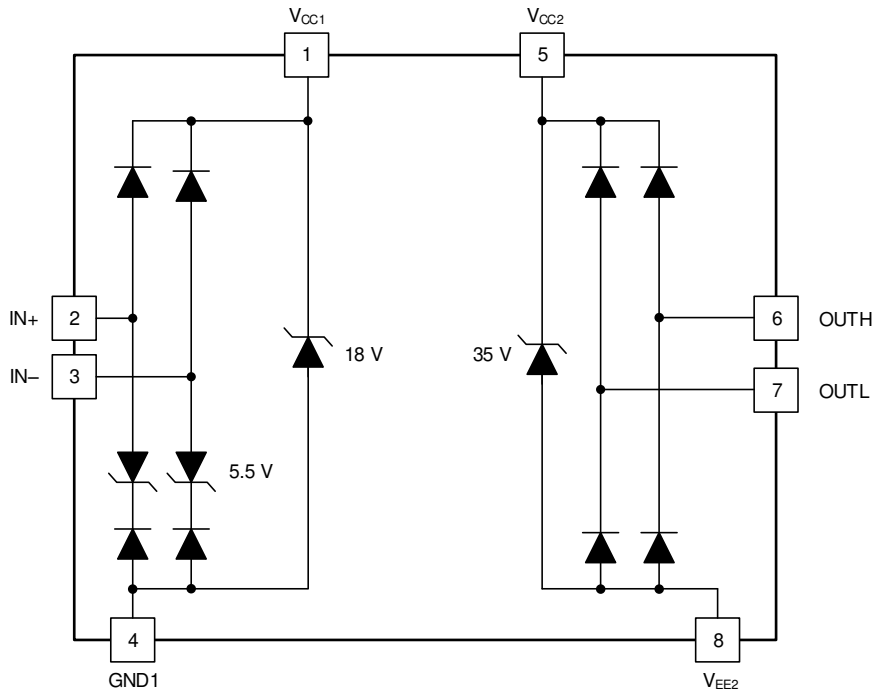


図 7-8. ESD 構造の「S」バージョン

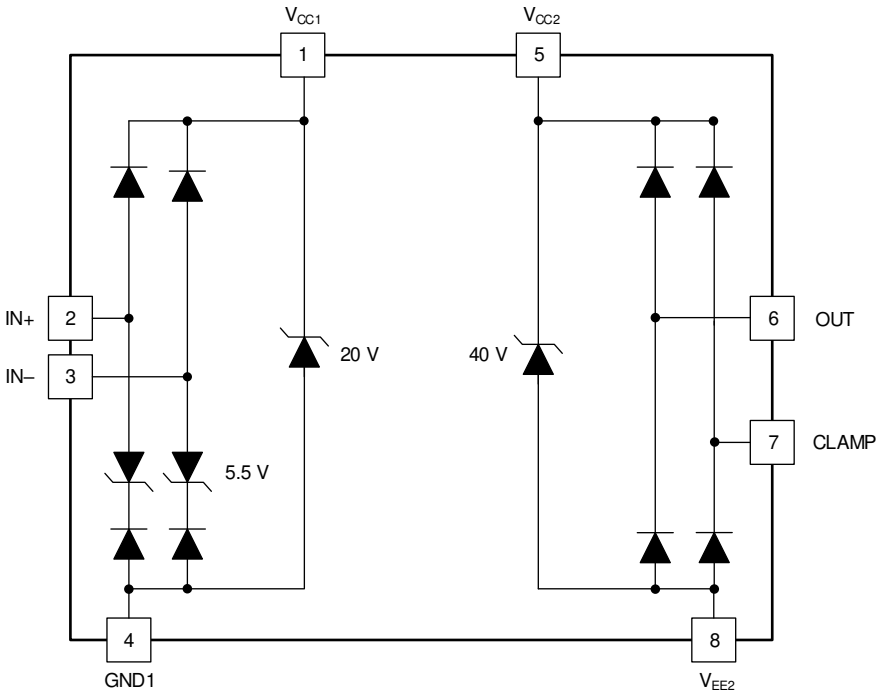


図 7-9. ESD 構造の「M」バージョン

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

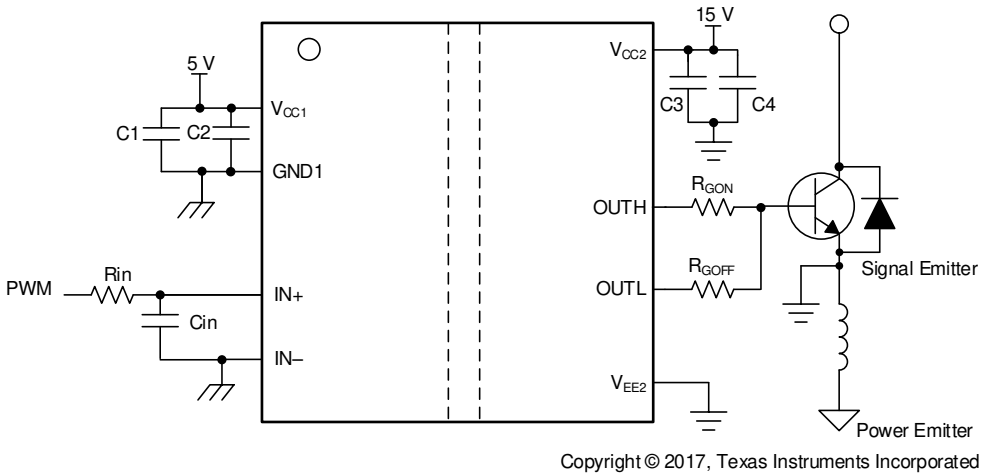
UCC5350-Q1 は、MOSFET、IGBT、または SiC MOSFET などのパワー半導体デバイス用のシンプルな絶縁型ゲートドライバです。このデバイス ファミリは、モーター制御、ソーラー インバータ、スイッチ モード電源、産業用インバータなどのアプリケーションでの使用を想定しています。

UCC5350-Q1 には 2 つのピン配置構成があり、分割出力とミラー クランプが搭載されています。分割出力である OUTH と OUTL は、パワー トランジスタのオン/オフ整流を個別にデカップリングするために使用します。

M バージョンはアクティブ ミラー クランプを備えており、ミラー電流によってパワー トランジスタが誤ってターンオンするのを防止できます。このデバイスは、8 ピンの D および 8 ピンの DWV パッケージ オプションで供給され、それぞれ沿面距離または空間距離は 4mm と 8.5mm です。これは、基本絶縁または強化絶縁が必要なアプリケーションに適しています。UCC5350-Q1 の最小駆動電流は 5A です。

8.2 代表的なアプリケーション

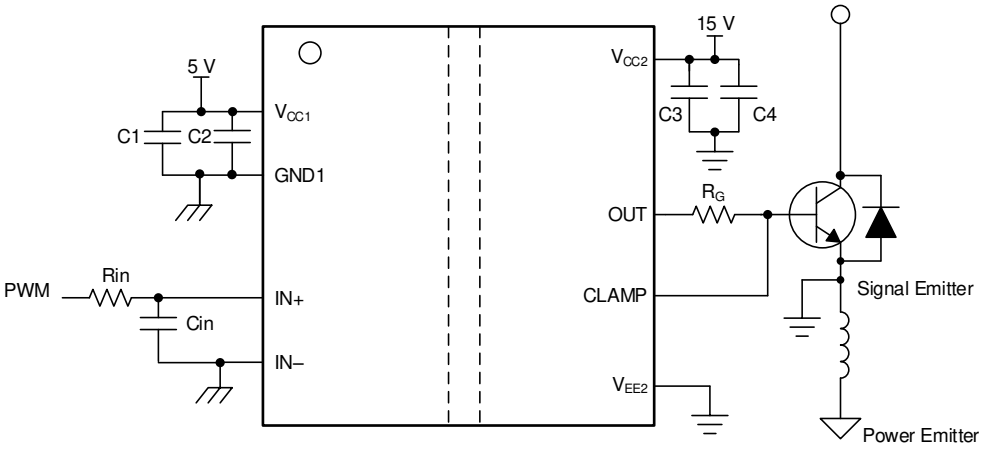
図 8-1、図 8-2 に、IGBT を駆動するための代表的なアプリケーションの回路図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 8-1. IGBT を駆動するための UCC5350SB-Q1 の代表的なアプリケーション回路

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 8-2. IGBT を駆動するための UCC5350MC-Q1 の代表的なアプリケーション回路

8.2.1 設計要件

表 8-1. UCC5350-Q1 の設計要件

パラメータ	値	単位
V_{CC1}	3.3	V
$V_{CC2} – V_{EE2}$	18	V
IN+	3.3	V
IN-	GND1	-
スイッチング周波数	150	kHz
パワー デバイスのゲート電荷	126	nC

8.2.2 の詳細な設計手順

8.2.2.1 IN+ および IN– 入力フィルタの設計

ユーザーが出力の信号を低速にする (または遅延させる) 目的でゲートドライバへの信号成形を避けることを TI は推奨します。しかし、理想的でないレイアウトまたは長い PCB 配線によって生じるリンギングを除去するために小さな入力フィルタ R_{IN}-C_{IN} を使用することは可能です。

このようなフィルタでは、0 ～ 100Ω の R_{IN} 抵抗と 10 ～ 1000pF の C_{IN} コンデンサを使用する必要があります。この例では、R_{IN} = 51Ω と C_{IN} = 33pF が選択されており、コーナー周波数は約 100MHz です。

これらの部品を選択する際は、ノイズ耐性と伝搬遅延のトレードオフに注意してください。

8.2.2.2 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 $R_{G(ON)}$ および $R_{G(OFF)}$ は、以下の目的で使用します。

1. 寄生インダクタンスおよび容量に起因するリンギングの制限
2. 高電圧または高電流スイッチングの dv/dt、di/dt、ボディ ダイオードの逆方向回復に起因するリンギングの制限
3. ゲート駆動強度 (すなわちピーク シンクおよびソース電流) の微調整によるスイッチング損失の最適化
4. 電磁干渉 (EMI) の低減

出力段には、P チャネル MOSFET と N チャネル MOSFET を並列接続したプルアップ構造があります。ピーク ソース電流の合計は、、。式 1 を使用して、ピーク ソース電流を推定します。

$$I_{OH} = \frac{V_{CC2} - V_{EE2}}{R_{NMOS} \left| \right| R_{OH} + R_{GON} + R_{GFET_Int}} \quad (1)$$

ここで、

- R_{ON} は外部ターンオン抵抗で、この例では 2.2Ω です。
- R_{GFET_Int}:パワー トランジスタのデータシートに記載されているパワー トランジスタの内部ゲート抵抗。この例では 1.8Ω と想定されています。
- I_{OH} は代表的なピーク ソース電流であり、これは 10A (ゲート ドライバ ピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの最小値です。

この例では、ピーク ソース電流は、式 2 で計算されるように、約 3.36A です。

$$I_{OH} = \frac{V_{CC2} - V_{EE2}}{R_{NMOS}||R_{OH} + R_{GON} + R_{GFET_Int}} = \frac{18\,V}{1.54\Omega||12\Omega + 2.2\Omega + 1.8\Omega} \approx 3.36A \quad (2)$$

同様に、ピーク シンク電流を計算するには、式 3 を使用します。

$$I_{OL} = \frac{V_{CC2} - V_{EE2}}{R_{OL} + R_{GOFF} + R_{GFET_Int}} \quad (3)$$

ここで、

- R_{OFF} は外部ターンオフ抵抗で、この例では 2.2Ω です。
- I_{OL} は代表的なピーク シンク電流であり、これは 10A (ゲート ドライバ ピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの最小値です。

この例では、ピーク シンク電流は、式 4 と 10A の間の最小値です。

$$I_{OL} = \frac{V_{CC2} - V_{EE2}}{R_{OL} + R_{GOFF} + R_{GFET_Int}} = \frac{18\,V}{0.26\Omega + 2.2\Omega + 1.8\Omega} \approx 4.23A \quad (4)$$

注

推定ピーク電流は、PCB レイアウトと負荷容量の影響も受けます。ゲート ドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲート ドライバのループをできるだけ小さくすることを強く推奨します。一方、パワー トランジスタの負荷容量 (C_{ISS}) が非常に小さい (通常 1nF 未満) 場合、ピーク ソースおよびシンク電流はループ寄生素子に支配されます。なぜなら、立ち上がりおよび立ち下がり時間が非常に小さく、寄生リンギングの周期に近いためです。

8.2.2.3 ゲート ドライバの電力損失の推定

ゲート ドライバ サブシステムの総損失 P_G には、UCC5350-Q1 デバイスの電力損失 (P_{GD}) と、外部ゲート駆動抵抗などのペリフェラル回路の電力損失が含まれます。

P_{GD} 値は、UCC5350-Q1 デバイスの熱的安定性に関連する制限値を決定する主要な電力損失で、複数の要素からの損失を計算することにより推定できます。

第 1 の要因は静的電力損失 P_{GDQ} です。これにはドライバの静止電力損失と、特定のスイッチング周波数で動作しているドライバの自己消費電力が含まれます。P_{GDQ} パラメータは、所定の V_{CC1}、V_{CC2}、スイッチング周波数、周囲温度において、OUT ピンに負荷が接続されていない状態でベンチ測定されます。この例では、V_{CC1} は 3.3V および V_{CC2} は 18V です。150kHz で PWM を 0V から 3.3V にスイッチングする場合、各電源の電流は I_{CC1} = 1.67mA、I_{CC2} = 1.11mA と測定されます。P_{GDQ} は式 5 を使用して計算されます。

$$P_{GDQ} = V_{CC1} \times I_{VCC1} + (V_{CC2} - V_{EE2}) \times I_{CC2} \approx 23.31mW \quad (5)$$

第 2 の要素はスイッチング動作損失 P_{GDO} であり、所定の負荷容量によりドライバは各スイッチング サイクル中に負荷を充放電します。負荷スイッチングからの総ダイナミック損失 P_{GSW} を計算するには、式 6 を使用します。

Copyright © 2026 Texas Instruments Incorporated

$$P_{GSW} = (V_{CC2} - V_{EE2}) \times Q_G \times f_{SW} \quad (6)$$

ここで、

- Q_G は、V_{CC2} におけるパワー トランジスタのゲート電荷です。

この例のアプリケーションでは、式 7 に示すように、負荷スイッチングによる総ダイナミック損失は約 340mW です。

$$P_{GSW} = 18\ V \times 126\ nC \times 150\ kHz = 340\ mW \quad (7)$$

Q_G は、パワー トランジスタの総ゲート電荷量を表します。試験条件が変わると、この値も変わる可能性があります。UCC5350-Q1 の出力段のゲートドライバ損失 P_{GDO} は P_{GSW} の一部です。外部ゲートドライバの抵抗とパワー トランジスタの内部抵抗が 0Ω で、ゲートドライバの損失がすべて UCC5350-Q1 の内部で消費される場合、P_{GDO} は P_{GSW} と等しくなります。外部ターンオンおよびターンオフ抵抗が存在する場合、総損失はゲートドライバのプルアップ / プルダウン抵抗、外部ゲート抵抗、パワー トランジスタの内部抵抗に分散されます。ソース/シンク電流が 10A に飽和していない場合、プルアップ/ダウン抵抗は線形かつ固定ですが、ソース/シンク電流が飽和している場合、プルアップ/ダウン抵抗は非線形であることに注意します。ゲートドライバ損失は、式 8 で示すように飽和しない場合に推定されます。

$$P_{GDO} = \frac{P_{GSW}}{2}\left(\frac{R_{OH}||R_{NMOS}}{R_{OH}||R_{NMOS} + R_{GON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{GOFF} + R_{GFET_Int}}\right) \quad (8)$$

この設計例では、予測されるソースおよびシンク電流はすべて 10A 未満であるため、式 9 を使用して ゲート ドライバ損失を推定します。

$$P_{GDO} = \frac{340\ mW}{2}\left(\frac{12\ \Omega\ ||\ 1.54\ \Omega}{12\ \Omega\ ||\ 1.54\ \Omega + 2.2\ \Omega + 1.8\ \Omega} + \frac{0.26\ \Omega}{0.26\ \Omega + 2.2\ \Omega + 1.8\ \Omega}\right) \approx 53.66\ mW \quad (9)$$

ここで、

- $V_{OUTH/L(t)}$ は、ターンオンおよびターンオフ中のゲートドライバ OUT ピンの電圧です。出力がある期間飽和している場合、この値は負荷コンデンサを充電または放電する定電流源 (ターンオンおよびターンオフ時に 10A) として簡素化できます。その結果、$V_{OUTH/L(t)}$ 波形は線形となり、T_{R_Sys} と T_{F_Sys} は簡単に予測できます。

UCC5350-Q1 ゲートドライバ P_{GD} で消費されるゲートドライバの総損失は、式 10 を使用して計算します。

$$P_{GD} = P_{GDQ} + P_{GDO} = 25.31mW + 53.66mW = 78.97mW \quad (10)$$

8.2.2.4 推定接合部温度

UCC5350-Q1 ファミリの接合部温度 (T_J) を推定するには、以下の式を使用します。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \quad (11)$$

ここで、

- T_C は、熱電対またはその他の計測機器で測定された UCC5350-Q1 のケース上面温度です。
- Ψ_{JT} は、「熱に関する情報」表に記載されている、接合部から上面への熱特性パラメータです。

接合部からケースへの熱抵抗 ($R_{\theta JC}$) の代わりに接合部から上面への熱特性パラメータ (Ψ_{JT}) を使用することで、接合部温度の推定の精度を大幅に向上させることができます。ほとんどの IC の熱エネルギーの大半は、パッケージのリードを経由して PCB に放散されるのに対して、全エネルギーのごく一部のみがケース上面から放散されます (通常は熱電対で測定されます)。$R_{\theta JC}$ 抵抗は、熱エネルギーの大部分がケースを通して放散される場合 (例：金属パッケージが使われている場合、IC パッケージにヒートシンクが取り付けられている場合) にのみ有効に使用できます。それ以外の場合に $R_{\theta JC}$ を使っても、真の接合部温度を正確に推定することはできません。Ψ_{JT} パラメータは、IC の上面を通して放散される大部分

Copyright © 2026 Texas Instruments Incorporated

のエネルギーが、テスト環境とアプリケーション環境で同等であると仮定することで実験的に求められます。推奨レイアウトガイドラインが守られている限り、接合部温度は数℃以内の精度で推定できます。

8.2.2.5 V_{CC1} および V_{CC2} コンデンサの選択

V_{CC1} および V_{CC2} 電源のバイパス コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量公差の表面実装型の低 ESR/ESL 多層セラミック コンデンサ (MLCC) を推奨します。

注

一部の MLCC の DC バイアスは、実際の容量値に影響を与えます。たとえば、25V、1µF X7R のコンデンサは、15V_{DC} の DC バイアスを印加した場合、わずか 500nF に測定されます。

8.2.2.5.1 V_{CC1} コンデンサの選択

V_{CC1} に接続されたバイパス コンデンサは、1 次側ロジックに必要な過渡電流と総消費電流に対応しますが、これはわずか数ミリアンペアです。したがって、この用途には 100nF 以上の 50V MLCC を推奨します。バイアス電源出力が V_{CC1} ピンから比較的離れた場所に配置されている場合、1µF を超える値のタンタルまたは電解コンデンサを MLCC と並列に配置する必要があります。

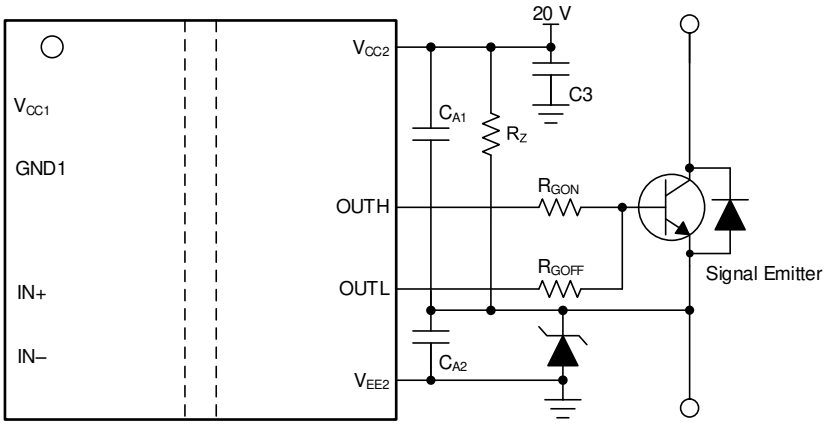
8.2.2.5.2 V_{CC2} コンデンサの選択

50V、10µF の MLCC と 50V、0.22µF の MLCC を C_{VCC2} コンデンサとして選択しています。バイアス電源出力が V_{CC2} ピンから比較的離れた場所に配置されている場合、10µF を超える値のタンタルまたは電解コンデンサを C_{VCC2} と並列に接続する必要があります。

8.2.2.5.3 出力段の負のバイアスを使うアプリケーション回路

理想的でない PCB レイアウトと長いパッケージ リード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリンギングが生じる可能性があります。リンギングがスレッショルド電圧を上回る場合、意図しないターンオンおよび貫通電流が発生する可能性があります。ゲート駆動に負のバイアスを印加することは、このようなリンギングをスレッショルドよりも低く保つための一般的な方法です。負のゲート駆動バイアスの実装例をいくつか示します。

図 8-3 に最初の例を示します。この例では、絶縁型電源の出力段に接続したツェナー ダイオードを使って負のバイアスを印加することで出力をターンオフさせています。この負バイアスはツェナー ダイオード電圧によって設定されます。絶縁型電源が 20V である場合、ターンオフ電圧は –5.1V、ターンオン電圧は 20V – 5.1V ≈ 15V です。



Copyright © 2017, Texas Instruments Incorporated

図 8-3. 絶縁型バイアス電源の出力に接続したツェナー ダイオードによる負バイアス

Copyright © 2026 Texas Instruments Incorporated

図 8-4 に、2 つの電源 (または 1 つの 1 入力 2 出力電源) を使う別の例を示します。V_{CC2} とエミッタ間の電源が正の駆動出力電圧を決定し、V_{EE2} とエミッタ間の電源が負のターンオフ電圧を決定します。このソリューションでは最初の例よりも多くの電源を必要としますが、正と負のレール電圧をより柔軟に設定できます。

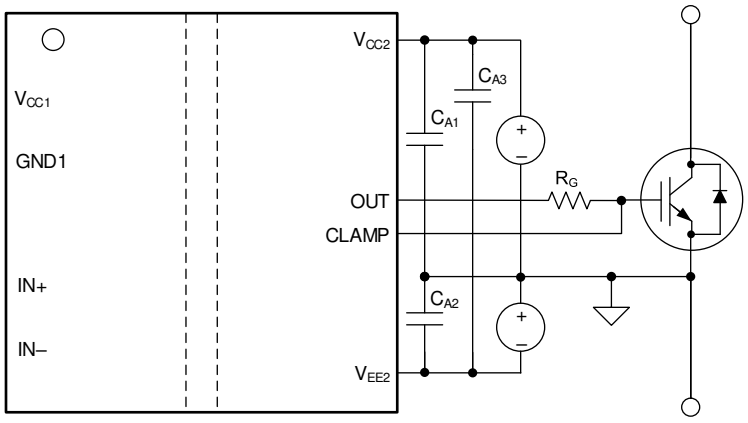
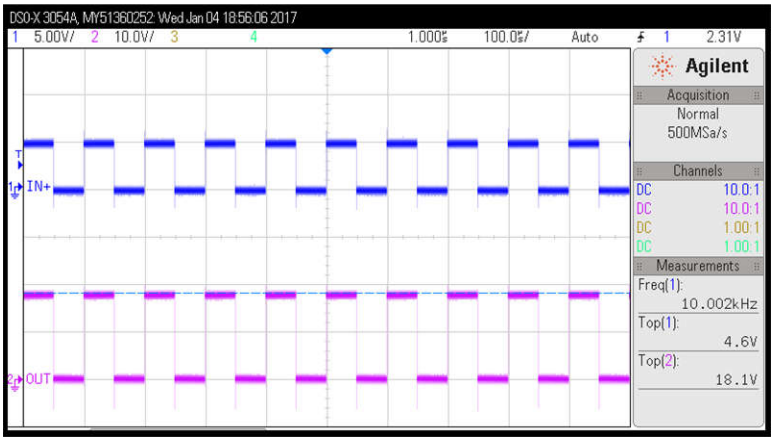


図 8-4. 2 つの絶縁型バイアス電源による負のバイアス

8.2.3 アプリケーション曲線



V_{CC2} = 20 V　　V_{EE2} = GND　　f_{SW} = 10kHz

図 8-5. PWM 入力とゲート電圧波形

9 電源に関する推奨事項

UCC5350-Q1 デバイスの推奨入力電源電圧 (V_{CC1}) は 3V ～ 15V です。デバイスの内部 UVLO 保護機能によって、出力バイアス電源電圧 (V_{CC2}) の範囲の下限が決定されます。通常動作では、V_{CC1} と V_{CC2} 電圧がそれぞれの UVLO スレッショルドを下回らないようにする必要があります。そうしないと、UVLO 保護機能により、ゲートドライバ出力が 50µs 以上の間 Low にクランプされる可能性があります。UVLO の詳細については、セクション 7.3.4.1 を参照してください。V_{CC2} 範囲の上限は、UCC5350-Q1 デバイスで駆動されるパワー デバイスの最大ゲート電圧によって異なり、推奨される最大 V_{CC2} である 33V を超えないようにする必要があります。デバイスをバイアスするには、V_{CC2} ピンと V_{EE2} ピンの間に 220nF ～ 10µF のローカル バイパス コンデンサを配置する必要があります。高周波フィルタリングのため、デバイスのバイアス コンデンサと並列に追加の 100nF コンデンサを配置することを推奨します。両方のコンデンサを、デバイスにできる限り近づけて配置する必要があります。低 ESR のセラミック表面実装コンデンサが推奨されます。同様に、V_{CC1} ピンと GND1 ピンの間にもバイパス コンデンサを配置する必要があります。UCC5350-Q1 デバイスの入力側の論理回路が消費する電流は小さいため、このバイパス コンデンサの推奨される最小値は 100nF です。

Copyright © 2026 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

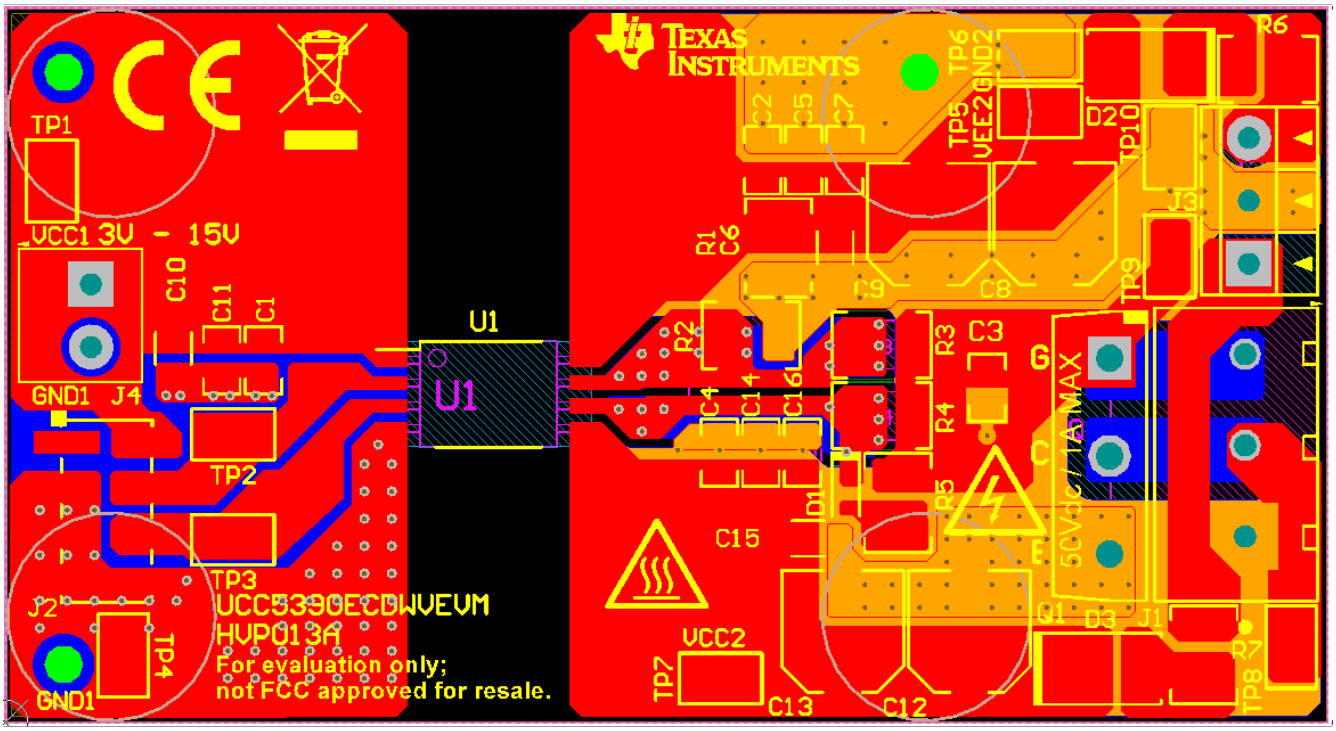
UCC5350-Q1 の性能を適切に引き出すには、PCB レイアウトに細心の注意を払う必要があります。主なガイドラインは次のとおりです。

- 部品の配置:
  - ノイズをバイパスし、外付けパワー トランジスタをターンオンさせる際の大きなピーク電流に対応するため、低 ESR かつ低 ESL のコンデンサを本デバイスの近く、V_{CC1} と GND1 ピンとの間、および V_{CC2} と V_{EE2} ピンとの間に接続する必要があります。
  - スイッチ ノードに接続されている V_{EE2} ピンでの大きな負の過渡を防止するため、上側トランジスタのソースと下側トランジスタのソースとの間の寄生インダクタンスを最小限に抑える必要があります。
- 接地に関する注意事項:
  - トランジスタのゲートを充放電する大きいピーク電流が流れる領域を、最小の物理面積に制限することが不可欠です。これによりループのインダクタンスの減少が制限され、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲート ドライバは、トランジスタのできるだけ近くに配置する必要があります。
- 高電圧に関する注意事項:
  - 1 次側と 2 次側の間の絶縁性能を確保するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトや溝を推奨します。
- 熱に関する検討事項:
  - 駆動電圧が高い、負荷が重い、またはスイッチング周波数が高い場合、UCC5350-Q1 は大きな電力を消費する可能性があります (詳細については、セクション 8.2.2.3 を参照)。適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
  - V_{CC2} および V_{EE2} ピンに接続する PCB 銅箔を増やすことを推奨します。V_{EE2} への接続を最大化することを優先します。ただし、前述の高電圧 PCB に関する考慮事項に従う必要があります。
  - TI は、システムに複数の層がある場合は、V_{CC2} ピンおよび V_{EE2} ピンを、適切なサイズの複数のビアを経由して内部のグランドまたは電源プレーンに接続することを推奨しています。熱伝導率を最大化するため、これらのビアは IC ピンの近くに配置する必要があります。ただし、異なる高電圧プレーンからのパターンや銅箔が重ならないように注意してください。

10.2 レイアウト例

PCB レイアウトの例を、、図 10-1 に示します。この図では、信号と主要な部品にラベル付けしています。UCC5390ECDWV 評価基板 (EVM) は、UCC5350-Q1 と同じ DWV パッケージで入手可能な例です。UCC5390EC には分割エミッタとミラークランプとの関係があるためレイアウトは完全に同じではありませんが、一般的なガイドラインと方法が適用されます。『UCC5390ECDWV 絶縁型ゲート ドライバ評価基板ユーザー ガイド』に記載されているように、ミラー クランプ バージョン用に評価ボードを構成できます。

Copyright © 2026 Texas Instruments Incorporated



A. 1 次側と 2 次側の間に PCB パターンも銅箔も存在しないため、絶縁性能を確保できます。

図 10-1. レイアウト例

図 10-2、図 10-3 は、上層と下層のパターンと銅箔を示しています。

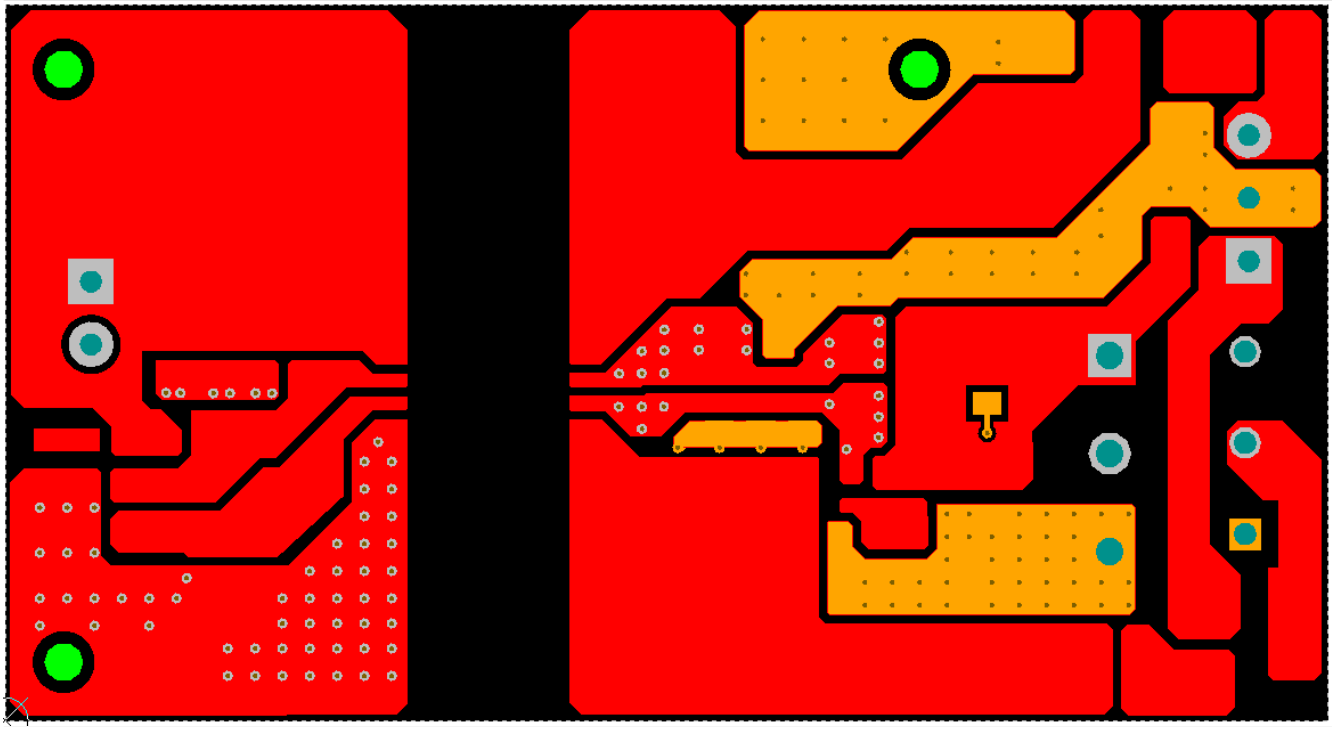


図 10-2. 上層のパターンと銅箔

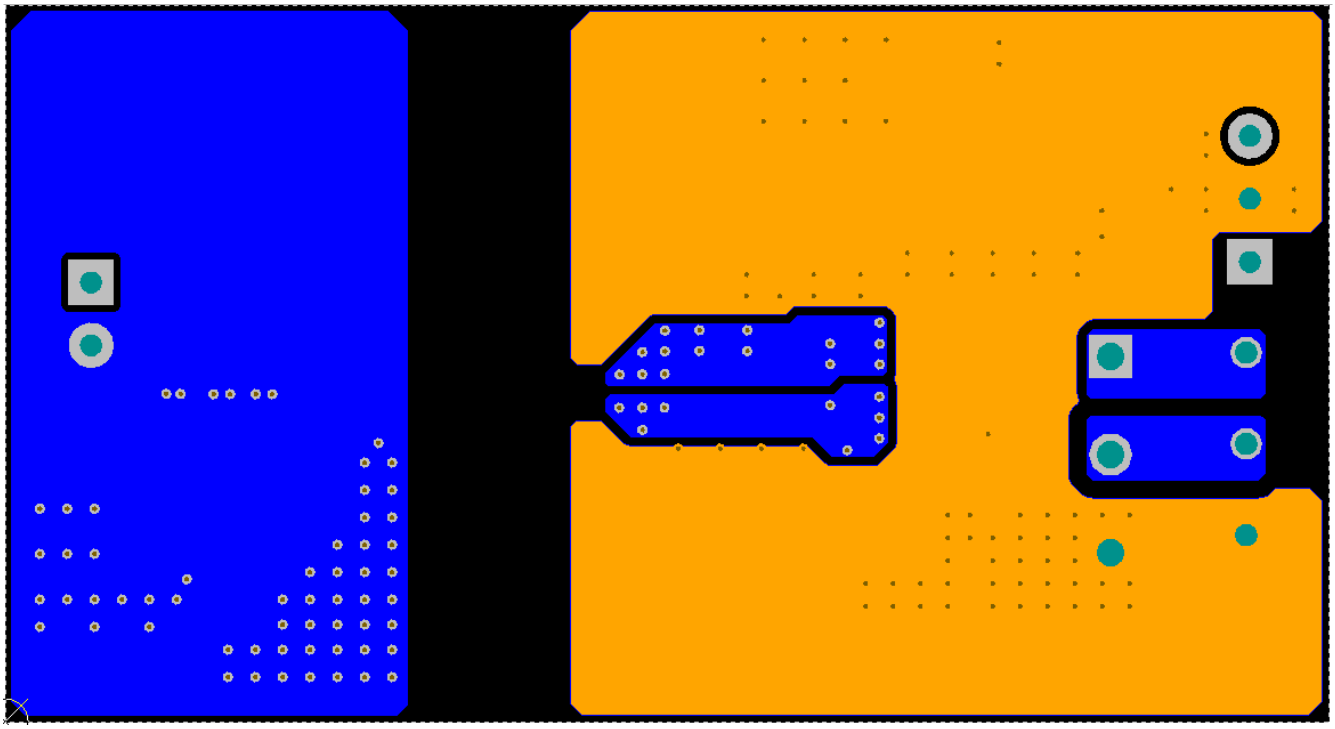


図 10-3. 下層のパターンと銅箔 (反転)

図 10-4 は、PCB 上面図の 3D レイアウトを示しています。

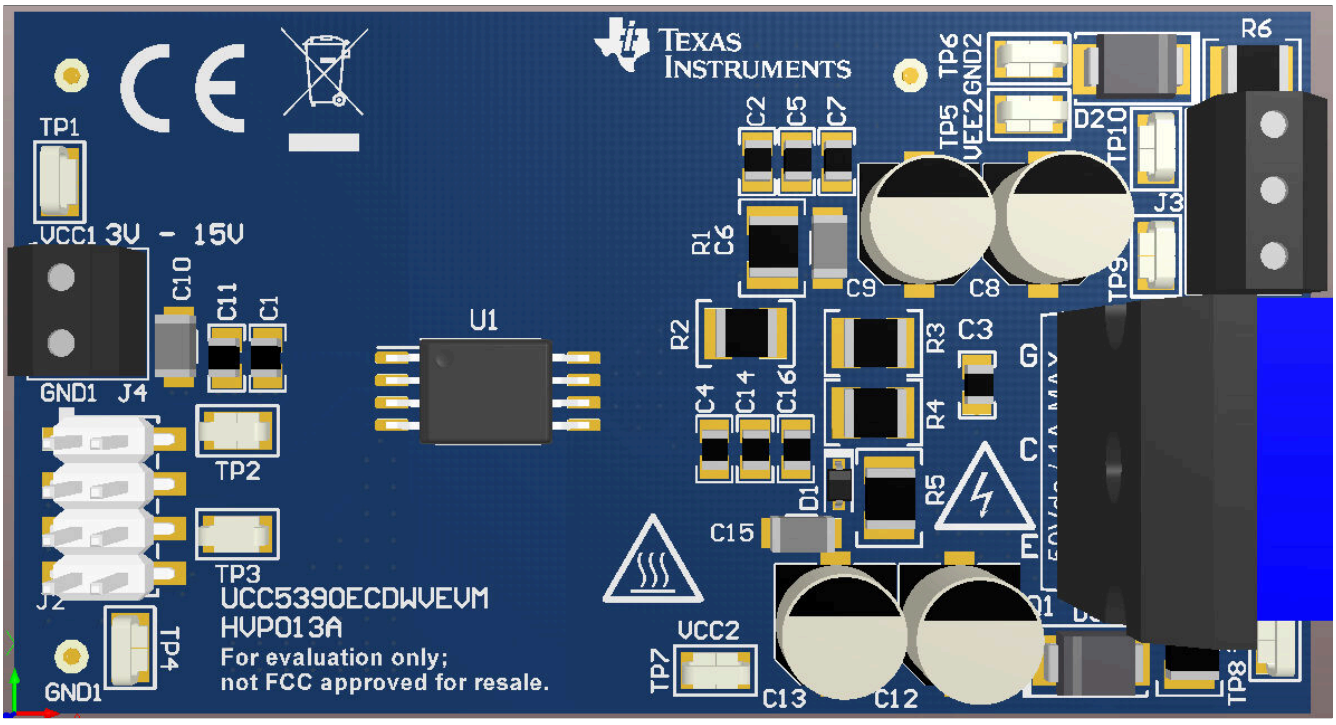


図 10-4. PCB の 3D 図

Copyright © 2026 Texas Instruments Incorporated

10.3 PCB 材料

標準的な FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

図 10-5 に、推奨されるレイヤ スタックを示します。

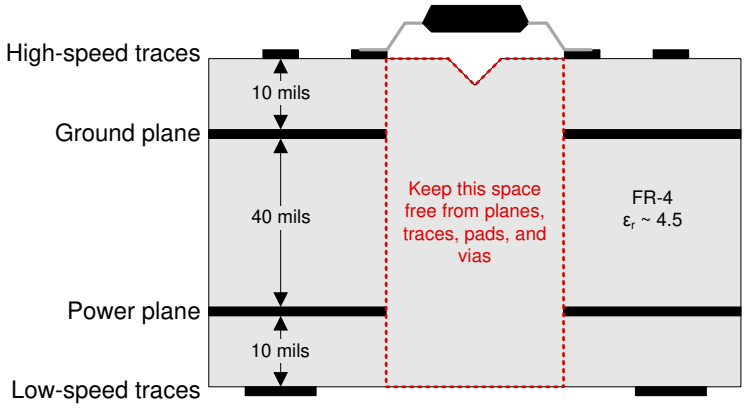


図 10-5. 推奨されるレイヤ・スタック

11 デバイスおよびドキュメントのサポート

11.1 デバイス サポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントのサポート

11.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス インスツルメンツ、『絶縁の用語集』
- テキサス・インスツルメンツ、『SN6501 絶縁電源用のトランスドライバ』データシート
- テキサス・インスツルメンツ、『SN6505A 絶縁電源用の低ノイズ、1A トランスドライバ』データシート
- テキサス インスツルメンツ、『*UCC5390ECDWV 絶縁型ゲートドライバ評価基板*』ユーザー ガイド
- テキサス インスツルメンツ、『UCC53x0xD 評価基板』ユーザー ガイド

11.3 認証

UL オンライン認定ディレクトリ、『*FPPT2.E181974 非光学絶縁デバイス - 部品*』認定番号:20170718-E181974、

11.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision F (July 2024) to Revision G (January 2025)	Page
• 特長の安全関連認証を更新	1
• V_{IOWM} の更新を反映するように、V_{IORM} を 990 から $1200V_{PK}$ に変更	7
• UCC5350 は IEC の部分放電試験で $850V_{RMS}$ × 1.5 で製造試験を受けているため、V_{IOWM} (AC 電圧) を 700 から $850V_{RMS}$ に変更しました。TI は以前、V_{IOWM} の仕様を控えめに決定していました	7
• V_{IOWM} の更新を反映するように、V_{IOWM} (DC 電圧) を 990 から $1200V_{DC}$ に変更	7
• 空気中の IEC 60747-17 試験定義に従って V_{IMP} を追加 (D パッケージ)	7
• V_{IOSM} (DC 電圧) を 4242 から $6500V_{DC}$ に変更し、VDE 0884-11 サージ試験電圧の定義を油中の IEC 60747-17 試験の定義に置き換え (D パッケージ)	7
• 空気中の IEC 60747-17 試験定義に従って V_{IMP} を追加 (DWV パッケージ)	9
• V_{IOSM} (DC 電圧) を 8000 から $10400V_{DC}$ に変更し、VDE 0884-11 サージ試験電圧の定義を油中の IEC 60747-17 試験定義に置換え (DWV パッケージ)	9
• D パッケージの安全関連認証を更新	10
• DWV パッケージの安全関連認証の VDE V 0884–11:2017–01 を IEC 60747-17 (VDE 0884-17) に変更	10
• 伝搬遅延の許容誤差を修正	12
• 絶縁特性曲線に絶縁寿命予測データのグラフを追加	13

Changes from Revision E (February 2024) to Revision F (July 2024)	Page
• 「特長」の HBM および CDM ESD 分類を更新	1
• 「特長」に機能安全の箇条書き項目を追加	1
• 特長に ±10A (標準値) のピーク電流駆動強度を追加	1
• DWV パッケージの安全関連認証を更新	10
• DWV パッケージの VDE 情報を追加	10

Changes from Revision D (August 2022) to Revision E (February 2024)	Page
• 電流を最小値 5A から標準値 10A に変更	1
• 絶縁仕様の CTI と材料グループの値を変更し、表に注を追加	7

Changes from Revision C (June 2022) to Revision D (August 2022)	Page
• UCC5350SB-Q1 を「事前情報」から「量産データ」に変更	1
• CLAMP に「低インダクタンスを使用してゲートに直接接続」を追加 セクション 4IN+ および IN- から「これらのデバイスの入出力ロジックを理解するには、表 8.4 を使用してください」を削除 セクション 4	4

Changes from Revision B (June 2020) to Revision C (June 2022)	Page
• UCC5350SBQDRQ1 デバイスの事前情報を追加	1
• UCC5350SB デバイスをセクション 4 に追加	4
• SB-Q1 D パッケージの電力定格を追加	7
• SB-Q1 の絶縁仕様を追加	7
• D パッケージの UL 認証番号を追加	10
• DWV パッケージの UL 認証番号を追加	10
• SB-Q1 D パッケージの安全限界値を追加	10
• SB-Q1 パラメータを追加	11

Copyright © 2026 Texas Instruments Incorporated

- 最小パルス幅仕様を追加 12
- 表 7-4 を追加 24
- SB-Q1 ESD の図を追加 24
- SB-Q1 の代表的なアプリケーション回路を追加 26

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC5350MCQDWVQ1	Obsolete	Preproduction	SOIC (DWV) | 8	-	-	Call TI	Call TI	-40 to 125	
UCC5350MCQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-2-260C-1 YEAR	-40 to 125	5350Q
UCC5350MCQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350Q
UCC5350MCQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350MCQ
UCC5350MCQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350MCQ
UCC5350SBQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-40 to 125	5350Q
UCC5350SBQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC5350-Q1 :

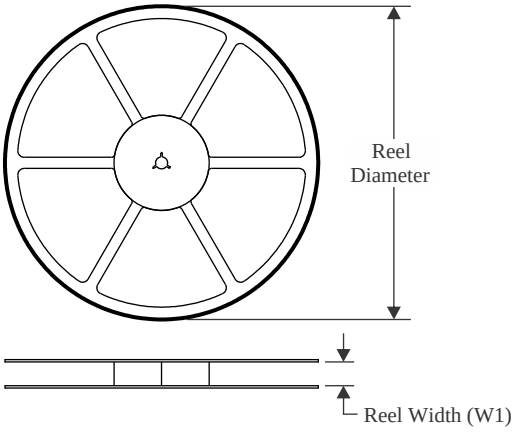
- Catalog : UCC5350

NOTE: Qualified Version Definitions:

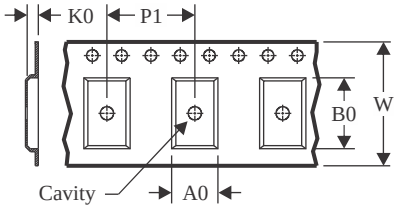
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

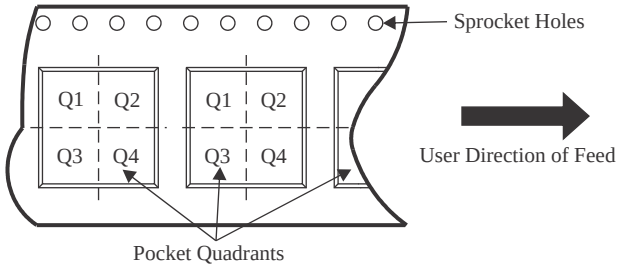


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

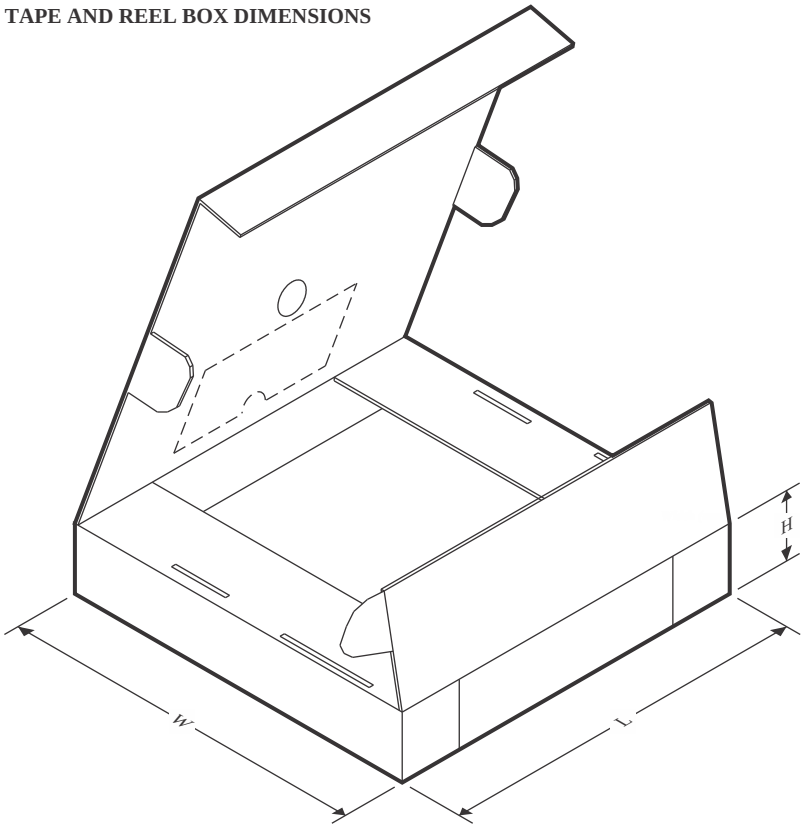
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

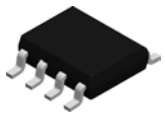
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC5350MCQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
UCC5350SBQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC5350MCQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
UCC5350SBQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0

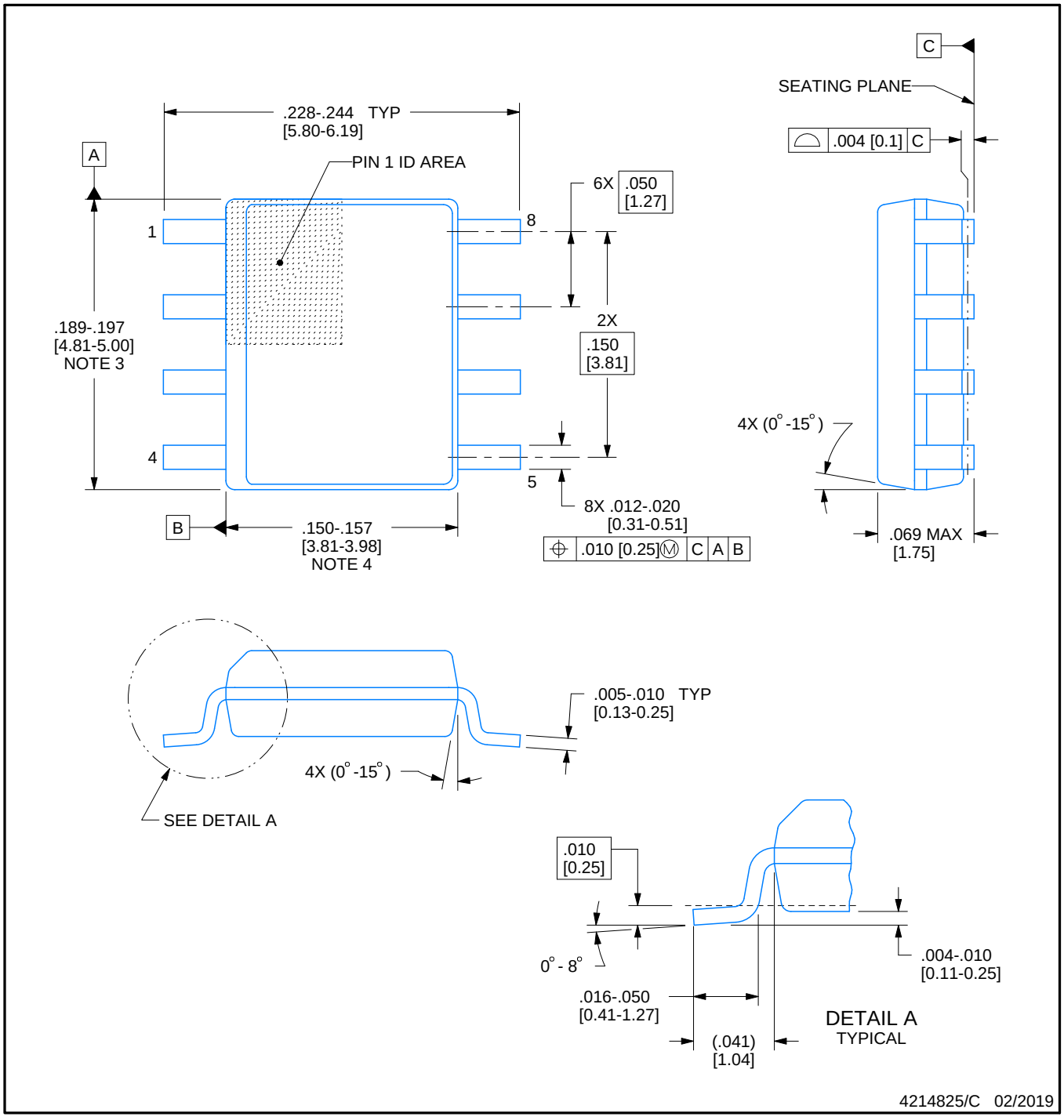


PACKAGE OUTLINE

D0008A

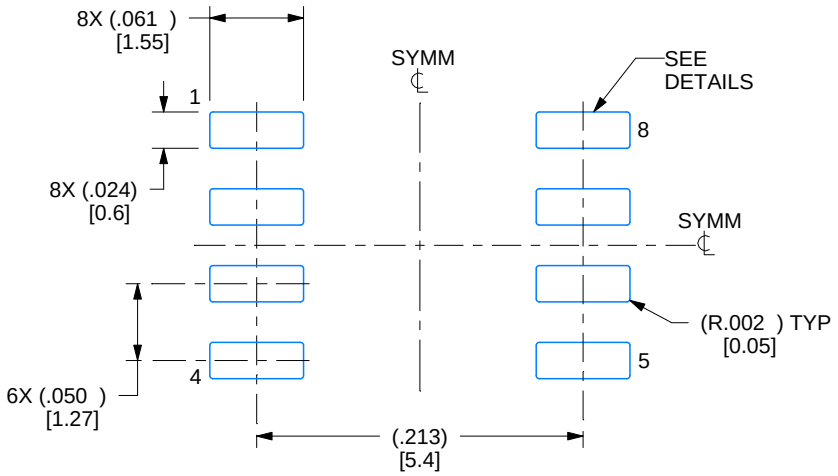
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

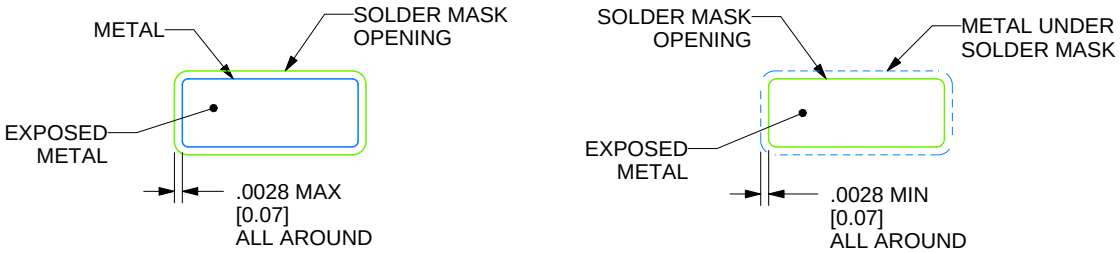


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

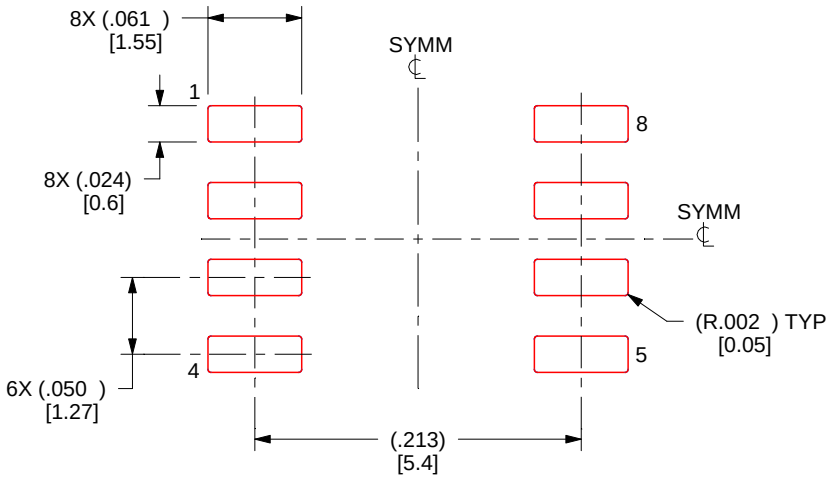
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

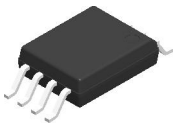


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

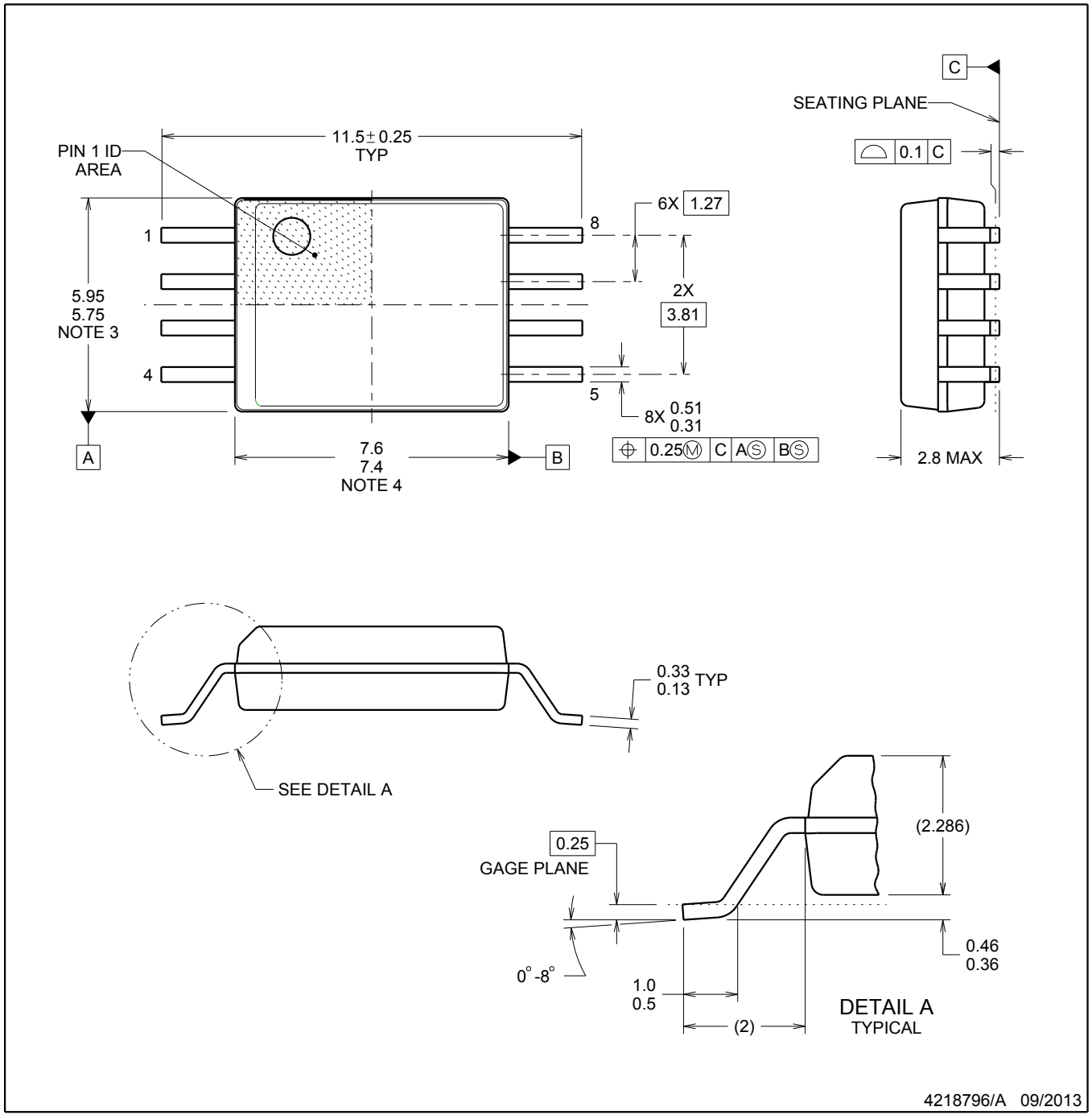
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



DWV0008A

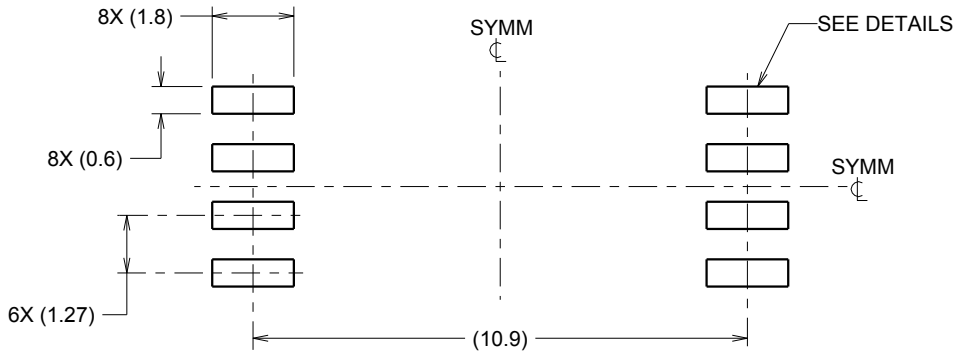
SOIC - 2.8 mm max height

SOIC

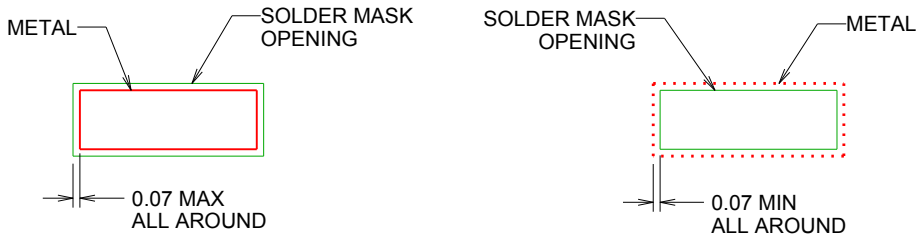


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

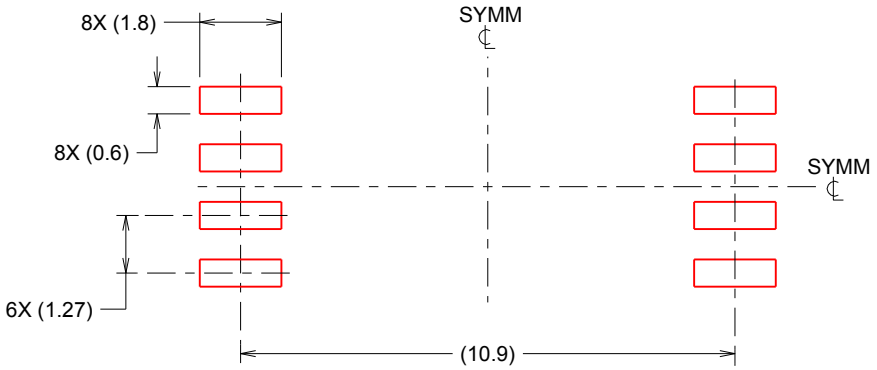
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月