UCC5713x-Q1 高速ローサイド ゲート ドライバ、過電流保護機能付き、車載用アプリケーション向け

1 特長

- 車載アプリケーション認定済み
- AEC-Q100 認定済み
  - デバイス温度グレード 1
- 3A シンク、3A ソース出力電流 (標準値)
- 過電流保護 (OCP) スレッショルド:500mV
- 故障出力およびイネーブル用シングル ピン
- プログラマブルな故障クリア時間と過電流検出の応答時間
- 絶対最大 VDD 電圧:30V
- 厳格な UVLO スレッショルドによりバイアスの柔軟性を確保
- 伝搬遅延時間:26ns (標準値)
- 180°C でのサーマル シャットダウン機能を搭載した自己保護ドライバ
- 5mm × 4mm の SOIC-8 パッケージで供給されます
- 動作時の接合部温度範囲:-40°C～150°C

2 アプリケーション

- デジタル制御 PFC
- エアコン
- 家電製品
- モーター ドライブ
- シングルエンド トポロジに適した汎用ローサイド ゲート ドライバ

3 説明

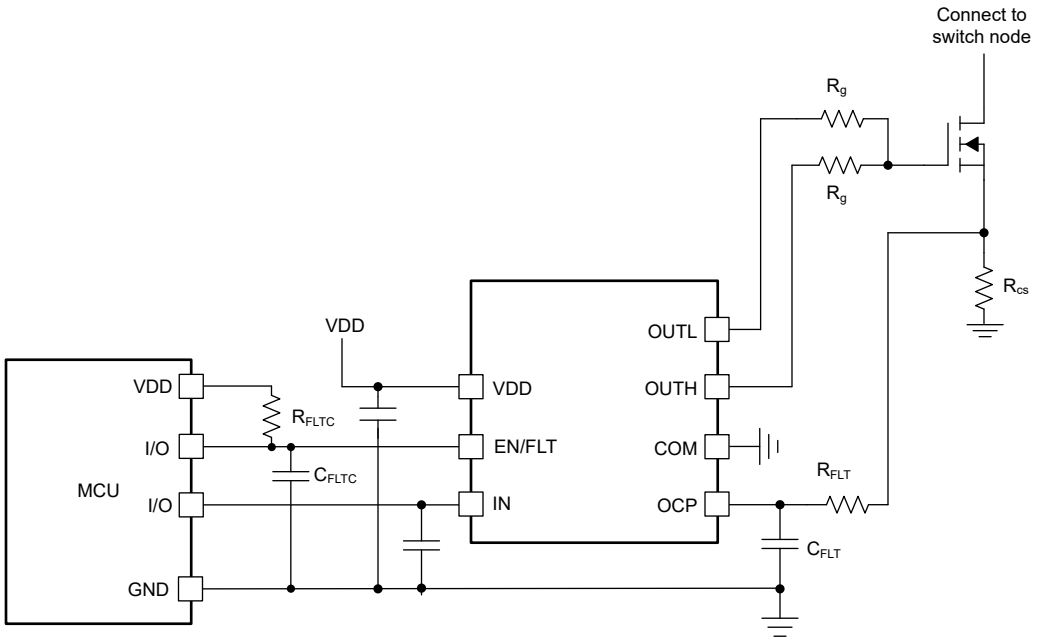
UCC5713x-Q1 は、MOSFET、IGBT、SiC パワー スイッチを効果的に駆動できる、シングル チャネルの高性能ローサイド ゲートドライバです。UCC5713x-Q1 の標準ピーク駆動能力は 3A です。

UCC5713x-Q1 は、OCP ピンによる過電流保護機能を備えています。OCP ピンで過電流信号が検出されると、内部回路が EN/$\overline{\text{FLT}}$ ピンをプルダウンして故障を通知し、OUT ピンを強制的に Low にします。ドライバの通常動作中は、EN/$\overline{\text{FLT}}$ ピンに外部プルアップ回路が必要です。EN/$\overline{\text{FLT}}$ ピンを Low にすると、ドライバはディスエーブルになります。また、EN/$\overline{\text{FLT}}$ ピンは、VDD の低電圧誤動作防止 (UVLO) 故障と過熱故障も通知します。UCC5713x-Q1 は、SiC および IGBT アプリケーション向けに 8V と 12V の両方の UVLO オプションを用意しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UCC5713x-Q1	D (SOIC、8)	5mm × 4mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 スイッチング特性.....6
5.7 タイミング図.....7
5.8 代表的特性.....8
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....12
6.3 機能説明.....13
6.4 デバイスの機能モード.....16
7 アプリケーションと実装.....18
7.1 使用上の注意.....18
7.2 代表的なアプリケーション.....19
7.3 電源に関する推奨事項.....22
7.4 レイアウト.....23
8 デバイスおよびドキュメントのサポート.....25
8.1 サード・パーティ製品に関する免責事項.....25
8.2 ドキュメントの更新通知を受け取る方法.....25
8.3 サポート・リソース.....25
8.4 商標.....25
8.5 静電気放電に関する注意事項.....25
8.6 用語集.....25
9 改訂履歴.....25
10 メカニカル、パッケージ、および注文情報.....25

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

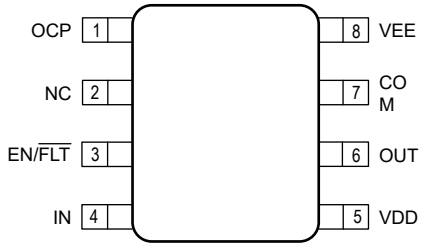


図 4-1. UCC5713xB-Q1 8 ピン SOIC D パッケージ上面図

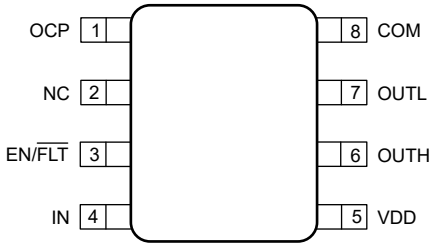


図 4-2. UCC5713xC-Q1 SOIC D パッケージ上面図

表 4-1. ピンの機能

ピン			タイプ(1)	説明
名称	UCC5713xB-Q1	UCC5713xC-Q1		
OCP	1	1	I	電流検出入力
NC	2	2		未接続
EN/FLT	3	3	I/O	イネーブルと異常検出出力を
IN	4	4	I	ドライバの入力
VDD	5	5	P	ドライバ バイアス電源
OUT	6	NA	O	ドライバの出力
OUTH	NA	6	O	ドライバの High 出力
OUTL	NA	7	O	ドライバの Low 出力
COM	7	8	G	ドライバ グランド
VEE	8	NA	P	COM を基準としたドライバの負バイアス電源

(1) I/O = デジタル入出力、IA = アナログ入力、AO = アナログ出力、P = 電源接続

5 仕様

5.1 絶対最大定格

すべての電圧は COM を基準にしています。自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
VDD-COM	正電源	-0.3	30	V
VDD-VEE	差動電源 (B バージョン)	-0.3	30	V
VEE-COM	負電源 (B バージョン)	-18	0.3	V
OUT	出力信号の DC 電圧	COM/ VEE–0.3	VDD+0.3	V
	出力信号の過渡電圧 (200ns)	COM/ VEE–2	VDD+3	V
VOCP	電流検出ピン (OCP) の電圧	-10	12	V
V_{IN}	IN 信号の DC 電圧	-5	30	V
$V_{EN/\overline{FLT}}$	EN/$\overline{FLT}$ 信号の DC 電圧	-0.3	30	V
T_J	接合部温度	-40	150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠(1)	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

すべての電圧は COM を基準にしています。自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD-COM	正電源 (8V UVLO オプション)	8.5		26	V
VDD-COM	正電源 (12V UVLO オプション)	14.5		26	V
VDD-VEE	差動電源 (B バージョン)			26	V
VEE-COM	負電源 (B バージョン)	-15		0	V
V_{OUT}	出力電圧	COM/VEE		VDD	V
V_{OCP}	電流検出ピンの電圧	-5		10	V
V_{IN}	IN 信号の DC 電圧	-2		26	V
$V_{EN/FLT}$	EN 信号の DC 電圧	0		26	V
T_J	接合部温度	-40		150	℃

5.4 熱に関する情報

熱評価基準(1)		UCC5713x D 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	126.6	℃/W

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準(1)		UCC5713x D 8 ピン	単位
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	75.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	15.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	74.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

VDD = 15V、VEE = 0V、VDD と COM の間に 1µF コンデンサを接続、VEE と COM の間に 1µF コンデンサを接続、TJ = –40°C から +150°C、CL = 0pF (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{VDDQ}	VDD の静止消費電流	V_{IN} = 3.3V、EN = 5V、VDD = 6.5V			1.3	mA
I_{VDD}	VDD の静的電源電流	V_{IN} = 3.3V、EN = 5V		0.7	1.5	mA
I_{VDD}	VDD の静的電源電流	V_{IN} = 0V、EN = 5V		0.7	1.1	mA
I_{VEEQ}	VEE の静的電源電流	V_{IN} = 0V、EN = 5V、VEE = -10V			1.1	mA
I_{VDDO}	VDD の動的動作電流	f_{SW} = 1MHz、EN = 5V、VDD = 15V、C_L = 1.8nF			30	mA
I_{DIS}	VDD のディスエーブル時電流	V_{IN} = 3.3V、EN = 0V		0.8	1.1	mA
VDD の低電圧スレッショルドと遅延						
V_{VDD_ON}	VDD UVLO 立ち上がりスレッショルド	8V UVLO オプション	7.65	8	8.35	V
V_{VDD_OFF}	VDD UVLO 立ち下がりスレッショルド		6.65	7	7.35	V
V_{VDD_HYS}	VDD UVLO スレッショルドのヒステリシス			1		V
$t_{UVLO2FLT}$	UVLO から $\overline{FLT}$ への伝搬遅延			2		µs
V_{VDD_ON}	VDD UVLO 立ち上がりスレッショルド	12V UVLO オプション	12.8	13.5	14.2	V
V_{VDD_OFF}	VDD UVLO 立ち下がりスレッショルド		11.8	12.5	13.2	V
V_{VDD_HYS}	VDD UVLO スレッショルドのヒステリシス			1		V
IN、EN/$\overline{FLT}$						
V_{INH}	入力 High スレッショルド電圧		1.8	2.2	2.6	V
V_{INL}	入力 Low スレッショルド電圧		0.8	1.2	1.6	V
V_{IN_HYS}	入力スレッショルドのヒステリシス			1		V
R_{IND}	IN ピンのプルダウン抵抗			115		kΩ
V_{ENH}	イネーブル High スレッショルド電圧		1.8	2.2	2.6	V
V_{ENL}	イネーブル Low スレッショルド電圧		0.8	1.2	1.6	V
V_{EN_HYS}	イネーブル スレッショルド ヒステリシス			1		V
R_{ENU}	EN ピンのプルアップ抵抗			2		MΩ
$I_{\overline{FLT}th}$	$\overline{FLT}$ スレッショルド	$V_{\overline{FLT}\text{-sink}}$ = 400mV、Tj = 25°C	18			mA
OC 検出						
V_{OCTH}	GND を基準とする OC 検出スレッショルド (UCC5713X)	500mV オプション	474	500	526	mV

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

VDD = 15V、VEE = 0V、VDD と COM の間に 1µF コンデンサを接続、VEE と COM の間に 1µF コンデンサを接続、TJ = –40°C から +150°C、CL = 0pF (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OCTL}	GND を基準とする OC 解放スレッショルド (UCC5713X)	500mV オプション	463	488	513	mV
t_{OCFIL}(1)	OC グリッチ除去フィルタ (8V-UVLO バージョン)			70		ns
t_{OCFIL}(1)	OC グリッチ除去フィルタ (12V-UVLO バージョン)			190		ns
t_{OC2OUT}(1)	OUT の 90% までの OC 伝搬遅延 (8V-UVLO バージョン)			115	145	ns
t_{OC2OUT}(1)	OUT の 90% までの OC 伝搬遅延 (12V-UVLO バージョン)			230	350	ns
t_{OC2FLT}(1)	EN/$\overline{FLT}$ Low の 90% までの OC 伝搬遅延 (8V-UVLO バージョン)			115	150	ns
t_{OC2FLT}(1)	EN/$\overline{FLT}$ Low の 90% までの OC 伝搬遅延 (12V-UVLO バージョン)			220	320	ns
t_{OCLEB}(1)	OC リーディング エッジ ブランキング時間 (8V-UVLO バージョン)			60	80	ns
t_{OCLEB}(1)	OC リーディング エッジ ブランキング時間 (12V-UVLO バージョン)			180	250	ns
過熱保護						
T_{SD}(1)	過熱スレッショルド			180		℃
T_{HYS}(1)	過熱保護ヒステリシス			30		℃
$t_{OTP2FLT}$(1)	過熱シャットダウンから $\overline{FLT}$ への伝搬遅延	過熱シャットダウンから $\overline{FLT}$ の 90%、Cl = 10pF		8		us
出力ドライバ段						
I_{SRCPK}(1)	ピーク出力ソース電流	C_{VDD} = 10µF、C_L = 0.1µF、f = 1kHz		-3		A
I_{SNKPK}(1)	ピーク出力シンク電流	C_{VDD} = 10µF、C_L = 0.1µF、f = 1kHz		3		A
R_{OH}	プルアップ抵抗	I_{OUT} = -500mA		5		Ω
R_{OL}	プルダウン抵抗	I_{OUT} = 50mA		1		Ω

(1) 量産品のパラメータはテストしていません。

5.6 スイッチング特性

VDD = 15V、VEE = 0V、VDD と COM の間に 1µF コンデンサを接続、VEE と COM の間に 1µF コンデンサを接続、TJ = –40°C から +150°C、CL = 0pF (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_R	出力立ち上がり時間	C_L = 1.8nF、10% ～ 90%、Vin = 0 ～ 3.3V		8	18	ns
t_F	出力立ち下がり時間	C_L = 1.8nF、90% ～ 10%、Vin = 0 ～ 3.3V		14	32	ns
t_{D2}	伝搬遅延 – 入力の立ち下がりから出力の立ち下がりまで	C_L = 1.8nF、Vin の 1V 立ち下がりから出力立ち下がりの 90% まで、Vin = 0 ～ 3.3V、Fsw = 500kHz、50% デューティ サイクル		28	50	ns
t_{D1}	伝搬遅延 – 入力の立ち上がりから出力の立ち上がりまで	C_L = 1.8nF、Vin の 2V 立ち上がりから出力立ち上がりの 10% まで、Vin = 0 ～ 3.3V、Fsw = 500kHz、50% デューティ サイクル		26	50	ns
t_{PD_DIS}	DIS 応答遅延	C_L = 1.8nF、EN の 1V 立ち下がりから出力立ち下がりの 90% まで、EN = 0 ～ 3.3V		27	45	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性 (続き)

VDD = 15V、VEE = 0V、VDD と COM の間に 1µF コンデンサを接続、VEE と COM の間に 1µF コンデンサを接続、TJ = –40°C から +150°C、CL = 0pF (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PWD}	パルス幅歪み	入力パルス幅 = 100ns、500kHz $\lvert t_{D2_1} - t_{D1_1} \rvert$	-10		10	ns

(1) スイッチング パラメータについては、出荷時のテストは行っていません。

5.7 タイミング図

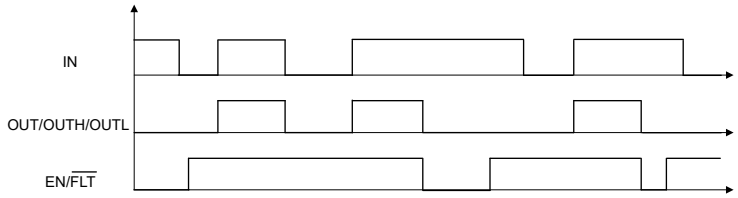
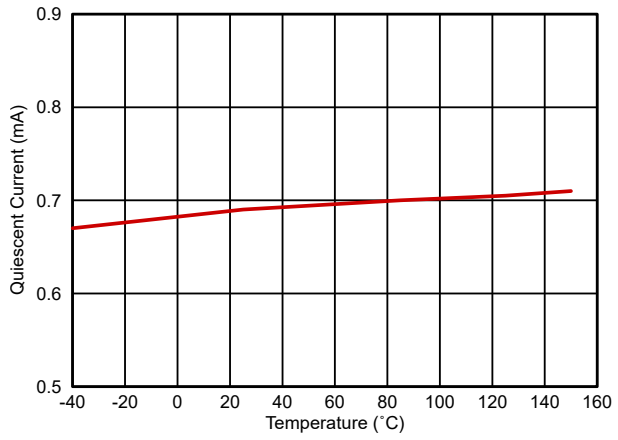


図 5-1. 入力 / 出力 / イネーブルのタイミング図、IN = PWM

5.8 代表的特性

特に記述のない限り、VDD = 15V、VEE = 0V、IN = 3.3V、EN = 5V、T_J = 25°C、無負荷



V_{DD} = 6.5V

図 5-2. 静止電流

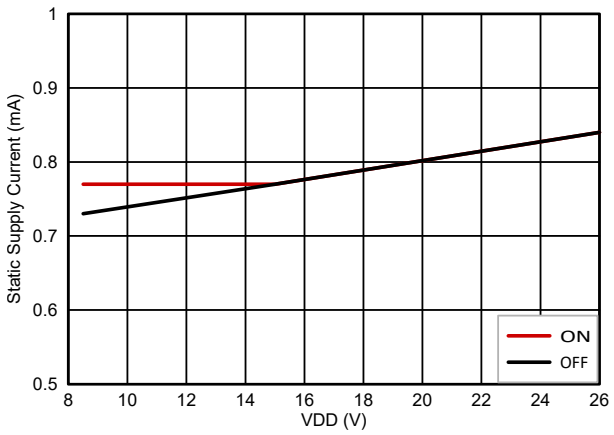


図 5-3. 動作時の静的電源電流

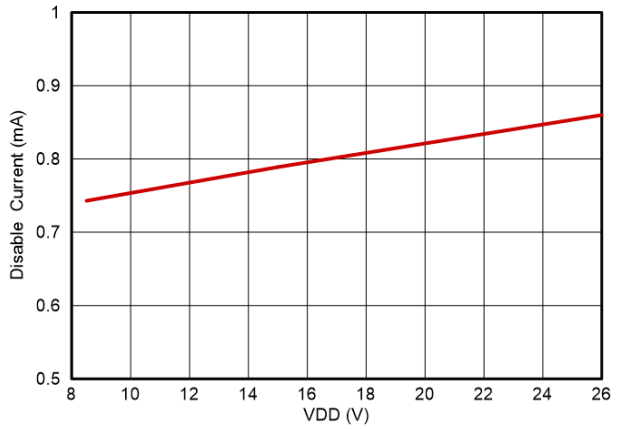
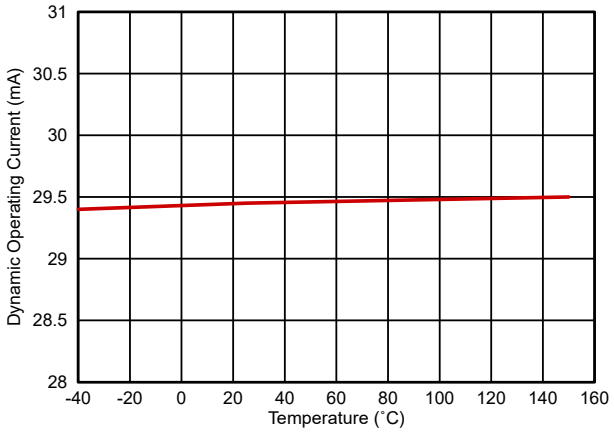


図 5-4. ディスエーブル時電流



C_{LOAD} = 1.8nF

図 5-5. 動作時電源電流

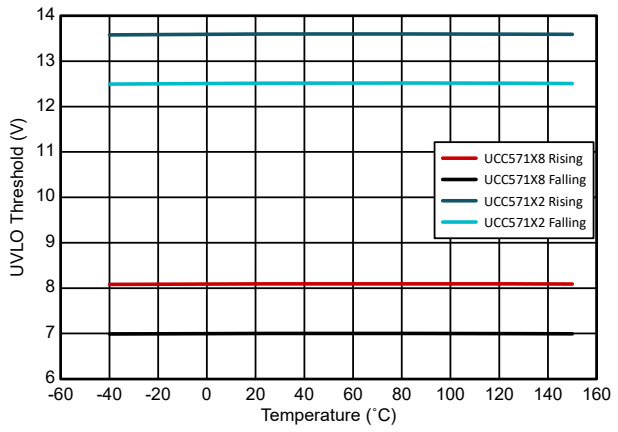


図 5-6. UVLO スレッショルド

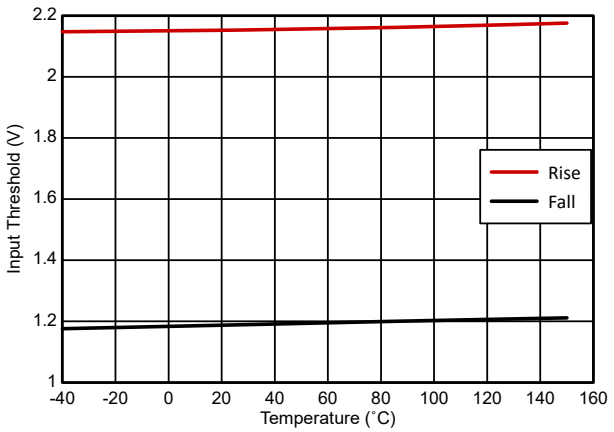


図 5-7. 入力スレッショルド

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、VEE = 0V、IN = 3.3V、EN = 5V、T_J = 25°C、無負荷

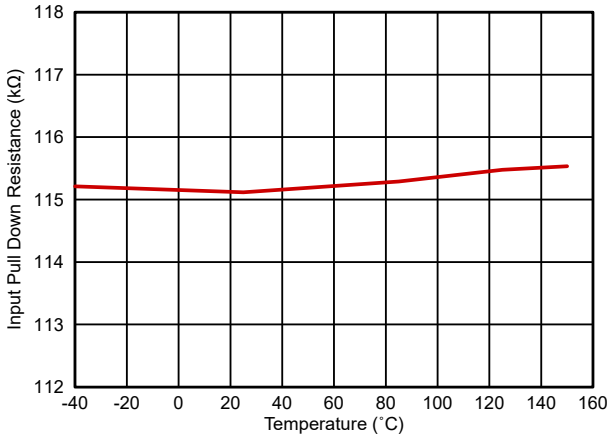


図 5-8. 入力プルダウン抵抗

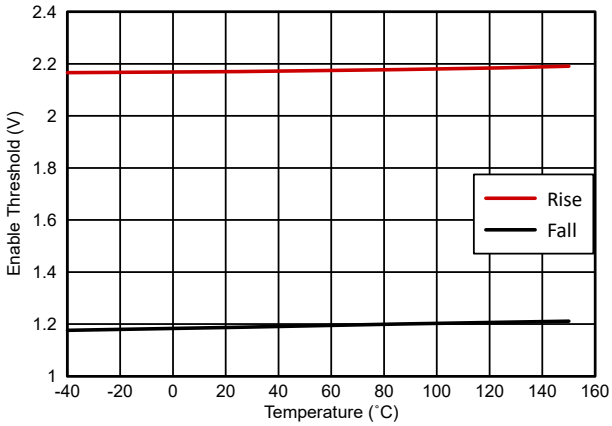


図 5-9. イネーブル スレッショルド

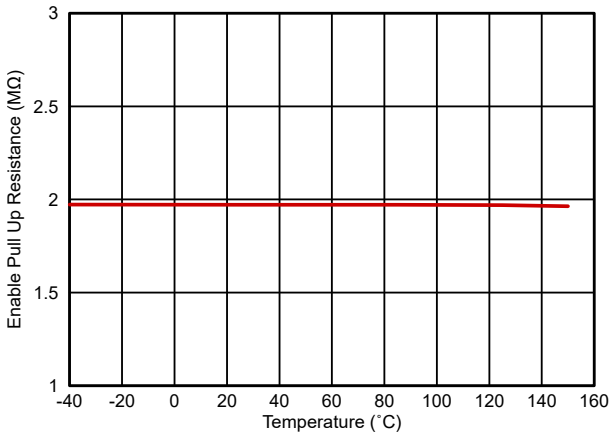


図 5-10. イネーブル時プルアップ抵抗

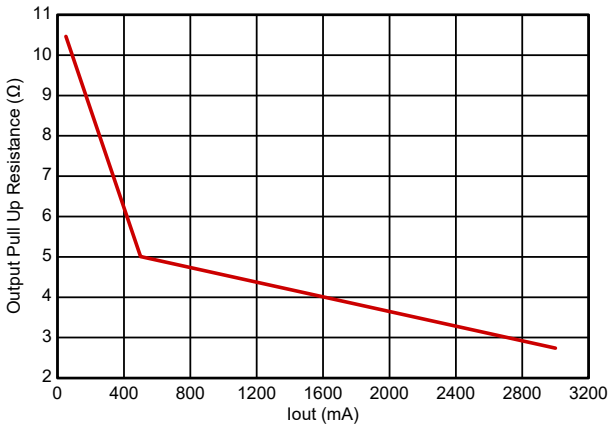


図 5-11. 出力プルアップ抵抗

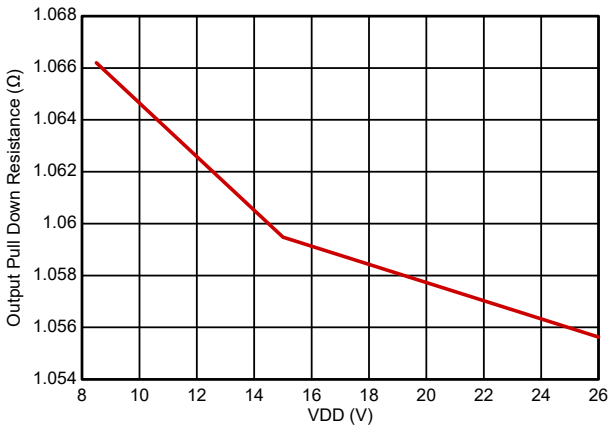
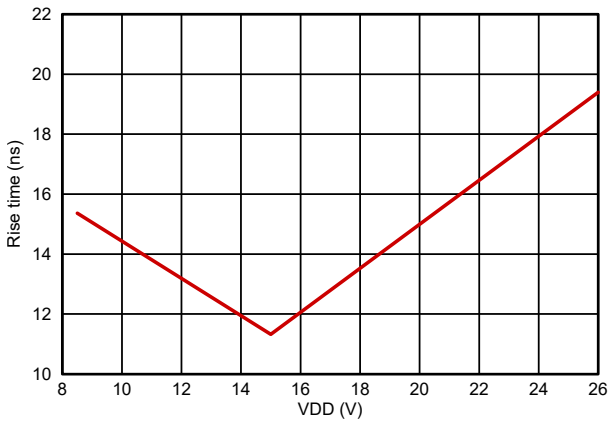


図 5-12. 出力プルダウン抵抗



C_{LOAD} = 1.8nF

図 5-13. 出力立ち上がり時間

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、VEE = 0V、IN = 3.3V、EN = 5V、T_J = 25°C、無負荷

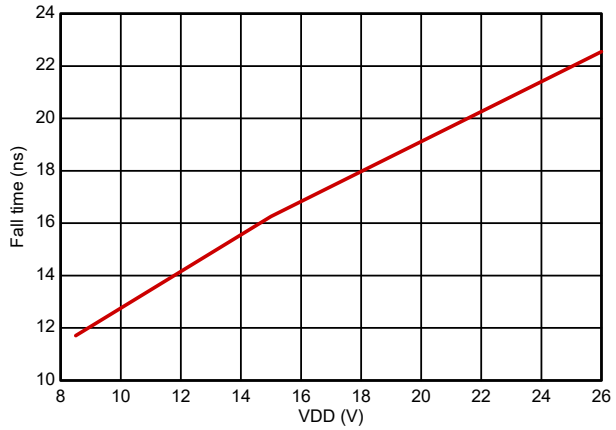


図 5-14. 出力立ち下がり時間

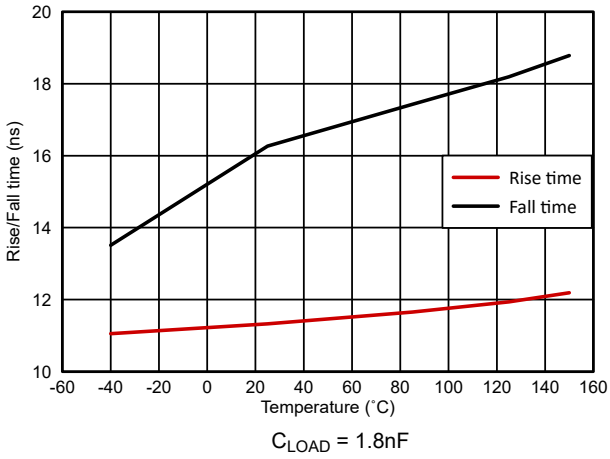


図 5-15. 出力の立ち上がりおよび立ち下がり時間

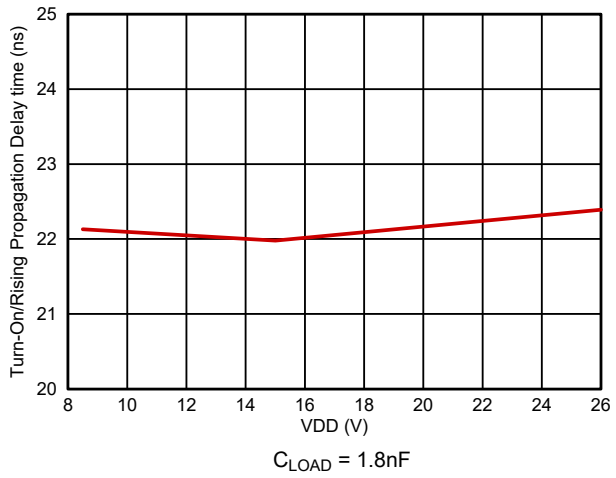


図 5-16. 入力から出力への立ち上がり (ターンオン) 伝搬遅延

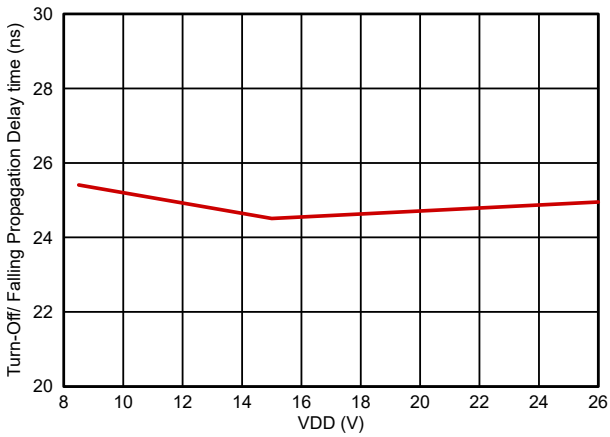


図 5-17. 入力から出力への立ち下がり (ターンオフ) 伝搬遅延

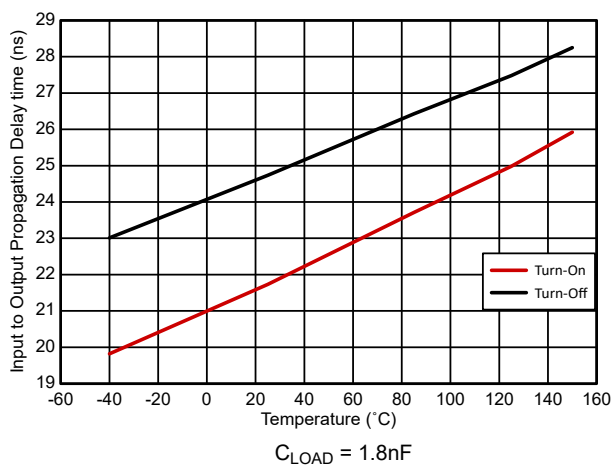


図 5-18. 入力の伝搬遅延

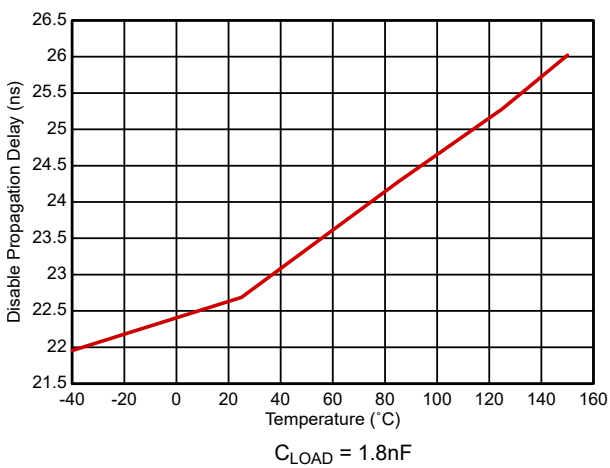


図 5-19. ディスエーブル伝搬遅延

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、VEE = 0V、IN = 3.3V、EN = 5V、T_J = 25°C、無負荷

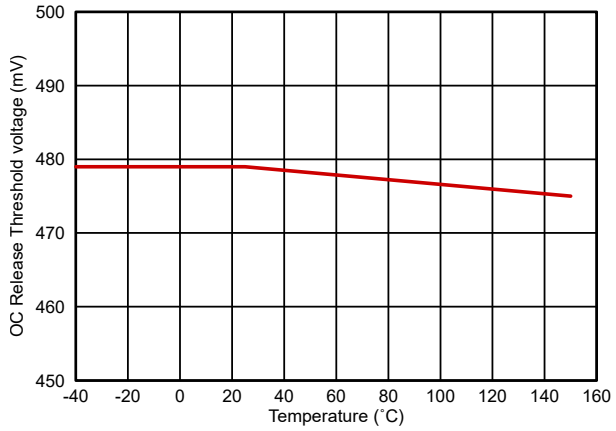


図 5-20. OC 解放スレッショルド

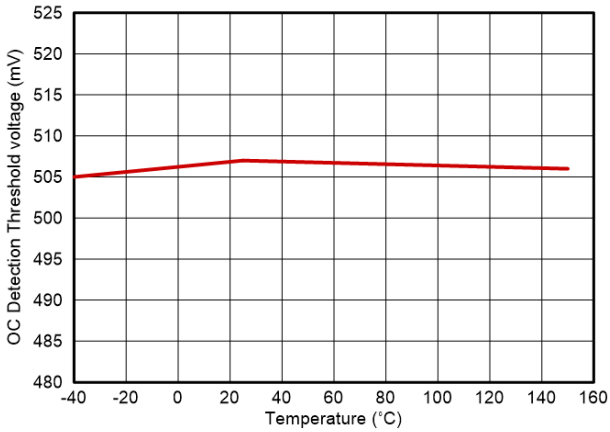


図 5-21. OC 検出スレッショルド

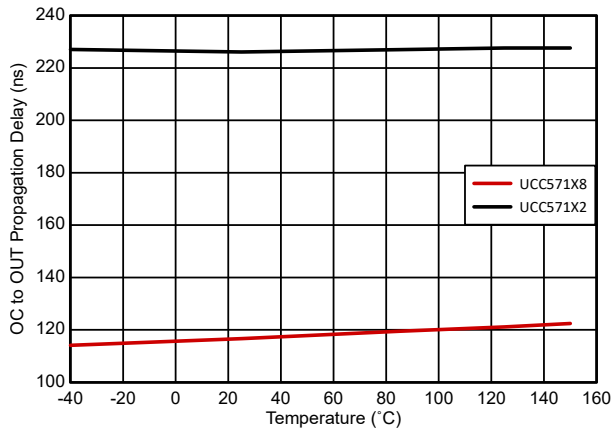


図 5-22. OC から出力までの伝搬遅延

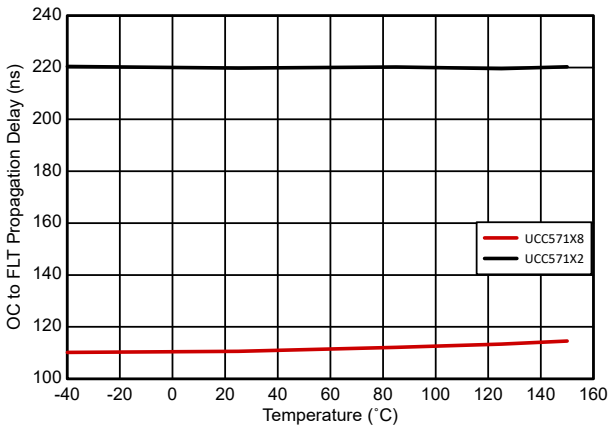
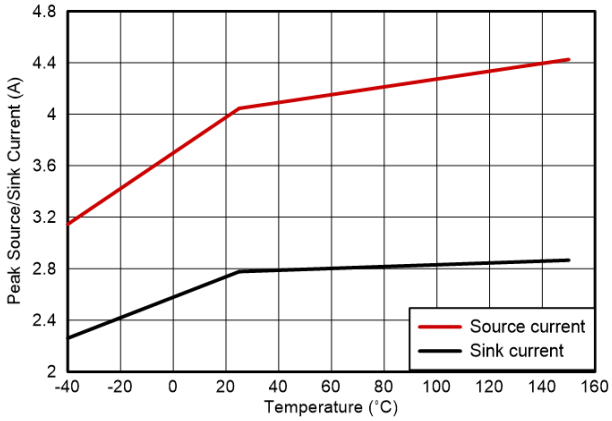


図 5-23. OC から故障までの伝搬遅延



C_{LOAD} = 1µF

図 5-24. ソースおよびシンク ピーク電流

6 詳細説明

6.1 概要

UCC5713x-Q1 デバイスは、3A のソース ピーク電流と 3A のシンク ピーク電流 (対称駆動) で MOSFET、SiC MOSFET、IGBT パワー スイッチを効果的に駆動できる、シングル チャネルの高速ゲートドライバです。このドライバは、逆電流に起因する出力の過渡に対する優れた処理能力を備えているほか、レール ツー レールの駆動能力と、標準 26ns の小さい伝搬遅延も備えています。このデバイスは過電流を検出し、故障を低電圧側の DSP またはマイコンに通知します。OCP ピンで過電流信号が検出されると、内部回路が EN/$\overline{\text{FLT}}$ ピンをプルダウンして故障を通知し、OUT ピンを強制的に Low にします。

UCC5713x-Q1 の入力スレッショルドは、TTL 低電圧ロジックと互換性があり、VDD 電源電圧に依存しない固定値となっています。また、スレッショルド要件が満たされている限り、ドライバは CMOS ベースのコントローラでも動作できます。1V 標準値のヒステリシスにより、優れたノイズ耐性が得られます。

ドライバの通常動作中は、EN/$\overline{\text{FLT}}$ ピンに外部プルアップ回路が必要です。EN/$\overline{\text{FLT}}$ ピンを Low にすると、ドライバはディスエーブルになります。また、EN/$\overline{\text{FLT}}$ ピンは、VDD の低電圧誤動作防止 (UVLO) 故障と過熱故障も通知します。

6.2 機能ブロック図

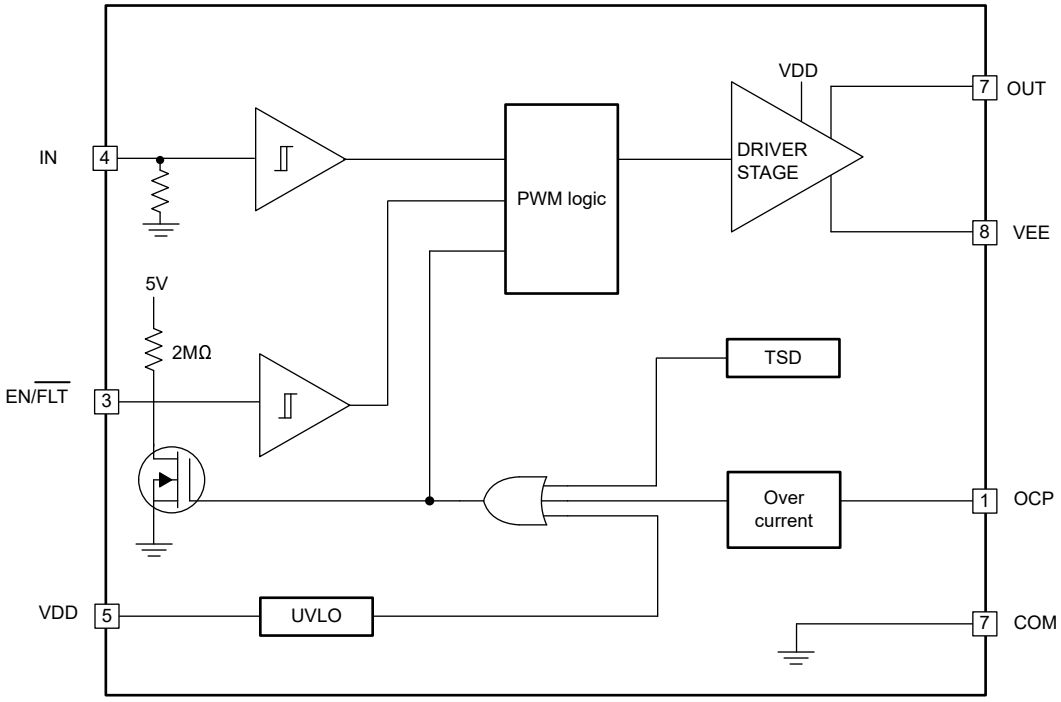


図 6-1. UCC5713xB-Q1 概略機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

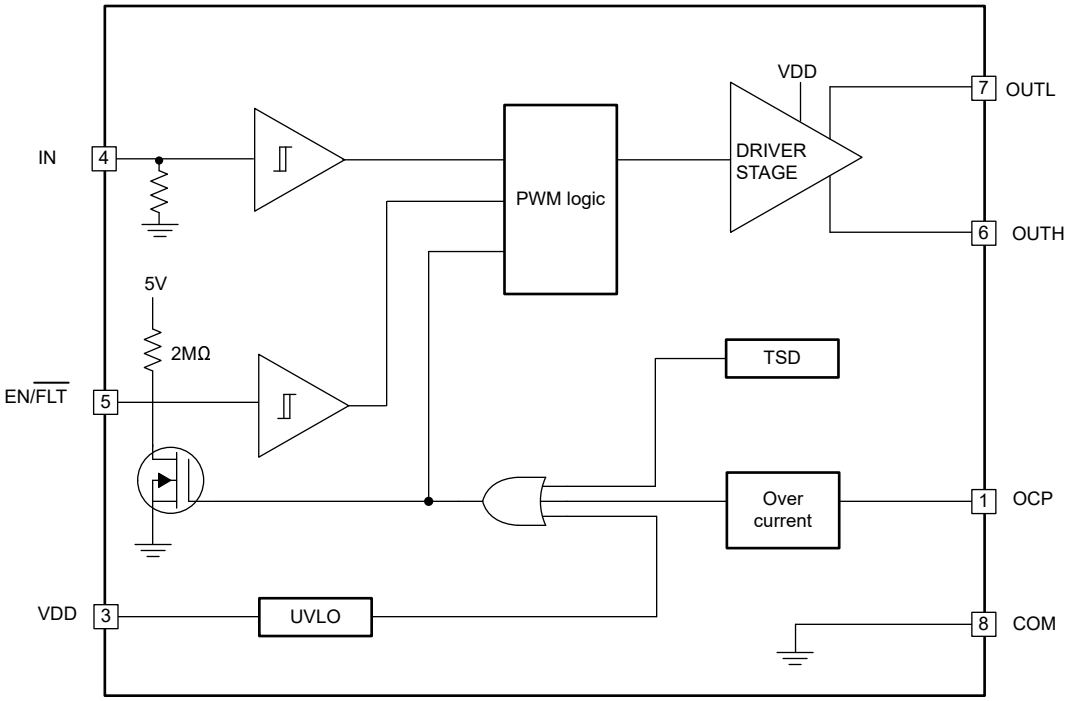


図 6-2. UCC5713xC-Q1 概略機能ブロック図

6.3 機能説明

6.3.1 入力段

UCC5713x-Q1 デバイスの入力は TTL ベースのスレッショルド ロジックと互換性があり、入力は VDD 電源電圧に依存しません。より広いヒステリシス (標準値 1V) により、従来の TTL ロジック実装に比べてノイズ耐性が強化されています。また、このデバイスは入力ピンのスレッショルド電圧レベルを厳密に制御できるため、システム設計の考慮事項が緩和され、温度範囲全体で安定した動作を実現します。

このデバイスには重要な保護機能があり、入力ピンがフローティング状態のときは常に出力が Low 状態に保持されます。これは、概略機能ブロック図に示すように、入力ピンに内部プルダウン抵抗を接続することで実現されています。一部のアプリケーションでは、バイアス電源のシーケンシングの違いにより、各 IC の電源がオンになるタイミングが異なります。これにより、コントローラの出力がトライステートになる可能性があります。コントローラのこの出力は、ドライバ IC の入力に接続されます。ドライバ IC にプルダウン抵抗がない場合、ドライバの出力が誤って High になり、スイッチング電源デバイスが損傷する可能性があります。

ドライバの入力段は、立ち上がり時間または立ち下がり時間の短い信号で駆動することを推奨します。変化の緩やかな入力信号でドライバを使用する場合、特にデバイスが別のドーター ボードに配置されている場合や、PCB レイアウトの入力接続配線が長い場合は、注意が必要です:

- ドライバ出力からの高 di/dt 電流と基板レイアウトの寄生成分との組み合わせにより、グランド バウンスが発生する可能性があります。デバイスの単一の COM ピンが電源グランドを基準とする場合があり、これが入力ピンと COM 間の差動電圧に干渉して、意図しない出力状態の変化を引き起こす可能性があります。26ns という高速な伝搬遅延により、最終的に高周波発振が発生し、消費電力の増加や損傷のリスクにつながる可能性があります。
- 1V の入力スレッショルド ヒステリシスにより、他のほとんどの業界標準ドライバに比べてノイズ耐性が向上しています。

入力信号に遅延を追加するのではなく、ドライバの出力とパワー デバイスとの間に外付け抵抗を接続することを強く推奨します。これにより、パワー デバイスへの立ち上がり時間と立ち下がり時間も制限され、EMI が低減されます。外付け抵抗には、ゲート ドライバ デバイス パッケージ内のゲート電荷に関連する消費電力の一部を低減し、それを外付け抵抗に移すという利点もあります。

Copyright © 2026 Texas Instruments Incorporated

最後に、このデバイスは入力で負電圧に対応できる独自の入力構造を備えているため、注意して、入力ピンのスルー レートを 1V/ns 未満に制限します。

6.3.2 イネーブル / 故障 (EN/$\overline{FLT}$)

UCC5713x-Q1 の EN/$\overline{FLT}$ ピンは故障信号を DSP / マイコンに通知でき、故障クリア時間を調整できます。OCP ピン、内部 TSD、または UVLO によって故障が検出されると、EN/$\overline{FLT}$ ピンは内部で COM にプルダウンされます。故障が解消され、内部プルダウン FET がオフになるまで、EN/$\overline{FLT}$ ピンは Low のままです。その後、EN/$\overline{FLT}$ ピンの電圧は、外部プルアップ電圧によってスレッショルドを上回るまで再充電されます。故障クリア時間 t_{FLTC} は、コンデンサの指数関数的な充電特性によって決まり、時定数は R_{FLTC} と C_{FLTC} によって設定されます。アプリケーション概略図に示すように、R_{FLTC} は外部 VDD にプルアップされ、C_{FLTC} は EN/$\overline{FLT}$ から COM に接続され、EN/$\overline{FLT}$ は R_{ENU} により内部で弱く 5V にプルアップされています。EN/$\overline{FLT}$ が外部で 5V レールにプルアップされている場合、以下を使用して t_{FLTC} 計算します:

$$t_{FLTC} = -\left(\frac{R_{FLTC} \times R_{ENU}}{R_{FLTC} + R_{ENU}}\right) \times C_{FLTC} \times \ln\left(1 - \frac{V_{ENH}}{V_{DD}}\right) \quad (1)$$

UCC5713x-Q1 にはイネーブル機能があり、出力をシャットダウンまたはイネーブルにできます。EN/$\overline{FLT}$ ピンが V_{ENH} を上回ると、出力は IN に追従します。EN/$\overline{FLT}$ が V_{ENL} を下回るようにプルダウンされると、出力は Low のままになります。タイミング図には、入力、出力、イネーブルの関係が含まれています。

6.3.3 ドライバ段

このデバイスは ±3A のピーク駆動能力を備えており、Si MOSFET/IGBT/SiC の駆動に最適です。このドライバは、入力ピンがフローティング状態のとき出力を LOW 状態に保持する重要な安全機能を備えています。このドライバは、固有のブートストラップ ゲート駆動により NMOS プルアップを実装することで、レール ツー レール出力を備えています。DC 条件では、次の図に示すように、PMOS を使用して OUT を VDD に接続した状態に保ちます。NMOS のプルアップ インピーダンスが低いため、ターンオン過渡時に強い駆動能力が得られ、パワー スイッチの入力容量の充電時間が短縮されて、ターンオン スイッチング損失が低減されます。

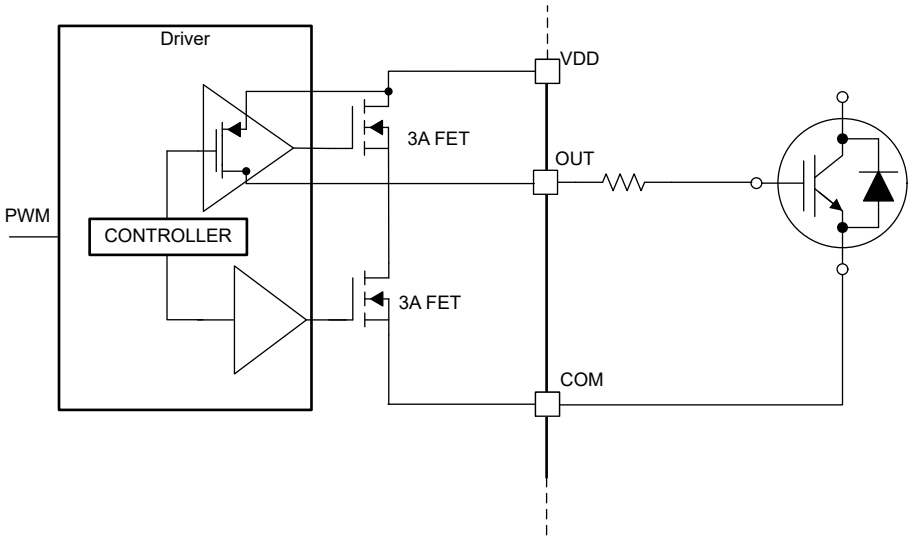


図 6-3. ゲート ドライバの出力段

6.3.4 過電流 (OC) 保護

UCC5713x-Q1 は、OCP ピンによる高速過電流保護機能を実装しており、故障時に MOSFET/IGBT を致命的なブレークダウンから保護します。OCP ピンは電流センス抵抗の両端の電圧降下を検出し、最大 –10V の負の DC 電圧に対応できます。OC 保護のタイミング図に示す入力、出力、イネーブルの関係は、OC 保護の代表的な動作条件を表していま

Copyright © 2026 Texas Instruments Incorporated

す。このデバイスは、入力の各立ち上がりエッジで作動する内部リーディング エッジ ブランキング時間 t_{OCLEB} を備えています。t_{OCLEB} の間、ドライバは過電流故障の検出を無効にします。ノイズの多いシステムでは、故障の誤通知を避けるため、RC フィルタを追加することを推奨します。デバイスが t_{OCLEB} を抜けた後、OCP ピンの電圧が V_{OCTH} を上回っている場合は、t_{OC2OUT} 後に OUT が Low になり、t_{OC2FLT} 後に EN/$\overline{FLT}$ が Low にプルダウンされます。OCP ピンの電圧が V_{OCTL} を上回ると、EN/$\overline{FLT}$ はプルアップされ、次の入力立ち上がりエッジまで OUT は Low に維持されます。

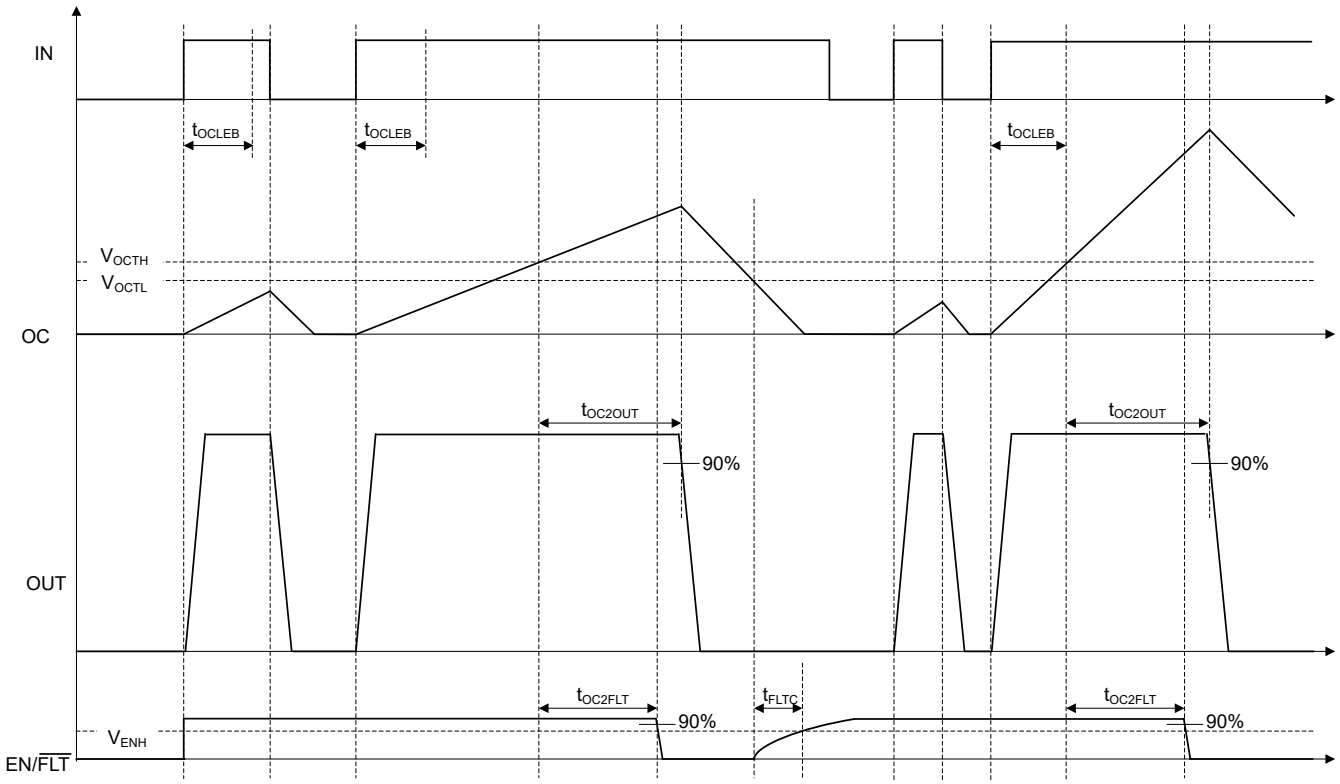


図 6-4. OC 保護のタイミング図

6.3.5 サーマル シャットダウン

UCC5713x-Q1 デバイスは、内部温度がスレッショルドを超えたときにドライバを保護できるサーマル シャットダウン機能を備えています。ドライバが過熱スレッショルドを超えると、$t_{OTP2FLT}$ の伝搬遅延後に EN/$\overline{FLT}$ ピンが Low にプルダウンされます。温度がスレッショルドを下回ると、t_{FLTC} の後にデバイスは再びアクティブになります。

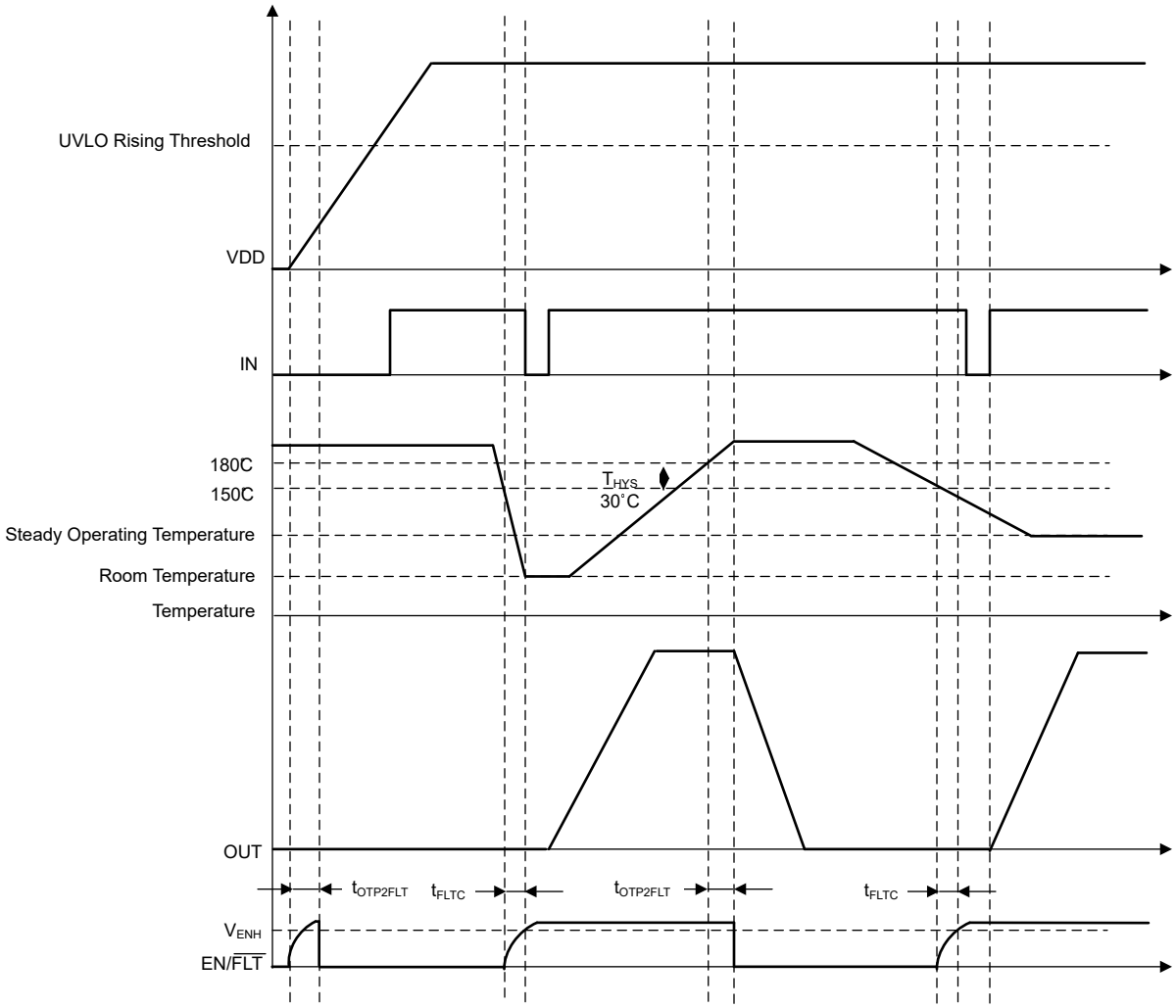


図 6-5. サーマル シャットダウンのタイミング図

6.4 デバイスの機能モード

UCC5713x-Q1 デバイスは、通常モードと UVLO モードで動作します (UVLO の動作については、セクション 7.2.1.2.1 セクションを参照)。通常モードにおいて、以下の表は、デバイスと入力ピンのさまざまな状態における出力状態を示しています。

表 6-1. UCC5713xB-Q1 真理値表

IN	EN/FLT	OCP(1)	UVLO(2)	内部 TSD(3)	OUT
H	H	L	L	L	H
L	H	L	L	L	L
任意	L	H	任意	任意	L
任意	L	任意	H	任意	L
任意	L	任意	任意	H	L

表 6-2. UCC5713xC-Q1 真理値表

IN	EN/FLT	OCP(1)	UVLO (2)	内部 TSD(3)	OUTH	OUTL
H	H	L	L	L	H	ハイ インピーダンス
L	H	L	L	L	ハイ インピーダンス	L

Copyright © 2026 Texas Instruments Incorporated

表 6-2. UCC5713xC-Q1 真理値表 (続き)

IN	EN/FLT	OCP(1)	UVLO (2)	内部 TSD(3)	OUTH	OUTL
任意	L	H	任意	任意	ハイ インピーダンス	L
任意	L	任意	H	任意	ハイ インピーダンス	L
任意	L	任意	任意	H	ハイ インピーダンス	L

(1) H は、過電流保護がトリガされたことを表します。
(2) H は、UVLO 保護がトリガされたことを表します。
(3) H は、サーマル シャットダウン保護がトリガされたことを表します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

大電流ゲートドライバ デバイスは、さまざまな理由から、スイッチング電源アプリケーションで必要になります。パワー デバイスの高速スイッチングを可能にし、それに伴うスイッチング電力損失を低減するには、コントローラまたは信号絶縁デバイスの PWM 出力とパワー半導体デバイスのゲートとの間に、強力なゲートドライバを使用します。さらに、PWM コントローラがスイッチング デバイスのゲートを直接駆動できない場合、ゲートドライバが不可欠です。この状況はよく発生します。デジタル コントローラや信号絶縁デバイスからの PWM 信号は、多くの場合 3.3V または 5V のロジック信号であり、パワー スイッチを効果的にターンオンできないためです。パワー デバイスを完全にターンオンして導通損失を最小限に抑えるには、ロジック レベルの信号をゲート駆動電圧まで昇圧するレベル シフト回路が必要です。エミッタ フォロワ構成のトーテムポール配置の NPN/PNP バイポーラ トランジスタ (または P および N チャネル MOSFET) をベースとする従来のバッファ駆動回路は、レベル シフト機能と低駆動電圧保護機能がないため、この用途には不十分です。ゲート ドライバは、レベル シフト機能、バッファ ドライブ機能および UVLO 機能の両方を効果的に組み合わせています。また、ゲート ドライバには、大電流ドライバを物理的にパワー スイッチの近くに配置することによりスイッチング ノイズの影響を最小化する、ゲート ドライブ トランスを駆動する、フローティング パワー デバイスのゲートを制御する、ゲート電荷の電力損失をドライバ自体に移動することによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

UCC5713x-Q1 は、強力な駆動電流能力と、UVLO ～ 26V の広い推奨電源電圧範囲を備えているため、この用途において非常に柔軟に使用できます。これにより、このドライバは、5V バイアス ロジック レベルの超高周波 MOSFET アプリケーション、12V MOSFET アプリケーション、20V および –5V (ソース基準) の SiC FET アプリケーション、15V および –8V (エミッタ基準) の IGBT アプリケーションなど、さまざまな用途に使用できます。

これらの要件に加え、伝搬遅延が小さいこと、熱特性に優れた小型・低インダクタンスのパッケージで提供されることも求められます。このため、UCC5713x-Q1 などのゲート ドライバ デバイスは、高性能、低コスト、部品点数の削減、基板面積の縮小、システム設計の簡素化といった利点を兼ね備えた、スイッチング電源において非常に重要な部品となっています。

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 MOSFET / IGBT / SiC MOSFET の駆動

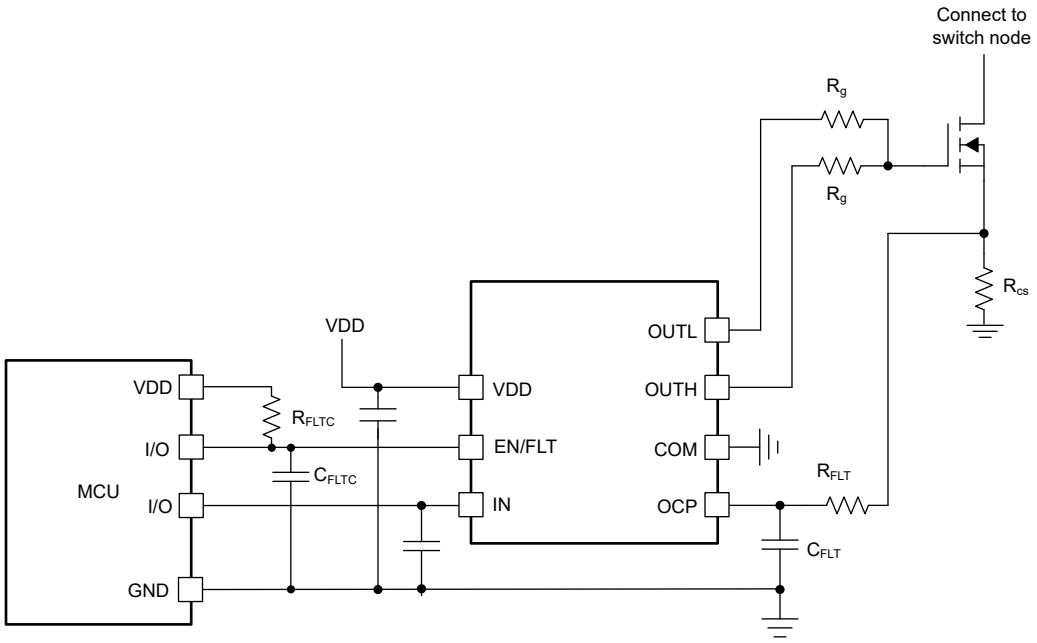


図 7-1. MOSFET/IGBT/SiC MOSFET の駆動

7.2.1.1 設計要件

最終アプリケーション向けにゲートドライバ デバイスを選択する際は、最適な選択ができるよう、いくつかの設計上の考慮事項を評価します。最終アプリケーション向けにゲートドライバ デバイスを選択する際に使用する必要がある設計パラメータの一部を、以下に示します:

- 入出力構成
- 入力スレッショルドのタイプ
- バイアス電源電圧レベル
- ソースおよびシンクのピーク電流
- 独立したイネーブルおよびディスエーブル機能が使用可能
- 伝搬遅延
- 消費電力
- パッケージ タイプ

表 7-1 の設計パラメータと要件例を参照してください。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入出力間ロジック	非反転
入力スレッショルドのタイプ	TTL
バイアス電源電圧レベル	+18V
負の出力 Low 電圧	該当なし
イネーブル機能	あり
ディスエーブル機能	該当なし
伝搬遅延	<30ns
消費電力	<1W

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 設計パラメータ (続き)

設計パラメータ	数値の例
パッケージ タイプ	SOIC-8

7.2.1.2 詳細な設計手順

7.2.1.2.1 VDD 低電圧誤動作防止

UCC57132-Q1 デバイスは 12V の低電圧誤動作防止スレッショルドを、UCC57138-Q1 デバイスは 8V の低電圧誤動作防止スレッショルドを備えています。デバイスのヒステリシス範囲により、バイアス電源にノイズが存在することによるチャタリングを防止できます。UVLO ヒステリシスの標準値は、1V と予想されます。UVLO 機能によるドライバ出力のターンオン遅延はほとんどなく、UVLO 遅延は 2µs と予想されます。UVLO ターンオフ遅延も可能な限り最小化されています。UVLO 遅延は、VDD に現れる可能性のある非常に高速な過渡によって発生するチャタリングを最小限に抑えるように設計されています。バイアス電源が UVLO スレッショルドを下回ると、入力ピンの状態に関係なく、出力はアクティブに Low に保持されます。UVLO スレッショルドを超えた後、EN/$\overline{\text{FLT}}$ は外部プルアップ回路によって充電されます。故障クリア時間は、R_{FLTC} と C_{FLTC} の時定数によって決まります。UVLO および EN/FLT のスレッショルドがクリアされると、OUT は IN の最初の立ち上がりエッジの後に IN に追従します。

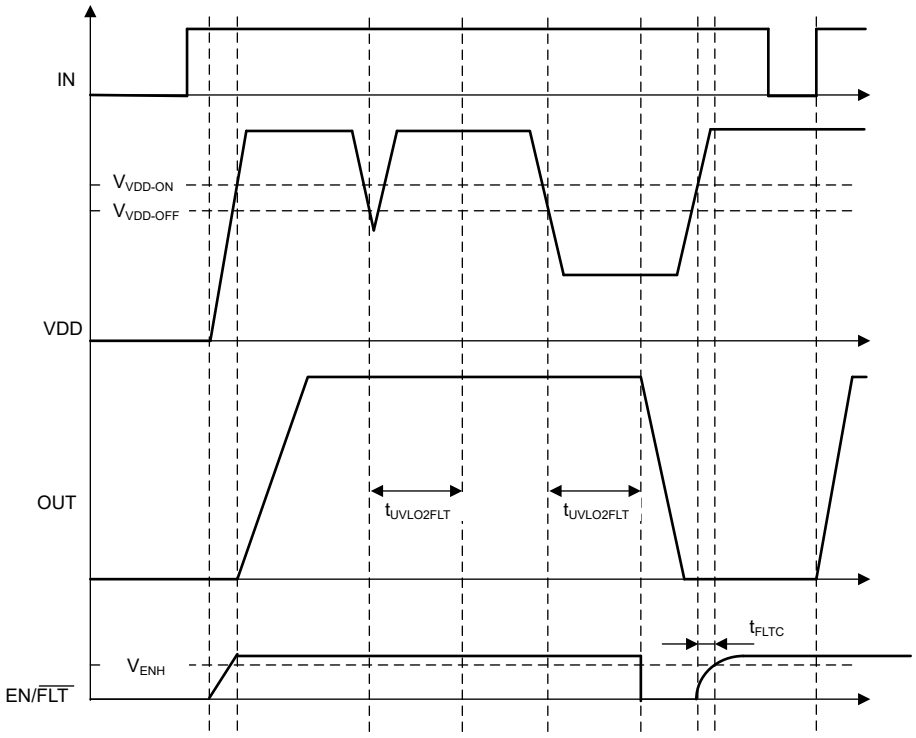


図 7-2. UVLO タイミング図

7.2.1.2.2 消費電力

ゲートドライバの消費電力は、次の式に示すように二つの部分で構成されます:

$$P_{DISS} = P_{DC} + P_{SW} \quad (2)$$

消費電力の DC 部分は次のとおりです

$$P_{DC} = I_Q \times VDD \quad (3)$$

ここで、

Copyright © 2026 Texas Instruments Incorporated

- I_Q はドライバの静止電流です

静止電流は、入力段、リファレンス電圧、ロジック回路、保護機能、さらにドライバの出力状態が変化したときの内部デバイスのスイッチングに関連する任意の電流 (寄生容量の充電と放電、寄生貫通電流など) などのすべての内部回路をバイアスするためにデバイスが消費する電流です。TUCC5713x-Q1 は、出力ドライバ段での貫通電流 (PMOS から NMOS へ、またはその逆) を最小限に抑える内部ロジックを搭載しています。したがって、P_{DC} がゲート ドライバ内の総消費電力に及ぼす影響は、無視できるレベルであると想定できます。実際には、これはドライバの出力がパワー スイッチのゲートから切り離されたときにドライバが消費する電力となります。

前のセクションで説明したように、ゲート ドライバの出力段は PMOS と NMOS に基づいています。これらの NMOS および PMOS は、NMOS および PMOS がスイッチング時に非常に低い抵抗を示し、そのためドロップアウトが非常に小さくなるように設計されています。スイッチング (P_{SW}) 時にゲート ドライバ パッケージで消費される電力は、以下の要因によって決まります。

- 電源デバイスに必要なゲート電荷 (通常は駆動電圧 V_G の関数で、低い V_{Ox} ドロップアウトにより、入力バイアス電源電圧 VDD に非常に近い値)
- スイッチング周波数
- パワー MOSFET の内部および外部ゲート抵抗

ディスクリートの容量性負荷を使用してドライバ デバイスをテストする場合、バイアス電源から必要とされる電力を計算するのはかなりシンプルなことです。バイアス電源からコンデンサを充電するために転送する必要があるエネルギーは、以下で求められます。

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (4)$$

ここで、

- C_{LOAD} は負荷コンデンサです。
- V_{DD} はドライバに供給されるバイアス電圧です。

コンデンサの放電時には、等しい量のエネルギーが消費されます。ターンオフ時、コンデンサに蓄積されたエネルギーはドライブ回路ですべて消費されます。これにより、スイッチング サイクル中の総電力損失は、次の式で求められます。

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} \quad (5)$$

ここで、

- f_{SW} はスイッチング周波数です

パワー FET と IGBT で生成されるスイッチング負荷は、デバイスのスイッチングに必要なゲート電荷を調べることにより、等価容量に変換できます。このゲート電荷には、入力静電容量の影響と、オン状態とオフ状態を切り替えるパワー デバイスのドレイン電圧をスイングさせるために必要な追加電荷が含まれます。ほとんどのメーカーは、規定の条件でデバイスをスイッチングするのに必要なゲート電荷の標準値と最大値を、nC 単位で仕様として提供しています。ゲート電荷 Q_g を使用することで、コンデンサの充電時に消費される必要のある電力を決定できます。これは、式 6 の等価式を使用して、電力の式 7 を求めることで行います:

$$Q_g = C_{LOAD} V_{DD} \quad (6)$$

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} = Q_g V_{DD} f_{sw} \quad (7)$$

この電力 P_G は、MOSFET と IGBT がオンまたはオフになるときに、回路の抵抗性素子で消費されます。総電力の半分はターンオン時に負荷コンデンサが充電されるときに消費され、残りの半分はターンオフ時に負荷コンデンサが放電されるときに消費されます。ドライバ IC と MOSFET/IGBT の間に外部ゲート抵抗が取り付けられていない場合、この電力はドライバ IC 内で完全に消費されます。外部ゲート ドライブ抵抗を使用すると、抵抗の比率に応じて、ドライバの内部抵抗と外部ゲート抵抗との間で消費電力が共有されます (より高い抵抗の部品で消費される電力がより大きい)。この簡略化され

Copyright © 2026 Texas Instruments Incorporated

た解析に基づき、スイッチング中のドライバの消費電力は式 8 に示すように計算されます。これは主に、ゲート ドライバのピーク電流を制限するために、外部ゲート抵抗の合計が非常に大きいアプリケーションに適用されます。

$$P_{SW} = 0.5 \times Q_g \times V_{DD} \times f_{sw} \left(\frac{R_{OFF}}{(R_{OFF} + R_{GATE})} + \frac{R_{ON}}{(R_{ON} + R_{GATE})} \right) \quad (8)$$

ここで、

- $R_{OFF} = R_{OL}$ および R_{ON} (プルアップ構造の実効抵抗)

7.2.1.3 アプリケーション曲線

以下の図は、1nF のコンデンサ負荷を使用する UCC5713x-Q1 デバイスの代表的なスイッチング特性を示しています。

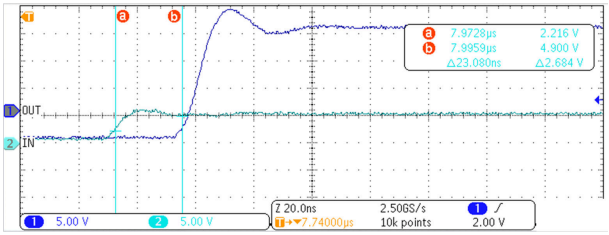


図 7-3. UCC5713x-Q1 の立ち上がり (ターンオン) 伝搬遅延

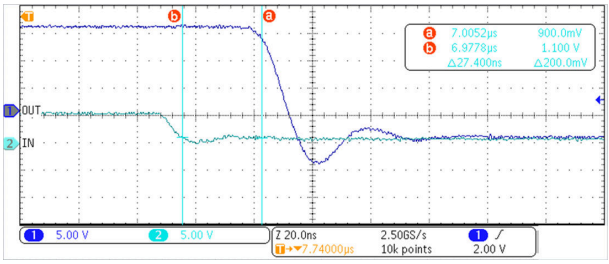


図 7-4. UCC5713x-Q1 の立ち下がり (ターンオフ) 伝搬遅延

7.3 電源に関する推奨事項

UCC5713x-Q1 デバイスの動作に推奨されるバイアス電源電圧範囲は UVLO ～ 26V です。この範囲の下限は、VDD ピンの電源回路ブロックに内蔵されている UVLO 保護機能によって制御されます。VDD ピンの電圧が $V_{(ON)}$ 電源スタート スレッショルドを下回ってドライバが UVLO 状態になると、入力の状態にかかわらず、出力が Low に保持されます。この範囲の上限は、デバイスの VDD ピンの推奨最大電圧定格である 26V によって決まります。VDD ピンの絶対最大電圧は 30V です。

UVLO 保護機能は、ヒステリシス機能も備えています。つまり、VDD ピンのバイアス電圧がスレッショルド電圧を超えてデバイスが動作を開始した後に電圧が低下すると、電圧降下がヒステリシス仕様を超えない限り、デバイスは通常の動作を継続します。したがって、UVLO またはそれに近い電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルをデバイスのヒステリシス仕様値よりも小さくすることが重要です。

システムのシャットダウン中は、デバイスの動作は VDD ピンの電圧が VDD UVLO の立ち下がりスレッショルドを下回るまで継続されます。これを考慮して、システムのシャットダウンのタイミング設計要件を評価する必要があります。同様に、システムのスタートアップ時には、VDD ピンの電圧が VDD UVLO の立ち上がりスレッショルドを超えるまで、デバイスは動作を開始しません。デバイスの内部回路ブロックで消費される静止電流は、VDD ピンから供給されます。この事実はよく知られていますが、OUT ピンから供給されるソース電流パルスの電荷も同じ VDD ピンを通して供給されることを把握しておくことが重要です。その結果、電流が出力ピン (OUT) からソースされるたびに、対応する電流パルスが VDD ピン経由でデバイスに供給されます。そのため、デカップリングの目的で、VDD ピンと COM ピンの間にローカル バイパス コンデンサを配置し、デバイスにできる限り近づけて配置してください。低 ESR の表面実装型セラミック コンデンサが必要です。TI では、デバイスの VDD ピンから 1mm 未満に配置された 100nF セラミック表面実装型コンデンサと、数マイクロファラッドを並列に追加したセラミック表面実装型コンデンサの 2 つのコンデンサを使用することを推奨します。同様に、UCC5713xB-Q1 の VEE ピンには、100nF と 1µF のコンデンサを推奨します。

ゲート ドライバを MOSFET などのスイッチング電源デバイスから離して配置すると、大きな誘導性ループが形成される恐れがあります。大きな誘導性ループは、ゲート ドライバの任意の全ピンで過剰なリンギングを発生させる恐れがあります。これにより、デバイスの推奨定格を超えるストレスが加わる可能性があります。そのため、ゲート ドライバをスイッチング電

Copyright © 2026 Texas Instruments Incorporated

源デバイスのできるだけ近くに配置することを推奨します。また、外部ゲート抵抗を使用して、大きいスイッチング電流と基板の寄生素子に起因するリンギングを減衰させることも推奨します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

適切なデバイス動作と設計の堅牢性を実現するために、大電流、高速スイッチング回路では適切な PCB レイアウトが非常に重要です。TUCC5713x-Q1 ゲート ドライバは、短い伝搬遅延と強力な出力段を内蔵しており、パワー スイッチのゲートにおける立ち上がり / 立ち下がり時間が非常に高速で大きな電流ピークを供給できるため、電圧遷移を非常に迅速に実現できます。パターンの長さとインピーダンスを十分制御できていない場合、di/dt が非常に高いと許容不可能なリンギングが発生することがあります。これらの高速ドライバを使用して設計する際は、以下の回路レイアウト ガイドラインを推奨します。

- ドライバの出力ピンとパワー スイッチ デバイスのゲート間の大電流パターン長を最小限に抑えるため、ドライバ デバイスをパワー デバイスのできるだけ近くに配置します。
- パターン長を最小限に抑え、ノイズ フィルタリングを向上させるため、VDD ピンと COM ピンとの間のバイパス コンデンサをドライバ ピンのできるだけ近くに配置します。TI では、デバイスの VDD ピンから 1mm 未満に配置された 100nF セラミック表面実装型コンデンサと、数マイクロファラッドを並列に追加したセラミック表面実装型コンデンサの 2 つのコンデンサを使用することを推奨します。これらのコンデンサは、パワー スイッチのターンオン時に VDD から引き出される大きなピーク電流に対応します。チップ コンデンサなど、低インダクタンスの表面実装部品を使用することを強く推奨します。
- 浮遊インダクタンスを最小限に抑えるため、ターンオンおよびターンオフの電流ループ パス (ドライバ デバイス、パワー スイッチ、VDD バイパス コンデンサ) は可能な限り短くする必要があります。これらのループでは、ターンオン過渡時とターンオフ過渡時の二つの場面で高い di/dt が発生し、ドライバ デバイスの出力ピンとパワー スイッチのゲートに大きな電圧過渡が誘発されます。
- 可能な限り、電流ループのソース パターンとリターン パターンを並列にし、磁束の打ち消しを利用します
- 出力信号や入力信号など、複数の電源パターンと信号パターンを分けてください。
- スイッチ ノードの過渡現象とリンギングを最小限に抑えるため、パワー デバイスにゲート抵抗やスナバの追加が必要な場合があります。これらの対策により、EMI も低減できます。
- スターポイントのグランド接続は、ある電流ループから別の電流ループへのノイズ結合を最小限に抑える適切な方法です。ドライバの COM は、パワー スイッチのソースや PWM コントローラのグランドなど、ほかの回路ノードと一点で接続する必要があります。接続されたパスはインダクタンス低減のためできるだけ短くし、抵抗の低減のためできるだけ幅を広くする必要があります。
- ノイズ シールドを実現するために、グランド プレーンを使用します。OUT ピンの立ち上がり時間と立ち下がり時間が短いと、遷移中に入力信号が乱れる可能性があります。グランド プレーンを電流ループの導通パスにしないでください。代わりに、グランド プレーンは一本の配線でスターポイントに接続し、グランド電位を確立する必要があります。ノイズ シールドに加えて、グランド プレーンは消費電力の削減にも役立ちます。
- OCP フィルタ コンデンサはドライバの OCP ピンにできるだけ近づけて配置します。また、電流センス ループを最小限に抑えると、ノイズ耐性の向上にも役立ちます。寄生インダクタンスを低減するため、センス抵抗は IGBT のエミッタまたは MOSFET のソースの近くに配置する必要があります。センス抵抗には低 ESL フィルム抵抗を推奨します。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

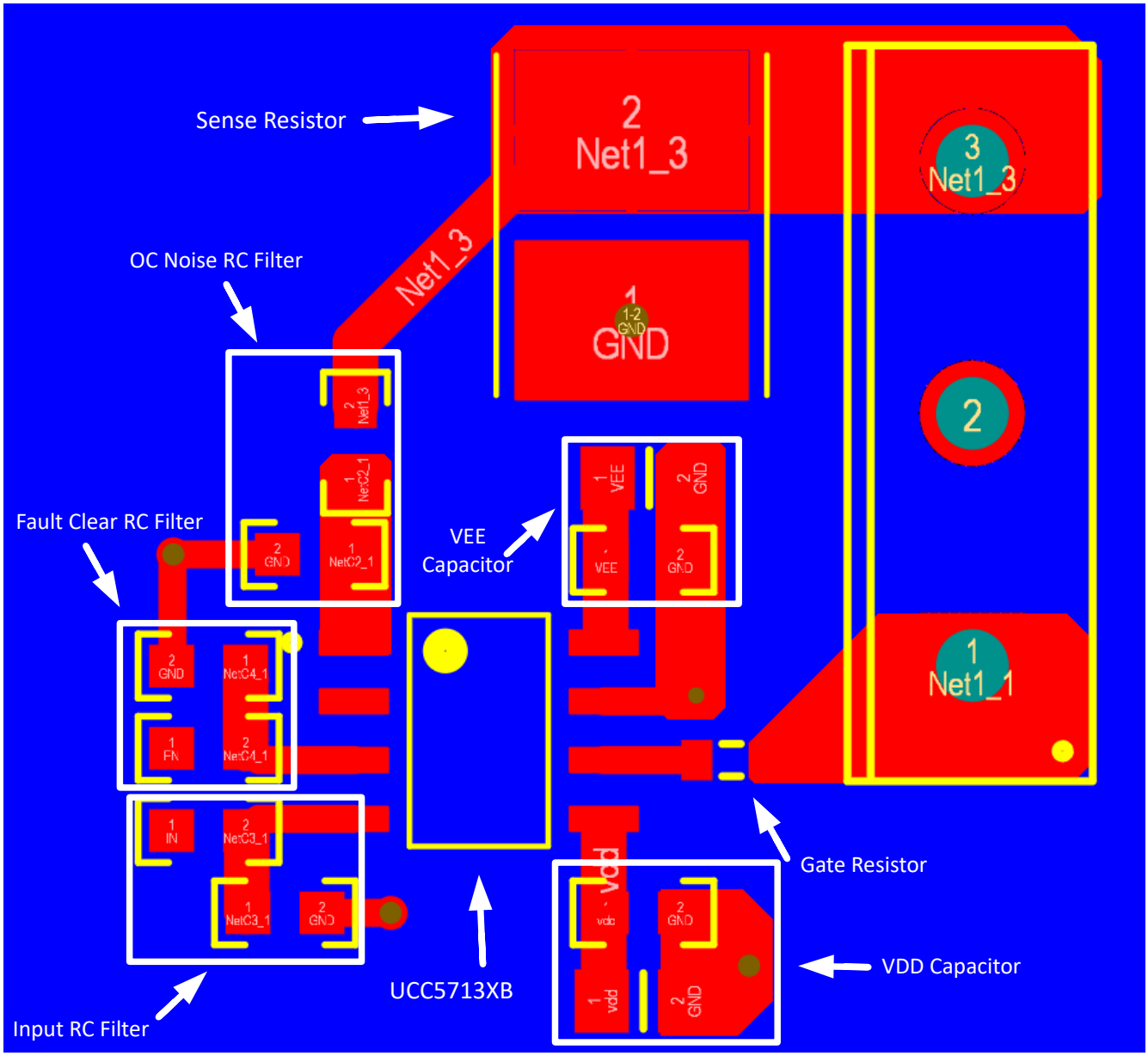


図 7-5. レイアウト例：UCC5713x-Q1D

7.4.3 熱に関する注意事項

ドライバの有効範囲は、負荷の駆動電力要件とパッケージの熱特性に大きく影響されます。ゲート ドライバを特定の温度範囲で有効に使用するには、接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去できるパッケージである必要があります。ドライバ パッケージの熱評価基準は、データシートの「熱特性」セクションにまとめられています。従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2025) to Revision A (October 2026)	Page
• 編集上の修正に伴いドキュメントを更新	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC57132BQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U132BQ
UCC57138CQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U138CQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC57132-Q1, UCC57138-Q1 :

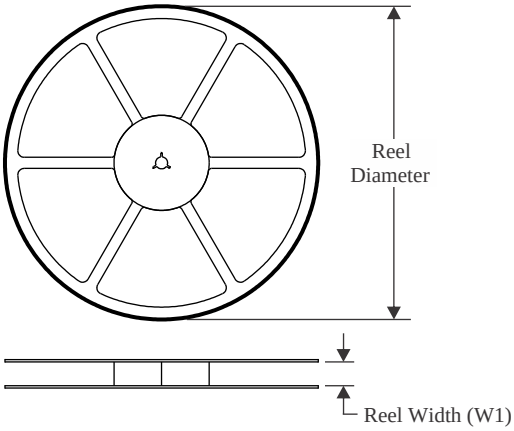
- Catalog : UCC57132, UCC57138

NOTE: Qualified Version Definitions:

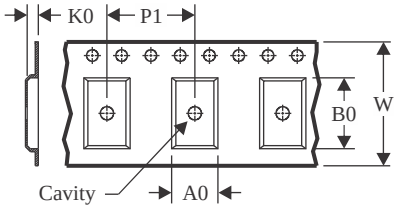
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

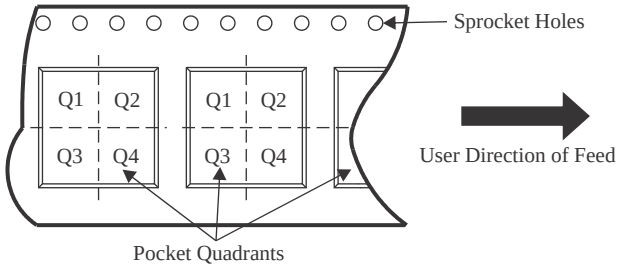


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

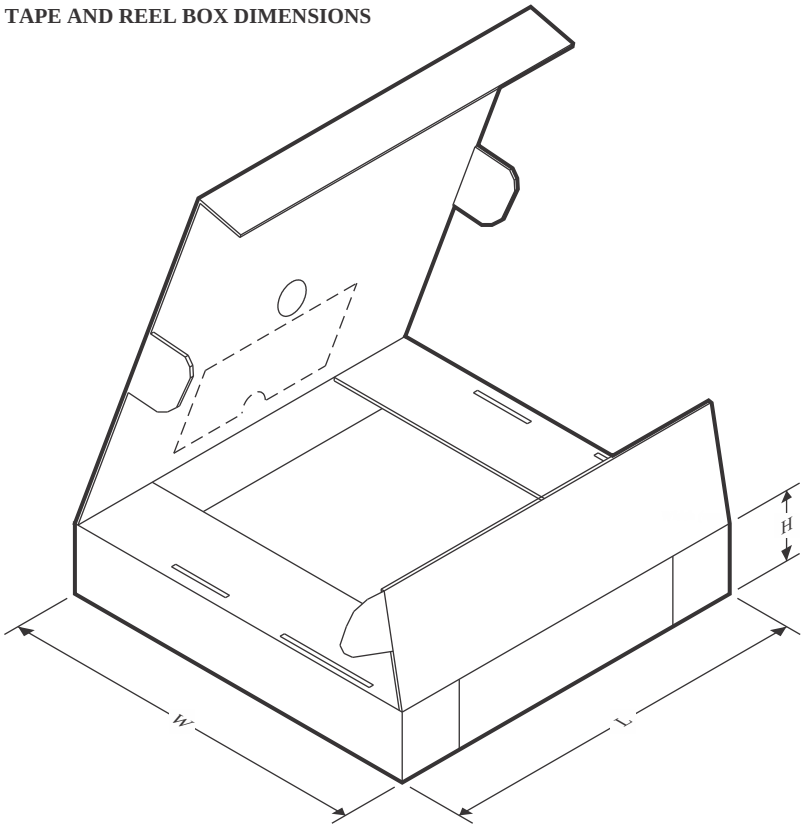
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

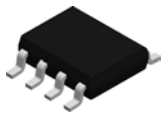
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC57132BQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
UCC57138CQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC57132BQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
UCC57138CQDRQ1	SOIC	D	8	2500	340.5	338.1	20.6

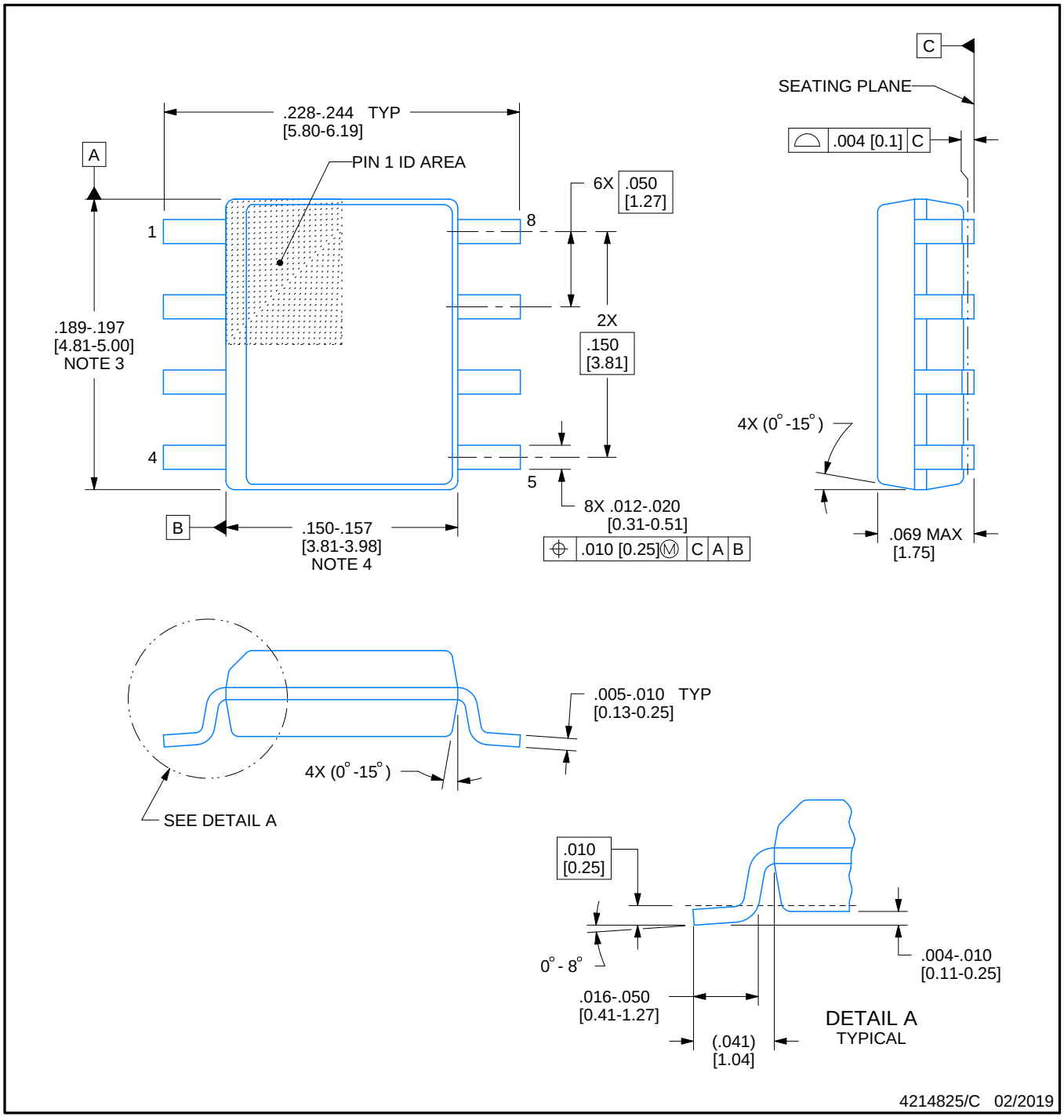


PACKAGE OUTLINE

D0008A

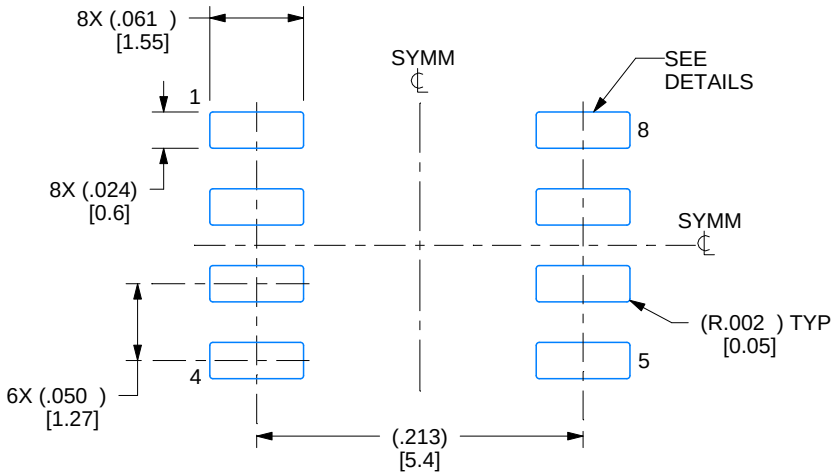
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

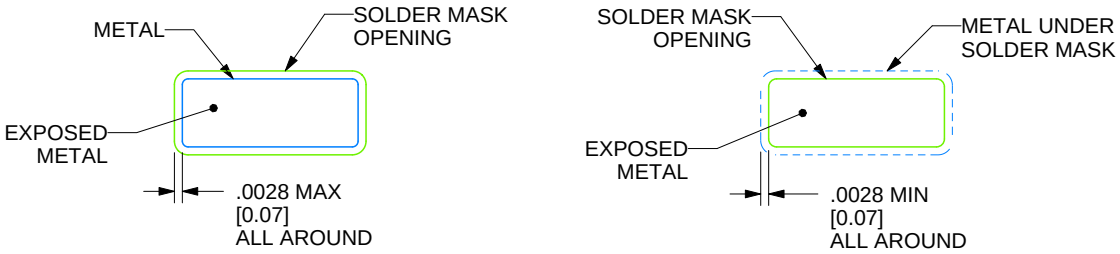


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

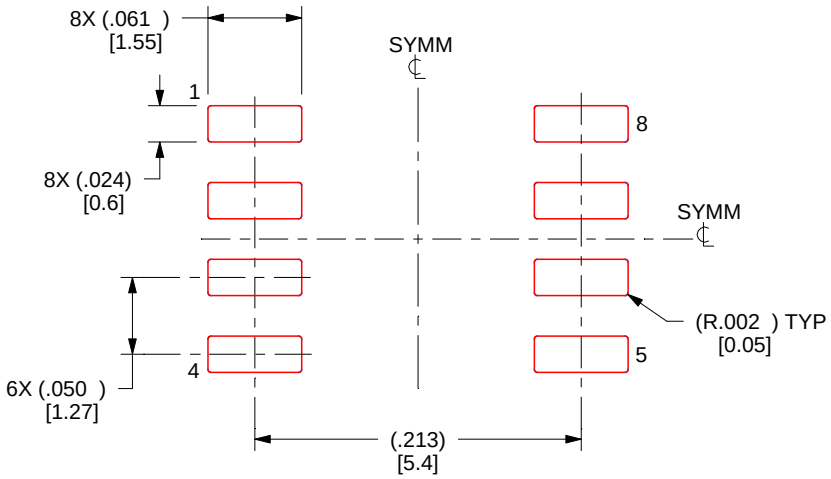
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月