GaN 内蔵、自己バイアス型高周波数 QR フライバック コンバータ UCG2883x/4x

1 特長

- 内蔵型 750V GaN HEMT
- 動的 QR/DCM/CCM 動作モード
- 高電力密度:最大 500kHz のスイッチング周波数で動作
- 統合により BOM コストを低減
  - 自己バイアスにより補助巻線不要
  - 入出力電圧センシング機能を内蔵
  - 統合型の電流センス機能
  - HV スタートアップ内蔵
  - X コンデンサ放電機能を内蔵
- 高い効率と低い EMI 特性
  - 超低スタンバイ消費電力:30mW 未満
  - 周波数フォールドバックおよびバースト モード
  - バレー ロック
  - 周波数ディザリング
  - 切り替え可能なスルーレート制御
- 包括的な保護機能
  - 過熱保護
  - 入力および出力過電圧保護
  - 短絡保護
  - サイクル単位の電流制限
  - LPS による 2 レベルの過電力保護
  - ブラウンインおよびブラウンアウト保護
  - オープン フィードバック保護
- 外部抵抗によるフレキシブルな構成が可能
  - X コンデンサ放電および CCM モード無効化
  - スルーレート切り替えを選択可能
  - 複数のクランプ周波数設定
  - フォルト ラッチまたは自動リスタート
  - 最大および最小ピーク電流比

2 アプリケーション

- ポータブル電子機器用 USB-PD アダプタ
- USB 壁コンセントおよびドッキング ステーション
- 産業用 DIN レール電源
- サーバ補助電源

3 説明

UCG2883x/4x は、AC - DC 電力変換用に、750V GaN 高電子移動度トランジスタ (HEMT) を内蔵し、$R_{ds\ (on)}$ が低い、高周波、準共振型フライバック コンバータです。UCG2883x/4x は、携帯電話の高速充電器やノート パソコンのアダプタなどの高電力密度用途向けに設計されています。このデバイスの主な特長は、自己バイアスおよび補助巻線レス センシング方式であり、補助巻線が不要で、より高い効率のシステム設計を簡素化できます。

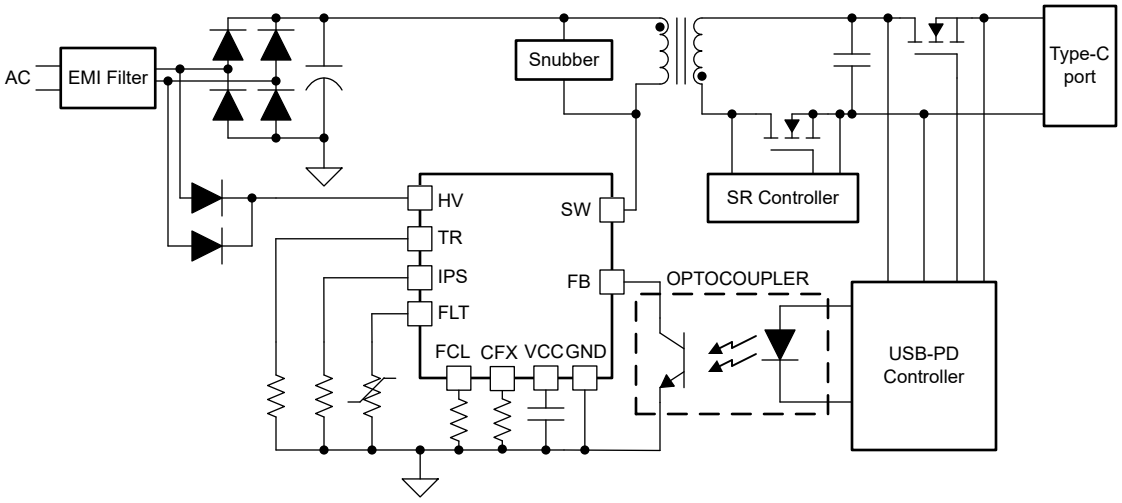
UCG2883x/4x は、また、インテリジェントなモード遷移 (CCM/QR/DCM) を備えており、広い電力範囲にわたって高効率を実現し、スタンバイ消費電力は 30mW 未満になっています。UCG2883x/4x はさらに、電圧上昇および電圧低下保護、SCP、OVP、OPP、LPS、OFB、OTP などの保護機能一式も備えています。サイクルごとの電流制限により、フォルト状態に迅速に応答することで、システムが保護され、信頼性が向上します。小型の 5mm × 5mm パッケージに収まる UCG2883x/4x には専用構成ピンがあり、より柔軟性が向上しています。各システムで特定のパラメータを調整するために必要なのは抵抗だけなので、単一のデバイスでプラットフォームの設計を実現できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
UCG28836	REZ (QFN、12)	5mm × 5mm
UCG28846	D (SOIC、16)	3.9mm × 9.9mm
UCG28838	REZ (QFN、12)	5mm × 5mm
UCG28844(3)	D (SOIC、16)	3.9mm × 9.9mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) プレビュー情報 (量産データではありません)。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



UCG2883x/4x を使用した AC/DC フライバック コンバータの概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 デバイスの比較 4
5 ピン構成および機能 5
6 仕様 7
6.1 絶対最大定格 7
6.2 ESD 定格 7
6.3 推奨動作条件 7
6.4 熱に関する情報 8
6.5 電気的特性 8
6.6 代表的特性 11
7 詳細説明 14
7.1 概要 14
7.2 機能ブロック図 15
7.3 ピンの詳細説明 15
7.4 機能説明 19
8 アプリケーションと実装 32
8.1 使用上の注意 32
8.2 代表的なアプリケーション 32
8.3 電源に関する推奨事項 36
8.4 レイアウト 36
9 デバイスおよびドキュメントのサポート 38
9.1 ドキュメントのサポート 38
9.2 ドキュメントの更新通知を受け取る方法 38
9.3 サポート・リソース 38
9.4 商標 38
9.5 静電気放電に関する注意事項 38
9.6 用語集 38
10 改訂履歴 38
11 メカニカル、パッケージ、および注文情報 39

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

型番	パッケージ	出力電力	標準値、Rdson	最大 CCM 期間
UCG28836-1REZR	QFN	65W	170mΩ	無限
UCG28838-2REZR	QFN	120W	170mΩ	無限
UCG28844-1DR (プレビュー)	QFN	45W	380mΩ	無限
UCG28846-1DR	SOIC	65W	270mΩ	無限
UCG28824	QFN	45W	270mΩ	10ms
UCG28826	QFN	65W	170mΩ	10ms
UCG28828	QFN	120W	170mΩ	10ms

表 4-2. デバイスのオプション

	UCG28836-1	UCG28846-1	UCG28838-2	UCG28844-1 (プレビュー)
パワー レベル	65W	65W	120W	45W
Rdson	170mΩ	270mΩ	170mΩ	380mΩ
OPPL	100W	無効	無効	69W
OPPH	140W	140W	190W	97W
LPS	7.5A	7.5A	無効	5.2A
OPPL タイマ	4.6s	該当なし	該当なし	4.6s
電圧低下/電圧上昇	80VAC/70VAC	80VAC/70VAC	80VAC/70VAC	80VAC/70VAC
SCP スレッショルド	4.5A	3.8A	4.5A	2.68A
出力 OVP	25V	25V	25V	25V
入力 OVP	無	無	無	無
高ライン CCM	無	無	有	無
CCM の深度	70%	70%	50%	70%
EMI ディザリング周波数	390Hz	390Hz	390Hz	390Hz
EMI ディザリング振幅	±6.25%	±6.25%	±6.25%	±6.25%
バースト モード	3 つの第 1 バレー パルス	25kHz のバースト	3 つの第 1 バレー パルス	3 つの第 1 バレー パルス
CCM での OPP/LPS のカウント	有	有	無	有

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

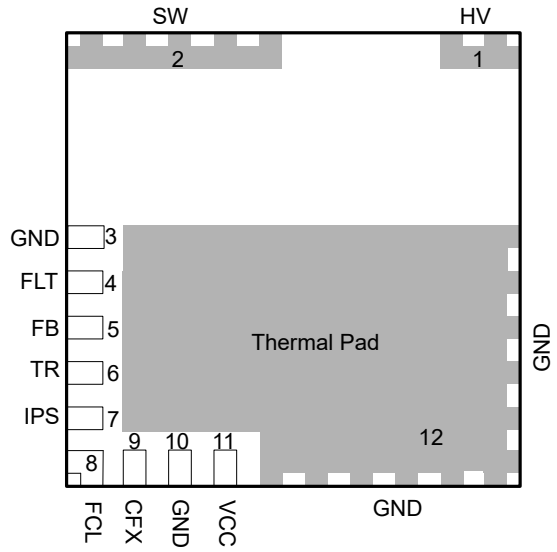


図 5-1. UCG2883x/4x の 12 ピン QFN (上面図)

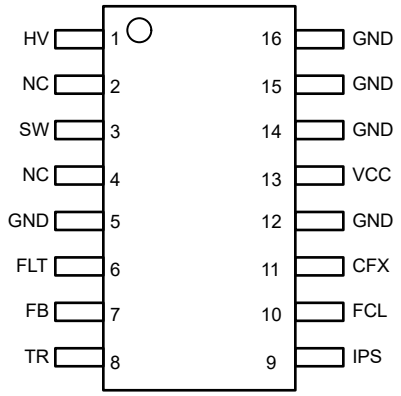


図 5-2. UCG2883x/4x の 16 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン			タイプ[1]	説明
名称	QFN 番号	SOIC 番号		
HV	1	1	P	HV 起動、AC ライン入力存在検出、X コンデンサ放電。
SW	2	3	P	内蔵高電圧 GaN HEMT のドレイン ピン。これは、バレー スイッチングおよび保護の検出ピンでもあります。
GND	3、10	5、12	G	信号グランド。電源グランドに内部接続されています。
FLT	4	6	O	外部過熱保護用のフォルト ピン。このピンから NTC を GND に接続します。
FB	5	7	I	フィードバック信号。このピンは、オプトカプラのコレクタに接続します。
TR	6	8	I	巻線比の設定。このピンと GND の間に抵抗を接続すると、トランスの巻線比 Np/Ns が設定されます。
IPS	7	9	I	ピーク電流、スイッチ ノードのスルー レート設定ピン。このピンと GND の間に抵抗を接続すると、1 次側ピーク電流の最大値と最小値、スイッチ ノード電圧スルー レートが設定されます。
FCL	8	10	I	スイッチング周波数のクランプとフォルト動作の設定。

表 5-1. ピンの機能 (続き)

ピン			タイプ[1]	説明
名称	QFN 番号	SOIC 番号		
CFX	9	11	I	CCM モード、周波数フォードバックのスレッショルド設定、X コンデンサ放電の有効化と無効化を行う多機能ピン。
VCC	11	13	P	IC バイアス電源。このピンと GND との間に外付けコンデンサ (10V 以上の定格) を接続します。コンデンサの値は 15µF ～ 47µF の範囲になります。コンデンサの値は、入力ライン サイクルが消失した場合のホールドアップ時間によって決定されます。
GND	12	14、15、16	G	電源グランド。入力バルク コンデンサのマイナス端子に接続します。PCB への効率的な熱伝導を実現するため、サーマル パッドの下に十分な銅領域を持つグランド プレーンを追加します。
NC		2、4		高電圧間隔に対する接続なし。これらのピンにはトレースを接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
$V_{HV(surge)}$	GaN HEMT のドレインソース間電圧、サージ条件			800	V
$V_{SW(tr)(surge)}$	GaN パワー HEMT 過渡ドレインソース間電圧、サージ条件(2)(4)			800	V
$V_{SW(surge)}$	GaN パワー HEMT のドレインソース間過渡電圧、各スイッチング サイクル(3)(4)			750	V
V_{SW}	GaN パワー HEMT 連続ドレインソース間電圧、FET オフ			700	V
I_{DS}	GaN パワー HEMT 連続電流、FET オン		内部的に制限		A
$I_{D(pulse)(oc)}$	過電流応答時間中のドレイン (D ～ S) パルス電流			16	A
$I_{S(cnts)}$	ソース (S ～ D) 連続電流、FET オフ			2	A
	ピン電圧	FLT、TR、IPS、FCL、CFX、FB	-0.3	5.5	V
		VCC	-0.3	6.5	
T_J	接合部温度		-40	150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 期間が 100µs 未満に制限された 1 回のイベント
(3) < 900ns で VSW (Plateau) = 600V に減衰
(4) GaN パワー HEMT スイッチング機能の詳細については、「GaN パワー FET スイッチング機能」を参照してください。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
I_{SW}	SW ピン電流、連続	内部的に制限			A
V_{VCC}	VCC 電源、自己調整	5.2		6	V
C_{VCC}	VCC ピン上のコンデンサ	15		47	µF
C_{X2}	X2 の容量	0.1		1	µF
L_{MAG}	1 次側磁化インダクタンス、UCG28836/46	130		400	µH
L_{LK}	1 次巻線リーク インダクタンス			3	%
C_{SW}	SW ピン容量 (GaN HEMT は除く)			300	pF
C_{HV}	HV ピン寄生容量		50	100	pF
T_A	周辺温度	-40		105	°C
T_J	接合部温度	-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		UCG28846 D (SOIC) 16 ピン	UCG28836/8 REZ (QFN) 12 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.9	30.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		21.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		7.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	9.7	1.7	℃/W
Y_{JB}	接合部から基板への特性パラメータ	19.3	7.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		0.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
バイアス電源						
$V_{VCCSHORT}$	VCC 起動電流を低減するスレッショルド		0.65	0.9	1.2	V
I_{HVLO}	低減された HV 起動電流	、VCC が $V_{VCCSHORT}$ に達するまで	0.55	1	1.7	mA
I_{HVHI}	最大 HV 起動電流	、VCC が $V_{VCCSHORT}$ を超えた後	2.2	4	5.66	mA
V_{VCCOFF}	VCC 低電圧誤動作防止スレッショルド	他のスレッショルドの変動を追跡	4.9	5.1	5.3	V
V_{VCC_REG}	VCC レギュレーション電圧と起動スレッショルド	他のスレッショルドの変動を追跡	5.6	5.8	6	V
V_{VCC_CHG}	VCC 充電トリガ スレッショルド	V_{VCC_REG} まで VCC 充電をトリガ	5.4	5.6		V
I_{VCC}	動作電源電流	スイッチングなし	500	700	900	µA
$I_{VCCSLEEP}$	バースト モードの電源電流	スイッチングなし	250	280	325	µA
$I_{VCCFAULT}$	保護がトリガされたときの供給電流		200	250	300	µA
GAN パワー トランジスタ						
R_{DSON}	ドレインソース間オン抵抗	T_J = 25°C、UCG28836/38、I_{DS} =1.5A		170	220	mΩ
R_{DSON}	ドレインソース間オン抵抗	T_J = 25°C、UCG28846、I_{DS} = 1.5A		270	351	mΩ
R_{DSON}	ドレインソース間オン抵抗	T_J = 25°C、UCG28844、I_{DS} = 1.5A		380	492	mΩ
C_{OSS}	出力容量	V_{SW} = 400V、UCG28836/38		40		pF
C_{OSS}	出力容量	V_{SW} = 400V、UCG28846		25		pF
C_{OSS}	出力容量	V_{SW} = 400V、UCG28844		18		pF
GAN ゲートドライバ						
	ターンオン dV/dt	SW ノードの場合、V_{DS} = 325V、オプション 2		7		V/ns
	ターンオン dV/dt	SW ノードの場合、V_{DS} = 325V、オプション 3		5		V/ns
ピーク電流制御						
I_{PKMAX}	最大ピーク電流、UCG28844	オプション 1	1.84	1.94	2.04	A
I_{PKMAX}	最大ピーク電流、UCG28844	オプション 2	2.04	2.15	2.25	A
I_{PKMAX}	最大ピーク電流、UCG28844	オプション 3	2.30	2.42	2.54	A
I_{PKMAX}	最大ピーク電流、UCG28836/38/46	オプション 1	2.66	2.8	2.94	A
		オプション 2	2.95	3.1	3.26	
		オプション 3	3.33	3.5	3.68	

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{PKMAX}/ I_{PKMIN}	最大値と最小値のピーク電流比	オプション 1	3.92	4	4.08	
		オプション 2	2.94	3	3.06	
T_{SS}	ソフト スタート時間			4		ms
フィードバック制御						
R_{FB}	FB プルアップ抵抗			60		kΩ
V_{FBOPEN}	オープン FB ピン電圧		4.5	4.75	5	V
V_{BST_OFF}	バーストオフ スレッショルド	ターンオフ スイッチング		250		mV
V_{BST_ON}	バーストオン スレッショルド	バースト スイッチング再開		300		mV
V_{BST_EX}	バースト モード終了スレッショルド	周波数フォールドバックに移行、オプション 1、VIN = 255VDC		583		mV
$f_{MIN, CLAMP}$	最小周波数クランプ	通常動作中	23	25		kHz
		ソフト スタート中		10		
T_{SWMAX}	最大期間			40	43	µs
T_{ONMAX}	最大オン時間			30		µs
$f_{MAX, CLAMP}$	周波数クランプ	オプション 1		140		kHz
$f_{MAX, CLAMP}$	周波数クランプ	オプション 2		100		kHz
$f_{MAX, CLAMP}$	周波数クランプ	オプション 3		250		kHz
$f_{MAX, CLAMP}$	周波数クランプ	オプション 4		500		kHz
T_{DDCM}	DCM リング固定タイマ	最後に見られた DCM リング バレー		3.75		µs
EMI ディザリング						
$f_{carrier}$	キャリア周波数			390		Hz
$I_{Dither, max}$	キャリア振幅	瞬間的ピーク電流の %		±6.25		%
保護						
V_{TH_BI}	ブラウンイン スレッショルド		106	112	118	V
V_{TH_BO}	ブラウンアウト スレッショルド		93	98	103	V
T_{DBO}	ブラウンアウト遅延時間			60		ms
I_{FLT}	FLT ピン ソース電流			75		µA
V_{TH_OTP}	FLT スレッショルド電圧	外部過熱フォルトをトリガ	0.59	0.6	0.61	V
	時間通りの I_{FLT}			260		µs
	I_{FLT} 期間			10		ms
	外部 TSD サイクル数	フォルトがトリガされるまで		3		
R_{SW}	SW ピンのインピーダンス		8.2	9.5		MΩ
V_{OVP}	OVP 検出スレッショルド	V_{OUT} スレッショルド(1)	23	25	27	V
	内部過熱保護シャットダウン スレッショルド	温度上昇		150		°C
	内部過熱保護ヒステリシス	温度低下		12		°C
T_{RETRY}	自動再試行時間			1		s
V_{OFB}	オープン FB 保護スレッショルド			3.6		V
P_{OPPH}	過電力保護スレッショルド、UCG28836/46	120ms 後にトリガ	125	140	160	W
P_{OPPH}	過電力保護スレッショルド、UCG28838	120ms 後にトリガ	169	190	216	W

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_{OPPH}	過電力保護スレッショルド、UCG28844	120ms 後にトリガ	87	97.5	111	W
P_{OPPL}	過電力保護スレッショルド、UCG28836/46	4.6s 後にトリガ	89	100	114	W
	過電力保護スレッショルド、UCG28844	4.6s 後にトリガ、入力換算、67W で回復	61	69	75	W
I_{LPS}	LPS フォルト出力電流スレッショルド、UCG28836/46	入力換算、4.6s 後にトリガ	6.3	7.5	8.65	A
I_{LPS}	LPS フォルト出力電流スレッショルド、UCG28844	入力換算、4.6s 後にトリガ	4.4	5.2	6	A
I_{SCP}	短絡保護、	1 次側電流スレッショルド、UCG28844		2.68		A
I_{SCP}	短絡保護機能	1 次側電流スレッショルド、UCG28836/38		4.5		A
I_{SCP}	短絡保護、	1 次側電流スレッショルド、UCG28846		3.8		A
N_{SCP}	短絡保護機能	サイクル数		3		
t_{SCP}	短絡応答時間			140		ns
X コンデンサの放電						
I_{ACDET}	ライン除去検出電流	HV ピンからの電流シンク	1.5	2	2.5	mA
I_{XDIS}	X コンデンサの放電電流		3.8	5	6.2	mA
T_{XDIS}	X コンデンサの放電時間	C_{XCAP} = 1µF			1	s

(1) 20V 出力とトランスの巻線比は TR ピン プログラムと同じであると想定

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性

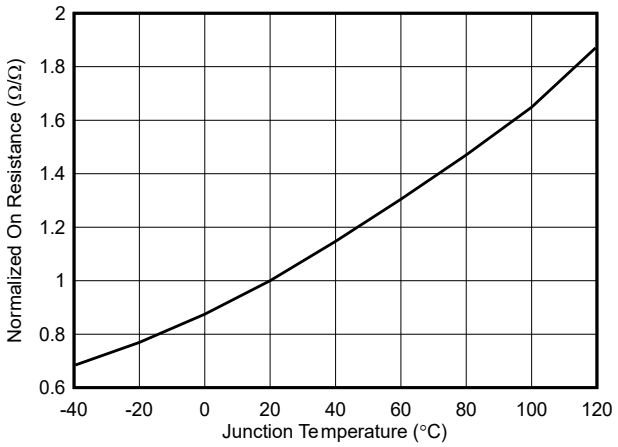


図 6-1. 接合部温度と正規化オン抵抗との関係

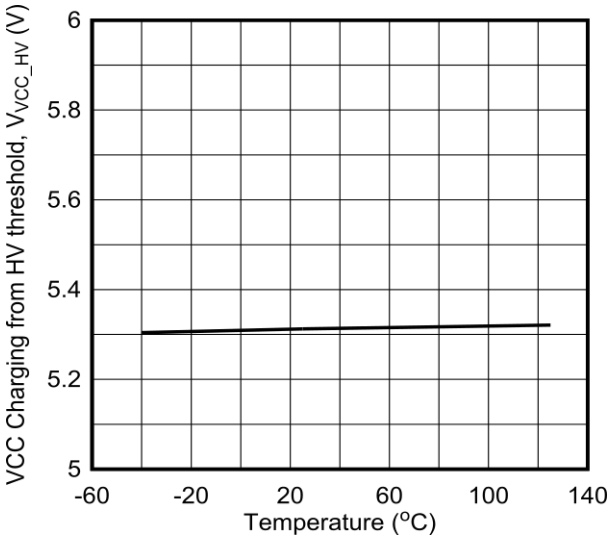


図 6-2. HV ピンからの充電における VCC スレッショルド対接合部温度

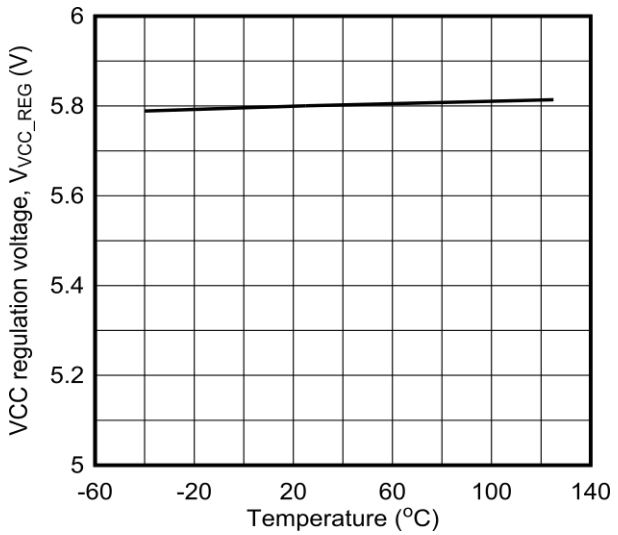


図 6-3. VCC レギュレーション電圧と接合部温度との関係

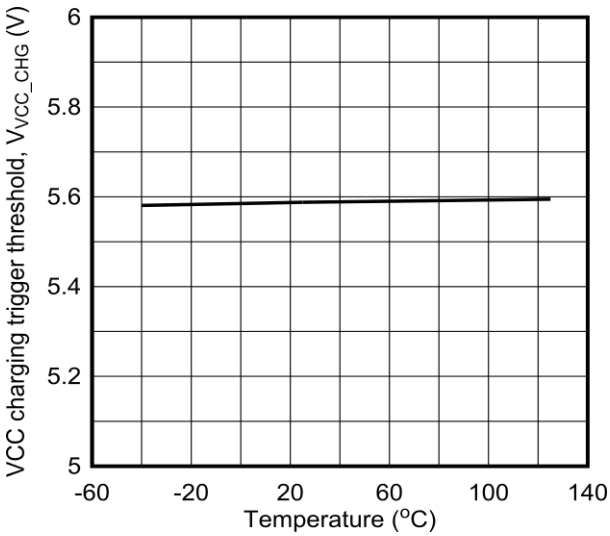
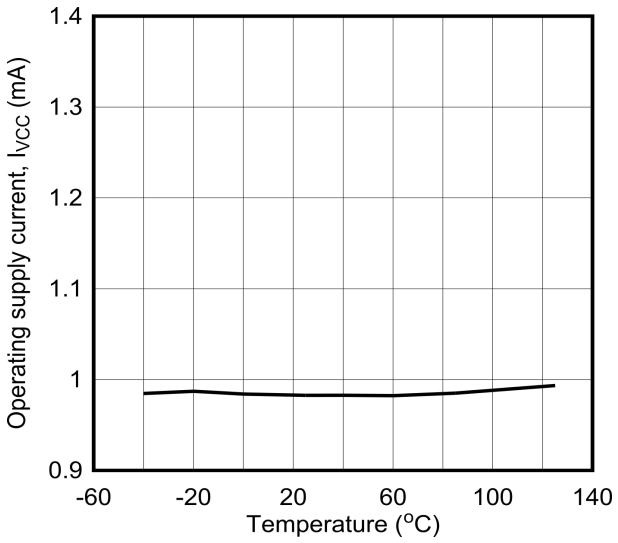


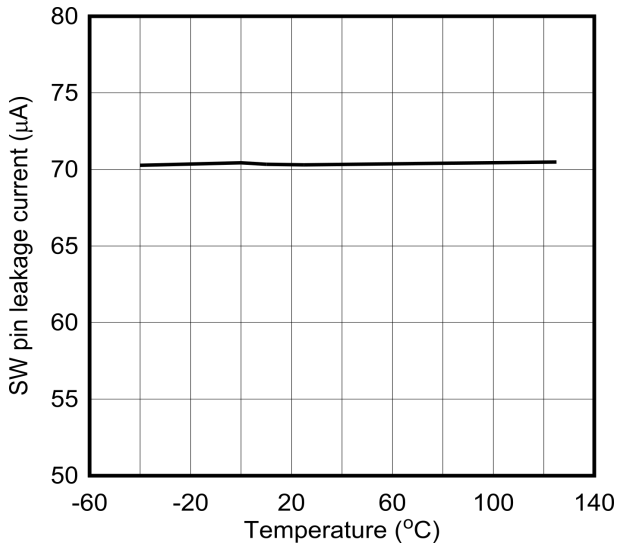
図 6-4. VCC 充電トリガ電圧と接合部温度との関係

6.6 代表的特性 (続き)



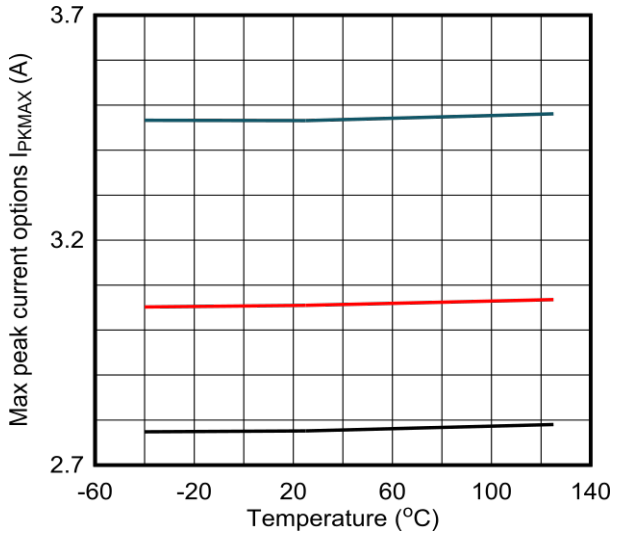
100KHz のスイッチング周波数

図 6-5. 動作供給電流と接合部温度との関係



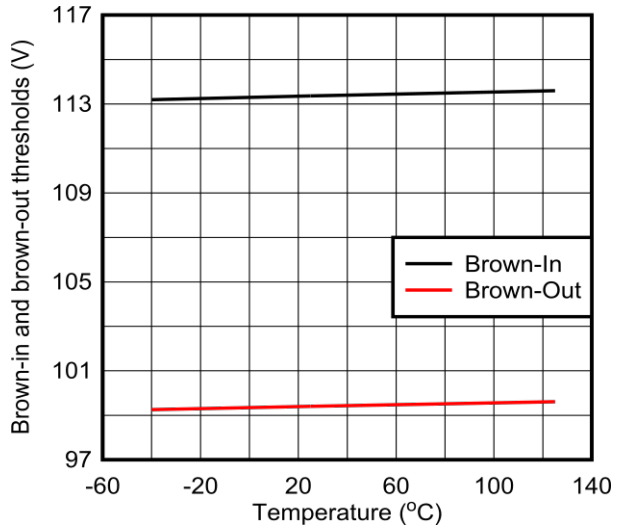
V_{SW} = 650V

図 6-6. SW ピンのリーク電流と接合部温度との関係



2.8A、3.1A、3.5A を中心としたピーク電流オプション

図 6-7. 最大 1 次側ピーク電流と接合部温度との関係

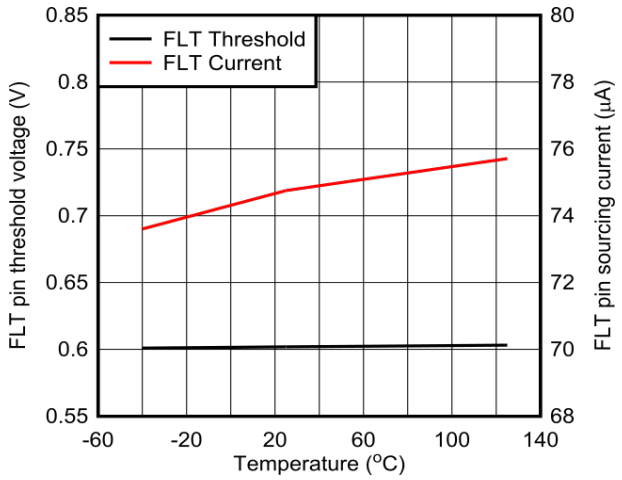


112VDC と 98VDC を中心としたブラウンインとブラウンアウトのスレッショルド

図 6-8. ブラウンイン / アウトのスレッショルドと接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)



0.6V と 75µA を中心とするそれぞれの電圧値と電流値

図 6-9. FLT ピンの電圧および電流と接合部温度との関係

7 詳細説明

7.1 概要

UCG2883x/4x は、最大 120W の AC/DC 電源で使用するように設計された 750V 1 次側 GaN HEMT (高電子移動度トランジスタ) (GaN HEMT) を内蔵した高周波疑似共振 (QR) AC/DC フライバック コンバータです。このデバイスは、GaN の統合によって、最大 500kHz の高いスイッチング周波数で高い電力密度を実現します。

UCG2883x/4x は、業界初の自己バイアス機能を搭載した補助フライバック アーキテクチャを採用しており、トランス内の補助巻線を必要とせずに、小型で低コストの電源設計を実現できます。自己バイアス機能により、低ドロップアウト レギュレータ (LDO) や関連する損失を排除してデバイス バイアスを生成することにより、USB-PD チャージャのような広い出力電圧範囲のアプリケーションで損失を低減し、効率を向上させることができます。

UCG2883x/4x は、低ライン入力条件下で、トランス サイズを拡大することなく、公称出力 の 2 倍以上の一時的な出力電力条件において、連続伝導モード (CCM) 動作をサポートし、スペースとコストを節約します。このデバイスには、軽負荷および無負荷状況での動作効率を向上させるため、それぞれ周波数フォールドバック モードとバースト モードも搭載されています。X コンデンサ放電回路は、入力 EMI フィルタの X コンデンサを 1 秒以内にまで放電して、コンセントから電源を抜いたときにユーザーが感電しないようにし、さまざまな安全基準要件を満たしています。

UCG2883x/4x は、目的の動作ポイントで性能を最適化するための最大限の柔軟性を実現できるように、抵抗のプログラム可能なオプションをユーザーに提供することで、内蔵コンバータのシステム設計制限を克服します。また、このデバイスは、出力過電圧保護 (OVP)、短絡保護 (SCP)、2 レベルの過電力保護 (OPPH および OPPL)、過熱保護 (OTP) など多くの保護機能を内蔵しており、自動再起動とラッチ応答により堅牢な電源設計を実現し、このようなフォルト条件での損傷を防止します。

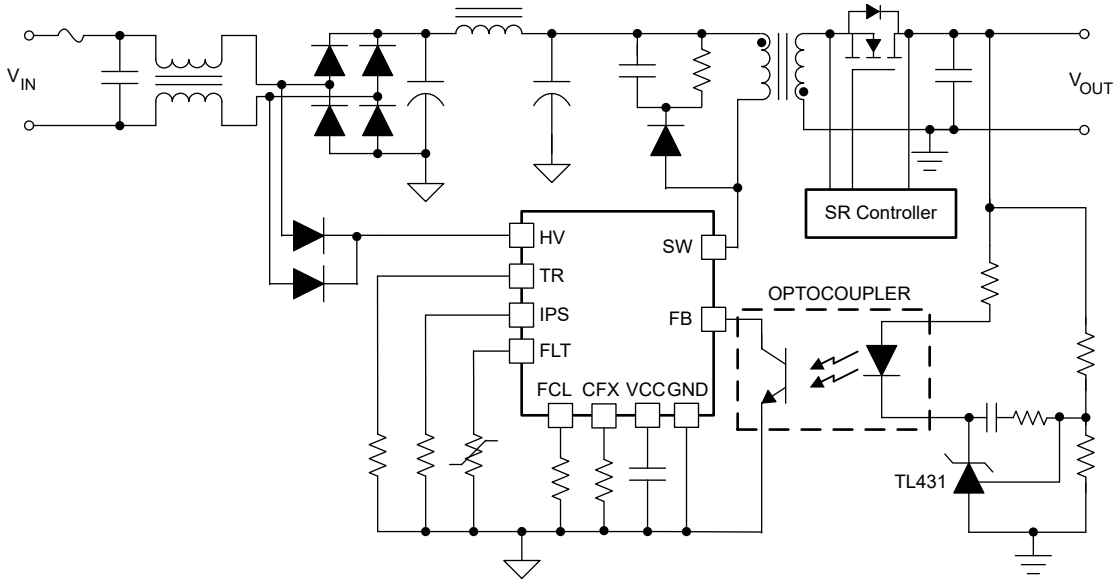
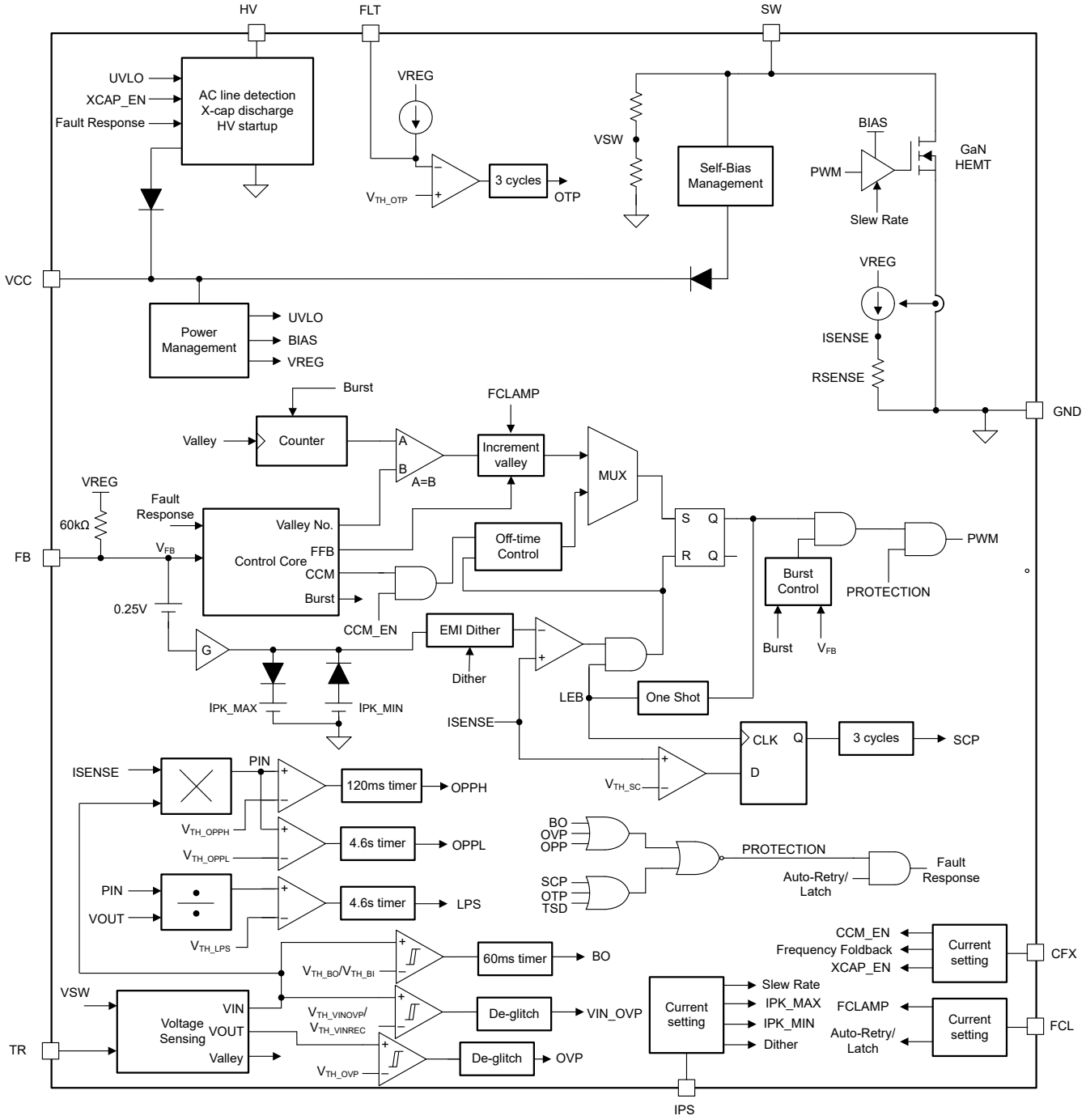


図 7-1. UCG2883x/4x を使用した AC/DC フライバック コンバータの回路図

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



7.3 ピンの詳細説明

UCG2883x/4x は、自己バイアスと補助センシング機能を搭載した 750V GaN HEMT を内蔵した QR フライバック コンバータです。UCG2883x/4x は、フライバック出力段部品とのインターフェイスに使用する HV、SW、GND の各ピンを実装しています。さらに、このデバイスにはバイアス電源と 2 次側レギュレーション用のフィードバック ピンがあります。ユーザーが、電源設計を最適化するようにデバイスを構成するための、複数のプログラム可能な構成ピンがあります。これらのプログラミング ピンにはグランドとの間に抵抗が必要で、出力段の設計時に各種パラメータを最適化できる柔軟性が得られるため、単一のデバイスでプラットフォーム設計を実現できます。プログラミング ピン上の抵抗値は、UVLO ターンオン

Copyright © 2026 Texas Instruments Incorporated

イベント時に検出され、IC 内部に記録され、IC のノイズ耐性が向上します。動作中に抵抗の設定を動的に変更することはできません。

7.3.1 HV - 高電圧入力

図 7-1 に示されているように、高電圧 (HV) ピンは、ライン入力の X コンデンサの両端に 2 個のダイオードを経由して接続します。HV ピンで起動時にバイアス電源 (VCC) コンデンサを充電します。入力ライン電圧が取り除かれると、HV ピンは X コンデンサも放電します。X コンデンサ放電が不要な場合でも、スタンバイ消費電力を最小限に抑えるために、この接続は必要です。UCG2883x/4x デバイスは、フライバック コンバータがアイドル時間が長いディープ バースト モードで動作する場合、スタンバイモード中に HV ピンを介して VCC コンデンサを充電します。充電電流は、HV ピンと直列に接続された抵抗 (510Ω 未満) を使用して平滑化できます。DC 入力アプリケーション向けに設計する場合、HV ピンを入力バルク コンデンサに直接接続し、CFX ピンの対応する抵抗設定を使用して、X コンデンサ放電機能を無効にできます。ライン電圧のゼロ交差がないため、DC 入力の用途ではスタンバイ消費電力がわずかに増加します。

7.3.2 SW - スイッチ ノード

SW ピンは、フライバック コンバータの 1 次側のスイッチ ノードに接続されます。SW ピンは内蔵の 750V GaN HEMT のドレインです。SW ピンは、バレー スイッチングと OVP、OPP、LPS 保護用の検出ピンでもあります。スイッチング損失を低く維持するために、このピンの合計スイッチ ノード容量を最小化します。SW ピンに見られる静電容量には、トランスの寄生容量、GaN HEMT のドレインソース間容量、2 次側からの反射容量、スイッチ ノードのターンオン / ターンオフのスルー レートを低速化するために追加できる追加容量が含まれます。

7.3.3 GND - グランド帰還

GND ピンは外部帰還ピンであり、内部回路の基準点と、デバイスのゲート駆動を提供します。これは電力段の帰還ピンで、入力バルク コンデンサの負端子に接続する必要があります。サーマルパッドを GND に接続し、熱を放散するのに十分な銅の面積をデバイス周囲に確保します。ピン 10 GND をピン 3 と 12 に最短のパターンで接続します。VCC のバイパス コンデンサは、ピン 10 に戻る必要があります。

7.3.4 FLT - 外部過熱フォルト

デバイス外部の電源上の重要なポイントの温度を監視するために、このピンと GND の間に負の温度係数 (NTC) 抵抗を接続し、過熱保護をトリガして部品の損傷を防止します。このデバイスは、75µA の電流を NTC に供給します。検出温度の上昇に伴って NTC 抵抗が減少すると、FLT ピンの電圧が 0.6V 未満に低下したとき、外部過熱フォルトがトリガされます。過熱保護の詳細については、セクション 7.4.10.5 を参照してください。FLT ピンを Low にプルすると、外部ディスクリート回路を使用して実装されたフォルトがトリガされます。FLT ピン以外にも、デバイスは内部過熱保護機能も備えており、デバイスが許容される最大接合部温度を超えないようにします。

7.3.5 FB – フィードバック

出力レギュレーションを行うには、フィードバック (FB) ピンをオプトカプラのコレクタに接続します。このピンには、オプトカプラのバイアス用に 60kΩ の内部プルアップ抵抗が備わっています。このピンの瞬間電圧は、図 7-4 の制御規則に基づいて、スイッチング周波数、ピーク電流、動作モード (バースト、フォールドバック、バレー スイッチング、または CCM) を決定し、必要な出力電力を供給します。高周波ノイズ フィルタリングのため、このピンとグランドとの間に 100pF または 220pF のコンデンサを接続します。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 TR - 巻線比

表 7-1 に示す値に従って、このピンと GND との間の抵抗を使用してトランスの巻線比情報を設定します。巻線比情報は出力電圧センシングに使用されます。この抵抗は 1% 精度である必要があります。

表 7-1. 巻線比の設定抵抗値

TR ピン抵抗 (kΩ)	巻数比	V_{OUT} OVP スレッショルド (V、1 次側に反映)
0	7.875	196.9
5.23	6	150
6.34	6.125	153.1
7.68	6.25	156.2
9.31	6.375	159.4
11.3	6.5	162.5
13.7	6.625	165.6
16.9	6.75	168.7
20.5	6.875	171.9
25.5	7	175
31.6	7.125	178.1
39.2	7.25	181.2
51.1	7.375	184.4
66.5	7.5	187.5
84.5	7.625	190.6
113	7.75	193.7
174	7.875	196.9

TR ピンは、このデバイスが USB-PD アプリケーションで使用されることを前提に、トランスの巻数比を設定します。他の用途で使用する場合、TR ピンの設定は異なる原理に従います。実際には、TR ピンを使用して出力 OVP レベルを設定します。UCG2883x/4x は補助巻線なしのセンシング技術を使用しているため、出力電圧レベルを直接検出することはできません。TR ピンは、出力電圧が一次側へ反映された値に基づいて、出力 OVP レベルを設定します。基本的に、そのような用途では、巻線比の設定抵抗値の「V_{OUT} OVP スレッショルド (V、1 次側反映値)」欄に基づいて、TR ピンの抵抗値を選択します。詳細については、アプリケーション ノートを参照してください。

7.3.7 IPS - ピーク電流とスルー レート

このピンにより、ピーク電流スレッショルドとスイッチ ノードのスルー レートを設定できます。以下の仕様で推奨されるオプションを選択するため、このピンと GND との間に、表 7-2 の値に従って抵抗を接続します。

- 最大ピーク電流
- ピーク電流の最大値と最小値の比率
- スイッチ ノードのスルー レート

表 7-2. IPS ピンのプログラミング抵抗値

IPS ピン抵抗 (kΩ)	最大ピーク電流 (A)	$I_{PK,MAX}/I_{PK,MIN}$	SW スルーレート (V/ns)
0	3.1	4	5
5.23	2.8	4	7
6.34	3.1	4	7
7.68	3.5	4	7
9.31	2.8	3	7
11.5	3.1	3	7
14.3	3.5	3	7

Copyright © 2026 Texas Instruments Incorporated

表 7-2. IPS ピンのプログラミング抵抗値 (続き)

IPS ピン抵抗 (kΩ)	最大ピーク電流 (A)	$I_{PK,MAX}/I_{PK,MIN}$	SW スルーレート (V/ns)
17.8	2.8	4	5
22.6	3.1	4	5
28.7	3.5	4	5
36.5	2.8	3	5
51.1	3.1	3	5
75	3.5	3	5

7.3.8 FCL - 周波数クランプとフォルト応答

FCL ピンを使用して、最大スイッチング周波数クランプ値とフォルト応答動作を選択します。表 7-3 に、特定の動作条件で使用する抵抗値を示します。この抵抗は 1% 精度である必要があります。

表 7-3. FCL ピンのプログラミング抵抗値

FCL ピン抵抗 (kΩ)	周波数クランプ (kHz)	フォルト応答
0	140	EXTFLT および 出力 OVP ラッチ、その他は自動再試行
5.23	140	すべてラッチ
6.34	100	すべてラッチ
7.68	250	すべてラッチ
9.31	500	すべてラッチ
11.5	140	すべての自動再試行
14.3	100	すべての自動再試行
17.8	250	すべての自動再試行
22.6	500	すべての自動再試行
28.7	140	EXTFLT フォルトと出力 OVP ラッチ、その他は自動再試行
36.5	100	EXTFLT フォルトと出力 OVP ラッチ、その他は自動再試行
51.1	250	EXTFLT フォルトと出力 OVP ラッチ、その他は自動再試行
75	500	EXTFLT フォルトと出力 OVP ラッチ、その他は自動再試行

7.3.9 CFX - CCM、周波数クランプ フォールドバックおよびX コンデンサ放電

CFX ピンを使用して、CCM モードと X コンデンサ放電をイネーブルおよびディスエーブルにします。3 種類の周波数クランプ フォールドバック モードを選択します。所定の動作設定について、このピンと GND との間に接続する抵抗値については、表 7-4 を参照してください。この抵抗は 1% 精度である必要があります。CFX ピンは、フォルト通知にも使用されるため、設計中のデバッグを簡単に行うことができます。詳細については、保護のエラー コード を参照してください。このピンは GND に接続できません。

表 7-4. CFX ピンのプログラミング抵抗値

CFX ピン抵抗 (kΩ)	CCM	周波数フォールドバック設定	X キャパシタの放電
5.23	無効	オプション 1	有効
6.34	無効	オプション 2	有効
7.68	無効	オプション 3	有効
9.31	無効	オプション 1	無効
11.5	無効	オプション 2	無効
14.3	無効	オプション 3	無効
17.8	有効	オプション 1	有効
22.6	有効	オプション 2	有効
28.7	有効	オプション 3	有効

Copyright © 2026 Texas Instruments Incorporated

表 7-4. CFX ピンのプログラミング抵抗値 (続き)

CFX ピン抵抗 (kΩ)	CCM	周波数フォールドバック設定	X キャパシタの放電
36.5	有効	オプション 1	無効
51.1	有効	オプション 2	無効
75	有効	オプション 3	無効

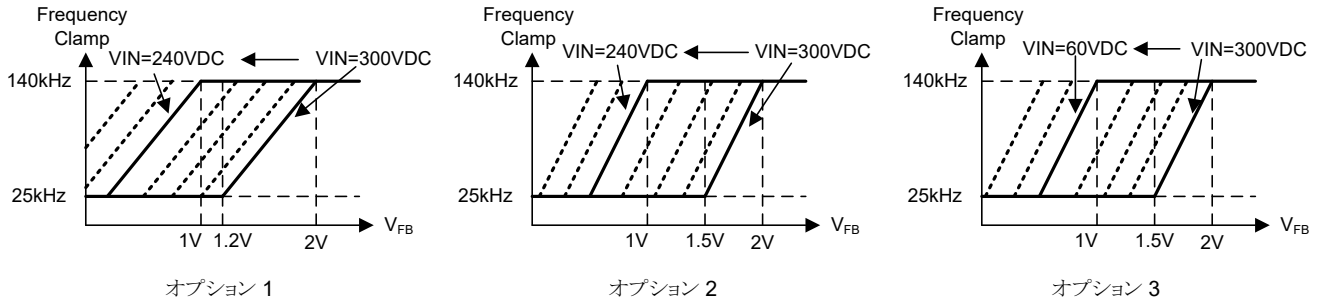


図 7-2. 周波数クランプ フォールドバックのオプション

これら 3 種類のプログラミング オプションにより、電源設計者はさまざまな入力電圧条件で周波数クランプのフォールドバックを制御できます。この周波数クランプ フォールドバックにより、制御規則で要求されるスイッチング周波数に加えて、さらにスイッチング周波数が低減されます。これにより、スイッチング周波数がさらに低下し、特に入力電圧が高い場合に軽負荷時の効率が向上します。最大クランプ周波数は、FCL ピンに接続する抵抗によってプログラムされます。次に、CFX ピン抵抗は、クランプ周波数が最大値から最小値にフォールドバックする速度をプログラムします。周波数クランプ フォールドバックのオプション は、フォールドバック軌道が入力電圧に比例することを示しています。

7.3.10 VCC 入力バイアス

VCC ピンはデバイスへのバイアスとして機能し、内部リファレンス、ゲート ドライバ、レギュレータ、制御回路、保護機能に電力を供給します。自己バイアス機能による VCC 電圧の安定化には、このピンから GND に対して 10µF 以上の容量のコンデンサを使用してください。低 ESR およびこのピンの最小オーバーシュートおよびアンダーシュートには、追加で 10nF のセラミック コンデンサを並列に使用することを推奨します。入力に 2 サイクル分の信号が失われた場合にリセットせずにホールドアップするには、このピンに容量 30µF のコンデンサを使用します。

7.4 機能説明

7.4.1 自己バイアスと補助なしセンシング

UCG2883x/4x は、トランスの補助巻線を不要にするために、自己バイアスと補助なしのセンシング機能を内蔵しています。補助巻線や関連部品を除外すると、システム設計の簡素化、小型化、低コスト化が可能になります。

自己バイアス機能は、出力電圧範囲の広い USB-PD チャージャなどのアプリケーションに特に役立ちます。通常、出力電圧範囲の広い設計では、補助巻線によってデバイスの電源電圧 (VCC) が、最小 V_{OUT} が 3.3V で、UVLO スレッショルドより高い電圧に生成されます。このような場合、V_{OUT} = 20V の場合、補助巻線の電圧は 6 倍上昇します。そのため、この電圧を VCC 範囲まで低下させるには、内部または外部の電力変換段が必要です。これにより、外部部品が増加し、効率が低下します。UCG2883x/4x の自己バイアス機能により、VCC ピンでこのような電力変換段を追加する必要がなくなり、部品数を削減し、電力損失を回復できます。自己バイアス回路は、デバイスの周囲にある部品がデータシートの推奨範囲内で使用されていることを前提として、デバイス動作範囲全体にわたって VCC が UVLO スレッショルドよりも高く維持されるように設計されています。補助なしセンシング回路は、SW ピンに接続されています。このデバイスは、バレー検出および各種保護のために、SW の電圧を検出します。入力バルク コンデンサの電圧と出力電圧は、SW ピンの電圧から生成されます。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 制御規則

UCG2883x/4x は、ピーク電流モード制御 QR フライバック コンバータです。コンバータは、1 次側の内蔵 GaN HEMT をオンにすることで起動します。トランスの 1 次側巻線 I_{PRI} の電流は、V_{IN}、1 次側の磁化インダクタンス L_M に依存する傾きで増加し、V_{IN}/L_M に等しくなります。I_{PRI} がピーク値 $I_{PK,\ PRI}$ に達すると、GaN HEMT がオフになります。フライバック動作により、2 次側巻線電圧が上昇して同期整流器 (SR) FET のボディ ダイオードをオンにして、出力電圧 V_{OUT} にクランプします。この期間中、2 次側巻線電流は、2 次側ピーク電流 $I_{PK,SEC}$ から勾配 V_{OUT}/L_S で減少します。ここで、L_S は 2 次側巻線のインダクタンスです。スイッチ ノード電圧は V_{IN} と 1 次側と 2 次側の巻線比 N に V_{OUT} を加えた値に等しくなり、これをプラトー電圧と呼びます。2 次側電流が 0 まで減少すると、L_M とスイッチ ノードの合計容量 C_{SW} が共振し始め、磁化リングを引き起こします。UCG28826 はこの磁化リングのバレーで 1 次側 GaN HEMT をオンにして、ターンオン スイッチング損失を低減します。

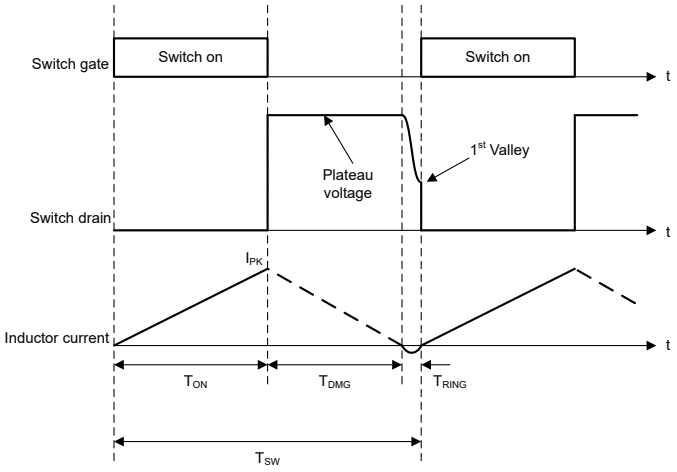


図 7-3. フライバック コンバータの波形

したがって、UCG2883x/4x では、各スイッチング サイクルで、ピーク電流スレッショルドに達した後に、1 次側 GaN HEMT がオフになり、不連続モード (DCM) 動作中に磁化リングで次のターゲット バレーでオンになります。1 次側ピーク電流とターゲットの瞬時値は、図 7-4 の制御規則に従って帰還 (FB) ピン電圧によって決定されます。FB ピンをオプトカプラ コレクタに接続します。負の帰還ループは、出力で特定の V_{OUT} および P_{OUT} をサポートするために必要な値に FB ピンの電圧を設定します。後で説明するように、本デバイスはバースト、周波数フォールドバック、バレー スイッチング、連続導通モードの 4 つの動作モードのいずれかで動作できます。

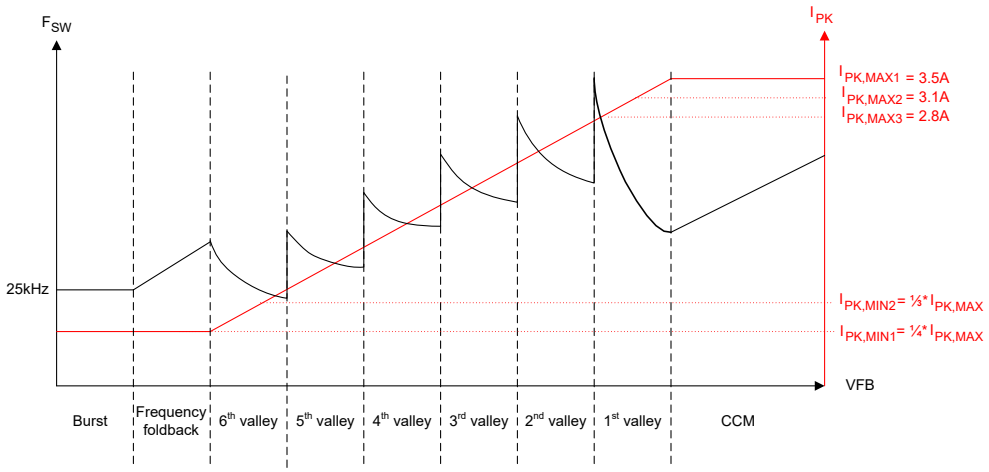


図 7-4. UCG2883x/4x 制御規則

Copyright © 2026 Texas Instruments Incorporated

図 7-4 に示す制御規則では、UCG2883x/4x は最大ピーク電流 $I_{PK,MAX}$ を選択できる柔軟性を備えており、定格負荷および変圧器サイズでのスイッチング周波数に対して最適化できます。$I_{PK,MAX}$ の各設定について、最小ピーク電流 $I_{PK,MIN}$ に対して 1/3 または 1/4 のスケーリング比を使用できます。この $I_{PK,MIN}$ 値によって、フライバック コンバータが周波数フォールドバックまたはバースト モードで動作しているときの軽負荷条件でのスイッチング周波数および損失が決定されます。$I_{PK,MAX}$、$I_{PK,MIN}$ のすべての値について、式 1 のとおり、制御規則のピーク電流と帰還電圧の勾配は同じに変わりません。表 7-5 に、表 7-2 のさまざまなピーク電流設定に対する、異なるモード間およびバレー間で遷移するためのスレッショルド電圧を示します。

表 7-5. 各種のピーク電流設定用の FB ピン電圧スレッショルド

	パラメータ	テスト条件	$I_{PK,MAX}$ = 2.8A	$I_{PK,MAX}$ = 3.1A	$I_{PK,MAX}$ = 3.5A	単位
V_{FBOPEN}	オープン FB ピン電圧		3.3	3.45	3.65	V
$V_{THCCMto1}$	CCM から 1 番目のバレー スレッショルド	VFB 減少	2.18	2.4	2.65	
V_{TH12}	1 番目から 2 番目のバレー スレッショルド		1.09	1.19	1.31	
V_{TH23}	2 番目から 3 番目のバレー スレッショルド		0.97	1.05	1.16	
V_{TH34}	3 番目から 4 番目のバレー スレッショルド		0.91	0.98	1.08	
V_{TH45}	4 番目から 5 番目のバレー スレッショルド		0.85	0.92	1.0	
V_{TH56}	5 番目から 6 番目のバレー スレッショルド		0.79	0.85	0.93	
V_{TH65}	6 番目から 5 番目のバレー スレッショルド	VFB 増加	1.16	1.25	1.38	
V_{TH54}	5 番目から 4 番目のバレー スレッショルド		1.22	1.32	1.46	
V_{TH43}	4 番目から 3 番目のバレー スレッショルド		1.28	1.39	1.53	
V_{TH32}	3 番目から 2 番目のバレー スレッショルド		1.34	1.45	1.61	
V_{TH21}	2 番目から 1 番目のバレー スレッショルド		1.46	1.59	1.76	
$V_{TH1toCCM}$	1 番目から CCM のスレッショルド		2.18	2.4	2.65	
V_{THFF}	バレーから周波数フォールドバックのスレッショルド	$I_{PK,MIN}$ = 1/4x $I_{PK,MAX}$	0.73	0.78	0.85	
		$I_{PK,MIN}$ = 1/3x $I_{PK,MAX}$	0.89	0.96	1.05	

7.4.2.1 バレー スイッチング

UCG2883x/4x は、スイッチング損失を低減するため、ソフト スイッチングとバレーでの 1 次側 FET ターンオンで動作するよう設計されています。コンバータは、ピーク負荷過渡時を除き、バレー スイッチングで動作します。ピーク負荷過渡時には、CCM モード (CFX ピンを使用して有効化されている場合) に制御が移行する場合があります。バレー スイッチング モード中、目標バレーおよびピーク電流スレッショルドは 図 7-4 および 式 1 の制御規則によって制御されます。

$$I_{PK} = 1.45 \times (V_{FB} - 0.25) \quad (1)$$

バレー スイッチング時、出力電力を大きくすると、上記の式に従ってピーク電流スレッショルドは線形的に増加し続けます。また、スイッチング周波数は、FB ピンの瞬時電圧に対応する I_{PK} とバレー ターゲットに基づいて変化します。軽負荷から定格電力まで出力電力が増加すると、制御は 6 番目のバレーから 1 番目のバレーまで遷移し、それに対応する I_{PK} スレッショルドの線形上昇に伴います。出力電力がさらに増加し、FB 電圧が 1 番目のバレー動作の限界値に達すると、コンバータは I_{PK} が最大値 $I_{PK,MAX}$ にクランプされ、CCM モード動作に移行し、出力負荷の増加に伴いスイッチング周波数 F_{SW} が増加します。この $I_{PK,MAX}$ へのクランプにより、高密度電源の設計でトランスのサイズが制限されます。CCM モード時の動作については、セクション 7.4.2.4 を参照してください。6 番目のバレーで動作している間に、出力電力が減少すると、制御は周波数フォールドバック モードに遷移してより高いバレーと低周波数で動作し、スイッチング損失をさらに低減します。

バレー遷移時の FB ピン電圧スレッショルドにはヒステリシスが含まれ、P_{OUT} の増加または減少に応じて変化してバレー ロックを実現し、バレー間のホッピングによる可聴ノイズを防止します。UCG2883x/4x の動作モードを決定する FB ピンの電圧スレッショルドについては、「電気的特性」表を参照してください。大きな P_{OUT} でオプトカプラ コレクタ電流がゼロの場合、FB ピンが 60kΩ 抵抗を介して V_{FBOPEN} にプルアップされます。

Copyright © 2026 Texas Instruments Incorporated

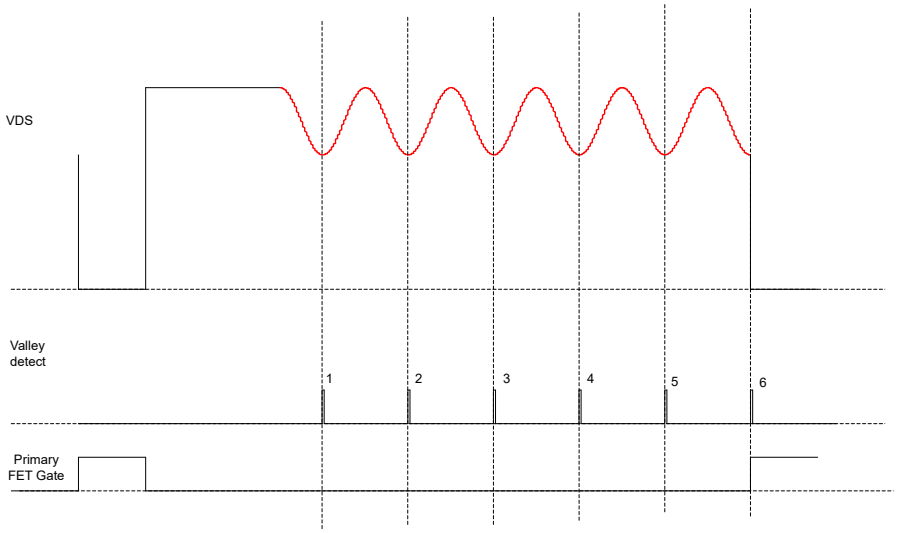


図 7-5. 連続バレー発生機能付きのバレー カウンタ

通常、制御はバレーをカウントし、目標バレーに達すると 1 次側 GaN HEMT をオンにします (図 7-5 を参照)。SW ノードの波形が減衰されて、目標のバレーに達する前にバレーが消失する場合、図 7-6 に示すように、3.75µs の DCM リング固定タイマはバレーのカウントを継続し、バレー目標に達すると 1 次側 GaN HEMT をオンにします。スタートアップ (ソフト スタート) 中に V_{OUT} が小さいとき、バレーが現れない場合、ラッチ アップ状態を回避するため、最初の数サイクルは 10kHz (ソフト スタート中の最小周波数クランプ) でスイッチングするため、最初の数サイクルは 100µs 後に 1 次側 GaN HEMT をオンにします。

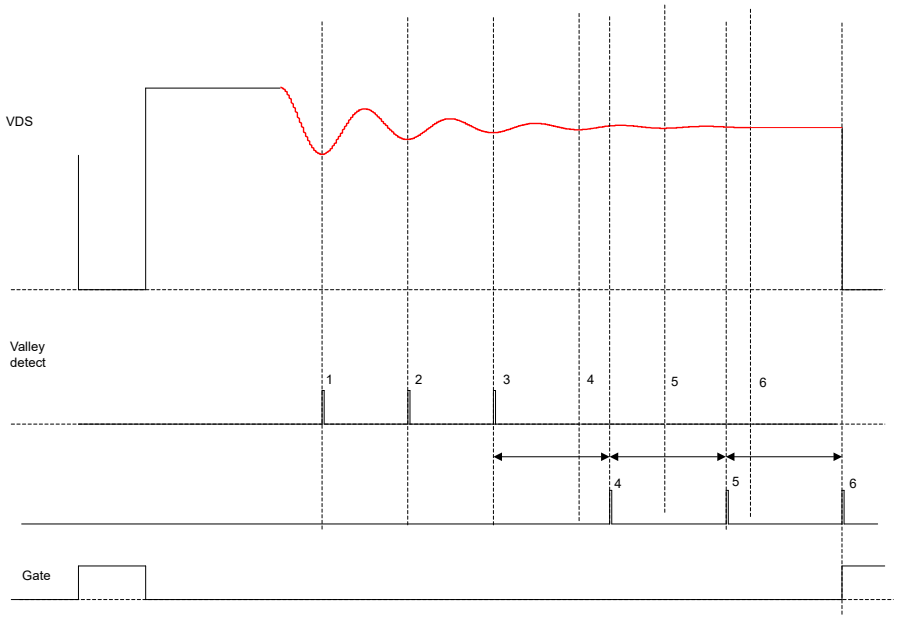


図 7-6. バレーなしのバレー カウンター

UCG2883x/4x は、無限 CCM 動作期間をサポートしています。システムの過熱が発生すると CCM 動作での損失が大きいことから、これを防止するためにコンバータの熱設計を考慮する必要があります。UCG2883x/4x の動作中常に、最大スイッチング周波数は、セクション 7.3.8 に示すように、FCL ピンと GND の間の抵抗を使ってプログラムできる周波数クランプ設定によって制限できます。

Copyright © 2026 Texas Instruments Incorporated

7.4.2.2 周波数フォールドバック

6 番目のバレーで動作している間に出力電力が低下し、FB ピンの電圧が V_{THFF} を下回ると、コンバータは周波数フォールドバック モードに遷移して、バレー スイッチングを中止します。ピーク電流スレッショルドは $I_{PK,MIN}$ にクランプされ、コンバータは FB ピンの電圧に応じて、6 番目のバレー後にはより高いバレーで動作します。それによってスイッチング周波数が低下し、25kHz でクランプされるまで、目標バレー数の増加に伴ってスイッチング周波数がさらに低減されます。最小スイッチング周波数は 25kHz にクランプされており、可聴ノイズを防止します。合計スイッチング サイクル時間は 40µs です。出力電力をさらに低減すると、コンバータをバースト モードに移行して、周期的なスイッチングによる不要なスイッチング損失を低減し、非常に小さいスタンバイ消費電力を実現できます。

7.4.2.3 バースト モード

周波数フォールド バックモード中に出力電力が低下し続ける場合、本デバイスは FB ピンの電圧が初めて 0.25V に達して、デバイスがスイッチングを停止したとき、バースト モードに移行します。出力電力によっては、FB ピンの電圧が 0.3V に回復した後、デバイスがバースト モードでスイッチングを再開することになります。

UCG2883x/4x のバースト モードでは、最初のバレー QR スイッチング サイクルが 3 回発生した後、次のバースト パケットが開始するまでに最小 70µs 遅延が発生します。バレー スイッチングによりスイッチング損失を低減します。この遅延によりバースト モードでの電力供給が制限され、大電力ではデバイスが他の動作モードに遷移して出力電力の範囲で高効率を維持します。バースト モードでは、周波数クランプは 250kHz に固定され、クランプ タイマが満了した後、次のバレーで 1 次側 GaN HEMT がオンになります。バースト モード動作では、バレー スイッチングではスイッチング損失を低く維持し、電磁放射を制限し、放射規格に合格するための最小ピーク電流を供給できます。図 7-7 に、バースト モードのスイッチング波形を示します。

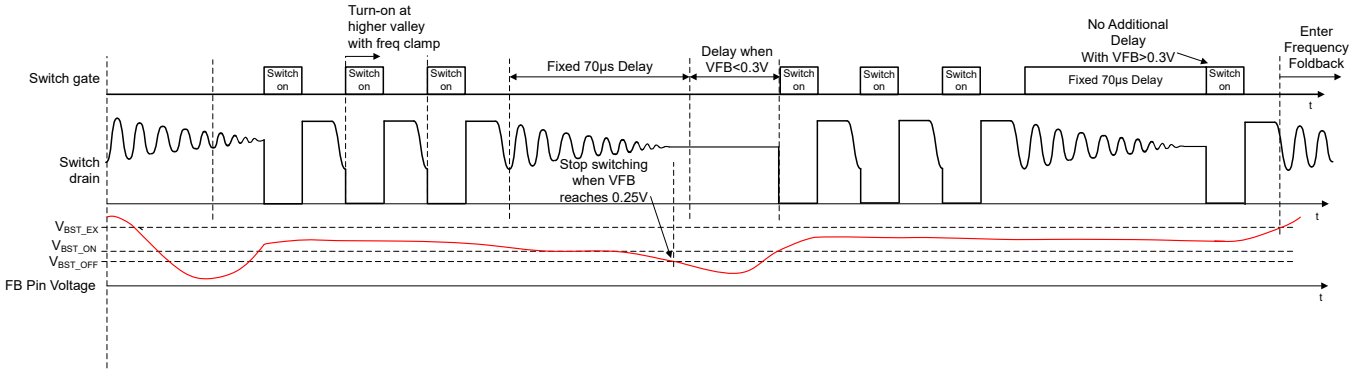


図 7-7. バースト モードの開始/終了波形

特定のアプリケーションでは、3 つの第 1 バレー スイッチングにより、バースト モード中の出力電圧リップルがわずかに増加する可能性があるという懸念があります。UCG28846 では、従来のバースト モードが実装されています。バースト オン時間中は、コンバータのスイッチング周波数は 25kHz に維持されます。バースト ターンオン スレッショルドとターンオフ スレッショルドは同じです。

7.4.2.4 連続導通モード（CCM）

図 7-4 に示すように、出力電力が増加して最初のバレー QR 動作の境界に達すると、制御は I_{PK} を選択された最大値 $I_{PK,MAX}$ にクランプし、CCM モードで 2 次側導通時間 T_{OFF} の減少を開始します。この T_{OFF} 時間の減少は、FB ピンの電圧が QR モードのオフ時間の 30% まで上昇することに比例して、QR モードの出力電力供給能力の最大 1.7 倍に達します。CCM モードで周波数クランプに達しないようにし、出力電圧リップルを増加させる可能性のあるサブハーモニック振動を回避するため、アプリケーション要件に応じて、一次側励磁インダクタンス L_M を十分に大きい値を使用します。CCM モードでは、ピーク電力能力を最大化するため、スイッチング周波数クランプのクランプ周波数が 2 倍になります。長時間の出力電力過渡については、コンバータは 10ms の CCM タイマが満了した後、QR モード動作の 4 スイッチング サイクルにわたって最初のバレー QR モードに戻り、CCM 動作を再開します。電力が低下して CCM 動作が不要になるまで、この動作は 10ms ごとに繰り返されます。表 7-4 の値に応じて、CFX ピンと GND の間に抵抗を接続して CCM モード動作を有効化または無効化できる柔軟性があります。

Copyright © 2026 Texas Instruments Incorporated

7.4.3 GaN HEMT スイッチング能力

UCG2883x/4x 1 次側の内蔵 GaN HEMT のスイッチング機能は、図 7-8 を活用して説明します。この図は、フライバック アプリケーションにおける 2 つの異なるスイッチング サイクルにおける、UCG2883x/4x のドレインソース間電圧 (SW ピンの電圧と同じ) を示しています。1 つ目のスイッチング サイクルは通常のスイッチング サイクルで、その後に DCM/バレー スイッチング条件でサージ スイッチング サイクルが発生するものです。

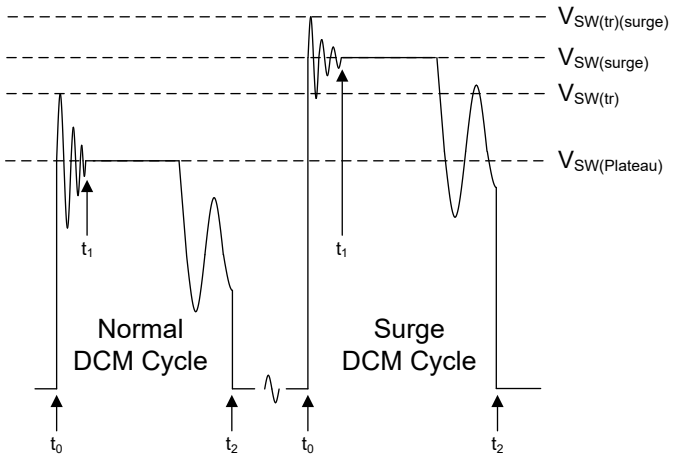


図 7-8. GaN HEMT スイッチング能力

各サイクルは t_0 より前に開始し、GaN HEMT がオン状態になります。t_0 の時点で GaN HEMT はターンオフし、寄生素子によってドレインソース間電圧に高周波でリンギングが生じます。高周波リンギングは、t_1 だけ減衰しました。t_1 と t_2 の間の HEMT のドレインソース間は平坦なプラトー電圧になり、フライバック設計での 2 次巻線電流が低減します。t_2 の時点で、GaN HEMT はバレーをオンにします。通常動作中は、デバイスはスイッチング サイクルごとに最大 750V のリーク過渡電圧 ($V_{SW\ (tr)}$) で安全に動作できます。まれに発生するサージ事象では、過渡リング電圧は 800V に制限され、プラトーは 750V に制限されます。

7.4.4 ソフト スタート

フライバック コンバータがオンになると、0V の出力電圧で起動します。低電圧によって、フィードバック電圧 FB が最大値にクランプされ、過負荷保護がトリガされる可能性があります。クランプを防ぐため、UCG2883x/4x はソフト スタート モードで起動します。図 7-9 に示されているように、この期間中、内部 FB 電圧ランプは、4ms で 0V から最大値まで 8 ステップ増加します。内部 FB ランプの最大値は、$I_{PK,\ MAX}$ の 80% に相当する値であり、IPS ピンのさまざまな抵抗設定に対して変化します。ソフト スタート中は、この内部ランプ電圧のうち小さい方と実際の FB ピン電圧を使用して、図 7-4 の制御規則でデバイスの動作点を決定します。4ms の終わりに内部 FB ランプ電圧が最大値に達すると、出力レギュレーション用に制御が FB ピン電圧に転送されます。ソフト スタート シーケンスは、起動時、またはフォルト (自動再試行またはラッチ) およびブラウンアウト状態から回復するたびに実行されます。最小周波数クランプは、ソフト スタート時にのみ 10kHz に変更されます (その他の場合は、通常動作中 25kHz)。10kHz の最小周波数クランプは、起動時にバレーが欠落しており、制御法則により、出力コンデンサを充電するために、最後のターンオン エッジから 100µs ごとに 1 次側 GaN HEMT のターンオンが強制される場合に役立ちます。

Copyright © 2026 Texas Instruments Incorporated

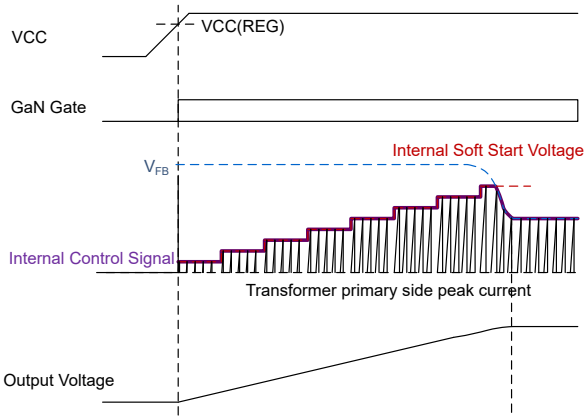


図 7-9. ソフト スタート シーケンス

7.4.5 周波数クランプ

UCG2883x/4x には、最大スイッチング周波数を制限するための周波数クランプが内蔵されています。周波数クランプは、電磁波規格に合格し、スイッチング周波数を特定の値に制限してスイッチング損失を低減するための設計最適化で有用です。このデバイスには 100kHz、140kHz、250kHz、500kHz の 4 つの最大周波数クランプ設定があり、表 7-3 の値に示すように、FCL ピンとグランドの間の抵抗を使用して選択できます。いかなる状態であっても、スイッチング周波数はクランプ周波数の選択値を超えません。ただし、クランプ周波数が 250kHz に設定されているときはバースト モードを除きます。最小スイッチング周波数も 25kHz 固定にクランプされ、フライバック コンバータからの可聴周波数範囲内のスイッチングとノイズを防止します。低いスイッチング周波数は、より高いバレーや周波数フォールドバック モードでの動作中に発生することがあります。

図 7-10 に、周波数クランプの動作を示す波形の例を示します。この場合、FB ピン電圧に基づくバレー目標値は 2 番目のバレーです。2 次巻線電流が 0 まで減少した後、SW ピンの VDS 電圧は共振を開始し、バレー検出ブロックによってバレーがカウントされます。周波数クランプ タイマがまだカウントしているため、2 番目のバレーで 1 次側 GaN HEMT はターンオンしません。周波数クランプ タイマが満了してから初めて、1 次側 GaN HEMT が次のバレー (この場合は 3 番目のバレー) でオンになります。このロジックに基づき、1 次側 GaN HEMT のターンオンは、周波数クランプ タイマの次のバレー終了後にのみ発生します。

Copyright © 2026 Texas Instruments Incorporated

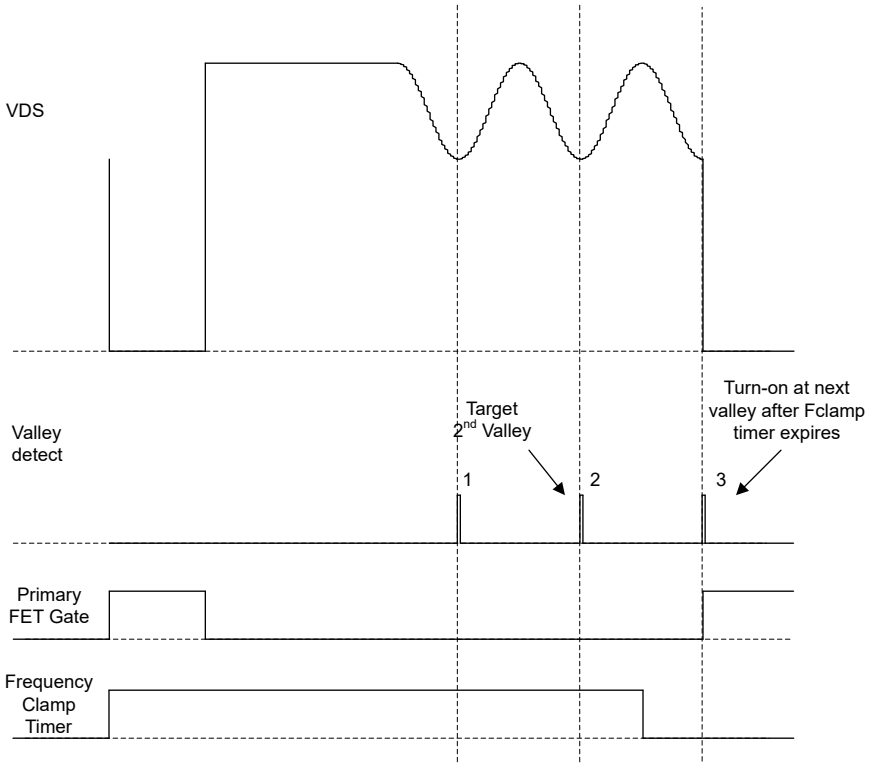


図 7-10. 周波数クランプによる 1 次側 GaN HEMT ターンオン遅延

7.4.6 周波数ディザリング

UCG2883x/4x は、スイッチング周波数付近のスペクトルにエネルギーを分散させるための周波数ディザリングを備えており、これにより電磁放射が低減され、各種放射規格の適合が容易になります。このデバイスは、ピーク電流モード制御を用いて一次側の GAN HEMT をオフにしており、スイッチング周波数を決める固定クロック信号が存在しないため、周波数ディザリングは各スイッチング サイクルでピーク電流スレッショルドをわずかに変化させることで実現しています。これによりピーク電流が変化し、その結果としてオン時間、オフ時間、さらにはスイッチング周波数がサイクルごとに変化します。ピーク電流スレッショルドへの割合の変化は、6.25kHz または 390Hz (型番により異なる) の固定三角波キャリア信号によって変化します。この信号は、キャリア サイクルごとに最小値 (0%) から最大値 (ディザリング深度、±6.25%) への遷移ごとに、符号が交互に変わる 32 のステップで構成されます。各ステップでディザリング摂動の交代符号と、フライバック コンバータ トポロジの低周波数出力極はサイクル間の電力供給を平均化し、ディザリングによる出力リップルに小さな影響を与えます。ピーク電流へのディザリングの摂動はスイッチング周波数と非同期であり、ピーク電流の瞬間的な変化は、1 次側 GAN HEMT ターンオン時間中のディザリング信号に基づいて計算されます。

図 7-11 に、スイッチング周波数をディザリングするためのディザリング キャリアおよびピーク電流摂動の波形を示します。

Copyright © 2026 Texas Instruments Incorporated

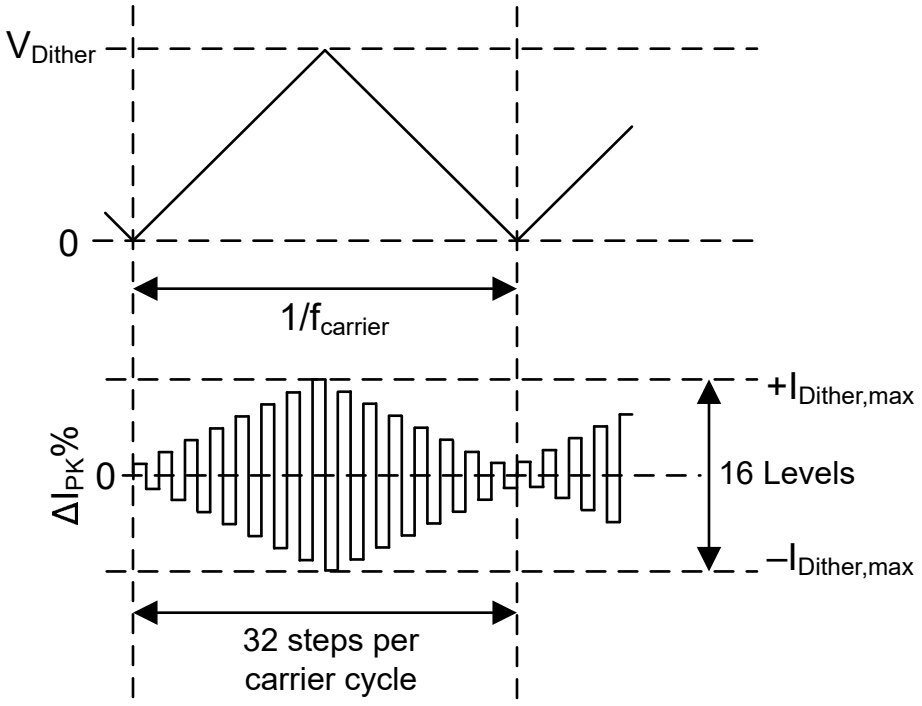


図 7-11. 周波数ディザリングにより放射を低減

7.4.7 スルー レート制御

UCG2883x/4x には、1 次側 GaN HEMT ターンオン時に、スイッチ ノードのバレー電圧からグランドへのドレイン電圧を低減するためのスルー レート オプションが含まれています。バレー スイッチング中の GaN HEMT ターンオンは、電流がほぼゼロのときに発生し、追加の損失は無視できる程度です。スルー レート制御に起因するターンオンが低速なため、各種の電磁放射規格を満たすのに役立ちます。5V/ns と 7V/ns で 3 つのスルー レート オプションが利用でき、これらはバレー電圧に基づいてわずかに変動します (図 7-12 を参照)。

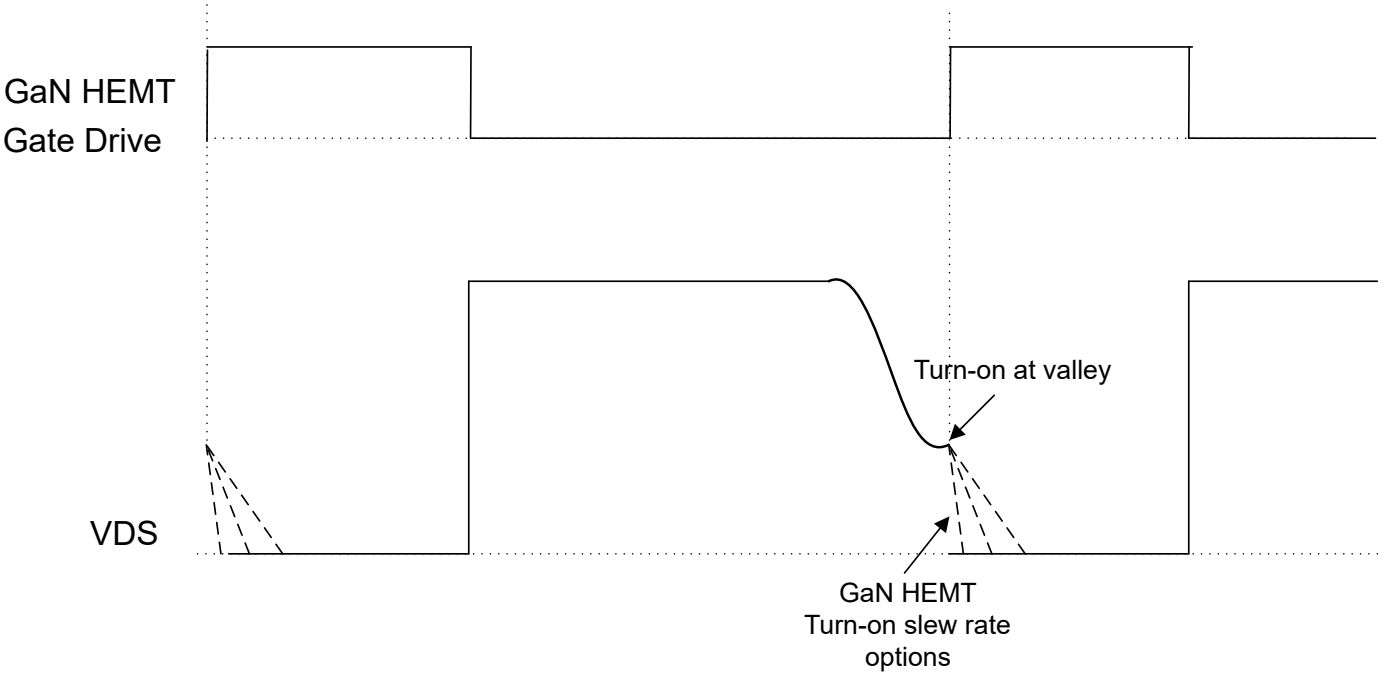


図 7-12. GaN HEMT ターンオン スルー レート制御

表 7-2 の値に応じて、IPS ピンと GND の間の抵抗を使用して必要なスルー レート値を選択します。1 次側 GaN HEMT ターンオフの瞬間で、SW ノード電圧の上昇は I_{PK} およびスイッチ ノードの合計容量 C_{SW} に依存します。このターンオフ スルー レートを減らすと、ゲート駆動電流が制御されて損失が大幅に増加する可能性があります。GaN HEMT ターンオフ スルーレートの低減が必要な場合は、このターンオフ瞬間のスイッチ ノード電圧の上昇率を低減するために、GaN HEMT ドレイン (スイッチ ノード) と GND の間にコンデンサを追加してください。

7.4.8 インバータのピーク電力能力

UCG2883x/4x は、短時間に大電力のバーストを必要とするアプリケーション向けに、最小 2 倍の過渡ピーク出力電力能力をサポートしています。トランスやパワー FET などの各種部品のサイズを大きくすることなく、ピーク電力を実現します。また、同じフライバック設計が短時間で 2 倍の連続出力電力定格に使用できます。これにより、UCG2883x/4x を使用して設計された 65W フライバック コンバータは、OPPH タイマにより制限された最大 120ms の持続時間にわたって、最小 130W の過渡ピーク出力電力を供給できます。

セクション 7.4.10.4 に示されているように、高ライン入力では、過渡ピーク電力供給は DCM/QR 動作モードで行われ、OPPH 保護に従い、最大 120ms の持続時間に制限されます。低ライン入力では、DCM/QR モードからの電力供給時の制限のため、連続導通モード (CCM) により、動作が公称電力定格の最小 2 倍に拡張されます。高ライン入力時にコンバータが過剰な出力電力を供給しないように制限するため、入力バルク コンデンサ電圧が 200V DC を超える場合は CCM モードが無効化されます。一部の型番では高ラインの CCM がイネーブルになると、高入力電圧でより多くのピーク電力能力が得られます。CCM 動作モードについては、セクション 7.4.2.4 で説明します。120ms を超える時間にわたって 140W を超える DCM/QR モードでのピーク電力供給により、OPPH フォルトがトリガされます (セクション 7.4.10.4 を参照)。最小 2 倍の過渡出力電力がサポートされますが、DCM/QR/CCM モードでの最大瞬間過渡出力電力は、入力バルク コンデンサ電圧と出力段部品の値に依存し、それぞれ OPPH タイマと OPPL タイマによって時間が制限されます。

7.4.9 X コンデンサの放電

オフライン AC/DC 電源では、X コンデンサを備えた EMI フィルタを入力に使用します。UCG2883x/4x には内蔵の X コンデンサ放電回路が含まれており、規制規格で要求されているように、X コンデンサを完全に放電し、主電源入力から電源を抜いたときにユーザーを感電から保護します。

Copyright © 2026 Texas Instruments Incorporated

図 7-1 に示すように、X コンデンサは 2 個のダイオードを経由してデバイスの HV ピンに接続されています。X コンデンサ放電パスには抵抗は必要ありません。入力ライン電圧をフライバック コンバータから取り外すと、HV ピンの電流シンクによって X コンデンサが放電されます。このデバイスは、1µF までの X コンデンサ値について、45Hz から 66Hz のライン周波数に対して X コンデンサが 1 秒以内に放電されることを保証します。

7.4.10 フォルト保護

UCG2883x/4x は、各種のフォルト保護機能を備えており、FCL ピンに適切な抵抗を使用して、自動再試行またはラッチ応答をプログラムできます (FCL ピンのプログラミング抵抗値を参照)。自動再試行応答では、図 7-13 に示すように保護がトリガされると、1 秒間スイッチングが停止し、その後通常動作が再開されます。ラッチ応答を使用すると、保護をトリガするとき、デバイスは電源電圧 V_{CC} が $V_{VCC(OFF)}$ を下回るまで待機し、その後 $V_{VCC(REG)}$ を上回るまで回復してスイッチングと通常動作を再開します (図 7-14 を参照)。

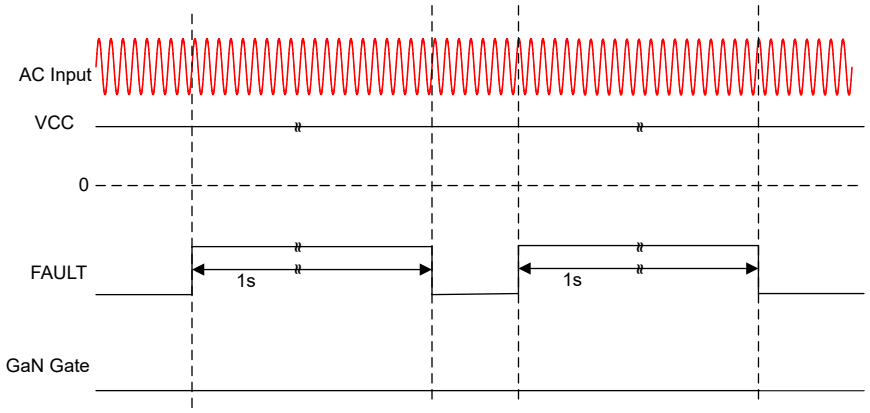


図 7-13. 自動再試行フォルト応答

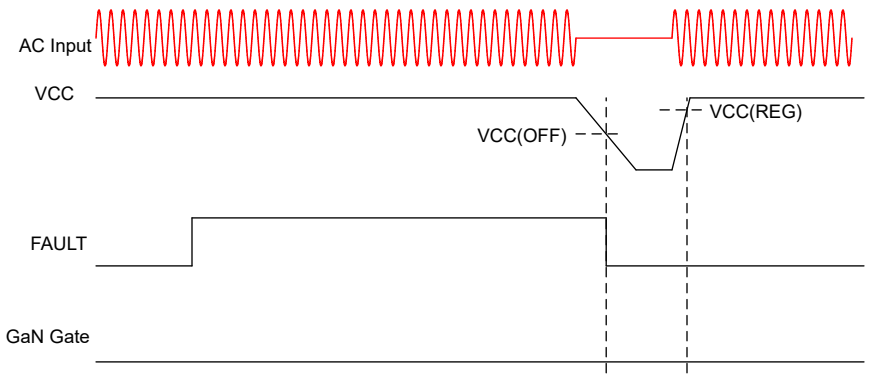


図 7-14. ラッチ フォルト応答

7.4.10.1 ブラウンアウト保護

入力バルク コンデンサ電圧 V_{BULK} が減少し、60ms よりも長い時間にわたって 98V (DC または 70V (AC) 入力) を下回ると、デバイスはスイッチングを停止し、ブラウンアウト保護を開始します。カウンタ満了前に V_{BULK} が 100V (DC) を超えると、60ms カウンタはリセットされます。ブラウンアウト保護機能は、不規則なライン入力条件が発生した場合に、1 次側の大電流の発生や、それに伴う導通損失の発生を防止します。低いライン入力条件では、V_{BULK} は P_{OUT} が大きい場合、ライン サイクルごとに 98V (DC) 未満に低減できます。しかし、ラインの半サイクルごとに V_{BULK} が 100V (DC) を上回るまで回復するため、カウンタはリセットされ、ブラウンアウト障害がトリガされることを防止し、通常のスイッチングと電力伝送を継続できます。ブラウンアウト保護がトリガされると、V_{BULK} が 112V (DC または 80V AC 入力) を上回るまで回復した場合、デバイスは 1 秒の遅延後に自動的に再起動され、その後ソフト スタート シーケンスが通常動作に移行します。

7.4.10.2 短絡保護

UCG2883x/4x は、過負荷状態時の損傷を検出して防止するための過電流保護回路を内蔵しています。過電流状態は、トランス巻線の短絡、SR FET のドレインソース間端子、またはフライバック コンバータの出力中に発生する可能性があります。デバイスは、GND への SW ノード容量放電のため、1 次側 GaN HEMT がオンになった直後およびリーディング エッジ ブランキング (LEB) 間が満了した直後に、I_{SCP} (標準値 4.5A) を超える 1 次側電流を検出します。短絡電流スレッショルドが連続 3 サイクルにわたってトリガされると、短絡フォルトが宣言され、スイッチングが停止します。短絡保護時の動作 (自動リトライまたはラッチ) は、FCL ピンに接続された抵抗によって選択されます。

7.4.10.3 出力過電圧保護

デバイスは、SW ピンからの出力電圧を監視します。V_{OUT} が 25V を超えると、過電圧保護 (OVP) がトリガされ、スイッチングが停止します。これにより、出力過電圧イベント時の出力コンデンサの損傷を防止できるため、ラッチ フォルトとなります。この保護が誤ってトリガされないようにするために、適切な TR ピン抵抗値を使用してください。固定出力電圧の設計では、1 次 / 2 次巻線比のトランスを使用して、出力の反射電圧を 20V の出力の場合と TR ピン設定に一致させ、出力過電圧保護が公称 V_{OUT} より 25% 高い値でトリガされるようにします。

7.4.10.4 過電力保護 (OPP、LPS)

制限付き電源 (LPS) 規制規格では、フライバック コンバータの出力電流が 8A を超えず、出力電力が 5 秒後に 100W を超えないことが要求されています。UCG28836/46 は、故障状態で出力への過剰な電力供給を防止するために、入力電力が P_{OPPL} を超えるか、または出力電流 (入力換算) が 4.6 秒を超えて I_{LPS} を上回る場合に過電力保護 (low、OPPL) をトリガします。このデバイスは、定格出力電力の 2 倍以上 (65W 設計の場合 130W) の過渡負荷要件も、最大 120ms までサポートしています。それ以上になると、過電力保護 (high、OPPH) が作動します。

UCG28838 では、OPPL および LPS 保護がディセーブルになり、OPPH 保護スレッショルドが 190W に拡張されます。

出力電圧を 20V 以外に設計する場合も、OVP 保護と同様に、トランス一次側に反映された出力電圧に基づいて LPS 電流レベルを計算する必要があります。このコントローラは、TR ピンの設定に基づいて、出力電圧が 20V であることを想定しています。LPS 電流レベル I_{LPS} は、式 2 に示されているように計算されます。

$$I_{LPS} = \frac{P_{REF}}{V_{REFLECT}} \times N_{PS_{SETTING}} \quad (2)$$

トランスの実際の巻線比が TR ピンの設定と異なる場合、出力電圧が 20V でないため、実際の LPS 電流レベルは式 3 を使用して計算されます。

$$I_{LPS_{REAL}} = \frac{P_{REF}}{V_{REFLECT}} \times N_{PS_{REAL}} \quad (3)$$

式 2 と式 3 を組み合わせることで、実際の LPS 電流は式 4 として計算できます。

$$I_{LPS_{REAL}} = \frac{N_{PS_{REAL}}}{N_{PS_{SETTING}}} \times I_{LPS} \quad (4)$$

7.4.10.5 過熱保護

UCG2883x/4x は過熱保護機能を備えており、過度に高い温度でのシステム動作を防止し、部品が最大周囲温度定格を超えないように制限します。このデバイスは、ダイ温度を制限するための独立した内部過熱保護機能と、負の温度係数 (NTC) の抵抗を使用してシステム温度を監視および制限するための外部過熱保護機能を備えています。ダイ温度が 150℃ を超えてスイッチングが停止すると、内部過熱フォルトがトリガします。デバイスは通常動作に復帰し、ダイ温度が 140℃ 以下に低下するとスイッチングが再開されます。内部過熱保護は自動再試行フォルトです。

外部過熱フォルトの場合は、NTC を FLT ピンと AGND ピンの間に接続します。外部過熱フォルトを確認するため、FLT ピンから外付け抵抗を経由してグランドに 75μA の電流が供給されます。この電流は、10ms ごとに 250μs オン時間に対して供給されます。V_{FLT} がソース電流で 0.6V (標準値) を下回ると、アップダウン カウンタは毎回インクリメントします。

Copyright © 2026 Texas Instruments Incorporated

250µs 期間中に V_{FLT} が 0.6V (標準値) を上回ると、このカウンタはデクリメントします。外部過熱フォルトはカウント 3 回で宣言されます。初期起動時に FLT が 0.66V (標準値) を下回ると、デバイスは過熱保護モードになり、起動しません。

7.4.10.6 オープン FB 保護

UCG2883x/4x は、FB ピンの電圧が最大値にクランプされているときに出力に過剰な電力が供給されるのを防ぐために、オープン FB ピン状態を監視します。オープン FB 状態は、オプトカプラの故障や断線、あるいは (フライバック コンバータの定格電力を超える) 大電力が長時間流れた場合に発生します。オープン FB 保護は、FB ピン電圧がオープン FB スレッショルド V_{OFB} を > 120ms 超過した場合にアサートされます。

7.4.10.7 保護のエラー コード

1 つ以上の保護をトリガした後にデバイスがフォルト モードに移行すると、CFX ピンにエラー コードが送信されます。エラー コードにより、トリガされる保護機能について通知され、電源設計プロセス中に迅速なデバッグが可能になり、ユーザーの開発期間が短縮されます。図 7-15 に、各保護について CFX ピンで送信されるエラー コードを示します。保護がトリガされると、対応するエラー コードが CFX ピンに 3 回送信されます。また、UCG2883x/4x が構成ピンがオープンであることを検出した場合、または非有効な抵抗が構成ピンに接続されている場合、またはメモリ内の内部 CRC エラーが発生すると、ピン構成エラー コードが生成されます。複数の保護がトリガされた場合、出力コードには、トリガされる保護に対応する複数の 1 (ロジック High) が含まれます。

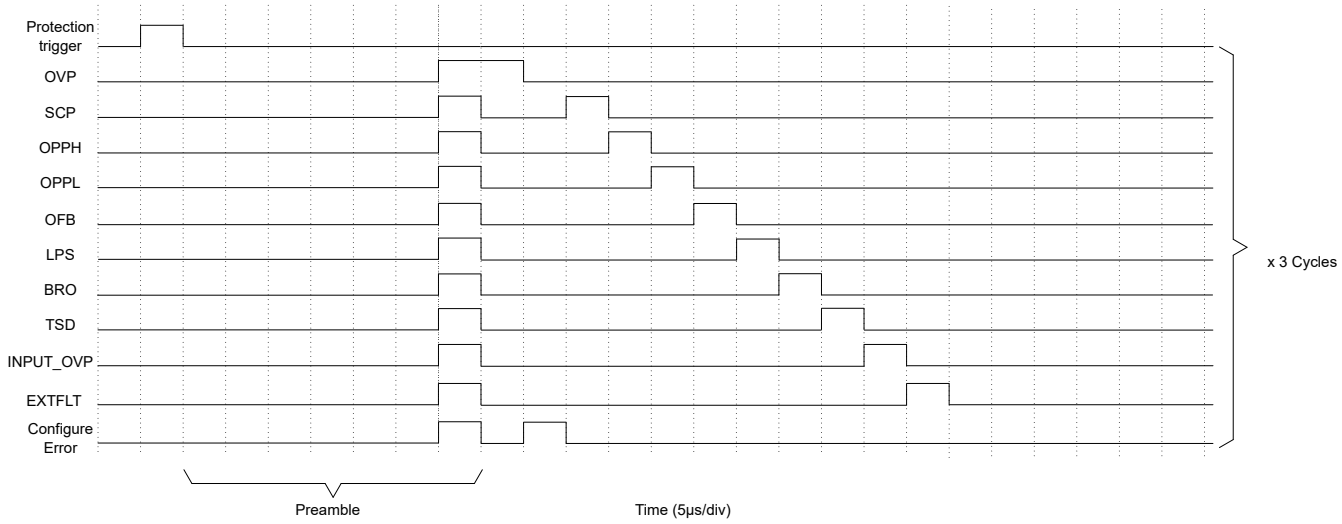


図 7-15. さまざまな保護のための CFX ピンのエラー コード

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UCG2883x/4x は、750V GaN HEMT を内蔵し、オプトカプラを使用した 2 次側出力電圧安定化機能を搭載した 65W AC/DC フライバック コンバータです。このデバイスは自己バイアス機能と補助なしのセンシング機能を搭載しているので、トランスの補助巻線が不要になり、シンプルで低コストの設計を実現できます。統合型 GaN HEMT を持つ UCG2883x/4x は、最大 500kHz のスイッチング周波数で動作できるため、小型フォーム ファクタと電力密度の高いフライバック設計を実現できます。

8.2 代表的なアプリケーション

UCG2883x/4x は、65W AC/DC フライバック設計をサポートしており、携帯端末やノート パソコンのチャージャ、USB 電源コンセント、産業用電源レール、サーバー補助電源などのアプリケーションに便利です。内蔵の GaN HEMT と補助なしセンシングにより、主要な電力段部品とプログラミング抵抗のみを接続して、対象アプリケーションに合わせて設計を構成するため、フライバック設計を簡素化できます。表 8-1 に、標準的な 65W ノート PC チャージャの設計要件を示します。

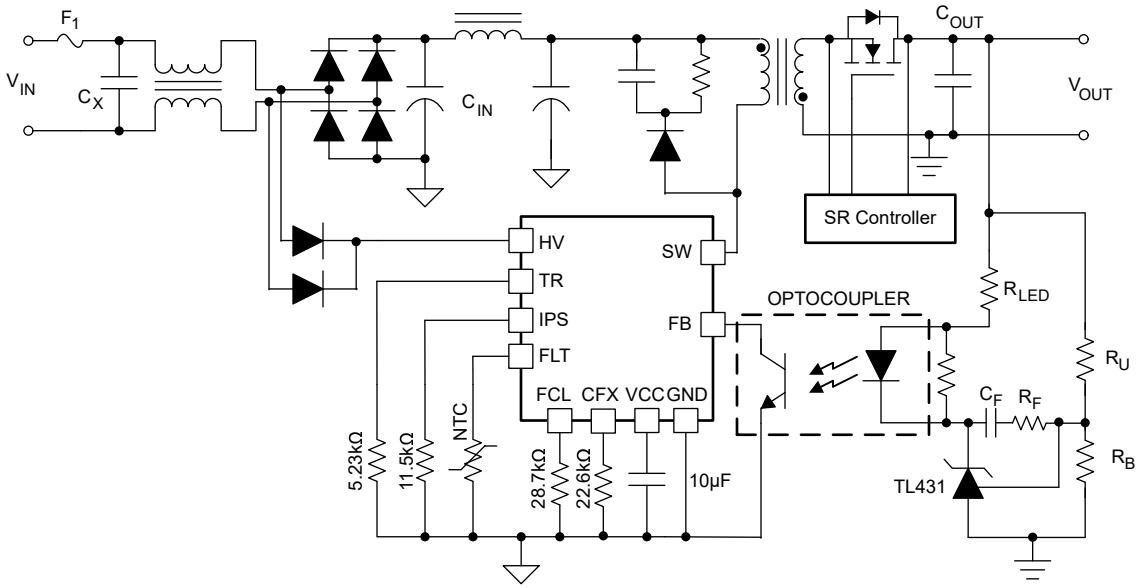


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1. 設計パラメータ

設計パラメータ	テスト条件	最小値	標準値	最大値	単位
ライン入力電圧		90	115/230	264	VAC
入力バルク コンデンサ電圧		80			V
ライン周波数		45	50/60	66	Hz
出力電圧/電流	USB-PD 出力	5V/3A、9V/3A、15V/3A、20V/3.25A			

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

設計パラメータ	テスト条件	最小値	標準値	最大値	単位
出力電力				65	W
出力リップル				200	mV
効率			全負荷時で 93% 超		
無負荷時入力電力				30	mW
小負荷時入力電力	P_{OUT} = 180mW			300	mW
スイッチング周波数				140	kHz

8.2.2 詳細な設計手順

このセクションでは、出力段部品の値を計算する方法について説明します。

8.2.2.1 入力バルク コンデンサ

バルク コンデンサには、ブリッジ整流器の出力に 1 つまたは複数の高電圧電解コンデンサが並列に接続されます。コンデンサは、定格出力電力を供給している間に瞬時線間入力電圧がピーク値以下に低下したときのエネルギーを蓄えるために必要です。入力 EMI フィルタの設計については、このデータシートの範囲外であり、説明していません。

電圧低下を防止し、十分な電力供給を確保するため、一定の最小入力バルク コンデンサ電圧 ($V_{BULKmin}$) を維持します。この設計では、$V_{BULKmin}$ は 75V と仮定しています。必要な最小入力バルク容量 (C_{IN}) は、式 5 を使用して推定します。この値は、定格入力電力 $V_{BULKmin}$、最小 AC ライン入力電圧と、このコンデンサが $V_{BULKmin}$ を下回ることなく出力負荷をサポートする必要がある時間に依存します。

$$C_{IN} = \frac{2P_{IN} \times \left(\frac{1}{4f_{AC}} + \frac{1}{2\pi f_{AC}} \arcsin\left[\frac{V_{BULKmin}}{\sqrt{2}V_{ACmin}} \right] \right)}{(\sqrt{2}V_{ACmin})^2 - (V_{BULKmin})^2} \quad (5)$$

上の式を使用すると、65W の P_{OUT} に対して最小 C_{IN} の値を 100µF に決定し、85VAC の V_{ACmin} で 93% の効率を達成します。複数のコンデンサを並列に使用することで、この値を実現することで、これらのコンデンサの合計 ESR とサイズを削減できます。

8.2.2.2 変圧器の 1 次側インダクタンスと巻線比

トランスの巻線比は、1 次側 GaN HEMT の最大ドレインソース間電圧 (V_{DS}) 定格によって制限され、2 次側 SR FET の電圧定格とスイッチング損失によって決定されます。スナバ損失を低減し、効率を向上させるため、この設計では巻線比を 6 に選択します。UCG2883x/4x は、20V 出力の場合、6 から 7.875 の範囲の巻線比をサポートします。

トランスの 1 次側インダクタンスにより、UCG2883x/4x を使用してフライバック コンバータの動作の範囲を通してスイッチング周波数が決定されます。この設計では、スイッチング周波数を最大制限である 140kHz の半分と想定しています。この値は、低ライン入力 90VAC の場合、70kHz です。この入力電圧と全負荷 65W では、コンバータは 1 次バレー QR モードで動作し、消磁リンギング期間は無視されて、デューティ サイクルは次のようになります。

$$D_{max} = \frac{NV_{OUT}}{V_{IN} + NV_{OUT}} \quad (6)$$

ここで、巻線比 N は次の式で与えられます。

$$N = \frac{N_P}{N_S} \quad (7)$$

式 6 と 式 7 から、1 次側インダクタンスは次のように求められます。

$$L_M = \frac{V_{BULKmin}^2 \times D_{max}^2 \times T_{SW} \times \eta}{2P_{OUTmax}} \quad (8)$$

巻数比が 6 に等しい場合、2 次側 SR FET 電圧は式 9 を使用して、電流定格は式 10 を使用して計算されます。マージンが 25% になり、定格が 100V および 24A 以上の SR FET を使用します。

$$V_{SRFET} = \frac{\sqrt{2}V_{ACmax}}{N} + V_{OUT} \quad (9)$$

$$I_{SEC,\,PK} = N \times I_{PRI,\,PK} \quad (10)$$

8.2.2.3 出力コンデンサ

出力コンデンサの値は、出力電圧リップルと出力過渡電圧応答 (オーバーシュートおよびアンダーシュート) という 2 つの仕様に基づいて決定します。無負荷から全負荷までの負荷ステップに対する最小コンデンサ値は、次の式で求められます。

$$C_{OUT} = \frac{I_{step} \times t_{response}}{\Delta V_{OUT}} \quad (11)$$

ここで

- I_{step} は最大出力電流
- $t_{response}$ はループ応答時間
- ΔV_{OUT} は許容可能な出力電圧の変化

$$t_{response} = \frac{0.33}{f_C} + T_{SW} \quad (12)$$

ここで

- f_C はおおよそのループ クロスオーバー周波数で、ここでは 5kHz に設定
- T_{SW} は、負荷ステップ前の初期負荷条件でのスイッチング時間

クロスオーバー周波数が 3kHz、バースト モードでのスイッチング周波数が 250kHz、出力電流ステップが 3.25A、電圧アンダーシュートおよびオーバーシュートが 0.5V の場合、必要な最小出力コンデンサ値は 740µF になります。コンデンサの ESR と ESL を考慮するために、820µF コンデンサが選ばれています。

8.2.2.4 選択抵抗

UCG2883x/4x は、IPS、TR、CFX、FCL ピンの抵抗によるプログラミング オプションを提供しており、ユーザーは必要な構成に合わせてデバイスを構成できます。ノート パソコン充電器アプリケーションで必要な巻線比 6、最大 3.1A、最小ピーク電流 1.03A、CCM 対応、X コンデンサ放電対応、140kHz 周波数クランプを設定するための抵抗値については、表 7-1、表 7-2、表 7-3 および表 7-4 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

以下の図は、UCG2883x/4x の 65W ユニバーサル入力評価基板で測定したものです。これらの波形は、さまざまな出力電力、周波数フォールドバックとバースト モード動作、および 20V と 5V 出力で無負荷から全負荷までの過渡事象と、異なるバレーでのスイッチングを示しています。

黄:SW ノード、緑: 入力バルク コンデンサ電圧、ピンク: FB ピン電圧

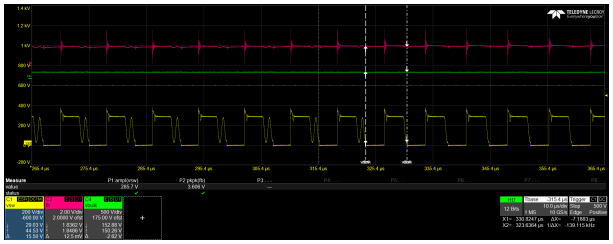


図 8-2. 115VAC での第 1 および第 2 バレー動作

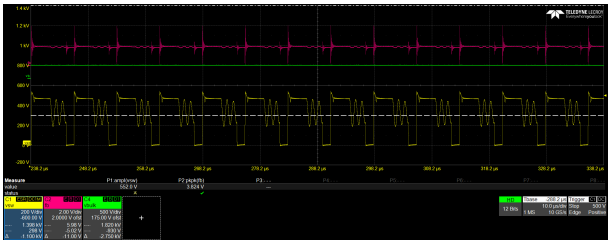


図 8-3. 230VAC での第 3 バレー動作

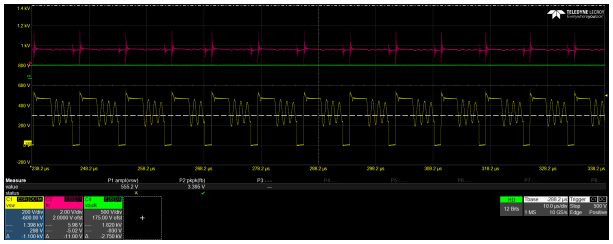


図 8-4. 230VAC での第 4 バレー動作

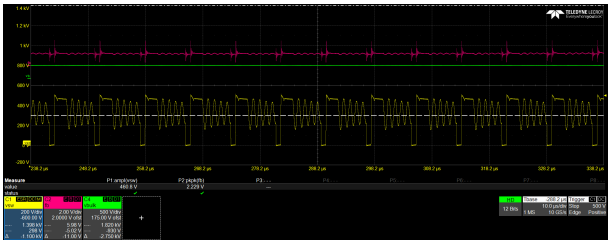


図 8-5. 230VAC での第 5 バレー動作

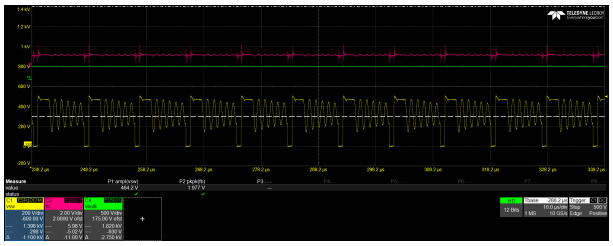


図 8-6. 230VAC での第 6 バレー動作

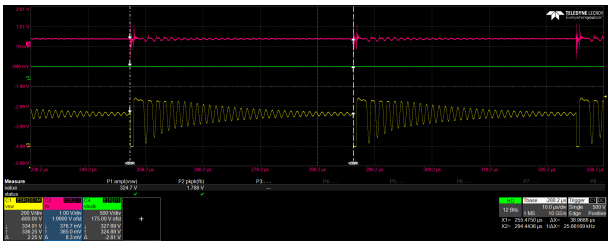


図 8-7. 230VAC での周波数フォールドバック モード

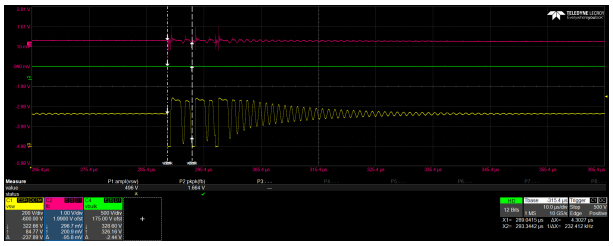
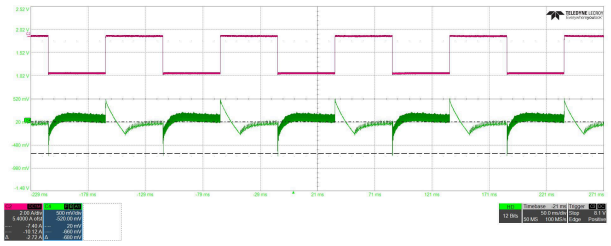


図 8-8. 230VAC でのバースト モード

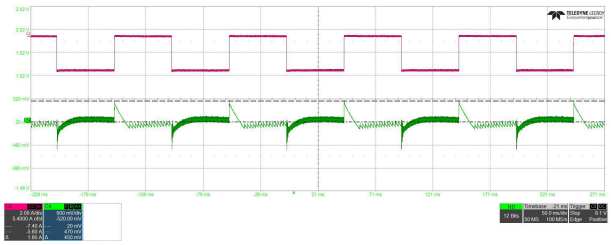


注

緑:V_{OUT}、ピンク:出力電流

図 8-9. 230VAC および 20V 出力時の負荷過渡応答

Copyright © 2026 Texas Instruments Incorporated



注

緑:V_{OUT}、ピンク:出力電流

図 8-10. 230VAC および 5V 出力時の負荷過渡応答

8.3 電源に関する推奨事項

UCG2883x/4x は、85VAC ～ 264VAC、45Hz ～ 66Hz の範囲レンジでユニバーサル AC 入力を受け入れる AC/DC アダプタ向けに設計されており、フライバック トポロジを使用して最大 65W の出力を供給します。UCG2883x/4x は USB-PD チャージャ アプリケーションに有用ですが、このコンバータは 12V、24V、36V などの固定出力電圧を使用する産業用アプリケーションにも使用できます。デフォルトの 20V の最大出力電圧設定とは異なる出力電圧に合わせて、TR ピンの抵抗を変更します。2 次側フィードバックでは、USB-PD コントローラまたは TL431 を使用して、固定出力設計で出力レギュレーションを実現します。

UCG2883x/4x は、自己バイアス技術を使用し、フライバック補助巻線の必要性の排除、BoM コストの削減、効率の向上、EMI 設計を簡素化を実現します。VCC 電圧は、$V_{VCC(REG)}$ レベルまで自己制御されます。自己バイアス メカニズムを正常に機能させるためには、VCC ピンおよび GND ピンから 1mm 以内に高周波、低 ESL の 0.1μF セラミック コンデンサを配置します。

さらに、全体の VCC 容量は、ライン周波数とライン ドロップアウトのテスト要件に基づいて選択します。コンバータのスタンバイ電力を最小化するため、VCC コンデンサは、に半ライン サイクルを通してバースト モード ($I_{VCCSLEEP}$) で UCG2883x/4x 供給電流を供給するのに十分なエネルギーを保持する必要があります。電源がライン ドロップアウト テストに合格する必要がある場合、ライン ドロップアウト期間中、バースト モード ($I_{VCCSLEEP}$) で供給するのに十分なエネルギーを VCC コンデンサに保持する必要もあります。VCC 容量は、バースト モード動作またはライン ドロップアウト テストに必要な、より長いホールドアップ時間によって決定されます。対応するコンデンサ値を、式 13 に基づき選択します。電圧を印加すると静電容量が減少するため、容量のディレーティングを実行します。

$$C_{VCC} > \left(T_{holdup} \times I_{VCCSLEEP}\right) \div 0.3V \quad (13)$$

8.4 レイアウト

8.4.1 レイアウトのガイドライン

設計の信頼性および実現性を高めるため、PCB レイアウトに関する以下のガイドラインに従うことを推奨します。ガイドラインは、すべての電源設計について従うことができる一般的な推奨事項であり、一般的にトポロジに固有のものではありません。電源レイアウトの主なテーマは、結合や、基板の寄生成分に起因する不正確なセンシングに起因する追加の損失や誤スイッチングを防止するために、大電流ループをできるだけ小さくすることです。

1. 大電流ループを最小化し、寄生容量とインダクタンスを低減します。UCG2883x/4x では、大電流ループは 1 次側電源ループ、2 次側電源ループ、リーク スナバ ループです。
2. スイッチング ノイズを低電圧信号から分離するために、デバイスの信号グランドを高電流グランドから分離します。UCG2883x/4x では、ピン 4-11 の部品は GND ピン 3 とピン 10 を基準としており、これらの部品はデバイスのサーマル パッドと GND 電源プレーンに接続されているため、この推奨に従ってください。
3. VCC ピン上のバイパス コンデンサは、デバイスの VCC ピンおよび GND ピンにできるだけ近づけて配置します。

Copyright © 2026 Texas Instruments Incorporated

4. フライバック コンバータの入力へのスイッチング ノイズ結合を最小限に抑え、EMI フィルタ部品をバイパスすることを避けるため、HV ピンから 2 個のダイオードを経由して X コンデンサを直交させ、SW ピン/パターンから離して配線します。

『*UCG28826 評価基板*』ユーザー ガイドは、回路基板の設計時の参考として使用します。

8.4.2 レイアウト例

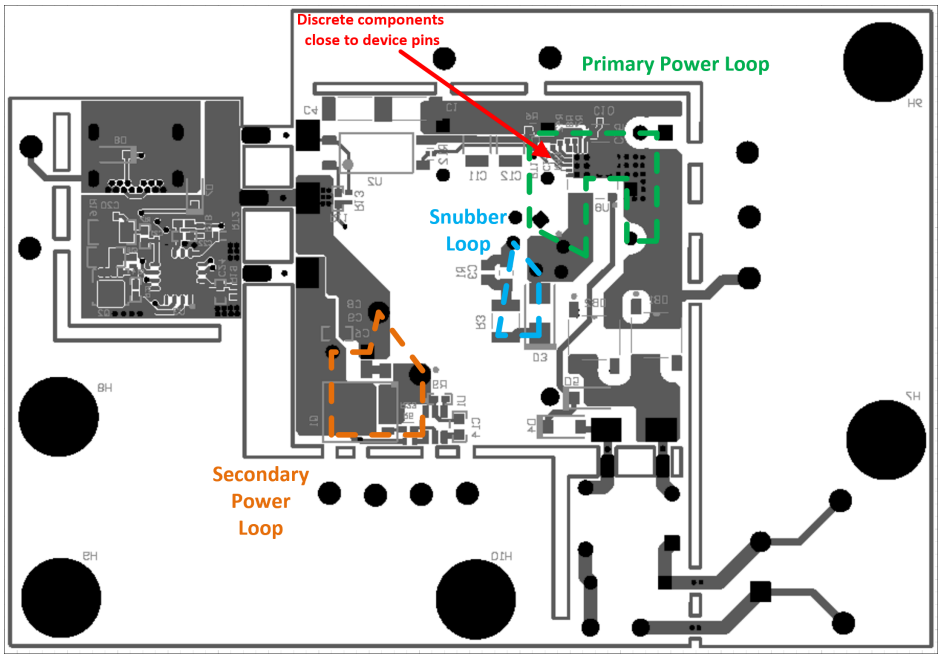


図 8-11. UCG28826EVM-093 評価ボードの下層レイアウト

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス・インスツルメンツ、『UCG2882x ファミリのデバイスを使用した固定出力電圧フライバックの設計』、アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』、アプリケーション ノート
- テキサス・インスツルメンツ、『UCG28826EVM-093 65W USB-C PD 高密度 GaN 統合疑似共振フライバック コンバータを使用した UCG28826EVM-093』、EVM ユーザー ガイド

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2026) to Revision C (October 2026)	Page
• データシートに UCG28838 を追加	1
• データシートに UCG28844 を追加	1
• ドキュメントのステータスを「量産データ」から「量産混合」に変更	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (March 2026) to Revision B (April 2026) **Page**

- ドキュメントのステータスを「量産混合」から「量産データ」に変更....1

Changes from Revision * (March 2026) to Revision A (March 2026) **Page**

- ドキュメントのステータスを試作情報から混流生産に変更....1
- データシートに UCG28846 を追加....1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCG28836-1REZR	Active	Production	VQFN (REZ) | 12	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	U288361 NNNNC
UCG28838-2REZR	Active	Production	VQFN (REZ) | 12	2000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 105	U288382 NNNNC
UCG28846-1DR	Active	Production	SOIC (D) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	U288461

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

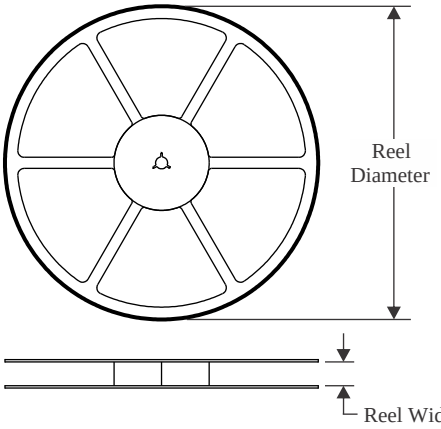
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

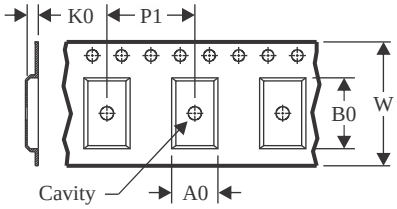
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

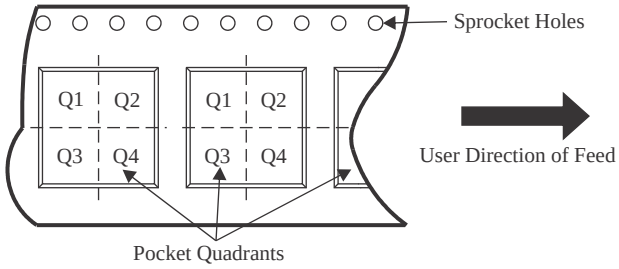


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

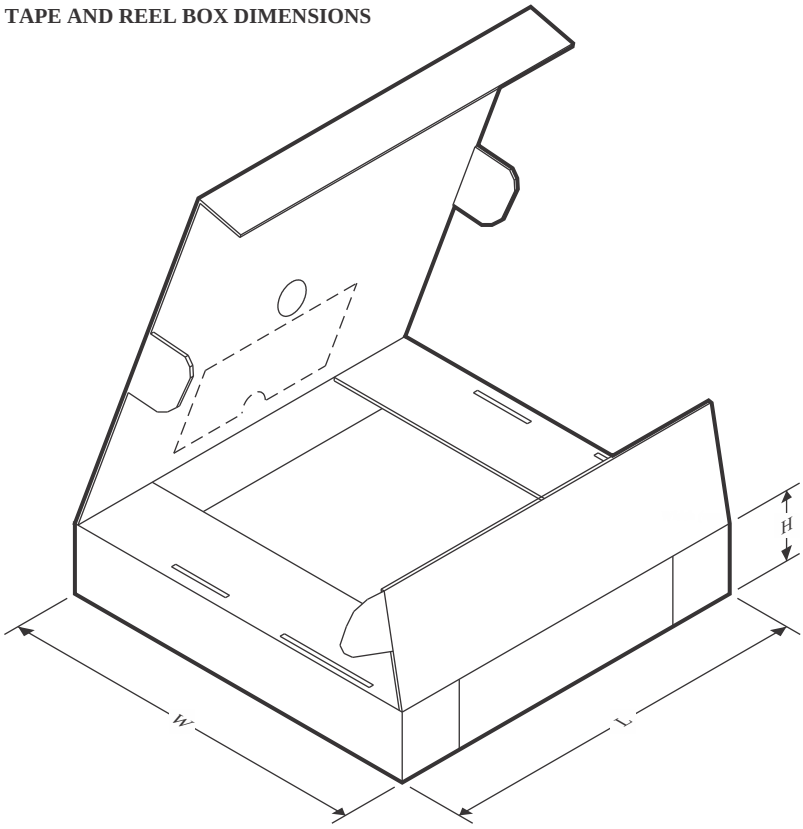
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

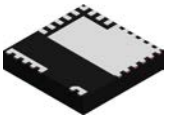
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCG28836-1REZR	VQFN	REZ	12	2000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
UCG28838-2REZR	VQFN	REZ	12	2000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
UCG28846-1DR	SOIC	D	16	2000	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCG28836-1REZR	VQFN	REZ	12	2000	346.0	346.0	33.0
UCG28838-2REZR	VQFN	REZ	12	2000	346.0	346.0	33.0
UCG28846-1DR	SOIC	D	16	2000	353.0	353.0	32.0

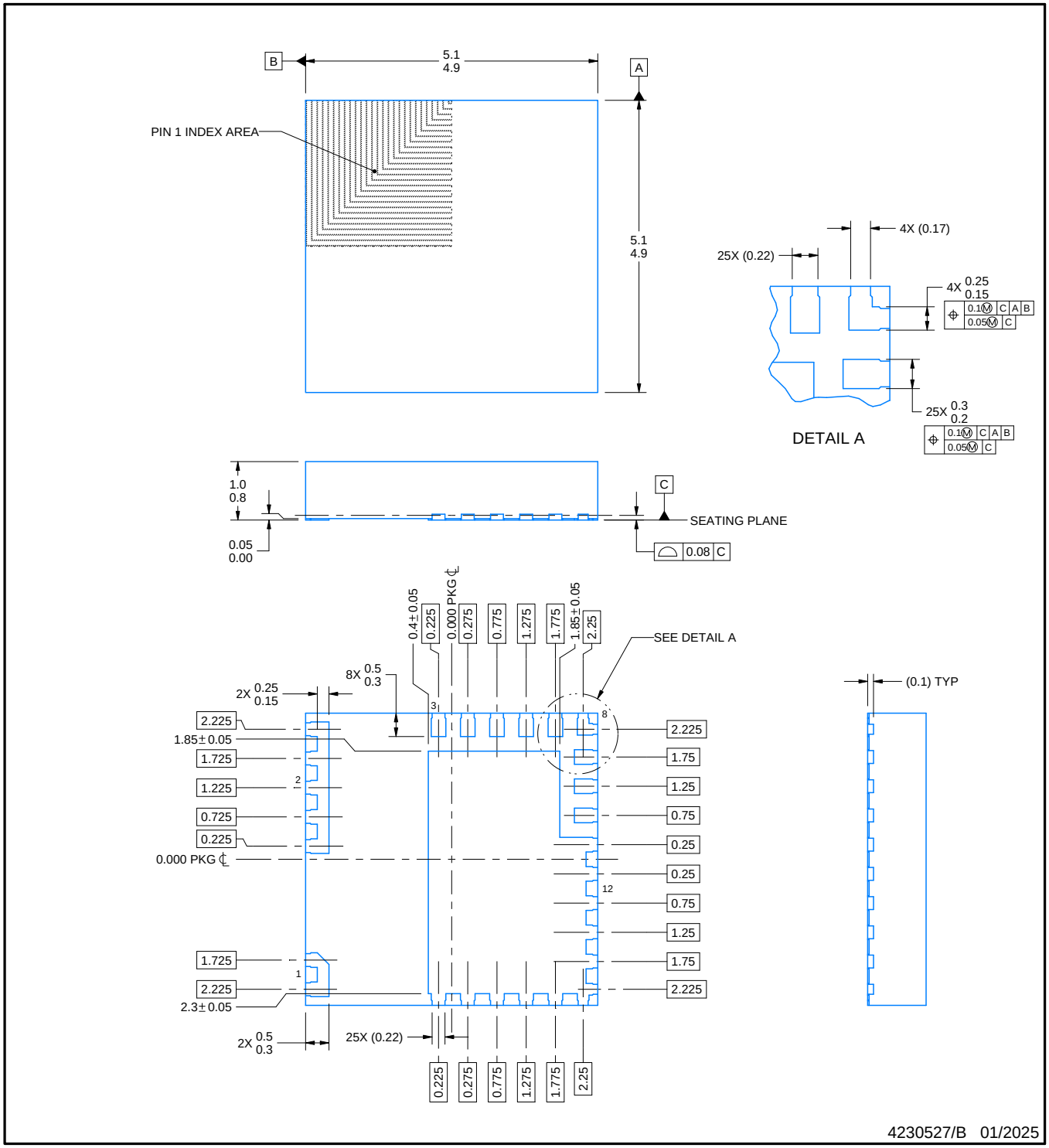


PACKAGE OUTLINE

REZ0012A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

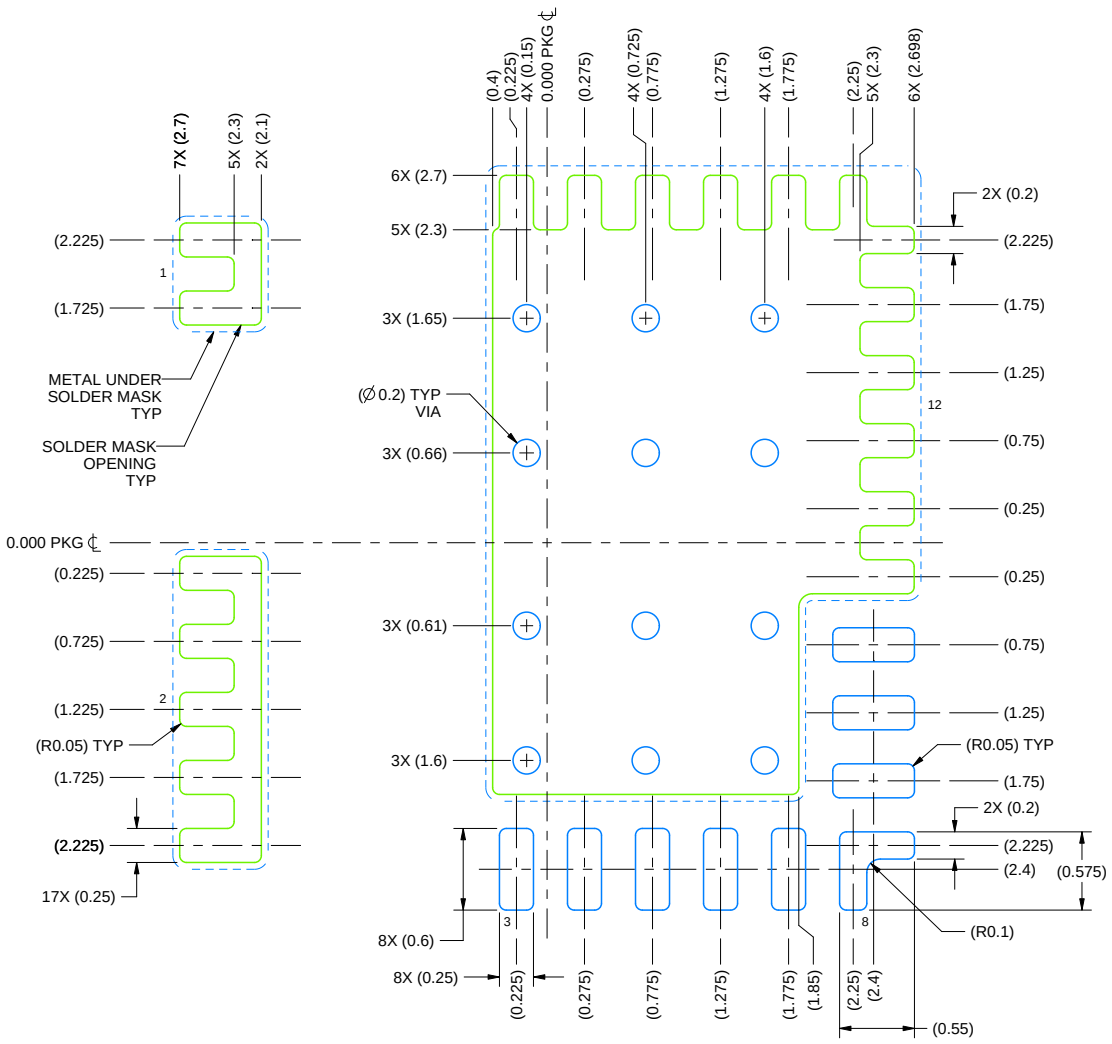
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

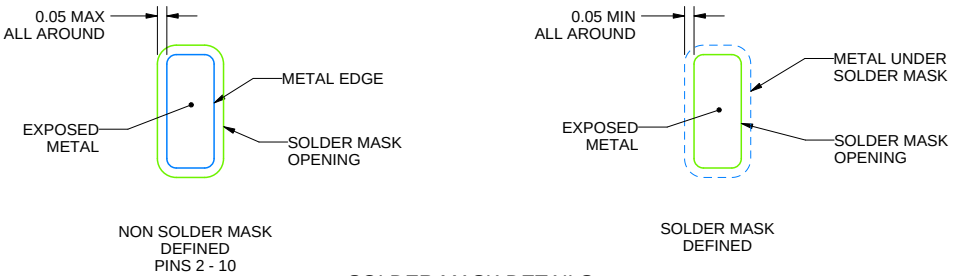
REZ0012A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 18X



NON SOLDER MASK DEFINED PINS 2 - 10

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4230527/B 01/2025

NOTES: (continued)

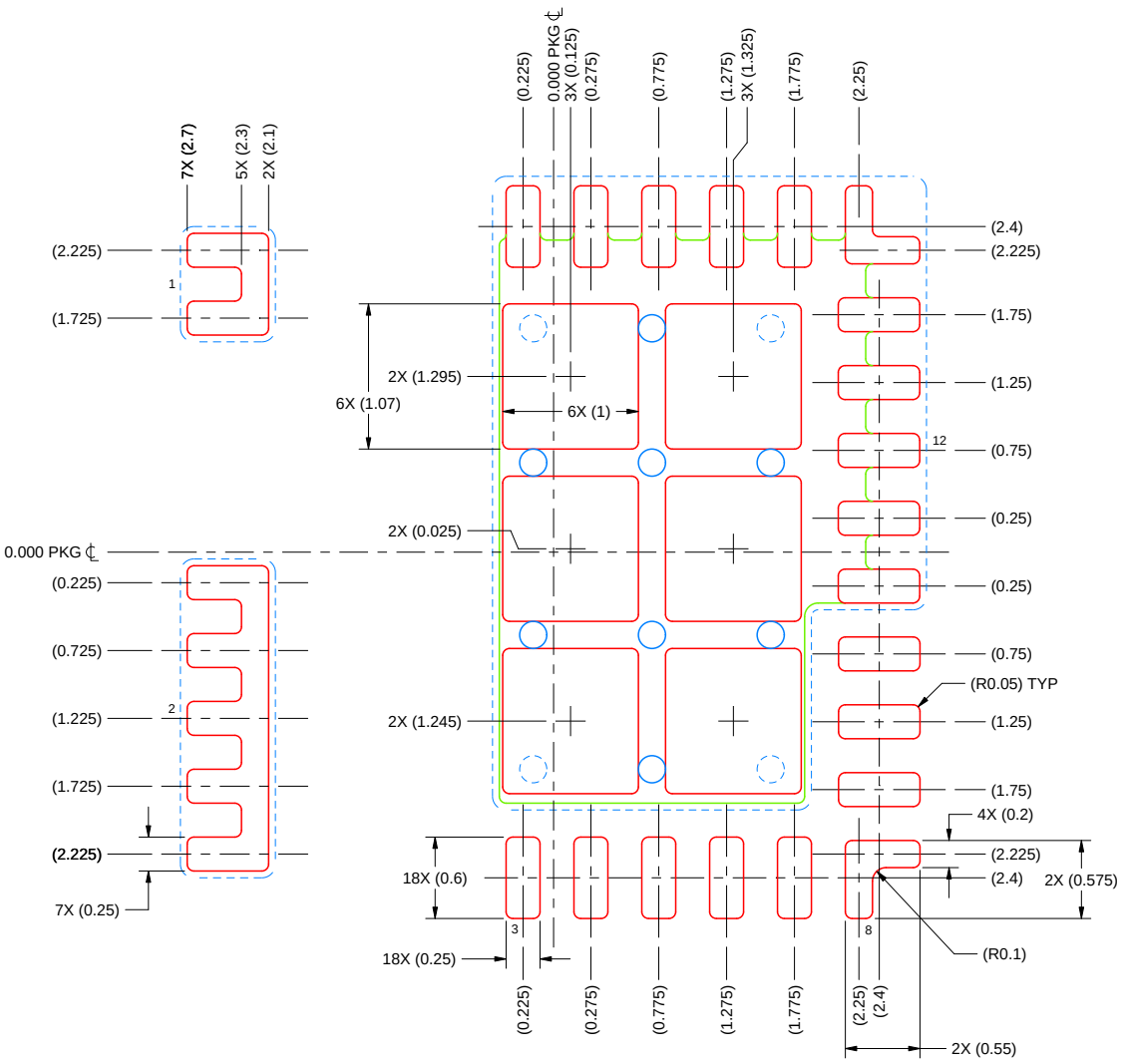
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REZ0012A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 18X

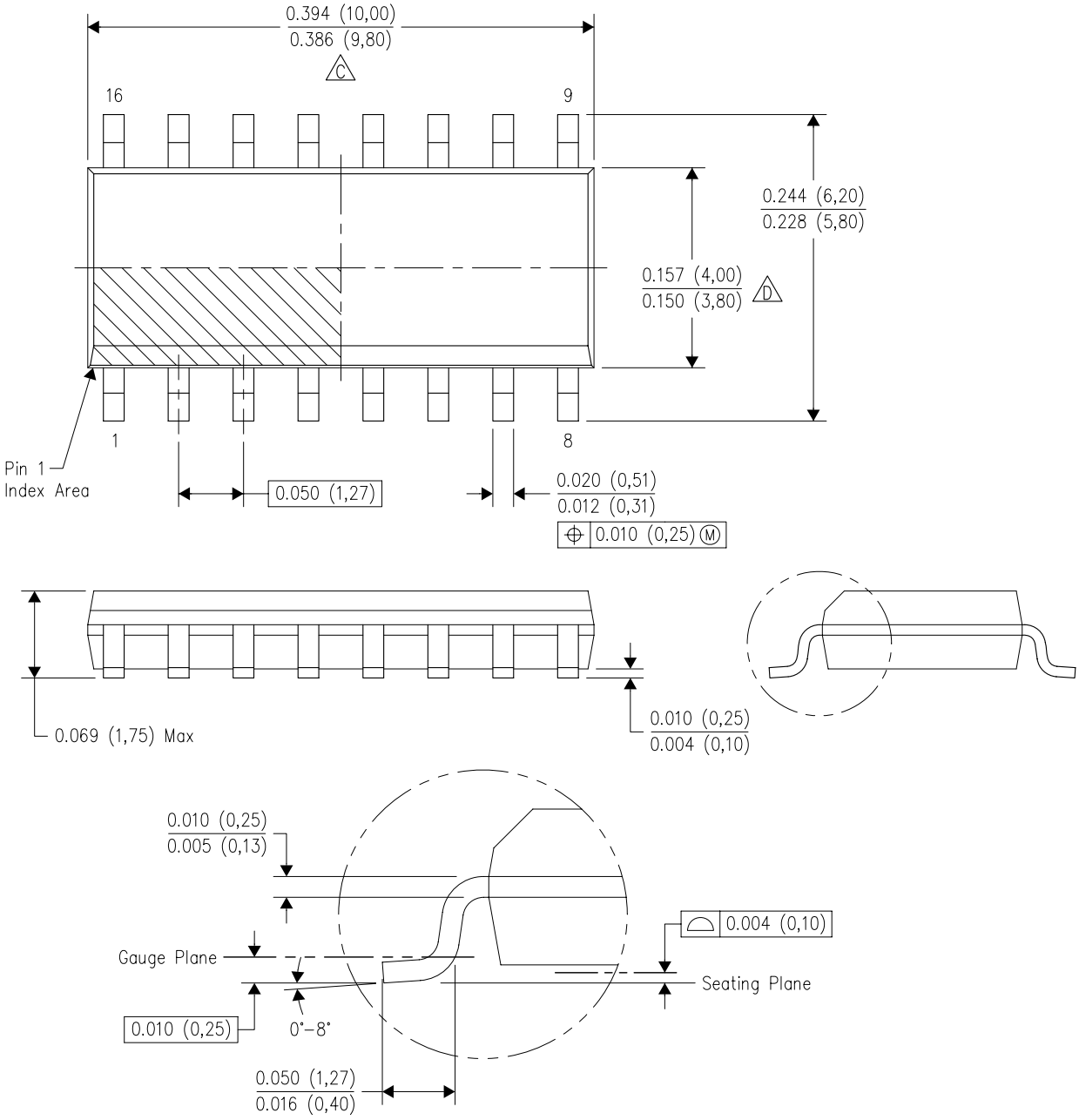
PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 12: 71%

4230527/B 01/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月