ULN200x、ULQ200x 高電圧、大電流ダーリントン トランジスタ アレイ

1 特長

- 定格 500mA のコレクタ電流 (単一出力)
- 高電圧出力:50 V
- 出力クランプ ダイオード
- 各種のロジックと互換性のある入力
- リレー ドライバ アプリケーション

2 アプリケーション

- リレー・ドライバ
- ステッパおよび DC ブラシ付きモータ・ドライバ
- ランプ・ドライバ
- ディスプレイ・ドライバ (LED、ガス放電)
- ライン・ドライバ
- ロジック・バッファ

3 概要

ULx200xA デバイスは、高電圧、大電流ダーリントン トランジスタ アレイです。各トランジスタ アレイは、誘導性負荷をスイッチングするために高い出力電圧と共通カソード クランプ ダイオードを備えた 7 つの NPN ダーリントン ペアで構成されています。

1 つのダーリントン ペアのコレクタ電流定格は 500mA です。ダーリントン ペアを並列に接続し、大電流に対応することもできます。アプリケーションには、リレー ドライバ、ハンマー ドライバ、ランプ ドライバ、ディスプレイ ドライバ (LED、ガス放電)、ライン ドライバ、ロジック バッファなどがあります。ULx2003A デバイスの 100V バージョン (電圧以外は互換) については、SLRS023 データシートの SN75468 および SN75469 デバイスを参照してください。

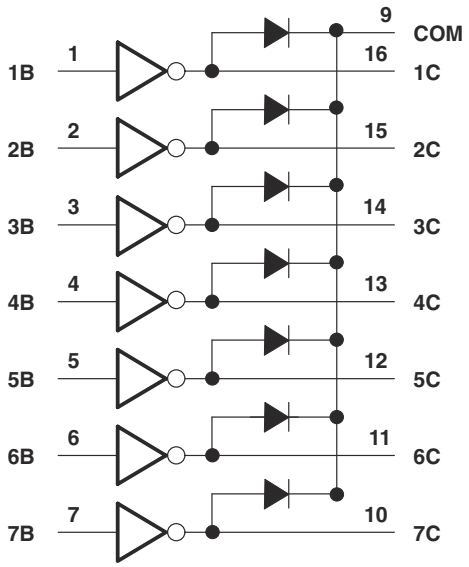
ULN2002A デバイスは、14V～25V の PMOS デバイスと組み合わせて使用するように特に設計されています。このデバイスの各入力には、入力電流を安全な限界値に制御するため直列に接続されたツェナー ダイオードと抵抗が内蔵されています。ULx2003A デバイスは、TTL または 5V CMOS デバイスで直接駆動できるように、各ダーリントン ペアにつき 1 つの 2.7kΩ 直列ベース抵抗を内蔵しています。

ULx2004A は、6V～15V の電源電圧を使用する CMOS デバイスで直接動作できるように、10.5kΩ の直列ベース抵抗を内蔵しています。ULx2004A デバイスに必要な入力電流は ULx2003A デバイスよりも小さく、必要な電圧は ULN2002A デバイスよりも低くなっています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ULN200xAD	SOIC (16)	9.90mm × 3.91mm
ULN200xAN	PDIP (16)	19.30mm × 6.35mm
ULN200xANS	SOP (16)	10.30mm × 5.30mm
ULN200xAPW	TSSOP (16)	5.00mm × 4.40mm
ULN2003ADYY	SOT (16)	4.20mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 4
5.5 電気的特性：ULN2002A ... 5
5.6 電気的特性：ULN2003A、ULN2004A ... 5
5.7 電気的特性：ULN2003AI ... 6
5.8 電気的特性：ULN2003AI ... 6
5.9 電気的特性：ULQ2003A、ULQ2004A ... 8
5.10 スイッチング特性：ULN2002A、ULN2003A、ULN2004A ... 8
5.11 スイッチング特性：ULN2003AI ... 8
5.12 スイッチング特性：ULN2003AI ... 10
5.13 スイッチング特性：ULQ2003A、ULQ2004A ... 10
5.14 代表的特性 ... 11
6 パラメータ測定情報 ... 13
7 詳細説明 ... 15
7.1 概要 ... 15
7.2 機能ブロック図 ... 15
7.3 機能説明 ... 16
7.4 デバイスの機能モード ... 16
8 アプリケーションと実装 ... 17
8.1 アプリケーション情報 ... 17
8.2 代表的なアプリケーション ... 17
8.3 システム例 ... 20
8.4 電源に関する推奨事項 ... 20
8.5 レイアウト ... 20
9 デバイスおよびドキュメントのサポート ... 22
9.1 ドキュメントのサポート ... 22
9.2 関連リンク ... 22
9.3 ドキュメントの更新通知を受け取る方法 ... 22
9.4 サポート・リソース ... 22
9.5 商標 ... 22
9.6 静電気放電に関する注意事項 ... 22
9.7 用語集 ... 22
10 改訂履歴 ... 22
11 メカニカル、パッケージ、および注文情報 ... 23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

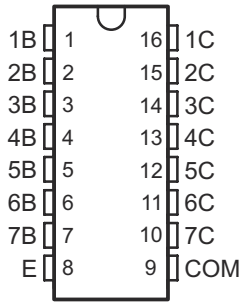


図 4-1. D、N、NS、PW パッケージ 16 ピン SOIC、PDIP、SO、TSSOP 上面図

表 4-1. ピンの機能

ピン		I/O[1]	説明
名称	番号		
1B	1	I	チャネル 1～7 のダーリントン ベース入力
2B	2		
3B	3		
4B	4		
5B	5		
6B	6		
7B	7		
1C	16	O	チャネル 1～7 のダーリントン コレクタ出力
2C	15		
3C	14		
4C	13		
5C	12		
6C	11		
7C	10		
COM	9	—	フライバック ダイオード用の共通カソード ノード (誘導性負荷のために必要)
E	8	—	すべてのチャネルで共有される共通エミッタ (通常はグランドに接続)

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流で気温 25℃ の場合 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	コレクタ - エミッタ間の電圧			50	V
	クランプ ダイオードの逆電圧(2)			50	V
V_I	入力電圧(2)			30	V
	ピーク コレクタ電流、図 5-4 および図 5-5 を参照			500	mA
I_{OK}	出力クランプ電流			500	mA
	エミッタ端子の総電流			-2.5	A
T_A	動作温度範囲	ULN200xA	-40	70	℃
		ULN200xAI	-40	105	
		ULQ200xA	-40	85	
		ULQ200xAT	-40	105	
		ULN2004ADR	-40	105	
T_J	動作時の仮想接合部温度			150	℃
	ケースから 1.6mm (1/16 インチ) 離れた場所の (10 秒間) リード温度			260	℃
T_{stg}	保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 電圧値はすべて、特に記載のない限り、ネットワークのエミッタ / サブストレート端子を基準としています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CC}	コレクタ - エミッタ間の電圧 (V 以外のデバイス)	0	50	V
T_J	接合部温度	-40	125	℃

5.4 熱に関する情報

熱評価基準(1)		ULx200x					単位
		D (SOIC)	N (PDIP)	NS (SO)	PW (TSSOP)	DYY (SOT)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	88.6	66.7	95.0	114.1	123.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	50.1	54.2	53.3	50.3	59.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.8	46.7	57.2	59.3	56.5	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	12.4	33.7	19.6	9.7	3.2	℃/W

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準[1]		ULx200x					単位
		D (SOIC)	N (PDIP)	NS (SO)	PW (TSSOP)	DYY (SOT)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
ψ_{JB}	接合部から基板への特性パラメータ	49.3	46.4	56.8	58.9	56.0	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

5.5 電気的特性：ULN2002A

T_A = 25°C

パラメータ		測定図	測定条件		ULN2002A			単位
					最小値	標準値	最大値	
$V_{I(on)}$	オン状態の入力電圧	図 6-6	V_{CE} = 2V、	I_C = 300mA			13	V
V_{OH}	スイッチング後の HIGH レベル出力電圧	図 6-10	V_S = 50V、I_O = 300mA		V_S - 20			mV
$V_{CE(sat)}$	コレクタ - エミッタ間の飽和電圧	図 6-4	I_I = 250µA、	I_C = 100mA		0.9	1.1	V
			I_I = 350µA、	I_C = 200mA		1	1.3	
			I_I = 500µA、	I_C = 350mA		1.2	1.6	
V_F	クランプの順方向電圧	図 6-7	I_C = 350mA			1.7	2	V
I_{CEX}	コレクタのカットオフ電流	図 6-1	V_{CE} = 50V、	I_I = 0			50	µA
		図 6-2	V_{CE} = 50V、T_A = 70°C	I_I = 0			100	
				V_I = 6V			500	
$I_{I(off)}$	オフ状態の入力電流	図 6-2	V_{CE} = 50V、	I_C = 500µA	50	65		µA
I_I	入力電流	図 6-3	V_I = 17V			0.82	1.25	mA
I_R	クランプの逆方向電流	図 6-6	V_R = 50V	T_A = 70°C			100	µA
			V_R = 50V				50	
C_i	入力容量		V_I = 0、	f = 1MHz			25	pF

5.6 電気的特性：ULN2003A、ULN2004A

T_A = 25°C

パラメータ		測定図	テスト条件		ULN2003A			ULN2004A			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
$V_{I(on)}$	オン状態の入力電圧	図 6-6	V_{CE} = 2V	I_C = 125mA						5	V
				I_C = 200mA			2.4			6	
				I_C = 250mA			2.7				
				I_C = 275mA						7	
				I_C = 300mA			3				
				I_C = 350mA						8	
V_{OH}	スイッチング後の HIGH レベル出力電圧	図 6-10	V_S = 50V、I_O = 300mA		V_S - 20			V_S - 20			mV
$V_{CE(sat)}$	コレクタ - エミッタ間の飽和電圧	図 6-5	I_I = 250µA、	I_C = 100mA		0.9	1.1		0.9	1.1	V
			I_I = 350µA、	I_C = 200mA		1	1.3		1	1.3	
			I_I = 500µA、	I_C = 350mA		1.2	1.6		1.2	1.6	

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性：ULN2003A、ULN2004A (続き)

T_A = 25℃

パラメータ		測定図	テスト条件		ULN2003A			ULN2004A			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
I_{CEX}	コレクタのカットオフ電流	図 6-1	V_{CE} = 50V	I_I = 0			50			50	μA
		図 6-2	V_{CE} = 50V、T_A = 70℃	I_I = 0			100			100	
				V_I = 1 V						500	
V_F	クランプの順方向電圧	図 6-8	I_F = 350mA			1.7	2		1.7	2	V
$I_{I(off)}$	オフ状態の入力電流	図 6-3	V_{CE} = 50V、T_A = 70℃、	I_C = 500μA	50	65		50	65		μA
I_I	入力電流	図 6-4	V_I = 3.85 V			0.93	1.35				mA
			V_I = 5 V						0.35	0.5	
			V_I = 12 V						1	1.45	
I_R	クランプの逆方向電流	図 6-7	V_R = 50V				50			50	μA
			V_R = 50V	T_A = 70℃			100			100	
C_i	入力容量		V_I = 0、	f = 1MHz		15	25		15	25	pF

5.7 電気的特性：ULN2003AI

T_A = 25℃

パラメータ		測定図	テスト条件		ULN2003AI			単位
					最小値	代表値	最大値	
$V_{I(on)}$	オン状態の入力電圧	図 6-6	V_{CE} = 2V	I_C = 200mA			2.4	V
				I_C = 250mA			2.7	
				I_C = 300mA			3	
V_{OH}	スイッチング後の HIGH レベル出力電圧	図 6-10	V_S = 50V、I_O = 300mA		V_S - 50			mV
$V_{CE(sat)}$	コレクタ - エミッタ間の飽和電圧	図 6-5	I_I = 250μA、	I_C = 100mA		0.9	1.1	V
			I_I = 350μA、	I_C = 200mA		1	1.3	
			I_I = 500μA、	I_C = 350mA		1.2	1.6	
I_{CEX}	コレクタのカットオフ電流	図 6-1	V_{CE} = 50V	I_I = 0			50	μA
V_F	クランプの順方向電圧	図 6-8	I_F = 350mA			1.7	2	V
$I_{I(off)}$	オフ状態の入力電流	図 6-3	V_{CE} = 50V	I_C = 500μA	50	65		μA
I_I	入力電流	図 6-4	V_I = 3.85 V			0.93	1.35	mA
I_R	クランプの逆方向電流	図 6-7	V_R = 50V				50	μA
C_i	入力容量		V_I = 0、	f = 1MHz		15	25	pF

5.8 電気的特性：ULN2003AI

T_A = –40℃～105℃

パラメータ		測定図	テスト条件		ULN2003AI			単位
					最小値	代表値	最大値	
$V_{I(on)}$	オン状態の入力電圧	図 6-6	V_{CE} = 2V	I_C = 200mA			2.7	V
				I_C = 250mA			2.9	
				I_C = 300mA			3	
V_{OH}	スイッチング後の HIGH レベル出力電圧	図 6-10	V_S = 50V、I_O = 300mA		V_S – 50			mV

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：ULN2003AI (続き)

T_A = –40℃～105℃

パラメータ		測定図	テスト条件		ULN2003AI			単位
					最小値	代表値	最大値	
$V_{CE(sat)}$	コレクタ - エミッタ間の飽和電圧	図 6-5	I_I = 250μA、	I_C = 100mA		0.9	1.2	V
			I_I = 350μA、	I_C = 200mA		1	1.4	
			I_I = 500μA、	I_C = 350mA		1.2	1.7	
I_{CEX}	コレクタのカットオフ電流	図 6-1	V_{CE} = 50V	I_I = 0			100	μA
V_F	クランプの順方向電圧	図 6-8	I_F = 350mA			1.7	2.2	V
$I_{I(off)}$	オフ状態の入力電流	図 6-3	V_{CE} = 50V	I_C = 500μA	30	65		μA
I_I	入力電流	図 6-4	V_I = 3.85 V			0.93	1.35	mA
I_R	クランプの逆方向電流	図 6-7	V_R = 50V				100	μA
C_i	入力容量		V_I = 0、	f = 1MHz		15	25	pF

Copyright © 2025 Texas Instruments Incorporated

5.9 電気的特性：ULQ2003A、ULQ2004A

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		測定図	テスト条件		ULQ2003A			ULQ2004A			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
$V_{I(on)}$	オン状態の入力電圧	図 6-6	V_{CE} = 2V	I_C = 125mA						5	V
				I_C = 200mA			2.7			6	
				I_C = 250mA			2.9				
				I_C = 275mA						7	
				I_C = 300mA			3				
				I_C = 350mA						8	
V_{OH}	スイッチング後の HIGH レベル出力電圧	図 6-10	V_S = 50V、I_O = 300mA		V_S - 50			V_S - 50			mV
$V_{CE(sat)}$	コレクタ - エミッタ間の飽和電圧	図 6-5	I_I = 250µA、	I_C = 100mA		0.9	1.2		0.9	1.1	V
			I_I = 350µA、	I_C = 200mA		1	1.4		1	1.3	
			I_I = 500µA、	I_C = 350mA		1.2	1.7		1.2	1.6	
I_{CEX}	コレクタのカットオフ電流	図 6-1	V_{CE} = 50V	I_I = 0			100			50	µA
		図 6-2	V_{CE} = 50V、T_A = 70°C	I_I = 0						100	
				V_I = 1 V						500	
V_F	クランプの順方向電圧	図 6-8	I_F = 350mA			1.7	2.3		1.7	2	V
$I_{I(off)}$	オフ状態の入力電流	図 6-3	V_{CE} = 50V、T_A = 70°C、	I_C = 500µA		65		50	65		µA
I_I	入力電流	図 6-4	V_I = 3.85 V			0.93	1.35				mA
			V_I = 5 V						0.35	0.5	
			V_I = 12 V						1	1.45	
I_R	クランプの逆方向電流	図 6-7	V_R = 50V	T_A = 25°C			100			50	µA
			V_R = 50V				100			100	
C_i	入力容量		V_I = 0、	f = 1MHz		15	25		15	25	pF

5.10 スイッチング特性：ULN2002A、ULN2003A、ULN2004A

T_A = 25°C

パラメータ		測定条件	ULN2002A、ULN2003A、ULN2004A			単位
			最小値	標準値	最大値	
t_{PLH}	伝搬遅延時間、LOW レベルから HIGH レベル出力まで	図 6-9 を参照		0.25	1	µs
t_{PHL}	伝搬遅延時間、HIGH レベルから LOW レベル出力まで	図 6-9 を参照		0.25	1	µs

5.11 スイッチング特性：ULN2003AI

T_A = 25°C

パラメータ		測定条件	ULN2003AI			単位
			最小値	標準値	最大値	
t_{PLH}	伝搬遅延時間、LOW レベルから HIGH レベル出力まで	図 6-9 を参照		0.25	1	µs

Copyright © 2025 Texas Instruments Incorporated

T_A = 25°C

パラメータ		測定条件	ULN2003AI			単位
			最小値	標準値	最大値	
t_{PHL}	伝搬遅延時間、HIGH レベルから LOW レベル出力まで	図 6-9 を参照		0.25	1	µs

5.12 スイッチング特性：ULN2003AI

T_A = -40°C～105°C

パラメータ		測定条件	ULN2003AI			単位
			最小値	標準値	最大値	
t_{PLH}	伝搬遅延時間、LOW レベルから HIGH レベル出力まで	図 6-9 を参照		1	10	µs
t_{PHL}	伝搬遅延時間、HIGH レベルから LOW レベル出力まで	図 6-9 を参照		1	10	µs

5.13 スイッチング特性：ULQ2003A、ULQ2004A

推奨動作条件範囲内での動作 (特に記述のない限り)

パラメータ		測定条件	ULQ2003A、ULQ2004A			単位
			最小値	標準値	最大値	
t_{PLH}	伝搬遅延時間、LOW レベルから HIGH レベル出力まで	図 6-9 を参照		1	10	µs
t_{PHL}	伝搬遅延時間、HIGH レベルから LOW レベル出力まで	図 6-9 を参照		1	10	µs

Copyright © 2025 Texas Instruments Incorporated

5.14 代表的特性

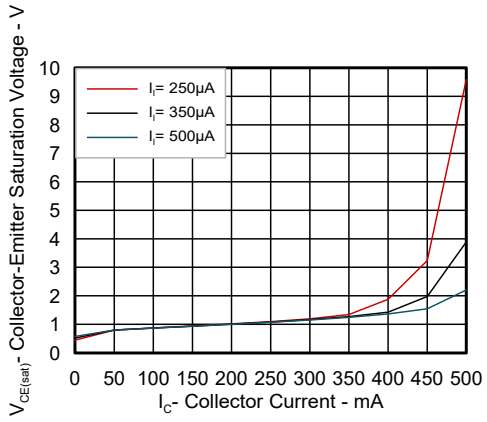


図 5-1. コレクタ - エミッタ間の飽和電圧とコレクタ電流との関係 (1 つのダーリントン)

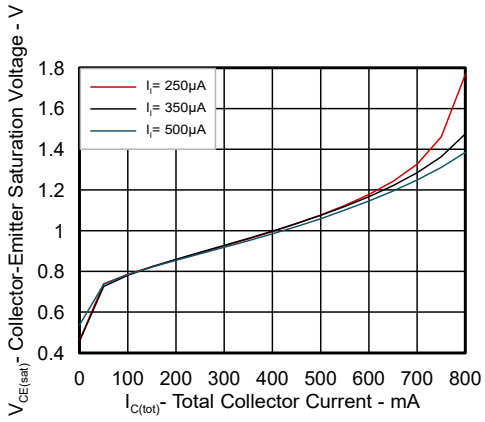


図 5-2. コレクタ - エミッタ間の飽和電圧と総コレクタ電流との関係 (並列接続した 2 つのダーリントン)

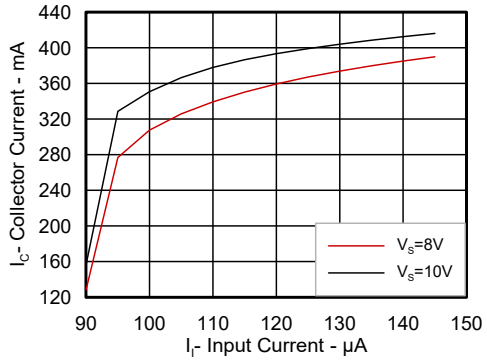


図 5-3. コレクタ電流と入力電流との関係

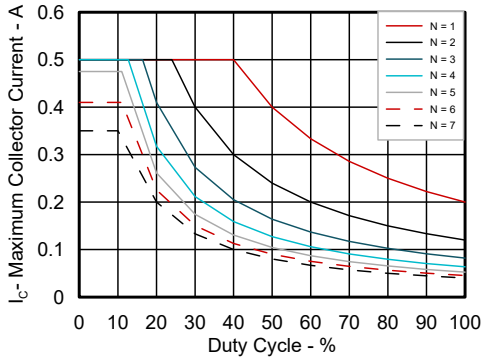


図 5-4. D パッケージの最大コレクタ電流とデューティ サイクルとの関係 (T_A = 70℃)

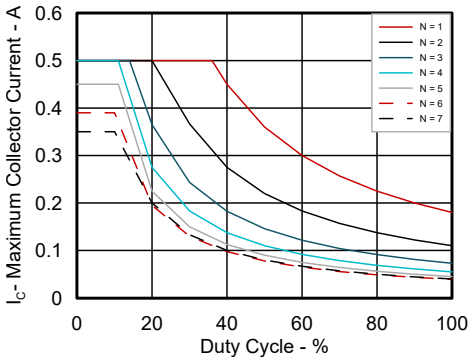


図 5-5. DYY パッケージの最大コレクタ電流とデューティ サイクルとの関係 (T_A = 70℃)

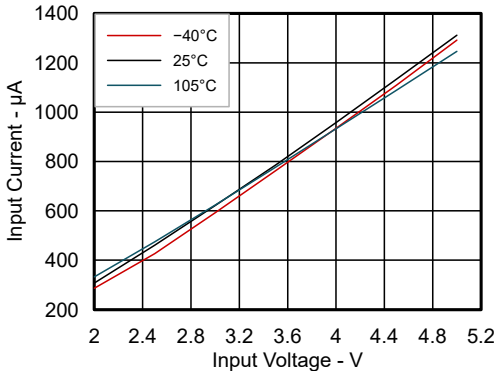


図 5-6. 入力電流 (最大値、標準値) と入力電圧との関係

5.14 代表的特性 (続き)

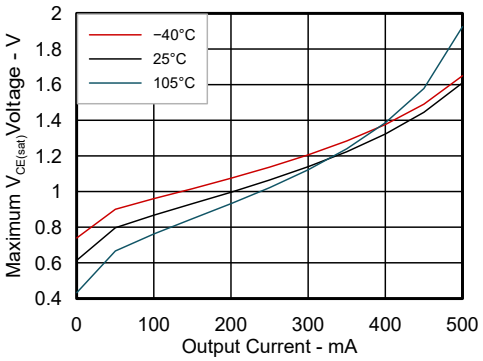


図 5-7. 飽和電圧 V_{CE} (最大値、標準値) と出力電流との関係

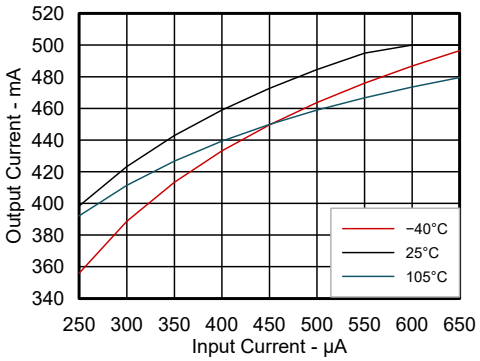


図 5-8. 最小出力電流と入力電流との関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

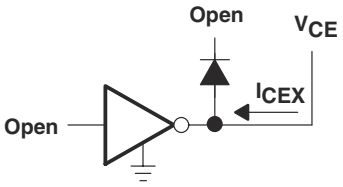


図 6-1. I_{CEX} 測定回路

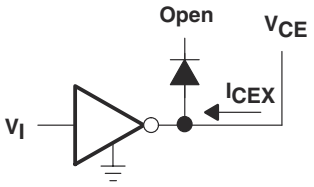


図 6-2. I_{CEX} 測定回路

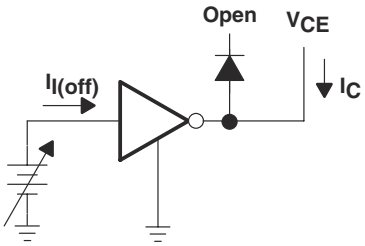


図 6-3. $I_{I(off)}$ 測定回路

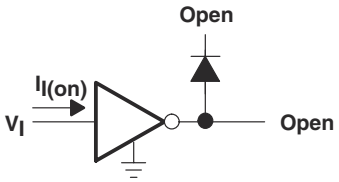
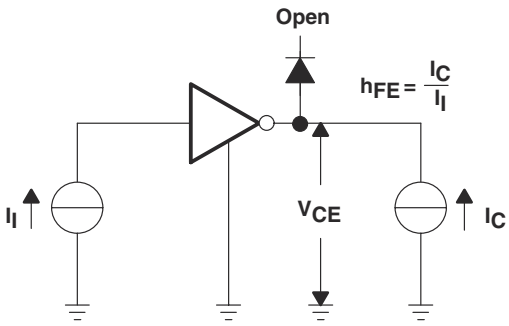


図 6-4. I_I 測定回路



I_I は $V_{CE(sat)}$ の測定では固定、h_{FE} の測定では可変です。

図 6-5. h_{FE}、$V_{CE(sat)}$ 測定回路

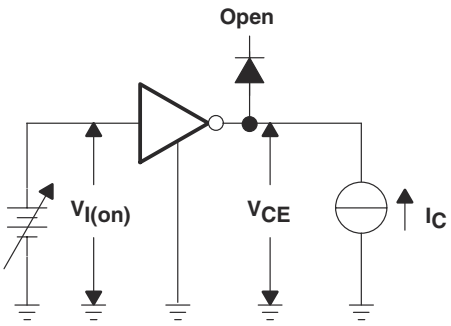


図 6-6. $V_{I(on)}$ 測定回路

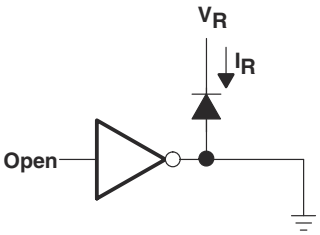


図 6-7. I_R 測定回路

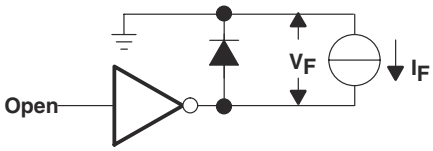


図 6-8. V_F 測定回路

Copyright © 2025 Texas Instruments Incorporated

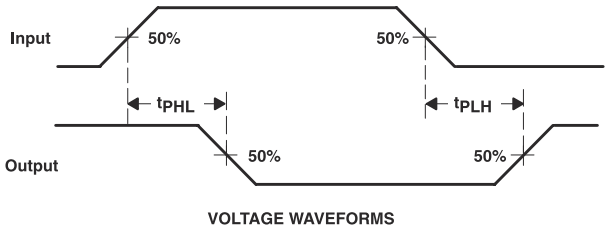
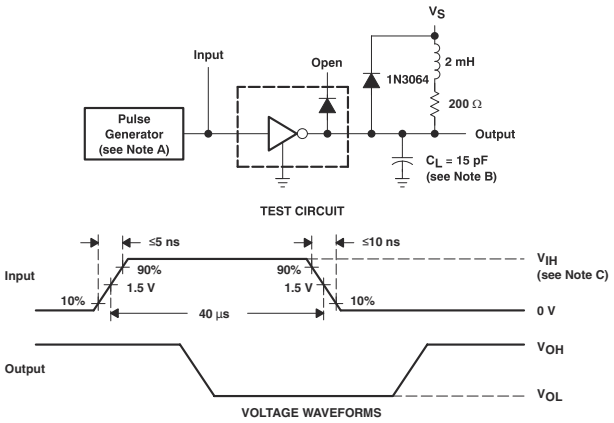


図 6-9. 伝搬遅延時間の波形



パルス・ジェネレータの特性は、以下のとおりです。PRR = 12.5kHz、Z_O = 50Ω。

C_L にはプローブと治具の容量が含まれます。

ULN2003A、ULN2003AI、ULQ2003A デバイスの測定では V_{IH} = 3V、ULN2002A デバイスの測定では V_{IH} = 13V、ULN2004A および ULQ2004A デバイスの測定では V_{IH} = 8V です。

図 6-10. ラッチアップ測定回路と電圧波形

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

この標準デバイスは、広範なアプリケーションにわたる普遍性と汎用性が実証されています。その理由は、最大 500mA をシンクできる 7 つのダーリントン・トランジスタと幅広い GPIO 機能を本デバイスが統合しているためです。

ULN2003A デバイスは、7 つの高電圧、大電流 NPN ダーリントン・トランジスタ・ペアで構成されています。すべての構成単位は、共通エミッタ、オープン・コレクタ出力を備えています。これらの構成単位は、その有効性を最大化するため、誘導性負荷用の抑制ダイオードを内蔵しています。ULN2003A デバイスは、各ダーリントン・ペアに直列ベース抵抗を備えているため、5V または 3.3V の電源電圧で動作する TTL または CMOS で直接駆動できます。ULN2003A デバイスは、ソレノイド、リレー、ランプ、小型モータ、LED を含む非常に多くのインターフェイスの要求に対応できます。1 つの出力の能力を超えるシンク電流を必要とするアプリケーションには、出力を並列にすることで対応できます。

このデバイスは、広い温度範囲 (-40℃～105℃) で動作できます。

7.2 機能ブロック図

ここに示す、すべての抵抗値は公称値です。コレクタ - エミッタ間ダイオードは寄生構造であり、電流を流すために使用すべきではありません。コレクタ電位が GND よりも低下する場合、負のアンダーシュートをクランプするため、外付けのショットキー ダイオードを追加する必要があります。

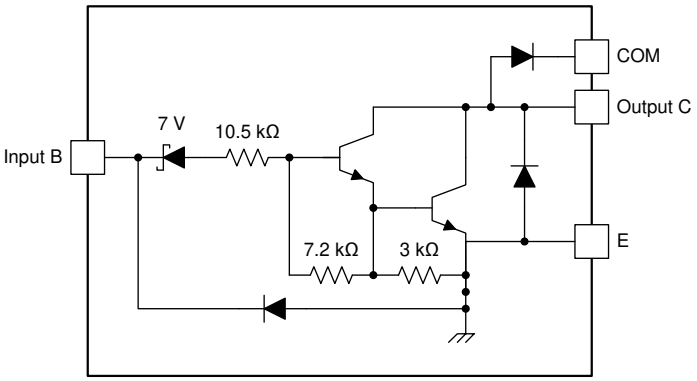


図 7-1. ULN2002A のブロック図

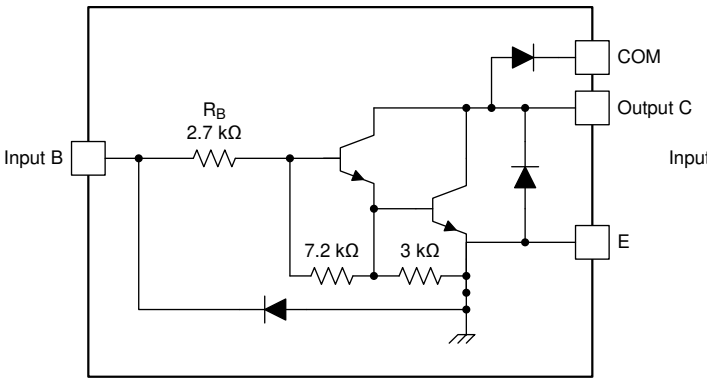


図 7-2. ULN2003A、ULQ2003A、ULN2003AI のブロック図

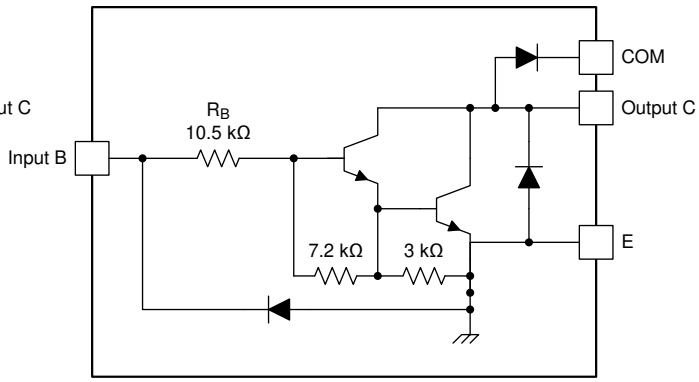


図 7-3. ULN2004A と LQ2004A のブロック図

7.3 機能説明

ULN2003A デバイスの各チャネルは、ダーリントン接続された NPN トランジスタで構成されています。このように接続することで、非常に大きい電流ゲイン (β2) を持つ 1 つのトランジスタと同じ効果を生み出すことができます。電流によっては、このゲインは 10,000A/A に達する場合があります。この非常に高い β により、非常に小さい入力電流 (小さい GPIO 電圧で動作することと本質的に同じです) で大きい出力電流を駆動できます。

GPIO 電圧は、入力とプリドライバのダーリントン NPN のベースとの間に接続された 2.7kΩ の抵抗により、ベース電流に変換されます。それぞれの NPN のベース - エミッタ間に接続された 7.2kΩ と 3kΩ の抵抗はプルダウンとして機能し、入力から発生する可能性があるリーク電流の量を抑制します。

出力と COM ピンとの間に接続されたダイオードは、NPN ドライバがオフになった (シンクを停止した) ときに励起される誘導性負荷からのキックバック電圧を抑制するために使用されます。コイルに蓄積されたエネルギーは逆電流を生じさせ、キックバック・ダイオード経由でコイル電源に流れ込みます。

通常の動作では、ベースおよびコレクタ・ピンからエミッタへのダイオードは、逆バイアスされています。これらのダイオードが順バイアスされると、内部の寄生 NPN トランジスタに他の (付近の) デバイス・ピンから (ほぼ等しい) 電流が流れます。

7.4 デバイスの機能モード

7.4.1 誘導性負荷の駆動

COM ピンをコイル電源電圧に接続している場合、ULN2003A デバイスは、誘導性負荷を駆動する際に内部のフリーホイール・ダイオードによってキックバック電圧を抑制できます。

7.4.2 抵抗性負荷の駆動

抵抗性負荷を駆動する場合、ULN2003A デバイスが電流をシンクしても論理 HIGH レベルが維持されるようにプルアップ抵抗が必要です。これらのアプリケーションでは、COM ピンはフローティングのままでかまいません。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

通常、ULN2003A デバイスは、高電圧または大電流 (または両方) のペリフェラルを、これらの条件に耐えられない MCU や論理デバイスで駆動するために使用します。この設計は、ULN2003A デバイスで誘導性負荷を駆動する一般的なアプリケーションです。これには、モータ、ソレノイド、リレーなどが含まれます。図 8-1 に、それぞれの負荷タイプに対応するモデルを示します。

8.2 代表的なアプリケーション

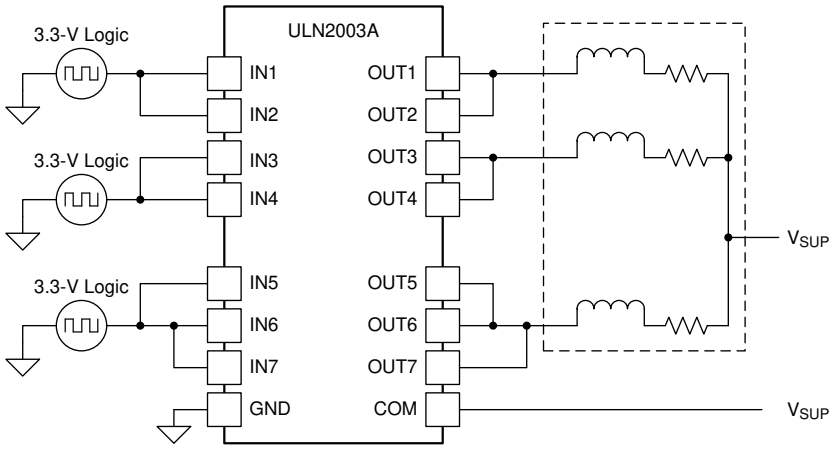


図 8-1. 誘導性負荷のドライバとしての ULN2003A デバイス

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	値の例
GPIO 電圧	3.3V または 5V
コイル電源電圧	12V～48V
チャネル数	7
出力電流 (R_{COIL})	チャネルごとに 20mA～300mA
デューティ・サイクル	100%

8.2.2 詳細な設計手順

コイル駆動アプリケーションで ULN2003A デバイスを使用する場合、次の仕様を決定する必要があります。

- 入力電圧範囲
- 温度範囲
- 出力および駆動電流
- 消費電力

8.2.2.1 駆動電流

コイル電圧 (V_{SUP})、コイル抵抗 (R_{COIL})、LOW レベルの出力電圧 ($V_{CE(SAT)}$ または V_{OL}) でコイル電流が決まります。

$$I_{COIL} = (V_{SUP} - V_{CE(SAT)}) / R_{COIL} \quad (1)$$

8.2.2.2 LOW レベル出力電圧

LOW レベル出力電圧 (V_{OL}) は $V_{CE(SAT)}$ と同じで、図 5-1、図 5-2、図 5-7 によって決まります。

8.2.2.3 消費電力と温度

駆動されるコイルの数は、コイルの電流とオンチップの消費電力で決まります。駆動されるコイルの数は、図 5-4 または図 5-5 で決まります。

可能なコイルの数をより正確に決定するには、次の式を使用して ULN2003A デバイスのオンチップ消費電力 P_D を計算します。

$$P_D = \sum_{i=1}^{N} V_{OLi} \times I_{Li} \quad (2)$$

ここで

- N は同時にアクティブになるチャネルの数です。
- V_{OLi} は、負荷電流 I_{Li} のときの OUT_i ピンの電圧です。これは、$V_{CE(SAT)}$ と同じです。

ULN2003A デバイスとシステムの信頼性を確保するため、オンチップ消費電力は最大許容消費電力 ($PD_{(MAX)}$) を下回る必要があります。この値は次の式 3 で決定されます。

$$PD_{(MAX)} = \frac{\left(T_{J(MAX)} - T_A\right)}{\theta_{JA}} \quad (3)$$

ここで

- $T_{J(max)}$ は目標の最高接合部温度です。
- T_A は動作時周囲温度です。
- $R_{\theta JA}$ はパッケージ接合部から周囲への熱抵抗です。

ULN2003A デバイスのダイ接合部温度を 125°C 未満に制限しなければなりません。IC の接合部温度は、オンチップの消費電力に正比例します。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

図 8-2 および 図 8-3 に示す特性データは、OMRON G5NB リレーを駆動する ULN2003A デバイスを使用して、以下の条件で生成されました。V_{IN} = 5V、V_{SUP}= 12V、R_{COIL}= 2.8kΩ。

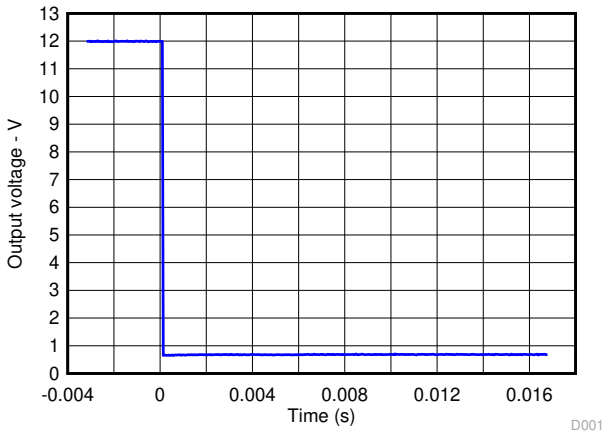


図 8-2. コイルの励磁 (ターンオン) による出力応答

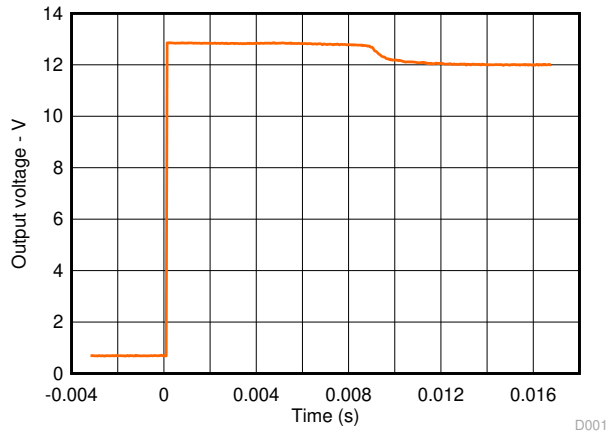


図 8-3. コイルの消磁 (ターンオフ) による出力応答

8.3 システム例

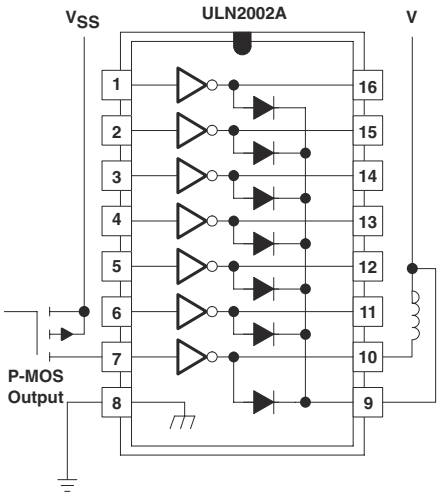


図 8-4. P-MOS から負荷へ

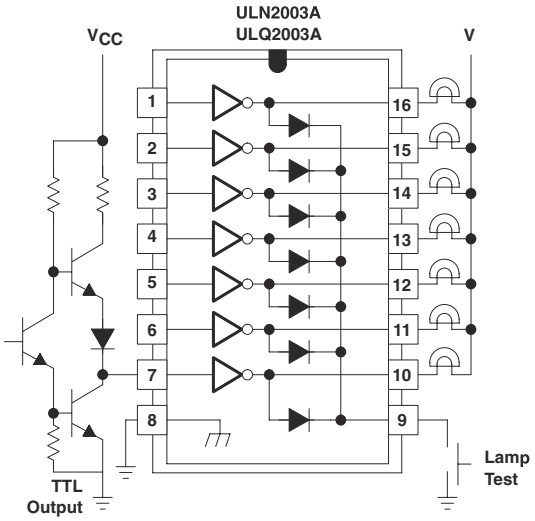


図 8-5. TTL から負荷へ

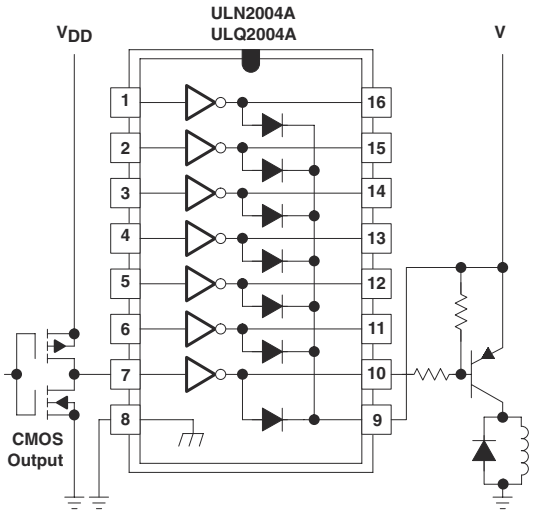


図 8-6. 大電流負荷のバッファ

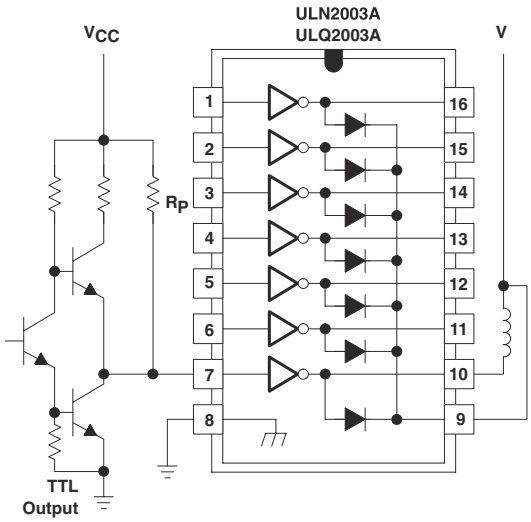


図 8-7. プルアップ抵抗による駆動電流の増加

8.4 電源に関する推奨事項

このデバイスには電源は必要ありません。ただし、COM ピンは通常、システム電源に接続されます。その場合、出力電圧が COM ピンの電圧を大きく超えないようにすることが非常に重要です。出力電圧が COM ピンの電圧を大きく超えると、フライバック・ダイオードに大きな順バイアスが印加され、COM に大電流が流れ込み、オンチップのメタルの損傷や、デバイスの過熱を引き起こすおそれがあります。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

ULN2003A デバイスを駆動するため使用されるロジックは一般に小電流であるため、入力には細いトレースを使用できます。クロストークをなくすため、各入力チャネルは可能な限り離すように注意します。大電流の駆動が必要な可能性がある出力については、太いトレースを推奨します。配線幅は、トレース材料の電流密度と目的の駆動電流で決まります。

Copyright © 2025 Texas Instruments Incorporated

すべてのチャネルの電流は共通エミッタに戻るため、このトレースの幅はかなり広くする必要があります。アプリケーションによっては最大 2.5A が要求されます。

8.5.2 レイアウト例

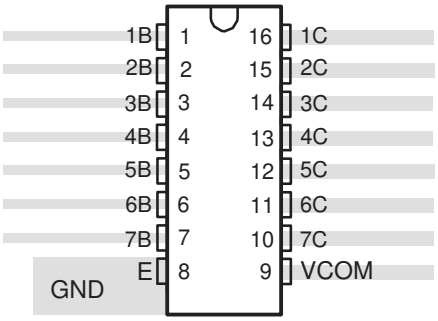


図 8-8. パッケージのレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

『Sn7546x ダーリントン・トランジスタ・アレイ』、SLRS023 (英語)

9.2 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクト・フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
ULN2002A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ULN2003A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ULN2003AI	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ULN2004A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ULQ2003A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ULQ2004A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision S (June 2024) to Revision T (March 2025)	Page
• *絶対最大定格* 表中の T_A に ULN2004ADR MIN = –40°C および MAX = 105°C を追加	4
• 変更済み I_{CEX} テスト条件変更前：V_I = 6V 変更後：V_I = 1V *電気的特性：ULN2003A および ULN2004A* の表中	5

Changes from Revision R (February 2024) to Revision S (June 2024)	Page
• データシート全体にわたって DYY パッケージを追加	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。このデータシートのブラウザ対応版については、左側にあるナビゲーションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ULN2002AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2002AN
ULN2002AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2002AN
ULN2002ANE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2002AN
ULN2003ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A
ULN2003ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A
ULN2003ADRG3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 70	ULN2003A
ULN2003ADYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A
ULN2003ADYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A
ULN2003AID	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 105	ULN2003AI
ULN2003AIDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 105	ULN2003AI
ULN2003AIDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI
ULN2003AIDRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 105	ULN2003AI
ULN2003AIN	Obsolete	Production	PDIP (N) | 16	-	-	Call TI	Call TI	-40 to 105	ULN2003AIN
ULN2003AINSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI
ULN2003AINSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI
ULN2003AIPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 105	UN2003AI
ULN2003AIPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 105	(U2003AI, UN2003AI)
ULN2003AIPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	(U2003AI, UN2003AI)
ULN2003AIPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 105	UN2003AI
ULN2003AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU | SN	N/A for Pkg Type	-40 to 70	ULN2003AN
ULN2003AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU | SN	N/A for Pkg Type	-40 to 70	ULN2003AN
ULN2003ANS	Obsolete	Production	SOP (NS) | 16	-	-	Call TI	Call TI	-40 to 70	ULN2003A
ULN2003ANSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A
ULN2003ANSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A
ULN2003ANSRE4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A
ULN2003ANSRG4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ULN2003APW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 70	UN2003A
ULN2003APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 70	UN2003A
ULN2003APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A
ULN2003APWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 70	UN2003A
ULN2004AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-20 to 70	ULN2004A
ULN2004ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-20 to 70	ULN2004A
ULN2004ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A
ULN2004ADRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-20 to 70	ULN2004A
ULN2004ADYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2004A
ULN2004ADYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2004A
ULN2004AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2004AN
ULN2004AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2004AN
ULN2004ANE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 70	ULN2004AN
ULN2004ANSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A
ULN2004ANSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A
ULQ2003AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	ULQ2003A
ULQ2003ADG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-	ULQ2003A
ULQ2003AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	ULQ2003A
ULQ2003AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	ULQ2003A
ULQ2004AD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004AD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004ADG4	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	ULQ2004A
ULQ2004ADG4.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004ADRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	ULQ2004A
ULQ2004ADRG4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A
ULQ2004AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	ULQ2004AN
ULQ2004AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	ULQ2004AN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ULQ2003A, ULQ2004A :

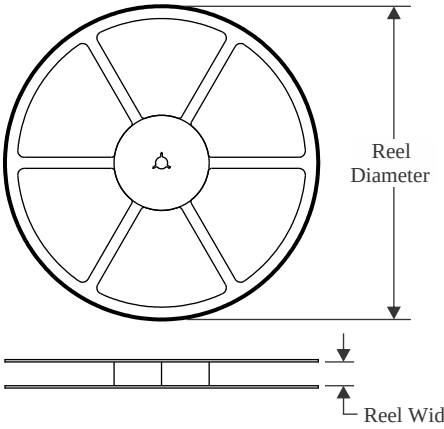
- Automotive : ULQ2003A-Q1, ULQ2004A-Q1

NOTE: Qualified Version Definitions:

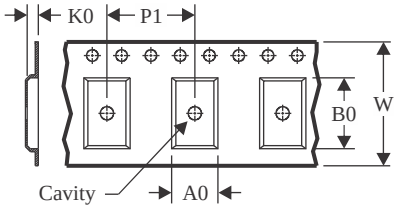
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

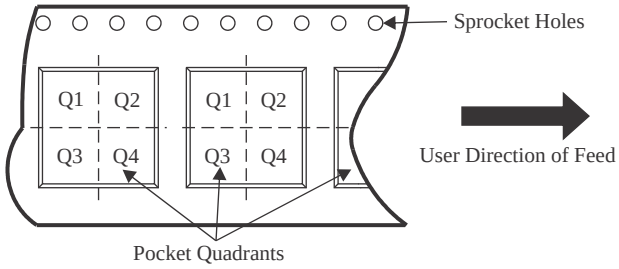


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

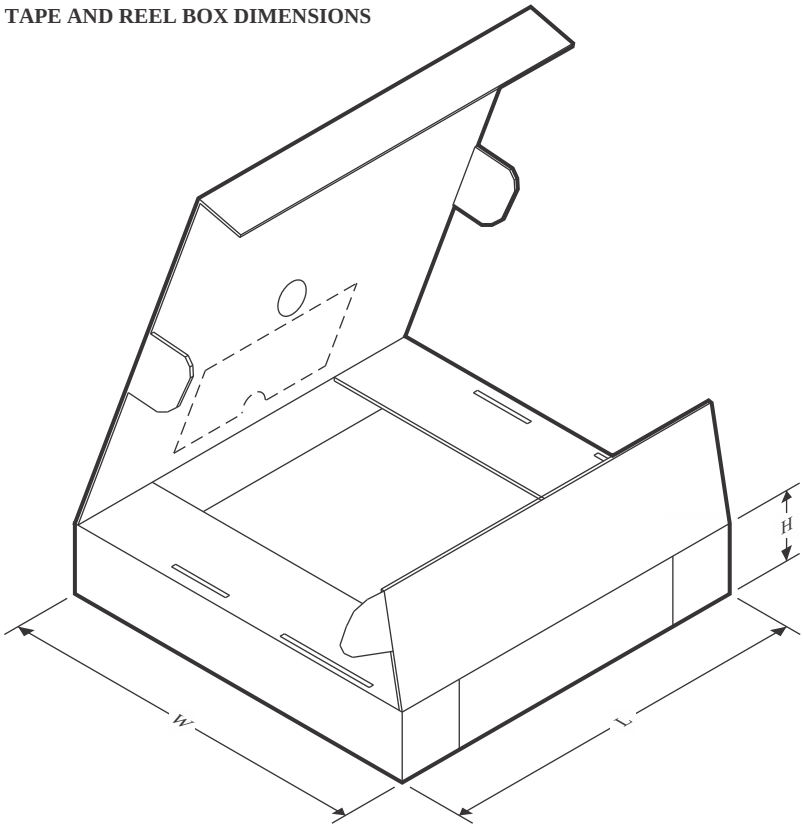


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
ULN2003AIDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AIDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AINSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
ULN2003AINSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003ANSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
ULN2003ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
ULN2004ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

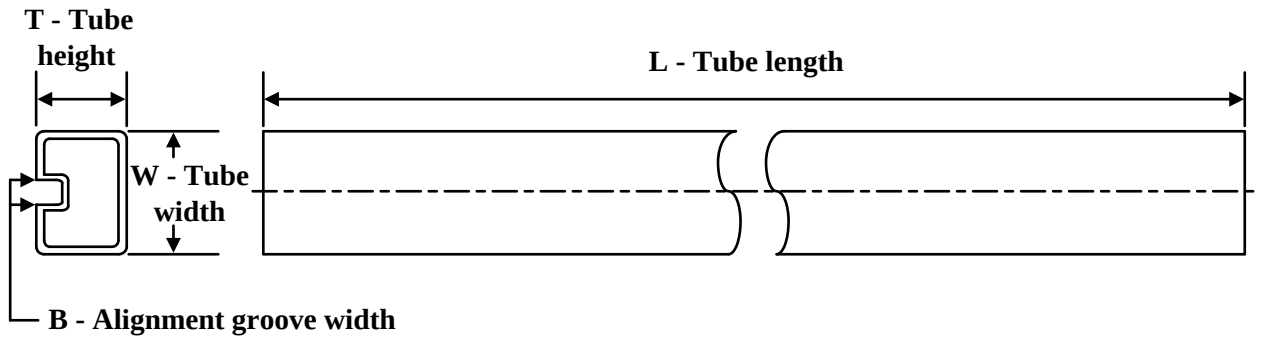


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2003ADR	SOIC	D	16	2500	353.0	353.0	32.0
ULN2003ADR	SOIC	D	16	2500	353.0	353.0	32.0
ULN2003ADR	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003ADYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
ULN2003AIDR	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003AIDR	SOIC	D	16	2500	353.0	353.0	32.0
ULN2003AINSR	SOP	NS	16	2000	353.0	353.0	32.0
ULN2003AINSR	SOP	NS	16	2000	353.0	353.0	32.0
ULN2003AIPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2003AIPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
ULN2003AIPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
ULN2003ANSR	SOP	NS	16	2000	353.0	353.0	32.0
ULN2003ANSR	SOP	NS	16	2000	353.0	353.0	32.0
ULN2003APWR	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2003APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
ULN2003APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
ULN2004ADR	SOIC	D	16	2500	353.0	353.0	32.0
ULN2004ADR	SOIC	D	16	2500	340.5	336.1	32.0

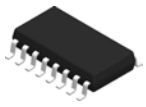
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2004ADYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
ULN2004ANSR	SOP	NS	16	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ULN2002AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2002AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULN2002ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN	N	PDIP	16	25	506.1	9	600	5.4
ULN2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN.A	N	PDIP	16	25	506.1	9	600	5.4
ULN2004AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2003AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2003AN.A	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2004AD	D	SOIC	16	40	507	8	3940	4.32
ULQ2004AD.A	D	SOIC	16	40	507	8	3940	4.32
ULQ2004ADG4	D	SOIC	16	40	507	8	3940	4.32
ULQ2004ADG4.A	D	SOIC	16	40	507	8	3940	4.32
ULQ2004AN	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2004AN.A	N	PDIP	16	25	506	13.97	11230	4.32

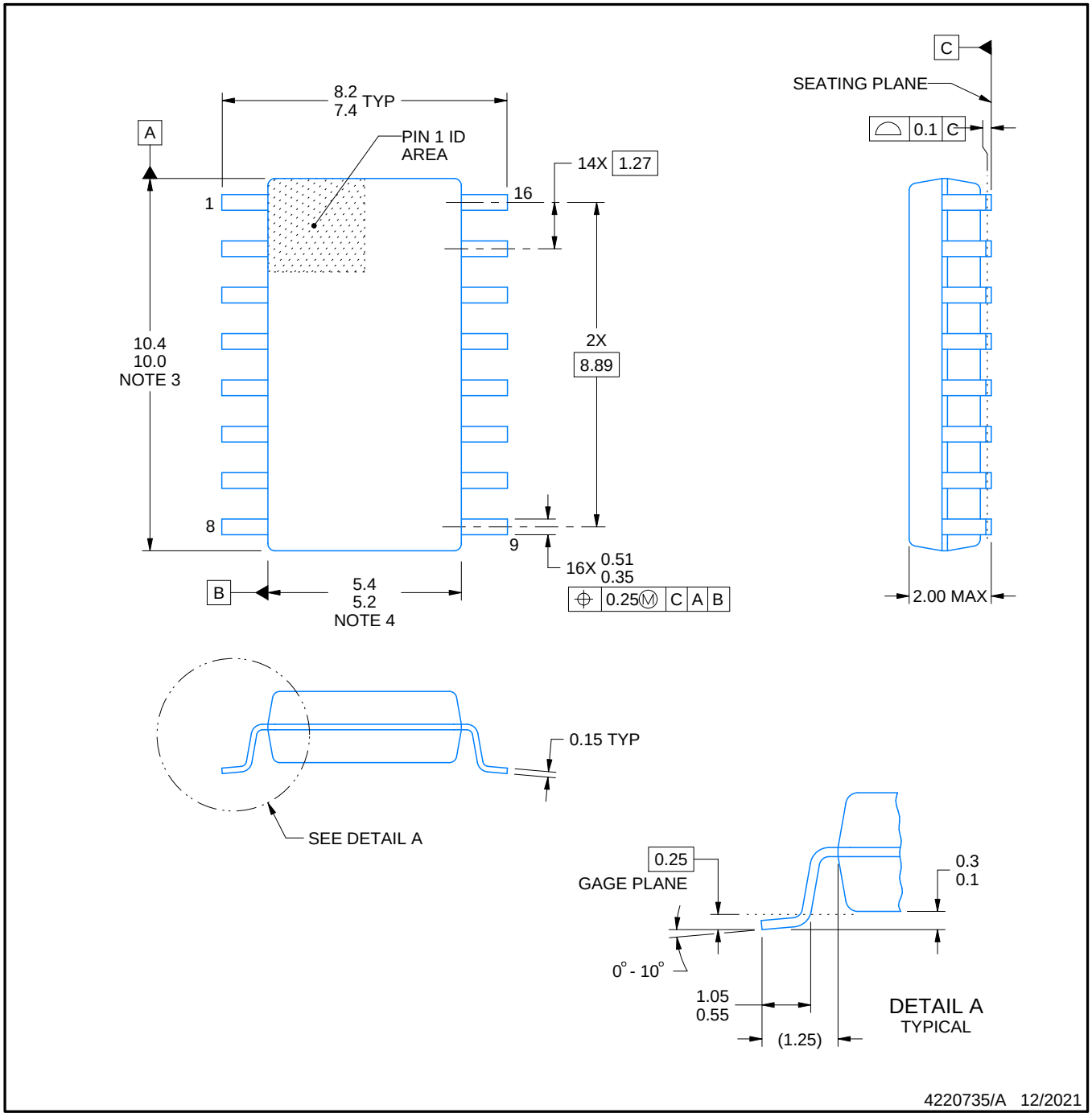


PACKAGE OUTLINE

NS0016A

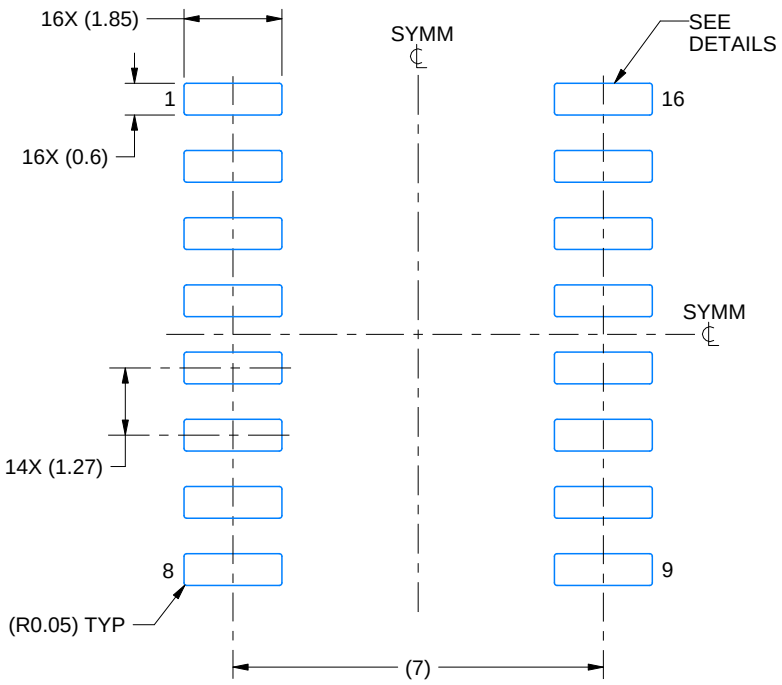
SOP - 2.00 mm max height

SOP

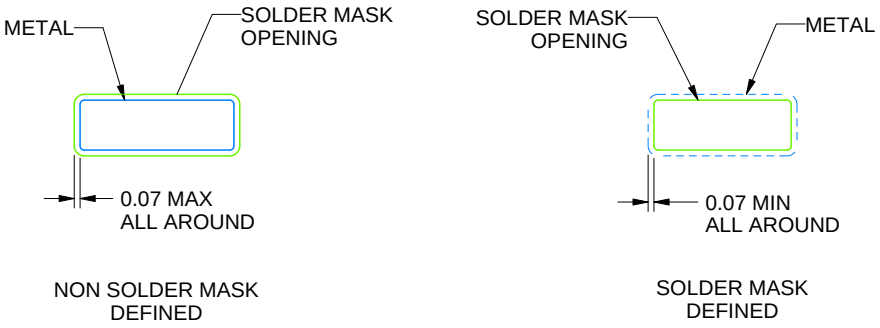


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

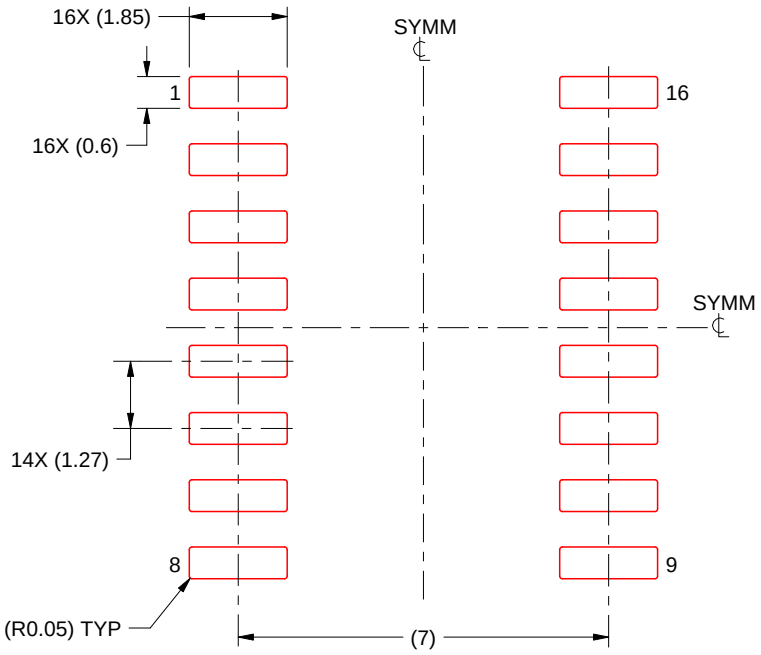
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



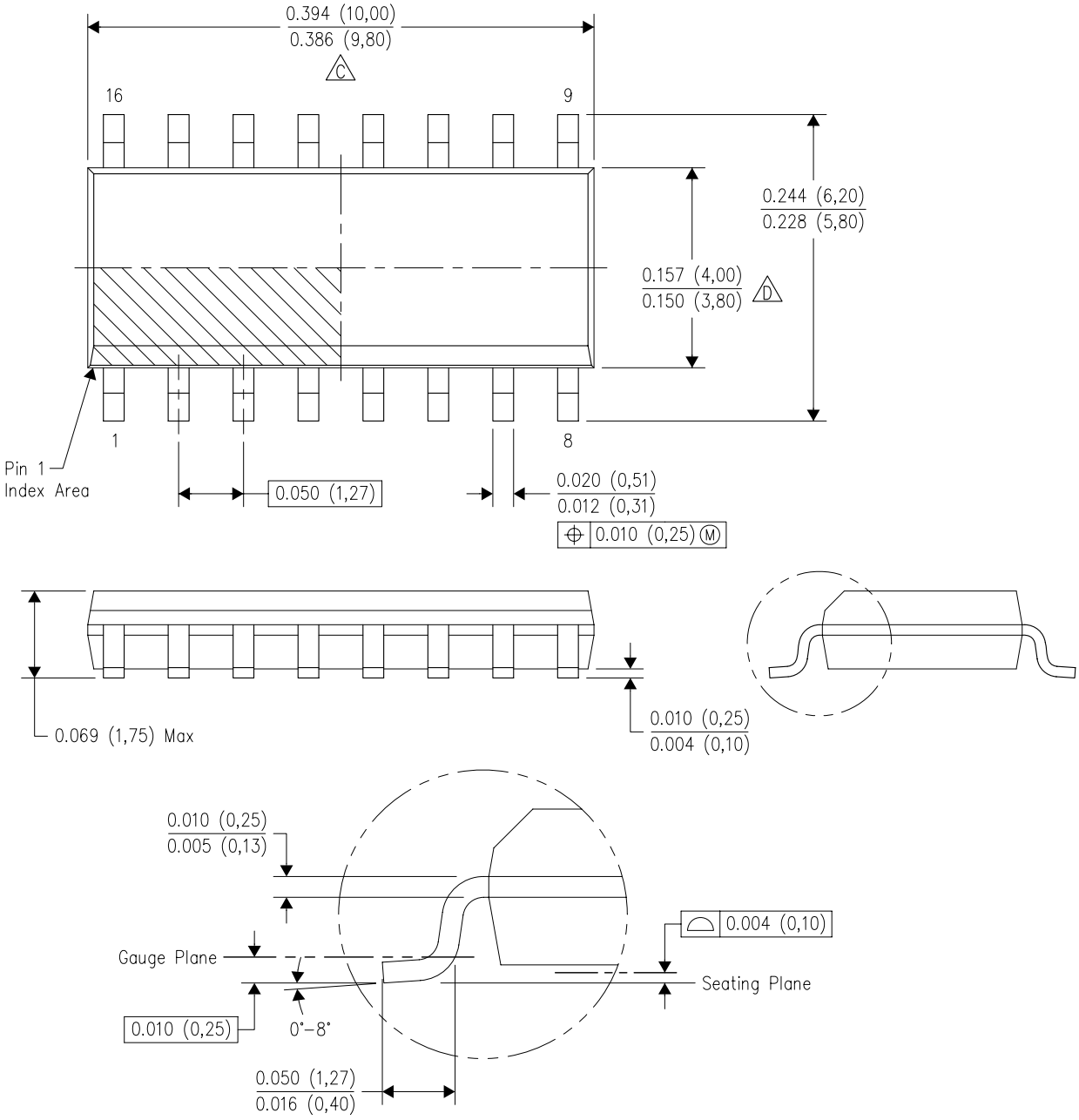
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



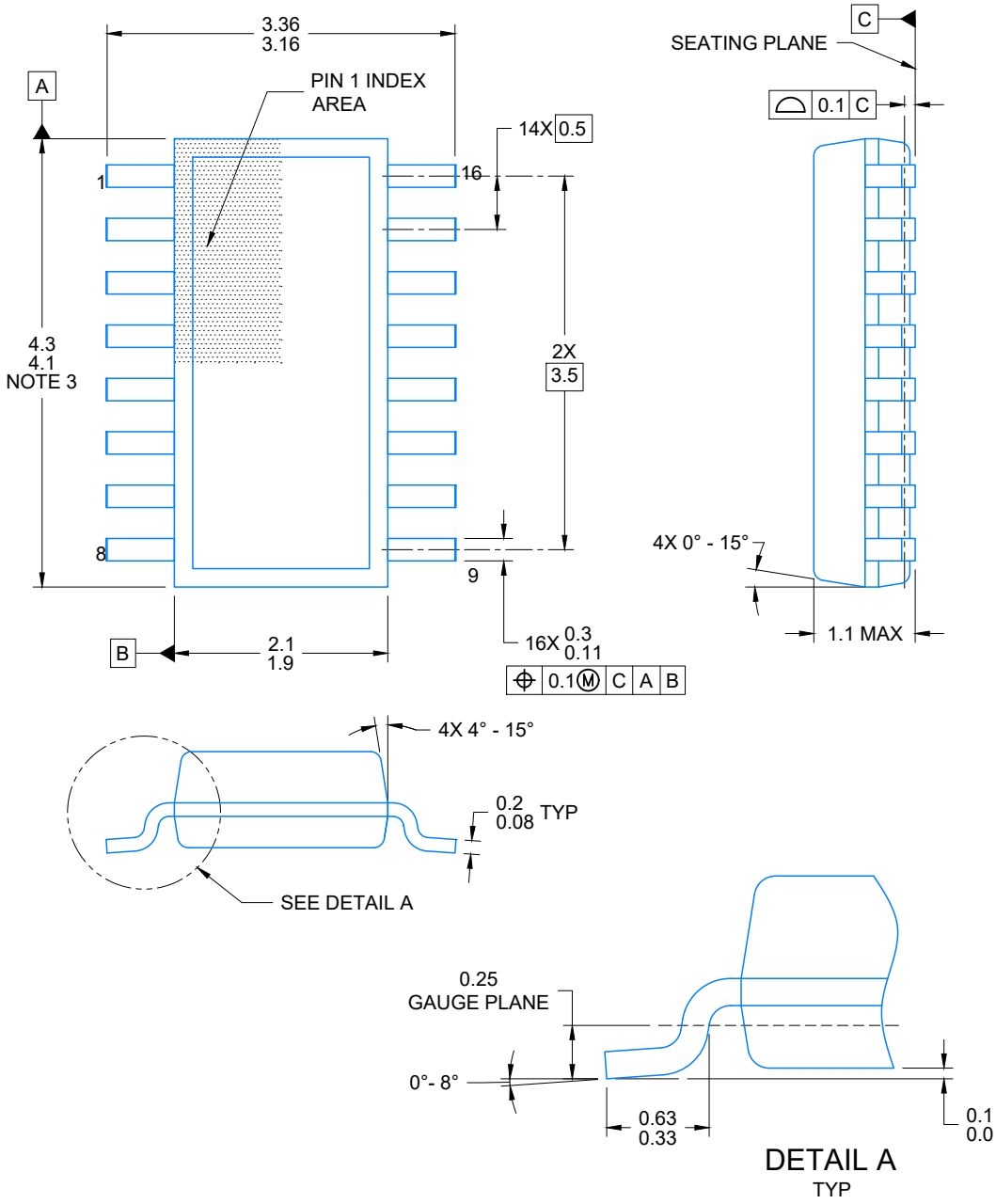
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DYY0016A

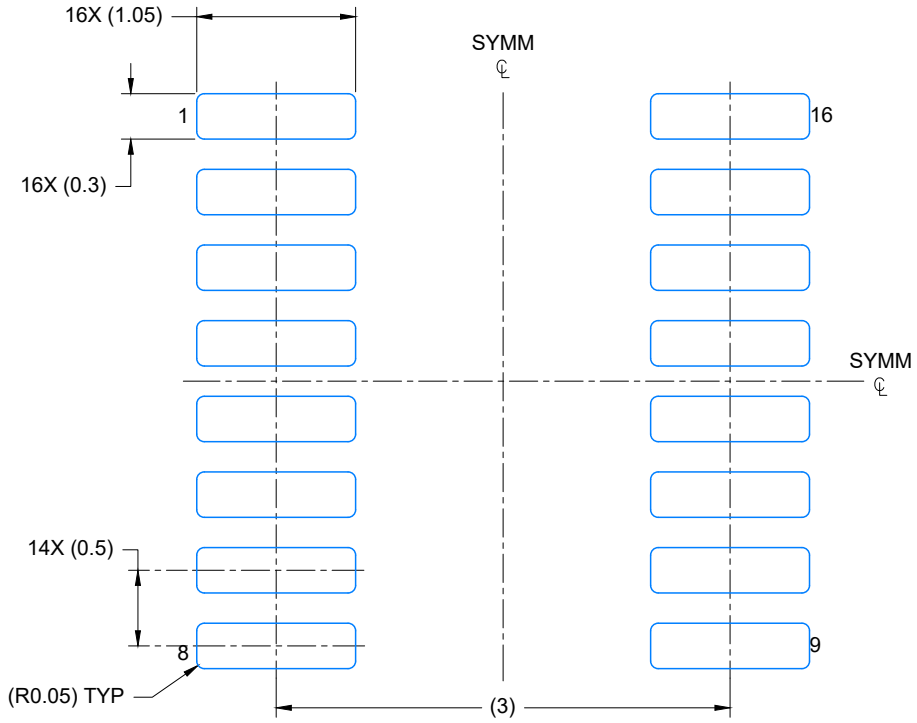
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

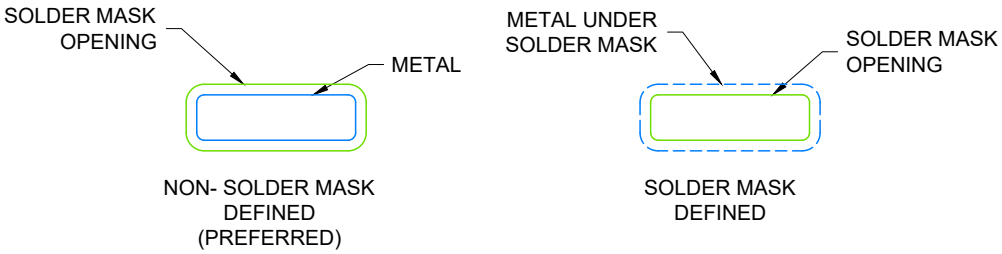


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

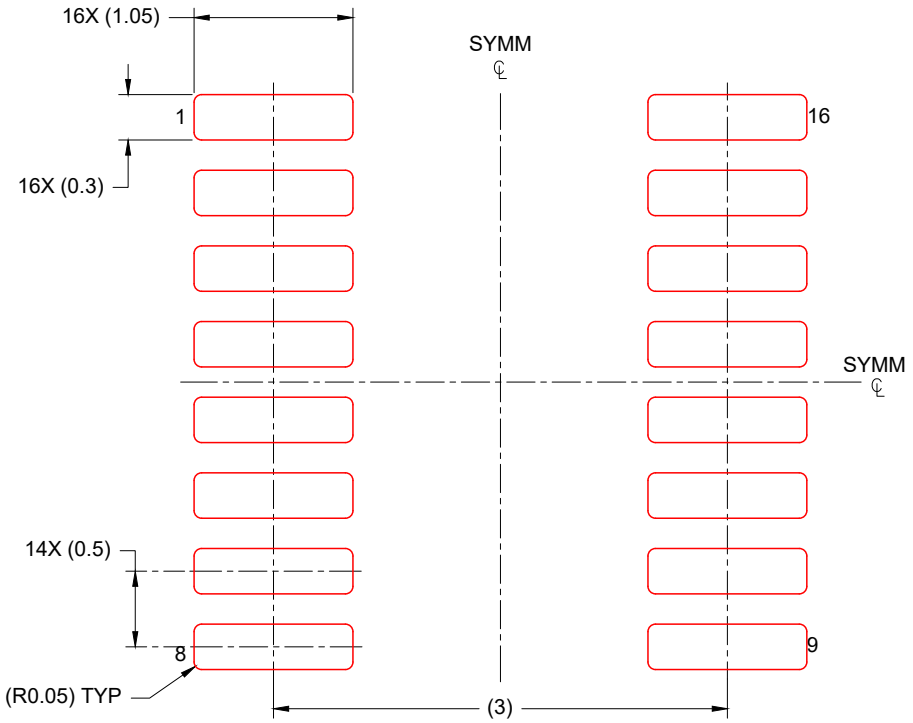
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

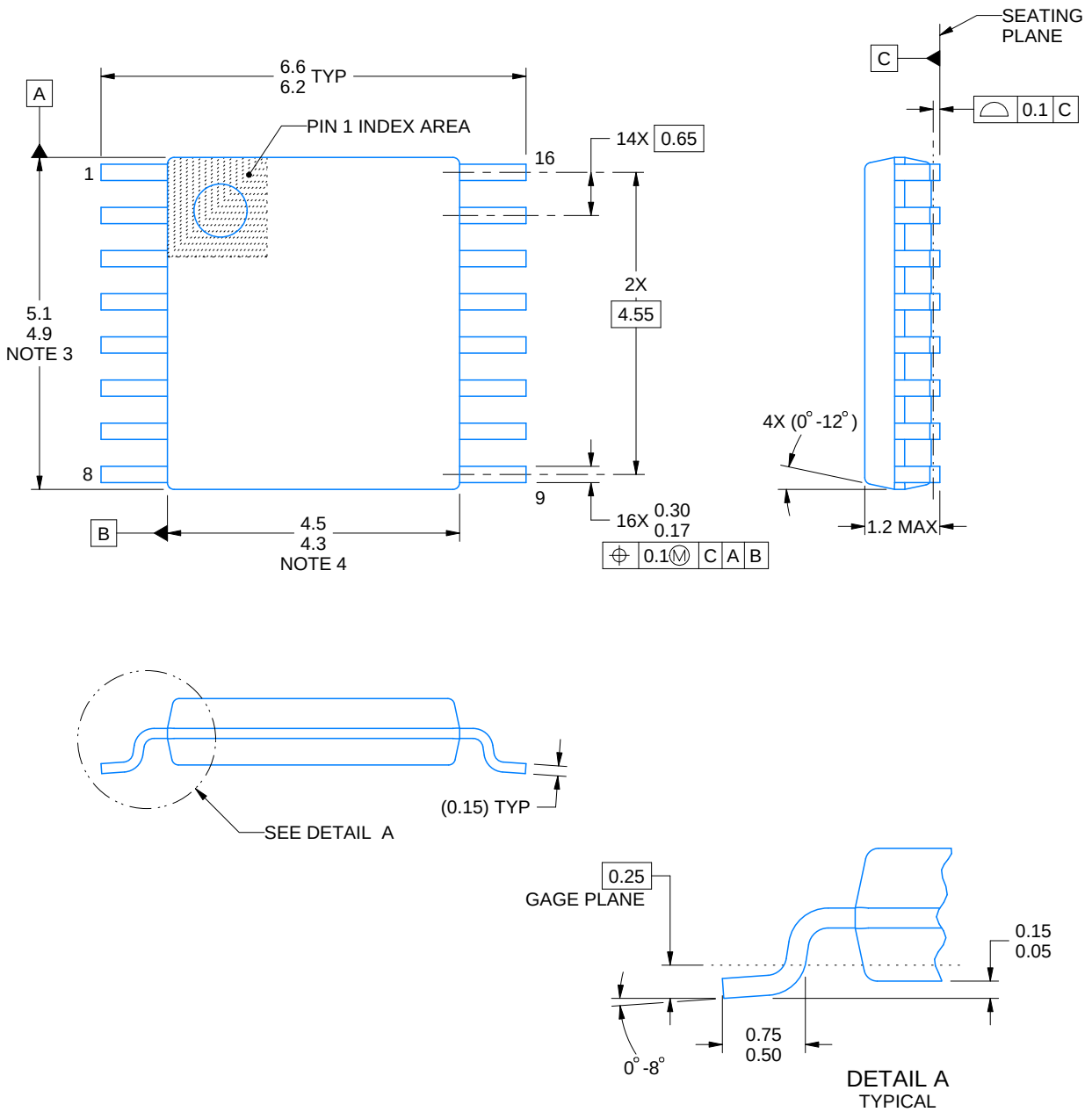
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

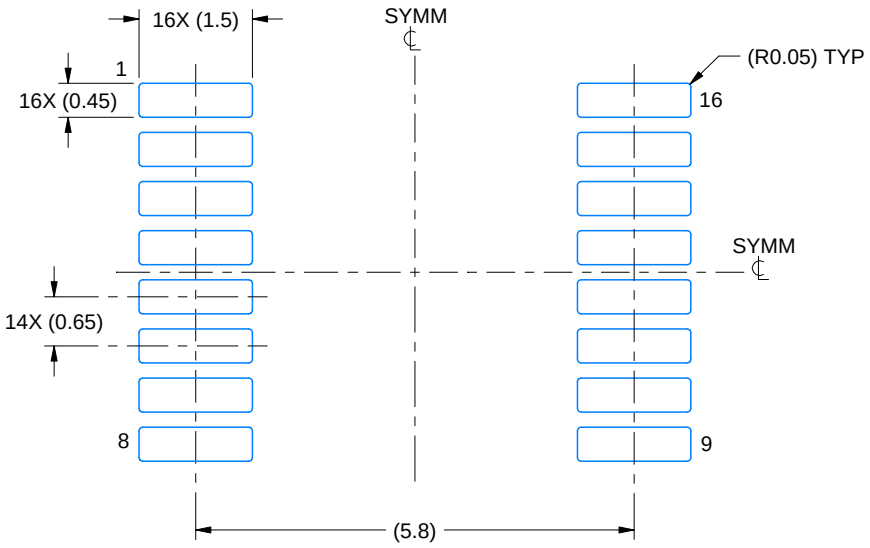
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

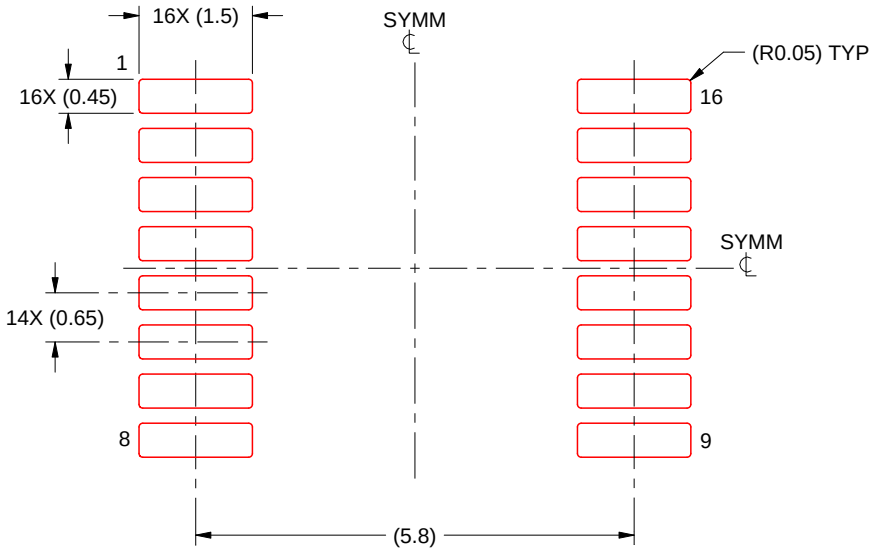


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

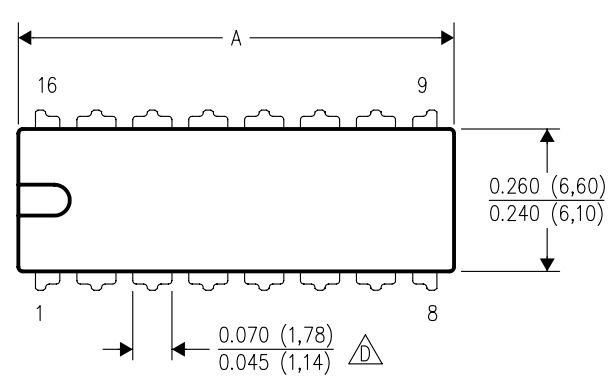
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

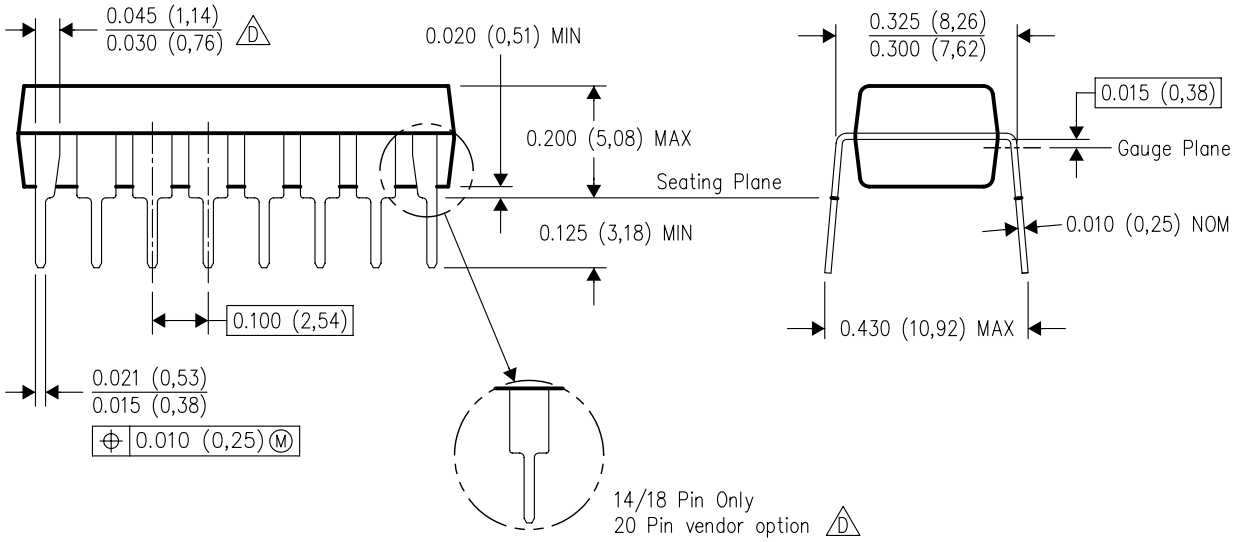
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月