

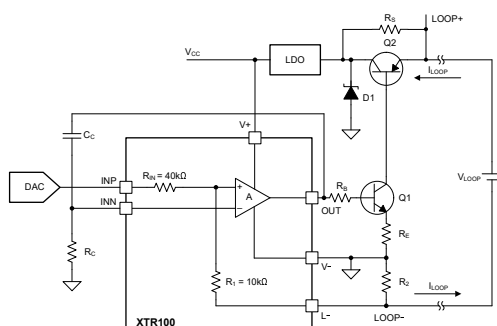
XTR1xx 高度マッチング抵抗内蔵、HART プロトコルおよび PWM 対応の 4mA ~ 20mA マイクロパワー シグナル コンディショナ

1 特長

- 非常に小さいオフセット電圧: $\pm 30\mu\text{V}$ (最大値)
- ゼロドリフト: $\pm 0.05\mu\text{V}/^\circ\text{C}$ (最大値)
- 低ノイズ: 1kHz で $40\text{nV}/\sqrt{\text{Hz}}$
- 1/f ノイズなし: $1\mu\text{V}_{\text{PP}}$ (0.1Hz ~ 10Hz)
- ゲイン帯域幅積: 1MHz
- スルーレート: $0.4\text{V}/\mu\text{s}$
- 静止電流 (25°C での最大値):
 - 45 μA (XTR100, XTR102)
 - 80 μA (XTR120)
- シングル電源: 1.7V ~ 5.5V
- 内蔵マッチング抵抗: $R_i = 40\text{k}\Omega$, $R_1 = 10\text{k}\Omega$
- 抵抗マッチング誤差: 0.02% (最大値)
- 抵抗マッチング温度係数: 2ppm/ $^\circ\text{C}$ (最大値)
- 内蔵 HART 抵抗: $R_H = 480\text{k}\Omega$ (XTR102 および XTR120)
- 6 ピン パッケージの XTR100 は、5 ピン SOT-23 オペアンプピン配置と互換
- 2 つ目の低消費電力オペアンプ (XTR120)

2 アプリケーション

- 2 線式流量トランスミッタ
- 2 線式温度トランスミッタ
- 2 線式圧力トランスミッタ
- 2 線式レベルトランスミッタ
- 低消費電力、低ノイズのアプリケーション
- 高精度の分圧器
- 高精度の電圧加算器



4mA ~ 20mA のループドライバとしての XTR100

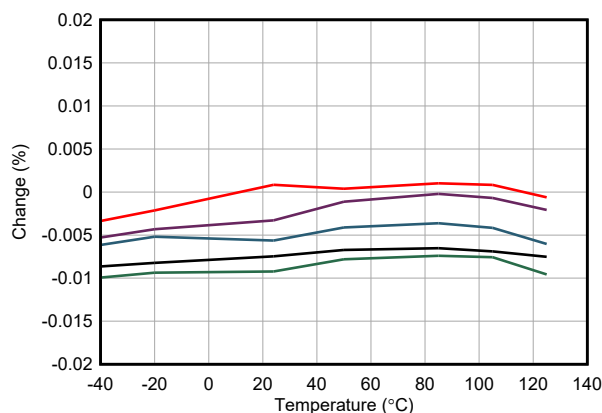
3 説明

XTR100、XTR102、XTR120 (XTR1xx) ファミリーは、高度マッチングのスケールリング抵抗が内蔵された高精度アンプファミリーであり、高精度の 2 線式 4 ~ 20mA トランスミッタドライバを実装するのに優れた選択肢です。このアンプは、低消費電力、高精度のアプリケーション向けに最適化されており、ゼロドリフトテクノロジーにより比類のないオフセット電圧、オフセットドリフトを実現します。非常に低い 40 μA (標準値) という静止電流により、XTR1xx は、1.0MHz の帯域幅、 $40\text{nV}/\sqrt{\text{Hz}}$ の広帯域ノイズ、 $1\mu\text{V}_{\text{PP}}$ の積分 1/f ノイズを達成しています。XTR1xx は最小 1.7V の電源電圧で動作し、低電圧アプリケーションを可能にします。XTR1xx は、40k Ω と 10k Ω の高度マッチングデュアル抵抗を内蔵しており、最大許容差 0.02%、ドリフト $\pm 2\text{ppm}/^\circ\text{C}$ の超高精度 4:1 比を実現します。XTR100 は、一般的な 5 ピン SOT-23 と互換性のある 6 ピン DBV パッケージで供給されます。XTR102 は、HART 信号用の追加入力を備えています。XTR120 は、PWM 信号をアクティブにフィルタするために使用できる 2 番目のゼロドリフト高精度アンプを備えた XTR102 の上位互換製品です。

製品情報

部品番号	アンプ数	パッケージ (1)	パッケージサイズ (2)
XTR100	シングル	DBV (SOT-23, 6)	2.9mm × 2.8mm
XTR102 (3)	シングル	DQC (WSON, 10)	3mm × 2mm
XTR120 (3)	デュアル		

- 詳細については、[セクション 10](#) を参照してください。
- パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- プレビュー情報 (事前情報ではありません)。



抵抗比許容差 (D_{Ratio}) と温度との関係



目次

1 特長.....	1	6.4 デバイスの機能モード.....	14
2 アプリケーション.....	1	7 アプリケーションと実装.....	15
3 説明.....	1	7.1 使用上の注意.....	15
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	20
5 仕様.....	5	7.3 電源に関する推奨事項.....	24
5.1 絶対最大定格.....	5	7.4 レイアウト.....	25
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート.....	27
5.3 推奨動作条件.....	5	8.1 デバイス サポート.....	27
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	27
5.5 電気的特性.....	7	8.3 サポート・リソース.....	27
5.6 代表的特性.....	9	8.4 商標.....	27
6 詳細説明.....	11	8.5 静電気放電に関する注意事項.....	27
6.1 概要.....	11	8.6 用語集.....	28
6.2 機能ブロック図.....	11	9 改訂履歴.....	28
6.3 機能説明.....	13	10 メカニカル、パッケージ、および注文情報.....	28

4 ピン構成および機能

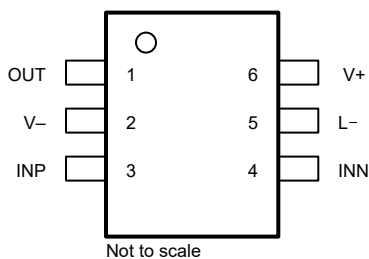


図 4-1. XTR100 : DBV パッケージ、6 ピン SOT-23 (上面図)

表 4-1. ピンの機能 : XTR100

ピン		タイプ ⁽¹⁾	説明
名称	番号		
INN	4	I	反転入力
INP	3	I	非反転抵抗性入力
L-	5	O	Loop- 接続
OUT	1	O	出力
V+	6	P	正 (最高) 電源
V-	2	P	負 (最低) 電源

(1) I = 入力、O = 出力、P = 電源

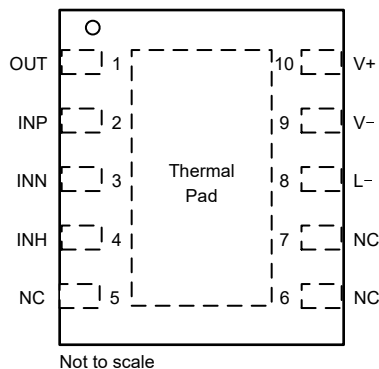


図 4-2. XTR102 : DQC パッケージ、10 ピン WSON (上面図)

表 4-2. ピンの機能 : XTR102

ピン		タイプ ⁽¹⁾	説明
名称	番号		
INH	4	I	HART 信号入力
INN	3	I	反転入力
INP	2	I	非反転抵抗入力
L-	8	O	Loop- 抵抗出力
NC	5、6、7	–	未接続
OUT	1	O	出力
V+	10	P	正 (最高) 電源
V-	9	P	負 (最低) 電源

表 4-2. ピンの機能 : XTR102 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DNC	サーマル パッド		接続しない

(1) I = 入力、O = 出力、P = 電源

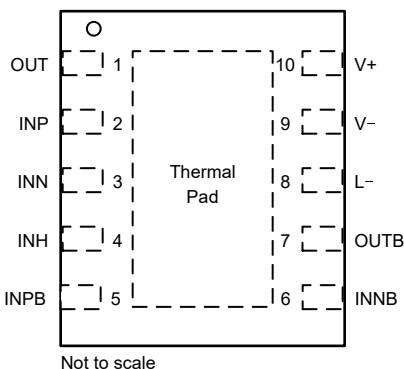


図 4-3. XTR120 : DQC パッケージ、10 ピン WSON (上面図)

表 4-3. ピンの機能 : XTR120

ピン		タイプ ⁽¹⁾	説明
名称	番号		
INH	4	I	HART 信号入力
INN	3	I	反転入力
INP	2	I	非反転抵抗入力
INNB	6	I	反転入力、チャンネル B
INPB	5	I	非反転入力、チャンネル B
L-	8	O	Loop- 抵抗出力
OUT	1	O	出力
V+	10	P	正 (最高) 電源
V-	9	P	負 (最低) 電源
OUTB	7	O	出力、チャンネル B
DNC	サーマル パッド		接続しない

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単電源		6	V
		両電源		±3	
	INN、OUT の電圧 ⁽²⁾		(V-) - 0.5	(V+) + 0.5	V
	INP、L- の電圧 ⁽³⁾		(V-) - 5.5	(V-) + 5.5	
	入力電流、すべてのピン			±10	mA
	出力短絡 ⁽⁴⁾		連続	連続	
T _A	動作温度		-55	150	°C
T _J	接合部温度		-55	150	°C
T _{stg}	保管温度		-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用方法、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力ピンは (V-) と (V+) に対してダイオードでクランプされています。(V-) より低い、または (V+) より高い入力信号は、電流を 10mA 以下に制限する必要があります。
- (3) 入力ピンは、入力電圧が 5.5V 以内に維持されている限り、(V+) を超えるスイングが可能です。入力ピンから (V+) までのダイオード構造はありません。
- (4) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単電源	1.7		5.5	V
		両電源	±0.85		±2.75	
T _A	規定温度		-40		125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		XTR100	XTR102/XTR120	単位
		DBV (SOT-23)	DQC (WSON)	
		6 ピン	10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	179.9	65.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	110.5	65.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	87.9	27.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	50.7	2.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	87.6	27.1	°C/W

熱評価基準 ⁽¹⁾		XTR100	XTR102/XTR120	単位
		DBV (SOT-23)	DQC (WSON)	
		6 ピン	10 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	14.2	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_S = 1.7\text{V} \sim 5.5\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $V_{OUT} = V_S / 2$ 、オペアンプの仕様は OPA-A と OPA-B の両方のアンプに適用、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	V _S = 5.5V			±0.4	±25	μV
		T _A = −40°C ~ +125°C ⁽¹⁾			±0.5	±30	
dV _{OS} /dT	入力オフセット電圧ドリフト	T _A = −40°C~+125°C ⁽²⁾			±0.004	±0.05	μV/°C
PSRR	電源除去比				±0.05	±2.0	μV/V
		T _A = −40°C ~ +125°C ⁽¹⁾				±3.0	
入力バイアス電流							
I _B	入力バイアス電流 OPA-A	すべての入力ピン	すべての入力ピン		±10	±80	pA
		INP ⁽²⁾	T _A = −40°C ~ +85°C	-76		400	pA
		INN、INH、INPB、INN ^B (3)	T _A = −40°C ~ +85°C			±100	pA
		INP ⁽²⁾	T _A = −40°C ~ +125°C	-212		+9000	pA
		INN、INH、INPB、INN ^B (3)	T _A = −40°C ~ +125°C			+1000	pA
I _{OS}	入力オフセット電流				±20	±160	pA
		T _A = −40°C ~ +125°C		-50		+8000	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz~10Hz			1000		nV _{PP}
					150		nV _{RMS}
e _N	入力電圧ノイズ密度	f = 1Hz ~ f = 1kHz			40		nV/√Hz
入力電圧							
V _{CM}	同相電圧範囲	V _S = 5.5V	V _S = 5.5V	(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	有効な V _{CM} 範囲、V _S = 5.5V		122	135		dB
			T _A = −40°C ~ +125°C	115			
入力容量							
開ループゲイン							
A _{OL}	開ループ電圧ゲイン	(V-) + 100mV < V _{OUT} < (V+) - 100mV	V _S = 5.5V	120	145		dB
			V _S = 1.7V	120			
			T _A = −40°C ~ +125°C	119			
A _{OL}	開ループ電圧ゲイン	(V-) + 200mV < V _{OUT} < (V+) − 200mV、R _L = 2kΩ	V _S = 5.5V	119	140		dB
A _{OL}	開ループ電圧ゲイン		V _S = 1.7V	119			
A _{OL}	開ループ電圧ゲイン		T _A = −40°C ~ +125°C	118			dB
周波数応答							
GBW	ゲイン帯域幅積				1		MHz
SR	スルーレート	4V ステップ、G = +1			0.4		V/μs
	チョッピング クロック周波数				130		kHz
出力							
	電圧出力スイング (レールから)	無負荷			1	10	mV
		R _L = 10kΩ			20	30	
		R _L = 2kΩ			100	150	
		T _A = −40°C ~ +125°C				50	
	高直線性の出力スイング範囲	A _{OL} > 119dB		(V-) + 0.1		(V+) − 0.1	V
			R _L = 2kΩ	(V-) + 0.2		(V+) − 0.2	
I _{SC}	短絡電流	V _S = 5.5V			±35		mA
		V _S = 1.7V			±2.2		

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_S = 1.7\text{V} \sim 5.5\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $V_{OUT} = V_S / 2$ 、オペアンプの仕様は OPA-A と OPA-B の両方のアンプに適用、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
I _Q	静止電流 (XTR100、XTR102)	I _O = 0mA		40		45	μA
			T _A = −40°C ~ 125°C			52	μA
	静止電流 (XTR120)	I _O = 0mA		70		80	μA
			T _A = −40°C ~ 125°C			92	
	ターンオン時間	V _S = 5.5V にて、V _S のランプ レート > 0.03V/μs、1% にセトリ ング		220			μs
初期抵抗							
R _{IN}	入力抵抗			40			kΩ
R ₁	スケーリング抵抗			10			kΩ
R _H	HART 入力抵抗	XTR102、XTR120		480			kΩ
	絶対抵抗許容差					±15	%
Ratio _{NOM}	公称比 (R ₁ / R _{IN})			1/4			
D _{Ratio}	比率許容差			±0.005		±0.02	%
	HART 抵抗比 (R _H / R _{IN})	XTR102、XTR120		12			
	HART 抵抗比許容差	XTR102、XTR120		±0.2		±1.0	%
抵抗ドリフト							
TCR _{abs}	抵抗の絶対温度係数 (R _{IN} または R ₁)	(ΔR _x / R _{x(25°C)}) / ΔT _A	T _A = −40°C ~ +125°C	20			ppm/°C
TCR _{Ratio}	抵抗比の温度係数 (R ₁ / R _{IN})	ΔRatio / Ratio _{NOM}	T _A = −40°C ~ +125°C			±2	ppm/°C
VCR _{abs}	抵抗の絶対電圧係数 (R _{IN} または R ₁)	ΔR _x / ΔV _{Rx}		±1			Ω/V
VCR _{Ratio}	抵抗比の電圧係数 (R ₁ / R _{IN})	ΔRatio / ΔV _(R1+RIN)		10		30	ppm/V

- (1) この測定値は、アンプ OPA-A のみを表しています。バイアス電流と入力インピーダンス R_{IN} の影響は排除されています。
- (2) 入力バイアス電流は、 L^- ピンをフローティングにして、 INP ピンで測定されるため、この値にはバイアス電流だけでなく、 INP 、 L^- 、アンプ入力
の保護ダイオードからのリーク電流も含まれます。
- (3) 測定される入力バイアス電流には、ピンとアンプ入力での保護ダイオードのリークが含まれます。

5.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.75\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 50\text{pF}$ の場合 (特に記述のない限り)

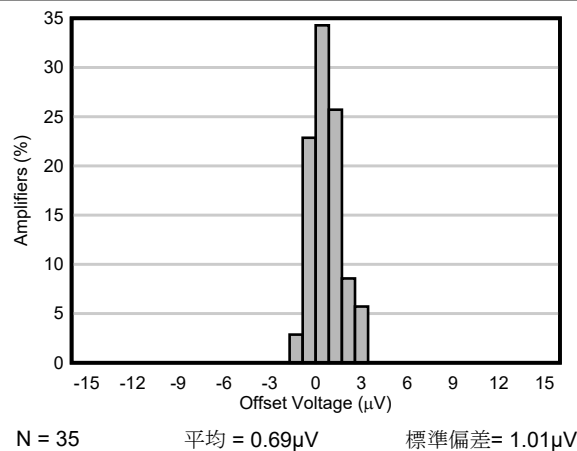


図 5-1. オフセット電圧の分布

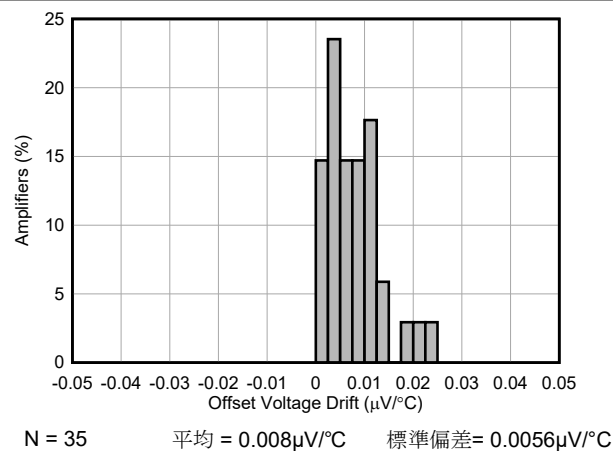


図 5-2. オフセット電圧ドリフトの分布

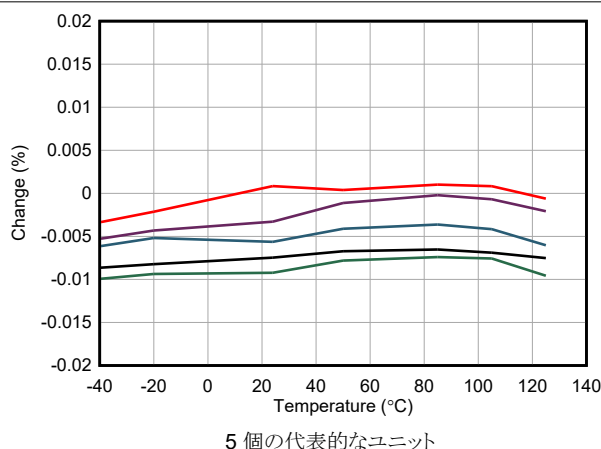


図 5-3. 抵抗比許容差 (D_{Ratio}) と温度との関係

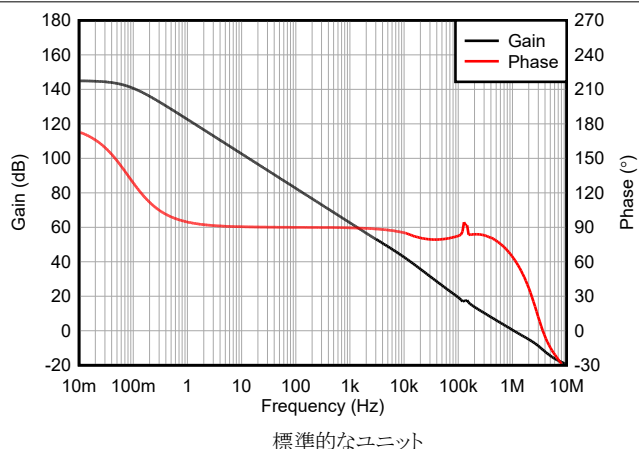


図 5-4. 開ループゲインおよび位相と周波数との関係

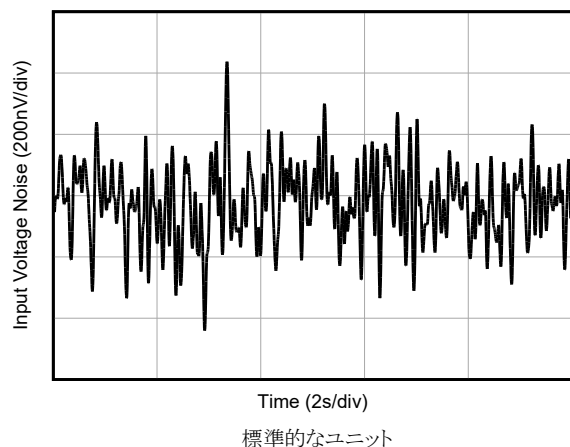


図 5-5. 0.1Hz~10Hz のノイズ

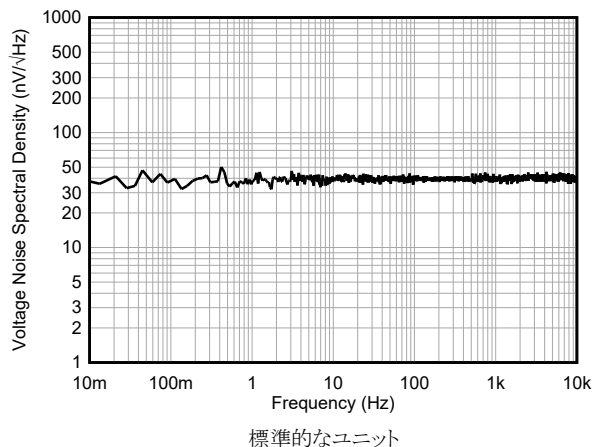
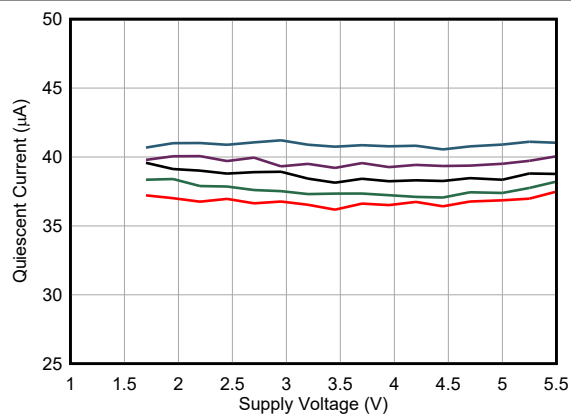


図 5-6. 入力電圧ノイズスペクトル密度と周波数との関係

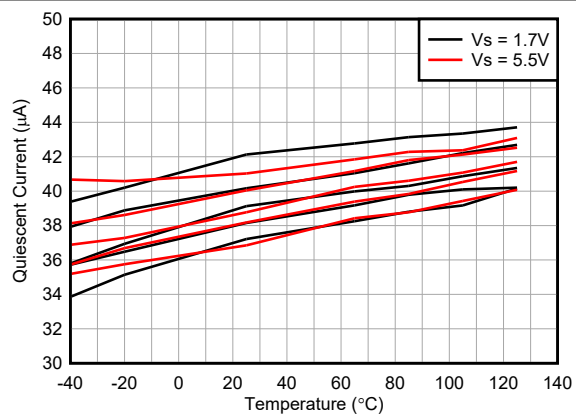
5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.75\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 50\text{pF}$ の場合 (特に記述のない限り)



5 個の代表的なユニット

図 5-7. 静止電流と電源電圧との関係



5 個の代表的なユニット

図 5-8. 静止電流と温度との関係

6 詳細説明

6.1 概要

XTR1xx ファミリーは、高精度アンプと高度マッチング抵抗の組み合わせで、主に高精度 2 線式トランスミッタ アプリケーション用に最適化されていますが、汎用の高精度アプリケーションでも使用できます。XTR1xx の各アンプは、最新かつ独自の高精度ゼロドリフトテクノロジーを採用しており、入力オフセット電圧とドリフトが非常に低くなっています。これらのアンプは 1.7V ~ 5.5V で動作し、ユニティ ゲインで安定しており、1.0MHz の帯域幅があり、アンプ 1 回路あたりの標準的な静止電流がわずか 40μA であるにもかかわらず、55nV/√Hz のノイズ スペクトル密度を実現し、1/f ノイズが無いという特長があります。

XTR1xx には 10kΩ および 40kΩ の 2 つの抵抗が内蔵されており、許容差 0.05% 未満、ドリフト ±2ppm/°C 未満の超高精度 1:4 比を実現しています。XTR100 は、一般的な 5 ピン SOT-23 オペアンプ ピン配置と互換性のある 6 ピン DBV パッケージで供給されます。XTR102 には、480kΩ の追加抵抗と、HART 変調信号専用の入力があります。XTR120 は、PWM 信号をアクティブにフィルタするために使用できる 2 番目のゼロドリフト高精度アンプであることに加えて、XTR102 の上位互換製品です。すべての XTR1xx ファミリーは、-40°C ~ +125°C の産業用温度範囲で仕様が規定されています。

低ノイズだけでなく、アンプのオフセットドリフト、抵抗比ドリフトが非常に低く、かつてないトランスミッタ精度を実現します。これらの特長と超低消費電力、超低電圧、小型パッケージを組み合わせることで、XTR1xx は高精度の 4mA ~ 20mA トランスミッタを構築するのに最高の選択肢となります。DBV パッケージは、ディスクリート実装から XTR100 へのスムーズな移行を可能にします。HART 入力と PWM 入力に対応しているため、幅広いアプリケーションを実現できます。さらに、広い帯域幅により、高い信頼性と、より優れた EMC 特性を実現しています。

6.2 機能ブロック図

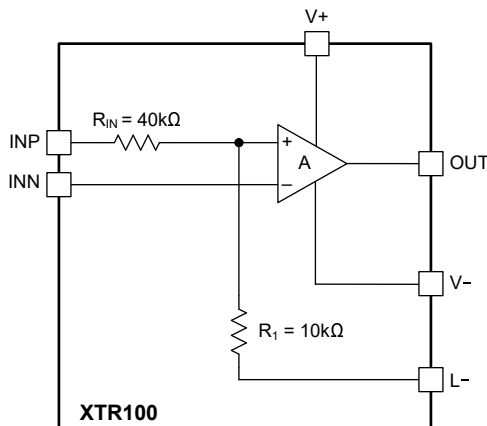


図 6-1. XTR100 のブロック図

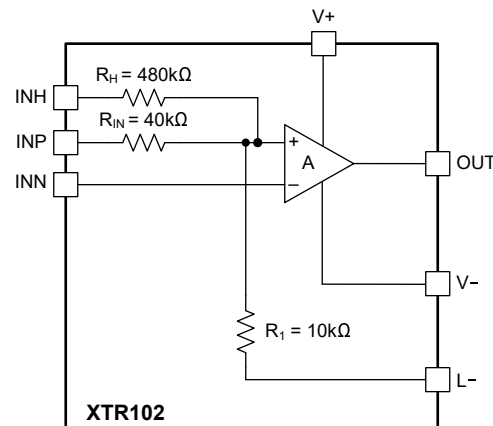


図 6-2. XTR102 のブロック図

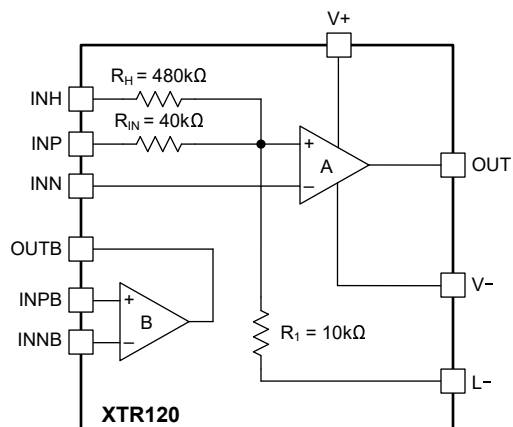


図 6-3. XTR120 のブロック図

6.3 機能説明

6.3.1 ESD 保護

XTR1xx の INP および L- 以外の端子は、図 6-4 に示すように、電源 V+ および V- へのクランプ ダイオードにより ESD 保護されています。

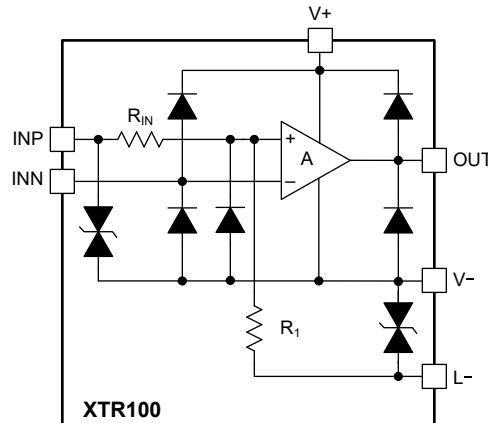


図 6-4. XTR100 の内部保護デバイス

XTR1xx の端子 INP および L- には特別な ESD 保護デバイスがあり、電源レール V+ および V- を超えて端子をスイングさせることができます。これらの特殊なデバイスは低温でリークが小さくなりますが、INP および L- では高温で比較的大きなリーク電流とゼロでない電圧が発生します。

INP 保護のリーク電流は、INP の入力バイアス電流と、INP と INN の間の入力オフセット電流として現れます。この電流は、入力ソースインピーダンスが高い場合にのみ、デバイスの精度に影響を及ぼします。リークに起因するワーストケース電圧の INP 入力誤差は $V_{Err}(V_{INP}) = I_{Leakage} \times R_{Source}$ で求められます。このリークは室温では無視できるほど小さいため、 R_{Source} が R_{IN} に比べて 0.1% 以上である場合にドリフト誤差としてのみ考慮してください。

L- のリークは I_{LOOP} に直接追加されます。ただし、この高い温度リークは、20mA のフルスケールに対してわずか 1ppm/100°C の誤差に相当し、実際の目的では無視できます。

XTR120 のアンプ B には特別な保護デバイスがなく、図 6-5 に示すように、端子は電源 V+ および V- への標準的なクランプダイオードでのみ保護されます。XTR102 と XTR120 の両方の INH 入力ピンについても同じことが当てはまり、標準的なクランプダイオードによって保護されています。通常動作時、XTR1xx 内部アンプの標準的な入力バイアス電流は 10pA です。

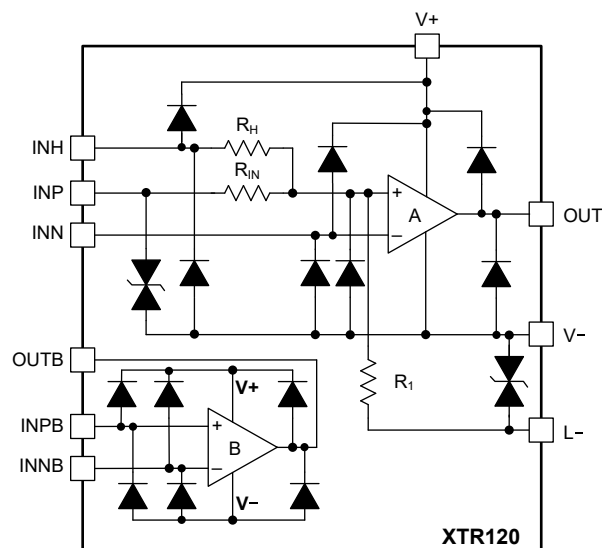


図 6-5. XTR120 の内部保護デバイス

入力ピン (+IN と -IN) の間には逆並列ダイオードが存在しないため、差動入力の最大電圧を制限するのは、電源電圧ピンに接続されたダイオードのみです。ただし、入力差動電圧が公称動作入力差動電圧を超える場合は注意が必要です。入力が分離されると、アンプ内部のスイッチングによるオフセット キャンセル経路が通常動作条件を超え、通常動作に戻った時にセトリング時間が長くなる可能性があります。

6.4 デバイスの機能モード

XTR1xx は単一の機能モードを備えており、電源電圧が $1.7\text{V} (\pm 0.85\text{V})$ を上回ると動作します。XTR1xx の仕様上の最大電源電圧は $5.5\text{V} (\pm 2.75\text{V})$ です。

7 アプリケーションと実装

注

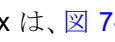
以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 ゼロドリフトクロッキング

XTR1xx は、高度なゼロドリフトアーキテクチャを使用し、OPA-A および OPA-B の非常に低いオフセットおよびオフセットドリフトを実現します。このアーキテクチャでは、クロックとスイッチを内部で使用して DC 誤差補正経路を作成します。クロッキングは内部でフィルタ処理され、ほとんどの構成で通常観測されません。OPA-B を使用する際は、信号チェーンにおけるクロックノイズを最小限に抑えるために、以下の注意事項に従ってください。クロッキングにより、アンプの入力に微小な電荷注入パルスが発生します。そのため、出力でのクロック電圧ノイズの増大を防ぐために、入力に高抵抗 (> 100kΩ) を直列に接続しないでください。

7.1.2 ループ電源型トランスミッタの基本機能

XTR1xx は、 7-1 に示すように、4mA ~ 20mA の電流ループに接続されています。これは、補償回路を省いた簡略化した回路図です。広域の V_{IN} LDO のような電力段には、ループ電圧 V_{LOOP} から XTR1xx に電力を供給する必要があります。INN 入力をグランドに接続すると、オペアンプの正入力にはバーチャルグランドに保たれ、次のように I_{LOOP} の関係を導き出すことができます。

$$I_1 = \frac{1}{R_{IN}} \times V_{INP} \quad (1)$$

$$V_{L-} = \frac{-R_1}{R_{IN}} \times V_{INP} \quad (2)$$

$$I_2 = \frac{-1}{R_2} \times V_{L-} \quad (3)$$

$$I_{LOOP} = I_1 + I_2 \quad (4)$$

$$I_{Loop} = \left(1 + \frac{R_1}{R_2}\right) \times \frac{V_{INP}}{R_{IN}} \quad (5)$$

$$I_{Loop} = \frac{R_2 + R_1}{R_{IN}} \times \frac{V_{INP}}{R_2} \quad (6)$$

$$I_{Loop} \approx \frac{R_1}{R_{IN}} \times \frac{V_{INP}}{R_2} \approx \text{Ratio}_{NOM} \times \frac{V_{INP}}{R_2}, \text{ for } R_1 \gg R_2 \quad (7)$$

目標最大ループ電流 $I_{LOOP,max}$ と目標最大 DAC 出力 V_{INP} を基に、適切な R_2 値を計算し、利用可能な標準抵抗の中で最も近い値に近似します。実際の R_2 の値により、実際の最大 DAC 出力が決まります。

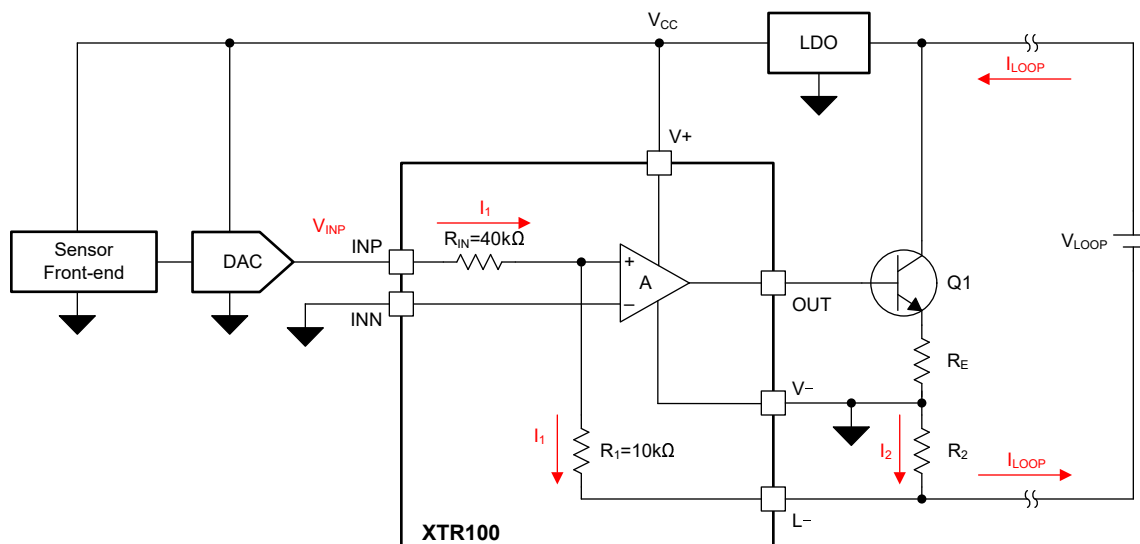


図 7-1. ループ電源型トランスミッタにおける XTR100 の簡略化した回路

表 7-1 に、特定の DAC REF および目標最大 I_{LOOP} に適した標準 R_2 抵抗値を示します。

表 7-1. さまざまな DAC フルスケールおよびさまざまな目標最大 I_{LOOP} に対する R_2 の値

		目標最大出力電流					
		25mA		24mA		21mA	
リファレンス	目標 FS	R_2	$R_{2\text{std}}$	R_2	$R_{2\text{std}}$	R_2	$R_{2\text{std}}$
1.25V	1.24	12.40	12.4	12.92	12.9	14.76	14.7
2.5V	2.4	24.00	24	25.00	24.9	28.57	28.7
3V	2.8	28.00	28	29.17	29.1	33.33	33.2
3.3V	3	30.00	30	31.25	31.2	35.71	35.7

7.1.3 消費電流

センサトランスミッタにとって、特に 4mA の最小出力電流レベルでは、低消費電流が不可欠な要件です。XTR100 および XTR102 の消費電流には、次の 3 つの要素があることに注意してください。

1. V_+ から V_- までを流れるアンプの静止電流。XTR1xx の I_Q は 40 μA (標準値) で、温度範囲全体での最大 I_Q は 52 μA です。
2. 入力電流 I_1 は、公称 4mA 出力、 $R_2 = 24.9\Omega$ の時に 10 μA で、 R_1 のプロセスでのバラツキにより 11.5 μA に達する可能性があり、INP から L_- に流れます。
3. Q1 のベース電流は、Q1 の h_{FE} に依存します。 $h_{FE} = 100$ (標準値) の時、ベース電流は 40 μA で、 $h_{FE} = 60$ の時、ベース電流は 66 μA まで増加します。Q1 のベース電流は V_+ から OUT に流れます。通常、 h_{FE} は温度が高くなると増加するため、温度が上昇すると増加する I_Q とは対照的に高温ではベース電流が減少することに注意してください。

標準的には、ドライバの消費電流は 90 μA です。実際のすべてのシナリオでは、ドライバの消費電流は 100 μA 未満に維持されます。

XTR120 は、XTR100 の静止電流に加えて 40 μA 余分の静止電流があります。

7.1.4 システム誤差の推定

図 7-2 に、アンプのオフセット電圧 V_{OS} 、アンプのバイアス電流 I_{B+} と I_{B-} 、INP での保護デバイスのリーク電流 I_{LI} 、 I_{L-} での保護デバイスのリーク電流 I_{LL} など、XTR100 の潜在的な誤差ソースを示します。 R_{IN} のプロセスでのバラツキによる I_1 の変動も、 I_{LOOP} の精度に影響を及ぼします。さらに、 R_2 のバラツキはループ電流に直接影響を及ぼします。

このセクションでは、これらの各ソースが、 I_{LOOP} の初期誤差全体に占める寄与度、および温度ドリフト誤差に占める寄与度を算出します。

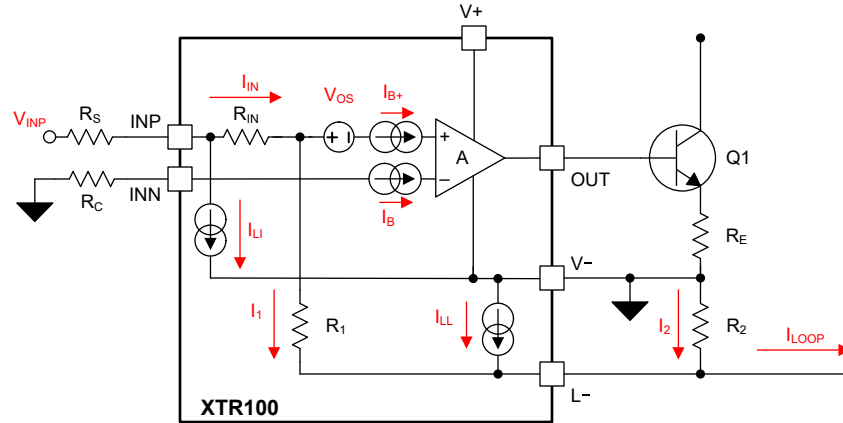


図 7-2. XTR100 の潜在的な誤差ソース

初期誤差

初期誤差は、室温における誤差です。誤差の寄与度を算出するには、すべての誤差ソースを含む I_{LOOP} の式を導き出します。OPA-A が高ゲイン リニア動作であると仮定すると、オペアンプ入力と同じ電圧、 $V_{IN+} = V_{IN-}$ 、になります。

$$I_{IN} = \frac{V_{INP} - V_{OS} - V_{INN}}{R_{IN}} \quad (8)$$

$$V_{INN} = I_{B-} \times R_C \quad (9)$$

$$V_{L-} = V_{OS} + V_{INN} - I_1 \times R_1 \quad (10)$$

$$I_1 = I_{IN} - I_{B+} \quad (11)$$

$$V_{L-} = V_{OS} + I_{B-} \times R_C - \left(\frac{V_{INP} - V_{OS} - V_{INN}}{R_{IN}} - I_{B+} \right) \times R_1 \quad (12)$$

$$I_{LOOP} = \frac{-V_{L-}}{R_2} + I_1 + I_{LL} \quad (13)$$

$$I_{LOOP} = \frac{-1}{R_2} \times (V_{OS} + I_{B-} \times R_C) + \left(\frac{V_{INP} - V_{OS} - V_{INN}}{R_{IN}} - I_{B+} \right) \times \frac{R_1}{R_2} + I_{IN} - I_{B+} + I_{LL} \quad (14)$$

代入と項の並び替えを行うと、次の式が得られます。

$$I_{LOOP} = \frac{V_{INP}}{R_{IN}} \times \left(1 + \frac{R_1}{R_2} \right) - \frac{V_{OS}}{R_{IN}} \times \left(1 + \frac{R_1}{R_2} + \frac{R_{IN}}{R_2} \right) - I_{B-} \times R_C \times \left(\frac{1}{R_2} + \frac{1}{R_{IN}} \times \left(1 + \frac{R_1}{R_2} \right) \right) - I_{B+} \times \left(1 + \frac{R_1}{R_2} \right) + I_{LL} \quad (15)$$

この式のさまざまな項を使用して、各誤差ソースの誤差の寄与度を導き出します。

$$I_{Err}(V_{OS}) = \frac{V_{OS}}{R_2} \times \left(\frac{R_2}{R_{IN}} + \text{Ratio}_{NOM} + 1 \right) \quad (16)$$

$$I_{\text{Err}}(I_{B+}) = \left(1 + \frac{R_1}{R_2}\right) \quad (17)$$

$$I_{\text{Err}}(I_{B-}) = R_C \times \left(\frac{1}{R_2} + \frac{1}{R_{\text{IN}}} \times \left(1 + \frac{R_1}{R_2}\right)\right) \quad (18)$$

$$I_{\text{Err}}(\Delta R_{\text{IN}}) = V_{\text{INP}} \times \left|\frac{1}{R_{\text{IN}}} - \frac{1}{R'_{\text{IN}}}\right| = I_{\text{LOOP}} \times \frac{R_2}{R_1} \times \Delta R_{\text{IN}}; R'_{\text{IN}} = R_{\text{IN}} \times (1 \pm \Delta R_{\text{IN}}) \quad (19)$$

他の項は桁違いに小さいので、他のすべての項に対する ΔR_{IN} の影響は無視します。

R_S による誤差は、 ΔR_{IN} の代わりに ΔR_S を用いた同じ式を使用することで、入力インピーダンスの誤差として扱うこともできます。

$$I_{\text{Err}}(D_{\text{Ratio}}) = \text{Ratio}_{\text{NOM}} \times \frac{V_{\text{INP}}}{R_2} \times D_{\text{Ratio}} = I_{\text{LOOP}} \times D_{\text{Ratio}} \quad (20)$$

$$I_{\text{Err}}(\Delta R_2) = \text{Ratio}_{\text{NOM}} \times V_{\text{INP}} \times \left|\frac{1}{R_2} - \frac{1}{R'_2}\right| = I_{\text{LOOP}} \times \Delta R_2; R'_2 = R_2 \times (1 \pm \Delta R_2) \quad (21)$$

電圧オフセットとバイアス電流がオフセット誤差を引き起こし、 ΔR_{IN} 、 D_{Ratio} 、 R_S が I_{LOOP} のゲイン誤差を引き起こしています。初期オフセットおよびゲイン誤差は、室温の 2 点較正を行うことで両方とも補正できます。

表 7-2. ワorstケースの初期エラー推定値

ソース ⁽¹⁾	条件	I_{LOOP} 誤差 (μA)
V_{OS}	$V_{\text{OS}} = 30\mu\text{V}$	1.56
I_B	$I_{B+} = I_{B-} = 80\text{pA}$	0.12
初期オフセット誤差 (平方和)		1.57
ΔR_{IN}	$\Delta R_{\text{IN}} = 15\%$	7.2
D_{Ratio}	$D_{\text{Ratio}} = 0.02\%$	4
R_S	$R_S = 4\Omega$	2
初期ゲイン誤差 (平方和)		8.48
XTR1xx の未補正初期誤差の合計 (平方和)		8.62 (スパンの 0.054%)
R_2	許容誤差が 0.1% の R_2	20
トランスミッタ全体の初期誤差		21.78 (スパンの 0.14%)

(1) この計算では、 $R_{\text{IN}} = 40\text{k}\Omega$ 、 $R_1 = 10\text{k}\Omega$ 、 $R_2 = 24.9\Omega$ 、 $I_{\text{LOOP}} = 20\text{mA}$ (FS)、スパン = 16mA と仮定しています。

表 7-2 は、 R_2 がトランスミッタの初期エラーの支配的な要素であり、XTR1xx ではないことを示しています。

ドリフト誤差

ドリフト誤差は、温度による元信号の誤差の変化に起因する誤差のことです。初期誤差の計算に使用されたのと同じ I_{LOOP} の式を使用して、表 7-3 の 60°C および 100°C の温度変化に対する各誤差ソースのドリフト誤差推定値を導き出します。60°C の数字は -40°C ~ 85°C の範囲での動作で有効であり、100°C の数字は -40°C ~ 125°C の範囲での動作で有効です。室温補正を行うと、ドリフト誤差が唯一の残余誤差です。

実際のアプリケーションでは、デバイスのリーク電流、 I_{LI} と I_{LL} は R_{IN} に流れておらず、出力誤差の原因になっていません。ただし、特性データは、リーク電流をバイアス電流 I_{B+} の一部として示しています。次のドリフト計算では、バイアス電流ドリフトの推定値のみを使用します。

表 7-3. ワーストケースのドリフト誤差推定値

ソース ⁽¹⁾	条件	I _{LOOP} 誤差 (μA)	
		60°C	100°C
V _{OS} のドリフト	dV _{OS} /dT = 0.05μV/°C	0.16	0.26
I _{LL} のドリフト	I _{LL} のドリフト = 0.1nA/°C	0.01	0.01
I _{B-} のドリフト	I _{B-} のドリフト = 5pA/°C	0.31	0.52
オフセット誤差のドリフト (平方和)		0.35	0.58
ΔR _{IN} のドリフト	ΔR _{IN} のドリフト = 20ppm/°C	0.06	0.1
D _{Ratio}	D _{Ratio} のドリフト = 2ppm	2.4	4
I _{B+} のドリフト	I _{B+} のドリフト = 10pA/°C	0.25	0.42
ゲイン誤差ドリフト (平方和)		2.41	4.02
XTR1xx のドリフト誤差の合計 (平方和)		2.5	4.06 (2.5ppm/°C)
R ₂	R ₂ のドリフト (5ppm/°C)	6	10
トランスミッタ全体のドリフト誤差		6.6	11.00 (6.9ppm/°C)

(1) この計算では、R_{IN} = 40kΩ、R₁ = 10kΩ、R₂ = 24.9Ω、I_{LOOP} = 20mA、スパン = 16mA と仮定しています。

表 7-3 は、R₂ がトランスミッタのドリフト誤差の支配的な要素であり、XTR1xx ではないことを示しています。

初期誤差とドリフト誤差に加えて、電源変動 (PSRR)、入力同相変動 (CMRR)、入力電圧に伴う抵抗比の変動 VCR_{Ratio}、電圧ノイズなどに起因する誤差があります。トランスミッタのアプリケーションでは、同相電圧が GND 付近に維持されるため、CMRR の影響は無視してください。

表 7-4. 動的誤差

ソース	条件	I _{LOOP} 誤差 (μA)
PSRR	PSRR = 3μV/V、10% の電源リップル	0.08
VCR _{Ratio}	VCR _{Ratio} = 30ppm/V、3.3V 入力 FS	1.98
Vnoise	Vnoise = 40nV/√Hz、BW = 1kHz	0.42
Vnoise(0.1 ~ 10Hz)	Vnoise(0.1 ~ 10Hz) = 1000nV _{PP}	0.05
XTR1xx の動的誤差の合計 (平方和)		2.03

全体のシステムドリフト誤差を推定する際、DAC 誤差と DAC 電圧リファレンスの誤差が計算に含まれるように注意してください。

XTR1xx のさまざまなタイプの誤差の概要を次に示します。

表 7-5. XTR1xx の誤差の概要

ソース	条件	I _{LOOP} 誤差 (μA)
XTR1xx の未補正初期誤差の合計 (平方和)		8.62 (スパンの 0.054%)
100°C における XTR1xx のドリフト誤差の合計 (平方和)		4.06 (2.5ppm/°C)
XTR1xx の動的誤差の合計 (平方和)		2.03
100°C において較正なしで使用した場合の XTR1xx の誤差の合計		9.74 (スパンの 0.061%)
100°C において初期誤差が較正された場合の XTR1xx の予測される誤差の合計		4.54 (スパンの 0.028%)

全体のシステム誤差の推定には、R₂ の誤差に加えて DAC 誤差と DAC 電圧リファレンスの誤差も含める必要があることに注意してください。

7.2 代表的なアプリケーション

7.2.1 XTR100 4mA ~ 20mA トランスミッタ

図 7-3 に示すように、XTR100 を使用して、4mA ~ 20mA の電流トランスミッタを構築できます。低 I_Q LDO は、ループ電圧 V_{LOOP} をトランスミッタの電源レベル V_{CC} に降圧するために使用されます。XTR100 の入力を生成するには、AFE88101 などの低電圧 DAC を使用します。

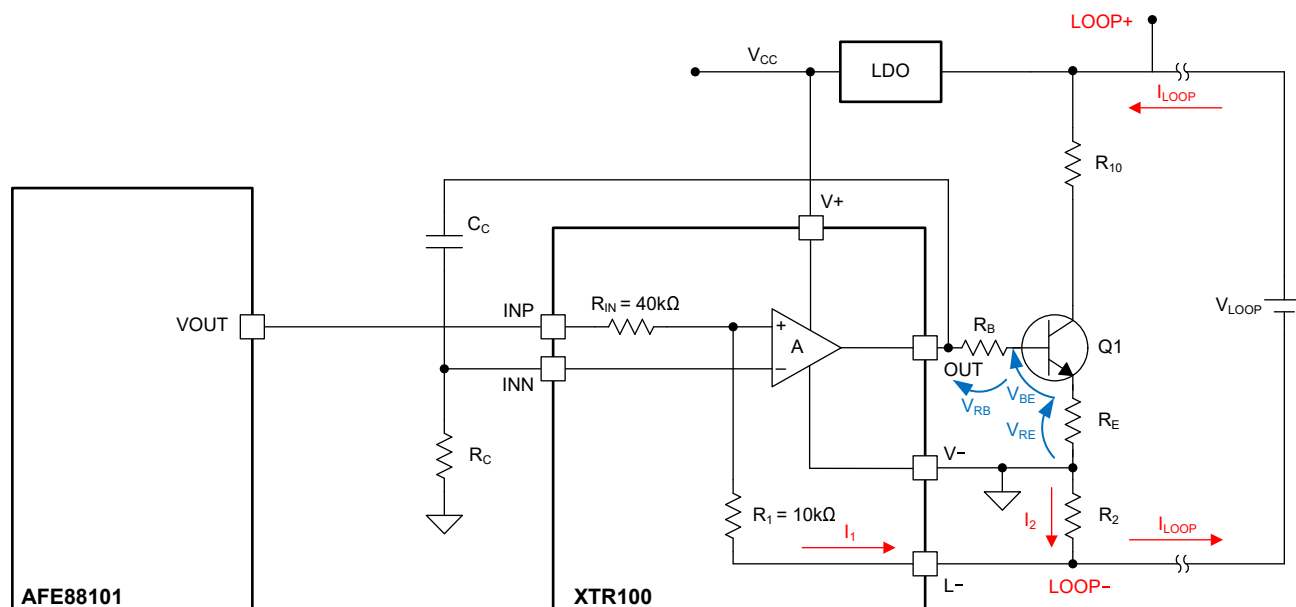


図 7-3. AFE88101 と組み合わせた XTR100 4mA ~ 20mA トランスミッタ

7.2.1.1 設計要件

XTR100 は主に、4mA ～ 20mA のトランスミッタを構築するために使用することを目的としています。設計目標には、高精度、低消費電流が含まれます。表 7-6 に、汎用 4mA ～ 20mA トランスミッタの標準的な設計要件を示します。

トランスミッタの有効な出力範囲は **4mA ~ 20mA** です。ただし、多くのトランスミッタは、レシーバにエラーを示すために、**4mA** より低い電圧または **20mA** 電流を超える電流を生成します。

表 7-6. 設計パラメータ

パラメータ	値
入力電圧範囲 V_{INP}	0V ~ 2.5V
ループ電圧 V_{LOOP} 範囲	12V ~ 27V
有効ループ電流 I_{LOOP} 範囲	4mA ~ 20mA
最大ループ電流 I_{LOOP}	24mA
ループ電流 I_{LOOP} の誤差レベル	3.375mA、および 21.75mA
電源電圧	3.3V
動作温度範囲	-40°C ~ 125°C

7.2.1.2 詳細な設計手順

R₂ と入力範囲を計算する

R₂ は、セクション 7.1.2 に説明されているように、ループの最大電流値を使用して計算できます。24mA のループ電流と 2.5V の最大電圧では、24.9Ω が適切な値です。温度ドリフト係数が 10ppm/°C 未満で 0.1% 以下の抵抗を使用すると、XTR100 の精度における利点を活かすことができます。

ここで、表 7-7 に示すように、さまざまな電流値に必要なさまざまな公称入力電圧を逆算します。

表 7-7. さまざまな出力電流に対応する DAC 出力電圧

I _{LOOP} 電流 (mA)	DAC 電圧 (V)
3.375	0.3352
4.000	0.3974
20.000	1.9871
21.750	2.1609
24.000	2.385

電圧レベルは、AFE88101 DAC の有効な出力範囲内にあります。対応するデジタル コードについては、AFE88101 のデータシートも参照してください。

Q₁ を選択する

パストランジスタ Q₁ を選択するための重要なパラメータには、最大コレクタ エミッタ電圧 V_{CE}、最大消費電力、低 I_C リーク、高電流ゲイン h_{FE} が含まれます。

Q₁ の最適な選択は、利用可能なスペースや最大ループ電圧など、システム要件によって異なります。省スペースの点で有益な SOT-23 などの小型パッケージは、通常は 0.5W 未満の連続消費電力に限定されているため、このパッケージはループ電圧をクランプする場合のスペースの制約が厳しいアプリケーションにとって優れた選択肢です。基板の放熱特性が優れていて、ループ電圧が低い場合、SOT-23 トランジスタも使用できます。SOT-23 トランジスタは、より高い電流ゲインを実現できます。より大きな電力処理が必要な場合は、SOT-89 や SOT-223 などのより大きいパッケージの BJT を使用できます。

たとえば、高電流ゲインの 60V トランジスタである BC55PA NPN を選択した場合は、0.4W ~ 1.6W の消費電力に対応できるバリエーションが用意されており、比較的小型の SOT1061 パッケージで提供されます。

ベースおよびエミッタ抵抗 R_E および R_B

トランジスタの高い電流ゲインを得るには、エミッタ縮退が必要であり、これは R_E の関数です。抵抗値が高いと大電流が流れた場合の電圧降下に影響するため、この抵抗値は大きくしないでください。R_E = 10Ω の場合、最大ループ電流での電圧降下は 0.25V 未満です。

ベース抵抗 R_B は、Q₁ の容量性負荷からオペアンプを絶縁し、ループの安定性に影響を及ぼす可能性があります。ベース電流が大きい (大きいループ電流または低い電流ゲインに起因する) 場合に R_B が大きいと、電圧降下が大きくなり、オペアンプのスイング限界値を超える可能性があります。h_{FE} = 60 という小さい値の場合、R_B 電圧降下を 0.9V 未満に抑えたいときには、R_B の最大値は 2.5kΩ です。

すべての条件で、V_{RE} + V_{BE} + V_{RB} < V_{CC} - 200mV であることを確認します。

補償部品 R_C および C_C

補償 R_C と C_C はループ帯域幅を決定します。補償コンデンサ C_C の最適値は、SPICE シミュレーションを用いて求めることができます。R_C の値を選択し、C_C の値を段階的に変更しながらループの AC シミュレーションを実行することで、適

切な帯域幅を維持しながら最適な位相マージンを得られる値を見つけます。シミュレーションの結果、この例においては、 $R_C = 20k\Omega$ 、 $C_C = 25pF$ が妥当な値であることを示しています。

ADVANCE INFORMATION

7.2.2 XTR100 4mA ~ 20mA 低電圧トランスミッタ

$V_{CC} = 1.8V$ の場合、4mA ~ 20mA ループトランスミッタには、図 7-4 のように異なるトポロジを使用します。このアーキテクチャでは、OPA-A 出力の最大電圧は 1.8V 未満に維持されます。

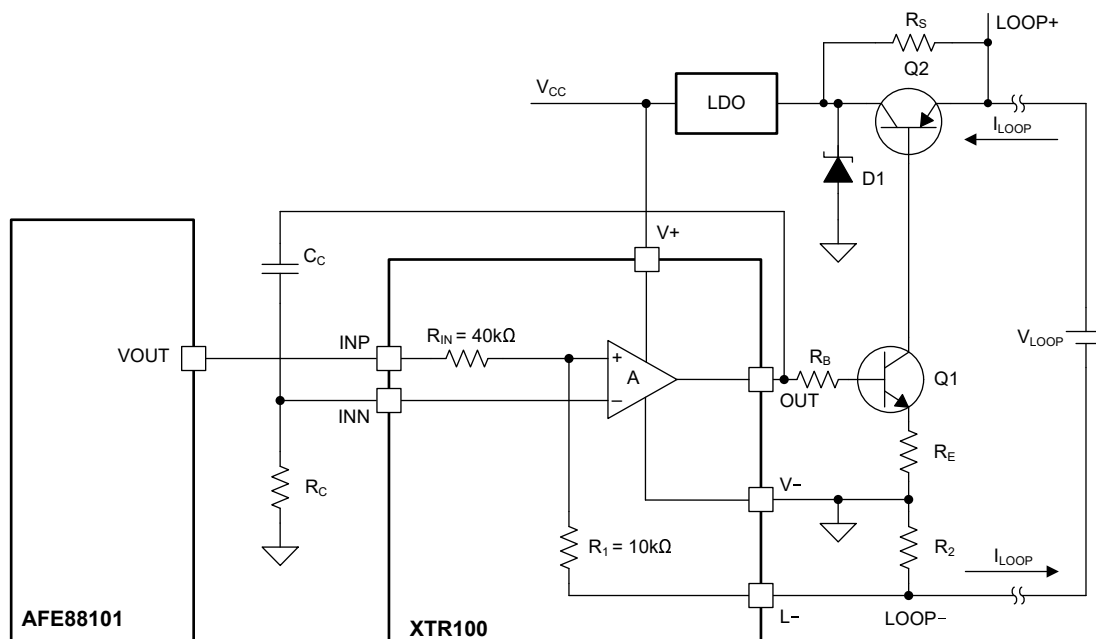


図 7-4. XTR100 4mA ~ 20mA 低電圧トランスミッタ

7.2.3 XTR100 高精度分圧器および加算器

優れたドリフト性能により、 V_{REF} から $1/5 V_{REF}$ または $4/5 V_{REF}$ の電圧を生成する必要がある場合には、XTR100 を高精度分圧器としても使用できます。XTR100 の INP 入力ピンは実際に電源電圧を上回ることができるため、XTR100 に実際に 3.3V または 2.5V で電力を供給しながら、5V の電圧リファレンスを分圧することができます。

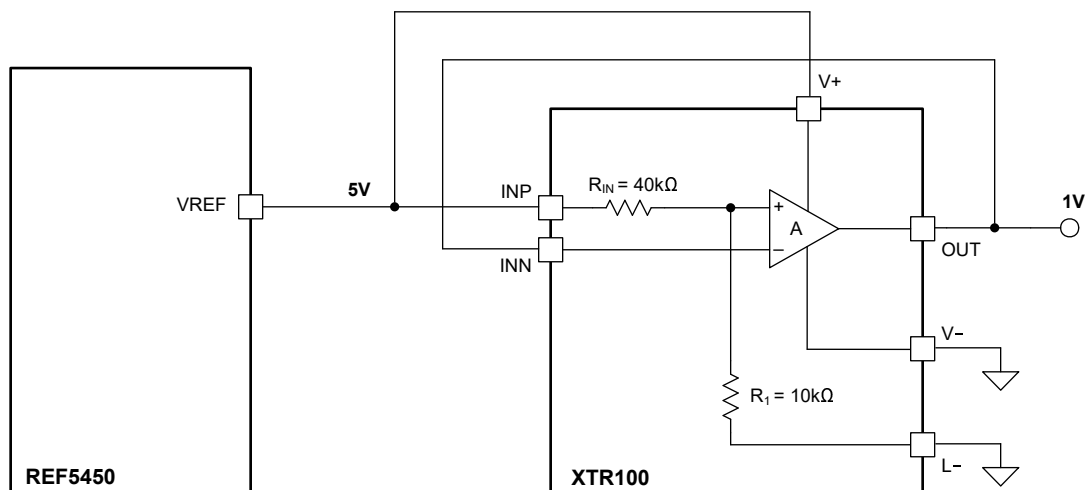


図 7-5. REF5450 を使用した XTR100 高精度 1:5 分圧器

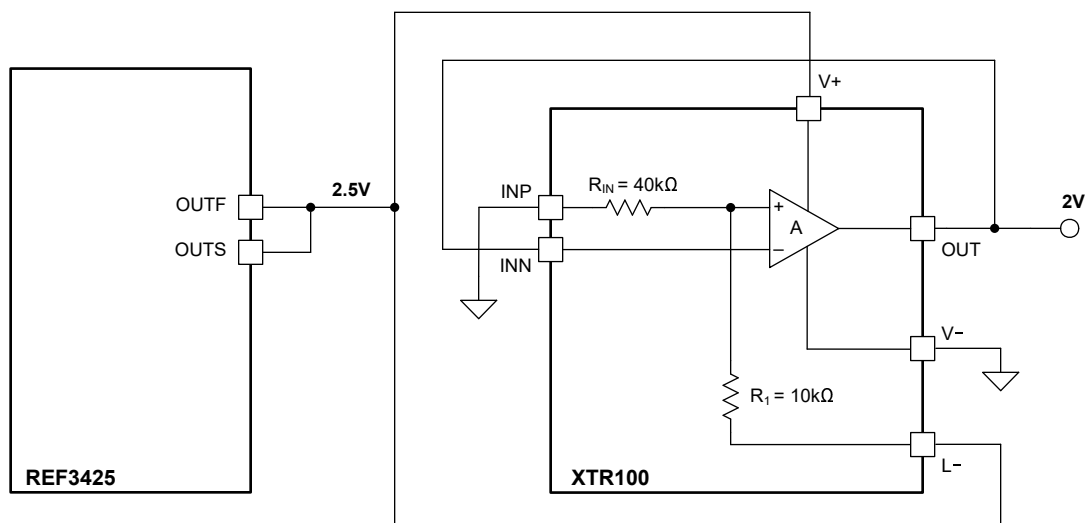


図 7-6. REF3425 を使用した XTR100 高精度 4:5 分圧器

XTR100 のもう 1 つのアプリケーションは、図 7-7 に示すように、1:4 比で 2 つの入力信号を正確に追加することです。

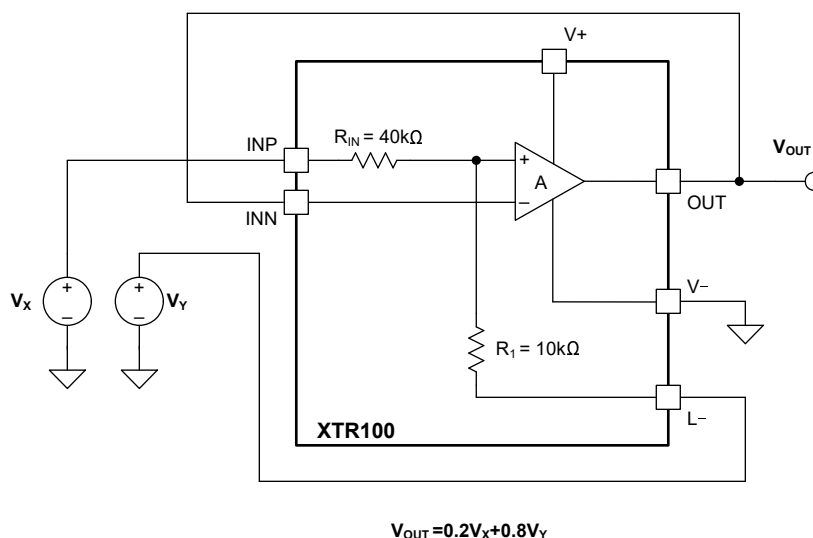


図 7-7. XTR100 高精度 1:4 加算器

7.3 電源に関する推奨事項

XTR1xx ファミリのデバイスは、単一電源で 1.7V~5.5V、デュアル電源で $\pm 0.85V \sim \pm 2.75V$ で動作が規定されています。動作電圧に大きな変動を引き起こす可能性のある主要パラメータを、セクション 5 に示します。

注意

6V を超える電源電圧を印加すると、デバイスに恒久的な損傷を与える可能性があります (セクション 5.1 を参照)。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

図 7-8 に、図 7-3 回路図の一部に相当するレイアウトの例を示します。一般的には、レイアウトにおけるベスト プラクティスを守るようにしてください。トレースを短くし、可能な場合はプリント基板 (PCB) のグランド プレーンを使用し、表面実装部品をデバイス ピンのできるだけ近くに配置します。

- $0.1\mu\text{F}$ の電源バイパス コンデンサを、 $V+$ ピンの近くに配置します。
- 低 ESR のセラミック バイパス コンデンサを使用します。
- INP および INN ピンへのルートを短くし、電源ラインなどのノイズの多いノードから遠ざけるようにします。
- R_2 を $L-$ ピンの近くに配置し、 R_2 の GND プレーンへの低インピーダンス経路を作ります。
- 熱勾配が発生しないように、XTR100 を基板上の熱源から離して配置します。

XTR100 基板レイアウトを 5 ピン DBV オペアンプのフットプリントと互換にしたい場合は、図 7-9 のレイアウトを使用してください。レイアウトには 2 つの抵抗が追加されています。1 つは入力側、もう 1 つは入力と $L-$ の間にあります。

- XTR100 を使用する場合は、入力に 0Ω を配置し、 R_1 のパッドは未実装のままにします。
- 5 ピン DBV パッケージのオペアンプを使用する場合は、示された未実装パッドに R_1 と R_{IN} を配置します。この場合、オペアンプは $L-$ には接続されません。

7.4.2 レイアウト例

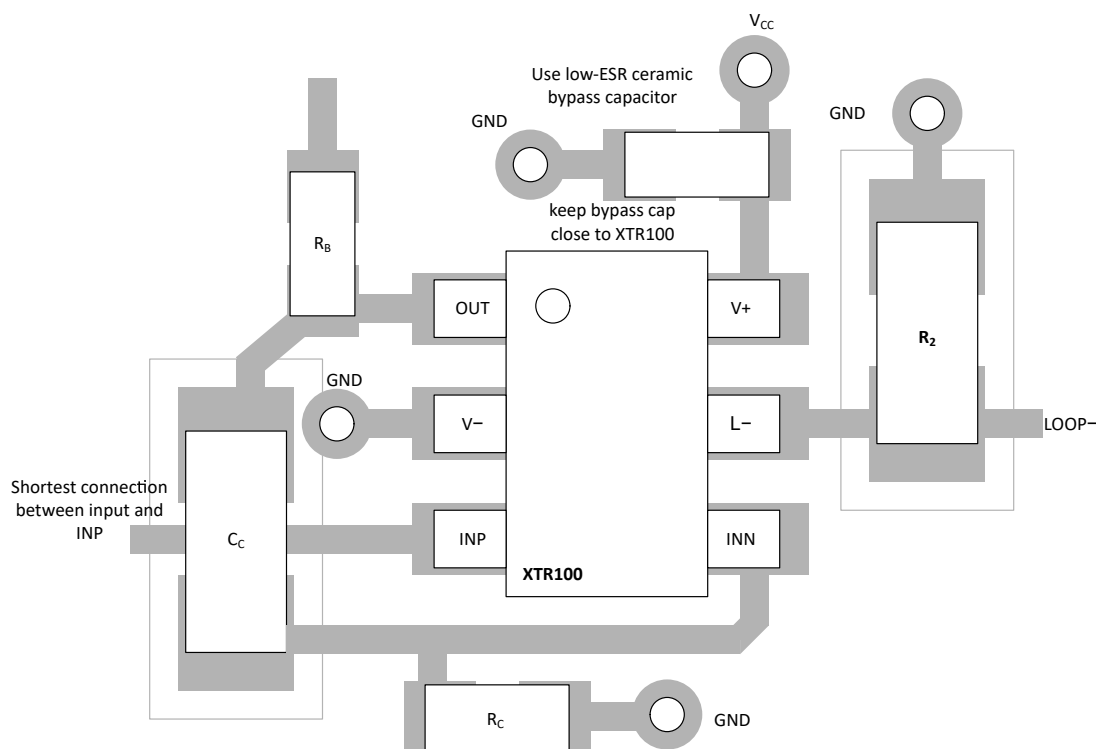


図 7-8. XTR100 レイアウト例

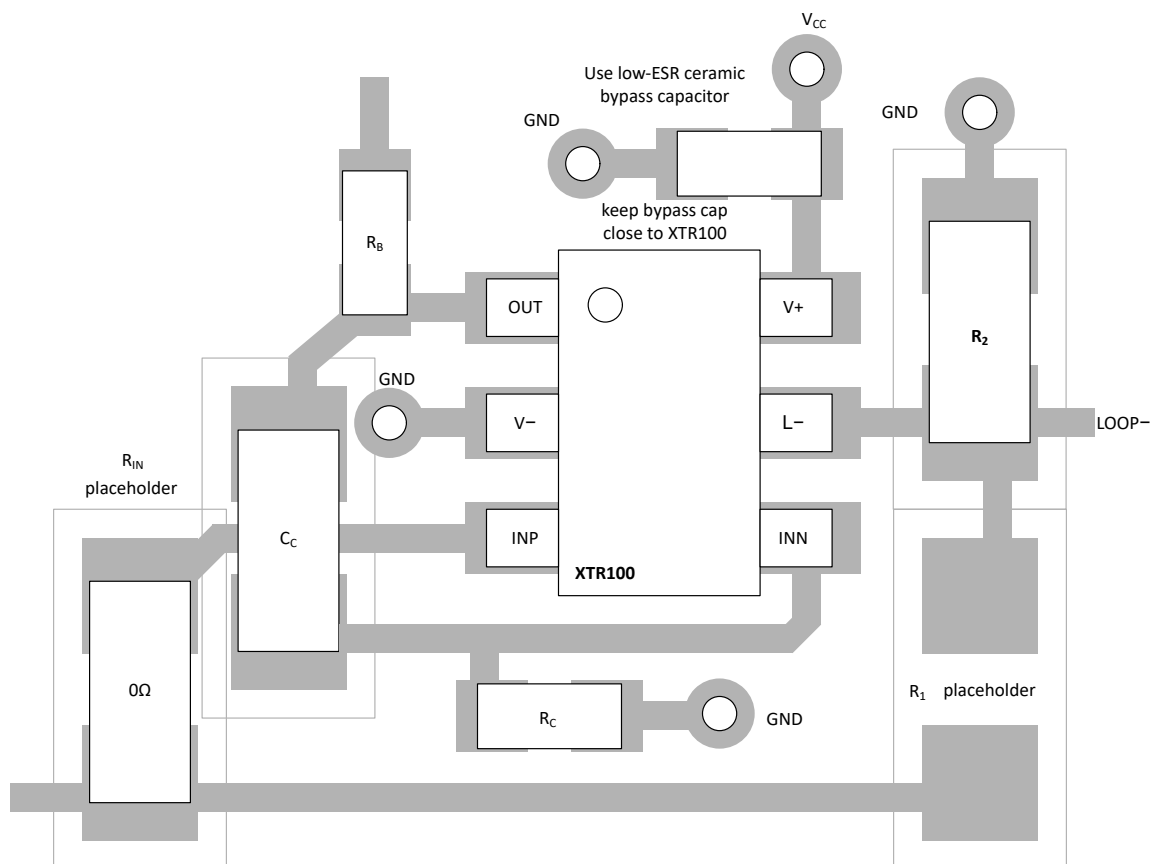


図 7-9. XTR100 レイアウト例、5 ピン DBV パッケージ互換

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ的设计を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

設計およびシミュレーション ツール Web ページから**無償ダウンロード**できる TINA-TI シミュレーション ソフトウェアは、ユーザーが結果をさまざまな形式で処理できる、充実した後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。**TINA-TI ソフトウェア フォルダ**から、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの**使用条件**を参照してください。

8.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc..

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
September 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

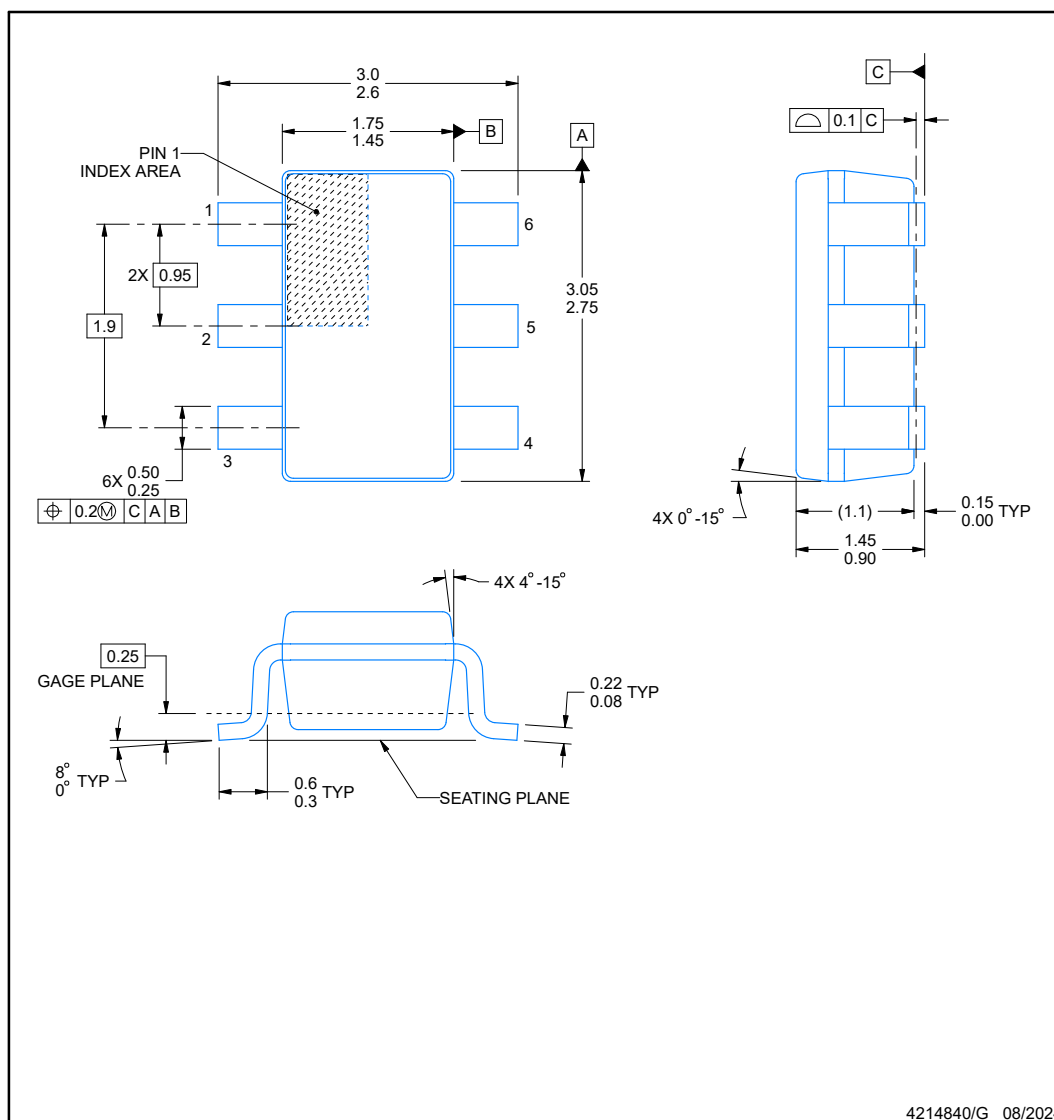
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



DBV0006A

PACKAGE OUTLINE
SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



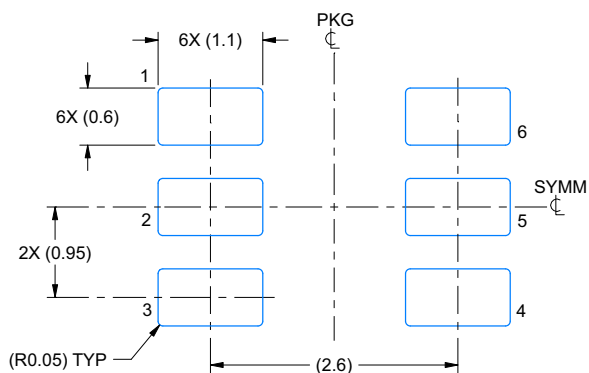
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 mm per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

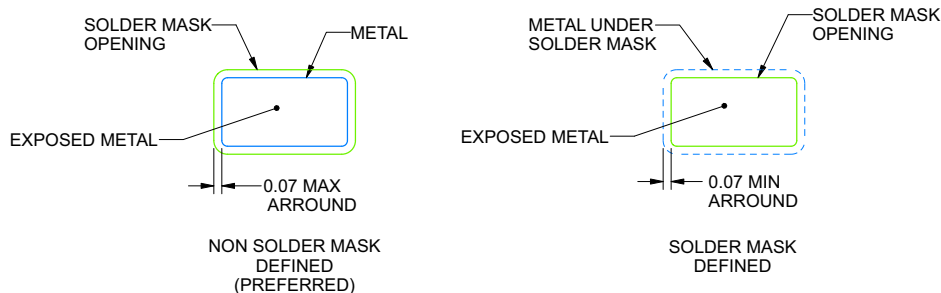
EXAMPLE BOARD LAYOUT**DBV0006A****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR

ADVANCE INFORMATION



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE: 15X

**SOLDER MASK DETAILS**

4214840/B 03/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

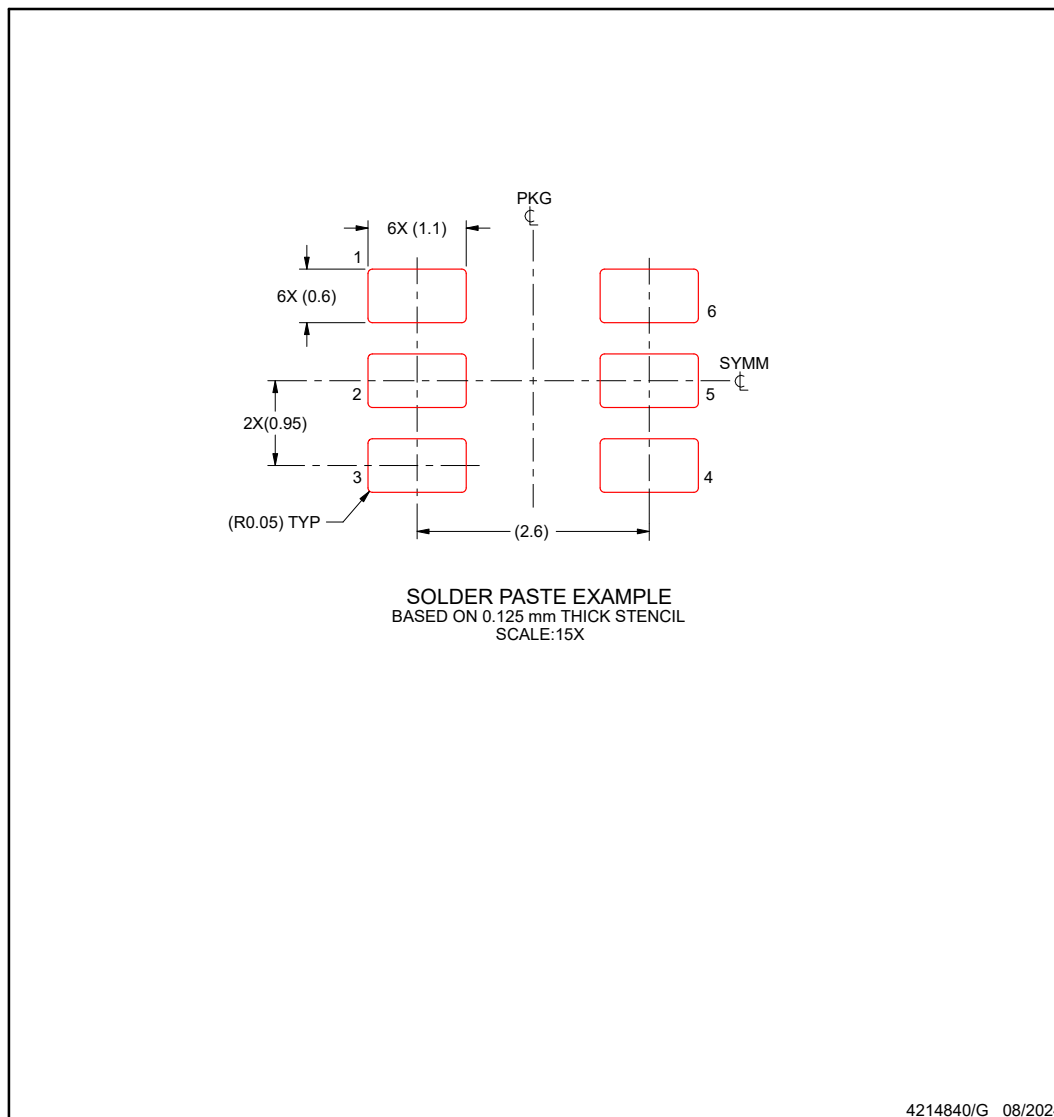
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PXTR100DBVR	Active	Preproduction	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



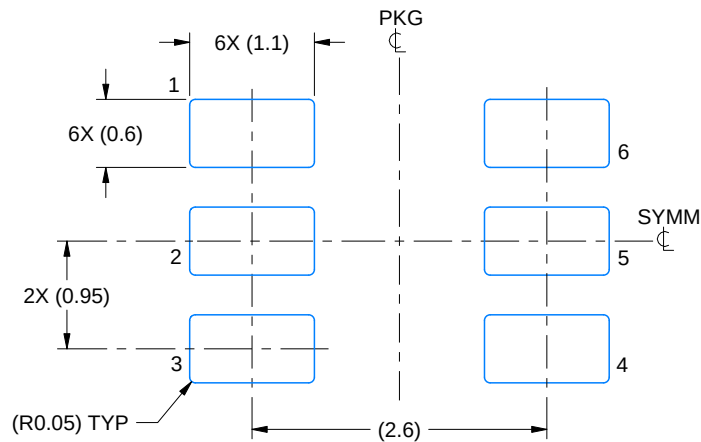
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

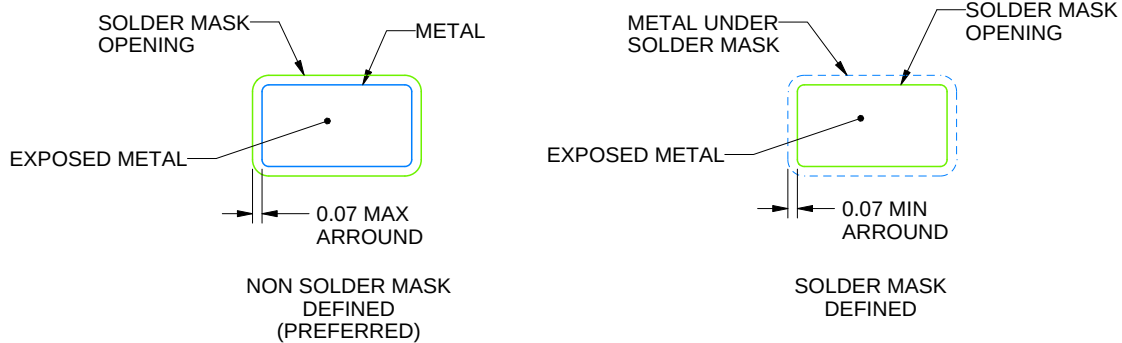
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

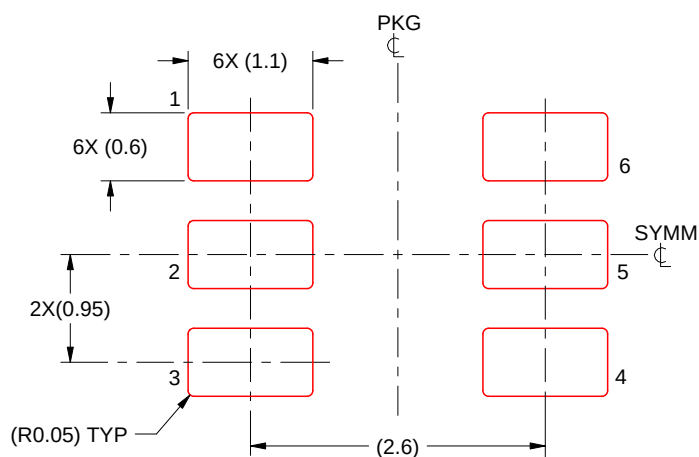
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月