

ADC08B3000

*ADC08B3000 8-Bit, 3 GSPS, High Performance, Low Power A/D Converter with
4K Buffer*



Literature Number: JAJSAF3

4K バッファ搭載、8ビット、3GSPS、高性能、低消費電力 A/D コンバータ

概要

ADC08B3000 は、最大毎秒 3.4 ギガ・サンプル (Gsp/s) のサンプリング・レートで、アナログ信号を分解能 8 ビットでデジタル化する、低消費電力かつ高性能の CMOS A/D コンバータです。ADC08B3000 の消費電力は、1.9V の単一電源で 3Gsp/s の動作をさせた場合 1.6W です。また、全動作温度範囲にわたってミッシング・コードがないことを保証しています。独自のフォールディングおよび補間方式、完全差動コンパレータ設計、内蔵サンプル/ホールド・アンプの革新的な設計、および較正方式により、ナイキスト周波数まで、すべてのダイナミック・パラメータに対して優れた応答特性が得られ、748MHz の入力信号、3GHz のサンプリング・レートでも、 10^{-18} のコード誤り率を保ちつつ、7.1 ビットという高い有効ビット数 (ENOB) を実現しています。サンプリング・レートの 3Gsp/s は、それぞれ 1.5Gsp/s で動作する 2 つの A/D コンバータをインターリーブすることによって得られます。出力フォーマットはオフセット・バイナリ形式です。さらに、2 系統の低電圧 CMOS (LVCMOS) レベルの 8 ビット出力バスを備えた、最大出力周波数 200MHz の 4K キャプチャ・バッファを搭載しています。

コンバータの消費電力はパワーダウン・モード時に代表値で 25mW 未満です。熱特性を高めた 128 ピンの露出パッド付き LQFP パッケージで提供され、産業用温度範囲 ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$) で動作します。

特長

- 単一 +1.9V \pm 0.1V 電源動作
- SDR と DDR の出力クロッキングを選択可能
- 内部選択可能な 4K データ・バッファ
- 拡張制御用シリアル・インタフェース
- 入力フルスケール・レンジ、オフセット、クロック位相の調整
- サンプリング・クロックのデューティ・サイクル補正
- テスト・パターン出力機能

主な仕様

- 分解能 8 ビット
- 最大変換レート 3Gsp/s (min)
- コード誤り率 10^{-18} (typ)
- 748MHz 入力時の有効ビット数 (ENOB) 7.1 ビット (typ)
- 748MHz 入力時の SNR 44.9dB (typ)
- フルパワー帯域幅 3GHz (typ)
- 消費電力
 - フルパワー動作のデータ取り込み 1.6W (typ)
 - パワーダウン・モード 25mW (typ)

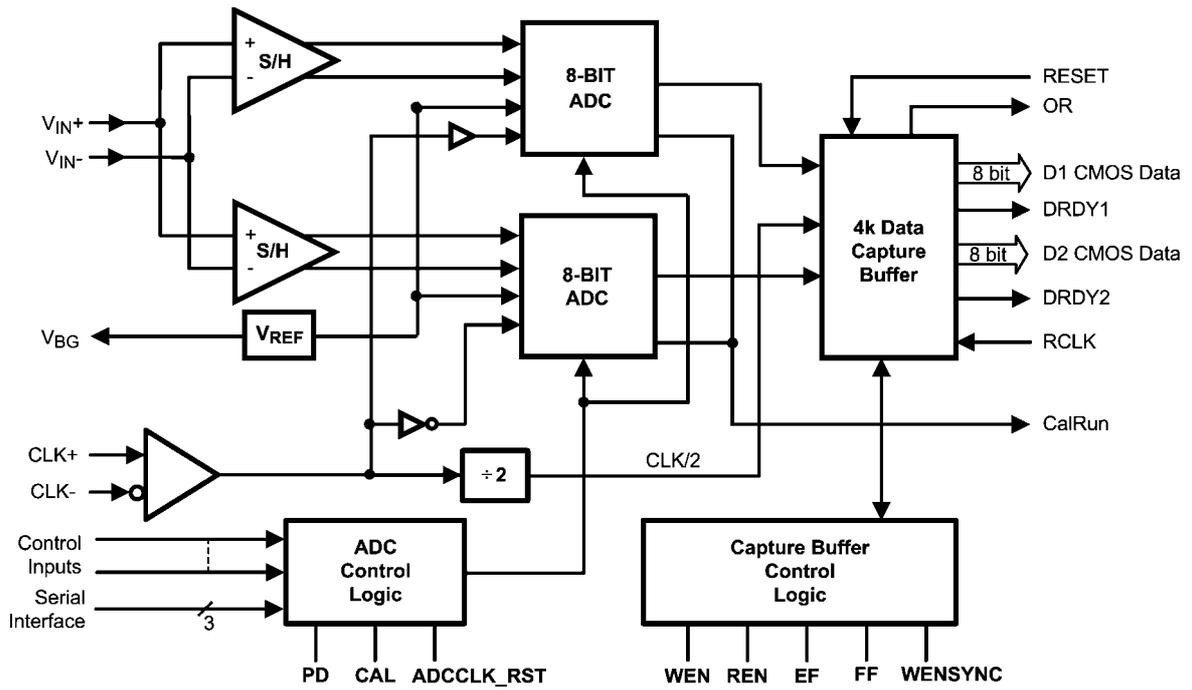
アプリケーション

- 距離測定
- 試験および計測

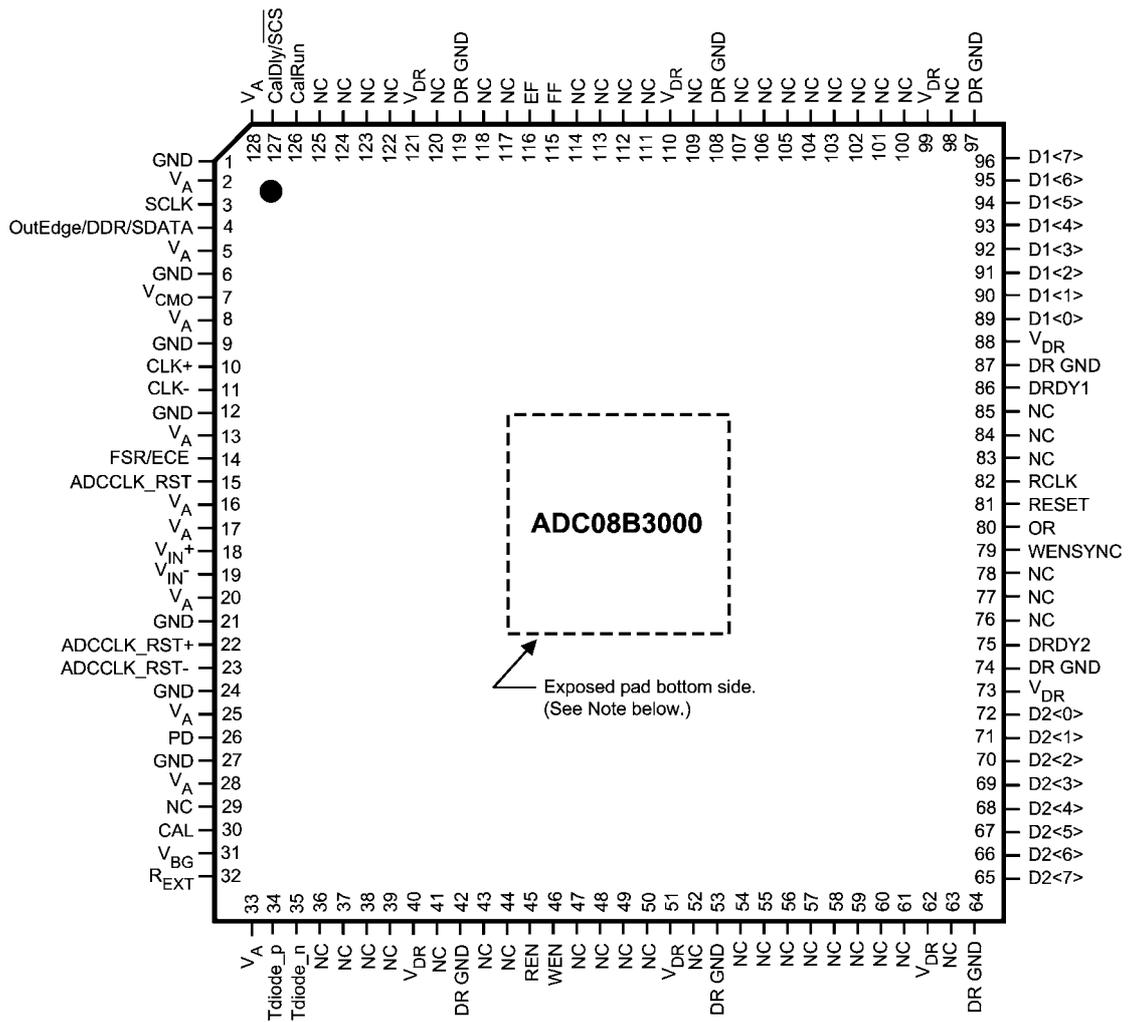
製品情報

Industrial Temperature Range ($-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$)	NS Package
ADC08B3000CIYB	128-Pin Exposed Pad LQFP
ADC08B3000RB	Reference Board

ブロック図

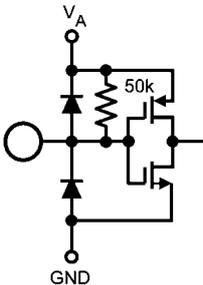
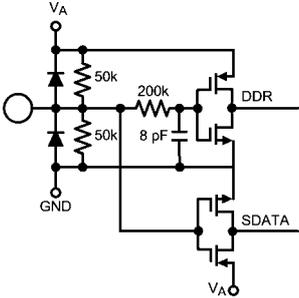
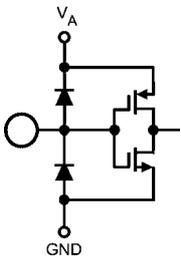


ピン配置図



Note : 定格性能を確保するには、パッケージ裏面の露出パッドをグラウンド層にハンダ付けする必要があります。

ピン説明および等価回路

機能説明			
ピン番号	シンボル	等価回路	説明
3	SCLK		シリアル・インタフェース・クロック (入力): LVCMOS - 拡張制御モードをイネーブルにすると、このピンはシリアル・データを入力するためのクロック (SCLK) として機能します。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。シリアル・インタフェースの詳細は「1.3 シリアル・インタフェース」を参照してください。A/D コンバータを拡張制御モードで使用しない場合はグラウンドに接続してください。
4	OutEdge / DDR / SDATA		エッジ選択 / ダブル・データレートのイネーブル / シリアル・データ入力 (入力): LVCMOS - この入力を Low または High に設定すると、DRDY のどちらのエッジで出力データを遷移させるかを設定できます (「1.1.5.3 OutEdge の設定」を参照してください)。このピンをフローティングにするか電源電圧の1/2の電圧に接続するとダブル・データレートのクロッキングがイネーブルになります。拡張制御モードがイネーブルのときは、このピンはシリアル・データ入力として機能します。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。シリアル・インタフェースの詳細は「1.3 シリアル・インタフェース」を参照してください。
15	ADCCLK_RST		A/D コンバータのサンプリング・クロックのリセット (入力): LVCMOS - ADC08B3000 をリセットしたり、システム内の他の ADC08B3000 と同期させたりする場合に、このピンに正のパルスを印加します。「1.5 複数の A/D コンバータの同期」を参照してください。構成レジスタ (アドレス 1h) のビット 14 を 0b に設定すると、このシングルエンドの入力ピン (ADCCLK_RST) が選択されます。22、23 ピンの説明を参照してください。
26	PD		パワーダウン (入力): LVCMOS - このピンを High にするとキャプチャ・バッファを除き、デバイスがパワーダウン・モードに移行します。
30	CAL		較正サイクルの起動 (入力): LVCMOS - このピンに入力クロック 80 サイクル以上の期間 Low を与えたあと、80 サイクル以上 High を与えると自己較正シーケンスが始まります。較正の概要は「2.4.2 較正」を、コマンド較正の詳細は「2.4.2.2 コマンドによる較正」を参照してください。

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
14	FSR/ECE		<p>フルスケール・レンジ選択 / 拡張制御イネーブル (入力): LVCMOS - 通常制御モード (非拡張制御モード) の場合、このピンを Low にするとフルスケール差動入力に設定されます。High にすると 810mV_{P-P} に設定されます。「1.1.4 アナログ入力」を参照してください。シリアル・インタフェースと制御レジスタを用いる拡張制御モードをイネーブルにするには、このピンをフローティングにするか、$V_A/2$ に等しい電圧を与えます。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。</p>
127	CalDly / $\overline{\text{SCS}}$		<p>較正遅延 / シリアル・インタフェース・チップセレクト (入力): LVCMOS - 14ピンが High または Low のとき、このピンは較正遅延として機能し、電源投入後に較正を開始するまでの入力クロックのサイクル数を設定します (「1.1.1 較正」を参照してください)。14ピンがフローティングのとき、このピンはシリアル・インタフェース入力のチップ・セレクトとして機能し、CalDly (較正遅延) の値はゼロとして取り扱われます (短時間の遅延のみで、パワーオン較正の長時間遅延は設定できません)。</p>
10 11	CLK + CLK -		<p>サンプリング・クロック入力 (入力): LVDS - 差動クロック信号は AC 結合によって、このピンに与えてください。入力信号は CLK の立ち上がり、および立ち下りの両方のエッジでサンプリングされます。入力データ取り込みの詳細については「1.1.2 入力の取り込み」を、クロック入力の概要については「1.1.5 クロック」および「2.3 サンプリング・クロック入力」を参照してください。</p>
18 19	$V_{IN} +$ $V_{IN} -$		<p>信号入力 (入力): アナログ - アナログ信号入力です。差動入力として印加する必要があります。フルスケールの差動入力、通常制御モードでは 14 ピンによって設定し、拡張制御モードではフルスケール電圧調整レジスタによって設定します。「1.4 レジスタの説明」を参照してください。</p>

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
22 23	ADCCLK_RST+ ADCCLK_RST-		<p>サンプリング・クロック・リセット (入力): LVDS - 複数の A/D コンバータを使用している場合に、A/D コンバータのサンプリング・クロックをリセットして同期させるには、これらのピンに正の差動パルスを印加します。「1.5 複数の A/D コンバータの同期」を参照してください。構成レジスタ (アドレス 1h) のビット 14 を 1b に設定すると、これらの差動入力ピン (ADCCLK_RST ±) が選択されます。15 ピンの説明を参照してください。</p>
7	V _{CMO}		<p>コモンモード電圧 (出力): アナログ - アナログ入力を DC 結合で用いる場合に V_{IN+} と V_{IN-} に印加する同相電圧が出力されます。アナログ入力を AC 結合で使用する場合はこのピンをグラウンドに接続します。このピンは 100 μA までのソースまたはシンクに対応し、最大 80pF の負荷を駆動できます。「2.2 アナログ入力」を参照してください。</p>
31	V _{BG}		<p>バンドギャップ出力電圧 (出力): アナログ - このピンは 100 μA までのソースまたはシンクに対応し、最大 80pF の負荷を駆動できます。</p>
126	CalRun		<p>較正処理の実行中 (出力): LVCMOS - 較正処理の実行中はこのピンが High になります。</p>
32	R _{EXT}		<p>外付けバイアス抵抗の接続 アナログ - このピンとグラウンドとの間に定格 3.3kΩ (± 0.1%) の抵抗を接続してください。「1.1.1 較正」を参照してください。</p>
34 35	Tdiode_P Tdiode_N		<p>温度ダイオード アナログ - 温度ダイオードの正極 (アノード) と負極 (カソード) です。これらのピンはダイ温度測定に使用できますが、規定の精度の想定や保証はしていません。「2.6.2 サーマル・マネジメント」を参照してください。</p>

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
72 71 70 69 68 67 66 65	D2<0> D2<1> D2<2> D2<3> D2<4> D2<5> D2<6> D2<7>		<p>デジタル・データ出力 2 (出力) : LVCMOS - キャプチャ・バッファ・レジスタの 2 ポート出力イネーブル (TPE) (アドレス : Fh、ビット : 12) が 1b に設定されている場合、REN 入力のアサートされると、データの半分がキャプチャ・バッファから読み出され、読み出しクロック (RCLK) の各立ち上がりエッジに同期して、このポートに出力されます。このポートのデータはデジタル・データ出力 1 のデータに先行するサンプリング・データです。キャプチャ・バッファ・レジスタの 2 ポート出力イネーブル (TPE) が 0b の場合は、高インピーダンスになります。</p>
75	DRDY2		<p>データ・レディ 2 (出力) : LVCMOS - DRDY は RCLK によって生成され、出力データに同期します。このピンを使用することにより、読み出しクロック (RCLK) の遷移タイミングと、出力データの遷移タイミングの間のレイテンシの不確実性を排除できます。</p>
89 90 91 92 93 94 95 96	D1<0> D1<1> D1<2> D1<3> D1<4> D1<5> D1<6> D1<7>		<p>デジタル・データ出力 1 (出力) : LVCMOS - REN 入力のアサートされると、データがキャプチャ・バッファから読み出され、読み出しクロック (RCLK) の各立ち上がりエッジに同期して、このポートに出力されます。キャプチャ・バッファ・レジスタの 2 ポート出力イネーブル (TPE) (アドレス : Fh、ビット : 12) に 1b が設定されている場合、データの半分がこのポートに出力されます。このポートのデータはデジタル・データ出力 2 のデータに続くサンプリング・データです。REN がネゲートされると、この出力は直前の読み出しデータを保持します。キャプチャ・バッファ・レジスタの 2 ポート出力イネーブル (TPE) が 0b の場合は、キャプチャ・バッファの全データが出力されます。</p>
86	DRDY1		<p>データ・レディ 1 (出力) : LVCMOS - DRDY は RCLK によって生成され、出力データに同期します。このピンを使用することにより、読み出しクロック (RCLK) の遷移タイミングと、出力データの遷移タイミングの間のレイテンシの不確実性を排除できます。</p>

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
45	REN		読み出しイネーブル (入力): LVCMOS - このピンに High を入力すると、RCLK のサイクルごとにキャプチャ・バッファから 1 バイトのデータが読み出されます。WEN がすでにアサートされている場合は、この信号をアサートしてはなりません。「1.7.4 読み出しイネーブル (REN) と書き込みイネーブル (WEN) の連携」を参照してください。
46	WEN		書き込みイネーブル (入力): LVCMOS - このピンに High を入力すると、サンプリング・クロックのサイクルごとにキャプチャ・バッファに 1 バイトのデータが書き込まれます。この信号は、内蔵サンプリング・クロックに内部で同期しているため、非同期にアサートして構いません。
82	RCLK		読み出しクロック (入力): LVCMOS - キャプチャ・バッファからデータを読み出すためのフリー・ランニング・クロックです。このクロックに同期して、出力ポートに平行・データが出力され、EF フラグがアサートされます。
81	RESET		リセット (入力): LVCMOS - このピンに High を入力すると、チップ内のキャプチャ・バッファ制御論理が、すべてリセットされます。
79	WENSYNC		同期書き込みイネーブル (出力): LVCMOS - 制御入力 WEN が、内部のサンプリング・クロックと同期してこのピンに出力されます。
80	OR		アウト・オブ・レンジ (出力): LVCMOS - 差動入力線が線形領域を逸脱している場合に、このピンに High が出力されます。データ・キャプチャ動作中に入力信号が範囲外になると、この信号がアサートされます。このピンはキャプチャ・バッファを読み出すか、RESET ピンをアサートするとクリアされます。
115	FF		バッファ・フル・フラグ (出力): LVCMOS - キャプチャ・バッファがいっぱいになると、クロックに同期してこの信号がアサートされます。WEN 入力のアサートしたままにすると、次の CLK でオーバーフローが発生します。これにより、キャプチャ・バッファ制御レジスタの書き込み自動停止 (ASW) ビットが 0b に設定されている場合は、ポインタが先頭に戻り、前のデータを上書きしはじめます。読み出しサイクルを開始するか、RESET すると、データ・バッファが「フル」ではなくなるため、この信号はネゲートされます。
116	EF		バッファ・エンpty・フラグ (出力): LVCMOS - キャプチャ・バッファが空になると、RCLK 信号に同期してこの信号がアサートされます。書き込みサイクルを開始してバッファが「空」でなくなると、この信号はネゲートされます。
2, 5, 8, 13, 16, 17, 20, 25, 28, 33, 128	V _A		アナログ電源ピン (電源) - 各ピンをグラウンドにバイパスしてください。

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
40, 51, 62, 73, 88, 99, 110, 121	V _{DR}		出力ドライバの電源ピン (電源) - 各ピンを DR GND にバイパスしてください。
1, 6, 9, 12, 21, 24, 27	GND		(グラウンド) - V _A のグラウンド・リターンです。
42, 53, 64, 74, 87, 97, 108, 119	DR GND		(グラウンド) - V _{DR} のグラウンド・リターンです。
29, 36, 37, 38, 39, 41, 43, 44, 47, 48, 49, 50, 52, 54, 55, 56, 57, 58, 59, 60, 61, 63, 76, 77, 78, 83, 84, 85, 98, 100, 101, 102, 103, 104, 105, 106, 107, 109, 111, 112, 113, 114, 117, 118, 120, 122, 123, 124, 125	NC		未接続ピン これらのピンには何も接続しないでください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

アナログ電源電圧 (V_A)	2.2V
V_{DR}	0V ~ ($V_A + 300$ mV)
各入出力ピン電圧 (V_{IN+} 、 V_{IN-} を除く)	- 0.15V ~ ($V_A + 0.15$ V)
V_{IN+} 、 V_{IN-} の電圧範囲 (コモンモードを維持する)	- 0.15V ~ 2.5V
グラウンド電圧差 GND - DR GND	0V ~ 100mV
各ピンの入力電流 (Note 3)	± 25 mA
パッケージの入力電流 (Note 3)	± 50mA
$T_A \leq 85^\circ\text{C}$ における消費電力	2.3W
ESD 耐性 (Note 4)	
人体モデル	2500V
マシン・モデル	250V
保存温度範囲	- 65 °C ~ + 150 °C

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格 www.national.com/JPN/packaging に準拠してください。

動作定格 (Note 1、2)

周囲温度範囲	- 40 °C $\leq T_A \leq$ + 85 °C
電源電圧 (V_A)	+ 1.8V ~ + 2.0V
ドライバ電源電圧 (V_{DR})	+ 1.8V ~ V_A
アナログ入力コモンモード電圧	$V_{CMO} \pm 50$ mV
V_{IN+} 、 V_{IN-} の電圧範囲 (コモンモードを維持する) (100%のデューティ・サイクル)	0V ~ 2.15V
	0V ~ 2.5V (10%のデューティ・サイクル)
グラウンド電圧差 (GND - DR GND)	0V
CLK ピン電圧範囲	0V ~ V_A
差動 CLK 振幅	0.4V _{P-P} ~ 2.0V _{P-P}

パッケージ熱抵抗

Package	θ_{JA}	θ_{JC} (Top of Package)	θ_{J-PAD} (Thermal Pad)
128-Lead Exposed Pad LQFP	26°C / W	10°C / W	2.8°C / W

コンバータの電氣的特性

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = 1.9$ V、 V_{IN} FSR (AC 結合) = 差動 810mV_{P-P}、 $C_L = 10$ pF、差動 AC 結合による正弦波入力クロック、デューティ・サイクル 50%、0.4V_{P-P} における $f_{CLK} = 1.5$ GHz、デューティ・サイクル安定化機能イネーブル、RCLK = 100MHz、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \Omega \pm 0.1\%$ 、アナログ信号のソース・インピーダンス 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ\text{C}$ で規定されます (Note 6、7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
INL	Integral Non-Linearity (Best fit)	DC Coupled, 1MHz Sine Wave Over Ranged	±0.35	±0.9	LSB (max)
DNL	Differential Non-Linearity	DC Coupled, 1MHz Sine Wave Over Ranged	±0.20	±0.6	LSB (max)
	Resolution with No Missing Codes			8	Bits
V_{OFF}	Offset Error		-0.10		LSB
V_{OFF_ADJ}	Input Offset Adjustment Range	Extended Control Mode	±45		mV
PFSE	Positive Full-Scale Error (Note 9)		-2.7	±25	mV (max)
NFSE	Negative Full-Scale Error (Note 9)		-1.6	±25	mV (max)
FS_ADJ	Full-Scale Adjustment Range	Extended Control Mode	±20	±15	%FS
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth		3		GHz
	Code Error Rate		10 ⁻¹⁸		Errors/ Sample
	Gain Flatness	0.0 to -1.0 dBFS	50 to 950		MHz
ENOB	Effective Number of Bits	$f_{IN} = 373$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	7.2	6.7	Bits (min)
		$f_{IN} = 748$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	7.1	6.5	Bits (min)
		$f_{IN} = 1498$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	6.4		Bits
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 373$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	45.1	41.8	dB (min)
		$f_{IN} = 748$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	44.5	41.0	dB (min)
		$f_{IN} = 1498$ MHz, $V_{IN} = \text{FSR} - 0.5$ dB	40.3		dB

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。V_A = V_{DR} = 1.9V、V_{IN} FSR (AC 結合) = 差動 810mV_{p-p}、C_L = 10 pF、差動 AC 結合による正弦波入力クロック、デューティ・サイクル 50%、0.4V_{p-p} における f_{CLK} = 1.5GHz、デューティ・サイクル安定化機能イネーブル、RCLK = 100MHz、V_{BG} = フローティング、非拡張制御モード、SDR モード、R_{EXT} = 3300 Ω ± 0.1%、アナログ信号のソース・インピーダンス 100 Ω 差動。**太文字表記のリミット値は T_A = T_{MIN} ~ T_{MAX} の範囲で適用されます。** 特記のない限り、すべてのリミット値は T_A = 25 °C で規定されます (Note 6、7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
SNR	Signal-to-Noise Ratio	f _{IN} = 373 MHz, V _{IN} = FSR - 0.5 dB	45.3	42.5	dB (min)
		f _{IN} = 748 MHz, V _{IN} = FSR - 0.5 dB	44.9	42	dB (min)
		f _{IN} = 1498 MHz, V _{IN} = FSR - 0.5 dB	42.4		dB
THD	Total Harmonic Distortion	f _{IN} = 373 MHz, V _{IN} = FSR - 0.5 dB	-57	-50	dB (max)
		f _{IN} = 748 MHz, V _{IN} = FSR - 0.5 dB	-54.8	-48	dB (max)
		f _{IN} = 1498 MHz, V _{IN} = FSR - 0.5 dB	-44.3		dB
2nd Harm	Second Harmonic Distortion	f _{IN} = 373 MHz, V _{IN} = FSR - 0.5 dB	-68		dB
		f _{IN} = 748 MHz, V _{IN} = FSR - 0.5 dB	-65		dB
		f _{IN} = 1498 MHz, V _{IN} = FSR - 0.5 dB	-45		dB
3rd Harm	Third Harmonic Distortion	f _{IN} = 373 MHz, V _{IN} = FSR - 0.5 dB	-63		dB
		f _{IN} = 748 MHz, V _{IN} = FSR - 0.5 dB	-57		dB
		f _{IN} = 1498 MHz, V _{IN} = FSR - 0.5 dB	-51		dB
SFDR	Spurious-Free dynamic Range	f _{IN} = 373 MHz, V _{IN} = FSR - 0.5 dB	55.4	47	dB (min)
		f _{IN} = 748 MHz, V _{IN} = FSR - 0.5 dB	54.0	46.5	dB (min)
		f _{IN} = 1498 MHz, V _{IN} = FSR - 0.5 dB	45.3		dB
IMD	Intermodulation Distortion	f _{IN1} = 749.084 MHz, V _{IN} = FSR - 7 dB f _{IN2} = 756.042 MHz, V _{IN} = FSR - 7 dB	-52		dBFS

ANALOG INPUT AND REFERENCE CHARACTERISTICS

V _{IN}	Full Scale Analog Differential Input Range	FSR pin 14 Low	600	550	mV _{p-p} (min)
				650	mV _{p-p} (max)
		FSR pin 14 High	810	740	mV _{p-p} (min)
				880	mV _{p-p} (max)
V _{CM1}	Analog Input Common Mode Voltage		V _{CMO}	V _{CMO} - 50 V _{CMO} + 50	mV (min) mV (max)
C _{IN}	Analog Input Capacitance (Note 10)	Differential	0.8		pF
		Each input pin to ground	2.2		pF
R _{IN}	Differential Input Resistance		100	95 103	Ω (min) Ω (max)

ANALOG OUTPUT CHARACTERISTICS

V _{CMO}	Common Mode Output Voltage	I _{CMO} = ±100 μA	1.26	0.95 1.45	V (min) V (max)
V _{CMO_LVL}	V _{CMO} input threshold to set DC Coupling mode	V _A = 1.8V	0.60		V
		V _A = 2.0V	0.66		V
TC V _{CMO}	Common Mode Output Voltage Temperature Coefficient	T _A = -40°C to +85°C	118		ppm/°C
C _{LOAD} V _{CMO}	Maximum V _{CMO} load Capacitance			80	pF
V _{BG}	Bandgap Reference Output Voltage	I _{BG} = ±100 μA	1.26	1.20 1.33	V (min) V (max)
TC V _{BG}	Bandgap Reference Voltage Temperature Coefficient	T _A = -40°C to +85°C, I _{BG} = ±100 μA	28		ppm/°C
C _{LOAD} V _{BG}	Maximum Bandgap Reference load Capacitance			80	pF

TEMPERATURE DIODE CHARACTERISTICS

ΔV _{BE}	Temperature Diode Voltage	192 μA vs. 12 μA, T _J = 25°C	71.23		mV
		192 μA vs. 12 μA, T _J = 85°C	85.54		mV

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = 1.9V$ 、 V_{IN} FSR (AC 結合) = 差動 810mV_{P-P}、 $C_L = 10$ pF、差動 AC 結合による正弦波入力クロック、デューティ・サイクル 50%、0.4V_{P-P} における $f_{CLK} = 1.5GHz$ 、デューティ・サイクル安定化機能イネーブル、RCLK = 100MHz、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300\Omega \pm 0.1\%$ 、アナログ信号のソース・インピーダンス 100 Ω 差動。 **太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。** 特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます (Note 6、7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
LVDS INPUT CHARACTERISTICS					
V_{ID}	Differential Clock Input Level	Sine Wave Clock	0.5	0.4 0.7	V_{P-P} (min) V_{P-P} (max)
		Square Wave Clock	0.5	0.4 0.7	V_{P-P} (min) V_{P-P} (max)
I_I	Input Current	$V_{IN} = 0$ or $V_{IN} = V_A$	± 1		μA
C_{IN}	Input Capacitance (Note 10)	Differential	0.02		pF
		Each input to ground	1.5		pF
LVC MOS INPUT CHARACTERISTICS					
V_{IH}	Logic High Input Voltage	ADCCLK_RST, PD, CAL		0.69 x V_A	V (min)
		OutEdge, FSR, CalDly		0.79 x V_A	V (min)
V_{IL}	Logic Low Input Voltage	All LVC MOS Inputs		0.28 x V_A	V (max)
I_{IH}	Logic High Input Current	ADCCLK_RST, CAL, PD, CalDly	1		μA
		FSR/ECE	30		μA
I_{IL}	Logic Low Input Current	ADCCLK_RST, CAL, PD, CalDly	1		μA
		FSR/ECE	30		μA
C_{IN}	Input Capacitance (Note 13)	Each input to ground	1.2		pF
LVC MOS OUTPUT CHARACTERISTICS					
V_{OH}	CMOS High level output	$I_{OH} = -400\mu A$	1.65	1.5	V (min)
V_{OL}	CMOS Low level output	$I_{OH} = 400\mu A$	0.15	0.3	V (max)
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	Full Power Capture Mode WEN = High, REN = PD = Low	723	800	mA (max)
		Power Down Mode WEN = Low, REN = PD = High	2.4		mA
I_{DR}	Output Driver Supply Current	Full Power Capture Mode WEN = High, REN = PD = Low	135	180	mA (max)
		Power Down Mode WEN = Low, REN = PD = High	10.8		mA
P_D	Power Consumption	Full Power Capture Mode WEN = High, REN = PD = Low	1.6	1.9	W (max)
		Power Down Mode WEN = Low, REN = PD = High	25		mW
PSRR1	D.C. Power Supply Rejection Ratio	Change in Offset Error with change in V_A from 1.8V to 2.0V	70		dB
PSRR2	A.C. Power Supply Rejection Ratio	248 MHz, 100mV _{P-P} riding on V_A	50		dB

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。V_A = V_{DR} = 1.9V、V_{IN} FSR (AC 結合) = 差動 810mV_{p-p}、C_L = 10 pF、差動 AC 結合による正弦波入力クロック、デューティ・サイクル 50%、0.4V_{p-p} における f_{CLK} = 1.5GHz、デューティ・サイクル安定化機能イネーブル、RCLK = 100MHz、V_{BG} = フローティング、非拡張制御モード、SDR モード、R_{EXT} = 3300Ω ± 0.1%、アナログ信号のソース・インピーダンス 100Ω 差動。**太文字表記のリミット値は T_A = T_{MIN} ~ T_{MAX} の範囲で適用されます。** 特記のない限り、すべてのリミット値は T_A = 25 °C で規定されます (Note 6、7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
AC ELECTRICAL CHARACTERISTICS - Sample Clock					
f _{CLK1}	Maximum Input Clock Frequency	Sample rate is 2x clock input		1.5	GHz (min)
f _{CLK2}	Minimum Input Clock Frequency	Sample rate is 2x clock input	500		MHz
t _{CYC}	Input Clock Duty Cycle	500MHz ≤ Input clock frequency ≤ 1.5 GHz (Note 12)	50	20 80	% (min) % (max)
t _{LC}	Input Clock Low Time	(Note 11)	333	133	ps (min)
t _{HC}	Input Clock High Time	(Note 11)	333	133	ps (min)
t _{AD}	Sample (Aperture) Delay	Input CLK transition to Acquisition of Data	1.4		ns
t _{AJ}	Aperture Jitter		0.55		ps rms
AC ELECTRICAL CHARACTERISTICS - Capture Buffer Signals					
f _{RCLK}	Maximum Capture Buffer Read Clock Frequency		200		MHz
t _{LHT}	Low to High Transition Time	10% to 90%	250		ps
t _{HLT}	High to Low Transition Time	10% to 90%	250		ps
t _{DWS1}	Delay WENSYN	Delay after 3 Write Clock Cycles	7.0		ns
t _{DWS2}	Delay WENSYN	Delay after FF assertion	-1.3		ns
t _{HWEN}	Minimum Hold Time WEN	Hold Time after WENSYN deassertion	-5.0	0	ns (min)
T _{ASWEN}	Minimum Assertion Delay WEN	RCLK cycle delay after deassertion of REN	0	1	RCLK Cyc. (min)
t _{DF}	Delay Full Flag	Delay after REN assertion, RCLK = 100 MHz	7.3		ns
		Delay after REN assertion, RCLK = 200 MHz	5.0		ns
t _{DEF1}	Delay Empty Flag	Delay after last DRDY pulse, RCLK = 200 MHz	0		ns
t _{DEF2}	Delay Empty Flag	Delay after RESET	2.0		ns
t _{DEF3}	Delay Empty Flag	Delay after WENSYN assertion	9.5		ns
t _{SREN}	Minimum Setup Time REN	Setup Time before rising edge of RCLK	0.2	0.3	ns (min)
t _{HREN}	Minimum Hold Time REN	Hold Time after last DRDY pulse or positive edge of RESET	-5	0	ns (min)
t _{DRDY}	Delay RCLK to DRDY	RCLK to DRDY Delay, RCLK = 100 MHz or 200 MHz	2.7	1.8	ns (min)
				4.0	ns (max)
t _{SKEW}	Skew DRDY to Data	For SDR and DDR 0° modes.	0	±200	ps (max)
t _{SO}	Setup Time Data Output	Data Output to DRDY For DDR 90° mode	5		ns
t _{HO}	Hold Time Data Output	DRDY to Data Output For DDR 90° mode	5		ns
AC ELECTRICAL CHARACTERISTICS - Serial Interface					
f _{SCLK}	Serial Clock Frequency		67		MHz
t _{SSU}	Data to Serial Clock Rising Setup Time		2.5		ns (min)
t _{SH}	Data to Serial Clock Rising Hold Time		1		ns (min)
t _{SCS}	CS to Serial Clock Rising Setup Time		2.5		ns
t _{HCS}	$\overline{\text{CS}}$ to Serial Clock Falling Hold Time		1.5		ns
	Serial Clock Low Time			6	ns (min)
	Serial Clock High Time			6	ns (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = 1.9V$ 、 V_{IN} FSR (AC 結合) = 差動 810mV_{P-P}、 $C_L = 10$ pF、差動 AC 結合による正弦波入力クロック、デューティ・サイクル 50%、 $0.4V_{P-P}$ における $f_{CLK} = 1.5GHz$ 、デューティ・サイクル安定化機能イネーブル、 $RCLK = 100MHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \Omega \pm 0.1\%$ 、アナログ信号のソース・インピーダンス 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます (Note 6、7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
AC ELECTRICAL CHARACTERISTICS - General Signals					
t_{SR}	Setup Time ADCCLK_RST \pm	Differential ADCCLK_RST	90		ps
t_{HR}	Hold Time ADCCLK_RST \pm	Differential ADCCLK_RST	30		ps
t_{PWR}	Pulse Width ADCCLK_RST \pm	(Note 11)		4	CLK \pm Cyc. (min)
t_{WU}	PD low to Rated Accuracy Conversion (Wake-Up Time)		1		μs
t_{CAL}	Calibration Cycle Time		1.4×10^5		CLK \pm Cyc.
t_{CAL_L}	CAL Pin Low Time	See Figure 4 (Note 11)		80	CLK \pm Cyc. (min)
t_{CAL_H}	CAL Pin High Time	See Figure 4 (Note 11)		80	CLK \pm Cyc. (min)
t_{CalDly}	Calibration delay CalDly = Low	See Section 1.1.1 Calibration, Figure 4, and (Note 11)		2 ²⁵	CLK \pm Cyc. (max)
	Calibration delay CalDly = High	See Section 1.1.1 Calibration, Figure 4, and (Note 11)		2 ³¹	CLK \pm Cyc. (max)

Note 1: 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。絶対最大定格での動作は保証されません。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

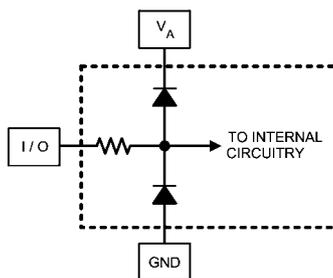
Note 2: 特記のない限り、すべての電圧は $GND = DR\ GND = 0V$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < GND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。これらのリミット値は、電源ピンおよびグラウンド・ピンには適用されません。

Note 4: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k Ω を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

Note 5: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合で異なります。

Note 6: アナログ入力は、以下に示されるように保護されています。絶対最大定格を超える入力電圧振幅はデバイスを破壊することがあります。



Note 7: 精度を保證するために、 V_A および V_{DR} 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。また、定格性能を達成するには、裏面の露出パッドをグラウンドに適切にハンダ付けする必要があります。

Note 8: 代表値 (Typical) は $T_A = 25^\circ C$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル (AOQL) に基づき保証されます。

Note 9: 本デバイスのフルスケール誤差の計算では、実際のリファレンス電圧はその公称値に正確に一致していると仮定しています。そのためデバイスのフルスケール誤差は、フルスケール誤差とリファレンス電圧誤差の組み合わせになります。Figure 1 を参照してください。ゲイン誤差とフルスケール誤差の関係についてはゲイン誤差の仕様定義を参照してください。

Note 10: アナログおよびクロック入力容量には、リードとボンディング・ワイヤを持つインダクタンスによってダイ容量とは分離された状態で、差動ピンには 0.7pF、他のピンには 1pF の容量がグラウンドに対して付加されます。

Note 11: このパラメータは設計によって保証されています。製造時の試験は行っていません。

Note 12: このパラメータは設計および特性評価、またはそのいずれか一方によって保証されています。製造時の試験は行っていません。

Note 13: デジタル制御ピンの容量はダイ容量のみです。各ピンには、リードとボンディング・ワイヤのインダクタンスによってダイ容量から分離された状態で、さらに 1.6pF のパッケージ容量がグラウンドに対して付加されます。

用語の定義

アパーチャ(サンプリング)ディレイ(APERTURE (SAMPLING) DELAY)とは、クロック入力サンプリング・エッジから計測して、入力ピンに与えられた信号がデバイス内部でサンプリングされるまでの遅延を表します。

アパーチャ・ジッタ (APERTURE JITTER: t_{AJ})は、サンプリング間でのアパーチャ・ディレイのばらつきを示します。アパーチャ・ジッタは入力ノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE)は、クロック周期に対してクロック波形が High となっている時間の割合です。

コード誤り率 (Code Error Rate: C.E.R.)は、誤りが発生する確率を表し、単位時間あたりの推定エラー個数をその時間内に観測されるワード数で割ったものとして定義されます。CER が 10^{-18} であるとは、統計的に約 4 年ごとに 1 回変換の誤りが発生することに相当します。

コモンモード電圧 (COMMON MODE VOLTAGE)とは、差動ピンの両方に共通の DC 電圧です。入力がコモンモードとなるのは、任意の時点における各ピンの信号の、この DC コモンモード電圧からの変位が、逆方向で同じ値の場合です。

微分非線形性 (DIFFERENTIAL NON-LINEARITY : DNL)は、理想的なステップ・サイズである 1LSB からの最大偏差として表されます。3Gsp/s で正弦波入力によって測定します。

有効ビット数 (EFFECTIVE NUMBER OF BITS: ENOB または EFFECTIVE BITS)は、信号 / (ノイズ + 歪み) 比 (SINAD) の別の規定方法です。有効ビット数 (ENOB) は $(SINAD - 1.76)/6.02$ として定義され、この値のビット数をもつ理想的な A/D コンバータと等価であることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH: FPBW)は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 低下する周波数として測定されます。

ゲイン誤差 (GAIN ERROR)は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差はオフセット誤差とフルスケール誤差から求められます。

$$\begin{aligned} \text{正側ゲイン誤差} &= \text{オフセット誤差} - \text{正側フルスケール誤差} \\ \text{負側ゲイン誤差} &= -(\text{オフセット誤差} - \text{負側フルスケール誤差}) \\ \text{ゲイン誤差} &= \text{負側フルスケール誤差} - \text{正側フルスケール誤差} = \\ &= \text{正側ゲイン誤差} + \text{負側ゲイン誤差} \end{aligned}$$

積分非線形性 (INTEGRAL NON-LINEARITY: INL)とは、入出力伝達関数の直線からのずれの最大値です。この直線と任意のコードとの偏差は、各コード値の中央を基準として測定します。ベスト・フィット法を使用します。

混変調歪み (INTERMODULATION DISTORTION: IMD)は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力うちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT)は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。LSB の値は、

$$V_{FS}/2^n$$

V_{FS} は FSR 入力 (ピン 14) で設定される V_{IN} の差動フルスケール振幅、"n" はビット数を単位とする A/D コンバータの分解能で、ADC08B3000 では 8 です。

ミッシング・コード (MISSING CODE)は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて A/D コンバータから出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

MSB (MOST SIGNIFICANT BIT)は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (NEGATIVE FULL-SCALE ERROR : NFSE)は、最初のコード遷移点が、差動 $-V_{IN}/2$ から理想 1/2LSB だけ高い電圧からどの程度ずれているかを表します。ADC08B3000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

オフセット誤差 (OFFSET ERROR: V_{OFF})は、中点が理想ゼロ電圧差動入力からどの程度ずれているかを表します。

$$\text{オフセット誤差} = \text{平均 128 の出力コードを得るサンプリング 8k 回の実入力値の平均}$$

オーバーレンジ回復時間 (OVER - RANGE RECOVERY TIME)は、コンバータから見た差動入力電圧が $\pm 1.2V$ から 0V に遷移した時点から、コンバータが回復して定格精度で変換を行えるようになるまでに必要な時間です。

正側フルスケール誤差 (POSITIVE FULL-SCALE ERROR)は、最後のコード遷移点が、差動 $+V_{IN}/2$ から理想 1-1/2LSB だけ低い電圧からどの程度ずれているかを表します。ADC08B3000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR)は、2 つの仕様を意味します。PSRR1 (DC PSRR) は、電源電圧が 1.8V から 2.0V に変化した結果生じるフルスケール誤差の比です。PSRR2 (AC PSRR) は、電源に乗っている AC 信号が出力でどの程度良好に除去されているかを表し、248MHz、100mV_{p,p} の信号を電源に重畳させて測定します。PSRR2 は、出力におけるその信号の出力振幅と、電源ピンにおけるその信号との比で示します。PSRR は dB で表されます。

信号対ノイズ比 (SIGNAL TO NOISE RATIO: SNR)は、出力における入力信号の rms 値と、高調波と DC は含めずに、サンプリング周波数の 1/2 周波数未満のすべてのスペクトラル成分の rms 値の合計との比で、単位は dB です。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD)は、出力における入力信号の rms 値の、入力クロック周波数の 1/2 未満のそれ以外のスペクトラル成分 (高調波は含めるが、DC は除く) の rms 値に対する比で、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS - FREE DYNAMIC RANGE : SFDR)は、出力における入力信号の rms 値とピーク・スプリアス信号との差で、dB で表されます。ここで言うスプリアス信号とは、DC を除いて入力には存在しなかったが、出力スペクトラムに存在する任意の信号です。

全高調波歪み (TOTAL HARMONIC DISTORTION : THD)は、2 次から 10 次までの高調波の合計出力レベルの基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに見られる高調波のうち 2 次から 10 次までの高調波のパワーです。

— **2 次高調波歪み (2nd Harm)** は、出力で見た入力周波数の rms パワーと出力で見た 2 次高調波のパワーとの差で、単位は dB です。

— **3 次高調波歪み (3rd Harm)** は、出力で見た入力周波数の rms パワーと出力で見た 3 次高調波のパワーとの差で、単位は dB です。

変換特性

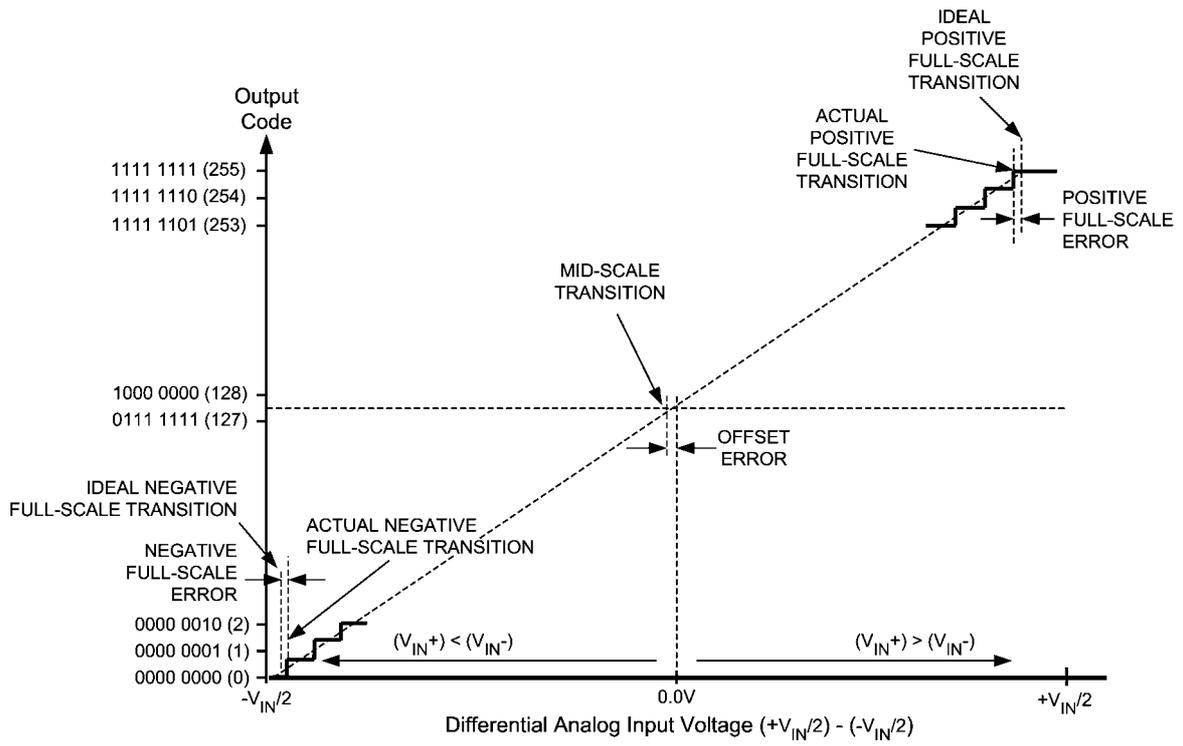


FIGURE 1. Input / Output Transfer Characteristic

タイミング図

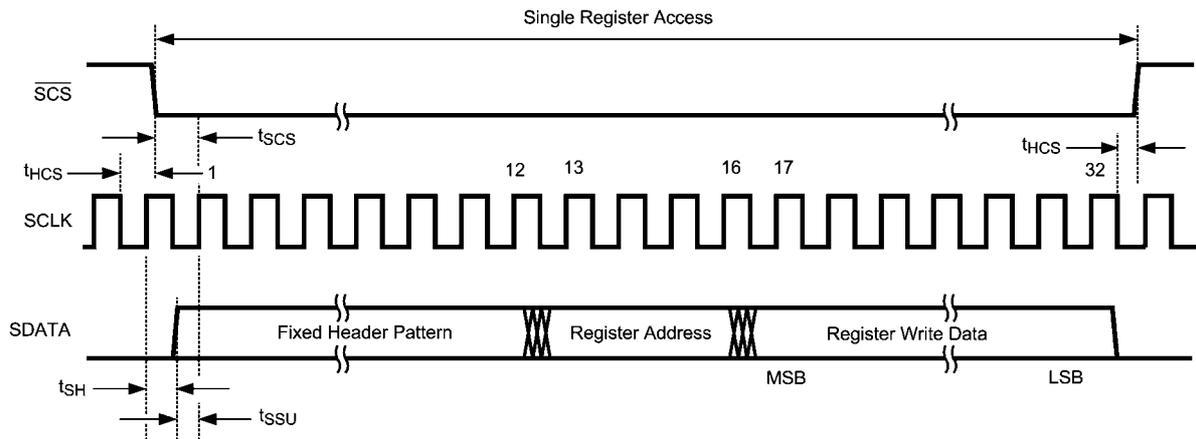


FIGURE 2. Serial Interface Timing

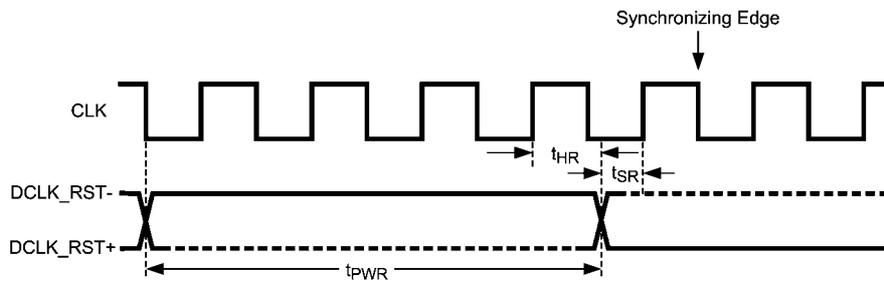


FIGURE 3. Clock Reset Timing

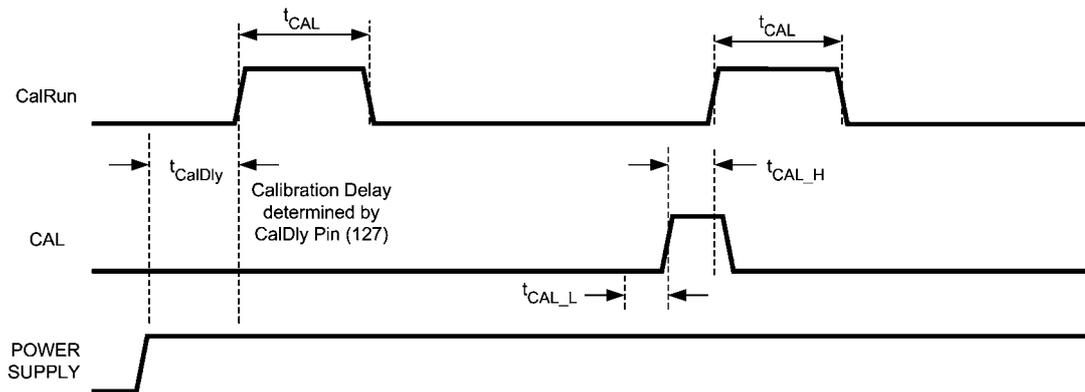


FIGURE 4. Self Calibration and On-Command Calibration Timing

タイミング図 (つづき)

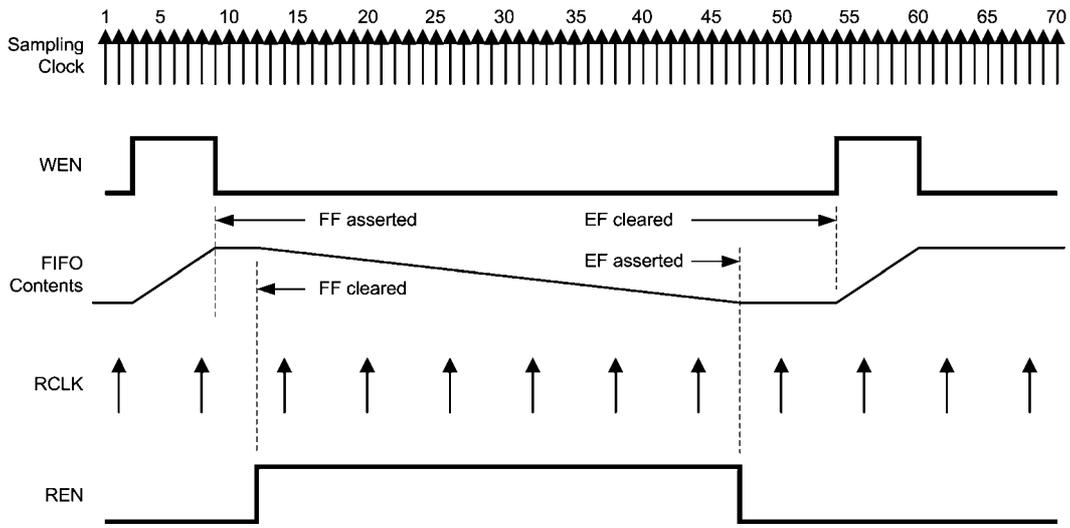


FIGURE 5. Capture Buffer Read Operation

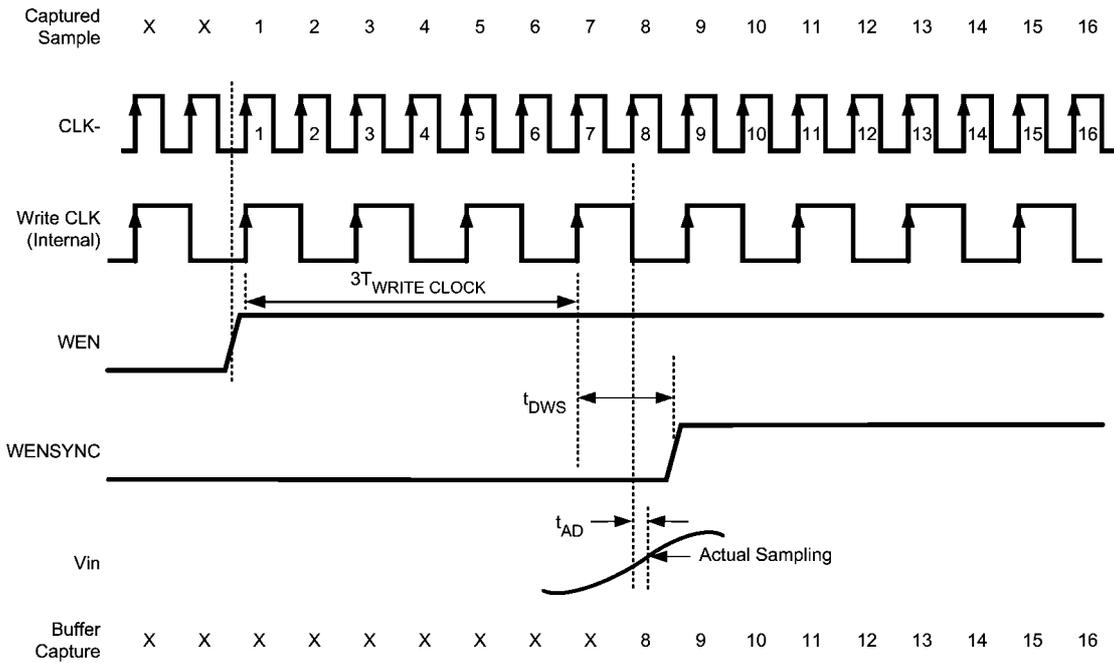


FIGURE 6. Capture Buffer Write Enable Timing - 7 Input Clock Cycles

タイミング図 (つづき)

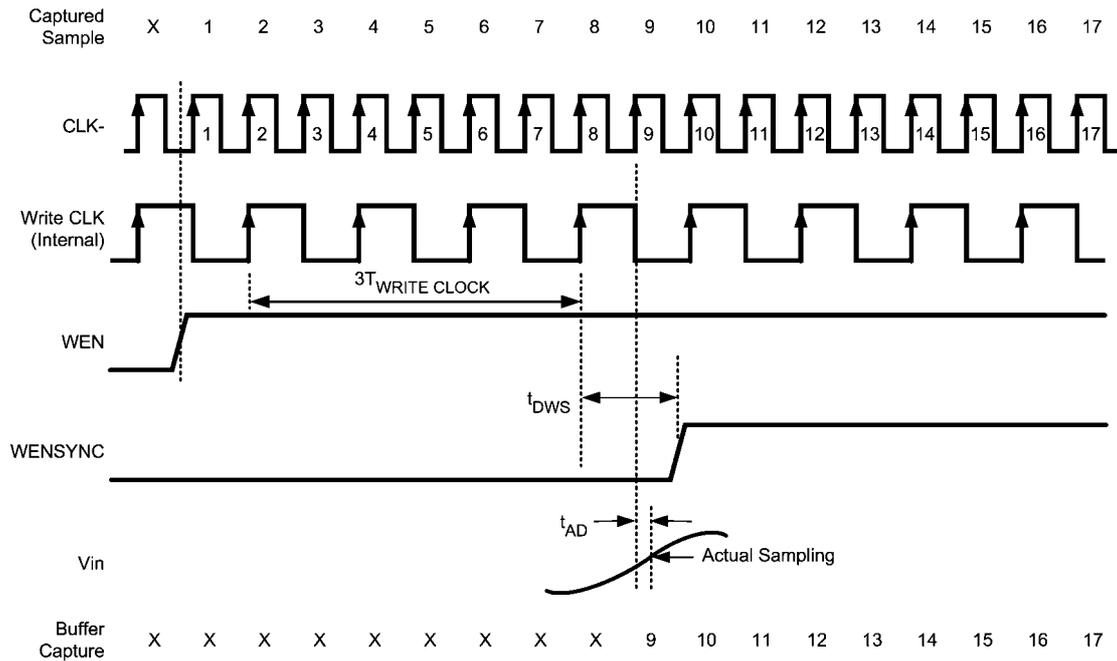


FIGURE 7. Capture Buffer Write Enable Timing - 8 Input Clock Cycles

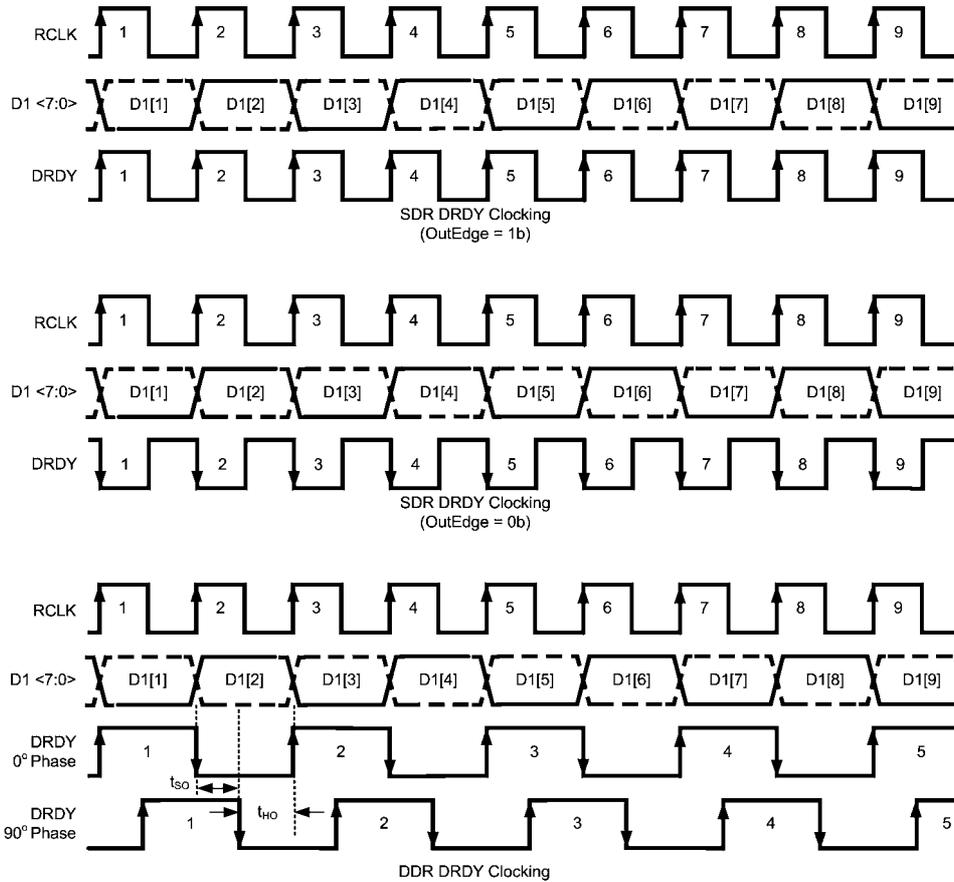


FIGURE 8. Capture Buffer DRDY Timing - SDR/DDR

タイミング図 (つづき)

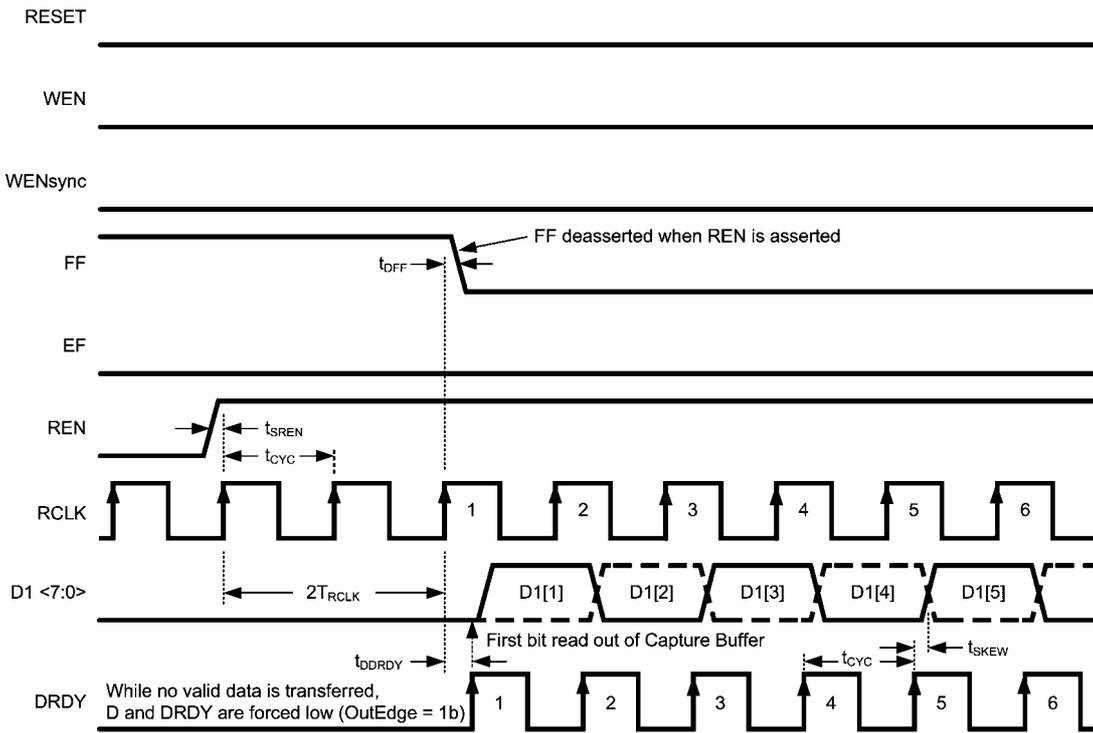


FIGURE 9. Capture Buffer Beginning of READ Phase (OutEdge = 1b) (Note 14)

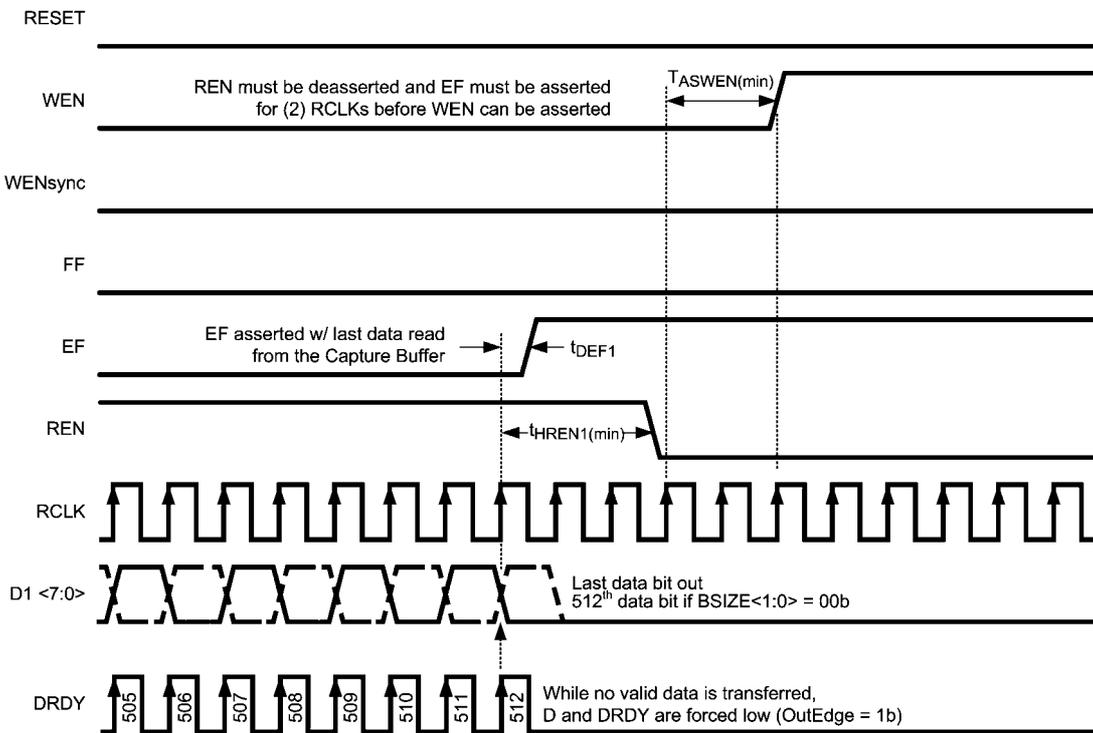


FIGURE 10. Capture Buffer End of READ Phase (OutEdge = 1b) (Note 14, 15)

タイミング図 (つづき)

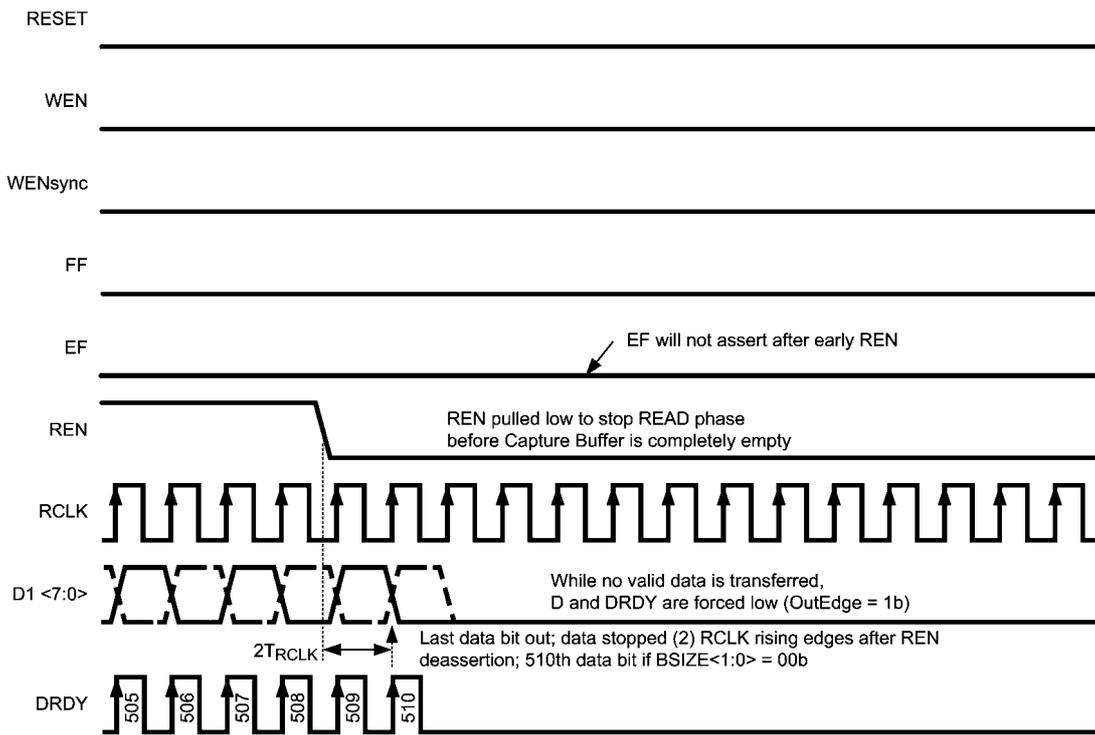


FIGURE 11. Capture Buffer Early REN Deassertion on READ Phase (OutEdge = 1b) (Note 14)

タイミング図 (つづき)

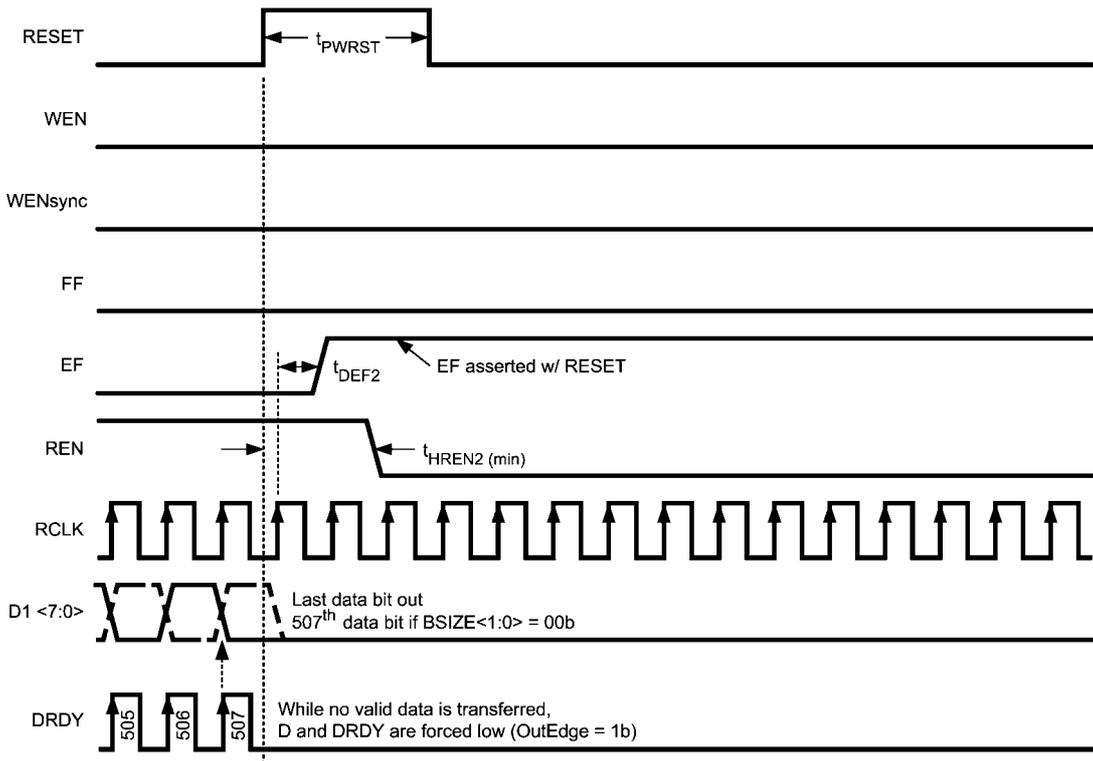


FIGURE 12. Capture Buffer RESET on READ Phase (OutEdge = 1b) (Note 14)

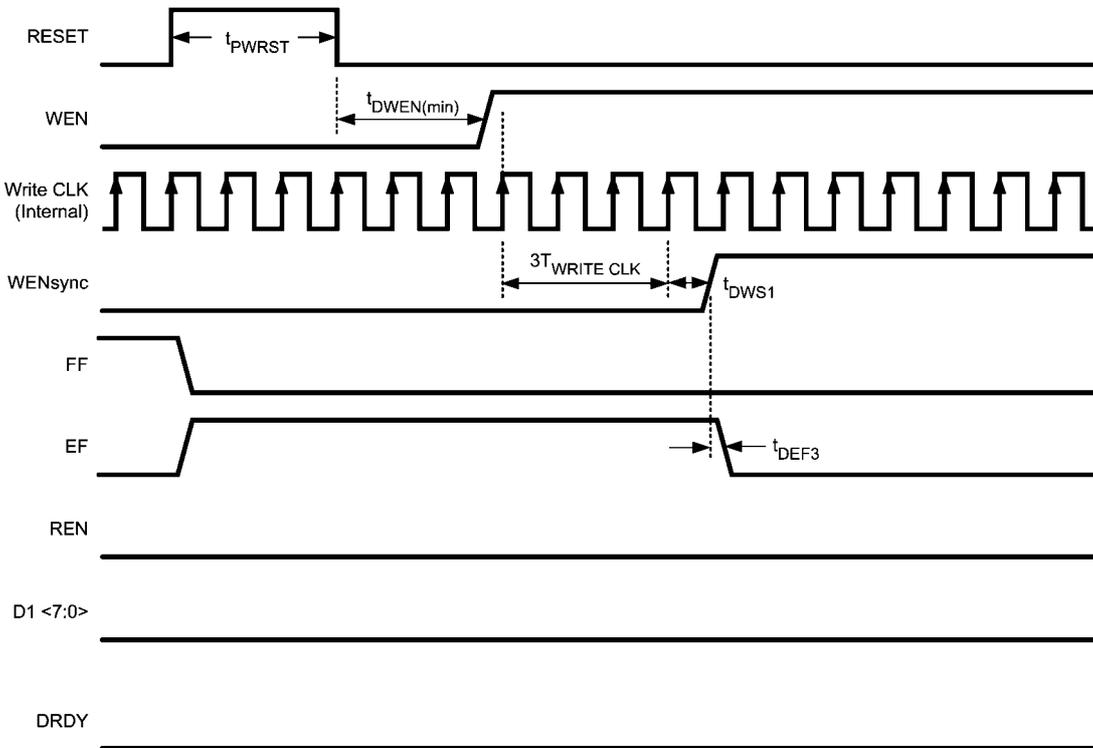


FIGURE 13. Capture Buffer Beginning of WRITE Phase

タイミング図 (つづき)

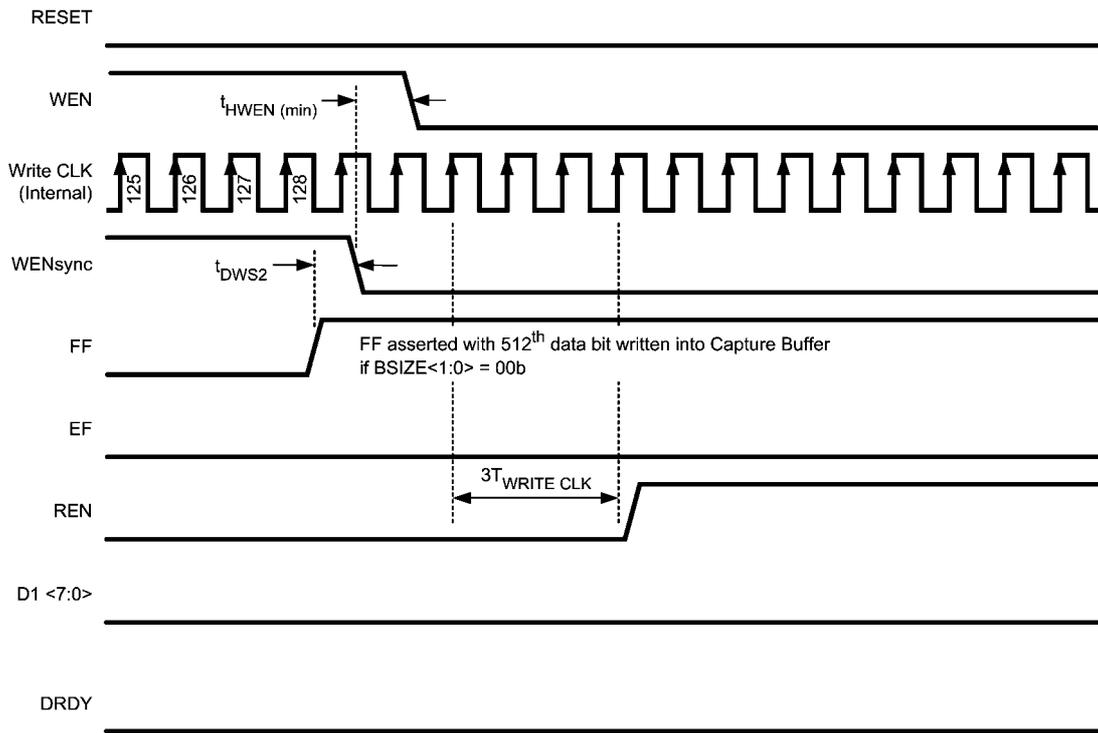


FIGURE 14. Capture Buffer End of WRITE Phase (ASW = 1b) (Note 16)

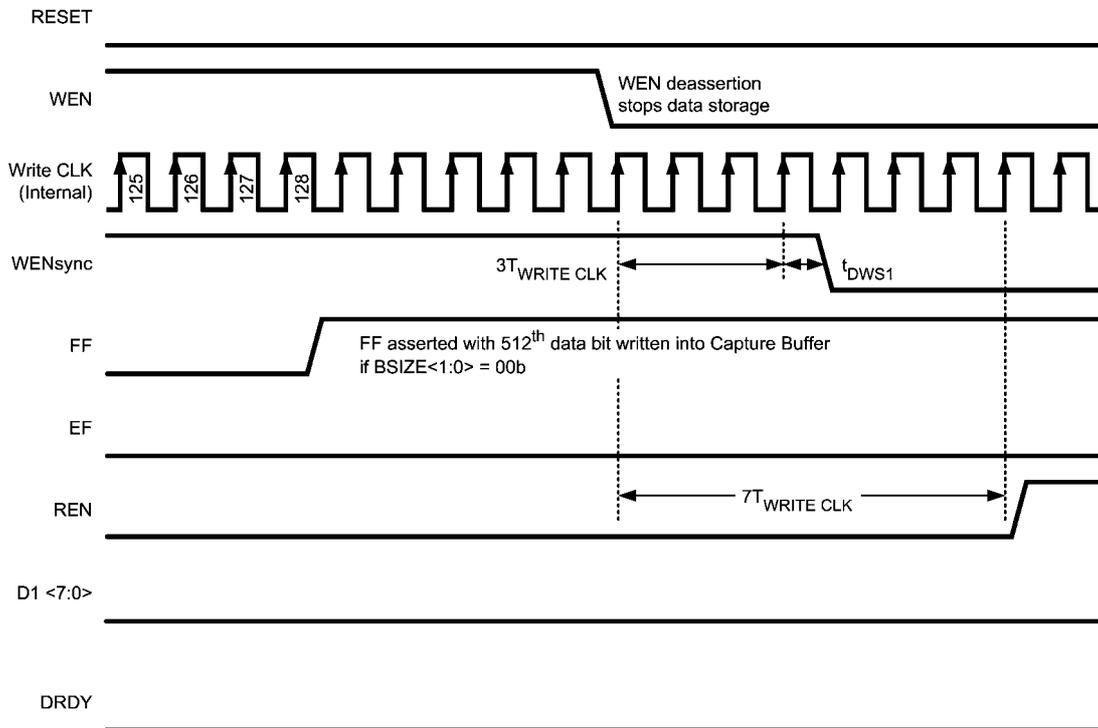


FIGURE 15. Capture Buffer End of WRITE Phase (ASW = 0b)

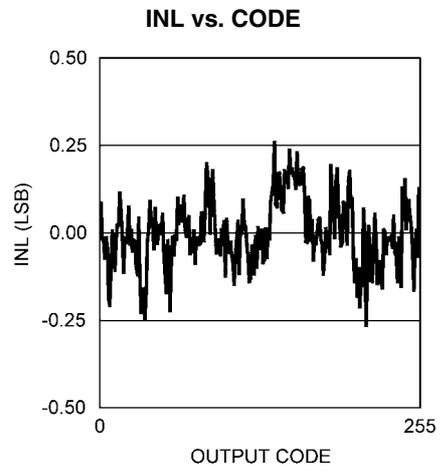
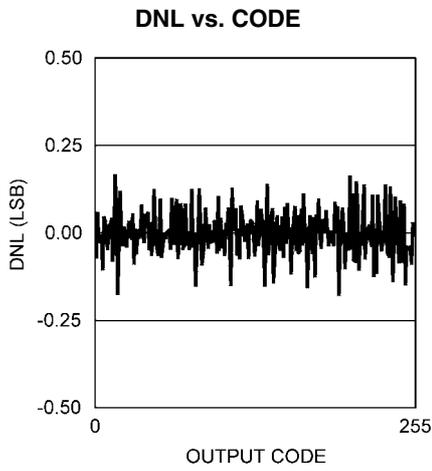
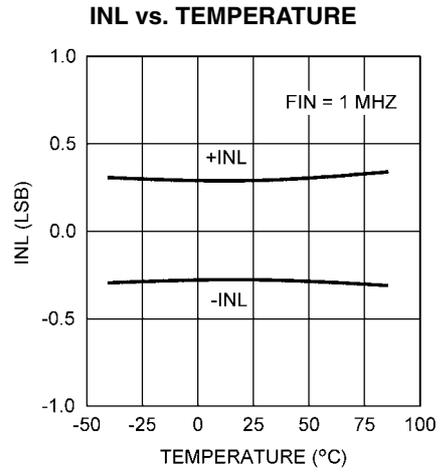
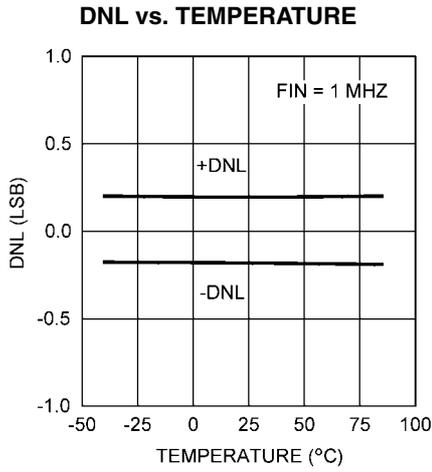
Note 14: (OutEdge = 0b) に設定している場合、動作はすべて DRDY の立ち下がりエッジで発生します。

Note 15: t_{HREN} : REN は RCLK の 3 番目の立ち上がりエッジで内部的にラッチされます (Figure 10 を参照してください)。

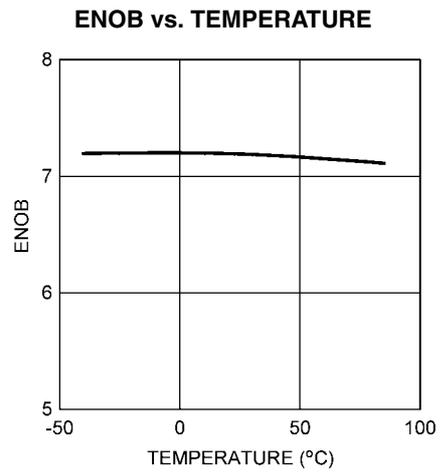
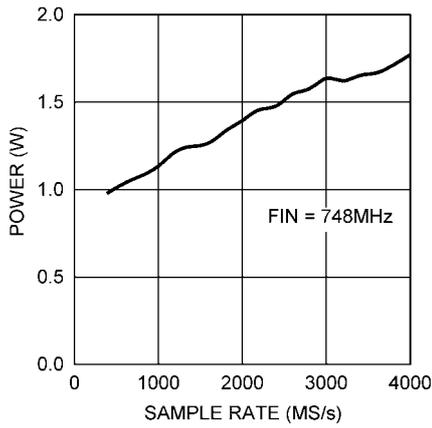
Note 16: t_{HWEN} : WEN は内部書き込み CLK の 4 番目の立ち上がりエッジで内部的にラッチされます (Figure 14 を参照してください)。

代表的な性能特性

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1500MHz$ (すなわち、サンプリング・レート=3Gsps)、 $f_{IN} = 373MHz$ 、 $T_A = 25^\circ C$ の値です。



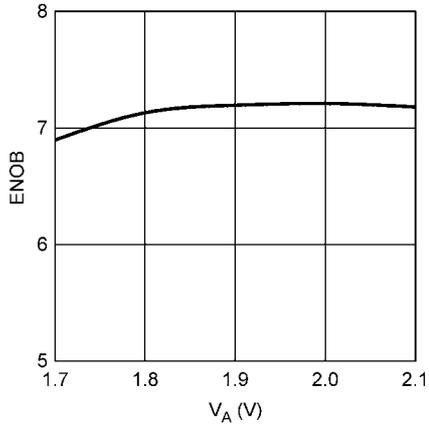
POWER CONSUMPTION vs. SAMPLE RATE



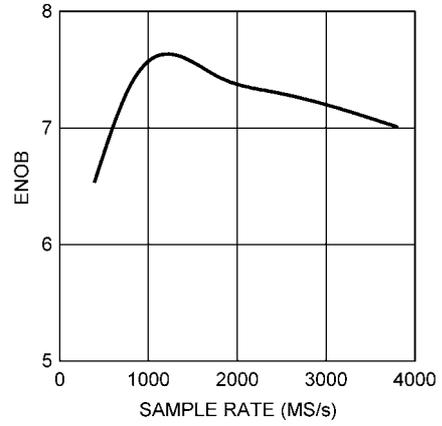
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1500MHz$ (すなわち、サンプリング・レート=3Gps)、 $f_{IN} = 373MHz$ 、 $T_A = 25^\circ C$ の値です。

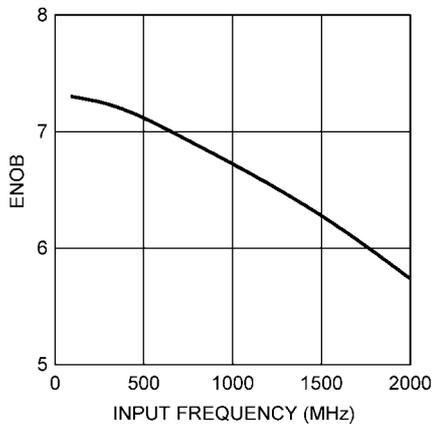
ENOB vs. SUPPLY VOLTAGE



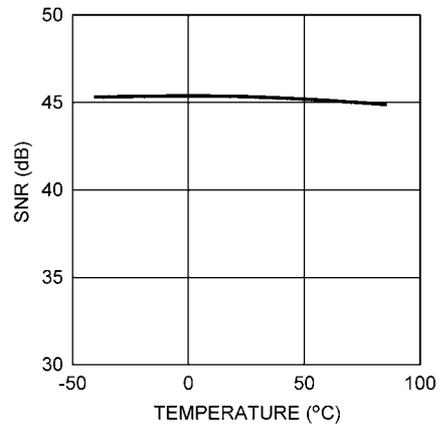
ENOB vs. SAMPLE RATE



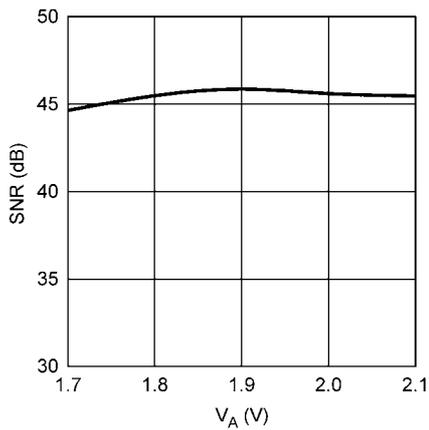
ENOB vs. INPUT FREQUENCY



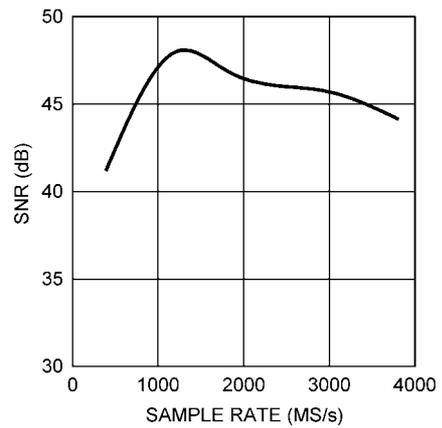
SNR vs. TEMPERATURE



SNR vs. SUPPLY VOLTAGE



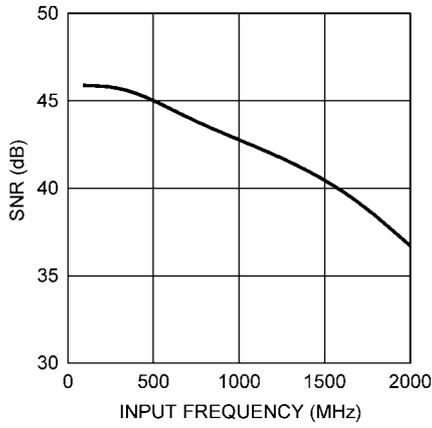
SNR vs. SAMPLE RATE



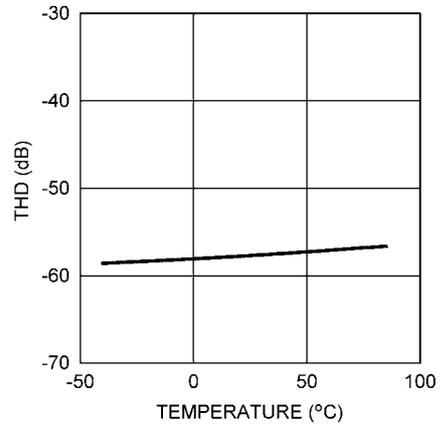
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1500MHz$ (すなわち、サンプリング・レート = 3Gsp/s)、 $f_{IN} = 373MHz$ 、 $T_A = 25^\circ C$ の値です。

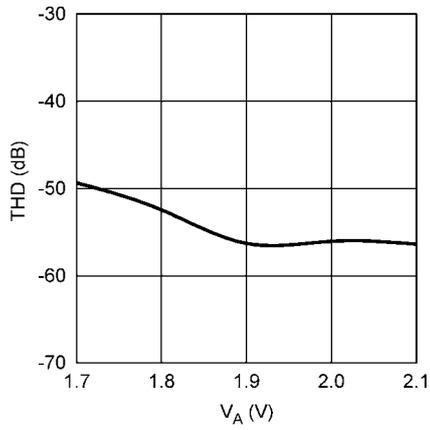
SNR vs. INPUT FREQUENCY



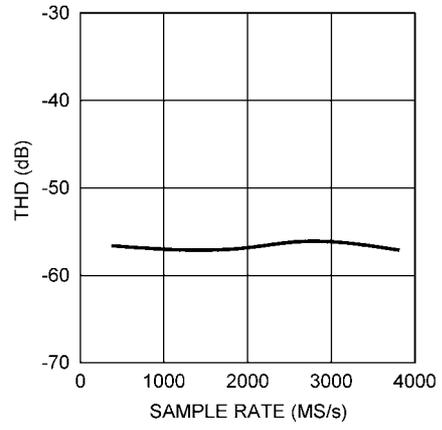
THD vs. TEMPERATURE



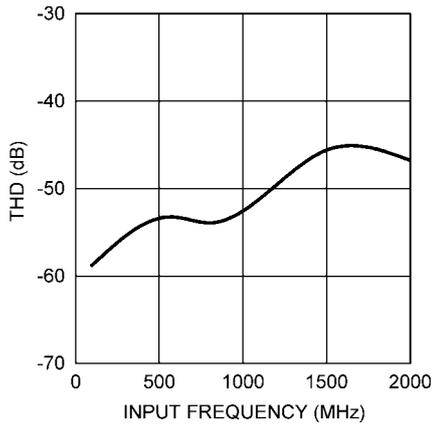
THD vs. SUPPLY VOLTAGE



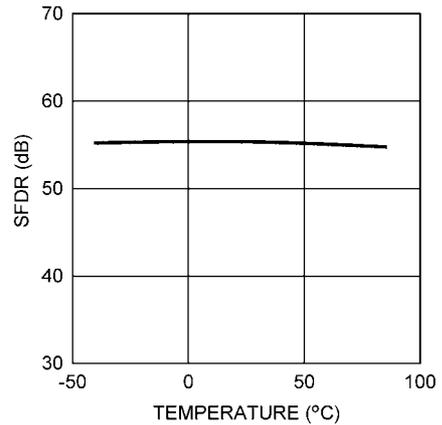
THD vs. SAMPLE RATE



THD vs. INPUT FREQUENCY



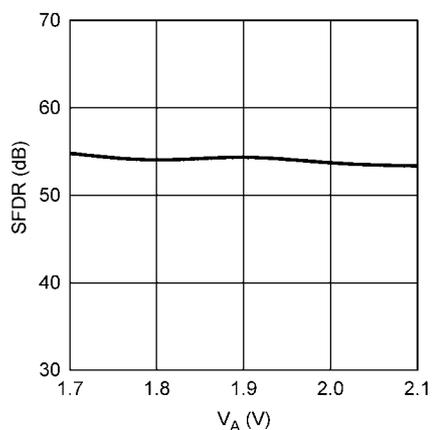
SFDR vs. TEMPERATURE



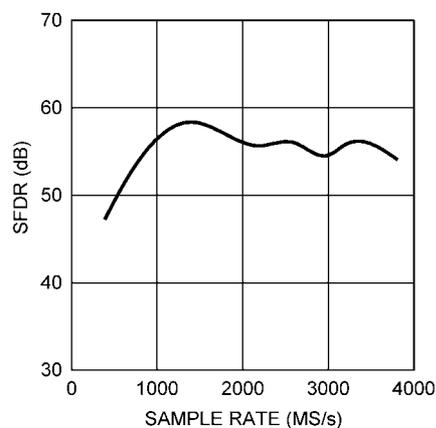
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1500MHz$ (すなわち、サンプリング・レート = 3Gsps)、 $f_{IN} = 373MHz$ 、 $T_A = 25^\circ C$ の値です。

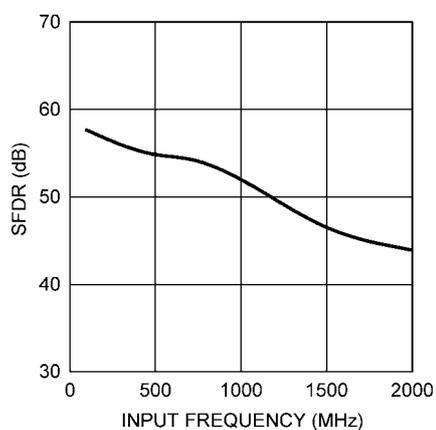
SFDR vs. SUPPLY VOLTAGE



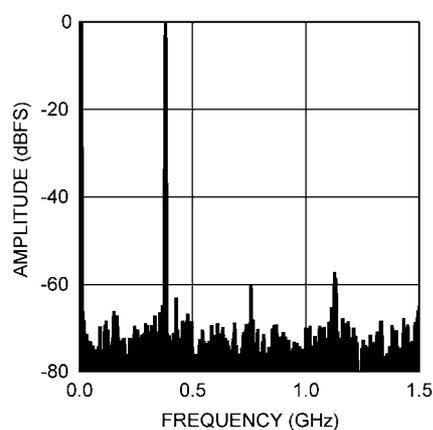
SFDR vs. SAMPLE RATE



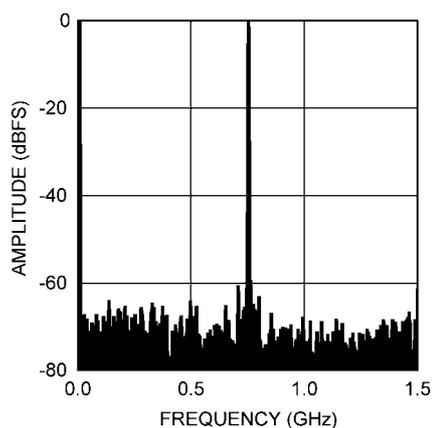
SFDR vs. INPUT FREQUENCY



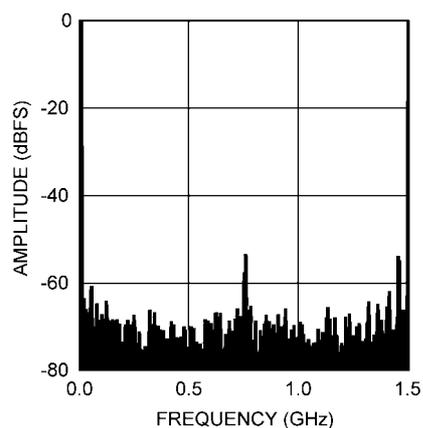
Spectral Response at $f_{IN} = 373 MHz$



Spectral Response at $f_{IN} = 748 MHz$

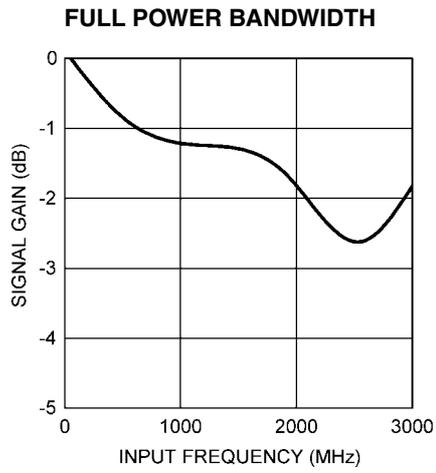


Spectral Response at $f_{IN} = 1497 MHz$



代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1500MHz$ (すなわち、サンプリング・レート = 3Gsp/s)、 $f_{IN} = 373MHz$ 、 $T_A = 25^\circ C$ の値です。



1.0 機能説明

ADC08B3000 は高速動作を実現する革新的なアーキテクチャを備えた多用途の A/D コンバータです。さまざまな制御機能によって回路ソリューションへの応用が簡単です。最適な性能を得るために、このセクションと「アプリケーション情報」で述べる要件に従ってください。

一般にアクティブなピンをフローティングにして使用すると性能を劣化させる要因になりますが、ADC08B3000 の 4 ピン、14 ピンは、フローティングのままでも問題なく使用できるように設計されています。本データシート全体を通じて、制御ピンをフローティングにして実現される機能は、該当ピンに V_A の半分の電源電圧を与えても同じ作用が得られます。

1.1 概要

ADC08B3000 は較正機能を加えたフォールディングおよびインターポレーションアーキテクチャを採用することにより、高い性能を達成しています。フォールディング・アンプの採用によってコンパレータの個数と消費電力の大幅な削減を実現しました。また、補間方式の採用によって、必要なフロントエンド・アンプの個数が削減でき、入力信号の負荷軽減と電力要件の低減を実現しています。さらにオンチップ較正機能が、フォールディング・アーキテクチャにありがちな INL の折れ曲がりを抑えます。結果として、きわめて高速、高性能、かつ低消費電力のコンバータが実現されました。

コンバータの入力電圧範囲のアナログ入力信号は、代表値で 1.0Gsp/s ~ 3.4Gsp/s のレートで、8 ビットにデジタル化されます。負のフルスケールに満たない差動入力では出力ワードはすべてゼロになります。正のフルスケールを超える差動入力では出力ワードはすべて 1 になります。アナログ入力でこれらの条件のいずれかが成立すると OR (アウト・オブ・レンジ) 出力がアクティブになります。この OR 出力は、コンバータの出力コードが、負のフルスケールを下回ったかまたは正のフルスケールを上回ったことを示します。

1.1.1 較正

自己較正は電源投入時に実行されますが、外部からのコマンドによって実行させることも可能です。較正処理では、100 Ω アナログ入力差動終端抵抗のトリミングと、フルスケール誤差、オフセット誤差、DNL、INL を最小限に抑えるように調整が行われ、その結果、SNR、THD、SINAD (SNDR) および有効ビット (ENOB) を最大限に高めます。内部バイアス電流も較正処理中に設定されます。以上の動作はパワーオン較正でもコマンド較正でも変わりません。自己較正の実行はチップの機能にとって重要で、適切な性能を得るためには不可欠です。パワーオン時に実行しなければならないほか、FSR ピンの設定を変更したときにも自己較正を実行しなければなりません。最高性能を得るには、初回電源投入後にデバイスが一定温度に達した段階でコマンドによる較正を実行することを推奨します。また、アプリケーションの電源を投入して 20 秒以上経過してからコマンド較正を実行すること、システム性能要件と比較して動作温度が大幅に変化したときに再較正を実行することを推奨します。詳細は「2.4.2.2 コマンドによる較正」を参照してください。デバイスがパワーダウン・モードのときは較正の開始と実行はできません。パワーダウンと較正の関係については「1.1.6 パワーダウン」を参照してください。

通常動作において、較正は電源投入直後のほか、CAL ピンを少なくとも 80 入力クロック・サイクル Low に維持し、続く 80 入力クロック・サイクル以上 High に維持した場合、有効な較正コマンドが与えられたとして較正処理が実行されます。較正処理に要する時間は「コンバータの電気的特性」の表に記載されています。ただし、パワーオン時に CAL ピンを High に保持していると、CAL ピンが上述のとおり 80 入力クロック Low 後 80 クロック High になるまで、較正プロセスは実行されません。

CalDly (127 ピン) を使うと電源印加後に開始される較正処理の遅延時間を 2 種類の設定から選択できます。CalDly を Low にした場合、較正が開始されるまでの遅延は 2^{25} 入力クロック・サイクル (1.5GHz クロックで約 22ms)、CalDly を High にした場合は 2^{31} 入力クロック・サイクル (1.5GHz クロックで約 1.4 秒) です。処理開始を遅延させることで、較正が実行される前に、電源電圧が上昇して安定するまでの時間を確保できます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保てば、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDly ピンの最適な設定は、電源の電圧セッティング時間によって異なります。

NOTE : デバイスの較正に関しては以下の点に注意が必要です。

- 較正処理の実行中に PD 入力を High にしても、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。
- 較正サイクル中、OR 出力は較正アルゴリズムの結果としてアクティブになることがありますが、較正サイクル中は出力ピンのすべてのデータと OR 出力の値は無効です。
- クロック位相調整を有効に (アドレス Eh のクロック位相粗調整レジスタのビット 15 を 1b に設定) してから較正を開始した場合、較正シーケンスの最初から内部クロックが停止します。コマンド較正を実行する前に、クロック位相調整のイネーブル・ビットをオフ (0b に設定) にするか、抵抗調整ディスエーブル・ビット (RTD) をオン (1b に設定) しておくことが重要です。
- アナログ入力の終端抵抗を調整するには、電源投入後に構成レジスタの RTD ビットをクリアした状態 (0b に設定) で少なくとも 1 サイクルは較正サイクルを実行する必要があります。
- 較正プロセスの実行中は常にすべての入力を標準的な動作状態にしておかなければなりません。
- 較正プロセスの実行中は、SCLK をアクティブにしても構いませんが、チップ上のレジスタにはアクセスしないでください。
- 較正処理中は CalRun 出力が High になります。較正が電源投入、またはコマンドのいずれで開始された場合でも動作は同じです。

1.1.2 入力の取り込み

データは CLK (10 ピン) の立ち上がりおよび立ち下りの両エッジで取り込まれます。書き込みイネーブル (WEN) をアサートすると、A/D コンバータによって変換されたデータがキャプチャ・バッファにロードされます。WEN はサンプリング・クロックに対して非同期であるため、キャプチャ・バッファへの書き込みは、2 つの A/D コンバータが変換サイクルを完全に終わらせてから開始されます。キャプチャ・バッファが変換データを保存する際に予期せぬ状態になることを防ぎ、適切なデータを保存できるようにするためです。

読み出しイネーブル (REN) コマンドを投入されると、キャプチャ・バッファはデジタル・データを 2 系統の 8 ビット幅 LVCMOS レベルの信号として出力します。キャプチャ・バッファの動作の詳細については、「1.7 キャプチャ・バッファの機能説明」と、そのサブセクションを参照してください。タイミングについては、キャプチャ・バッファに関連するタイミング図を参照してください。

ADC08B3000 は、サンプル入力クロック信号が入力される限り変換を続けます。ADC08B3000 出力データ信号は LVCMOS レベルのオフセット・バイナリ形式です。

1.0 機能説明 (つづき)

1.1.3 制御モード

ユーザー制御機能の多くは外部ピンによって設定できます。例えば、較正サイクルの起動、パワーダウン・モードへの移行、フルスケール・レンジの設定などが可能です。さらに、シリアル・インタフェースを用いて内部レジスタにアクセスし、高度な機能を制御できる、拡張制御モードも搭載しています。拡張制御モードは動作中の切り換えを想定していません。パワーオン時点で通常制御モードか拡張制御モードのいずれかを選択して動作させる必要があります。デバイスを拡張制御モードで使用すると、外部ピンを用いた機能制御はレジスタを用いた制御に置き換わり、外部ピンを用いた制御は無効になります。対象となるピンは、OutEdge/DDR (4ピン)、FSR (14ピン)、CalDly (127ピン)です。拡張制御モードの詳細は「1.3 シリアル・インタフェース」を参照してください。

1.1.4 アナログ入力

ADC08B3000 は差動入力信号で駆動しなければなりません。シングルエンド信号を用いた動作は、性能が劣化するため推奨しません。入力信号は、 V_{CMO} ピンをグラウンドに接続した AC 結合か、 V_{CMO} ピンをフローティングまたは軽い負荷に接続した DC 結合のいずれかでなければなりません。DC 結合を用いる場合は V_{CMO} 出力電圧に等しいコモンモード電圧を入力に与える必要があります。

フルスケール・レンジは、通常制御モードの場合は 14 ピン (FSR) を用いて「電気的特性」の表に記載されている 2 つのレベルのいずれかに設定します。拡張制御モードの場合は、「1.4 レジスタの説明」に示すように、512 通りの値の中から選ぶことができます。

シリアル・インタフェースを用いる拡張制御モードでは、フルスケール入力レンジを $560mV_{p-p}$ から $840mV_{p-p}$ までの範囲で設定可能です。「1.2 通常制御と拡張制御」、「1.3 シリアル・インタフェース」、「2.2 アナログ入力」を参照してください。

1.1.5 クロック

ADC08B3000 は AC 結合の差動クロック信号で駆動しなければなりません。クロック入力ピンの使用方法を「2.3 サンプリング・クロック入力」に示します。このサンプリング・クロック (CLK) には、オプションのデューティ・サイクル補正機能が働き、A/D コンバータのクロック性能を改善します。この補正機能はデフォルトで有効に設定されます。この回路により、デューティ・サイクル比が 20 ~ 80% (ワーストケース) のクロックソースで、A/D コンバータを駆動できます。

キャプチャ・バッファに取り込まれたデータを読み出すために、ADC08B3000 には RCLK 入力があります。RCLK はアナログ入力サンプリング・クロックとは非同期に印加できるフリー・ランニング・クロックです。最大 200MHz の動作が可能です。データ出力、DRDY 信号、EF フラグは RCLK に同期してアサートされます。キャプチャ・バッファの読み出しに関する詳細は「1.7 キャプチャ・バッファの機能説明」と、そのサブセクションを参照してください。

1.1.5.1 デュアル・エッジ・サンプリング (DES)

1.5GHz のサンプリング・クロックによって 3Gsp/s を実現するために、2 つの A/D コンバータを使用します。一方のコンバータがサンプリング・クロックの正のエッジで入力をサンプリングし、もう一方のコンバータは負のエッジで同じ入力をサンプリングします。すなわち、サンプリング・クロックの 1 サイクルあたり 2 回サンプリングが行われ、サンプリング・レートがサンプリング・クロックの周波数の 2 倍になります。

ADC08B3000 はバックグラウンドで自動的にクロック位相を補正する機能を備えています。これは、クロックの立ち上がり立ち下がりエッジの間の相対的な位相を常に自動的に調整する機能です。この機能によってクロック位相を外部で調整する必要性がなくなるとともに、最適な ENOB 性能が得られます。

1.1.5.2 ダブル・データレート

シングル・データレート (SDR) 出力またはダブル・データレート (DDR) 出力のいずれかを選択できる機能を備えています。DDR モードを選択するには、構成レジスタ (アドレス 1h) のビット 10 を 0b に設定します。シングル・データレートの場合、データ・レディ (DRDY) の周波数は 2 つの出力バスのデータレートに等しくなります。ダブル・データレートの場合、DRDY の周波数はデータレートの半分に、データは DRDY の両エッジで出力に送られます。非拡張モードでダブル・データレートをイネーブルにするには 4 ピンをフローティングにします。

1.1.5.3 OutEdge の設定

SDR モードでデータ・キャプチャを容易に行えるように、データ・レディ (DRDY) ピンの正負いずれのエッジで出力データを遷移させるかを選択できます。通常制御モードでは OutEdge (4ピン) によって選択します。OutEdge 入力を High にすると、出力データは DRDY の立ち上がりエッジで遷移し、Low にすると DRDY の立ち下がりエッジで遷移します。「2.4.3 出力エッジ同期」を参照してください。

拡張制御モードの場合の OutEdge 設定には構成レジスタのビット 8 を使います。「1.4 レジスタの説明」を参照してください。

1.1.6 パワーダウン

パワーダウン (PD) ピンが Low のときは、ADC08B3000 はアクティブ状態です。PD ピンを High にするとデバイスはパワーダウン・モードに移行します。パワーダウン・モードになっても、キャプチャ・バッファからデータを読み出せるように、データ出力ピン、DRDY、FF、EF、OR、REN、RCLK、RESET はアクティブのままです。デバイスの消費電力は、A/D コンバータのコアおよびキャプチャ・バッファの書き込み回路の電源を遮断することによって最小レベルに抑えられます。

パワーダウンと較正機能の関係については「1.1.1 較正」を参照してください。

1.2 通常制御と拡張制御

ADC08B3000 は 2 種類のモードのいずれかで動作します。「通常制御モード」では複数の外部制御ピンを用いてデバイスの設定と制御を行います。「拡張制御モード」ではシリアル・インタフェースと 6 個の内部レジスタを用いて、より詳細な設定と制御が可能になります。制御モードは 14 ピン (FSR/ECE) によって選択します。制御モードは最初から固定しておく必要があり、デバイスの動作中に動的に切り替えることは想定していません。

Table 1 に選択された制御モードによって影響を受けるデバイスの機能を示します。

1.0 機能説明 (つづき)

TABLE 1. 機能とモード

機能	通常制御モード	拡張制御モード
SDR または DDR クロッキング	4ピンで選択	構成レジスタの nDE ビット (アドレス 1h、ビット 10) で選択。デバイスを DDR モードで使う場合は、アドレス 1h のビット 8 を 0b に設定してください。
DDR クロック位相	選択不可 (位相 0° のみ)	構成レジスタの DCP ビット (アドレス 1h、ビット 11) で選択。
SDR モード時のデータ遷移のエッジ選択。DRDY の立ち上がりまたは立ち下がりエッジ。	4ピンで選択	構成レジスタの OE ビット (アドレス 1h、ビット 8) で選択。
パワーオン較正遅延	127ピンで遅延を選択	短時間遅延のみ。
フルスケール・レンジ	「電气的特性」の表に記載されている値を、14ピンで選択	フルスケール電圧調整レジスタ (アドレス 3h、ビット 7 ~ 15) によって、公称 560mV ~ 840mV の範囲内で 512 ステップの調整が可能。
入力オフセット調整	不可	オフセット調整レジスタ (アドレス 2h、ビット 7 ~ 15) によって、± 45mV まで 512 ステップの調整が可能。
サンプリング・クロックの位相調整	不可	粗調整レジスタと微調整レジスタ (アドレス Eh と Dh) によって、クロック位相を手動で調整可能。
テスト・パターン出力	不可	テスト・パターン・レジスタの TPO ビット (アドレス Fh、ビット 11) を選択することにより、データ出力にテスト・パターンを出力。

拡張制御モードのデフォルトは、Table 2 に示す状態にパワーオン・リセットによって設定 (デバイス内部で実行) されます。

TABLE 2. 拡張制御モード動作 (14ピンをフローティング)

機能	拡張制御モードのデフォルト設定
較正遅延	短時間遅延
フルスケール・レンジ	公称 700mV
入力オフセット調整	0mV
クロック位相微調整	位相調整 0ps
クロック位相粗調整	位相調整 0ps
デューティ・サイクル・スタビライザ	有効
DDR クロック位相	90° に位相調整
DDR イネーブル	シングル・データレート (SDR)
キャプチャ・バッファのサイズ	4KB
書き込み自動停止	キャプチャ・バッファへの書き込みが自動的に停止します。
2ポート・イネーブル	D1 上のデータのみ
出力エッジ	DRDY の立ち下がりエッジ
テスト・パターン出力	テスト・パターンは発生せず
差動 ADCCLK_RST イネーブル	シングルエンドの ADCCLK_RST

1.3 シリアル・インタフェース

重要: シリアル・インタフェースによる書き込みを初めて行うときは、6 個のレジスタすべてに目標値またはデフォルト値を書き込む必要があります。次回からは、単一のレジスタのみに書き込むこともできます。

3 線式のシリアル・インタフェースは拡張制御モード時のみ有効です。インタフェースが使用するピンは、シリアル・クロック (SCLK)、シリアル・データ (SDATA)、シリアル・インタフェース・チップセレクト (SCS) の 3 本です。6 個の書き込み専用レジスタには、このシリアル・インタフェースを介してアクセスします。レジスタは書き込み専用であり、読み出すことはできません。

SCS: シリアル・インタフェースを介してレジスタにアクセスするには、この信号を Low にアサートします。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。

SCLK: この信号の立ち上がりでシリアル・データ入力が取り込まれます。この信号には最低周波数の要件はありません。

SDATA: 各レジスタにアクセスするために、ここから特定の 32 ビット・パターンを入力します。データ・パターンは、ヘッダー、レジスタ・アドレス、レジスタ値で構成されます。データは MSB を先頭にシフト入力します。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。Figure 2 の「タイミング図」を参照してください。

タイミング図に示すように、各レジスタへは 32 ビット単位でアクセスします。ヘッダー・パターンは固定で 0000 0000 0001 (11 個のゼロのあとに 1) です。先頭の "0" から順に書き込んでいきます。ヘッダーに続く 4 ビットは書き込み対象レジスタのアドレスを示し、残りの 16 ビットがアドレスで指定したレジスタへの書き込みデータです。各レジスタのアドレスを Table 3 に示します。レジスタに書き込むデータの内容については「レジスタの説明」(「1.4 レジスタの説明」)を参照してください。

次のレジスタへのアクセスは 33 番目の SCLK からすぐに開始することが可能です。すなわち、レジスタのアクセスごとに SCS 入力をいったんネゲートして再びアサートする必要はありません。拡張制御モードで動作させる場合に、SCS 入力をイネーブル (Low) に固定する方法もありますが推奨できません。

重要: A/D コンバータが較正サイクルを実行している間はシリアル・インタフェースにアクセスしないでください。アクセスすると、適切な再較正を行うまでデバイスの性能が劣化します。シリアル・レジスタのプログラミングでも、レジスタにアクセスしている間、A/D コンバータのダイナミック特性が低下します。

1.0 機能説明 (つづき)

TABLE 3. レジスタのアドレス

4ビット・アドレス					
ローディング・シーケンス： 固定ヘッダー・パターンの上に A3 をロード、 A0 は最後にロード					
A3	A2	A1	A0	Hex	指定されるレジスタ
0	0	0	0	0h	予約済み
0	0	0	1	1h	構成
0	0	1	0	2h	オフセット調整
0	0	1	1	3h	フルスケール電圧調整
0	1	0	0	4h	予約済み
0	1	0	1	5h	予約済み
0	1	1	0	6h	予約済み
0	1	1	1	7h	予約済み
1	0	0	0	8h	予約済み
1	0	0	1	9h	予約済み
1	0	1	0	Ah	予約済み
1	0	1	1	Bh	予約済み
1	1	0	0	Ch	予約済み
1	1	0	1	Dh	サンプリング・クロック位相 微調整
1	1	1	0	Eh	サンプリング・クロック位相 粗調整
1	1	1	1	Fh	キャプチャ・バッファ

1.4 レジスタの説明

拡張制御モードでは 6 個の書き込み専用レジスタによる、さまざまな制御や設定のオプションが提供されます。これらのレジスタの内容は通常制御モードの動作には影響を与えません。以下の各レジスタの説明にはパワーオン・リセット (POR) 後のデフォルト状態を併記しています。

デバイスがパワーダウン・モードの間も、レジスタの値はすべて保持されます。

構成レジスタ

アドレス：1h (0001b)

D15	D14	D13	D12	D11	D10	D9	D8
1	DRE	RTD	DCS	DCP	nDE	1	OE
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

ビット 15 1b に設定してください。

ビット 14 DRE：差動リセット・イネーブル。このビットを 0b に設定すると、シングルエンドの ADCCLK_RST 入力の有効になります。このビットを 1b に設定すると、差動 ADCCLK_RST 入力があります。

POR デフォルト：0b

ビット 13 RTD：抵抗トリミングのディスエーブル。このビットの状態によって、較正サイクルの間に入力信号終端抵抗のトリミングを行うかどうかが決まります。クロック位相調整機能を使用しない場合は、このビットを常にクリア (0b に設定) しておく必要があります。クロック位相調整機能が有効な場合 (レジスタ Eh の ENA ビットが 1b に設定されている場合)、このビットも 1b に設定しなければなりません。

NOTE：入力終端抵抗は、少なくとも 1 度はトリミングする必要があります。このビットを 0b に設定したときのみ、トリミングが行われます。電源投入時のこのビットのデフォルト値は 0b であるため、パワーオン自己較正サイクルにおいて終端抵抗はトリミングされます。

POR デフォルト：0b

ビット 12 DCS：デューティ・サイクル・スタビライザ。このビットを 1b に設定すると、クロック入力にデューティ・サイクル安定化回路が適用されます。このビットを 0b にすると安定化回路はディスエーブルされます。

POR デフォルト：1b

ビット 11 DCP：DDR クロック位相。このビットは DDR モードにのみ作用します。このビットを 0b に設定すると、DRDY のエッジはデータバス・エッジのタイミングに揃えられます (位相 0°)。このビットを 1b に設定すると、DRDY エッジはデータビット・セルの中央に置かれます (位相 90°)。

POR デフォルト：1b

ビット 10 nDE：DDR イネーブル。このビットを 0b に設定すると、データバスのクロック動作が DDR (ダブル・データレート) モードになり、データ・ワードが DRDY の立ち上がり立ち下りの両エッジで出力されます。このビットを 1b に設定すると、データバスのクロック動作が SDR (シングル・データレート) モードになり、OutEdge ビットの設定にもついで DRDY の立ち上がりまたは立ち下りのいずれかのエッジで、データ・ワードが出力されます。

POR デフォルト：1b

ビット 9 1b に設定してください。

ビット 8 OE：出力エッジ。このビットは通常制御モードにおける OutEdge ピンの機能と同様に、SDR モードでのデータ・ワード遷移を生じさせる DRDY のエッジを選択します。このビットを 1b に設定すると、データ出力は DRDY の立ち上がりエッジで遷移します。このビットを 0b に設定すると、データ出力は DRDY の立ち下りエッジで遷移します。

POR デフォルト：0b

ビット 7:0 1b に設定してください。

1.0 機能説明 (つづき)

オフセット調整

アドレス : 2h (0010b)

D15	D14	D13	D12	D11	D10	D9	D8	
(MSB)				Offset Value				(LSB)
D7	D6	D5	D4	D3	D2	D1	D0	
Sign		1	1	1	1	1	1	

ビット 15:8 オフセット値。このフィールドの値を使って、A/D コンバータの入力オフセットをリニアかつ単調 (モノニック) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。したがって、レジスタ値の 1 ビットは 0.176mV のオフセット増分に相当します。

POR デフォルト : 0000 0000 b (無調整)

ビット 7 符号ビット。0b は正のオフセットを与え、1b は負のオフセットを与えます。

POR デフォルト : 0b

ビット 6:0 1b に設定してください。

フルスケール電圧調整

アドレス : 3h (0011b)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)				Adjust Value			
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)		1	1	1	1	1	1

ビット 15:7 フルスケール電圧調整値。A/D コンバータの入力フルスケール電圧、すなわちゲインを、9 ビットのレジスタ値によってリニアかつ単調 (モノニック) に調整します。調整範囲は公称 700mV_{P-P} 差動値の ± 20% です。

0000 0000 0 560mV_{P-P}

1000 0000 0 デフォルト値 700mV_{P-P}

1111 1111 1 840mV_{P-P}

最高性能を発揮させるために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で ± 15% に制限します。残りのマージン ± 5% によって A/D コンバータのフルスケールばらつきが吸収されます。ゲインを調整しても、A/D コンバータの再較正は必要ありません。

POR デフォルト : 1000 0000 0b

ビット 6:0 1b に設定してください。

サンプリング・クロック位相微調整

アドレス : Dh (1101b)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)				Fine Phase Adjust			
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)		1	1	1	1	1	1

ビット 15:7 微調整の大きさ。このレジスタの値を使って、A/D サンプリング・クロックを単調 (モノニック) に調整します。00h の場合、公称位相調整値は 0、FFh の場合は、公称 110ps の遅延が加えられます。

POR デフォルト : 0000 0000 0b

ビット 6:0 1b に設定してください。

サンプリング・クロック位相粗調整

アドレス : Eh (1110b)

D15	D14	D13	D12	D11	D10	D9	D8
ENA	CAM				LFS	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1		1	1	1	1	1	1

ビット 15 サンプリング・クロック位相調整のイネーブル。デフォルトは 0b です。この機能を使用する場合は、適切な較正を行えるようにレジスタ 1h の RTD ビットも必ずイネーブルにしておく必要があります。

ビット 14:11 粗調整の大きさ。1LSB がクロック調整の約 70ps に相当します。

POR デフォルト : 0000b

ビット 10 低周波数のサンプリング・クロック。このビットを 1 に設定すると、サンプリング・クロックの周波数が 900MHz 未満のときに、デバイスのダイナミック特性が向上します。

POR デフォルト : 0b

ビット 9:0 1b に設定してください。

NOTE : この機能を使用する場合は、レジスタ 1h の RTD ビットもイネーブルしておく必要があります。

キャプチャ・バッファ・レジスタ

アドレス : Fh (1111b)

D15	D14	D13	D12	D11	D10	D9	D8
BSIZE		ASW	TPE	TPO	1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1		1	1	1	1	1	1

ビット 15 BSIZE<1> : このビットと BSIZE<0> (ビット 14) を組み合わせてキャプチャ・バッファのサイズを選択します。キャプチャ・バッファのサイズは調整可能ですが、LVCMOS の 2 つのデータ出力ポート間で分けることはできません。キャプチャ・バッファのサイズと BSIZE<1:0> のプログラミングの関係は、「1.7 キャプチャ・バッファの機能説明」の表を参照してください。

POR デフォルト : 1b

1.0 機能説明 (つづき)

ビット 14 BISIZE<0> : このビットと BSIZE<1> (ビット 15) を組み合わせてキャプチャ・バッファのサイズを選択します。キャプチャ・バッファのサイズは調整可能ですが、LVCMOS の 2 つのデータ出力ポート間で分けることはできません。キャプチャ・バッファのサイズと BSIZE<1:0> のプログラミングの関係は、「1.7 キャプチャ・バッファの機能説明」の表を参照してください。

POR デフォルト : 1b

ビット 13 ASW (Auto-Stop Write) : 書き込み自動停止。ASW を 1b に設定すると、キャプチャ・バッファが取り込んだデータでいっぱいになり、FF フラグがアサートされた時点で、書き込みが自動的に停止します。このビットを 0b に設定すると、デバイスは取り込み済みのデータを上書きしながら、キャプチャ・バッファへのデータ書き込みを継続します。

POR デフォルト : 1b

ビット 12 TPE (Two Port Output Enable) : 2 ポート出力イネーブル。このビットを 1b に設定すると、キャプチャ・バッファに格納されたデータが 2 つの 8 ビット出力ポートに出力されます。このビットを 0b に設定すると、キャプチャ・バッファに格納されたデータは 8 ビット出力ポート D1 のみに出力されます。

POR デフォルト : 0b

ビット 11 TPO (Test Pattern Output) : テスト・パターン出力イネーブル。このビットを 1b に設定すると、A/D コンバータは停止し、テスト・パターン発生器が出力および OR 出力に接続されます。このテスト・パターンは SDR および DDR モードのいずれでも動作します。「1.6 A/D コンバータのテスト・パターン出力」を参照してください。

POR デフォルト : 0b

ビット 10:0 1b に設定してください。

1.4.1 クロックの位相調整

この機能の目的は、複数の A/D コンバータを使用する場合に、プリント基板上のクロック分配線の、わずかなばらつきを補償することです。ただし、この機能を使用すると一定の割合で動特性 (SNR、ENOB、SFDR) が劣化することに注意してください。加える調整の量に応じて、劣化量も大きくなります。調整量は最低限とし、この機能を使用する前に、その最終的なメリットを確認することを強く推奨します。

1.4.2 拡張制御モードのオフセット補正

オフセット設定値 + 0000 0000 と - 0000 0000 では実際のオフセットは同じになりません。設定値は符号ビットが異なるだけで、デジタル出力コードには LSB のおよそ 1/10 のオフセット変化が生じます。この様子を Figure 16 に示します。

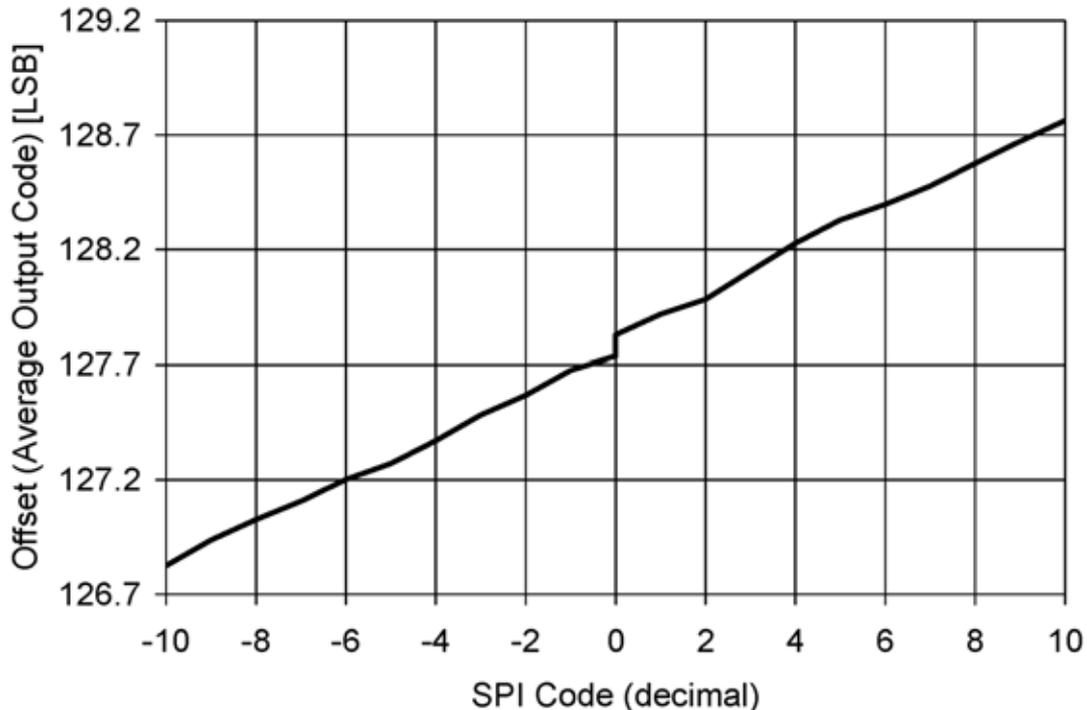


FIGURE 16. Extended Mode Offset Behavior

1.0 機能説明 (つづき)

1.5 複数の A/D コンバータの同期

ADC08B3000 は、サンプリング・クロックを正確にリセットして、システム内の複数の A/D コンバータを同期させる機能を備えています。ADCCLK_RST によって、システム内の全 A/D コンバータのサンプリング・クロック間の関係が既知となるように、コンバータ間の同期を取ることができます。

ADC08B3000は、シングルエンド(LVCMOS)のADCCLK_RSTと、差動(LVDS)のADCCLK_RSTの両システムに対応できるように設計されています。いずれの場合も、ADCCLK_RST信号はFigure 3の「タイミング図」に示されるタイミング要件を満たさなければなりません。ADCCLK_RSTパルスは最小幅を満たすと同時に、ネゲートするエッジはCLK入力の立ち上がりエッジに対するセットアップ時間とホールド時間を満たさなければなりません。これらのタイミング仕様は、 t_{PWR} 、 t_{SR} 、 t_{HR} で表されます。ADCCLK_RSTパルスの幅は、有効なデータの取り込みが可能になるまでの時間に影響を与えるため、できるとき限り短くすることを推奨します。

シングルエンド(LVCMOS)ADCCLK_RST: パワーオン・リセット後は構成レジスタのビット14(DRE)は0bに設定され、シングルエンドのADCCLK_RSTがイネーブルになっています。シングルエンドADCCLK_RSTを使用しない場合は、この入力ピンをグラウンドに接続してください。シングルエンドADCCLK_RSTを使用する場合は、Figure 3のADCCLK_RST+信号に従ってタイミングを考慮し、ADCCLK_RST-は無視します。

差動(LVDS)ADCCLK_RST: 構成レジスタのビット14(DRE)を1bに設定するとイネーブルになります。差動ADCCLK_RSTを有効にしない場合(すなわち、構成レジスタのビット14を0bに設定した場合)、これらの入力ピンはグラウンドに接続してください。差動ADCCLK_RSTには、チップ内部で100Ωの終端抵抗が接続されています。AC結合ではなくDC結合してください。

ADCCLK_RST信号は、入力クロックに対して非同期にアサートして構いません。CLKの立ち上がりエッジに同期してADCCLK_RSTをネゲートすると、ADC08B3000は次のCLKの立ち下がりエッジでシステム内の他のADC08B3000と同期します。シングルエンドのADCCLK_RST信号を使用することは可能ですが、タイミング性能に優れた差動ADCCLK_RSTを強く推奨します。

1.6 A/D コンバータのテスト・パターン出力

システムのデバッグに役立つように、ADC08B3000は入力信号から完全に独立したテスト・パターンを2つのポートに出力する機能を備えています。デフォルトでは、テスト・パターンはD1ポートにのみ出力されます。D1とD2の両ポートにテスト・パターンが出力されるようにするには、キャプチャ・バッファ・レジスタ(アドレスFh)のビット12(TPE)を1bに設定する必要があります。「1.4 レジスタの説明」を参照してください。テスト・パターンを出力するには、キャプチャ・バッファ・レジスタ(アドレスFh)のビット11(TPO)を1bに設定します。テスト・パターン出力をイネーブルにすると、A/Dコンバータは停止し、テスト・パターン発生器が出力ポートとORピンに接続されます。OR出力は、テスト・パターン出力開始時にHighにアサートされ、キャプチャ・バッファからデータが読み出され、バッファ・エンブティ・フラグ(EF)がHighにアサートされるまでHighに保たれます。各ポートからTable 4とTable 5に示す、一意のパターン・シーケンスを出力できます。テスト・パターンは、DRDYの遷移に合わせて出力ポートに出力されます。

TABLE 4. Test Pattern Output By Port in One Port Output SDR Mode

Time	Port D1	Port D2	OR	Comments
T0	01h	Hi-Z	1	Pattern Sequence n
T1	02h		1	
T2	03h		1	
T3	04h		1	
T4	FEh		1	
T5	FDh		1	
T6	FCh		1	
T7	FBh		1	
T8	01h		1	
T9	02h		1	
T10	03h		1	
T11	04h		1	
T12	FEh		1	
T13	FDh		1	
T14	FCh		1	
T15	FBh	1		
T16	01h	Hi-Z	1	Pattern Sequence n+1
T17	02h		1	
T18	03h		1	
T19	04h		1	
T20	01h		1	
T21	02h		1	
T22	03h		1	
T23	04h		1	
T24	FEh		1	
T25	FDh		1	
T26	FCh		1	
T27	FBh		1	
T28	01h		1	
T29	02h		1	
T30	

TABLE 5. Test Pattern Output By Port in Two Port Output SDR Mode

Time	Port D1	Port D2	OR	Comments
T0	02h	01h	1	Pattern Sequence n
T1	04h	03h	1	
T2	FDh	FEh	1	
T3	FBh	FCh	1	
T4	02h	01h	1	
T5	04h	03h	1	
T6	FDh	FEh	1	
T7	FBh	FCh	1	
T8	02h	01h	1	
T9	04h	03h	1	

1.0 機能説明 (つづき)

Time	Port D1	Port D2	OR	Comments
T10	02h	01h	1	Pattern Sequence n+1
T11	04h	03h	1	
T12	FDh	FEh	1	
T13	FBh	FCh	1	
T14	02h	01h	1	
T15	

1.7 キャプチャ・バッファの機能説明

ADC08B3000 では、キャプチャ・バッファを搭載することにより、サンプリングと処理の動作を分離できます。バッファの目的は、高速で入力信号をサンプリングした後、収集したサンプルをより低速のデジタル処理に渡せるようにすることです。キャプチャ・バッファのデータ取り込み動作と読み出し動作は、主に 5 つの信号によって連携させます。5 つの信号とは書き込みイネーブル (WEN)、読み出しイネーブル (REN)、エンプティ・フラグ (EF)、フル・フラグ (FF)、リセット (RESET) です。

この製品に搭載されたキャプチャ・バッファは汎用 FIFO ではないことに注意してください。キャプチャ・バッファのサイズは、拡張制御モードを使い、キャプチャ・バッファ・レジスタのビット 15 (BSIZE<1>) とビット 14 (BSIZE<0>) によってプログラムできます。Table 6 を参照してください。キャプチャ・バッファの読み出しを開始するには、バッファ全体がデータで満たされている必要があります。キャプチャ・バッファに対して、書き込みと読み出しを同時に行うことはできません。

TABLE 6. programmable Capture Buffer Size

BSIZE<1>	BSIZE<0>	Buffer Size (Bytes)
0	0	512
0	1	1024
1	0	2048
1	1	4096

1.7.1 エラー・フラグ

ADC08B3000 には、キャプチャ・バッファの状態を監視する 2 つの出力制御信号、フル・フラグ (FF) とエンプティ・フラグ (EF) があります。REN をアサートしてキャプチャ・バッファの読み出しが完了すると、最後のデータが読み出されキャプチャ・バッファが空になったことを示すエンプティ・フラグ (EF) がデバイスによってアサートされます。エンプティ・フラグ (EF) がアサートされた後は、キャプチャ・バッファを再度読み出すことはできません。キャプチャ・バッファがデータを取り込める、つまり WEN 動作を開始できるのは、エンプティ・フラグ (EF) が High にアサートされている場合のみです。WEN をアサートすると、エンプティ・フラグ (EF) がクリアされます。

キャプチャ・バッファからデータを読み出せるのは、キャプチャ・バッファが完全にデータで満たされている場合のみです。すなわち、FF (フル・フラグ) が High の場合です。FF の High アサートは、キャプチャ・バッファからデータを読み出す準備が完了したことを意味し、データは RCLK の立ち上がりエッジで出力されます。REN をアサートすると、フル・フラグ (FF) がクリアされます。

RESET 信号をアサートすると、フル・フラグ (FF) がクリアされ、エンプティ・フラグ (EF) がセットされると同時に、バッファに対するデータの取り込みおよび読み出し動作も終了します。

1.7.2 キャプチャ・バッファへの書き込み

変換されたデータのキャプチャ・バッファへの書き込みには、チップ内部で生成される書き込みクロックが使われます。この書き込みクロックのスピードは A/D コンバータのサンプリング・クロックと同じです。チップがパワーダウン状態にないかぎり、A/D コンバータは常に入力信号を変換し続けます。ただし、データがキャプチャ・バッファに保存されるのは、書き込みイネーブル (WEN) 信号がアサートされたときだけです。

キャプチャ・バッファがいっぱいになってフル・フラグ (FF) がアサートされると書き込みポイントが先頭に戻るため、以後の新しいデータによってバッファ内の一番古いデータが上書きされます。ASW (書き込み自動停止) を設定することにより、キャプチャ・バッファがいっぱいになった時点で書き込みを自動的に停止することもできます。このオプションを使用するには、拡張制御モードでキャプチャ・バッファ・レジスタのビット 13 を 1b に設定します。「1.4 レジスタの説明」を参照してください。

キャプチャ・バッファからデータが完全に読み出されると、デバイスによってエンプティ・フラグ (EF) がアサートされます。次のデータ取り込みシーケンスを開始 (WEN をアサート) できるのは、このフラグがアサートされた後です。WEN をアサートし内部の同期が確立すると、エンプティ・フラグ (EF) がクリアされます。

1.7.3 キャプチャ・バッファの読み出し

フル・フラグ (FF) が High にアサートされると、RCLK の立ち上がりエッジでキャプチャ・バッファのデータを読み出せるようになります。RCLK は A/D コンバータのサンプリング・クロックとは非同期に印加できる外部のフリーランニング・クロックです。キャプチャ・バッファからデータを読み出すには、読み出しイネーブル (REN) 信号をアサートします。REN をアサートし、内部の同期が確立すると、フル・フラグ (FF) はクリアされます。キャプチャ・バッファから最後のデータが読み出され、バッファが空になると、それを示すエンプティ・フラグ (EF) がデバイスによってアサートされます。

キャプチャ・バッファ・レジスタの 2 ポート出力イネーブル (TPE) (アドレス: Fh、ビット: 12) に 0b が設定されている場合、キャプチャ・バッファからのデータはポート D1 のみに出力されます。キャプチャ・バッファ・レジスタの 2 ポート出力イネーブルを 1b に設定した場合は、D1 と D2 の両ポートからの出力が有効になります。インターリーブを行えるように、出力データのフォーマットはまず最初の 8 ビットが D2 から出力され、次の 8 ビットは D1 から出力されます。その後、再び D2 から出力されます。データの出力順はテスト・パターン出力モードにおけるデータ出力順と同じです。テスト・パターン出力モードのデータ出力順については Table 5 を参照してください。

1.7.4 読み出しイネーブル (REN) と書き込みイネーブル (WEN) の連携

キャプチャ・バッファに対して、書き込みと読み出しを同時に行うことはできません。これは、書き込みイネーブル (WEN) 信号と読み出しイネーブル (REN) 信号を同時にアサートできないことを意味しています。2 つを同時にアサートした場合、書き込みイネーブル (WEN) が読み出しイネーブル (REN) よりも優先され、REN は無視されます。これは読み出しイネーブル (REN) を先にアサートし、バッファ読み出し動作が通常に進行している場合にも適用されます。読み出しイネーブル (REN) がアサートされた状態で書き込みイネーブル (WEN) をアサートした場合、キャプチャ・バッファは RESET が印加されるまでフリーズします。RESET を印加するとキャプチャ・バッファのポインタはリセットされるため、次のデータ取り込み動作を開始できます。

1.0 機能説明 (つづき)

1.7.5 キャプチャ・バッファのリセット

RESET 信号は FF をクリアし、EF をセットしてデータの取り込みと読み出し動作を停止します。部分読み出しを行う場合には、データ読み出し動作を途中で停止するので EF がデバイスによってアサートされないため、RESET 信号が有効です。この場合は、RESET 信号によってキャプチャ・バッファ・ポインタをリセットして、新たなデータの取り込みを開始できます。RESET 信号は、A/D コンバータの動作には影響を与えません。A/D コンバータは独自の内部パワーオン・リセット回路を搭載しています。

1.7.6 データ・レディと書き込みイネーブル同期

ADC08B3000 には、キャプチャ・バッファのデータ取り込みおよび読み出し動作を連携させるための信号が、上記の他に 3 つあります。データ・レディ・ポート 1 (DRDY1)、データ・レディ・ポート 2 (DRDY2)、書き込みイネーブル同期 (WENSYNC) 信号の 3 つです。データ・レディ・ポート 1 (DRDY1) とデータ・レディ・ポート 2 (DRDY2) は、外部システムのラッチ・クロックとして使用できます。アプリケーションによっては、RCLK だけでデータ出力ポート D1 と D2 両方のデータを読み出すのが現実的ではない場合があるためです。データ・レディ (DRDY) ピンは RCLK の配線遅延および内部の RCLK から DataOut までの遅延の影響を排除し、データ読み出し特性を向上できます。データ・レディ (DRDY) は、データと同じタイミングで出力されます。RCLK はキャプチャ・バッファからデータを取り出すためにデバイスが使用するクロックであり、DRDY はデータを受け取る回路にデータを送り込むためのクロックです。出力データと DRDY 信号は、REN のアサート後、RCLK の 3 サイクル目の立ち上がりエッジで出力されます。

書き込みイネーブル同期信号 (WENSYNC) は、A/D コンバータのサンプリング・クロックに同期した書き込みイネーブル (WEN) 信号です。書き込みイネーブル (WEN) は A/D コンバータのサンプリング・クロックとは完全に非同期にアサートできるため、ユーザーはデータ取り込み動作が実際に開始するタイミングを把握できません。書き込みイネーブル同期信号 (WENSYNC) は、ユーザーがこのタイミングを知るための出力信号です。

1.7.7 アウト・オブ・レンジ

アウト・オブ・レンジ (OR) は、データ取り込み動作中に入力信号が範囲を外れたことを判断するために使用する信号です。データ取り込み動作中に、入力が範囲外となった時点でアサートされ、キャプチャ・バッファの読み出し動作が完了してエンピティ・フラグ (EF) がアサートされるまでクリアされません。較正サイクル中の OR 出力は無効です。

2.0 アプリケーション情報

2.1 リファレンス電圧

ADC08B3000 のリファレンス電圧は 1.254V バンドギャップ・リファレンスから生成され、ユーザーが使用できるようにバッファされたものが 31 ピンの V_{BG} ピンから出力されています。この出力は $\pm 100 \mu A$ を駆動できます。さらに電流が必要な場合は、このリファレンス電圧を外部でさらにバッファして使用してください。

通常制御モードでは、内部バンドギャップから生成されるリファレンス電圧の公称値は FSR ピンによって 2 つのうちから 1 つを選べます。詳しくは「1.1.4 アナログ入力」を参照してください。

外部のリファレンス電圧を使用する機能はありません。「1.2 通常制御と拡張制御」に示すとおり、フルスケール入力電圧は通常制御モードの場合は「電気的特性」の表に示す 2 つの値から、拡張制御モードの場合はフルスケール電圧調整レジスタによって 512 種類の値から 1 つを選択できます。このピンは決して駆動しないでください。

選択したフルスケール・レベルを上限とする差動入力信号は 8 ビットでデジタル化されます。フルスケール・レンジを超えた信号は出力でクリッピングされます。

2.2 アナログ入力

アナログ入力は AC 結合または DC 結合によって差動信号として印加します。フルスケール入力レンジは FSR ピンによって選択するか、シリアル・インタフェースを使用する拡張制御モードによって 512 種類の値から選択します。最高性能を発揮させるには、拡張制御モードであってもフルスケール・レンジを $595mV_{p-p} \sim 805mV_{p-p}$ の範囲に設定することを推奨します。設定可能範囲の両端付近では、フルスケール・レンジを設定する内部の DAC の線形性が若干損なわれるためです。

通常 (非拡張) 制御モードで FSR ピンを High で使用したときの入力と出力の関係を Table 7 に示します。FSR ピンが Low の場合、電圧は Table 7 に記載の mV 値の 75% (600/810) になります。拡張制御モードの場合、電圧は制御レジスタのフルスケール・レンジ設定とオフセット設定によって決まります。

TABLE 7. DIFFERENTIAL INPUT TO OUTPUT RELATIONSHIP (Non-Extended Control Mode, FSR High)

V_{IN+}	V_{IN-}	Output Code
$V_{CM} - 405 \text{ mV}$	$V_{CM} + 405 \text{ mV}$	0000 0000
$V_{CM} - 202.5 \text{ mV}$	$V_{CM} + 202.5 \text{ mV}$	0100 0000
V_{CM}	V_{CM}	0111 1111 / 1000 0000
$V_{CM} + 202.5 \text{ mV}$	$V_{CM} - 202.5 \text{ mV}$	1100 0000
$V_{CM} + 405 \text{ mV}$	$V_{CM} - 405 \text{ mV}$	1111 1111

アナログ入力を内部でバッファしているため、A/D コンバータ入力のサンプリングに通常使用される RC ボールは不要になり、容易にアナログ入力を駆動できます。A/D コンバータの前段にアンプを置く場合、適切なノイズ性能と歪み性能、およびアプリケーションが使用する周波数において適切なゲインを持つアンプを選択するようにしてください。

DC 結合モード (V_{CMO} がグラウンドに接続されていない状態) でのアナログ入力のインピーダンスは、入力ピン間の高精度 100Ω 抵抗と、各入力ピンとグラウンド間の容量で決まります。AC 結合モードでは各アナログ入力ピンとオンチップ V_{CMO} 電位の間にある $50k \Omega$ 抵抗が追加されます。入力を AC 結合で用いる場合は Figure 17 に示すとおり、 V_{CMO} 出力を必ずグラウンドに接続してください。このように接続することで、チップ内で生成される V_{CMO} 電圧が内部の $50k \Omega$ 抵抗を介して入力に接続されます。

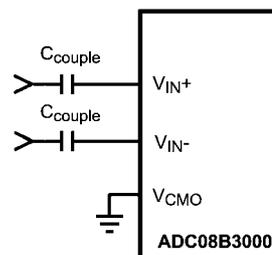


FIGURE 17. Differential Data Input Connection

2.0 アプリケーション情報 (つづき)

DC 結合で動作させる場合には差動入力に高精度のコモンモード電圧を与えなければなりません。このコモンモード電圧は V_{CMO} 出力ピンに追従しなければなりません。 V_{CMO} の出力電圧は温度によって変化する点に注意が必要です。アナログ入力を駆動するデバイスのコモンモード電圧は、この温度変化に追従できなければなりません。

入力コモンモード電圧が V_{CMO} から変位するとフルスケール歪み性能が急激に劣化します。この現象は消費電力を抑えるために非常に低い電源電圧を使用した結果です。入力コモンモード電圧は V_{CMO} の 50mV 以内に維持してください。

正負両方のアナログ入力の入力コモンモード電圧を V_{CMO} の 50mV 範囲内に維持すれば、DC 結合でも AC 結合と同等の性能が得られます。

2.2.1 シングルエンド入力信号の取り扱い

ADC08B3000 はシングルエンド入力信号を適切に処理する機能を備えていません。シングルエンド信号を使用する場合は、A/D コンバータに入力する前に差動信号に変換するのが最適の方法です。

2.2.1.1 AC 結合入力

シングルエンドから差動信号への最も簡単な変換手段は、Figure 18 に示すバラン・トランスです。この図は、バランを使用してシングルエンド信号から差動信号に変換する回路の一般的な構成です。バランの回路構成は使用するバランと全体的な基板レイアウトに依存します。適切な性能を持つシングルエンドから差動への変換回路を設計するために、選択したバラン・トランスのメーカーに問い合わせることを推奨します。

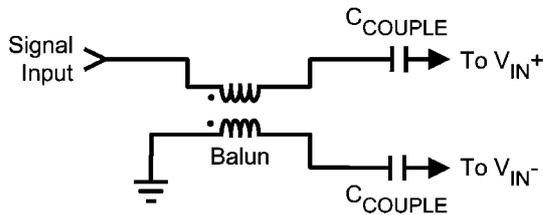


FIGURE 18. Single-Ended to Differential Signal Conversion with a Balun

バランの選択では A/D コンバータの入力アーキテクチャを理解しておく必要があります。システム設計者が特に考慮すべきバランのパラメータがあります。アナログ信号源から伝送線のインピーダンスと、この伝送線から ADC08B3000 チップ上の 100Ω の差動入力終端抵抗までのインピーダンスをマッチングさせます。入力終端抵抗値の範囲は R_{IN} の仕様として、「コンバータの電気的特性」の表に記載されています。

位相と振幅のバランスも重要です。位相と振幅のアンバランスが最小になるようにバランを選択してください。位相のアンバランスは $\pm 2.5^\circ$ を超えないように、また振幅のアンバランスは目的とする入力周波数範囲において 1dB 未満となるようにしてください。

さらに、バランを選択するときは、バランの VSWR (電圧定在波比) と挿入損失についても考慮が必要です。VSWR は、A/D コンバータ入力に接続したバランの伝送線路全体を終端する能力を判断する要因になります。挿入損失は、バランの出力を A/D コンバータの目標入力電圧の範囲に入れるために検討する必要があります。

2.2.1.2 DC 結合入力

ADC08B3000 アナログ入力を DC 結合で接続する場合、シングルエンド信号から差動信号への変換は完全差動アンプ LMH6555 を使えば簡単です。回路例を Figure 19 に示します。このようなアプリケーションにおける LMH6555 は、ADC08B3000 に必要な低歪みと低ノイズ、および出力のバランスを維持しながら、シングルエンド信号から差動信号への変換を行います。ADC08B3000 の V_{CMO} ピンを LMH6555 の V_{CM_REF} に接続することにより、ADC08B3000 の最適な性能に必要なコモンモード入力電圧が確保されます。ここでは、低電圧で動作しオフセット電圧の小さい LMV321 を V_{CMO} バッファとして使用しています。

2.0 アプリケーション情報 (つづき)

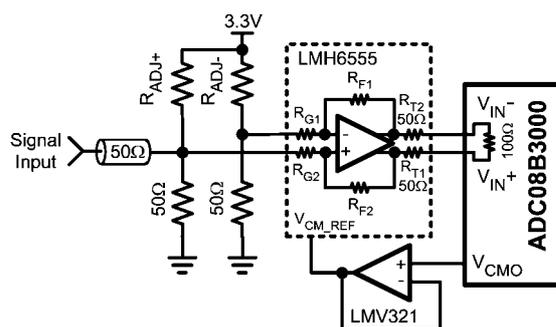


FIGURE 19. Example of Servoing the Analog Input with V_{CM0}

V_{CM0} 出力から取り出される電流が $100\ \mu\text{A}$ を超えないように注意してください。

Figure 19 に示す R_{ADJ-} と R_{ADJ+} によって、A/D コンバータ入力 V_{IN+}/V_{IN-} で観測される差動オフセットを調整します。調整前の正のオフセットが 15mV を超える場合は、 R_{ADJ-} の抵抗値によって低減してください。同様に、調整前の負のオフセットの絶対値が 15mV を超える場合は、 R_{ADJ+} の抵抗値によって低減してください。Table 8 に、 V_{IN+} と V_{IN-} 間のオフセットを $|15\text{mV}|$ 以内とするための R_{ADJ-} と R_{ADJ+} の値を、さまざまな調整前のオフセット値に対して示しました。Figure 19 の回路では、 $50\ \Omega$ で DC 結合した駆動源を想定しています。

TABLE 8. DC 結合のオフセット調整

調整前のオフセット値	抵抗値
0mV ~ 10mV	抵抗不要
11mV ~ 30mV	20.0k Ω
31mV ~ 50mV	10.0k Ω
51mV ~ 70mV	6.81k Ω
71mV ~ 90mV	4.75k Ω
91mV ~ 110mV	3.92k Ω

2.2.2 アウト・オブ・レンジ (OR) 出力

クリッピングされた変換結果が得られた場合、OR + が High になり OR - が Low になって、範囲外 (アウト・オブ・レンジ) であることを示します。出力バスのいずれかから出力される本来のデータが 00h から FFh のレンジを逸脱している限り、OR 出力はアクティブの状態を続けます。較正サイクル中の OR 出力は無効です。

2.2.3 フルスケール入力レンジ

あらゆる A/D コンバータと同様に、入力レンジは A/D コンバータのリファレンス電圧によって決まります。ADC08B3000 のリファレンス電圧は、内部バンドギャップ・リファレンスから生成しています。通常制御モードでは FSR ピンが ADC08B3000 の実効リファレンス電圧を制御します。FSR ピンの High と Low によってアナログ入力の差動フルスケール入力レンジが変わります。フルスケールの値は「電気的特性」の表に示されています。拡張制御モードの場合は、「1.4 レジスタの説明」に示すように、フルスケール電圧調整レジスタによって、512 通りの値の中から選ぶことができます。最高の SNR は高いフルスケール・レンジで得られますが、より優れた歪み性能と SFDR 性能はフルスケール・レンジが低いときに得られます。Figure 19 の LMH6555 は ADC08B3000 のあらゆるフルスケール・レンジに適合します。

2.3 サンプリング・クロック入力

ADC08B3000 は差動 LVDS クロック入力を備えています。これらのクロック・ピンは AC 結合の差動クロック信号で駆動しなければなりません。ADC08B3000 は差動 1.5GHz クロックで試験され、その性能が保証されていますが、通常は「電気的特性」に記載の入力クロック周波数で良好な性能を発揮します。クロック入力は内部終端され、バイアスが加えられています。入力クロック信号は Figure 20 に示すように、クロック・ピンに容量性結合する必要があります。

「電気的特性」の表に記載のサンプリング・レートを上限とする動作は、記載されている最大周囲温度を超えない限り、一般に問題ありません。与えられた周囲温度で、規定されているサンプリング・レートよりも高いサンプリング・レートで動作させると、デバイスの信頼性と製品寿命を損ねる結果を招く場合があります。その理由は、サンプリング・レートが高くなると消費電力が大きくなりダイ温度が上昇するためです。信頼性を確保するには、「2.6.2 サーマル・マネジメント」で検討する、適切なサーマル・マネジメントも重要です。

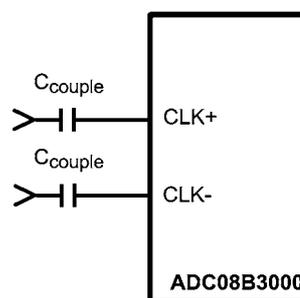


FIGURE 20. Differential Sample Clock Connection

差動サンプリング・クロック・ラインは $100\ \Omega$ の差動特性インピーダンスを備えていなければなりません。またクロック源もこの特性インピーダンス ($100\ \Omega$) で終端する必要があります。入力クロック・ラインは、できる限り短く、また、できる限り直接配線してください。ADC08B3000 のクロック入力はトリミングされていない $100\ \Omega$ 抵抗によって内部終端されています。

指定されたダイナミック特性を得るにはクロックのレベルが重要になります。クロック・レベルが十分に高くないとノイズ性能が劣化します。逆に過度に高いクロック・レベルは SFDR 特性を劣化させ、アナログ入力オフセット電圧を変化させる可能性があります。このような問題を防ぐために、入力クロック・レベルを「電気的特性」の表に記載されている電圧範囲に維持してください。

一般に A/D コンバータの性能は、クロックの Low 時間および High 時間に影響されます。ADC08B3000 は、全動作温度範囲にわたって性能を維持する、入力クロックの幅広いデューティ・サイクルに対応可能な、クロック・デューティ・サイクル補正回路を内蔵しています。A/D コンバータは入力クロックの High 時間と Low 時間が「電気的特性」の表に指定された値に維持されている限り性能仕様を満たします。

ADC08B3000 のような高速かつ高性能な A/D コンバータは、位相ノイズやジッタの少ないきわめて安定したクロックを必要とします。A/D コンバータのジッタ要件は、A/D コンバータの分解能 (ビット数)、A/D コンバータの最大入力周波数、A/D コンバータ入力フルスケール・レンジに対する入力信号振幅の比で決まります。ジッタに起因する SNR 低下を生じさせない、最大許容ジッタ (すべての信号源のジッタの合計) は次式で計算できます。

$$t_{J(\text{MAX})} = (V_{\text{INFSR}}/V_{\text{IN(P-P)}}) \times (1/(2^{(N+1)} \times \pi \times f_{\text{IN}}))$$

2.0 アプリケーション情報 (つづき)

$t_{j(\text{MAX})}$ は全ジッタ源の rms の合計で単位は秒、 $V_{\text{IN(P-P)}}$ はアナログ入力信号のピーク・ツー・ピーク値、 V_{INFSR} は A/D コンバータのフルスケール・レンジ、"N" は A/D コンバータの分解能で単位はビット数、 f_{IN} は A/D コンバータのアナログ入力の最大入力周波数で単位は Hz です。

上述の最大ジッタは、システムが A/D コンバータ入力クロックと入力信号に付加するジッタと、A/D コンバータ自体のジッタを含む、すべてのジッタ源から出力されるジッタの 2 乗和平方根 (RSS) です。A/D コンバータによるジッタはユーザーには対策できないため、外部回路による入力クロックのジッタや、アナログ回路がアナログ信号に与えるジッタの合計を最小限に抑えるようにしてください。

2.3.1 複数の A/D コンバータの同期 (サンプリング・クロックのマニュアル位相調整)

複数の ADC08B3000 チップによって、単独のデバイスよりも高い実効サンプリング・レートが可能になります。ADC08B3000 のクロック位相のマニュアル調整機能を用いれば、このときに必要となる複数デバイス間の同期を容易に実現できます。この調整は拡張制御モードにおいてのみ可能です。複数の A/D コンバータ間のわずかなレイアウトの差異を補償するための機能です。拡張制御モードでアクセスする、レジスタ・アドレス Dh と Eh がこの微調整と粗調整用です。サンプリング・クロックの位相をマニュアルで調整をしているときは、低周波数サンプリング・クロック (レジスタ Eh、ビット 10) の機能は使用できません。

なお、位相調整機能 (レジスタ Eh、ビット 15) を有効にするだけでも、ダイナミック特性、特に SFDR が劣化する点は注意が必要です。位相調整機能はわずかな調整量を想定しています。すなわち、数段階の微調整のみ行い、粗調整は行うべきでないということです。位相調整量を大きくすると SNR に影響があり、最終的には ENOB が低下します。そのため、適切なシステム性能を得るには、粗調整の使用はできるだけ避けてください。

同期する ADC08B3000 のそれぞれに印加するアナログ入力やクロック信号が、適切な位相関係になるようにするのが最適の方法です。つまり、クロック位相調整回路がないものとして、最大限の注意を払ってプリント基板の設計とレイアウトを行うということです。

Figure 21 と Figure 22 に、それぞれ位相の微調整と粗調整の代表特性を示します。

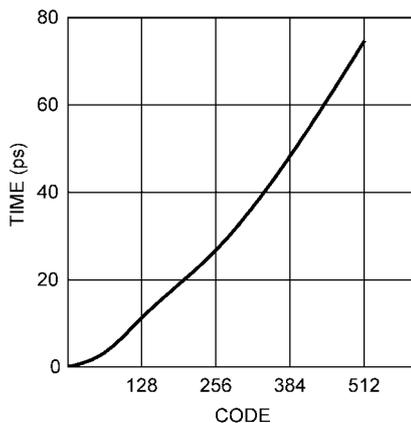


FIGURE 21. Typical Fine Clock Phase Adjust Range

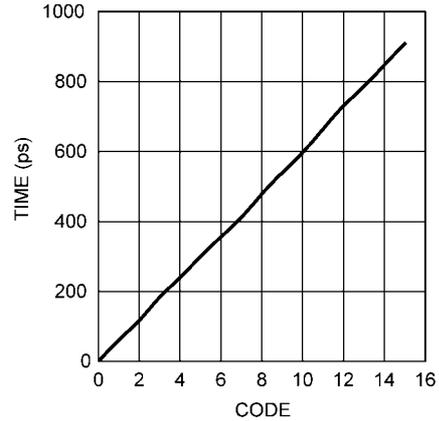


FIGURE 22. Typical Coarse Clock Phase Adjust Range

2.4 制御ピン

シリアル・インタフェースを使用しなくとも、6 個の制御ピンによって、ADC08B3000 を使いやすくするさまざまな動作の設定が可能です。これらの制御ピンによって、フルスケール入力レンジの設定、自己較正、較正遅延の設定、出力同期エッジの選択、パワーダウンなどを行えます。

2.4.1 フルスケール入力レンジの設定

通常制御モードでは、FSR 制御入力 (14 ビン) によって、入力フルスケール・レンジを 2 種類の値のいずれかから選択できます。拡張制御モードの場合は 512 通りの値の中から選ぶことができます。詳細は「1.4 レジスタの説明」を参照してください。

2.4.2 較正

定格性能を実現するために ADC08B3000 には較正が必要です。この較正処理は電源投入時に実行されますが、外部からのコマンドによって実行させることも可能です。較正処理は、電源投入時にクロックが印加されている状態でも、あるいは電源印加後にある時間を経過してからクロックを与えた場合でも同一です。また、パワーオン較正とコマンド較正の内容はまったく同一です。較正処理の実行中は CalRun 出力が High になります。

2.4.2.1 パワーオン較正

パワーオン較正は、電源を印加後、一定の遅延後に開始されます。この遅延は CalDly の設定によって決まります。「2.4.2.3 較正遅延」を参照してください。

電源投入時に CAL ピンを High にしていると較正処理は実行されません。この場合、較正サイクルはコマンドによる較正が行われるまで開始されません。電源投入時に CAL ピンを High にすると、ADC08B3000 は動作しますが較正は行われなため、十分な性能が得られません。ただし、その場合もマニュアルで較正を実行できます。「2.4.2.2 コマンドによる較正」の「コマンドによる較正」を参照してください。

内部パワーオン較正回路は不定なロジック・ステートで起動します。電源投入時に入力クロックが駆動されていない状態で、パワーオン較正回路がアクティブな場合、デバイスはアナログ回路をパワーダウン状態に保持し、消費電力は代表値で 25mW 未満になります。クロックが動き始めると消費電力は通常の値になります。

2.0 アプリケーション情報 (つづき)

2.4.2.2 コマンドによる較正

コマンド較正を開始するには、CAL ピンを 80 入力クロック・サイクル以上 High に保ち、次に 80 入力クロック・サイクル以上 Low に保ちます。電源投入時に CAL ピンを High にしておく、CAL ピンを少なくとも 80 クロック・サイクルにわたって Low にしたあと、少なくとも 80 クロック・サイクルにわたって High にするまで、パワーオン較正は行われません。較正サイクルは CAL ピンを High にした 80 クロック後に開始されます。較正サイクルの完了を知るには CalRun 信号の監視が必要です。

ランダムなノイズによって、要求していないにもかかわらず較正が開始されないように、最小 t_{CAL_L} および t_{CAL_H} の入力クロック・サイクルのシーケンスが必要です。「1.1.1 較正」で述べたように、最高性能を発揮するには、較正はアプリケーションの電源を投入して 20 秒以上が経過してから実行し、また、個々のシステム設計性能要件に比べて周囲温度が大幅に変化したときには再較正を実行してください。電源投入後 20 秒以上してからコマンド較正を行うことを推奨するのは、ダイ温度の変動によってダイナミック特性が変化するためです。ダイ温度は電源投入後、約 20 秒で安定します。接合部温度の上昇によってもダイナミック特性は若干変化しますが、これはコマンド較正によって簡単に補正できます。

パワーオン較正サイクルでは、A/D コンバータと入力終端抵抗の両方が較正されます。デフォルトでは、コマンド較正にも入力終端抵抗と A/D コンバータの較正が含まれています。ただし、入力終端抵抗値は温度によってわずかに変化しないので、この抵抗のトリミングはディスエーブルすることができます。ディスエーブルするには、拡張制御モードで該当する構成レジスタのビットを設定します。

2.4.2.3 較正遅延

CalDly 入力 (127 ピン) によって、電源電圧印加から較正開始までの遅延時間を「1.1.1 較正」に示す 2 種類の値から選択できます。較正の開始を遅延させることにより、較正前に電源を安定させる時間を確保します。遅延がない場合、あるいは遅延が十分ではない場合、電源が動作時の状態に安定しない前に較正が実行される可能性があり、最適な較正係数が得られません。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源投入時に PD ピンを High に保てば、パワーオン較正サイクルの開始をさらに遅らせることができます。CalDly ピンの最適な設定は、電源の電圧セトリング時間によって異なります。

較正遅延は拡張制御モードでは選択できません。短時間の遅延が適用されます。

2.4.2.4 入力終端抵抗のトリミング

較正アルゴリズムは入力信号終端抵抗のトリミングも行います。このトリミングは、デバイスを適切に動作させるためには不可欠です。ただしパワーオン時にトリミングすれば、その後のデバイスの動作には必要ありません。また、その後、較正を行う際にも抵抗のトリミングは不要です。構成レジスタの RTD ビットを用いれば入力抵抗のトリミングを無効にできます。ただし、クロック位相調整機能を使用する場合は RTD ビットに 1b を設定する必要があります。

2.4.3 出力エッジ同期

OutEdge は、コンバータの出力データを外部回路でラッチしやすくするための入力です。このピンは、特に出力クロックとデータの配線経路長が異なる場合にデータの読み出しを容易にします。このピンによって、データ出力に対するデータ・レディ・

ピン (DRDY1 と DRDY2) の位相をシフトできます。「1.1.5.2 ダブル・データレート」を参照してください。

2.4.4 パワーダウン機能

パワーダウン・ピン (PD) を使うと、キャプチャ・バッファのアクティブ状態を保ち、読み出しが可能な状態で、ADC08B3000 をパワーダウンできます。パワーダウン機能の詳細は「1.1.6 パワーダウン」を参照してください。

パワーダウン・モードではキャプチャ・バッファ、その制御ピン、デジタル・データの出力はアクティブのままです。このため、PD ピンが High でもキャプチャ・バッファを読み出せます。通常動作に復帰する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければなりません。

較正処理の実行中に PD 入力を High にすると、デバイスは較正シーケンスが完了するまでパワーダウン・モードに移りません。ただし、PD 入力を High にした状態で電源を印加した場合は、PD が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

2.5 デジタル出力

出力フォーマットはオフセット・バイナリで、論理レベルは LVCMOS です。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルに対する出力コードはすべて 1 となり、 V_{IN+} に対して V_{IN-} が正の場合のフルスケール入力レベルに対する出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 または 128 になります。

入力クロックの推奨最小周波数は 500MHz であり、ADC08B3000 のサンプリング・レートはこのクロックの倍の周波数であるため、通常の最小サンプリング・レートは 1Gsp/s になります。ただし、出力の半分を容易に間引きでき、この場合、実効的な最小サンプリング・レートは 500MSPS になります。これにはキャプチャ・バッファ・レジスタの TPE ビット (アドレス Fh、ビット D12) を 1b に、クロック周波数を 500MHz に設定するとともに、2 つのポートの 1 つのみからデータを読み出します。

出力フォーマットはオフセット・バイナリです。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべて 1 となり、 V_{IN+} に対して V_{IN-} が正の場合のフルスケール入力レベルの出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 または 128 になります。

2.6 電源の考慮事項

A/D コンバータは非常に大きなトランジェント電流を流すため、適切にバイパスされていないとデバイス自体の電源電圧が低下します。A/D コンバータの電源ピンの 2.5cm 以内に 33 μ F のコンデンサを配置してください。また、各 V_A ピンのできるかぎり近傍に、可能ならば 0.5cm 以内に、0.1 μ F のコンデンサを配置してください。リード・インダクタンスの小さい、リードレス・チップ・コンデンサを推奨します。

デジタル・ノイズが A/D コンバータのアナログ回路部分に混入しないように、 V_A と V_{DR} 電源ピンは分離してください。共通の電源で両者を駆動する場合は、これら電源ラインの間に Bourns 社の FB20009-3B のようなフェライト・チョークを挿入することを推奨します。

他の高速コンバータと同じく ADC08B3000 には電源ノイズ除去能力はほとんどありません。大きなデジタル電力を消費するシステムでは、デジタル回路用に使用する電源を ADC08B3000 の電源として使用しないでください。A/D コンバータ用に専用電源が存在しない場合は、他のアナログ回路用の電源を使用してください。

2.0 アプリケーション情報 (つづき)

2.6.1 電源電圧

ADC08B3000 は $1.9V \pm 0.1V$ の電源電圧範囲で動作するように規定されています。これよりわずかに高い電源電圧でも動作しますが、高い電圧を与えると製品寿命を縮めてしまうので注意してください。

いかなるピンも、過渡的な変動であっても、電源電圧以上やグラウンドから $150mV$ 以下になる電圧が印加されないようにしてください。この問題は、電源投入時や電源遮断時に発生する可能性があります。すべてのアナログおよびデジタル入力が ADC08B3000 の電源ピンの電圧が立ち上がるよりも速く立ち上がらない設計となっていることを確認してください。

電源投入時および遮断時も含めて、絶対最大定格には厳密に従わなければなりません。ターンオン時かターンオフ時、またはその両方で電圧スパイクを発生する電源は、ADC08B3000 を破壊する可能性があります。電源をオーバーシュートから保護する回路の一例を Figure 23 に示します。

多くのリニア・レギュレータは、最小負荷が存在しないとパワーオン時に出力スパイクを発生します。アクティブなデバイスは電源電圧が数百 mV に達するまで、ほとんど電流を引き抜けません。その結果、電源に最小負荷を接続しないでおくと、ADC08B3000 を破壊し得るターンオン・スパイクが発生します。Figure 23 に示すように、レギュレータに接続した 100Ω 抵抗がパワーオン時に最小出力電流を流し、ターンオン・スパイクの発生を防ぎます。リニア・レギュレータまたはスイッチング・レギュレータのいずれを使用する場合でも、電源のオーバーシュートを防ぐために、スロー・スタート回路を使うようにしてください。

Figure 23 に示す回路で電源電圧が $4V$ から $5V$ の範囲であれば LM317 リニア・レギュレータで十分です。 $3.3V$ 電源を使用する場合は LM1086 リニア・レギュレータを推奨します。

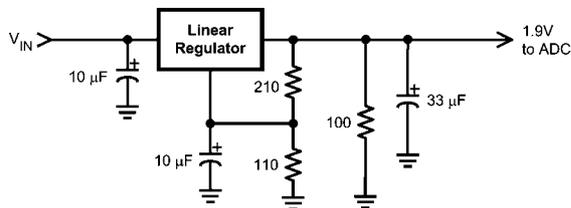


FIGURE 23. Non-Spiking Power Supply

出力ドライバは動作定格表記載の範囲にある電源電圧 V_{DR} を必要とします。 V_{DR} の電圧は V_A 電源の電圧を超えてはなりません。また、 $V_A + 100mV$ 以上のスパイクを重畳させてはなりません。

入力クロック信号を与えない状態で電源を印加すると、デバイスが引き込む電流は $200mA$ 未満になることがあります。これは ADC08B3000 がクロックで動作するロジックでリセットされるため、初期状態が不定となるからです。電源投入時にリセット・ロジックが「ON」状態になると、ほとんどのアナログ回路に電源が供給されないため、 $100mA$ 未満の電流しか引き抜けません。この電流値がパワーダウン・モードでの電流値よりも大きい理由は、A/D コンバータのすべての回路がパワーダウンするわけではないからです。入力クロックが確定すれば、デバイス電流は通常値に戻ります。

2.6.2 サーマル・マネジメント

ADC08B3000 は、その速度の割にはきわめて小さな消費電力で、優れた高速性と高性能を達成しています。しかし、消費電力は大きく、サーマル・マネジメントに注意を払う必要があ

ります。信頼性の面からダイ温度は $130^\circ C$ 以下に維持しなければなりません。すなわち、A/D コンバータの消費電力と θ_{JA} (接合部周囲間熱抵抗) の積に T_A (周囲温度) を加えた値が $130^\circ C$ を超えてはなりません。「動作定格」のセクションで規定されているとおり、周囲温度の最高が $+85^\circ C$ 以下に保たれ、さらにパッケージ底面の露出パッドがプリント回路基板 (PCB) の十分な銅箔に熱的に接していれば問題にはなりません。

以下に露出パッド・デバイスを PCB に実装する一般的な推奨事項を示します。このガイドラインを PCB と組立工程の開発のスタートポイントと考えてください。パッケージ実装の過去の経験に基づいてプロセス開発を行うことを推奨します。

ADC08B3000 のパッケージ裏面にある露出パッドは、プリント回路基板に対して重要な放熱経路を提供するとともに、電気的に優れたグラウンド経路を形成します。PCB にリードを接続するランド・パターンの設計は従来の LQFP と同じですが、パッケージの熱をできる限り逃がし、また製品の性能を最高レベルに発揮できるように、露出パッドをボードに接続する必要があります。

パッケージから熱をできるだけ逃がすには、パッケージのフットプリント内にサーマル・ランド・パターンを設けます。デバイスの露出パッドは、パッケージから適切な熱伝導が確保されるようにハンダ付けしなければなりません。この露出パッド用のランド・パターンは、パッケージの露出パッド・サイズ $5mm \times 5mm$ よりも大きく、かつ、デバイスの露出パッド全体がそのサーマル・ランド・パターンに収まるように設計しなければなりません。サーマル・ランド・パターンは電気的にはグラウンドに接続します。露出パッド用ランド・パターンとパッケージ・ピンの実装パッドとの間は $0.5mm$ 以上離してください。

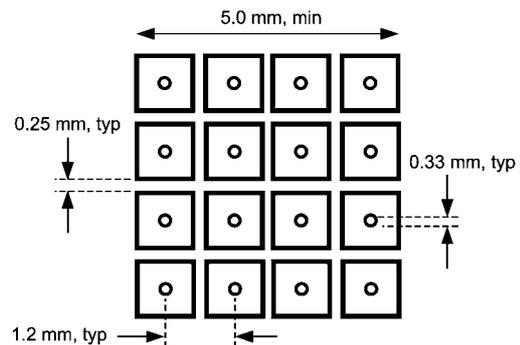


FIGURE 24. Recommended Package Exposed Pad Land Pattern

大きなアパーチャ開口はリリースが悪くなるため、Figure 24 に示すランド・パターンのように小さな複数のアパーチャ配列に分割してください。

接合部温度をできるだけ下げるために単純なヒートシンクを PCB 上に形成してください。PCB の裏面におよそ 2 平方インチ (6.5 平方センチ) の銅箔エリアを設ける方法などがあります。銅箔領域には腐食を防止するためにメッキまたはハンダ・コートを施して構いませんが、断熱効果のある絶縁コーティングは行わないでください。表面と裏面の銅箔領域どうしをサーマル・ビアで接続します。このサーマル・ビアは、「ヒートパイプ」として、ボードのデバイス面から効果的な放熱が期待できるボード裏面に熱エネルギーを伝えます。 9 個から 16 個のサーマルビアを推奨します。

2.0 アプリケーション情報 (つづき)

サーマル・ビアは 1.2mm の格子間隔で配置し、その直径は 0.30mm から 0.33mm とします。ハンダ・プロセス中にビア内に入ったハンダによって、パッケージ露出パッドと PCB のサーマル・ランドとの間にボイド (気泡) が生じないように、サーマル・ビア内側にはパレル・メッキを行ってください。このようなボイドはボード上のサーマル・ランドとデバイス間の熱抵抗を高めることがあり、デバイスの温度を上昇させてしまいます。

ダイ温度をモニタしたい場合はサーマル・ビア近くのボード上のヒートシンク領域に温度センサを実装します。この場合、温度センサと ADC08B3000 のダイとの温度差 (θ_{J-PAD}) と消費電力の代表値を乗じた $2.8 \times 1.9 = 5.3 \text{ }^\circ\text{C}$ を考慮する必要があります。ダイから温度センサまでの温度低下を、マージンを加えて $6.3 \text{ }^\circ\text{C}$ とすると、パッド温度の最大読み取り値を $123.7 \text{ }^\circ\text{C}$ 以下に維持すれば、ADC08B3000 の露出パッドが適正にハンダ付けされ、サーマル・ビアが十分に設けられているとした場合に、ダイ温度は $130 \text{ }^\circ\text{C}$ を超えないことが保証されます (上述の計算には温度センサの誤差を加える必要があります)。

2.7 レイアウトとグラウンド

適切なグラウンド処理とすべての信号ラインの適切な配線は、最適性能を確保するには必須の条件です。アナログ領域とデジタル領域に分割したグラウンド層ではなく、単一のグラウンド層を使用してください。

デジタル信号のスイッチング・トランジェントの多くは高周波成分です。したがって表皮効果により、グラウンド層全体の銅箔質量 (厚み) を増やしてもロジックに起因するノイズには、ほとんど効果がありません。グラウンド層の体積よりも面積のほうが重要となります。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をカップリングすると性能低下を招き、両回路の分離とノイズ対策が困難になります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

アナログ信号部品や混合信号部品に給電するリニア部品または電源層の上または近くに、大電力を消費するデジタル部品を配置してはなりません。形成されるデジタルのリターン電流パスが、A/D コンバータのアナログ入力の「グラウンド」リターンに変動を与える可能性があり、変換結果に過度のノイズを誘引してしまいます。

一般に、アナログ・ラインとデジタル・ラインを 90° で交差させれば、アナログ・パスにデジタル・ノイズは混入しないと考えられます。ただし、高周波システムでは、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。入力クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべての他のラインと分離してください。一般的に受け入れられているアナログ / デジタル信号ラインを 90° で互いに交差させる方法は、高周波ではわずかなカップリングによって問題が起こる可能性があるため避けるべきです。高周波において最大限の性能を得るには、まっすぐで短い信号経路を用いてください。

アナログ入力は、スプリアス信号の入力へのカップリングを避けるために、他の信号経路とは十分に分離してください。これは ADC08B3000 が必要とする低電圧駆動では特に重要です。コンバータの入力とグラウンドの間に接続される外部回路 (例えば、フィルタ用のコンデンサ) は、すべてグラウンド・プレーン中の十分にクリーンな点に接続してください。すべてのアナログ回路 (入力アンプ、フィルタなど) は、他のあらゆるデジタル部品から離して配置してください。

2.8 ダイナミック特性

ADC08B3000 のダイナミック特性は AC 試験によって保証されています。公表仕様を満たし、またジッタに起因するノイズを防ぐには、CLK 入力を駆動するクロック・ソースは低 rms ジッタでなければなりません。許容可能なジッタは、「2.3 サンプリング・クロック入力」に記載したとおり、入力周波数と入力信号レベルの関数です。

A/D コンバータのクロック・ラインは、できるだけ短く配線し、他の信号から適切に離し、かつ、伝送線路として取り扱うことが望まれます。クロック以外の信号がクロック信号に対するジッタの原因となる可能性があります。同様にクロック信号も、アナログ信号と適切に分離していない場合には、アナログ信号にノイズを与えることがあります。

最高のダイナミック特性はパッケージ裏面の露出パッドがグラウンドに適切に接続されている状態で得られます。その理由は、このダイからグラウンドへのパスの方が、パッケージのグラウンド・ピンよりもインピーダンスが低いからです。

2.9 シリアル・インタフェースの使用方法

ADC08B3000 は非拡張制御モード (非シリアル・インタフェース) か拡張制御モードのいずれかで動作します。下記の Table 9 と Table 10 に、非拡張制御モードと拡張制御モードにおける 3 ピン、4 ピン、14 ピン、127 ピンのそれぞれの機能をまとめてあります。

2.9.1 非拡張制御モード動作

非拡張制御モードは、シリアル・インタフェースを有効にせず、制御可能なすべての機能はピン設定で制御するモードです。すなわち、出力電圧振幅、フルスケール・レンジ、および出力エッジ選択は、すべてピン設定によって制御します。非拡張制御モードを使用するには 14 ピンをフローティングではなく High または Low に設定します。Table 9 に非拡張制御モードにおける ADC08B3000 のピン機能を示します。

TABLE 9. 非拡張制御モードの動作
(14 ピンを High または Low)

ピン番号	Low	High	フローティング
4	OutEdge = 立ち下がり	OutEdge = 立ち上がり	DDR
14	600mV _{p-p} 入力レンジ	810mV _{p-p} 入力レンジ	拡張制御モード
127	CalDly Low	CalDly High	シリアル・インタフェース・イネーブル

非拡張制御モードでは 4 ピンは、High または Low、あるいはフローティングのいずれにも設定可能です。このモードでは、4 ピンの High と Low は出力データ遷移のエッジを決定します。詳細は「1.2 通常制御と拡張制御」を参照してください。このピンをフローティングで使用すると出力クロック (DRDY) は DDR (ダブル・データレート) クロックになり (「1.1.5.2 ダブル・データレート」参照)、この場合データは DRDY の両エッジで出力されるため出力エッジの同期選択は意味がありません。

非拡張制御モードで 127 ピンを High または Low にすると較正遅延が設定されます。14 ピンをフローティングにすると較正遅延は短時間となり、127 ピンはシリアル・インタフェース入力のイネーブルとして動作します。

2.0 アプリケーション情報 (つづき)

TABLE 10. 拡張制御モード動作
(14ピンをフローティング)

ピン番号	機能
3	SCLK (シリアル・クロック)
4	SDATA (シリアル・データ)
127	SCS (シリアル・インタフェース選択)

2.10 アプリケーション共通の注意事項

拡張制御モードを使用するときは必ずすべてのレジスタ・ロケーションに書き込むこと

シリアル・インタフェースを使用する場合、較正や次回の A/D コンバータの利用の前に、6 個のアドレス・ロケーションすべてにデフォルト値または目標値を少なくとも 1 回は書き込む必要があります。

電源範囲を超えてアナログまたはデジタル入力を駆動しないこと
デバイスの信頼性の観点から、いずれの入力にもグラウンドから 150mV を超えて低い電圧、あるいは電源電位から 150mV を超えて高い電圧を与えてはなりません。これらのリミットをたとえ過渡的にであっても超過すると、性能低下あるいは誤動作を引き起こすだけでなく、デバイスの信頼性を損ねることがあります。高速デジタル回路では、グラウンド電位を下回るアンダーシュートが印加されることは珍しくありません。高速信号ラインのインピーダンスを管理するとともに、それらラインを特性インピーダンスで終端して、オーバーシュートを制御してください。

ADC08B3000 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは変換精度の悪化を招き、さらにデバイスの破損につながります。

DC 結合モード時に不適切なアナログ入力コモンモード電圧を与えないこと

「1.1.4 アナログ入力」と「2.2 アナログ入力」で説明したとおり、入力コモンモード電圧は、 V_{CMO} 出力電圧の 50mV 以内に維持し、かつ温度変動に追従させなければなりません。入力コモンモード電圧が V_{CMO} から 50mV 以上乖離すると歪み性能が低下します。

不適切なアンプを使ってアナログ入力を駆動しないこと

多くの高速アンプは ADC08B3000 よりも大きい歪みを持ち、システムの全体性能を劣化させるため、ADC08B3000 を駆動する高周波アンプの選定には注意が必要です。

V_{BG} ピンを駆動してリファレンス電圧を変更しないこと

「2.1 リファレンス電圧」で説明したとおり、リファレンス電圧は、通常制御モードでは 2 種類のフルスケール値のいずれかに固定されており、拡張制御モードでも一定の範囲の値しか取れません。 V_{BG} ピンを駆動してもリファレンス電圧は変更できません。決して駆動しないでください。

クロック入力を過度に高い信号レベルで駆動しないこと

「2.3 サンプリング・クロック入力」で説明したとおり、入力オフセットが変化し SFDR や SNR が劣化する恐れがあるため、A/D コンバータの入力クロックに「動作定格」の表に記載された値を超える電圧を与えてはなりません。

不適切な入力クロック・レベルを印加しないこと

「2.3 サンプリング・クロック入力」で説明したように、不十分な入力クロック・レベルは性能劣化につながります。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

いずれの場合も、サンプリング間隔が変動し、過度の出力ノイズを発生し、かつ SNR 性能の劣化を招きます。

LVPECL によって LVCMOS 入力を駆動しないこと

コモンモード電圧の LVPECL は大きすぎるため、ADC08B3000 は適切に入力レベルを判断できなくなり、所望の機能や特性のマージン減少、断続的な不良が発生したり、まったく動作しなくなります。

較正実行中に内部レジスタにアクセスしないこと

「1.1.1 較正」と「1.3 シリアル・インタフェース」に示したとおり、較正中はシリアル・ポートを介して内部レジスタにアクセスしないでください。アクセスすると、適切な再較正を行うまでデバイスの性能が劣化します。

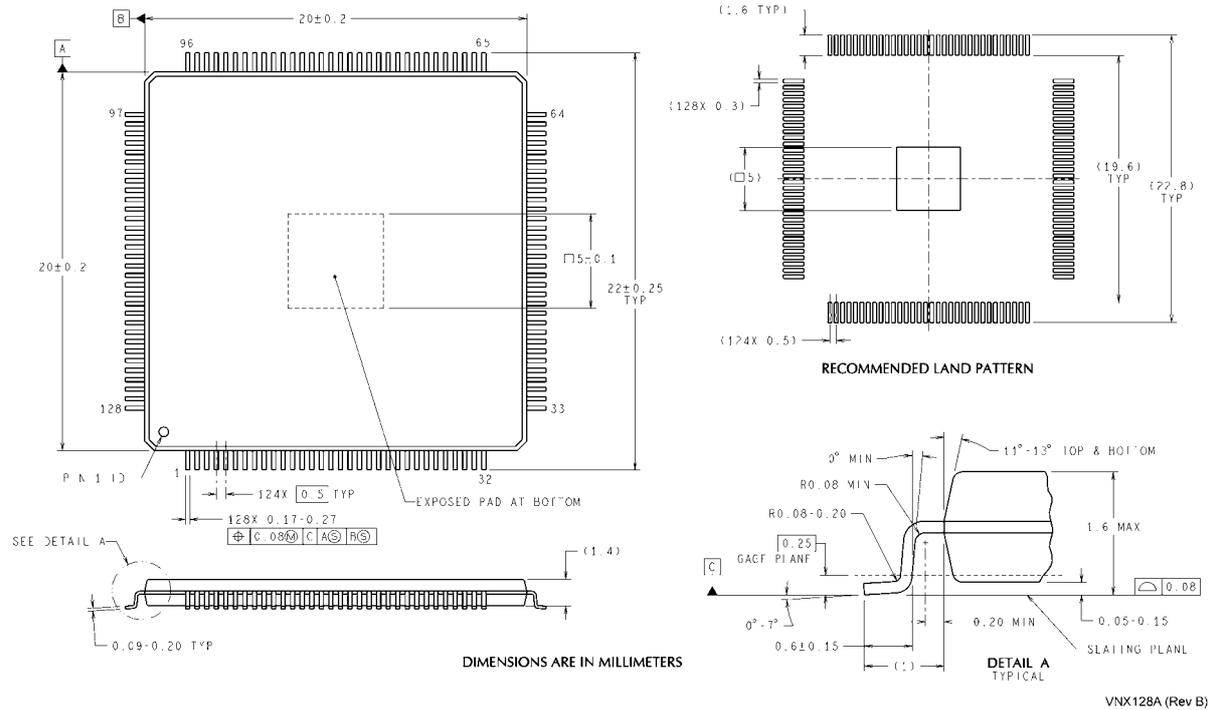
ADCCLK_RST のセットアップ時間とホールド時間を厳守すること

ADCCLK_RST パルスをネゲートするエッジは、指定されたセットアップ時間 (t_{SR}) とホールド時間 (t_{HR}) を守ってください。「1.5 複数の A/D コンバータの同期」を参照してください。このタイミングについてはタイミングばらつきに対して余裕を見ておくことも必要です。

放熱を適切に行うこと

「2.6.2 サーマル・マネジメント」で述べたように、デバイスの信頼性を確保するためには十分な放熱が不可欠です。これは、適切なエアフローを与えるか、ボード上に簡単なヒートシンクを設けることで実現できます。適切な性能を得るために裏面のパッドはグラウンドに接続してください。

外形寸法図 単位は millimeters



NOTE: 特記のない限り、JEDEC 登録 MS-026、VARIATION BFB を参照

**128-Lead Exposed Pad LQFP
NS Package Number VNX128A**

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上