

ADC14C105

ADC14C105 14-Bit, 95/105 MSPS A/D Converter



Literature Number: JAJSAT7



2007 年 8 月

ADC14C105

14 ビット、95/105 MSPS A/D コンバータ

概要

ADC14C105 は、アナログ入力信号を最高 105MSPS のサンプリング・レートで、14 ビットのデジタル・ワードに変換できる、高性能 CMOS A/D コンバータです。デジタル誤差補正機能とサンプル / ホールド回路を備えた差動パイプライン型アーキテクチャを採用し、消費電力と外付け部品を最小限に抑えながら優れた性能を発揮します。独自のサンプル / ホールド・ステージによって、1GHz のフルパワー帯域幅を備えています。ADC14C105 は + 3.0V または + 3.3V 単一電源で動作し、低消費電力です。

デジタル出力インタフェースの電源を独立の + 2.5V 電源にすれば、低ノイズの低電力動作が可能です。パワーダウン機能によって消費電力は非常に低いレベルに抑えられますが、わずかなウェイクアップ時間で通常動作に復帰できます。差動入力 2V のフルスケール差動入力振幅に対応可能です。ADC14C105 には、安定した 1.2V 内部リファレンスが用意され、また 1.2V の外部リファレンスでも動作できます。出力データ・フォーマット (オフセット・バイナリか 2 の補数) とデューティ・サイクル・スタビライザはピンで選択します。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。

ADC14C105 は 32 ピンの LLP パッケージで提供され、産業用温度範囲 (- 40 °C ~ + 85 °C) で動作します。

特長

- 1GHz のフルパワー帯域幅
- リファレンスおよびサンプル / ホールド回路内蔵
- 低消費電力
- データ・レディ出力クロック
- クロック・デューティ・サイクル・スタビライザ
- + 3.0V または + 3.3V 単一電源で動作
- パワーダウン・モード
- 32 ピン LLP パッケージ (5 × 5 × 0.8mm、0.5mm ピンピッチ)

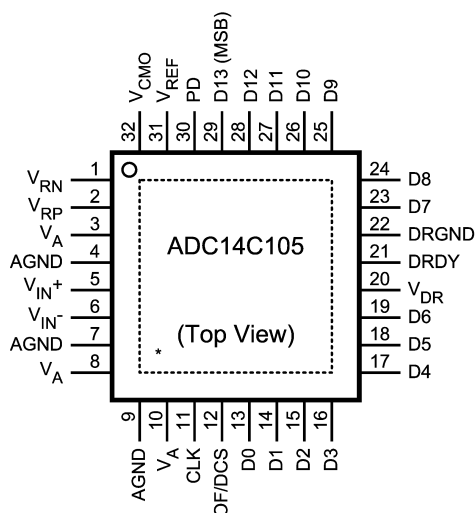
主な仕様

■ 分解能	14 ビット
■ 変換レート	105MSPS
■ SN 比 ($f_{IN} = 240\text{MHz}$)	71dBFS (typ)
■ SFDR ($f_{IN} = 240\text{MHz}$)	82dBFS (typ)
■ フルパワー帯域幅	1GHz (typ)
■ 消費電力	350mW (typ, $V_A = 3.0\text{V}$) 400mW (typ, $V_A = 3.3\text{V}$)

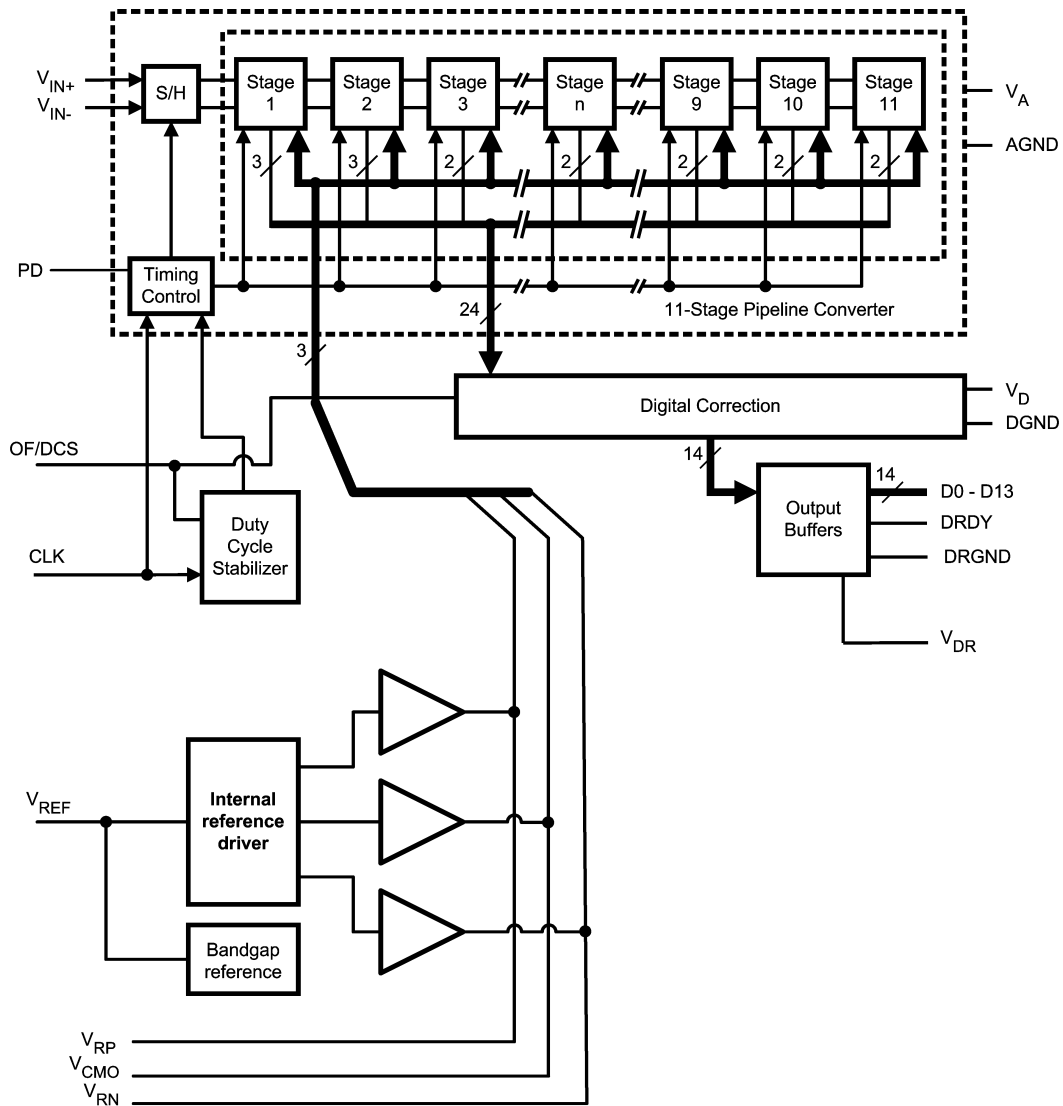
アプリケーション

- 高 IF サンプリング・レシーバ
- 無線基地局レシーバ
- 試験装置および測定機器
- 通信測定用
- 携帯機器

ブロック図



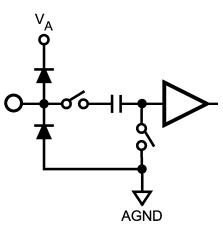
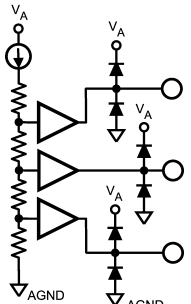
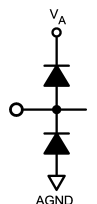
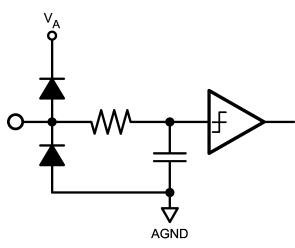
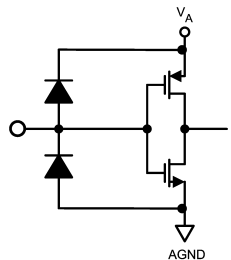
ブロック図



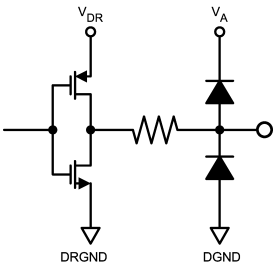
製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC14C105CISQ	32 Pin LLP
ADC14C105CISQE	32 Pin LLP, 250-Piece Tape and Reel
ADC14C105EB	Evaluation Board

ピン説明および等価回路

ピン番号	記号	等価回路	説明
アナログ I/O			
5	V_{IN+}		差動アナログ入力ピン。差動フルスケール入力信号レベルは、各入力ピンの信号がコモンモード電圧 V_{CM} を中心電圧として、$2V_{P-P}$ です。
6	V_{IN-}		
2	V_{RP}		これらのピンを、低 ESL (等価直列インダクタンス) の $0.1\mu F$ コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。 V_{RP} と V_{RN} の間のできるだけピンの近くに $0.1\mu F$ のコンデンサを配置し、$1\mu F$ のコンデンサを並列に接続します。 V_{RP} および V_{RN} には負荷を接続しないでください。 V_{CMO} は温度変化に対して安定した $1.5V$ リファレンスとして、$1mA$ までの負荷に対応できます。 差動アナログ入力、V_{IN+} と V_{IN-} に対するコモンモード電圧 (V_{CM}) の供給のために V_{CMO} の使用を推奨します。
32	V_{CMO}		
1	V_{RN}		
31	V_{REF}		リファレンス電圧。本デバイスは内部で生成する $1.2V$ リファレンス電圧を備えています。内部リファレンスを使用する場合、V_{REF} は、低等価直列インダクタンス (ESL) の $0.1\mu F$ および $1\mu F$ コンデンサで AGND にデカップルする必要があります。 このピンは $1.2V$ 外部リファレンス電圧で駆動できます。 このピンは、電流をソースまたはシンクするために使用してはなりません。
12	OF/DCS		入力クロック・モードと出力データ・フォーマットをコントロールする 4 ステートピン。 OF/DCS = V_A の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されません。 OF/DCS = AGND の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにはデューティ・サイクル安定化機能が適用されません。 OF/DCS = $(2/3)*V_A$ の場合、出力データのフォーマットは 2 の補数となり、入力クロックにはデューティ・サイクル安定化機能が適用されます。 OF/DCS = $(1/3)*V_A$ の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにはデューティ・サイクル安定化機能が適用されます。
デジタル I/O			
11	CLK		クロック入力ピン。 アナログ入力は、クロック入力の立ち上がりエッジでサンプリングされます。
30	PD		パワーダウンをコントロールする 2 ステート入力。 PD = V_A でパワーダウン・モードになり、消費電力が低減されます。 PD = AGND では通常動作になります。

ピン説明および等価回路 (つづき)

ピン番号	記号	等価回路	説明
13-19, 23-29	D0 ~ D13		変換後の 14 ビット・デジタル・データ出力ピン。D0 (ピン 13) が出力ワードの LSB、D13 (ピン 29) が MSB です。出力レベルは CMOS レベルです。
21	DRDY		データ・レディ・ストロブ。データ出力の遷移はこの信号の立ち下がりがエッジに同期します。この信号は、CLK 入力と同じ周波数でスイッチします。

アナログ電源

3, 8, 10	VA		正のアナログ電源電圧ピン。これらのピンは、無負荷時の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μ F コンデンサで AGND にバイパスしてください。
4, 7, 9, 露出パッド	AGND		アナログ電源のグラウンド・ピン。パッケージ裏面の露出パッドは、定格性能を維持するために、グラウンド層にハンダ付けしてください。

デジタル電源

20	VDR		出力ドライバ用の正のデジタル電源ピン。このピンは、無負荷時の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μ F コンデンサで DRGND にバイパスしてください。
22	DRGND		デジタル出力ドライバ電源のグラウンド・ピン。システムのデジタル・グラウンドに接続してください。ただし、A/D コンバータの AGND ピンの近くには接続しないでください。

絶対最大定格 (Note 1、3)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V_A , V_{DR})	$-0.3V \sim 4.2V$
各入出力ピン電圧 ($4.2V$ を超えないこと)	$-0.3V \sim (V_A + 0.3V)$
電源ピン以外の全入力ピン電流 (Note 4)	$\pm 5mA$
パッケージ入力電流 (Note 4)	$\pm 50mA$
最大接合部温度 (T_J)	$+150^\circ C$
熱抵抗 (θ_{JA})	$30^\circ C/W$
ESD 耐圧	
人体モデル (Note 6)	$2,500V$
マシン・モデル (Note 6)	$250V$
保存温度範囲	$-65^\circ C \sim +150^\circ C$

ハンダ付けのプロセスは、National Semiconductor's Reflow
Temperature Profile 規格に準拠してください。
<http://www.national.com/JPN/packaging> を参照してください
(Note 7)。

動作定格 (Note 1、3)

定格温度範囲	$-40^\circ C \leq T_A \leq +85^\circ C$
電源電圧 (V_A)	$+2.7V \sim +3.6V$
出力ドライバ用の電源 (V_{DR})	$+2.4V \sim V_A$
クロック・デューティ・サイクル (DCS イネーブル)	30/70 %
(DCS ディスエーブル)	45/55 %
V_{CM}	$+1.4V \sim +1.6V$
$ AGND - DRGND $	$\leq 100mV$

コンバータの電氣的特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのもので、**太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。** その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			14	Bits (min)
INL	Integral Non Linearity		± 1.8	4 -4	LSB (max) LSB (min)
DNL	Differential Non Linearity		± 0.5	1.3 -0.9	LSB (max) LSB (min)
PGE	Positive Gain Error		-0.05	± 1.25	%FS (max)
NGE	Negative Gain Error		-0.54	± 1.25	%FS (max)
TC PGE	Positive Gain Error Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	-8		ppm/ $^\circ C$
TC NGE	Negative Gain Error Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	-7		ppm/ $^\circ C$
V_{OFF}	Offset Error ($V_{IN+} = V_{IN-}$)		0.065	± 0.55	%FS (max)
TC V_{OFF}	Offset Error Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	7.5		ppm/ $^\circ C$
	Under Range Output Code		0	0	
	Over Range Output Code		16383	16383	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CMO}	Common Mode Output Voltage		1.5	1.4 1.56	V (min) V (max)
V_{CM}	Analog Input Common Mode Voltage		1.5	1.4 1.6	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance (each pin to GND) (Note 11)	$V_{IN} = 1.5 Vdc$	(CLK LOW)	8.5	pF
		$\pm 0.5 V$	(CLK HIGH)	3.5	pF
V_{REF}	Internal Reference Voltage		1.18		V
TC V_{REF}	Internal Reference Voltage Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	18		ppm/ $^\circ C$
V_{RP}	Internal Reference top	(Note 13)	1.98	1.89	V (min)
				2.06	V (max)

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのもので、太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
V_{RN}	Internal Reference bottom	(Note 13)	0.98	0.89 1.06	V (min) V (max)
Ext V_{REF}	External Reference Voltage	(Note 13)	1.20	1.176 1.224	V (min) V (max)

コンバータの電気的ダイナミック特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのもので、太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits) (Note 2)
--------	-----------	------------	----------------------	--------	-------------------------------

DYNAMIC CONVERTER CHARACTERISTICS, $A_{IN} = -1dBFS$

FPBW	Full Power Bandwidth	-1 dBFS Input, -3 dB Corner	1.0		GHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10\text{ MHz}$	74		dBFS
		$f_{IN} = 70\text{ MHz}$	73.5		dBFS
		$f_{IN} = 240\text{ MHz}$	71	69.4	dBFS
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10\text{ MHz}$	90		dBFS
		$f_{IN} = 70\text{ MHz}$	86		dBFS
		$f_{IN} = 240\text{ MHz}$	82	78	dBFS
ENOB	Effective Number of Bits	$f_{IN} = 10\text{ MHz}$	11.9		Bits
		$f_{IN} = 70\text{ MHz}$	11.8		Bits
		$f_{IN} = 240\text{ MHz}$	11.4	11.1	Bits
THD	Total Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-86		dBFS
		$f_{IN} = 70\text{ MHz}$	-85		dBFS
		$f_{IN} = 240\text{ MHz}$	-79.3	-74	dBFS
H2	Second Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-95		dBFS
		$f_{IN} = 70\text{ MHz}$	-90		dBFS
		$f_{IN} = 240\text{ MHz}$	-86	-78	dBFS
H3	Third Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-90		dBFS
		$f_{IN} = 70\text{ MHz}$	-86		dBFS
		$f_{IN} = 240\text{ MHz}$	-82	-78	dBFS
SINAD	Signal-to-Noise and Distortion Ratio	$f_{IN} = 10\text{ MHz}$	73.5		dBFS
		$f_{IN} = 70\text{ MHz}$	73		dBFS
		$f_{IN} = 240\text{ MHz}$	70.4	68.8	dBFS
IMD	Intermodulation Distortion	$f_{IN} = 19.5\text{ MHz and }20.5\text{ MHz, each }-7\text{ dBFS}$	-82		dBFS

ロジックおよび電源の電気的特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのもので、太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
--------	-----------	------------	----------------------	--------	-------------------

DIGITAL INPUT CHARACTERISTICS (CLK, PD)

$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA

ロジックおよび電源の電气的特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのもので、**太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。** その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9) (つづき)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
C_{IN}	Digital Input Capacitance		5		pF
DIGITAL OUTPUT CHARACTERISTICS (D0–D13, DRDY)					
$V_{OUT(1)}$	Logical “1” Output Voltage	$I_{OUT} = -0.5\text{ mA}$, $V_{DR} = 2.4V$		2.0	V (min)
$V_{OUT(0)}$	Logical “0” Output Voltage	$I_{OUT} = 1.6\text{ mA}$, $V_{DR} = 2.4V$		0.4	V (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	–10		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	10		mA
C_{OUT}	Digital Output Capacitance		5		pF
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	Full Operation	121	141	mA (max)
I_{DR}	Digital Output Supply Current	Full Operation (Note 12)	16		mA
	Power Consumption	Excludes I_{DR} (Note 12)	400	466	mW (max)
	Power Down Power Consumption	Clock disabled	7.5		mW

タイミングと AC 特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ に対して、タイミング測定は信号振幅の 50%で行われます **太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。** その他のすべてのリミット値は $T_A = 25^\circ C$ に対して適用されます。(Note 8、9)

Symb	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
	Maximum Clock Frequency			105	MHz (max)
	Minimum Clock Frequency			20	MHz (min)
t_{CH}	Clock High Time		4		ns
t_{CL}	Clock Low Time		4		ns
t_{CONV}	Conversion Latency			7	Clock Cycles
t_{OD}	Output Delay of CLK to DATA	Relative to rising edge of CLK(Note 13)	5.76	3 7.3	ns (min) ns (max)
t_{SU}	Data Output Setup Time	Relative to DRDY	4.5	3.7	ns (min)
t_H	Data Output Hold Time	Relative to DRDY	4.5	3.8	ns (min)
t_{AD}	Aperture Delay		0.6		ns
t_{AJ}	Aperture Jitter		0.1		ps rms

95MSPS でのコンバータの電氣的ダイナミック特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 95\text{ MHz}$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ\text{C}$ のときのもので、太字表記のリミット値は $T_{MIN} \leq T_A \leq T_{MAX}$ に適用されます。その他のすべてのリミット値は $T_A = 25^\circ\text{C}$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits) (Note 2)
DYNAMIC CONVERTER CHARACTERISTICS, A _{IN} = -1dBFS					
SNR	Signal-to-Noise Ratio	f _{IN} = 10 MHz	74		dBFS
		f _{IN} = 70 MHz	73.5		dBFS
		f _{IN} = 240 MHz	71		dBFS
SFDR	Spurious Free Dynamic Range	f _{IN} = 10 MHz	90		dBFS
		f _{IN} = 70 MHz	86		dBFS
		f _{IN} = 240 MHz	82		dBFS
ENOB	Effective Number of Bits	f _{IN} = 10 MHz	11.9		Bits
		f _{IN} = 70 MHz	11.8		Bits
		f _{IN} = 240 MHz	11.4		Bits
THD	Total Harmonic Disortion	f _{IN} = 10 MHz	-86		dBFS
		f _{IN} = 70 MHz	-85		dBFS
		f _{IN} = 240 MHz	-80		dBFS
H2	Second Harmonic Distortion	f _{IN} = 10 MHz	-95		dBFS
		f _{IN} = 70 MHz	-90		dBFS
		f _{IN} = 240 MHz	-85		dBFS
H3	Third Harmonic Distortion	f _{IN} = 10 MHz	-90		dBFS
		f _{IN} = 70 MHz	-86		dBFS
		f _{IN} = 240 MHz	-83		dBFS
SINAD	Signal-to-Noise and Distortion Ratio	f _{IN} = 10 MHz	73.5		dBFS
		f _{IN} = 70 MHz	73		dBFS
		f _{IN} = 240 MHz	70.5		dBFS
POWER SUPPLY CHARACTERISTICS					
I _A	Analog Supply Current	Full Operation	115		mA (max)
I _{DR}	Digital Output Supply Current	Full Operation (Note 12)	14.5		mA
	Power Consumption	Excludes I _{DR} (Note 12)	380		mW (max)

Note 1: 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された規格値、試験条件については「電氣的特性」を参照ください。保証された規格値は記載の試験条件に対してのみ適用されます。記載の試験条件下でデバイスを動作させないと、いくつかの性能特性が低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

Note 2: dBFS で指定されたパラメータは、フルスケール入力信号で達成される値を示しています。

Note 3: 特記のない限り、すべての電圧は $GND = AGND = DRGND = 0V$ に対して測定された値です。

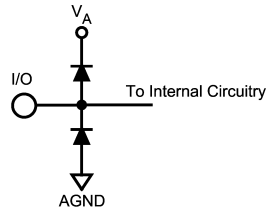
Note 4: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$)、そのピンの入力電流を $\pm 5\text{ mA}$ 以下に制限しなければなりません。 $\pm 50\text{ mA}$ の最大パッケージ入力定格電流によって、電源電圧を超えて $\pm 5\text{ mA} \sim \pm 10\text{ mA}$ の電流を流せるピン数が制限されます。

Note 5: 最大許容消費電力 ($T_{J,max}$) は、接合部周囲間熱抵抗 (θ_{JA}) および周囲温度 (T_A) によって決まり、 $P_{D,max} = (T_{J,max} - T_A)/\theta_{JA}$ で表されます。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

Note 6: 使用した試験回路は人体モデルに基づき、 100 pF のコンデンサから直列抵抗 $1.5\text{ k}\Omega$ を通して、各ピンに放電させます。マシン・モデルでは 220 pF のコンデンサから直列抵抗 0Ω を通して、各ピンに放電させます。

Note 7: リフロー時の温度特性は、そのパッケージが鉛フリーかどうかによって異なります。

Note 8: 以下に示すように、各入出力ピンは 1 個のダイオードで保護されています。(Note 4) に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、動作定格で記載されたように入力が 2.6 V 以上または GND より低い場合、A/D 変換のエラーが発生します。



Note 9: $2V_{P-P}$ のフルスケールの差動入力では 14 ビットの LSB は $122.1\mu V$ です。

Note 10: 代表値 (Typical) は、製品特性評価時に $T_A = +25^\circ C$ で得られる最も標準的な数値です。この代表的な仕様は保証されているわけではありません。

Note 11: 入力容量は、パッケージ / ピン・キャパシタンスとサンプル / ホールド回路キャパシタンスの合計です。

Note 12: I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主な要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_{13} \times f_{13})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。

Note 13: このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち下がってから入力信号が取り込まれるか保持されるまでの時間のことです。

アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER) は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) は、繰り返しデジタル波形の周期に対する High の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、A/D コンバータのクロック入力信号に対して適用されます。

コモンモード電圧 (COMMON MODE VOLTAGE: V_{CM}) とは A/D コンバータの両方の入力ピンに印加されるコモン DC 電圧です。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換結果が出力ドライバで得られるまでの期間をクロック・サイクル数で表したものです。任意のサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイに出力ディレイが加算された時間の後に出力ピンで有効になります。新しいデータはクロック・サイクルごとに出力ピンで有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

微分非直線性 (DIFFERENTIAL NON-LINEARITY : DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ理想的な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力の基本周波数が低周波数帯域における値に対して 3dB 落ちる部分までの周波数として測定される帯域幅です。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

正側ゲイン誤差と負側ゲイン誤差によって次のように表すこともできます。

正側ゲイン誤差 = 正側フルスケール誤差 - オフセット誤差

負側ゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ベストフィットさせた直線と各個別コードとの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央を基準として測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。この値は $V_{FS}/2^n$ として表されます。" V_{FS} " はフルスケール入力電圧、" n " は ADC の分解能 (ビット) です。

ミッシング・コード (MISSING CODES) は、A/D コンバータから出力されない出力コードです。ADC14C105 は、ミッシング・コードのないことが保証されています。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、最初のコード遷移点の実測値と (負側フルスケール + 0.5LSB) の理想値とのずれです。

オフセット誤差 (OFFSET ERROR) とは、コード 8191 から 8192 への遷移を発生させるために必要な、2 つの入力電圧の差 $[(V_{IN+}) - (V_{IN-})]$ です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち下がりがエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) については「変換レイテンシ」(CONVERSION LATENCY)を参照してください。

正側フルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれのことです。

電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。PSRR は、最大 DC 電源限界値の電源での A/D コンバータのフルスケールの出力に対する、最小 DC 電源限界値の電源での A/D コンバータのフルスケールの出力の比であり、dB で表わされます。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: $S/N + D$ または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE : SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、最初から第 6 番目までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_7^2}{f_1^2}}$$

f_1 は基本周波数 (出力) パワーの実効値 (RMS 値)、 f_2 から f_7 は出力スペクトラムに現れる高調波のうち最初から第 6 番目までの高調波のパワーです。

二次高調波歪み (SECOND HARMONIC DISTORTION (2ND HARM)) とは、出力に現れる入力基本周波数の RMS パワーと二次高調波のパワー電力との差を dB で表した値です。

三次高調波歪み (THIRD HARMONIC DISTORTION (3RD HARM)) とは、出力に現れる入力基本周波数の RMS パワーと三次高調波のパワー電力との差を dB で表した値です。

タイミング図

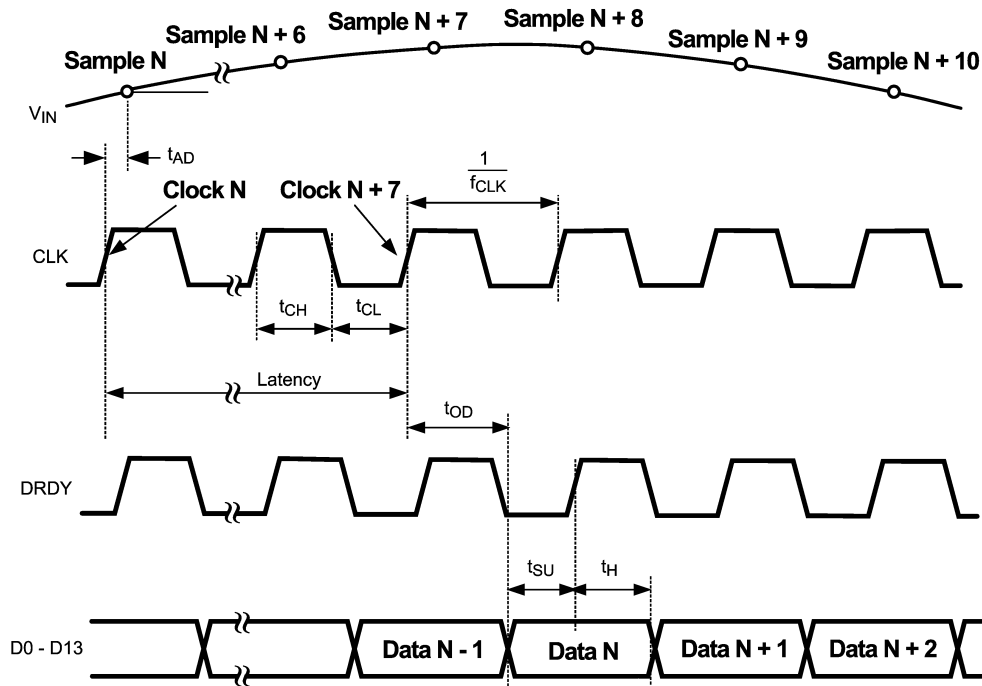


FIGURE 1. Output Timing

変換特性

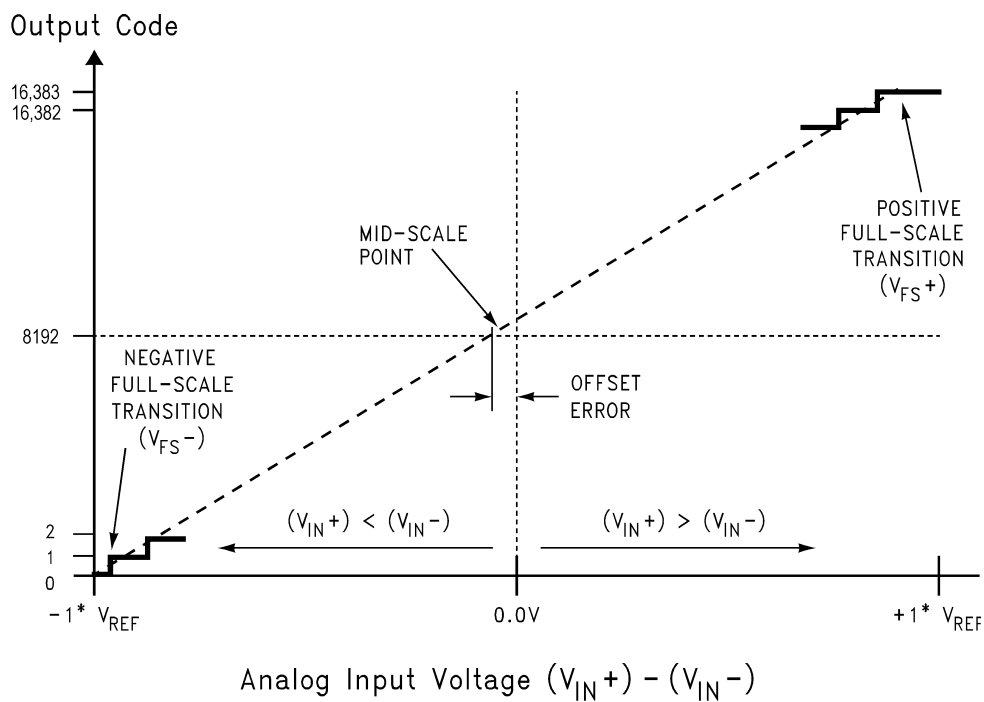
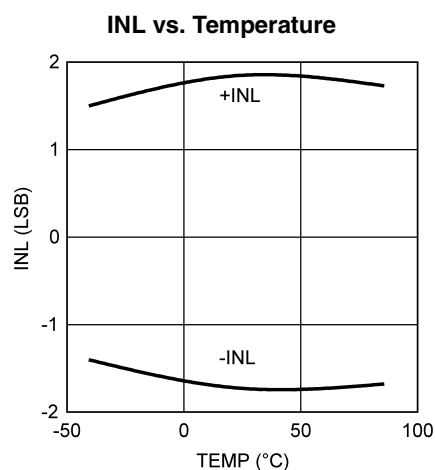
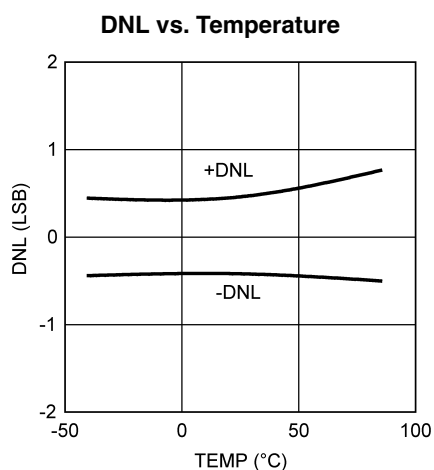
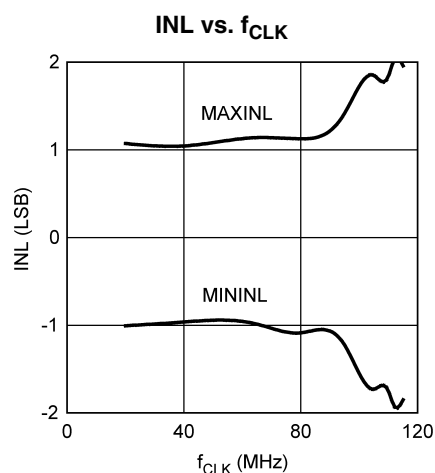
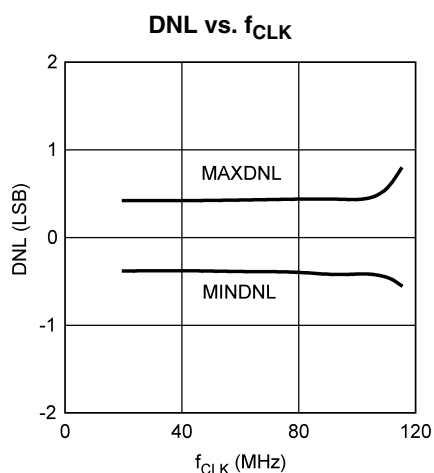
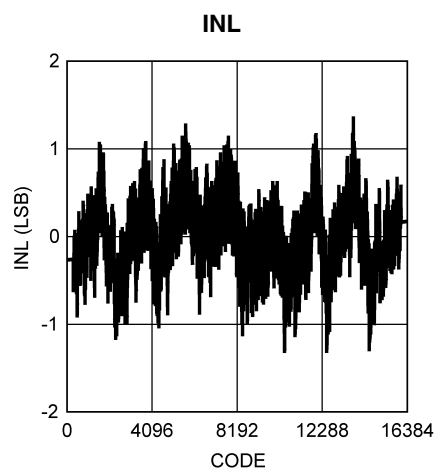
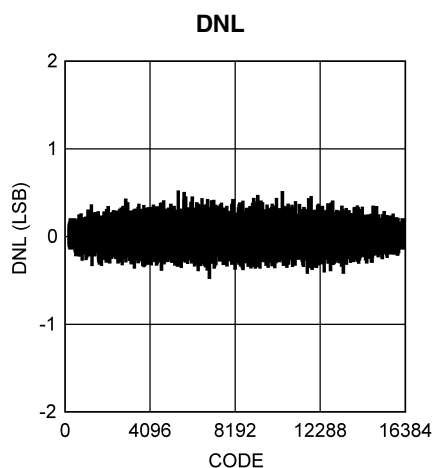


FIGURE 2. Transfer Characteristic

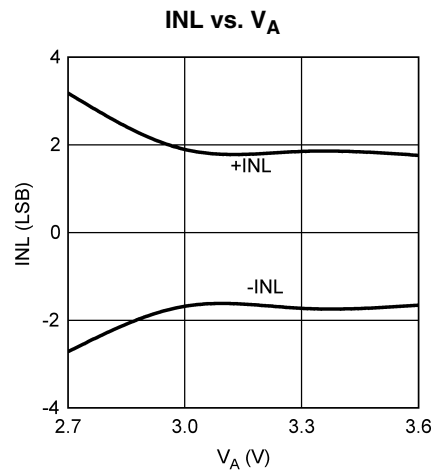
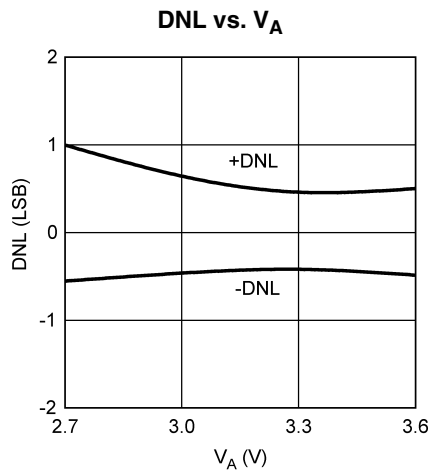
代表的な性能特性 (DNL、INL)

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものであります。



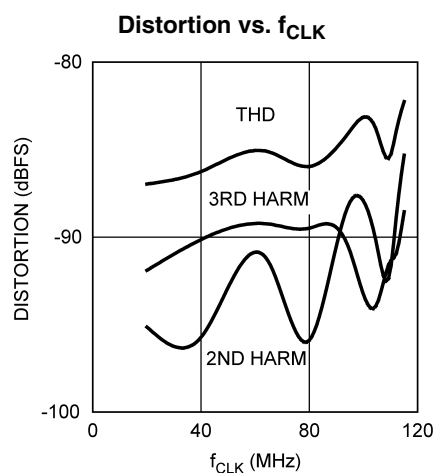
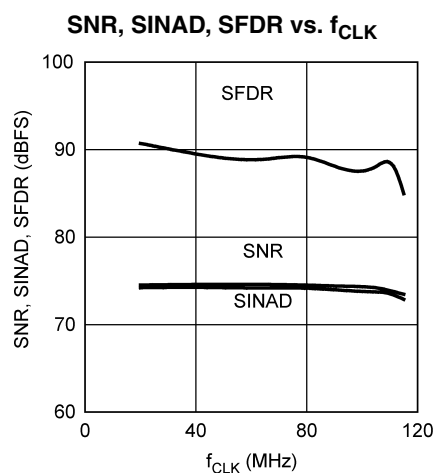
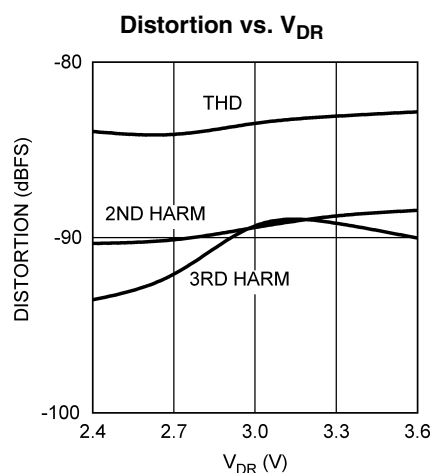
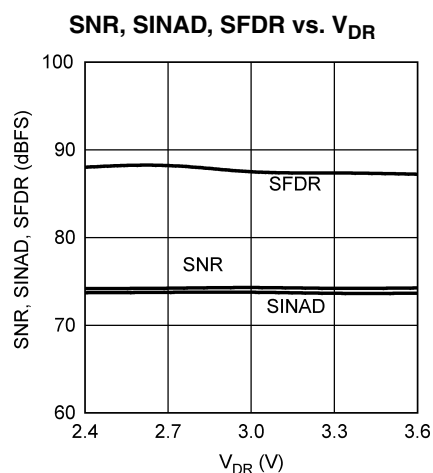
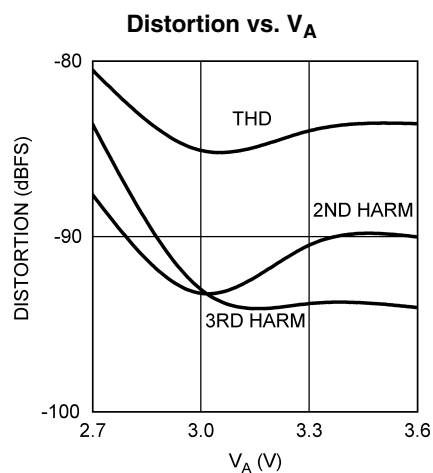
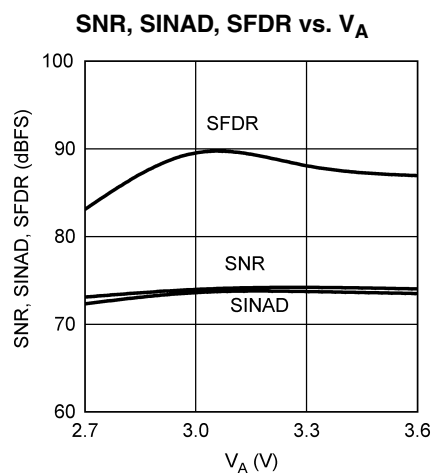
代表的な性能特性 (DNL、INL)

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものです。(つづき)



代表的な性能特性

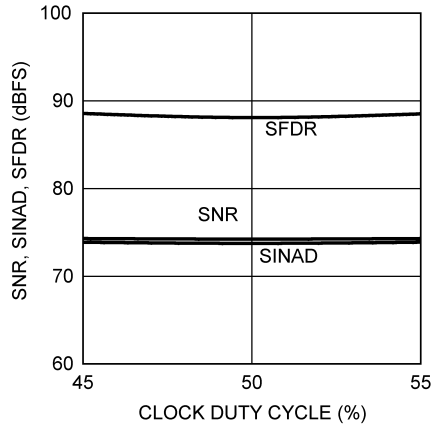
特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものです。



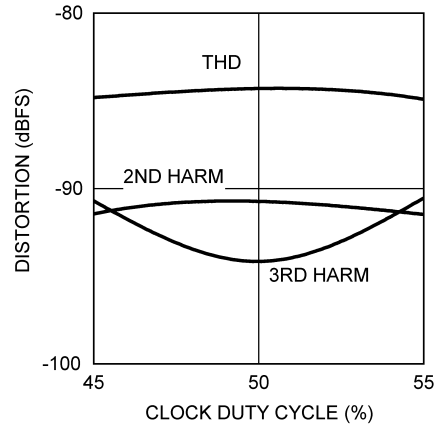
代表的な性能特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものです。(つづき)

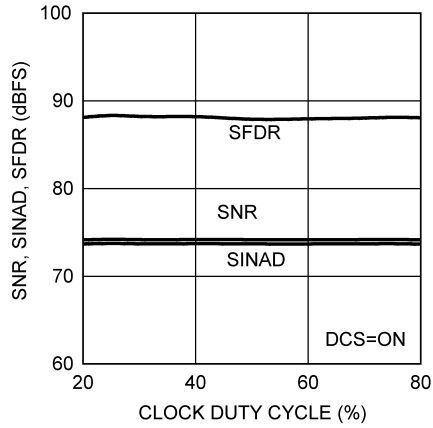
SNR, SINAD, SFDR vs. Clock Duty Cycle



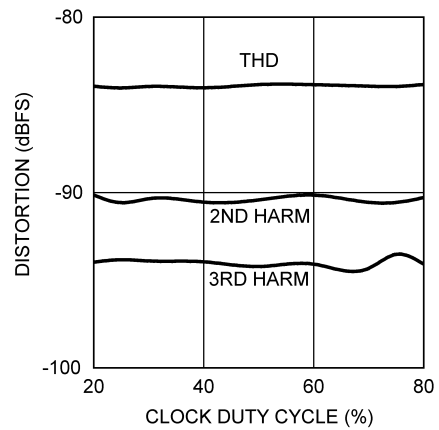
Distortion vs. Clock Duty Cycle



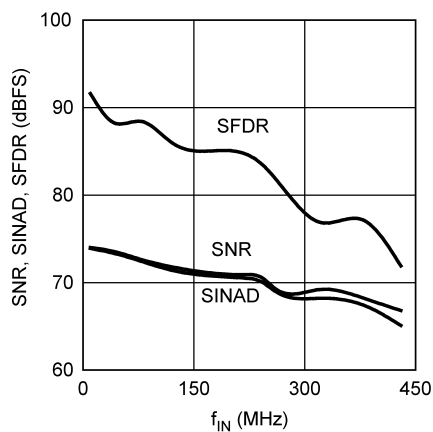
SNR, SINAD, SFDR vs. Clock Duty Cycle, DCS Enabled



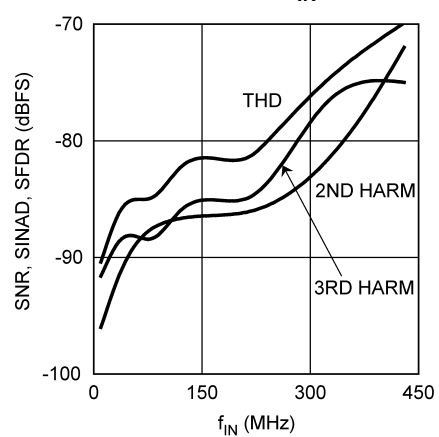
Distortion vs. Clock Duty Cycle, DCS Enabled



SNR, SINAD, SFDR vs. f_{IN}



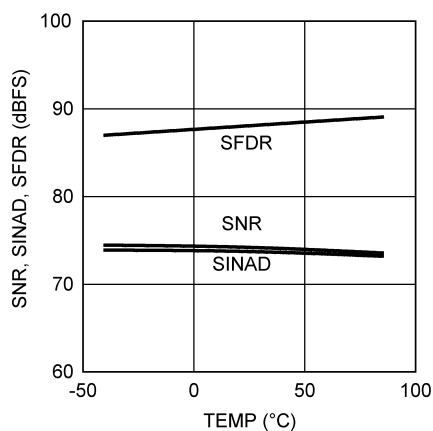
Distortion vs. f_{IN}



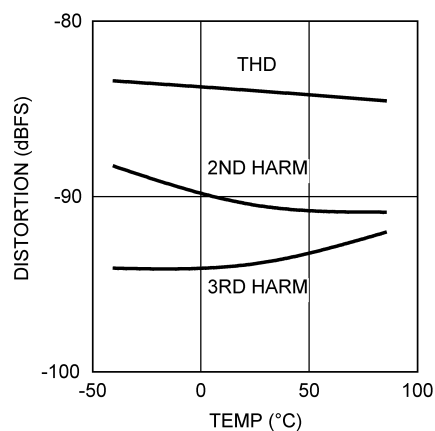
代表的な性能特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものです。(つづき)

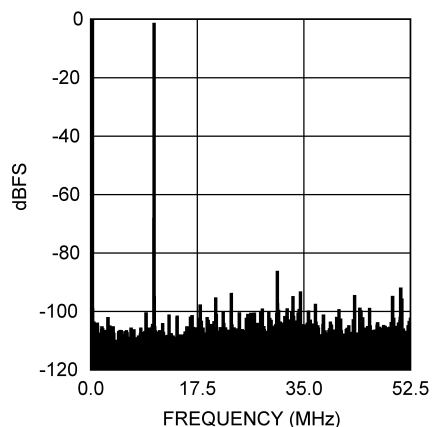
SNR, SINAD, SFDR vs. Temperature



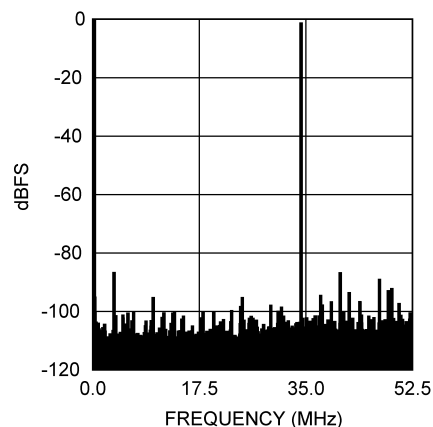
Distortion vs. Temperature



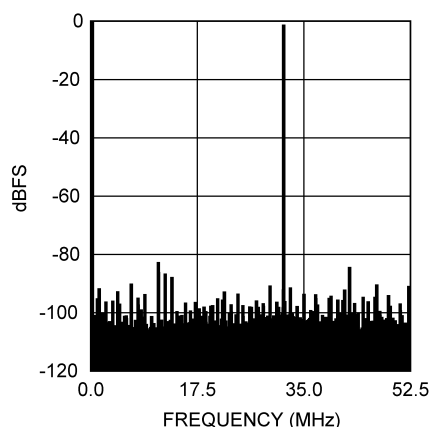
Spectral Response @ 10 MHz Input



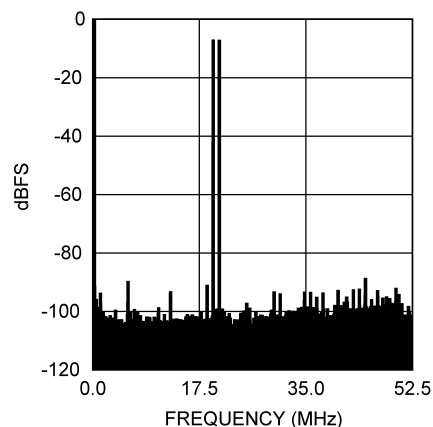
Spectral Response @ 70 MHz Input



Spectral Response @ 240 MHz Input

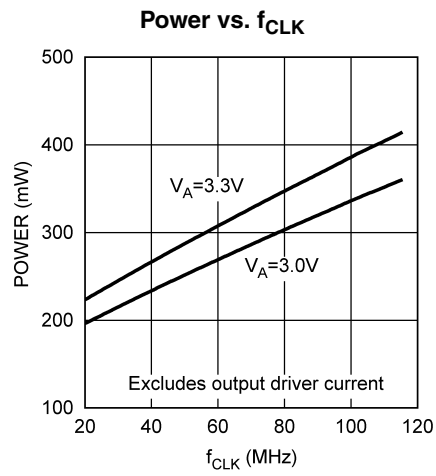


Intermodulation Distortion, $f_{IN1} = 19.5 MHz$, $f_{IN2} = 20.5 MHz$



代表的な性能特性

特記のない限り、以下の仕様は $AGND = DRGND = 0V$ 、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、50% デューティ・サイクル、DCS ディスエーブル、 $V_{CM} = V_{CMO}$ 、 $f_{IN} = 10MHz$ 、 $C_L = 5pF$ /ピンに対して適用されます。標準値は $T_A = 25^\circ C$ のときのものです。(つづき)



機能説明

ADC14C105 は +3.3V 単電源で作動します。パイプライン型アーキテクチャを採用し、かつ誤差訂正回路を内蔵しているため、性能が最大限まで発揮されます。差動アナログ入力信号を 14 ビットのデジタル信号に変換する機能を持っています。リファレンス電圧には 1.2V の安定した内部リファレンスか 1.2V の外部リファレンスを使います。外部リファレンスはチップ内でバッファされるため、リファレンス・ピンの駆動は容易です。

出力データレートは、クロック周波数と同じです。アナログ入力信号はクロック・パルスの立ち上がりエッジで取り込まれますが、それに対応するデジタル・データは、パイプライン・デレイがあるため、7 クロック・サイクルだけ遅れて出力されます。デジタル出力は、CMOS 対応信号であり、クロック入力と同じレートで、同期データ・レディ出力信号 (DRDY、21 ピン) によって、クロック出力されます。デューティ・サイクル安定化および出力データのフォーマットは、クワッド・ステートの機能ピン OF/DCS (ピン 12) によって選択可能です。出力データは、オフセット・バイナリまたは 2 の補数のいずれかに設定できます。

パワーダウンは、PD ピン (ピン 30) を使用して選択可能です。PD ピンをロジック High にすると、コンバータ消費電力が低減します。通常動作では、PD ピンは、アナログ・グラウンド (AGND) に接続する必要があります。

アプリケーション情報

1.0 動作条件

ADC14C105 の動作条件としては次の各値を推奨します。

$$2.7V \leq V_A \leq 3.6V$$

$$2.4V \leq V_{DR} \leq V_A$$

$$20MHz \leq f_{CLK} \leq 105MHz$$

1.2V 内部リファレンス

$V_{REF} = 1.2V$ (外部リファレンス)

$V_{CM} = 1.5V$ (V_{CMO} より)

2.0 アナログ入力

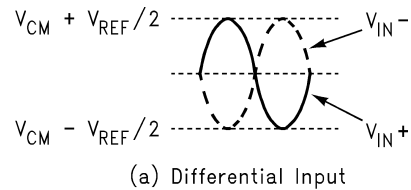
2.1 信号入力

2.1.1 差動アナログ入力ピン

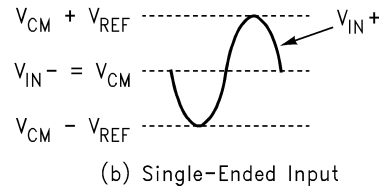
ADC14C105 には、1 対のアナログ信号入力ピン、 V_{IN+} および V_{IN-} があり、差動入力ペアを構成します。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 3 は、入力信号として予想される範囲を示したものです。コモン・モード入力電圧 (V_{CM}) は 1.5V でなければならないことに注意してください。 V_{CM} に対して V_{CMO} (ピン 32) を使用すると、アナログ入力信号として最適な入力コモンモード・レベルになります。個々の入力信号のピークは、決して 2.6V を超えてはなりません。差動ペアの各アナログ入力ピンは、最大ピーク・ツー・ピーク電圧が 1V であり、互いに 180 位相がずれた状態で、 V_{CM} を中心とする必要があります。各アナログ入力ピンにおけるピーク・ツー・ピーク電圧振幅は 1V を超えないようにしてください。1V を超えると出力データはクリッピングされます。



(a) Differential Input



(b) Single-Ended Input

FIGURE 3. Expected Input Signal Range

単一周波数の正弦波に対する LSB で表したフルスケール誤差は次式で近似できます。

$$E_{FS} = 16384 (1 - \sin(90^\circ \pm \text{dev}))$$

"dev" は、互いに 180 の相対位相を持つ 2 つの信号間の角度誤差です (Figure 4 を参照)。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形では、角度誤差は歪みの原因となります。

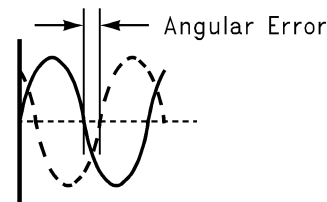


FIGURE 4. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

アナログ入力ピンを駆動する信号源のソース・インピーダンスは 100Ω 未満にしてください。差動入力構成でソース・インピーダンス・マッチングを行うと、偶数次高調波特性が改善されます (特に第二高調波)。

Table 1 は、ADC14C105 の入力と出力との関係を示したものです。

アプリケーション情報 (つづき)

TABLE 1. Input to Output Relationship

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output	
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	00 0000 0000 0000	10 0000 0000 0000	Negative Full-Scale
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	01 0000 0000 0000	11 0000 0000 0000	
V_{CM}	V_{CM}	10 0000 0000 0000	00 0000 0000 0000	Mid-Scale
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	11 0000 0000 0000	01 0000 0000 0000	
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	11 1111 1111 1111	01 1111 1111 1111	Positive Full-Scale

2.1.2 アナログ入力の駆動

ADC14C105 の V_{IN+} 、 V_{IN-} の入力は、アナログ・スイッチとそれに続くスイッチト・キャパシタ・アンプから構成されています。

Figure 5 と Figure 6 に、シングルエンド入力を差動入力に変換する回路の例を示します。Figure 5 の回路は、約 70MHz までの入力周波数で正常に動作しますが、Figure 6 の回路は 70MHz を超える入力周波数でも正常に動作します。

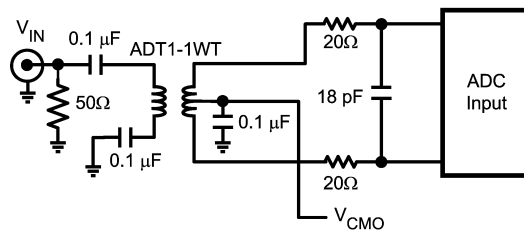


FIGURE 5. Low Input Frequency Transformer Drive Circuit

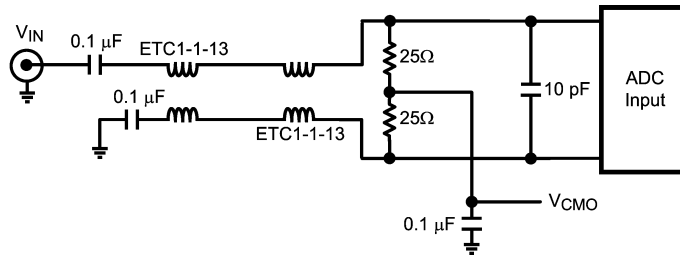


FIGURE 6. High Input Frequency Transformer Drive Circuit

トランスを使用してシングルエンドから差動に変換を行う際の弱点は、ほとんどの RF トランスの低周波側の性能が低いことです。差動アンプは、低周波アプリケーションのアナログ入力の駆動に使用できます。この差動アンプには、クロックが High になりサンプリング信号が A/D コンバータのコア回路に接続されるまでの期間で、サンプル/ホールド動作回路で生じるアナログ入力の充電グリッチが安定するための十分な速度が必要です。

コンバータの SFDR 性能は使用する外部信号コンディショニング回路に依存し、サンプル/ホールド充電グリッチがいかに速くセトリグされるかに影響を受けます。Figure 7 に示す外部抵抗網とコンデンサ網を使用して、A/D コンバータの入力における充電グリッチを外部駆動回路から分離し、コンバータ入力側の広帯域ノイズにフィルタをかける必要があります。取り付ける位置は A/D コンバータのすぐ近くにしてください。A/D コンバータの入力ピンが全体の中でも最も高感度な部分であり、入力信号にフィルタをかけるには最後のポイントであるためです。ナイキスト・アプリケーションの場合は A/D コンバータのサンプリング・レートに RC ポールを設定し

てください。RC ポールを設定する際はサンプリング・モード時の A/D コンバータの入力容量を考慮する必要があります。広帯域アンダーサンプリング・アプリケーションの場合、リニアな遅延応答を維持するために、最大入力周波数の少なくとも 1.5 倍から 2 倍の周波数に RC ポールを設定してください。

2.1.3 入力コモンモード電圧

入力コモンモード電圧 V_{CM} は 1.4V ~ 1.6V の範囲とし、アナログ信号のピーク電圧がグラウンドを下回らないように、かつ、2.6V を上回らないように設定しなければなりません。入力コモンモード電圧として V_{CMO} (ピン 32) の使用を推奨します。

ADC14C105 を $V_A = 3.6V$ で動作させる場合、 V_{CMO} ピンと AGND の間で約 1KΩ の抵抗を使用してください。それによって、高電源電圧の使用時に温度範囲全体で安定を保つことができます。

アプリケーション情報 (つづき)

2.2 リファレンス電圧ピン

ADC14C105 は、1.2V の内部または外部リファレンス電圧で動作するように設計されています。外部リファレンス入力 V_{REF} ピンに加えられないときは、1.2V の内部リファレンス電圧がデフォルト条件です。 V_{REF} ピンに電圧を印加した場合は、その電圧がリファレンスとして使用されます。 V_{REF} ピンは、リファレンス電圧入力ピンの近くに 0.1 μ F コンデンサを配置して常にグラウンドにバイパスしてください。

リファレンス電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド層に対して一点アースで接続するのが極めて重要になります。

バイパス用にリファレンス電圧バイパス・ピン (V_{RP} 、 V_{CMO} 、 V_{RN}) を備えています。これらのピンを、低 ESL (等価直列インダクタンス) の 1 μ F コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。0.1 μ F コンデンサを V_{RP} と V_{RN} の間のできるだけピンの近くに配置し、1 μ F コンデンサを並列に配置してください。この設定を Figure 7 に示します。この回路は、SFDR や SNR、またはその両方を悪化させる可能性のあるリファレンスの発振を防ぐために必要です。 V_{CMO} は温度変化に対して安定した 1.5V リファレンスとして、1mA までの外部負荷に対応できます。他のピンには負荷を接続しないでください。

この指定値よりも小容量のコンデンサを使用すると、パワーダウン・モードからの復帰時間が短くなりますが、ノイズ性能を低下させる原因になることがあります。 V_{CMO} を除くこれらのピンに負荷を接続すると性能劣化を引き起こす場合があります。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$\begin{aligned} V_{CMO} &= 1.5V \\ V_{RP} &= 2.0V \\ V_{RN} &= 1.0V \end{aligned}$$

2.3 OF/DCS ピン

デューティ・サイクル安定化および出力データのフォーマットは、このクワッド・ステートの機能ピンによって選択可能です。デューティ・サイクル安定化回路を有効にすると、デューティ・サイクル 30% ~ 70% のクロック入力が補償され、安定した内部クロックが生成されるため、デバイスの性能が向上します。OF/DCS = V_A の場合、出力データのフォーマットは 2 の補数となり、入力クロックにはデューティ・サイクル安定化機能が適用されません。OF/DCS = AGND の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにはデューティ・サイクル安定化機能が適用されません。OF/DCS = $(2/3) \cdot V_A$ の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されます。OF/DCS = $(1/3) \cdot V_A$ の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにデューティ・サイクル安定化機能が適用されます。このピンのロジック・レベルは動作中に変更することも可能ですが、切り換え後数クロック・サイクルにわたって正しくないデータが出力される可能性があるため、そのような使い方は推奨しません。

3.0 デジタル入力

デジタル CMOS 互換入力は、CLK と PD で構成されます。

3.1 クロック入力

CLK はサンプリングのタイミングを決めます。最適のノイズ特性を実現するために、クロック入力は電気的特性表で示される範囲で、安定した低ジッタ・クロック信号で駆動してください。また、クロック入力信号の遷移時間は短くする必要があります。これは、

低ジッタ・サイン波クロック信号源を高速バッファ・ゲートに通すことによって達成できます。この設定を Figure 7 に示します。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず直角も含め、他の一切の信号線と交差しないようにしてください。Figure 7 に推奨のクロック入力回路を示します。

また、クロック信号は内蔵ステートマシンも駆動します。CLK が途切れるか、その周波数が低すぎると内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプル・レートの下限が規定されているのはこのためです。

クロック・ラインはラインの特性インピーダンスによってソース端で終端しなければなりません。クロック線路は、ライン全長にわたってインピーダンスを一定に保つように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

A/D コンバータの CLK ピンを駆動するクロック源で他の負荷を駆動しないようにしてください。クロック源から他の入力負荷も駆動する場合は、クロック・ラインの特性インピーダンスに等しい抵抗と次に示す容量のコンデンサを用いた直列 RC 回路を用いて、グラウンドに AC 終端を行ってください。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

ここで t_{PD} はクロック配線の信号伝搬遅延時間、"L" は配線長、 Z_0 はクロック配線の特性インピーダンスです。終端回路は、ADC クロック・ピンのできるだけ近くに、しかもクロック源から見てクロック・ピンよりも遠い側になるように配置します。 t_{PD} の代表値は FR-4 基板材料でおよそ 150ps/ インチ (60ps/cm) です。"L" と t_{PD} の単位系は同一にして計算します (ヤード系またはメートル系)。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。正確なデューティ・サイクルの達成が困難なので、ADC14C105 ではデューティ・サイクル・スタビライザを備えています。クロックのデューティ・サイクル 30% ~ 70% の範囲で性能を維持するように設計されています。

3.2 パワーダウン (PD)

コンバータが使われない場合には、PD ピンを High レベルにする と ADC14C105 がパワーダウン・モードになります。これによって、未使用時の消費電力が抑えられます。このモードでの消費電力は、PD を High にしてクロックを停止したときは 5mW です。パワーダウン・モード中は出力データ・ピンは不定になりパイプライン内のデータは破壊されます。

"Power Down Mode Exit Cycle" 時間の長さは、ピン 1、ピン 2、ピン 32 の各製品の定数によって決まり、 V_{RP} 、 V_{CMO} 、 V_{RN} リファレンス・バイパス・ピンに推奨部品を使用した場合はおよそ 3ms です。これらのコンデンサはパワーダウン・モード中に放電されますが、正確な変換を再び行う前にオンチップ回路によって再充電されなければなりません。小容量のコンデンサを使用するとパワーダウン・モードからの復帰時間が短くなりますが、SNR、SINAD、ENOB 性能が低下します。

4.0 デジタル出力

デジタル出力は、CMOS 信号 D0 ~ D13、および DRDY で構成されます。

ADC14C105 には、変換された入力値と出力データのキャプチャに使用されるデータ・レディ (DRDY) 信号に対応する、CMOS 互換のデータ出力ピンが 15 本付いています。PD ピンに Low レベルの電圧を印加している間は、これらの出力ピンに有効なデータが出力されます。データは、DRDY 信号の立ち上りエッジでキャプチャされラッチします。

アプリケーション情報 (つづき)

容量の大きなバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と $DRGND$ に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。適切なバイパスの追加、出力容量の軽減、さらにはグラウンド層を注意深く設計すれば、このような問題が回避されます。その場合、動的性能が劣化する恐れがありません。

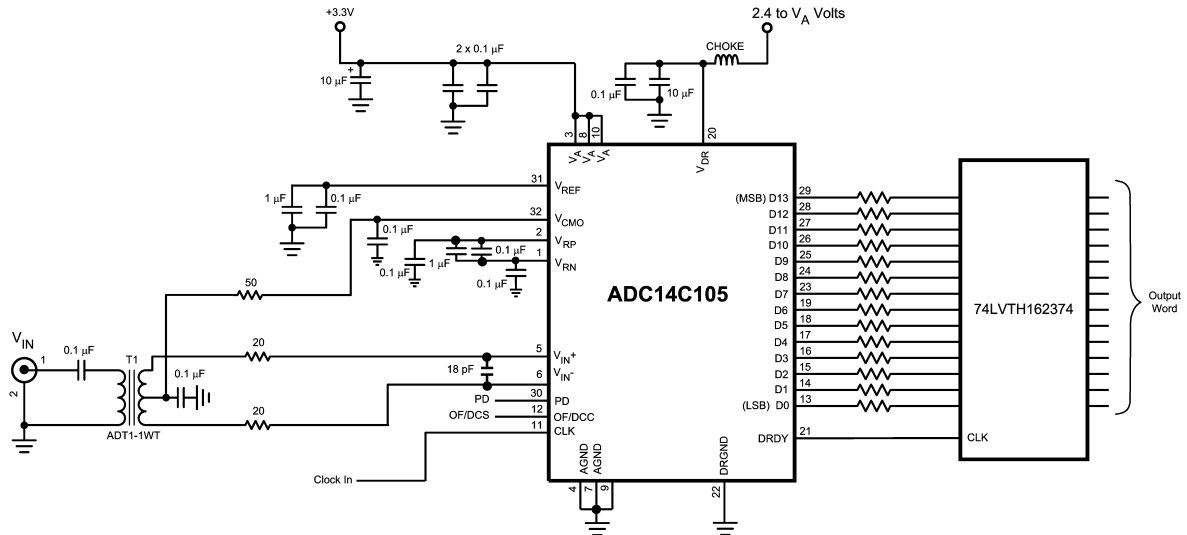


FIGURE 7. Application Circuit using Transformer Drive Circuit

5.0 電源構成の考慮事項

いずれの電源ピンも当該ピンの近くにバイパス・コンデンサとして $0.1\mu\text{F}$ コンデンサと 100pF セラミック・コンデンサを 1 つずつ挿入してください。直列インダクタンスが小さいリードレス・チップ・コンデンサを推奨します。

あらゆる高速コンバータと同じように、ADC14C105 も電源ノイズに敏感です。また、ADC14C105 のアナログ電源ピンに乗るノイズ・レベルは $100\text{mV}_{\text{p-p}}$ よりも低く抑えてください。

いずれのピンも、電源電圧より高い電圧を加えることはたとえ瞬時であっても許されません。電源オンと電源オフの期間は特に注意してください。

V_{DR} ピンは出力ドライバ用の電源ピンで、 $2.4\text{V} \sim V_A$ の範囲で動作します。これによって、低電力動作が可能になり、デジタル出力からアナログ回路へのノイズ・カップリングの影響が低下するとともに、低電圧デバイスとそのシステムのインタフェースを簡単にします。

6.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。仕様通りの性能を発揮するには、ADC14C105 を挟んで、ボードのアナログ領域とデジタル領域を分離する必要があります。

データ出力用のグラウンド・ピン ($DRGND$) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジェントが発生する場合があります。このようなことが起こらないように $DRGND$ ピンは、ADC14C105 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズの影響を受けやすいアナログ回路との間の容量性結合により、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 22Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

デジタル・スイッチング・トランジェント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、表皮効果によるためです。グラウンド・プレーンの面積よりも、全表面積の方が重要です。

一般に、アナログとデジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。一般的に受け入れられている 90° でアナログ / デジタル信号ラインを互いに交差させる方法でさえ、クロックラインについては高周波でのちょっとしたカップリングによる問題が起こる可能性があるので避けるべきです。これは、その他のラインがクロック・ラインにジッタを招き、結果的に SN 比の劣化につながります。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐの信号経路に配線することで実現できます。これは、すべての部品を通る信号経路をできる限りまっすぐな直線に配線することです。

インダクタとトランスのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、決して並べて配置しないでください。たとえばインダクタの一部であっても並べて配置してはなりません。例えば、アナログ入力用とクロック入力用のトランスは互いに 90° に配置して磁気結合を避けるようにしてください。

アプリケーション情報 (つづき)

アナログ入力、スプリアス信号の入力へのカップリングを避けるために、ノイズを生じる信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続されるいかなる外部回路（例えば、フィルタ用のコンデンサ）も、グラウンド・プレーンのノイズの少ない非常にクリーンな 1 点で接続してください。

すべてのアナログ回路（入力アンプ、フィルタ、リファレンス電圧回路など）はボード上のアナログ領域に配置してください。すべてのデジタル回路とデジタル入出力（I/O）は、デジタル領域に配置してください。ADC14C105 は両者の中間に配置してください。さらに、リファレンス電圧回路と入力信号に関連する回路に含まれているすべての部品は、そのグラウンド側どうしを短い配線でノイズのない一点に接続してからアナログ・グラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インピーダンスになるように配線してください。

7.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源は遷移時間が短くジッタのないものでなければなりません。Figure 8 に示されるようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。ジッタの影響を避けるには、クロック・ツリーに使用するゲートは使用される周波数よりも大幅に高い周波数で動作可能である必要があります。

セクション 6.0 で述べたように、A/D クロック・ラインをできる限り短くかつその他のいかなる信号からも十分に離して置くのは、良い手段です。他の信号によってクロック信号にジッタが生じ、SNR の性能劣化につながる可能性があります。またそのクロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっている場合でも容量性のカップリングが起こるので、クロック・ラインは 90° の交差もしないでください。

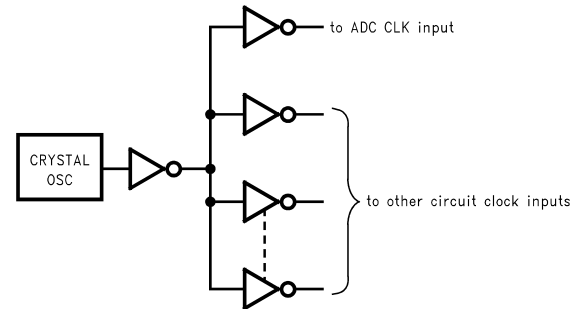
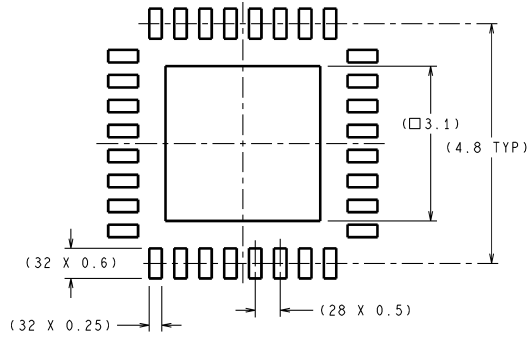
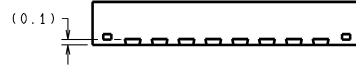


FIGURE 8. Isolating the ADC Clock from other Circuitry with a Clock Tree

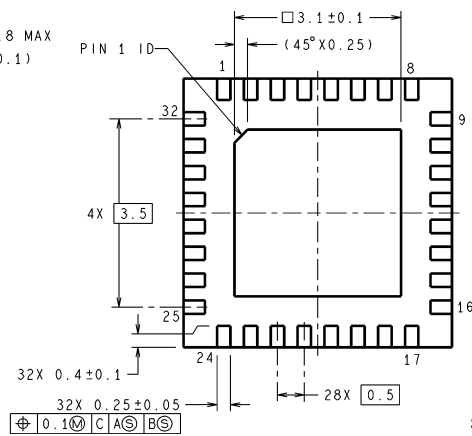
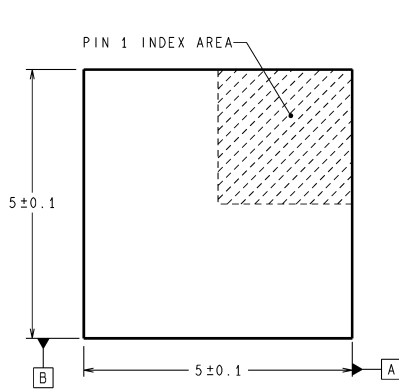
外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY



RECOMMENDED LAND PATTERN



SQA32A (Rev A)

32-Lead LLP Package
Ordering Number:
ADC14C105CISQ
NS Package Number SQA32A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社／〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上