

ADC14L040

ADC14L040 14-Bit, 40 MSPS, 235 mW A/D Converter



Literature Number: JAJSD4



2006 年 3 月

ADC14L040

14 ビット、40MSPS、235mW A/D コンバータ

概要

ADC14L040 は、アナログ入力信号を 40MSPS のサンプリング・レートで 14 ビットのデジタルワードに変換できる、低消費電力モノリシック CMOS A/D コンバータです。ADC14L040 は、差動信号方式とバイプライン・アーキテクチャを採用し、デジタル誤差補正とオンチップ・サンプル / ホールド回路を備え、消費電力の低減を図る一方で優れた動的性能とフルパワー帯域 150MHz を実現しています。+ 3.3V 単一電源で動作する ADC14L040 は、ナイキスト周波数で有効ビット数 11.9 を達成しており、消費電力は 40MSPS 時にわずか 235mW です。パワーダウン機能を使うと消費電力は 15mW まで下がります。

差動入力には、 V_{REF} の 2 倍の振幅を持った信号をフルスケール差動入力として与えられるほか、シングルエンド入力として使用することも可能です。優れた性能を得るには差動信号の使用を推奨します。デューティ・サイクル安定化機能および出力データのフォーマットをクワッド・ステートの機能ピンによって選択可能です。出力データは、オフセット・バイナリまたは 2 の補数のいずれかに設定できます。

低電圧システムとのインタフェースを容易にするために、ADC14L040 のデジタル出力ドライバの電源電圧ピンは、他の電源電圧に接続可能で、その範囲は 2.4V からそのアナログ電源電圧に対応しています。

このデバイスは、32 ピンの LQFP パッケージで供給可能で、動作温度範囲は、工業用機器に適用される - 40 ~ + 85 です。ADC14L040 の評価を支援する評価ボードを提供しています。

特長

- + 3.3V 単一電源動作
- サンプル / ホールド回路内蔵
- リファレンス電圧源内蔵
- 出力は 2.4V ~ 3.6V に対応
- デューティ・サイクル安定化回路
- パワーダウン・モード

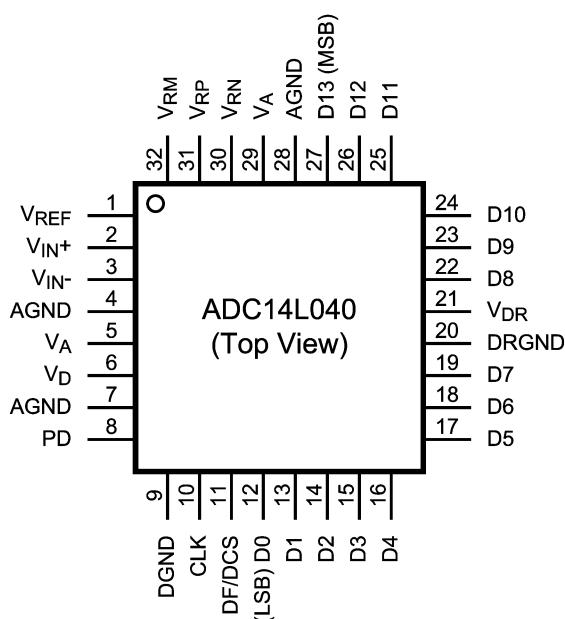
主な仕様

- | | |
|-------------------------------------|----------------|
| ■ 分解能 | 14 ビット |
| ■ DNL | ± 0.5LSB (代表値) |
| ■ S/N 比 ($f_{IN} = 10\text{MHz}$) | 74dB (代表値) |
| ■ SFDR($f_{IN} = 10\text{MHz}$) | 90dB (代表値) |
| ■ データ・レイテンシ | 7 クロック・サイクル |
| ■ 消費電力 | |
| ■ ー動作時 | 235mW (代表値) |
| ■ ーパワーダウン・モード | 15mW (代表値) |

アプリケーション

- 医療用画像処理
- 計測機器
- コミュニケーション
- デジタル・ビデオ

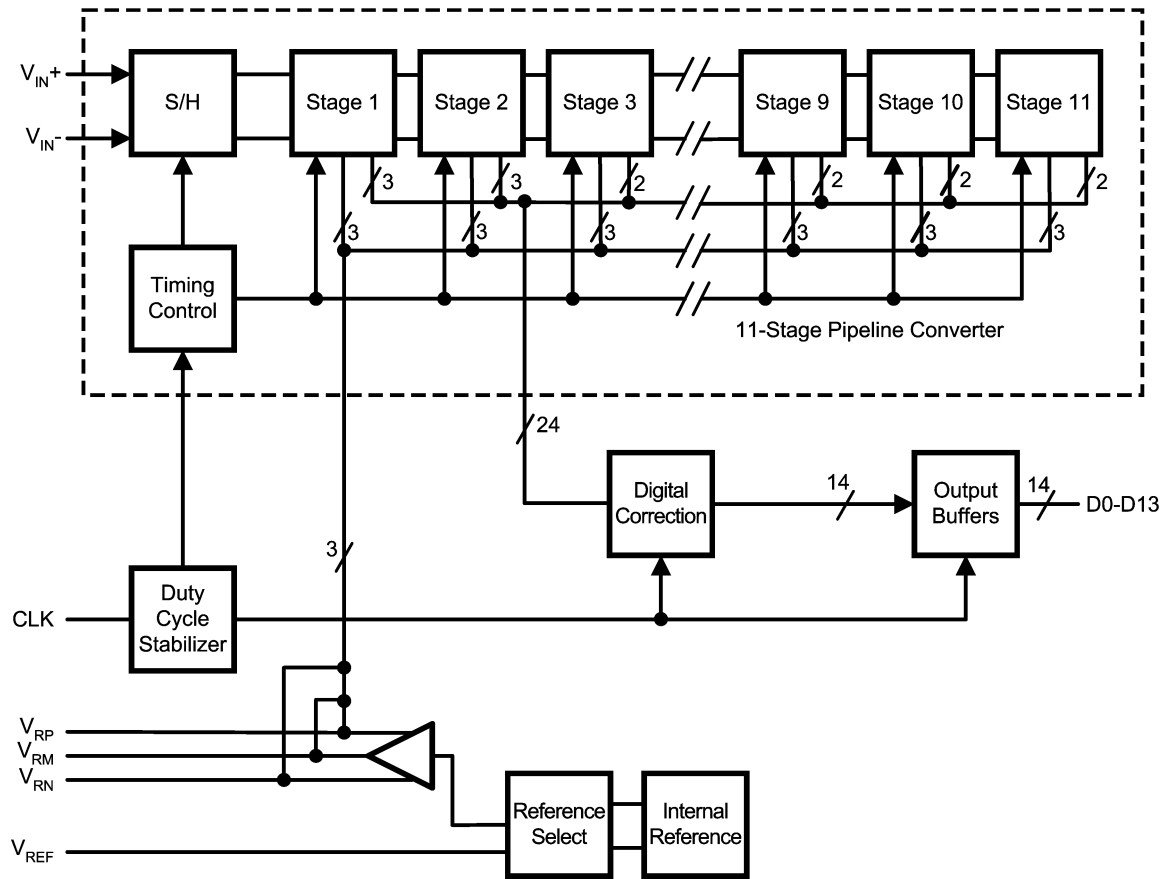
ピン配置図



製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC14L040CIVY	32 Pin LQFP
ADC14L040EVAL	Evaluation Board

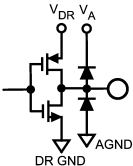
ブロック図



端子説明および等価回路

端子番号	シンボル	等価回路	説明
アナログ I/O			
2	V_{IN+}		差動アナログ入力ピンです。リファレンス電圧が 1.0V のとき、コモンモード電圧 V_{CM} を中心電圧とする差動入力信号のフルスケール・レベルは、$2.0V_{P-P}$ です。シングルエンド動作の場合は負極性入力ピンに V_{CM} を接続しますが、最高性能を得るには差動信号を入力してください。
3	V_{IN-}		
1	V_{REF}		リファレンス選択および外部リファレンス入力のためのピンです。 $(V_A - 0.3V) < V_{REF} < V_A$ の場合、内部 1.0V リファレンスが選択されます。 $AGND < V_{REF} < (AGND + 0.3V)$ の場合、内部 0.5V リファレンスが選択されます。 $0.4V \sim (V_A - 0.4V)$ の範囲の電圧を印加した場合は、その電圧がリファレンスとして使用されます。 フルスケールの差動電圧範囲は $2 \times V_{REF}$ です。外部リファレンスを使用する場合は $0.1\mu F$ のコンデンサを用いて AGND にバイパスしてください。
31	V_{RP}		低 ESL (等価直列インダクタンス) の $0.1\mu F$ コンデンサを用いて、各ピンを AGND にバイパスしてください。 V_{RP} と V_{RN} 間には、$10\mu F$ のコンデンサを挿入します。 V_{RM} は温度的に安定した 1.5V リファレンスとして、1mA までの負荷に対応できます。他のピンには負荷を接続しないでください。 V_{RM} は差動入力用のコモンモード電圧 V_{CM} の供給にも使用できます。
32	V_{RM}		
30	V_{RN}		
11	DF/DCS		クワッド・ステートのピンです。 DF/DCS=V_A の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにデューティ・サイクル安定化機能が適用されます。 DF/DCS=AGND の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されます。 DF/DCS=V_{RM} の場合、出力データのフォーマットは 2 の補数となり、入力クロックにはデューティ・サイクル安定化機能が適用されません。 DF/DCS がフローティングの場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにはデューティ・サイクル安定化機能が適用されません。
デジタル I/O			
10	CLK		デジタル・クロック入力です。この入力の周波数範囲は「電気的特性」の表に記載されており、性能は 40MHz で保証されています。このクロック・パルスの立ち上がりエッジでアナログ入力信号がサンプリングされます。
8	PD		PD はパワーダウン・モード制御用の入力ピンです。このピンが High レベルのときはパワーダウン・モードになります。Low レベルのときは、通常動作になります。

端子説明および等価回路 (つぎ)

端子番号	シンボル	等価回路	説明
12-19 22-27	D0 ~ D13		変換後の 14 ビット・デジタル・データ出力ピンです。D0 (ピン 12) が出力ワードの LSB、D13 (ピン 27) が MSB です。出力レベルは TTL/CMOS 互換です。最適負荷は < 10pF です。
アナログ電源			
5, 29	V _A		正のアナログ電源ピンです。これらのピンは無負荷時 + 3.3V 電源に接続してください。AGND との間のバイパス・コンデンサとして、各電源ピンの近くに 0.1μF のコンデンサを 1 つずつ挿入し、2 ピン共通の 10μF のコンデンサも 1 つ挿入してください。
4, 7, 28	AGND		アナログ電源のグラウンド・ピンです。
デジタル電源			
6	V _D		正電圧のデジタル電源ピンです。このピンは V _A と同じ無負荷時 + 3.3V 電源に接続し、10μF コンデンサと、電源ピンの近くに配置した 0.1μF のコンデンサにて、DGND にバイパスしてください。
9	DGND		デジタル電源のグラウンド・ピンです。
21	V _{DR}		ADC14L040 の出力ドライバ用の正の電源ピンです。+ 2.4V から V _D までの電源に接続してください。DR GND との間にバイパス・コンデンサとして 0.1μF のコンデンサを 1 つ挿入してください。V _A ピン、V _D ピンと異なる電源を使う場合は、このピンのバイパス・コンデンサとしてさらに 10μF のコンデンサを 1 つ挿入してください。V _{DR} 電圧は V _D ピンの電圧を超えてはなりません。0.1μF のバイパス・コンデンサは、すべて電源ピンの近くに配置してください。
20	DR GND		ADC の出力ドライバ用デジタル電源のグラウンド・ピンです。システムのデジタル・グラウンドに接続してください。ただし、ADC の DGND または AGND ピンの近くには接続しないでください。詳細はセクション 5 「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

V_A 、 V_D 、 V_{DR}	4.2V
$ V_A - V_D $	100mV
各入出力ピンの電圧	- 0.3V ~ V_A 、または $V_D + 0.3V$
入力電流 (Note 3)	± 25mA
パッケージ入力電流 (Note 3)	± 50 mA
$T_A = 25$ でのパッケージ損失	(Note 4) 参照
ESD 耐性	
人体モデル (Note 5)	2500V
マシン・モデル (Note 5)	250V
保存温度範囲	- 65 ~ + 150

ハンダ付けのプロセスは、National Semiconductor's Reflow
Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging/ をご覧ください (Note 6)。

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A 、 V_D)	+ 3.0V ~ + 3.6V
出力ドライバ用の電源 (V_{DR})	+ 2.4V ~ V_D
CLK、PD	- 0.05V ~ ($V_D + 0.05V$)
クロックのデューティ・サイクル (DCS オン)	20% ~ 80%
クロックのデューティ・サイクル (DCS オフ)	40% ~ 60%
アナログ入力ピン	0V ~ 2.6V
V_{CM}	0.5V ~ 2.0V
$ AGND - DGND $	100mV

コンバータの電氣的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ (- 0.5dBFS)、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			14	Bits (min)
INL	Integral Non Linearity (Note 11)		±1.5	±3.8	LSB (max)
DNL	Differential Non Linearity		±0.5	±1.0	LSB (max)
PGE	Positive Gain Error		0.3	±3.3	%FS (max)
NGE	Negative Gain Error		0.4	±3.3	%FS (max)
TC GE	Gain Error Tempco	-40°C ≤ T_A ≤ +85°C	2.5		ppm/°C
V_{OFF}	Offset Error ($V_{IN+} = V_{IN-}$)		-0.06	±1.0	%FS (max)
TC V_{OFF}	Offset Error Tempco	-40°C ≤ T_A ≤ +85°C	1.5		ppm/°C
	Under Range Output Code			0	
	Over Range Output Code			16383	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CM}	Common Mode Input Voltage		1.5	0.5 2.0	V (min) V (max)
V_{RM}	Reference Output Voltage	Output load = 1 mA	1.5		V
C_{IN}	V_{IN} Input Capacitance (each pin to GND)	$V_{IN} = 1.5\ Vdc$ ± 0.5 V	(CLK LOW) 11 (CLK HIGH) 4.5		pF pF
V_{REF}	External Reference Voltage (Note 13)		1.00	0.8 1.2	V (min) V (max)
	Reference Input Resistance		1		MΩ (min)

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ (- 0.5dBFS)、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth	0 dBFS Input, Output at -3 dB	150		MHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10\text{ MHz}$	74		dBc
		$f_{IN} = 20\text{ MHz}$	73.3	71.7	dBc
SINAD	Signal-to-Noise Ratio and Distortion	$f_{IN} = 10\text{ MHz}$	73.5		dBc
		$f_{IN} = 20\text{ MHz}$	73	71.5	dBc
ENOB	Effective Number of Bits	$f_{IN} = 10\text{ MHz}$	12		Bits
		$f_{IN} = 20\text{ MHz}$	11.9	11.6	Bits
THD	Total Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-86		dBc
		$f_{IN} = 20\text{ MHz}$	-86	-77	dBc
H2	Second Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-93		dBc
		$f_{IN} = 20\text{ MHz}$	-91	-80	dBc
H3	Third Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-90		dBc
		$f_{IN} = 20\text{ MHz}$	-94	-80	dBc
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10\text{ MHz}$	90		dBc
		$f_{IN} = 20\text{ MHz}$	90	80	dBc
IMD	Intermodulation Distortion	$f_{IN} = 9.6\text{ MHz}$ and 10.2 MHz , each = -6.5 dBFS	-79		dBFS

DC およびロジック電気的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
CLK, PD DIGITAL INPUT CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		1.0	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
D0-D13 DIGITAL OUTPUT CHARACTERISTICS					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5\text{ mA}$	$V_{DR} = 2.5V$	2.3	V (min)
			$V_{DR} = 3V$	2.7	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6\text{ mA}$, $V_{DR} = 3V$		0.4	V (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-10		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	10		mA
C_{OUT}	Digital Output Capacitance		5		pF
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD Pin = DGND, $V_{REF} = V_A$	63	86	mA (max)
		PD Pin = V_D	4.5		mA
I_D	Digital Supply Current	PD Pin = DGND	8	12	mA (max)
		PD Pin = V_D , $f_{CLK} = 0$	0		mA
I_{DR}	Digital Output Supply Current	PD Pin = DGND, $C_L = 5\text{ pF}$ (Note 14)	4		mA
		PD Pin = V_D , $f_{CLK} = 0$	0		mA
	Total Power Consumption	PD Pin = DGND, $C_L = 5\text{ pF}$ (Note 15)	235	323	mW (max)

DC およびロジック電氣的特性 (つづき)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
	Power Down Power Consumption	PD Pin = V_D , clock on	15		mW
PSRR	Power Supply Rejection Ratio	Rejection of Full-Scale Error with $V_A = 3.0V$ vs. $3.6V$	72		dB

AC 電氣的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9、12)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
f_{CLK1}	Maximum Clock Frequency			40	MHz (min)
f_{CLK2}	Minimum Clock Frequency		5		MHz
t_{CH}	Clock High Time	Duty Cycle Stabilizer On	12.5	5	ns (min)
t_{CL}	Clock Low Time	Duty Cycle Stabilizer On	12.5	5	ns (min)
t_{CH}	Clock High Time	Duty Cycle Stabilizer Off	12.5	10	ns (min)
t_{CL}	Clock Low Time	Duty Cycle Stabilizer Off	12.5	10	ns (min)
t_{CONV}	Conversion Latency			7	Clock Cycles
t_{OD}	Data Output Delay after Rising Clock Edge		6	9.6	ns (max)
t_{AD}	Aperture Delay		2		ns
t_{AJ}	Aperture Jitter		0.7		ps rms
t_{PD}	Power Down Mode Exit Cycle	0.1 μF on pins 30, 31, 32; 10 μF between pins 30, 31	280		μs

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性のあるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様および試験条件については「電氣的特性」を参照ください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = AGND = DGND = 0V$ を基準にして測定されています。

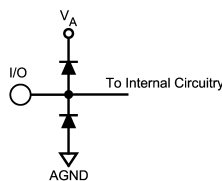
Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。

Note 4: このデバイスの最大接合部温度 (T_{Jmax}) は 150 です。最大許容消費電力 (P_{DMAX}) は、 T_{Jmax} 、接合部と周囲の間の熱抵抗 (θ_{JA}) によって決まり、 $P_{DMAX} = (T_{Jmax} - T_A)/\theta_{JA}$ で表されます。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k Ω を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 Ω を通して、各ピンに放電させます。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と鉛フリー・パッケージ以外の場合で異なります。

Note 7: アナログ入力は、以下に示されるように保護されています。Note 3 に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、入力電圧が $V_A + 100mV$ 以上もしくは $GND - 100mV$ 以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 V_A が +3.3V の場合には、変換精度を確保するためにはアナログ入力のフルスケールは +3.4V 以下にしなければなりません。



Note 8: 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100mV$ にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。

Note 9: $V_{REF} = +1.0V$ (2V_{P-P} 差動入力) のテスト条件で、14ビットの 1LSB は 122.1 μV になります。

Note 10: 代表値 (Typical) は、 $T_J = 25$ で得られる最も標準的な数値です。テスト・リミット値はナショナル・セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

AC 電気的特性 (つづき)

Note 11: 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。

Note 12: タイミング特性は、TTL ロジック・レベル (立ち上がりエッジが $V_{IL} = 0.4V$ 、立ち上がりエッジが $V_{IH} = 2.4V$) でテストされます。

Note 13: 最適なダイナミック性能は、リファレンス入力を $0.8V \sim 1.2V$ に維持すると得られます。外部リファレンスを使用するアプリケーションには LM4051CIM3-ADJ (SOT-23 パッケージ) を推奨します。

Note 14: I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主な要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR}(C_0 \times f_0 + 1 \times f_1 + \dots C_{11} \times f_{11})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。

Note 15: I_{DR} は含まれていません。Note 14 を参照してください。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち上がってから入力信号が取り込まれるか保持されるまでの時間のことです。

アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER) は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、それ自身は出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) とは、繰り返し波形の周期に対する High 期間の割合です。本データシートに記載されているデューティ・サイクルの仕様は、ADC のクロック入力信号に対して適用されます。

コモンモード電圧 (COMMON MODE VOLTAGE: V_{CM}) とは ADC の両方の入力ピンに印加されるコモン DC 電圧です。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック・サイクル数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

正のゲイン誤差と負のゲイン誤差によって次のように表すこともできます。

正のゲイン誤差 = 正側フルスケール誤差 - オフセット誤差

負のゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ゼロスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち、最も小さな値、または最も小さな重みを持った最下位ビットです。この値は $V_{FS}/2^n$ として表されます。" V_{FS} " はフルスケール入力電圧、" n " は ADC の分解能 (ビット) です。

ミッシング・コード (MISSING CODES) は ADC 出力に現れることのないコードです。ADC14L040 は、ミッシング・コードのないことが保証されています。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち、最も大きな値、または最も大きな重みを持った最上位ビットです。MSB の値はフルスケールの半分です。

負のフルスケール誤差 (NEGATIVE FULL SCALE ERROR) とは、最初のコード遷移が生じる実際の値と、負のフルスケールから 1/2LSB 高いところにある理想値との差です。

オフセット誤差 (OFFSET ERROR) とは、コード 8191 から 8192 への遷移を発生させるために必要な、2 つの入力電圧の差 $[(V_{IN+}) - (V_{IN-})]$ です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) については「変換レイテンシ」(CONVERSION LATENCY)を参照ください。

正のフルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれです。

電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。PSRR は電源電圧の DC 変動に対するフルスケール誤差の変化の割合を、dB を単位として示した値です。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: $S/(N + D)$ または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求めます。

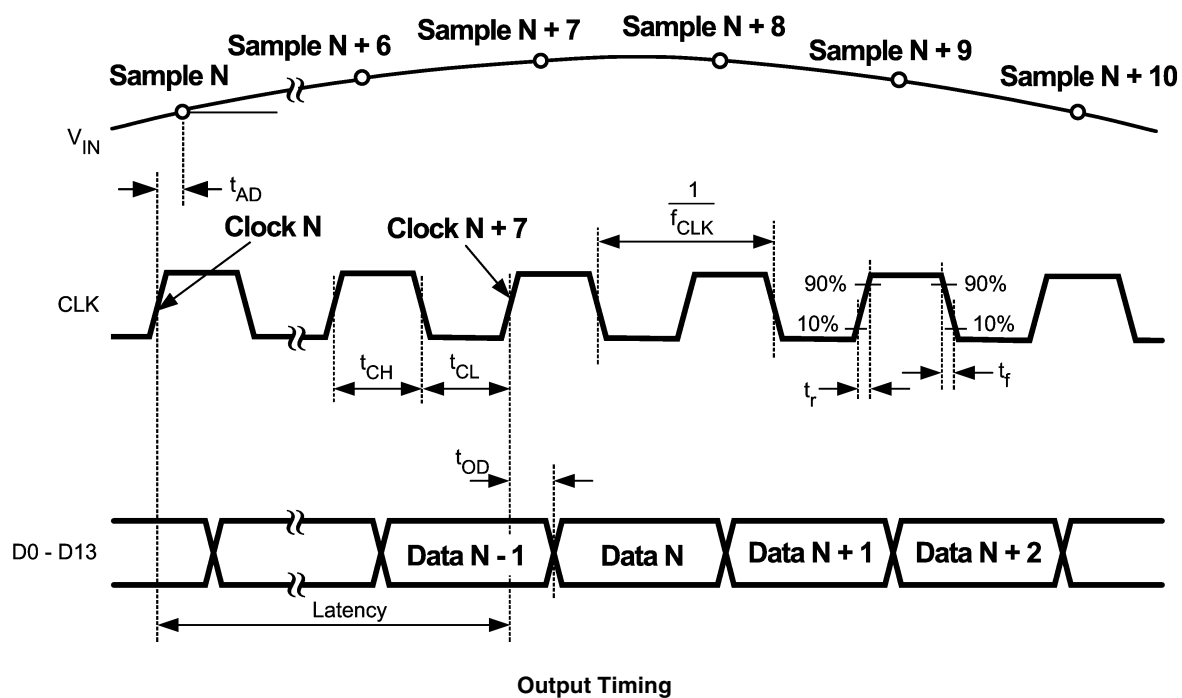
$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

f_1 は基本周波数 (出力) パワーの実効値 (RMS 値)、 f_2 から f_{10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

第 2 次高調波歪み (2ND HARM) は、出力に現れる入力周波数の RMS パワーと 2 次高調波レベルのパワーとの差を dB で表した値です。

第 3 次高調波歪み (3RD HARM) は、出力に現れる入力周波数の RMS パワーと 3 次高調波レベルのパワーとの差を dB で表した値です。

タイミング図



変換特性

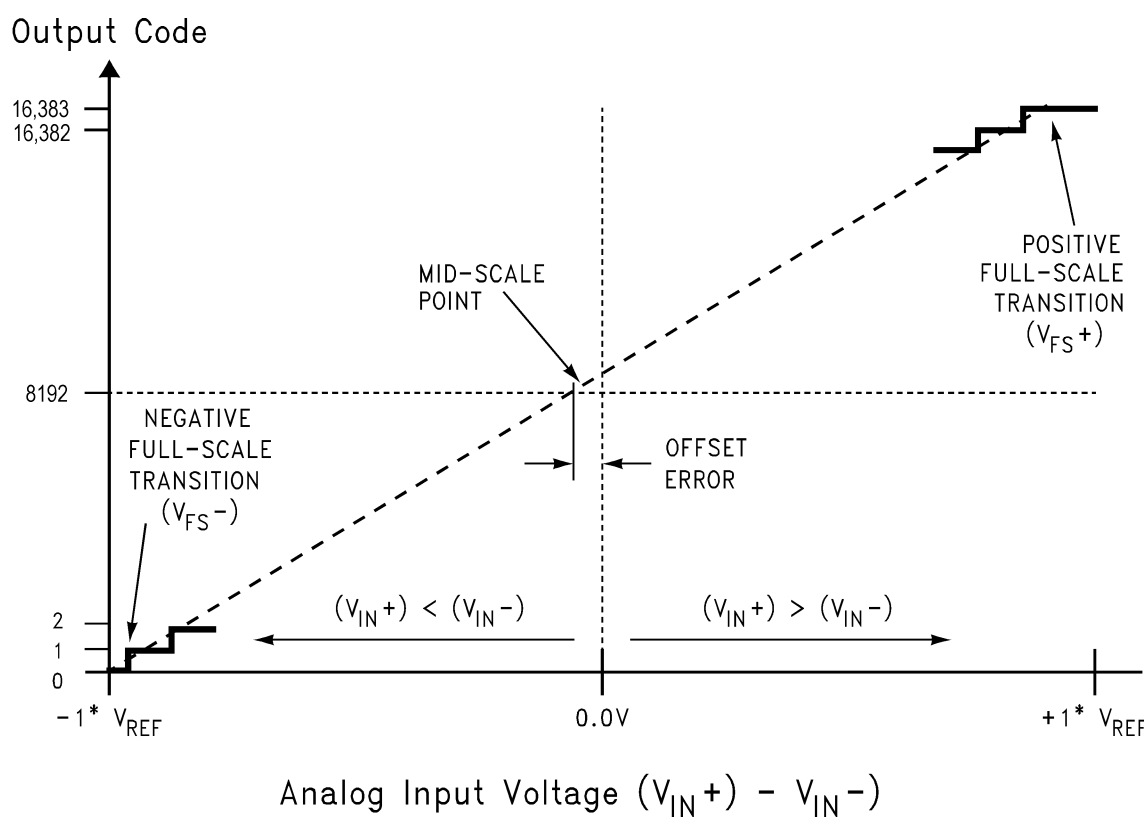
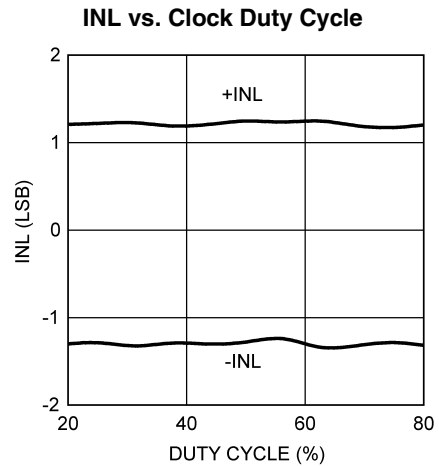
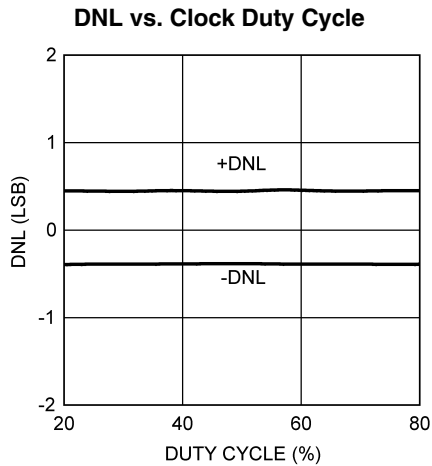
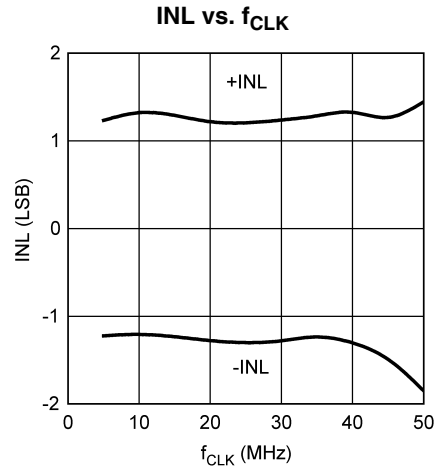
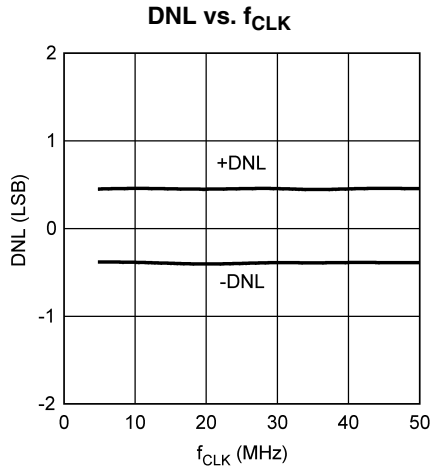
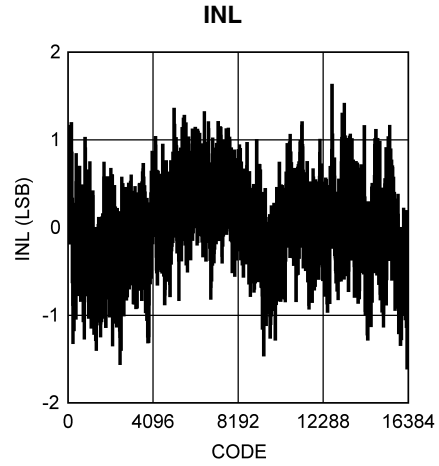
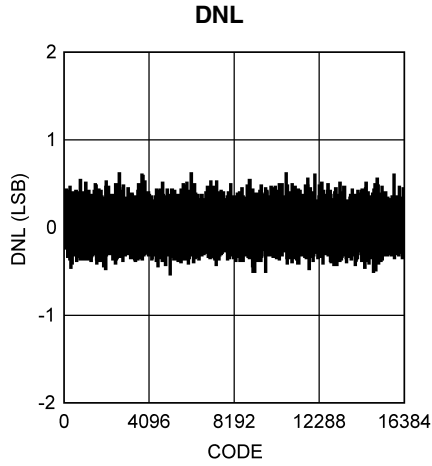


FIGURE 1. Transfer Characteristic

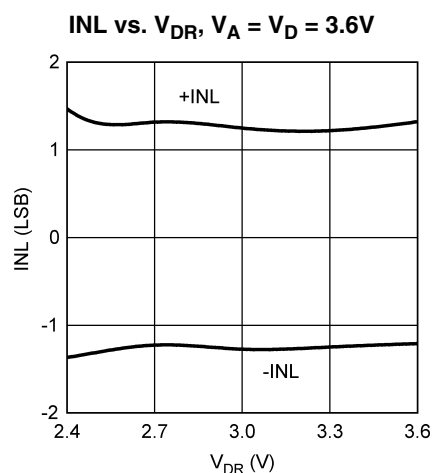
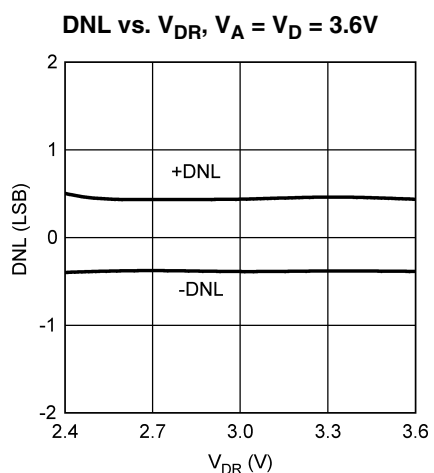
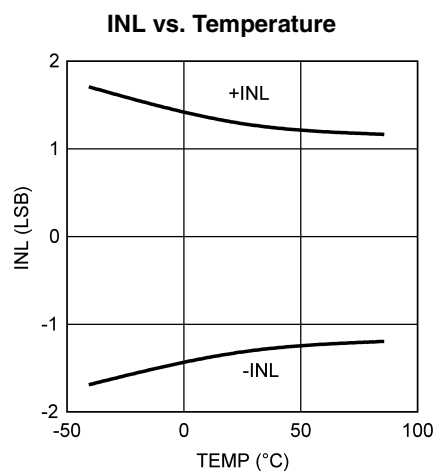
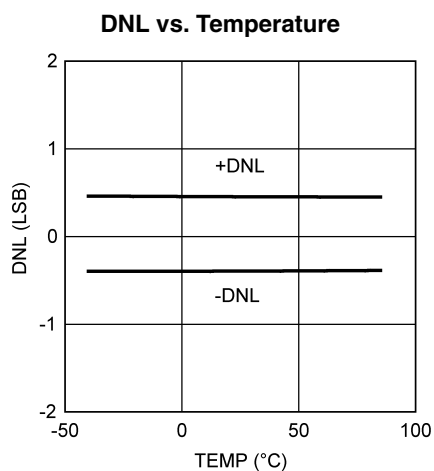
代表的な性能特性、DNL、INL

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0W$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 0MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25^\circ C$ に対して適用されます。



代表的な性能特性、DNL、INL (つづき)

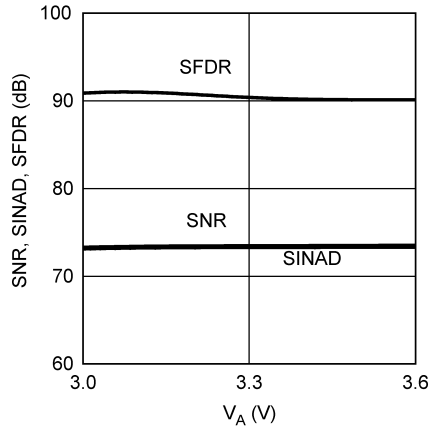
特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 0MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。



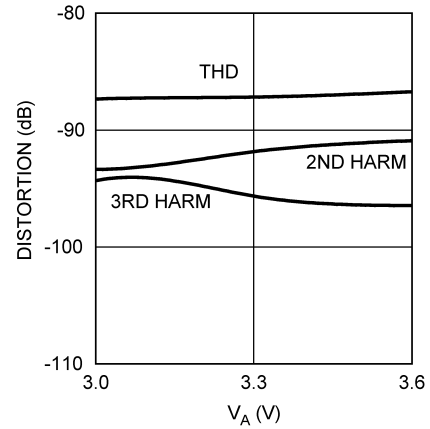
代表的な性能特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。

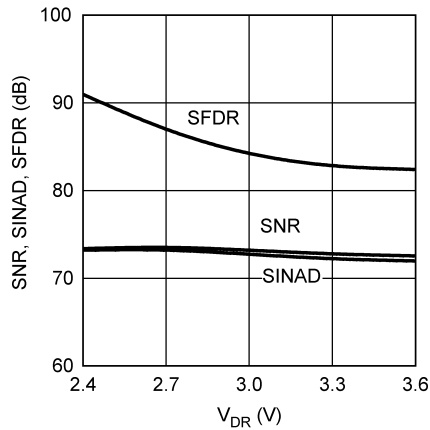
SNR, SINAD, SFDR vs. V_A



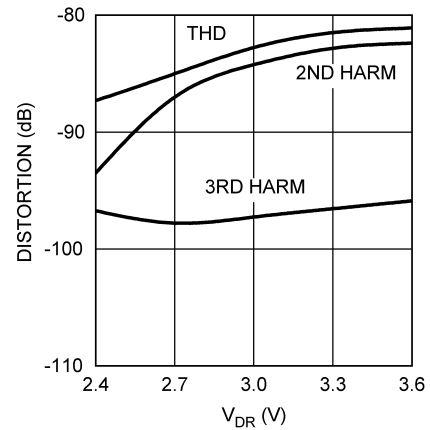
Distortion vs. V_A



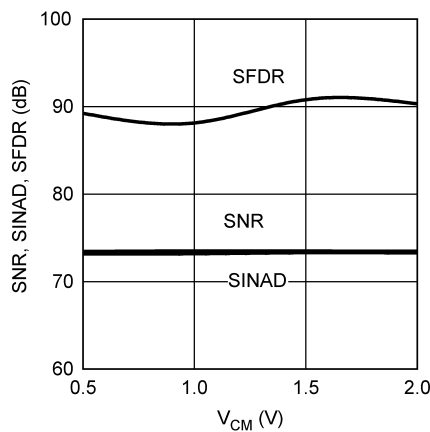
SNR, SINAD, SFDR vs. V_{DR} , $V_A = V_D = 3.6V$



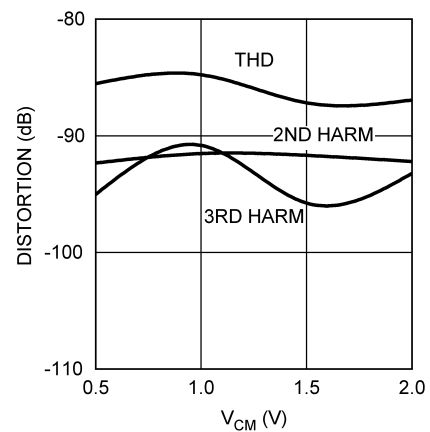
Distortion vs. V_{DR} , $V_A = V_D = 3.6V$



SNR, SINAD, SFDR vs. V_{CM}

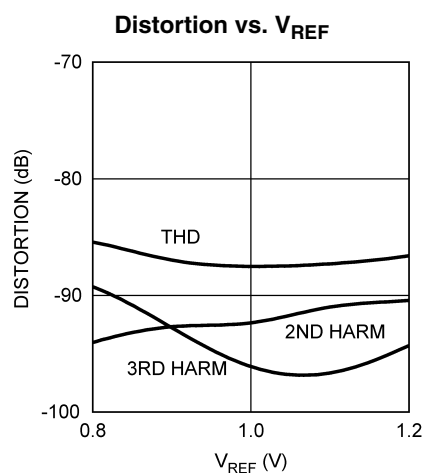
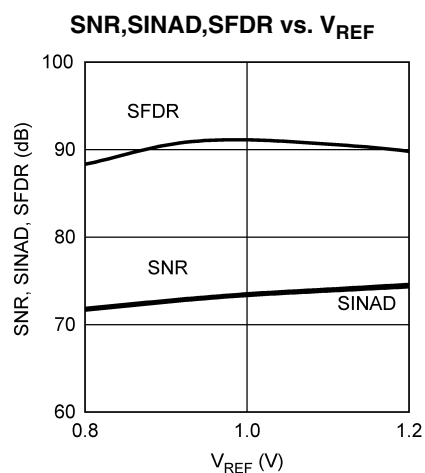
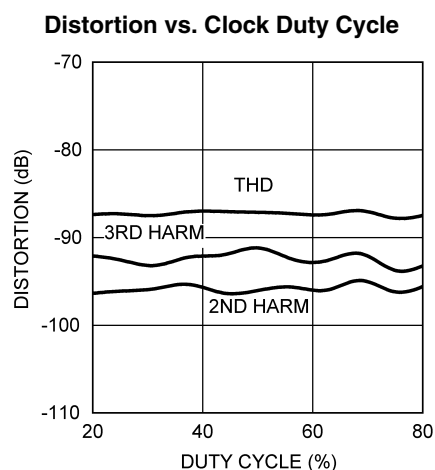
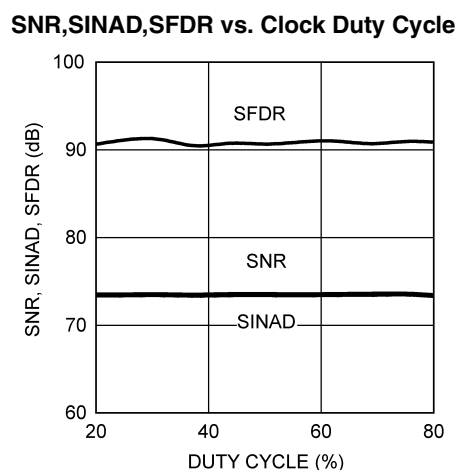
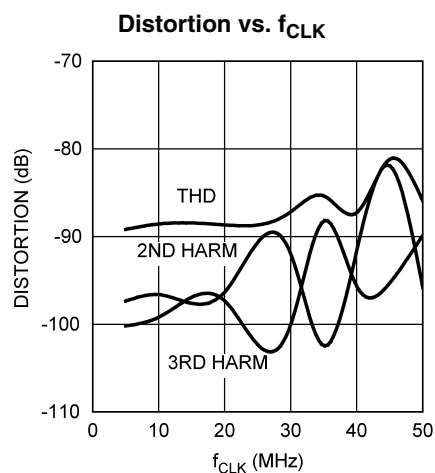
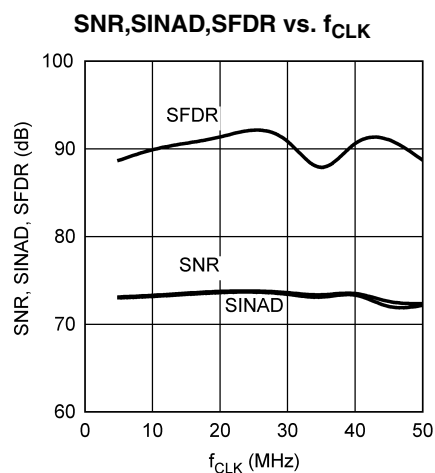


Distortion vs. V_{CM}



代表的な性能特性 (つづき)

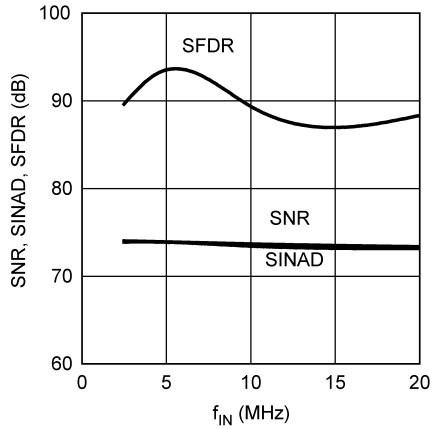
特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。



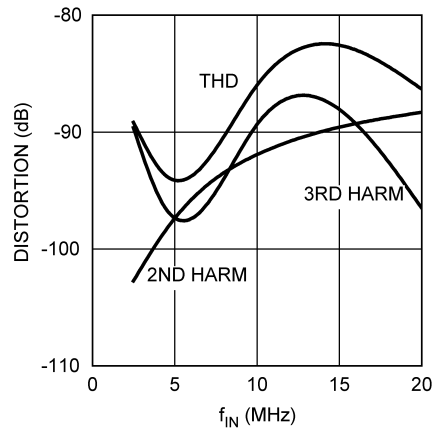
代表的な性能特性 (つづき)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。

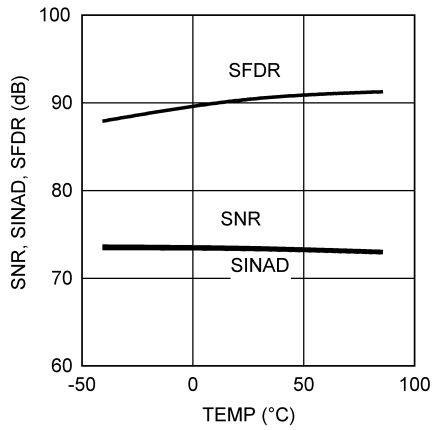
SNR, SINAD, SFDR vs. f_{IN}



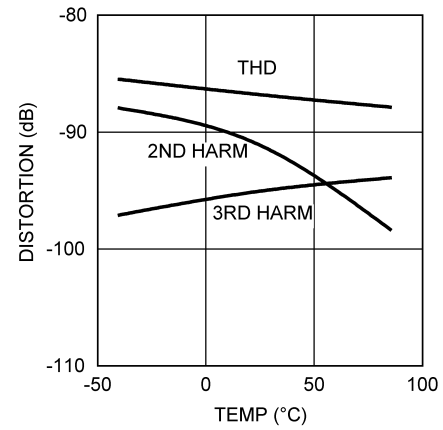
Distortion vs. f_{IN}



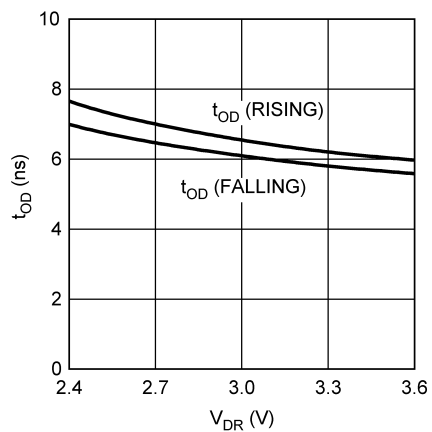
SNR, SINAD, SFDR vs. Temperature



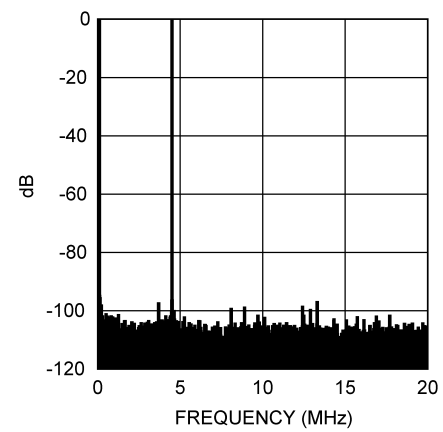
Distortion vs. Temperature



t_{OD} vs. V_{DR} , $V_A = V_D = 3.6V$



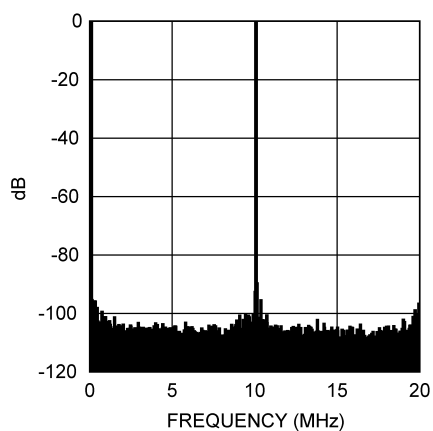
Spectral Response @ 4.4 MHz Input



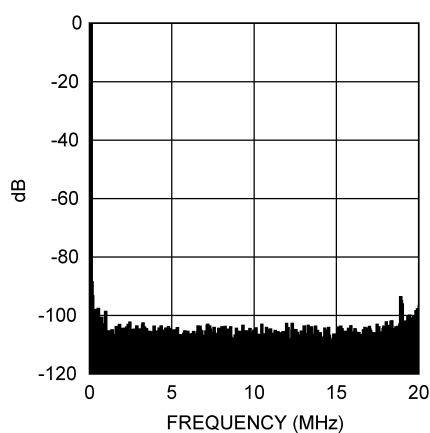
代表的な性能特性 (つづき)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $P_D = 0V$ 、外部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 40MHz$ 、 $f_{IN} = 20MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF$ /ピン、デューティ・サイクル安定化回路オンの場合に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。

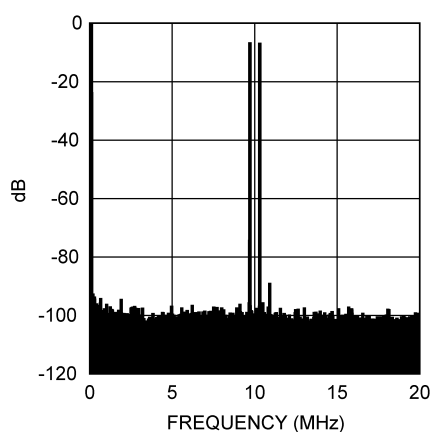
Spectral Response @ 10 MHz Input



Spectral Response @ 20 MHz Input



Intermodulation Distortion, $f_{IN1} = 9.6\text{ MHz}$, $f_{IN2} = 10.2\text{ MHz}$



機能説明

ADC14L040 は + 3.3V 単一電源で動作します。パイプライン型アーキテクチャを採用し、かつ誤差補正回路を内蔵しているため、性能が最大限に発揮されます。差動アナログ入力信号を 14 ビットのデジタル信号に変換する機能を持っています。リファレンス電圧には外部リファレンスか、1.0V または 0.5V の安定した内部リファレンスを使います。外部リファレンスはチップ内でバッファされるため、リファレンス・ピンの駆動は容易です。

出力データレートは、クロック周波数と同じです。ADC14L040 は 5MSPS ~ 40MSPS (代表値) のクロック周波数に対応しており、40MSPS において全範囲の性能を規定しています。アナログ入力信号はクロック・パルスの立ち上がりエッジで取り込まれますが、それに対応するデジタル・データは、パイプライン・ディレイがあるため、7 クロック・サイクルだけ遅れて出力されます。デューティ・サイクル安定化および出力データのフォーマットは、クワッド・ステートの機能ピン DF/DCS によって選択可能です。出力データは、オフセット・バイナリまたは 2 の補数のいずれかに設定できます。

パワーダウン・ピン (PD) が High レベルの間は消費電力が 15mW まで下がります。

アプリケーション情報

1.0 動作条件

ADC14L040 の動作条件としては次の各値を推奨します。

3.0V	V_A	3.6V
$V_D = V_A$		
2.4V	V_{DR}	V_A
5MHz	f_{CLK}	40MHz
0.8V	V_{REF}	1.2V (外部リファレンスの場合)
0.5V	V_{CM}	2.0V

1.1 アナログ入力

内部リファレンスの選択、または外部からのリファレンス入力を目的としたリファレンス入力ピン V_{REF} を備えています。ADC14L040 は、 V_{IN+} と V_{IN-} の 2 つのアナログ入力を備えています。この入力ペアは差動入力ペアを構成します。

1.2 リファレンス電圧ピン

ADC14L040 は内部リファレンス電圧 1.0V または 0.5V、あるいは外部リファレンス電圧 1.0V で動作するよう設計されていますが、外部リファレンス電圧 0.8V ~ 1.2V の範囲であれば問題なく動作します。リファレンス電圧を下げると ADC14L040 の信号 / ノイズ比 (SNR) が低くなります。リファレンス電圧 (と入力信号振幅) を 1.2V 以上に高めると、特に入力周波数が高い場合に、フルスケール入力の THD 性能を低下させる可能性があります。

リファレンス電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド・プレーンに対して一点アースで接続するのが極めて重要になります。

バイパス用にリファレンス電圧バイパス・ピン (V_{RP} 、 V_{RM} 、 V_{RN}) を備えています。これらのピンのすべてとグラウンドの間に 0.1 μ F のコンデンサを 1 つずつ挿入してください。 V_{RP} と V_{RN} 間には、Figure 4 に示したとおり、10 μ F のコンデンサを挿入します。この回路は、SFDR や SNR、またはその両方を悪化させる可能性のあるリファレンスの発振を防ぐために必要です。 V_{RM} は温度的に安定した 1.5V リファレンスとして、1mA までの負荷に対応できます。他のピンには負荷を接続しないでください。

この指定値より小容量のコンデンサを使用すると、パワーダウン・モードからの復帰時間が短くなりますが、ノイズ性能を低下させる

原因になることがあります。 V_{RM} を除くこれらのピンに負荷を接続すると性能劣化を引き起こす場合があります。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$\begin{aligned} V_{RM} &= 1.5V \\ V_{RP} &= V_{RM} + V_{REF}/2 \\ V_{RN} &= V_{RM} - V_{REF}/2 \end{aligned}$$

オンチップ・リファレンスを使うか外部リファレンスを使うか選択が可能です。 V_{REF} ピンを V_A に接続すると、内部リファレンス 1.0V が使用されます。 V_{REF} ピンを AGND に接続すると、内部リファレンス 0.5V が使用されます。 V_{REF} に 0.8V ~ 1.2V の範囲の電圧を印加した場合は、その電圧がリファレンスとして使用されます。外部リファレンスを使用する場合、0.1 μ F コンデンサを V_{REF} ピンの近くに実装してグラウンドに対してバイパスしてください。内部リファレンスを使用する場合は V_{REF} ピンのバイパスは必要ありません。

1.3 信号入力

信号入力には V_{IN+} と V_{IN-} があります。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。コモンモード入力電圧 V_{CM} は、0.5V から 2.0V の範囲になければなりません。

個々の入力信号のピークは、決して 2.6V を超えてはなりません。

ADC14L040 は、各入力をコモンモード電圧 V_{CM} を中心電圧とする差動信号で使った場合に、最も良い性能が得られます。各アナログ入力ピンのピーク・ツー・ピーク電圧振幅はリファレンス電圧値を超えてはなりません。出力データにクリッピングが生じてしまいます。

差動信号を成す 2 つの入力信号は、位相差はちょうど 180 にし、振幅は同じにしてください。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形では、角度誤差は歪みの原因となります。

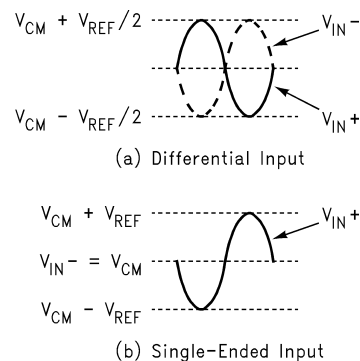


FIGURE 2. Expected Input Signal Range

単一周波数の正弦波に対する LSB のフルスケール誤差は次式で近似できます。

$$E_{FS} = 16384 (1 - \sin(90^\circ \mp dev))$$

"dev" は、互いに 180 の相対位相を持つ 2 つの信号間の角度誤差です (Figure 3 を参照)。アナログ入力ピンを駆動する信号源のソース・インピーダンスでは 100 Ω 未満になるようにしてください。

アプリケーション情報 (つづき)

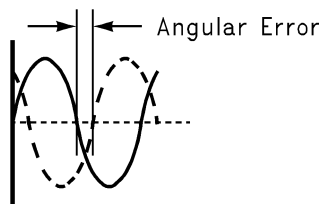


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

差動入力にする場合は、各アナログ入力信号の振幅（ピーク・ツー・ピーク値）をリファレンス電圧 V_{REF} に等しくし、互いに 180° の位相差を持たせるとともに、その中間電位を V_{CM} に設定してください。

1.3.1 シングルエンド動作

シングルエンドの信号に比べて、差動入力信号を用いたほうが優れた性能が得られます。この理由によりシングルエンド動作はなるべく使用しないでください。ただし、シングルエンド動作が回路上必要で、かつ、生じる性能低下が許容できる場合は、アナログ入力の方のピンを信号入力電圧の DC 中心電圧に接続します。入力ピンに与える信号電圧のピーク・ツー・ピークをリファレンス電圧の 2 倍にすると、SNR と SINAD 性能が最大になります (Figure 2b)。たとえば、 V_{REF} を 1.0V に設定したら、 V_{IN-} には 1.5V のバイアスをかけ、 V_{IN+} を 0.5V ~ 2.5V の信号で駆動してください。

入力信号の振幅が大き過ぎると歪みがひどくなる恐れがあるため、シングルエンド動作のときに出力信号を最大幅まで振りたいときは、性能を改善するためにリファレンス電圧を下げてください。Table 1 と Table 2 は ADC14L040 の入出力の対応表です。

TABLE 1. Input to Output Relationship - Differential Input

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	00 0000 0000 0000	10 0000 0000 0000
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	01 0000 0000 0000	11 0000 0000 0000
V_{CM}	V_{CM}	10 0000 0000 0000	00 0000 0000 0000
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	11 0000 0000 0000	01 0000 0000 0000
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	11 1111 1111 1111	01 1111 1111 1111

TABLE 2. Input to Output Relationship - Single-Ended Input

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}$	V_{CM}	00 0000 0000 0000	10 0000 0000 0000

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}/2$	V_{CM}	01 0000 0000 0000	11 0000 0000 0000
V_{CM}	V_{CM}	10 0000 0000 0000	00 0000 0000 0000
$V_{CM} + V_{REF}/2$	V_{CM}	11 0000 0000 0000	01 0000 0000 0000
$V_{CM} + V_{REF}$	V_{CM}	11 1111 1111 1111	01 1111 1111 1111

1.3.2 アナログ入力の駆動

ADC14L040 の V_{IN+} 、 V_{IN-} の各ピンの内部回路は、アナログ・スイッチが 1 つに、それに続いてスイッチ・キャパシタ・アンプが 1 つの構成になっています。このアナログ入力ピンの容量はクロック・パルスのレベルに応じて変化します。クロックが Low レベルのときは 11pF であり、High レベルのときは 4.5pF です。

内蔵の入力サンプリング・スイッチの開閉に伴ってアナログ入力ピンには電流パルスが生まれ、結果として信号入力ピンに電圧スパイクが発生します。アナログ入力を駆動するアンプがこのスパイク電圧を打ち消そうとするため、アナログ入力端で減衰振動が見られるときがあります。これらのパルスをフィルタで除去しようとししないでください。スイッチが開いて次のサンプリングが行われる前にスパイクとそのセトリングを吸収できるアンプを用いて、ADC14L040 入力ピンを駆動してください。LMH6702、LMH6628、LMH6622、LMH6655 が ADC14L040 の駆動に適当です。

ADC 入力に現れる電圧スパイクの影響をアンプ出力に与えないようにするには、Figure 4 に示すような RC 回路を入力端に設けてください。取り付ける位置は ADC のすぐ近くにしてください。ADC の入力ピンが全体の中でも最も高感度な部分であり、入力信号にフィルタをかけるには最後のポイントであるためです。

ナイキスト・アプリケーションの場合、ADC のサンプリング・レートに RC のポールを設定します。サンプリング・モードときの ADC の入力容量は RC ポールの設定に含めてください。広帯域アンダーサンプリング・アプリケーションの場合、リニアな遅延応答を維持するために、最大入力周波数の 1.5 倍から 2 倍程度の周波数に RC ポールを設定してください。

シングルエンドから差動信号への変換回路を Figure 5 に示します。表 3 に、ADC14L040 の各差動入力ピンに 1.0V ± 0.5V の入力信号を供給するための抵抗値を示します。

TABLE 3. Resistor Values for Circuit of Figure 5

SIGNAL RANGE	R1	R2	R3	R4	R5, R6
0 - 0.25V	open	0Ω	124Ω	1500Ω	1000Ω
0 - 0.5V	0Ω	openΩ	499Ω	1500Ω	499Ω
±0.25V	100Ω	698Ω	100Ω	698Ω	499Ω

1.3.3 入力コモンモード電圧

入力コモンモード電圧 V_{CM} は 0.5V ~ 2.0V の範囲とし、アナログ信号のピーク電圧がグラウンドを下回らないように、かつ、2.6V を上回らないように設定しなければなりません。セクション 1.2 を参照してください。

アプリケーション情報 (つづき)

2.0 デジタル入力

TTL/CMOS 互換のデジタル入力信号として、CLK、PD、DF/DCS があります。

2.1 CLK

CLK 信号はサンプリングのタイミングを決めます。このクロック入力ピンは、安定した低ジッタのクロック信号源で駆動してください。クロック周波数の範囲は「電気的特性」の表に示したものとし、パルスの立ち上がり時間、立ち下がり時間はいずれも 2ns 以下とします。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず他の一切の信号線と交差しないようにしてください。

CLK 信号は内部のステート・マシンのクロックとしても使われます。**CLK** が途切れると、内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプル・レートの下限が規定されているのはこのためです。

クロック信号ラインはソース端で線路の特性インピーダンスで終端してください。クロック・ラインの全長にわたって一定のインピーダンスが保たれるように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

ADC の **CLK** ピンを駆動するクロック源で他の負荷を駆動しないようにしてください。クロック源から他の入力負荷も駆動する場合は、Figure 4 に示すように、クロック・ラインの特性インピーダンスに等しい抵抗と次に示す容量のコンデンサを用いた直列 RC 回路を用いて、グラウンドに AC 終端を行ってください。

$$C \geq \frac{4 \times t_{pD} \times L}{Z_0}$$

t_{pD} はクロック配線の信号伝搬遅延時間、「L」は配線長、「 Z_0 」はクロック配線の特性インピーダンスです。終端回路は、ADC クロック・ピンのできるだけ近くに、しかもクロック源から見てクロック・ピンより先遠い側になるように配置します。 t_{pD} の代表値は FR-4 基板材料でおよそ 150ps/インチ (60ps/cm) です。「L」と t_{pD} の単位系は同一にして計算します (ヤード系またはメートル系)。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。正確なデューティ・サイクルを維持するのは困難であるため、ADC14L040 はデューティ・サイクル安定化回路を搭載しています。この回路は DF/DCS ピンによって有効に設定できます。クロックのデューティ・サイクル 20% ~ 80% の範囲で性能を維持するように設計されています。

2.2 PD

コンバータを使用しない場合に PD ピンを High レベルにすれば、ADC14L040 はパワーダウン・モードになり消費電力が抑えられます。この状態での消費電力は 15mW です。パワーダウン・モードの間、出力データ・ピンは不定となり、パイプライン内のデータは破壊されます。

"Power Down Mode Exit Cycle" 時間の長さは、30 ピン、31 ピン、32 ピンの各部品の定数によって決まり、 V_{RP} 、 V_{RM} 、 V_{RN} リファレンス・バイパス・ピンに推奨部品を使用した場合はおよそ 280μs です。パワーダウン・モード中に電荷を失ったこれらのコンデンサは、正確な変換を得る前に、オンチップ回路による再充電

が必要です。小容量のコンデンサを使用するとパワーダウン・モードからの復帰時間が短くなりますが、SNR、SINAD、ENOB 性能が低下します。

2.3 DF/DCS

デューティ・サイクル安定化および出力データのフォーマットは、このクワッド・ステートの機能ピンによって選択可能です。デューティ・サイクル安定化回路を有効にすると、デューティ・サイクル 20% ~ 80% のクロック入力に補償され、安定した内部クロックが生成されるため、デバイスの性能が向上します。

DF/DCS= V_A の場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにデューティ・サイクル安定化機能が適用されます。DF/DCS=0 の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されます。DF/DCS= V_{RM} の場合、出力データのフォーマットは 2 の補数となり、入力クロックにはデューティ・サイクル安定化機能が適用されません。DF/DCS がフローティングの場合、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにはデューティ・サイクル安定化機能が適用されません。このピンのロジック・レベルは動作中に変更することも可能ですが、切り換え後は数クロック・サイクルにわたって正しくないデータが出力される可能性があるため、推奨はしません。

3.0 出力

ADC14L040 には、TTL/CMOS 互換のデータ出力ピンが 14 本付いています。PD ピンに Low レベルの電圧を印加している間は、この出力ピンに有効なデータが出力されます。データは CLK 信号によって取り込みます。受信側の回路 (ASIC) のセットアップおよびホールド時間の要件に応じて、CLK 信号の立ち上がりまたは立ち下がりエッジのいずれかでデータを取り込むことができます。通常、立ち上がりエッジで取り込むとセットアップ時間を最大に、ホールド時間を最小にできます。これに対し、立ち下がりエッジで取り込むとホールド時間を最大に、セットアップ時間を最小にできます。ただし、立ち下がりエッジ取り込みの場合の実際のタイミングは CLK 信号周波数に大きく依存します。またいずれのエッジで取り込む場合も、ASIC 内の遅延の影響を受けます。「AC 電気的特性」表の t_{OD} の仕様を確認してください。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。適切なバイパス、出力容量の軽減、グラウンド・プレーンを注意深く設計して、このような問題を回避してください。また、バス・ラインの負荷容量が仕様値 15pF/ピンを超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小にするには、デジタル出力の負荷電流を最小にします。具体的にはバッファ (たとえば 74ACQ541) を ADC 出力と他の回路間に接続します。ADC の出力ピンとバッファ IC の入力ピンは、一対一で接続してください。さらに 33Ω の抵抗をデジタル出力ピンのすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力ピンが分離されるため出力電流が抑えられます。この措置を講じないと性能が低下する場合があります。Figure 4 を参照してください。

アプリケーション情報 (つづき)

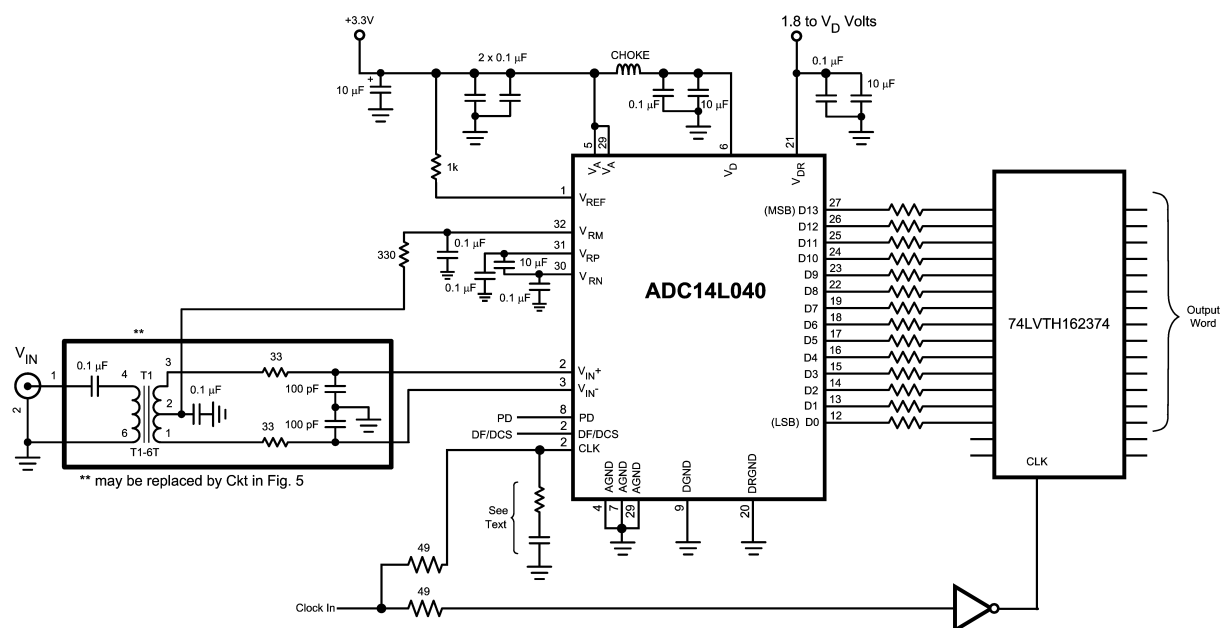


FIGURE 4. Application Circuit using Transformer Drive Circuit

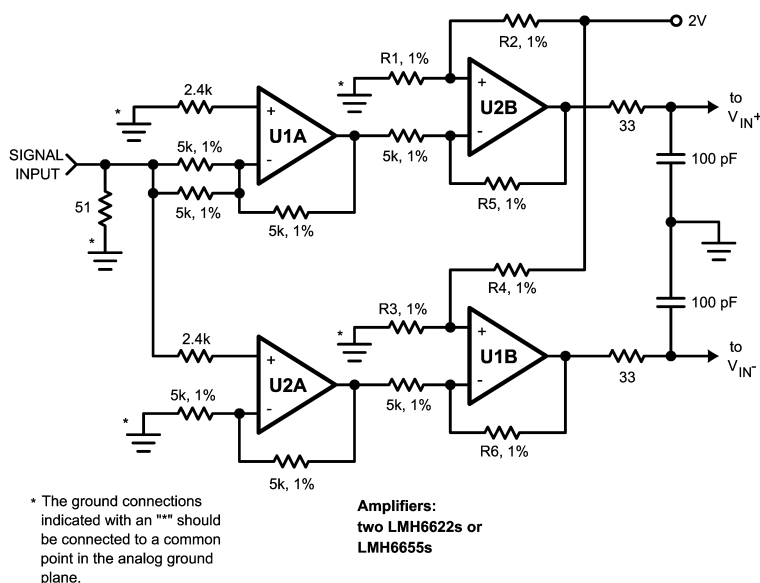


FIGURE 4. Differential Drive Circuit of FIGURE 4

4.0 電源構成の考慮事項

どの電源ピンも当該ピンの近くにバイパス・コンデンサとして $10\mu\text{F}$ コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを1つずつ挿入してください。直列インダクタンスが小さいリードレス・チップ・コンデンサを推奨します。

あらゆる高速コンバータと同じように、ADC14L040も電源ノイズに敏感です。また、ADC14L040のアナログ電源ピンに乗るノイズレベルは $100\text{mV}_{\text{p-p}}$ より先低く抑えてください。

どのピンも、電源電圧より高い電圧を加えることは、たとえ瞬時であっても許されません。電源オンと電源オフの間は特に注意してください。

V_{DR} ピンは出力ドライバ用の電源ピンで、 $2.4\text{V} \sim V_{\text{D}}$ の範囲で動作します。低電圧のデバイスやシステムとのインタフェースが容易です。ただし、 V_{DR} を低くすると t_{OD} が長くなる点に注意してください。ただし、 V_{DR} ピンには、 V_{D} よりも高い電圧は加えないでください。

アプリケーション情報 (つづき)

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。仕様通りの性能を発揮するには、ADC14L040 を挟んで、ボードのアナログ領域とデジタル領域を分離する必要があります。

データ出力用のグラウンド・ピン (DR GND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジェントが発生することがあります。このようなことが起こらないように DR GND ピンは、ADC14L040 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに敏感なアナログ回路との間の容量性カップリングにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

デジタル回路は非常に大きな電源トランジェントやグラウンド・トランジェントを生じます。このようなロジック・ノイズがシステムのノイズ特性に大きく影響を及ぼします。A/D コンバータを備えたシステムに使用するのに最適なロジック・ファミリは、74LS、74HC(T) や 74AC(T)Q ファミリのようなノン・サチュレーティング・トランジスタ (不飽和トランジスタ) を採用した設計がなされたものか低ノイズ特性を備えたものです。最も良くないノイズの発生源は、74F や 74AC(T) ファミリのようなクロックや信号エッジでの消費電流トランジェントが大きなロジック・ファミリです。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 33Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

デジタル・スイッチング・トランジェント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはほとんど影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの面積よりも、全表面積のほうが重要です。

一般に、アナログ、デジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。一般には許容される信号ラインの 90° 交差は、クロックラインについては避けるべきです。これは、ごくわずかなカップリングでも高周波では問題となる可能性があるためです。これは、他のラインによってクロック・ラインにジッタが発生し、結果的に S/N 比の劣化につながるからです。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐの信号経路に配線すると実現できます。これは、すべての部品を通る信号経路をできるだけまっすぐな直線に配線することです。

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、決して並べて配置しないでください。たとえインダクタ部品全長の一部であっても並べて配置してはなりません。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路 (例

えば、フィルタ用のコンデンサ) は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ領域に配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル領域に配置してください。ADC14L040 は両者の中間に配置してください。さらに、リファレンス電圧回路と入力信号に関連する回路に含まれているすべての部品は、そのリターン側どうしを短い配線でノイズのない一点に接続してからアナログ・グラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

6.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。

Figure 6 に示されるようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。このクロック・ツリーで使用するゲートは、余分なジッタ追加を防ぐために、クロックの周波数より先はるかに高い周波数に対応した品種でなければなりません。

セクション 1.3.1 およびセクション 1.3.2 で説明したように、シングルエンド駆動ではなく差動入力駆動のときに最高性能が得られます。

セクション 5.0 で述べたように、A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くのは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっているときでも容量性のカップリングが起こりますので、クロック・ラインは 90° の交差もしないようにしてください。

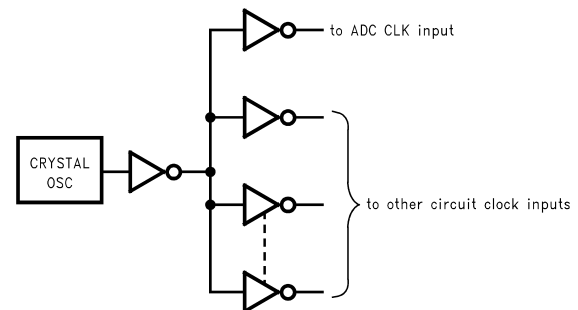


FIGURE 5. Isolating the ADC Clock from other Circuitry with a Clock Tree

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと

適当な動作を行うために、すべての入力は、グラウンド・ピンより 100mV 以下または、電源ピンより 100mV 以上にならないようにしてください。トランジェントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。電源電圧とそのグラウンド電位を超えるオーバーシュートやアンダーシュートを起こす高速デジタル IC (例えば、74F や 74AC などのファミリ・デバイス) では、よくある現象です。A/D コンバータのデジタル入力に約 47Ω ~ 100Ω の直列抵抗を信号源近傍に挿入すると、通常はこの問題を取り除けます。

アプリケーション情報 (つづき)

入力電圧は、たとえ瞬間的であっても電源電圧を超えないようにしてください。電源の投入時も遮断時も同じです。

ADC14L040 の入力を ADC14L040 の電源範囲を超える範囲にまでドライブするようなデバイスで、オーバードライブしないように注意をしてください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと

変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。これらの大きな充電電流スパイクは、アナログ回路にカップリングし、ダイナミック特性を劣化させる可能性があります。適切なバイパスと基板上的アナログ領域とデジタル領域を十分にアイソレートすればこの問題を低減できます。

また、バス・ラインの負荷容量が仕様値 15pF/ピンを超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合もやはり動的性能は劣化する恐れがあります。

また、デジタル・データ出力は (例えば、74ACQ541 で) バッファリングしてください。また、各デジタル出力のできる限り近くに直列抵抗を加えることで、出力電流を制限し、コンバータの出力に戻ってくるカップリング信号のエネルギーが低減されて、ダイナミック特性を改善することができます。このときに使用する推奨の抵抗値は 33Ω です。

不適切なアンプを使ってアナログ入力をドライブしないこと

セクション 1.3 で説明したように、アナログ入力ピンの容量はクロック信号のレベルに応じて 11pF になったり 4.5pF になったりします。このように容量の変動する負荷を駆動するのは、容量の変わらない場合に比べて難しくなります。

ごく小さい信号レベルのときでもオーバーシュートやリングングといった不安定要素が生じるアンプを使ったのでは、性能が落ちて

しまいます。Figure 5 に示したように、アンプ出力端のそれぞれに 1 個ずつ直列に小さな値の抵抗を接続し、かつ ADC14L040 のアナログ入力ピンどうしを 1 つのコンデンサで接続すると性能が改善されます。LMH6702 と LMH6628 が ADC14L040 のアナログ入力の駆動に適しています。

また、差動入力信号を成す 2 つの信号は、振幅が完全に同じで、位相差がちょうど 180° であることが重要です。この 2 つの信号どうしの実際の位相差は部品配置による影響を受けますが、入力ピンまでを結ぶ配線パターンどうしの長さの違いが特に大きく影響します。オペアンプは非反転回路のほうが反転回路より遅延時間が長くなることに注意してください。

リファレンス・ピンを仕様範囲外の入力で動作させないこと

セクション 1.2 で述べたように、 V_{REF} ピンへの入力は、次の範囲内になければなりません。

$$0.8V \leq V_{REF} \leq 1.2V$$

これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリミット範囲外での動作は、結果として性能の劣化を招きます。

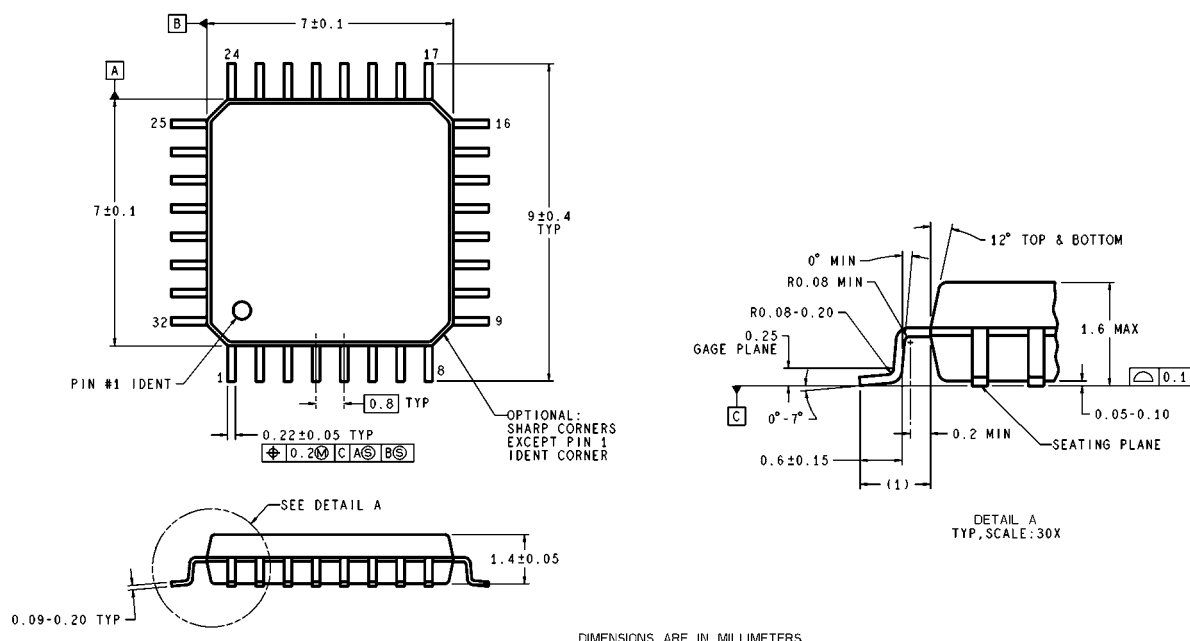
リファレンス電圧バイパス・ピン (V_{RP} 、 V_{RM} 、 V_{RN}) に対して不適切なネットワークを組まないこと

セクション 1.2 で述べたように、これらのピンは 0.1μF のコンデンサによってグラウンドにバイパスします。また、 V_{RP} と V_{RN} のピン間には 10μF のコンデンサを挿入します。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ S/N 比と SINAD の劣化を招きます。

外形寸法図 単位は millimeters



32-Lead LQFP Package
Ordering Number ADC14L040CIV
NS Package Number VBE32A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上